



Title	薄膜Al ₂ O ₃ /SiO ₂ 埋め込み絶縁膜層を有する貼り合わせGeOI基板およびGe-n型MISFETの開発
Author(s)	守山, 佳彦
Citation	大阪大学, 2015, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/52066
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 埋め込み絶縁膜層を有する
貼り合わせ GeOI 基板および
Ge-*n* 型 MISFET の開発

平成 27 年 3 月

守山 佳彦

薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 埋め込み絶縁膜層を有する
貼り合わせ GeOI 基板および
Ge-*n* 型 MISFET の開発

博士（工学）論文提出先
大阪大学大学院基礎工学研究科

平成 27 年 3 月

守山 佳彦

本論文の要旨

従来、Si 基板上に形成された相補型金属-酸化物-半導体電界効果トランジスタ (CMOSFET もしくは CMOS) は、単位面積当たりの消費電力を一定に保ちながら、高速化と微細化を両立できるという、比例縮小を原則とした定電界スケールリング則に従い、開発が進めてられてきた。しかしながら、微細化の進展により、素子特性のバラツキを抑制することが困難となり、定電界スケールリングの限界が見えてきた。その結果、電源電圧を低減することができず、単位面積当たりの消費電力は集積化とともに増加の一途をたどっている。

性能を劣化させることなく、電源電圧を低下させる、低消費電力の CMOS 回路を実現するには、①ゲートの静電支配力を向上できる、完全空乏化された低不純物チャネル、例えば、埋め込み絶縁膜 (Buried Oxide もしくは BOX) 上薄膜チャネルを利用すること、②同じ電源電圧に対する電流駆動力を向上するため、チャネル材料として Ge や化合物半導体などの高移動度材料を用いること、が有望である。さらに、CMOS の低消費電力化には、③BOX 層を下部ゲート (バックゲート) 絶縁膜と見立てた、バックゲートバイアス印加によるしきい値制御、が有効であり、これによって消費電力を動的に制御することができる。

本論文では上記現状を鑑み、その解決策として、薄膜 BOX 上に形成された薄膜高移動度チャネルを有する Ge-CMOS を提案した。その Ge-CMOS を実現するために必要な要素技術として、CMOS 回路のプラットフォームである、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX を有する薄膜 GeOI (Germanium-on-Insulator) 基板および、その低駆動力ゆえに課題となっていた、Ge-*n*MISFET (金属-絶縁体-半導体電界効果トランジスタ) の高駆動力化技術を開発した。

上記①~③で示した消費電力低減の施策を採用して、高移動度薄膜 Ge チャネ

ル層および薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX 層を有する貼り合わせ GeOI 基板を製作し、その機械的な接合強度や Ge/BOX 界面の電気的な性質が、従来の Ge/ SiO_2 接合を有する GeOI 基板と比較して著しく向上することを定量的に示した。また、この GeOI 基板の大口径化に対応し、Ge 供給基板として、エピタキシャル成長 Ge/Si (Epi-Ge/Si) 基板の採用を検討した。その Epi-Ge 層は、微細トランジスタ用チャンネル材料として、物理的にも電気的にも十分な結晶性を有することを実験的に示した。さらに、供給基板と支持基板が同一材料の Si となることで、接合強化アニール時の熱膨張係数差を低減でき、それにより、より強固な貼り合わせ $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面の形成が可能となった。その結果として、GeOI 層の結晶品質を低下させることなく、薄膜チャンネル層および薄膜 BOX 層を有する GeOI 基板の作製に成功した。

一方、この GeOI 基板を実際の CMOS 作製に応用する場合、薄膜チャンネルであること自体が MISFET の寄生抵抗を増加させる原因となること、また、Ge という材料本来の特性から、*n*MISFET のソース・ドレイン (SD) 領域の金属/*n*-Ge 接触抵抗が非常に高いという課題がある。それらを克服するための技術として、化学気相成長法による in-situ P ドーピングによる *n*⁺-Ge (Ge:P) 領域の形成を検討した結果、高電子濃度 Ge 層および Ti 電極とのオーミック接合を形成することに成功した。さらに、薄膜 GeOI 層に引張りひずみを印加し、*n*MISFET の電流駆動力を向上させるための技術として、高 Ge 濃度 SiGe への in-situ P ドーピング (SiGe:P) を検討した。しかしながら、高キャリア濃度 SiGe:P 層の形成は困難であることが実験的に示され、その代替手段として、ストレッサー機能を SiGe:P に、コンタクト抵抗低減機能を Ge:P に、各々の機能を特化した Ge:P/SiGe:P 積層ストレッサーSD を開発し、*n*MISFET のストレッサーSD として応用した。これらの技術を適用した GeOI-*n*MISFET を作製し、トランジ

スタ特性を評価したところ、世界最高の電流駆動力を有することが明らかになった。

以上、本研究で得られた結果から、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX を有する GeOI 基板は低消費電力 CMOS のプラットフォームとして非常に有望であり、その基板上に作製された Ge-*n*MISFET は世界最高の性能を持つ。本研究によって達成された *n*MISFET の高性能化によって、Ge-CMOS の従来の課題が克服され、*p*MISFET および *n*MISFET とともに、チャネル材料として Ge を用いた、低消費電力 Ge-CMOS の実現への道が開かれたといえる。

目次

第1章 序論	1
1.1 CMOS の微細化.....	1
1.2 低消費電力 CMOS 実現のための薄膜 GeOI および薄膜 BOX の重要性....	4
1.3 現状の貼り合わせ GeOI 基板の課題.....	8
1.4 薄膜 GeOI 基板の MISFET 応用における問題点.....	9
1.5 本研究の目的.....	9
1.6 本論文の構成	10
第2章 新規 GeOI 基板作製およびその評価.....	16
2.1 Al ₂ O ₃ /SiO ₂ hybrid BOX を有する GeOI 基板のコンセプト.....	16
2.2 Al ₂ O ₃ /SiO ₂ hybrid BOX を有する GeOI 基板の作製方法.....	18
2.3 作製した GeOI 基板の構造および機械的特性評価.....	21
2.4 Ge/BOX 界面の界面準位密度評価.....	27
2.5 小括.....	33
第3章 Epi-Ge/Si 基板を Ge 供給基板とした GeOI 基板作製および評価.....	36
3.1 Epi-Ge/Si 基板を Ge 供給基板とした GeOI 基板作製方法.....	36
3.2 Epi-Ge 層の物理的・電気的特性評価および接合強度評価.....	38
3.3 極薄 BOX 層を有する 薄膜 GeOI トランジスタ作製とその評価.....	46
3.4 極薄 GeOI 層を有する GeOI 基板作製および評価.....	51
3.5 小括.....	54
第4章 In-situ P ドープ Ge 選択成長.....	57
4.1 n ⁺ -Ge 形成における課題.....	57
4.1.1 金属/Ge 界面のショットキー障壁.....	57
4.1.2 Ge 中 V 族元素の性質.....	58
4.2 In-situ P ドープ Ge 形成.....	58
4.2.1 P ドープ Ge 形成法.....	59
4.2.2 P ドープ Ge 層のドーピング特性.....	59
4.2.3 Ge 中 P の高活性化メカニズム.....	63
4.2.4 P ドープ Ge の選択成長.....	68
4.3 Ti /n ⁺ -Ge:P 接合の電気伝導特性.....	70
4.4 小括.....	76

第5章 In-situ P ドープ SiGe 選択成長.....	80
5.1 In-situ P ドープ SiGe ストレッサーSD 技術.....	80
5.1.1 Ge チャネルへの引張りひずみ印加による電子移動度向上.....	80
5.1.2 引張りひずみ印加のための SiGe:P ストレッサーSD.....	81
5.2 In-situ P ドープ SiGe 形成.....	82
5.2.1 In-situ P ドープ SiGe 形成方法.....	82
5.2.2 SiGe への不純物ドーピング特性.....	83
5.2.3 SD 領域への選択成長.....	86
5.2.4 Ge チャネル中のひずみ量評価.....	89
5.3 Ti 電極とのコンタクト抵抗評価.....	91
5.4 小括.....	92
第6章 薄膜 GeOI 上への in-situ P ドープ Ge および SiGe SD 選択成長.....	96
6.1 作製した薄膜 GeOI 基板の MISFET 応用上の課題.....	96
6.2 凝集現象抑制、界面特性劣化抑制のための低温 HCl ガスクリーニング...97	97
6.3 せり上げ Ge:P/SiGe:P 積層ストレッサーS/D を有する薄膜 GeOI- <i>n</i> MISFET 構造作製.....	101
6.4 ひずみ GeOI- <i>n</i> MISFET の電気伝導特性.....	107
6.5 小括.....	109
第7章 結論.....	113
7.1 結論.....	113
7.2 今後の展望.....	115
謝辞.....	118
業績一覧	120

第1章 序論

1.1 CMOS の微細化

CMOS とは、相補型 (Complementary) Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET) の略称であり、図 1-1 に示すように、 p MOSFET (p 型 MOSFET) と n MOSFET (n 型 MOSFET) を組み合わせたトランジスタ・デバイスである。

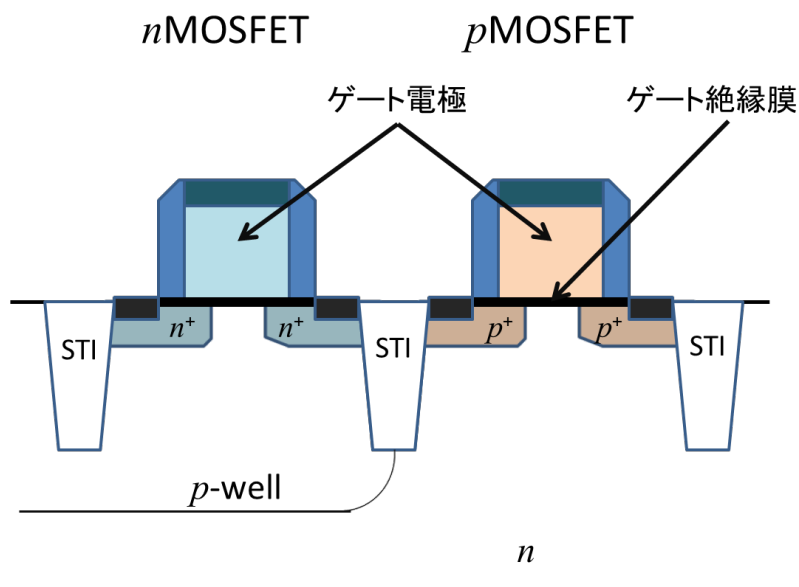


図 1-1 : CMOS の断面構造概略図。

両 MOSFET 間は、STI と呼ばれる Shallow Trench Isolation によって絶縁されており、入力電圧に対して、それぞれが独立に駆動する仕組みになっている。最も簡単な構成の CMOS 回路が図 1-2 に示す CMOS インバーター回路である。入力電圧 V_{in} を接地とした場合、 p チャネルが On、 n チャネルが Off となり、出力電圧 V_{out} が電源電圧 V_D となる。一方、 V_{in} を V_D とした場合、 p チャネルが

Off、 n チャネルが On となり、出力電圧 V_{out} が 0 となる。

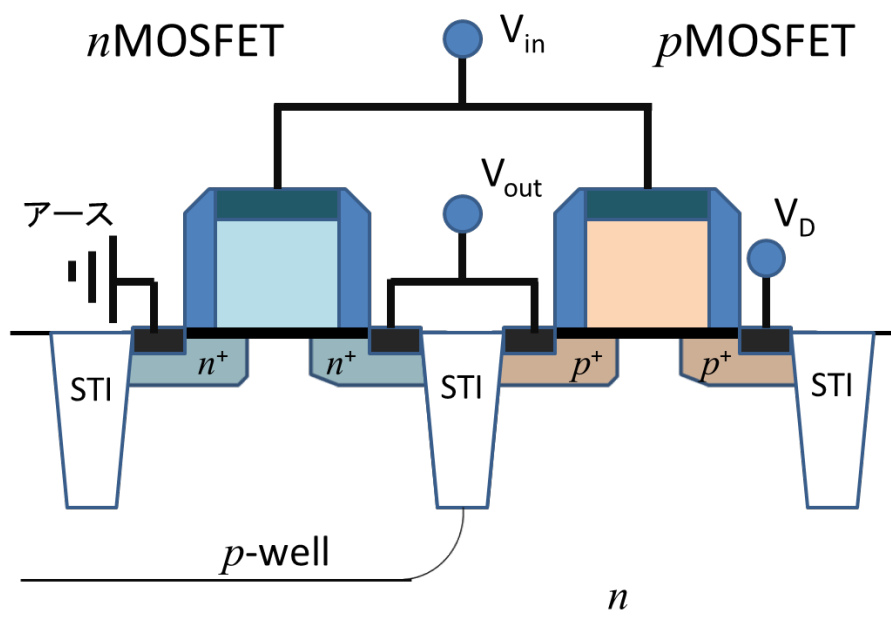


図 1-2 : CMOS インバーター回路。

いずれの場合も MOS トランジスタの一方が Off になるため、静止状態では電力消費が無く、切り替えのときにわずかな電力を消費するのみである。このように、CMOS は n MOSFET や p MOSFET 単体に比べ、専有面積が大きく、製造工程数が多いという欠点があるものの、消費電力が低いという大きな利点を持っている。そのため、携帯可能デバイスの LSI やデジタル家電のシステム LSI、さらにはコンピュータの CPU 等として広く利用されている。

CMOS は、それを構成する MOSFET の微細化とともに発展し、従来、消費電力を一定に保ちながら、高速化と微細化を両立できるという、比例縮小を原則とした定電界スケーリング則に従い、開発が進められてきた[1]。例えば、図 1-3 に示すように、元の MOSFET の大きさに比べ、 $1/k$ (k をスケーリング係数とよぶ)の大きさに比例縮小された MOSFET のデバイスパラメータおよび回路

パラメータは表 1-1 のようになる。

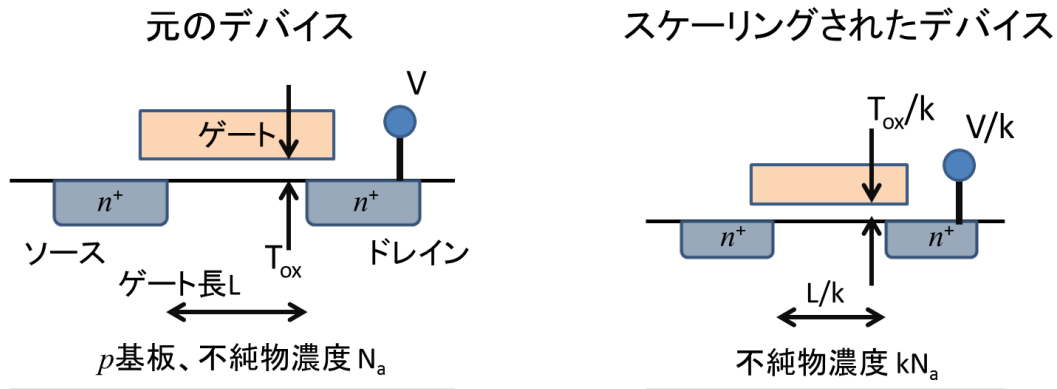


図 1-3：定電界スケーリングの原理図。

表 1-1：MOSFET のデバイスおよび回路パラメータのスケーリング

	MOSFETのデバイス、回路パラメータ	スケーリング係数 k
スケーリング倍率	デバイス寸法(ゲート酸化膜厚 T_{ox} , ゲート長 L)	$1/k$
	ドーピング濃度(N_a)	k
	電源電圧(V)	$1/k$
スケーリング後の デバイスパラメータ	電界	1
	キャリア速度	1
	空乏層幅	$1/k$
	容量	$1/k$
	反転層電荷密度	1
	ドリフト電流	$1/k$
	チャンネル抵抗	1
スケーリング後の 回路パラメータ	回路遅延(動作速度の逆数)	$1/k$
	消費電力	$1/k^2$
	集積度	k^2
	電力密度(単位面積当たりの消費電力)	1

これより、ドーピング濃度を k 倍に、電源電圧およびデバイスの大きさ（ゲート酸化膜厚、ゲート長）を $1/k$ に縮小すると、動作速度が k 倍、消費電力が $1/k^2$

倍、集積度が k^2 倍となり、単位面積当たりの消費電力が一定に保たれる、という結果が得られ、この定電界スケーリング則は CMOS 微細化における強力な指導原理となってきた。

1.2 低消費電力 CMOS 実現のための薄膜 GeOI および薄膜 BOX の重要性

前節で述べたように、従来、CMOS デバイスの開発は、消費電力を一定に保ちながら、高速化と微細化を両立できるという、比例縮小を原則とした定電界スケーリング則に従い、進められてきた[1]。しかしながら、微細化が進むことにより、

① 特性バラツキが顕著となり、On 状態にならないトランジスタが出現するため、電源電圧を低下できない、

② 短チャネル効果と呼ばれる、チャネルに対するゲートの静電支配力が低下することに起因して、On/Off 急峻性が低下する、

③ 短チャネル効果抑制のためのゲート絶縁膜薄膜化に伴い、これまで問題にされてこなかった Off 状態のトランジスタのゲートリーク電流が増大する、

という現象が顕在化した結果、微細化が進めば進むほど、消費電力が増大してしまうという状況になった。消費電力を抑制するためには、電源電圧を低下させる必要があるが、高速化を維持するためには、電源電圧を低下できないというジレンマに陥り、単純な定電界スケーリング則は破綻してきている。上記の状況を鑑み、性能を劣化させることなく、電源電圧を低下させることにより、低消費電力 CMOS 回路を実現するには、

① ゲートの静電支配力を向上できる、完全空乏化された低不純物チャネル、例えば、埋め込み絶縁膜 (Buried Oxide もしくは BOX) 上薄膜チャネルや fin

構造などの3次元構造を利用すること

② 同じ電源電圧に対する電流駆動力を向上するため、チャネル材料として Ge や化合物半導体などの高移動度材料を用いること

が有望である。①については、図 1-4 に示すように、薄膜チャネルの利用により、On/Off 特性を急峻化することができ、その結果、同じ電流駆動力を得るための電源電圧を低減することが可能となる。また②については、チャネル材料として高移動度材料を利用することにより、電流駆動力が増加する。その結果、①と同様、同じ電流駆動力を得るための電源電圧を低減することが可能となる。

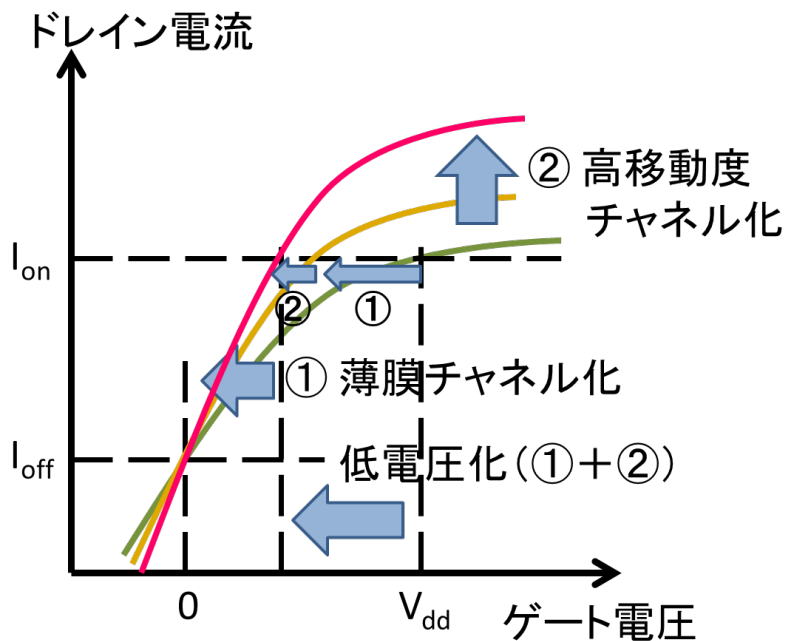


図 1-4 : 消費電力低減のためのゲート電圧低減施策。①薄膜チャネル化による On/Off 急峻性改善、②高移動度チャネル化による駆動力増大。

また、CMOS 回路の低消費電力化には、BOX 層を下部ゲート (バックゲート) 絶縁膜と見立てた、バックゲートバイアス印加によるしきい値制御が有効である [2]。図 1-5(a) にバックゲートを有する MOSFET の断面概略図を、(b) にバックゲートバイアス印加時のしきい値変調の概念図を示す。バックゲートバイア

スの印加により、しきい値電圧を低く設定することで (Forward Bias)、同じ電源電圧での電流駆動力が増加し、しきい値電圧を高く設定することで (Reverse Bias)、同じ電源電圧での電流駆動力が減少する。

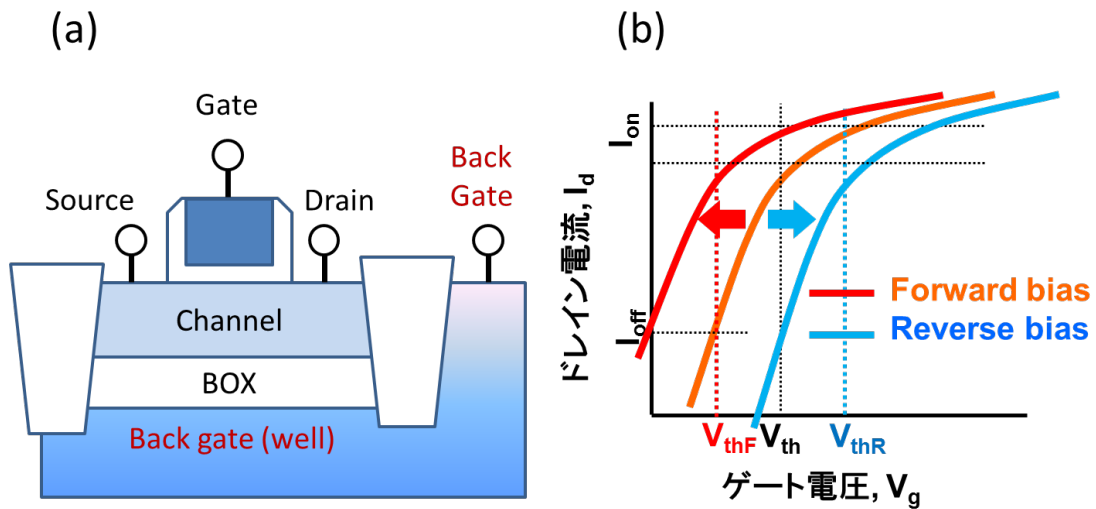


図 1-5 : バックゲートバイアス印加によるしきい値変調。(a)バックゲートを有する MOSFET の断面概略図、(b)バックゲートバイアス印加による、しきい値変調。しきい値変調により、消費電力を動的に制御可能となる。

これは、バックゲートバイアスの印加により、消費電力を動的に制御できることを意味する。現状では、50 V 程度の高いバックゲートバイアスを印加して、100 mV 程度のしきい値変調効果しか得られていない[3]。そのバックバイアスをロジック電圧程度にまで低下させ、効果的にしきい値変調効果を得るには、BOX 層の膜厚を 10 nm 程度にまで薄膜化することが要求される。

以上の観点から、図 1-6 に示すような Ultra-Thin-Body and BOX (UTBB)-GeOI (Germanium on Insulator) 基板は、低消費電力で、かつ高速動作が可能な CMOS 回路のプラットフォームとして、最も有望な選択肢である[4, 5]。しかし、UTBB-GeOI 基板を従来の Si に代わる次世代の基板として応用するためには、幾つかの課題を克服する必要がある。例えば、Si と比較しバンドギャップ

プが狭い Ge をチャンネル層に用いることになるため、Band To Band Tunneling リーク電流の増大など、短チャンネル効果が顕在化することが知られている。それを抑制するためには、GeOI 層を約 4 nm 以下にまで薄膜化する必要があることが理論的に確かめられている[6]。

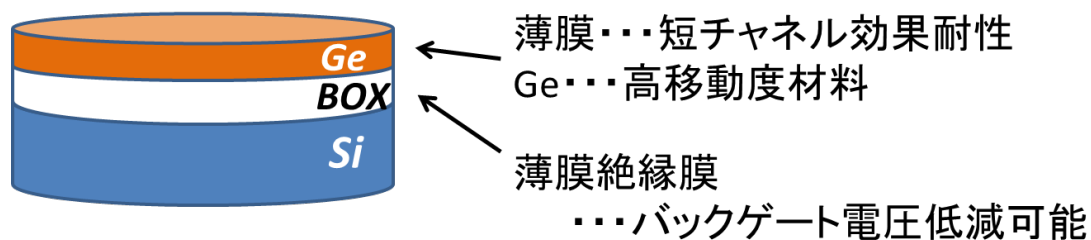


図 1-6 : 低消費電力 CMOS プラットフォームとしての、薄膜チャンネル層および薄膜 BOX 層を有する Ultra-thin-body and BOX Germanium-on-insulator 基板。

また、この UTBB-GeOI チャンネルを完全空乏化チャンネルとして利用する場合、トランジスタ特性を劣化させないために、電氣的に高品質な GeOI/BOX 界面の実現が非常に重要となる。

GeOI 基板の代表的な作製法には、貼り合わせ法[7]と、酸化濃縮法[8]がある。貼り合わせ法とは、Ge 供給基板としてバルク Ge 基板を用いて、支持基板である SiO₂/Si 基板と貼り合わせることで GeOI 基板を作製する方法である。一方、酸化濃縮法とは、SOI (Silicon on Insulator) 基板上にエピタキシャル成長した SiGe 層を酸化することで、SiGe 層の薄膜化と高 Ge 濃度化を進め、最終的に GeOI 層を得る手法である。貼り合わせ法においては、元々バルク Ge 基板から GeOI 層を形成することから、Ge 層の結晶学的品質が高いという利点があるが、現状では、高品質な貼り合わせ界面は得られていない。酸化濃縮法では、酸化という簡便な工程で GeOI 層を形成できる利点がある一方、形成された GeOI 層に多数の結晶欠陥が含まれ、欠陥起因の p 型キャリアが多数生成されるとい

う問題がある[9]。本研究における GeOI 基板作製に関しては、貼り合わせ界面形成法の適切な選択によって、界面の物理的・電気的な特性を向上できる余地があること、さらに、GeOI 層の結晶品質がバルク Ge と同等であるという理由から、基板貼り合わせ法が有望であると考えた。薄膜 GeOI 層および薄膜 BOX 層を有する、貼り合わせ GeOI 基板の実現は、CMOS 回路の低消費電化において、必須の課題である。

1.3 現状の貼り合わせ GeOI 基板の課題

過去の報告に見られるように、貼り合わせた Ge/SiO₂ 界面が熱的に不安定であること、接合強度が低いことなどが原因で、良好な接合界面は未だ得られていない[10-12]。そのうえ、Ge/SiO₂ 界面の接合強度を高めるためには、接合後のアニール工程が必須であるが、およそ 300°C 以上に熱せられると、Ge と Si の熱膨張係数の違いから、Ge にクラックが生じ、結晶品質が著しく低下することが知られている[11-13]。さらに、そのアニール工程により、Ge と SiO₂ が反応し、接合強度向上に必須のアニール工程が、電気的な界面特性の劣化の原因となるというジレンマが存在する[12, 14]。GeOI の薄膜化、BOX 層の薄膜化に関して述べると、前者に関しては、酸化濃縮法では 10 nm 以下の厚さの Ge 層を有する GeOI 基板が実現されているものの、貼り合わせ法においては、貼り合わせ後の研削・研磨による均一な薄膜化の困難さから、研磨後の GeOI 厚さは 100 nm を超える GeOI 基板がほとんどである。後者に関しては、薄膜 BOX 層を有する SOI が既に市販されている状況にあるが、GeOI 基板の BOX 層を薄膜化する動向が見られず、100 nm 以下の BOX 層を有する GeOI 基板の作製はいまだ報告されていない。

1.4 薄膜 GeOI 基板の MISFET 応用における問題点

薄膜 GeOI 基板を MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) に応用する上で問題となるのは、主に以下の 2 点である。一つは、チャネル層厚さが薄くなることに起因して、MISFET の直列抵抗が増加し、電流駆動力 (もしくは On 電流) が低下するという点である。もう一つは、Ge という材料本来の物性から発現するフェルミレベル・ピニングという現象により、*n*MISFET (*n* 型 MISFET) のソース・ドレイン (SD) 領域に見られる、金属/*n*-Ge 接合のコンタクト抵抗が非常に高くなるという点である[15]。金属/Ge 接合におけるフェルミレベル・ピニングは、フェルミレベルが、Ge の価電子端に束縛されるため、ホールのショットキーバリアハイトは低く、*p*MISFET (*p* 型 MISFET) では問題とならないが、その反面、電子のショットキーバリアハイトが高くなり、*n*MISFET のコンタクト抵抗の増大をもたらす。また、SD 領域の不純物ドーピングに関しては、微細トランジスタにおける、短チャネル効果を抑制するため、高いキャリア濃度で、かつ浅い接合の形成が必要である。*p* 型領域形成に関しては、B イオン注入法で比較的容易に $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高キャリア濃度領域の形成が可能であるが、*n* 型領域形成に関しては、Ge 中の V 族元素の高い拡散係数および低い固溶限という性質から、高キャリア濃度領域の形成が非常に困難な状況にある[16]。

1.5 本研究の目的

1.3 および 1.4 節で述べた課題を鑑み、以下の 2 点を本研究の目的とする。

- ① 低消費電力高速 CMOS のプラットフォームとして、物理的・電氣的に優れた Ge/BOX 界面特性を有する、薄膜ボディ・薄膜 BOX GeOI 基板を開発する。
- ② 化学気相成長 (Chemical Vapor Deposition, CVD) プロセスの科学的理解に基づき、高キャリア濃度を有する *n*-Ge 層を開発し、低抵抗な金属電極/*n*-Ge 接合をもって、高駆動力 GeOI-*n*MISFET を実現する。

これらの目的を達成することにより、低消費電力かつ高速動作を可能とする Ge-CMOS を実現する上での要素技術を確認する。

1.6 本論文の構成

本論文は、図 1-7 に示すように、全 7 章で構成されており、以下にその概要を示す。

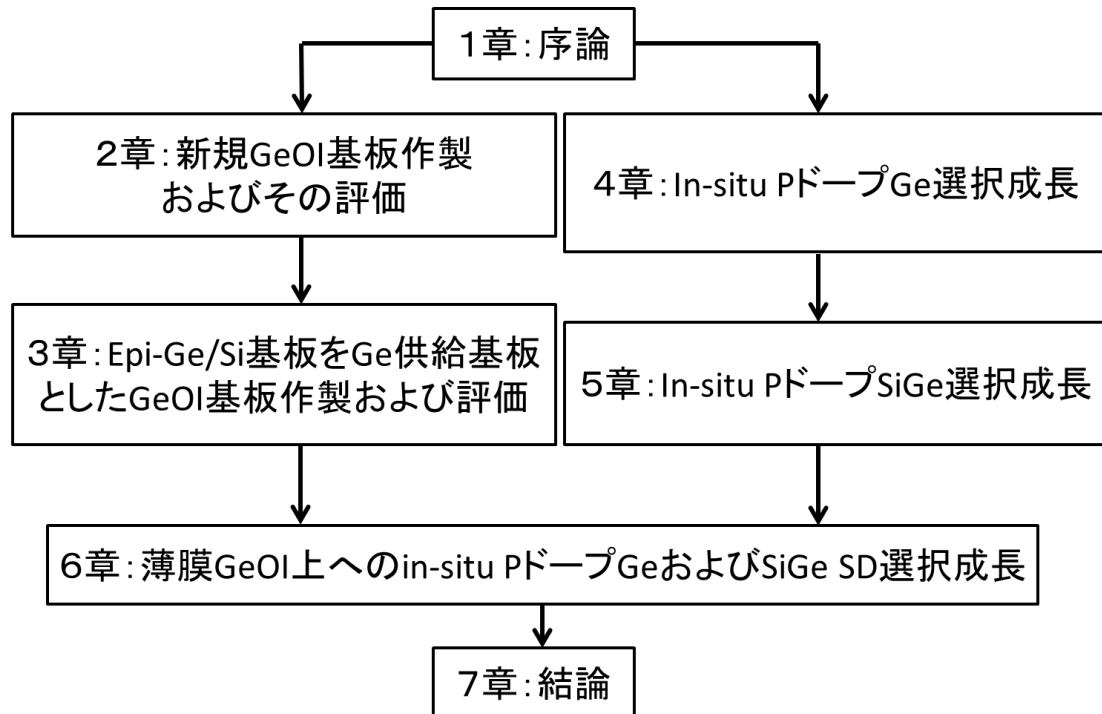


図 1-7 : 本論文の構成を示すフローチャート図。

第2章では、従来の貼り合わせ GeOI 基板における課題を詳述し、薄膜 Al_2O_3 層を Ge/SiO₂ 界面に挿入した $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX を有する GeOI 基板の開発により、それらの課題を克服できることを示す。具体的には、貼り合わせ界面を Ge/SiO₂ 接合ではなく、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 接合とすることで接合強度が大幅に強化できること、さらに、Ge との界面を $\text{Al}_2\text{O}_3/\text{Ge}$ とすることで、Ge/BOX 界面の界面準位密度を低減できることを示す。

第3章では、GeOI 基板の大口径化を可能とするために、Ge 供給基板としてバルク Ge 基板に代えて、エピタキシャル成長 Ge/Si (Epi-Ge/Si) 基板を採用する。この Epi-Ge/Si 基板により、Ge/BOX 界面の接合強度がさらに向上され、その結果として、薄膜ボディ層および薄膜 BOX 層を有する、GeOI 基板の作製が可能であることを示す。また、その Epi-Ge 層の物理的評価、電気的評価を実施し、微細デバイス要求を満たす基板品質であることを示す。さらに、その Epi-Ge 層から作製した GeOI 基板上に *p*MISFET を作製し、1 V 程度の低いバックゲートバイアス印加で、数 100 mV もの大きなしきい値変調効果が得られることを実証する。

第4章では、薄膜 GeOI 基板を実際の MISFET (特に *n*MISFET) に応用するにあたり課題となる寄生抵抗の低減を目指し、CVD 法による in-situ P ドーピングを検討し、高電子濃度 Ge 層の形成、またそれにより、Ti 電極とのオーミック接合が形成可能であることを示す。さらに、CVD 法によって作製した高電子濃度 Ge 層は、理論値通りの低シート抵抗を示し、従来困難であった *n*⁺/*p* 浅接合形成が可能となることを述べる。

第5章では、Ge チャネルへのひずみ印加による電流駆動力向上を意図し、ストレッサーSD構造形成のための、SiGe への P ドーピング特性について述べる。また、チャネル長や SiGe 層の Ge 組成を変化させた場合のひずみ印加特性や、

Ti 電極とのコンタクト抵抗評価について述べる。

第 6 章では、第 2 ～ 5 章で得られた結果を元に、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX 層を有する GeOI 基板上に、SiGe ストレッサー SD 構造を有する GeOI-*n*MISFET を作製し、トランジスタ特性を評価した結果について述べる。また、実際にこの MISFET を作製するにあたり課題となる、低温表面洗浄技術および成膜技術について詳細に述べる。

第 7 章では、本研究で得られた結果を総括し、今後の展望について述べる。

参考文献

- [1] R.H. Dennard, F.H. Gaensslen, V.L. Rideout, E. Bassous, and A.R. LeBlanc, “Design of ion-implanted MOSFET's with very small physical dimensions” IEEE J. Solid-State Circuits, vol.9, pp.256 (1974).
- [2] C. Fenouillet-Beranger, P. Perreau, S. Denorme, L. Tosti, F. Andrieu, O. Weber, S. Monfray, S. Barnola, C. Arvet, Y. Campidelli, S. Haendler, and R. Beneyton, “Impact of a 10 nm ultra-thin BOX (UTBOX) and ground plane on FDSOI devices for 32 nm node and below”, Solid-state electronics, vol.54, pp.849 (2010).
- [3] K. Romanjek, C. Le Royer, A. Pouydebasque, E. Augendre, M. Vinet, C. Tabone, L. Sanchez, J.-M. Hartmann, H. Grampeix, V. Mazzocchi, L. Clavelier, X. Garros, G. Reibold, N. Naval, F. Boulanger, and S. Deleonibus, “High-k/metal Gate GeOI pMOSFET: Validation of the Lim&Fossum model for interface trap density extraction”, SOI conf., pp.147 (2008).
- [4] Y. Wu, H.-Y. Hsieh, V.P.-H. Hu, and P. Su, “Impact of Quantum Confinement on Short-Channel Effects for Ultrathin-Body Germanium-on-Insulator MOSFETs”, Electro. Dev. Lett., vol.32, pp.18 (2011).
- [5] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, B. Haran, A. Kumar, T. Adam, A. Reznicek, N. Loubet, H. He, J. Kuss, M. Wang, T. M. Levin, F. Monsieur, Q. Liu, R. Sreenivasan, J. Cai, A. Kimball, S. Mehta, S. Luning, Y. Zhu, Z. Zhu, T. Yamamoto, A. Bryant, C. -H. Lin, S. Naczas, H. Jagannathan, L. F. Edge, S. Allegret-Maret, A. Dube, S. Kanakasabapathy, S. Schmitz, A. Inada, S. Seo, M. Raymond, Z. Zhang, A. Yagishita, J. Demarest, J. Li, M. Hopstaken, N. Berliner, A. Upham, R. Johnson, S. Holmes, T. Standaert, M. Smalley, N. Zamdmer, Z. Ren, T. Wu, H. Bu, V. Paruchuri, D. Sadana, V. Narayanan, W. Haensch, J. O'Neill, T. Hook, M. Khare, and B. Doris,

- “ETSOI CMOS for System-on-Chip Applications Featuring 22nm Gate Length, Sub-100nm Gate Pitch, and $0.08\mu\text{m}^2$ SRAM Cell”, VLSI Tech. Dig. pp.128 (2011).
- [6] T. Krishnamohan, D. Kim, Y. Nishi, K. Saraswat, and C. Jungemann, “High Performance, Ultra-thin, Strained-Ge, Heterostructure FETs With High Mobility And Low Leakage”, ECS Trans., vol.3, pp.687 (2006).
- [7] 例えば、Y.-L. Chao, Q.-Y. Tong, T.-H. Lee, M. Reiche, R. Scholz, J.C.S. Woo, and U. Gösele, “Ammonium Hydroxide Effect on Low-Temperature Wafer Bonding Energy Enhancement”, Electrochem. Solid-state Lett., vol.8, no.3, pp.G74 (2005).
- [8] S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, “Characterization of 7-nm-thick strained Ge-on-insulator layer fabricated by Ge-condensation technique”, Appl. Phys. Lett., vol.83, pp.3516 (2003).
- [9] N. Hirashita, Y. Moriyama, S. Nakaharai, T. Irisawa, N. Sugiyama, and S. Takagi, “Deformation Induced Holes in Ge-Rich SiGe-on-Insulator and Ge-on-Insulator Substrates Fabricated by Ge Condensation Process”, Appl. Phys. Express, vol.1, pp.101401 (2008).
- [10] S.K. Stanley, S.S. Coffee, and J.G. Ekerdt, “Interactions of germanium atoms with silica surfaces”, App. Surf. Sci., vol.252, pp.878 (2005).
- [11] Y.-L. Chao, R. Scholz, M. Reiche, U. Gösele, and J.C.S. Woo, “Characteristics of Germanium-on-Insulators Fabricated by Wafer Bonding and Hydrogen-Induced Layer Splitting”, Jpn. J. Appl. Phys. vol.45, pp.8565 (2006).
- [12] O. Yoshitake, J. Kikkawa, Y. Nakamura, E. Toyoda, H. Isogai, K. Izunome, and A. Sakai, “Annealing Effects on Ge/SiO₂ Interface Structure in Wafer-Bonded Germanium-on-Insulator Substrates”, Jpn. J. Appl. Phys. vol.50, pp.04DA13 (2011).
- [13] A. Nazarov, J.-P. Colinge, F. Balestra, J.-P. Raskin, F. Gamez, and V.S. Lysenko,

“Semiconductor-On-Insulator Materials for Nanoelectronics Applications”, Springer (2011).

[14] Y. Iwasaki, Y. Nakamura, J. Kikkawa, M. Sato, E. Toyoda, H. Isogai, K. Izunome, and A. Sakai, “Electrical Characterization of Wafer-Bonded Germanium-on-Insulator Substrates Using a Four-Point-Probe Pseudo-Metal–Oxide–Semiconductor Field-Effect Transistor”, Jpn. J. Appl. Phys. vol.50, pp.04DA14 (2011).

[15] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, “Fermi-level pinning and charge neutrality level in germanium”, Appl. Phys. Lett. vol.89, pp.252110 (2006).

[16] M. Koike, Y. Kamata, T. Ino, D. Hagishima, K. Tatsumura, M. Koyama, and A. Nishiyama, “Diffusion and activation of *n*-type dopants in germanium”, J. Appl. Phys., vol.104, pp.023523 (2008).

第2章 新規 GeOI 基板作製およびその評価

2.1 Al₂O₃/SiO₂ hybrid BOX を有する GeOI 基板のコンセプト

1.3 節で述べたように、従来作製されてきた貼り合わせ GeOI 基板は、貼り合わせ接合面である Ge/SiO₂ (BOX) 界面の接合強度が弱く、かつ、電気的なクオリティも低い (界面準位密度が Si/SiO₂ 界面と比較し高い) という問題を抱えている [1, 2]。空乏層がそのチャンネル層/BOX 界面近傍まで広がっていないような、微細化されていないデバイスでは、界面準位はそれほど問題とならなかったが、Si チャンネルに変わり GeOI 層がチャンネルとなる微細なデバイスでは、空乏層は Ge/BOX 界面近傍まで広がる。そのため、トランジスタの電流駆動力が界面準位の影響を直接的に受ける状況になる。

そこで、本研究では、機械的にも電気的にも質の低い Ge/SiO₂ 界面に代わる、接合界面を Al₂O₃/SiO₂ とした、Al₂O₃/SiO₂ hybrid BOX 構造を有する GeOI 基板を提案する。Al₂O₃ 膜を用いる利点は、まず、電気的に質の高い界面が期待されることである。この点については、Al₂O₃/Ge 界面は SiO₂/Ge 界面よりも界面準位密度が低いことが報告されている [3]。また、SiO₂ 表面は、表面に -OH 基を多数有する物質との接合において、その接合強度が増大すると言われている [4]。そこで、本研究では貼り合わせ界面の接合強度を高めるために、Al₂O₃ 薄膜の成膜法として、他の方法に比べより -OH 基が多いとされる ALD (Atomic Layer Deposition) 法を用いることとした [5]。また、1.2 節で述べたように、ロジック電圧程度のバックゲートバイアスによってしきい値電圧制御を行うためには、10 nm 程度の極薄 EOT (Equivalent Oxide Thickness、SiO₂ に換算して電気的に等価な膜厚) を有する BOX 層を形成する必要がある。そのため、Al₂O₃ 膜厚

を 4 nm、SiO₂ 膜厚を 10 nm とした。ALD で成膜した Al₂O₃ 層の比誘電率は SiO₂ の 2 倍であるため、設計上この Al₂O₃/SiO₂ hybrid BOX の EOT は 12 nm である。

一方、より薄い EOT を実現するには、Al₂O₃ よりも誘電率が高く、かつ今日の Si-CMOS のゲート絶縁膜として用いられている HfO₂ が候補にあげられる。図 2-1(a)は、HfO₂/Ge 基板と SiO₂/Si 基板を接合した後の SAT (Scanning Acoustic Tomography) 像、図 2-1(b)は、比較対象とした、Al₂O₃/Ge と SiO₂/Si の接合後の SAT 像である。図中で、パーティクルが存在する箇所が白いコントラストで表されている。

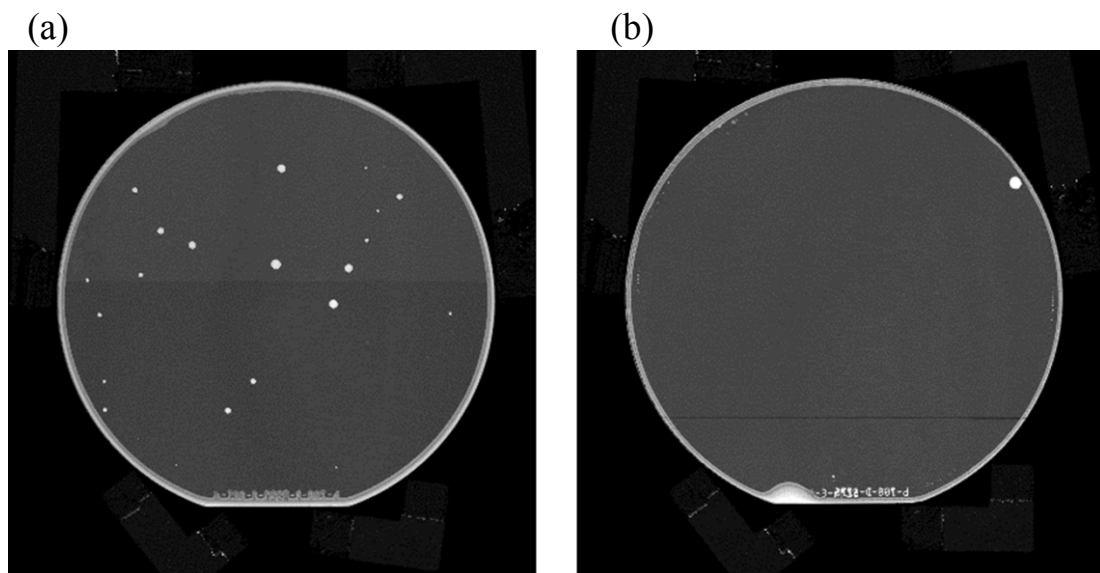
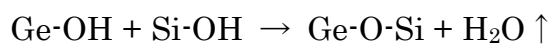


図 2-1: ALD 成膜による挿入材質の違いによる接合界面の違い (貼り合わせ後の SAT 像)。(a) HfO₂ 挿入、(b) Al₂O₃ 挿入。HfO₂ 挿入の場合には、パーティクル起因と思われるボイドが観察される。

図 2-1 に示すように、ALD 成膜後の HfO₂ 表面には、パーティクルが多数存在し、現状では、基板貼り合わせ用途には不向きであると考えられる。そのため、本研究では、主として Al₂O₃ 薄膜を検討した。

2.2 Al₂O₃/SiO₂ hybrid BOX を有する GeOI 基板の作製方法

ここで、図 2-2 に、(a)従来の GeOI 基板作製法と比較する形で、本研究で提案する、(b)新規 GeOI 基板作製法のプロセスフローを示す。なお、両手法とも貼り合わせまでの工程は、クリーンルーム内で行う。従来の貼り合わせ法では、まず、Ge 層供給基板である Ge 基板および支持基板である SiO₂/Si 基板をアンモニア水洗浄する。これは、アンモニア水洗浄により、Ge 表面および SiO₂ 表面に -OH 基を付着させるとともに、Ge 基板表面のパーティクルを除去する狙いがある[6]。図 2-1 に示したように、パーティクルが残ったままであると、貼り合わせ工程後もパーティクルによって接合が阻害され、接合面にボイドが形成されてしまう。続いて、アンモニア水洗浄後、Ge 表面と SiO₂ 表面を大気中で貼り合わせる。貼り合わせ後、接合強度を高めるため、場合に応じて、300°C 以下の低温で長時間アニールを実施する。この際に次の 2 点に注意を要する。1 点目は、アニール温度の設定である。Ge と Si の熱膨張係数の差 (Ge および Si の熱膨張係数はそれぞれ、 6.0×10^{-6} および $2.6 \times 10^{-6} \text{ K}^{-1}$ である。) により、接合界面に大きな応力が加わり、約 0.2% のひずみが生じる。それにより、貼り合わせ界面から両基板が剥がれる場合や、Ge 基板が割れる場合がある。2 点目は、Ge と SiO₂ の反応である。通常、



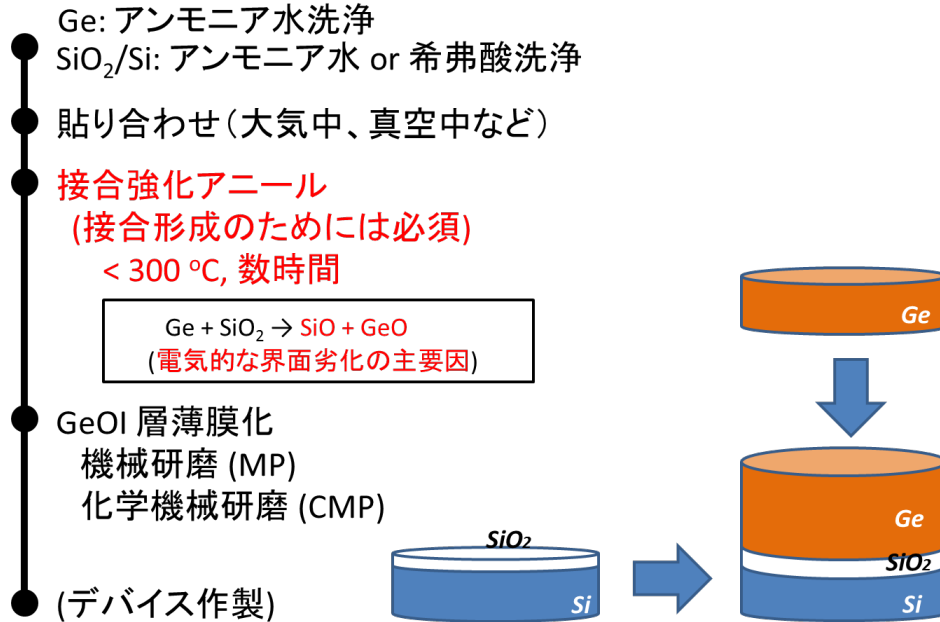
の反応式に基づいて接合界面が形成されるが、温度が高くなると、



の反応によって、揮発性の GeO および SiO が生成される。この反応は 300°C 程度でも十分に速い反応速度を有しており、これによって界面準位が増加する懸

念がある[7, 8]。

(a)



(b)

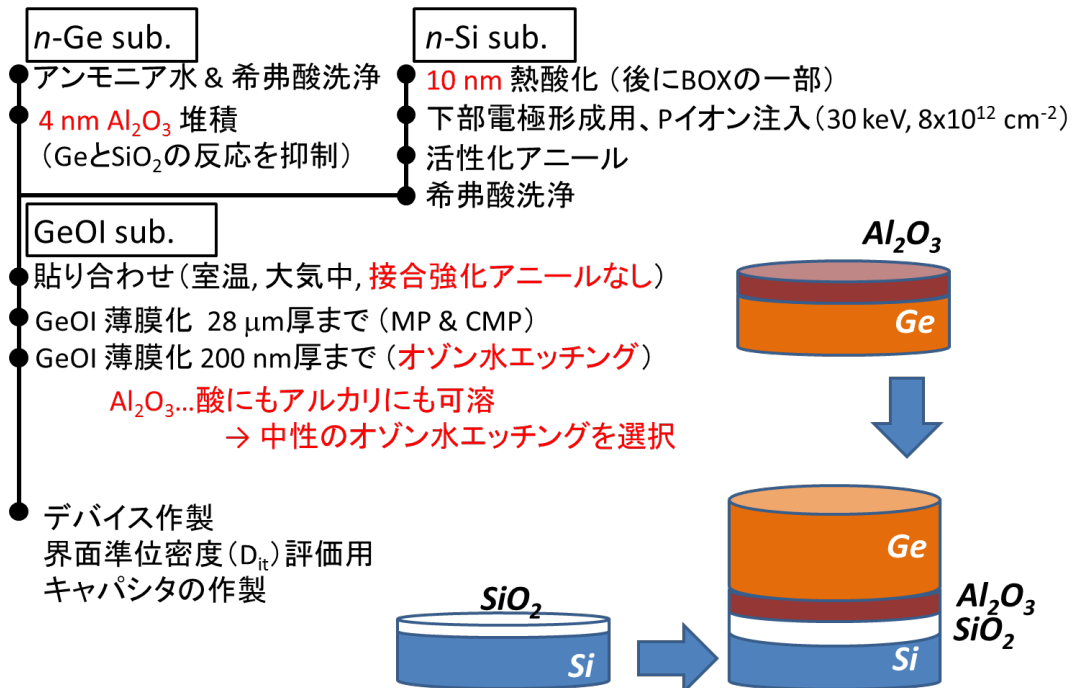


図 2-2: GeOI 基板作製法の比較。(a)従来の一般的な GeOI 基板作製法、(b)本研究中で提案する、Al₂O₃ を Ge/SiO₂ 界面に挿入した新規 GeOI 基板作製法。

その後、Ge 基板を MP (Mechanical Polishing、機械研磨) や CMP (Chemical Mechanical Polishing、化学機械研磨) 等で、所望の厚さまで薄膜化し、GeOI 基板が完成する。

一方、本研究で提案する新規 GeOI 作製法について説明する (図 2-2(b))。基板作製後に、界面の電气的評価を行うため、Ge 供給基板としては、直径 100 mm の n -Ge ($1\text{-}5\ \Omega\cdot\text{cm}$) 基板に、ALD 法および、比較対象としてスパッタリング法によって 4 nm 厚の Al_2O_3 薄膜を堆積した試料を用いた。成膜前の基板洗浄には、アンモニア水 ($\text{NH}_4\text{OH}:\text{DIW}$ (De-Ionized Water、超純水) = 1:1、3 min) 洗浄および希塩酸 ($\text{HCl}:\text{DIW}$ = 1:10、2 min) 洗浄を実施した。ALD 成膜温度は 275°C 、スパッタリング成膜温度は室温である。支持基板としては、直径 100 mm の n -Si ($1\text{-}5\ \Omega\cdot\text{cm}$) 基板を熱酸化し、10 nm 厚さの SiO_2 膜を有する SiO_2/Si 基板を用いた。支持基板は電気特性評価時の電極として利用することを考え、 SiO_2 層直下に、注入エネルギー 30 keV、ドーズ量 $8\times 10^{12}\ \text{cm}^{-2}$ の条件で P をイオン注入し、活性化アニールを実施した。貼り合わせに際しては、表面のパーティクルを除去するために、支持基板は希弗酸 ($\text{HF}:\text{DIW}$ = 1:100、20sec) 洗浄し、供給基板は、ALD 装置またはスパッタリング装置のロードロック室 (純窒素置換) から取り出した後、直ちにクリーンルーム内で、大気中、室温の条件で、それぞれの基板の Al_2O_3 表面と SiO_2 表面を接触させた。なお、貼り合わせ直後の界面特性評価にあたっては、接合強化アニールは施していない。その後、MP および CMP によって 28 μm 厚さまで Ge 基板を研削・研磨した。続けて、オゾン濃度 50 mg/L のオゾン水によるエッチングを用いて、200 nm 厚さまで薄膜化した。ここで、 Al_2O_3 は酸にもアルカリにも可溶性な材質であるため、中性であるオゾン水エッチングを採用した。

電気特性評価、すなわち界面準位密度 (D_{it}) 評価にあたっては、上部電極と

して 7 nm 厚の Ni をスパッタリング法で堆積した後、反応性イオンエッチング (RIE) にて Ni/GeOI メサ構造を形成した。最後に裏面電極として、Si 裏面に 100 nm 厚の Al をスパッタリング法で堆積し、電気特性測定用試料を作製した。なお、参照試料として、市販の 50 nm *p*-SOI 基板を使用して、Ni/*p*-SOI メサ /145nm SiO₂/*p*-Si/Al 構造を作製した。

2.3 作製した GeOI 基板の構造および機械的特性評価

作製した GeOI 基板の断面構造は透過型電子顕微鏡 (TEM) および走査型電子顕微鏡 (SEM) によって、Ge 薄膜化後の Ge 表面形態は原子間力顕微鏡 (AFM) によって観察した。

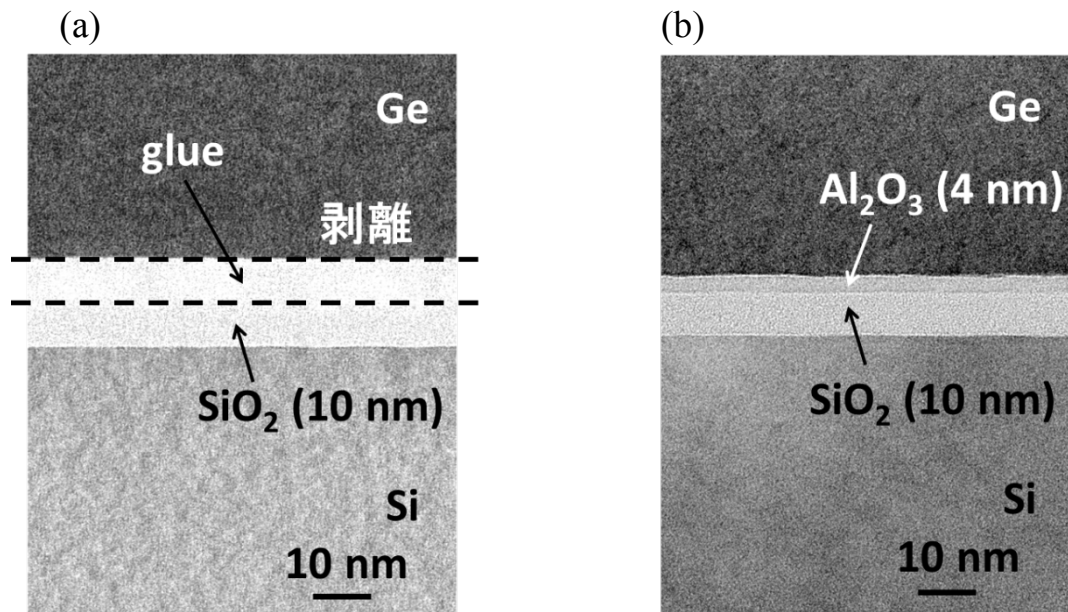


図 2-3: 作製した GeOI 基板の断面 TEM 像。(a) Ge/SiO₂ 接合を有する GeOI 基板、(b) Al₂O₃/SiO₂ 接合を有する GeOI 基板。

図 2-3 に、基板貼り合わせ後に、Ge 層を MP および CMP で薄膜化をした試料の、(a) Ge/SiO₂/Si 界面の高分解能断面 TEM 像および、(b) Ge/Al₂O₃/SiO₂/Si

界面の高分解能断面 TEM 像を示す。(a)の試料においては、Ge/SiO₂ 界面での接合後、200 Pa 窒素中にて、250°C、60 min の接合強化アニールを行った。一方、(b)の試料においては、Al₂O₃/SiO₂ 界面での接合後、接合強化アニールを行わなかった。図 2-3(a)から、Ge/SiO₂ 界面は、接合強化アニール後にも関わらず、TEM 試料作製中の断面研磨の負荷（摩擦）に耐えられず、貼り合わせ面における剥離が確認された。一方、図 2-3(b)から、Al₂O₃/SiO₂ 貼り合わせ界面には、原子レベルに平坦な接合が形成され、意図しない付加的な界面層の生成は確認されない。この結果から、定性的に Ge/SiO₂ 接合界面より、Ge/Al₂O₃/SiO₂ 界面の接合強度が高いことがわかる。

次に、図 2-4 に(a)CMP 後 (Ge 厚さ 28 μm)、および(b)オゾン水エッチング後 (Ge 厚さ 200 nm) の Ge 表面の AFM 像を示す。

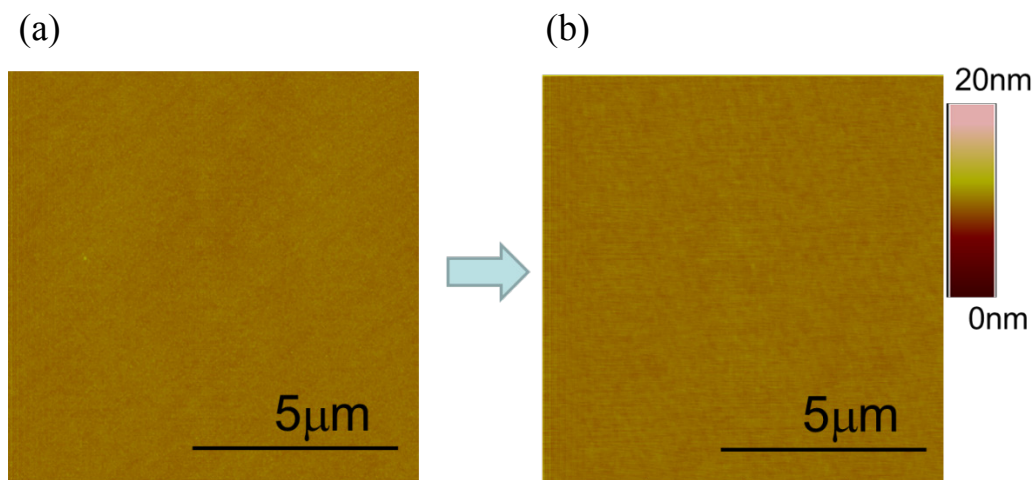


図 2-4: GeOI 層薄膜化後の Ge 表面の AFM 像。(a) CMP 後 (28 μm 厚 GeOI)
(b) オゾン水エッチング後 (200 nm 厚 GeOI)。

これより、約 27.8 μm もの除去厚さに対するオゾン水エッチングを施しても、表面の平坦性が維持されることがわかる。一般的に、厚膜に対し異方性エッチャントによるエッチングを適用すると、プロセス中に基板表面に付着したパーティクル等がきっかけで、ファセットやピットを形成しやすいが、オゾン水に

よるエッチングでは、そのような弊害は生じず、平坦なままエッチングが進行するといえる。これは、オゾン水が Ge に対して有する、等方的エッチング特性によると考えられる。それを検証するため、SiO₂ パターンを有する Ge 基板のエッチング形状を観察した結果を図 2-5(a)に示す。比較対象として、一般的に Ge のエッチャントとして使用されることが多い過酸化水素水 (H₂O₂:DIW = 1:500) によるエッチング形状も示した (図 2-5(b))。

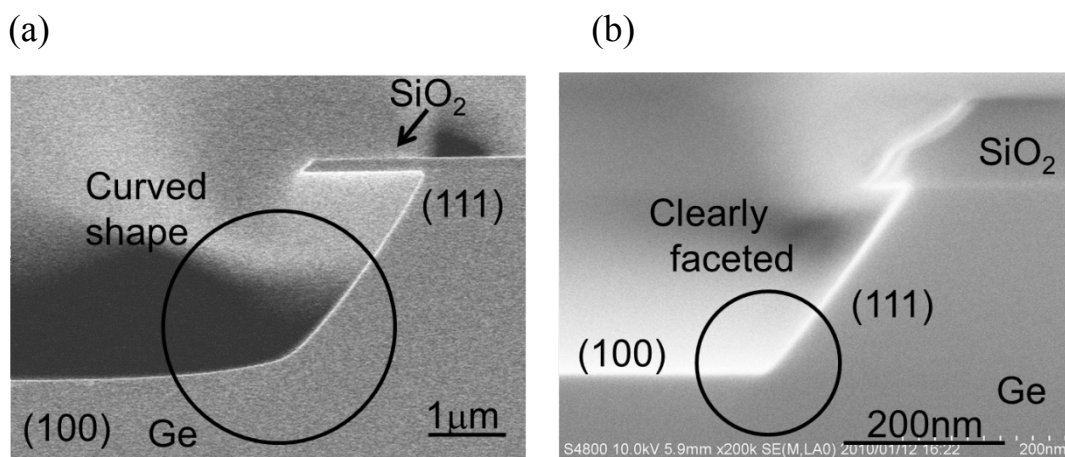


図 2-5: 溶液によるエッチング後の Ge エッチング形状を示す断面 SEM 像。(a) オゾン水エッチング後、(b)過酸化水素水エッチング後。

過酸化水素水によるエッチングでは、明確に {100} および {111} ファセットが形成され、高い異方性を有することが確認できるが、オゾン水エッチングでは、より高次の格子面により形成されたと考えられるカーブ状のエッチング形状が確認される。このように、オゾン水は Ge に対し異方性が弱く、厚膜に対しても平坦なままエッチングが進行したと考えられる。

定量的に接合強度を評価するため、Al₂O₃ 層の有無、接合強化アニールの有無による、接合強度の違いをクラック・オープン法で評価した。ここで、貼り合わせ基板作製に関する機械的特性評価法として特徴的なクラック・オープン法について説明する。図 2-6 に示すように、クラック・オープン法とは貼り合せ

た2枚の基板の間に厚さ h のブレードを挿入し、その結果剥離した領域の長さ（クラック長） L から、接合強度を界面エネルギー値として、定量的に求める手法である。

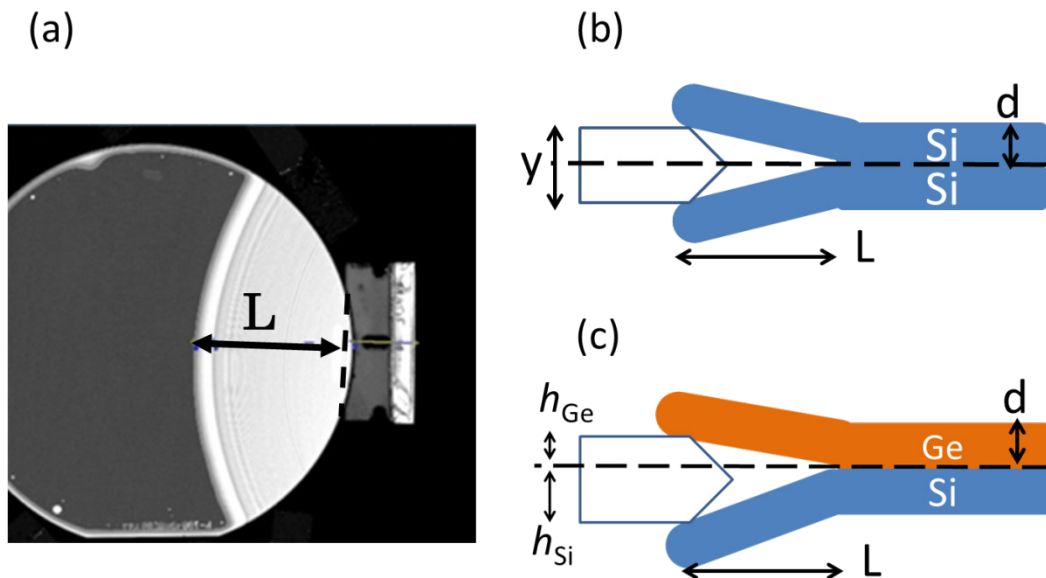


図 2-6: クラック・オープン法による貼り合わせ界面の接合強度測定の説明図。
 (a)クラック長 (L) 測定のための SAT 像観察、(b)貼り合わせに用いた基板が同種 (Si) の場合の測定原理図、(c) 貼り合わせに用いた基板が異種 (Ge と Si) の場合の測定原理図。

図 2-6(a)に、クラック長 L を測定するために、貼り合わせた基板間にブレードが挿入された状態の SAT 像を、(b)に測定原理図を示す。この接合強度評価原理は、貼り合わされた上下それぞれの基板を片持ち梁と見立て、その弾性エネルギーと、表面エネルギーが一致する長さまで、クラック L が進入するというモデルに基づいている。このとき、接合強度 γ は、

$$\gamma = 3h^2Et^3/32L^4$$

と表される [9]。ここで、 $h=250 \mu\text{m}$ 、 E は基板材料の Young 率で、Si では 185 GPa、

Ge では 103 GPa である。また、 t は基板厚さで、今回の場合は $525 \mu\text{m}$ である。さらに、本実験の場合、供給基板が Ge、支持基板が Si と材質が異なるため、同じ応力に対するたわみ方が上下基板で異なることになる。結果として、図 2-6(c) に示すように、ブレードの厚さ中心と貼り合わせ界面が一致しない状況となる。この状況下でブレードを挿入した際、貼り合わせ界面から Ge 側に存在するブレードの厚さを h_{Ge} 、Si 側にあるブレードの厚さを h_{Si} とし、その比率を $h_{\text{Ge}}/h_{\text{Si}}$ とすると、 $h_{\text{Si}}+h_{\text{Ge}}=h$ および $h_{\text{Ge}}/h_{\text{Si}}=E_{\text{Si}}/E_{\text{Ge}}$ となるので、接合強度は結果的に以下の式で表すことができる。

$$\gamma = 3 \left(2h \frac{E_{\text{Ge}}}{E_{\text{Ge}} + E_{\text{Si}}} \right)^2 E_{\text{Si}} t^3 / 32L^4$$

計測結果を図 2-7 に示す。

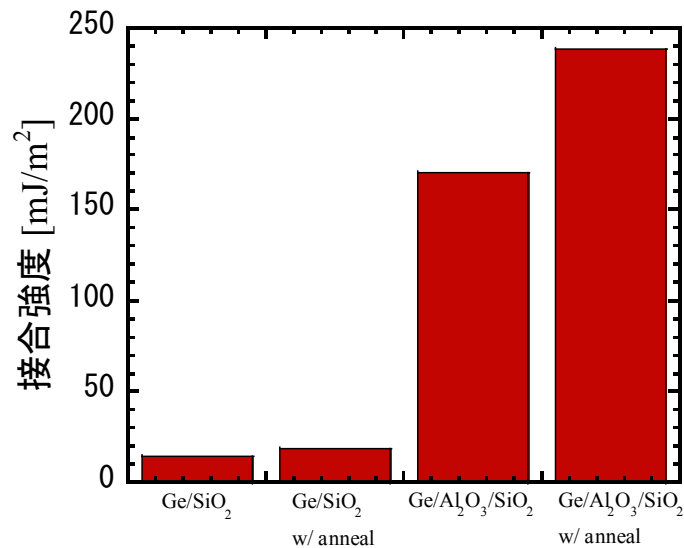
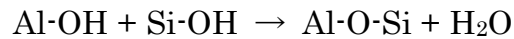


図 2-7: 基板作製法の違いによる、接合強度比較。

これより、貼り合わせ直後の Ge/SiO₂ 界面の接合強度は 14.6 mJ/m^2 、接合強化アニール後の接合強度は 18.5 mJ/m^2 と、アニールの効果は小さく、僅かな接合強度増加にとどまっている。一方、接合強化アニールを施していない Ge/Al₂O₃/SiO₂ 界面の接合強度は 170.3 mJ/m^2 であり、アニール後の Ge/SiO₂

界面と比較し、約 9 倍の接合強度が得られることがわかった。さらに、接合強化アニールを施した Ge/Al₂O₃/SiO₂ 界面の接合強度は 237.9 mJ/m² であり、アニール前と比較し、1.4 倍の強度増加が確認された。このような接合強度の増加は、Al₂O₃/SiO₂ 界面における、



の反応によると考えられる[10]。この反応は、室温でも充分に進むことが知られており、接合強化アニールを施していない、貼り合わせ直後の Al₂O₃/SiO₂ 接合強度が高いことの原因である[11]。また、その後のアニールによって、副産物である H₂O が貼り合わせ界面から、基板外に脱出し、さらにこの反応が加速することで接合強度が増加すると考えられる。

Al₂O₃/SiO₂ 接合と、Al₂O₃/Al₂O₃ 接合、および比較対象として SiO₂/SiO₂ 接合の接合強度を比べた結果を図 2-8 に示す。

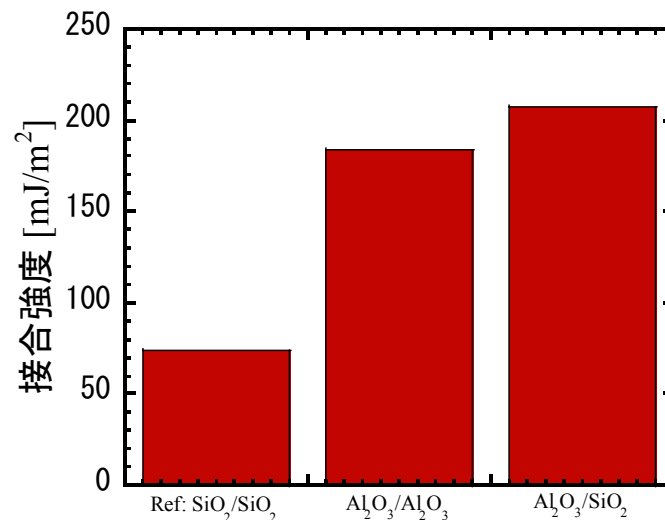


図 2-8: 接合材質の違いによる、接合強度比較。

なお、どの試料も接合後に接合強化アニールを行っていない。図 2-8 から、Al₂O₃/SiO₂ 接合が最も接合強度が高いことが確認され、強固な接合面形成に有利であることがわかる。また、Al₂O₃ 層の成膜方法として、ALD 法とスパッタ

リング法とで比較した結果を図 2-9 に示す。

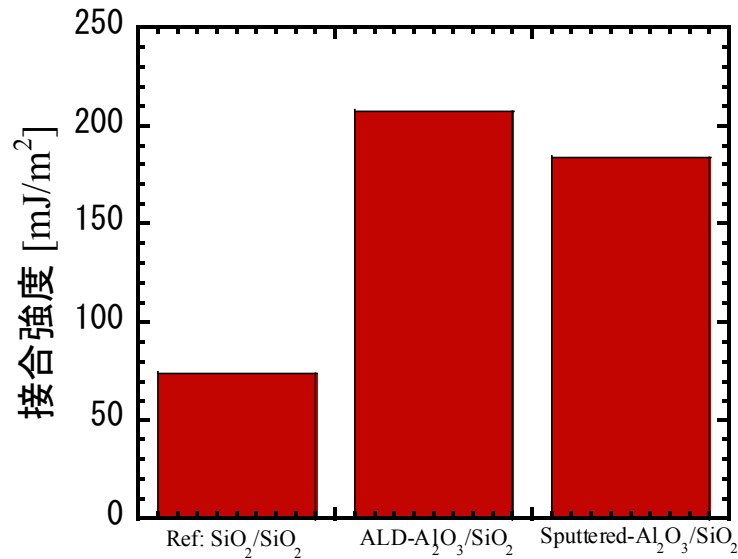


図 2-9: Al₂O₃ 成膜法の違いによる、接合強度比較。

スパッタリング法に比べ、ALD 法で成膜した Al₂O₃ 層の方が、接合強度が高い。これは、Al-O-Si 結合の形成において、-OH 基の役割の重要性を示しており、接合強度の高い界面を形成するうえで、ALD 法が有利であることを実証している。

以上のように、ALD-Al₂O₃ 層を Ge/SiO₂ 界面に挿入すること、および Ge に対し比較的異方性の弱いオゾン水エッチングによる薄膜化工程を適用することによって、強固な Al₂O₃/SiO₂ 接合により貼り合わせられた、薄膜 Al₂O₃/SiO₂ hybrid BOX 層を有する薄膜 GeOI 基板の作製が可能となった。

2.4 Ge/BOX 界面の界面準位密度評価

作製した GeOI 基板の接合界面における電気特性を評価するため、コンダクタンス法により界面準位密度を測定した。図 2-10(a)に、測定周波数 1 MHz、基板温度 -60°C の条件下で測定した、*n*-GeOI キャパシタの容量曲線およびコンダクタ

ンス曲線を示す。本図において、基板裏面から印加するバックゲートバイアスを V_{BG} と示してある。また、参照試料として、図 2-10(b)に、測定周波数 1 MHz、基板温度室温の条件下の、*p*-SOI キャパシタの容量曲線およびコンダクタンス曲線を示す。なお SOI キャパシタの構造は、SOI 層厚さが 50 nm、BOX (SiO₂) 厚さが 145 nm である。

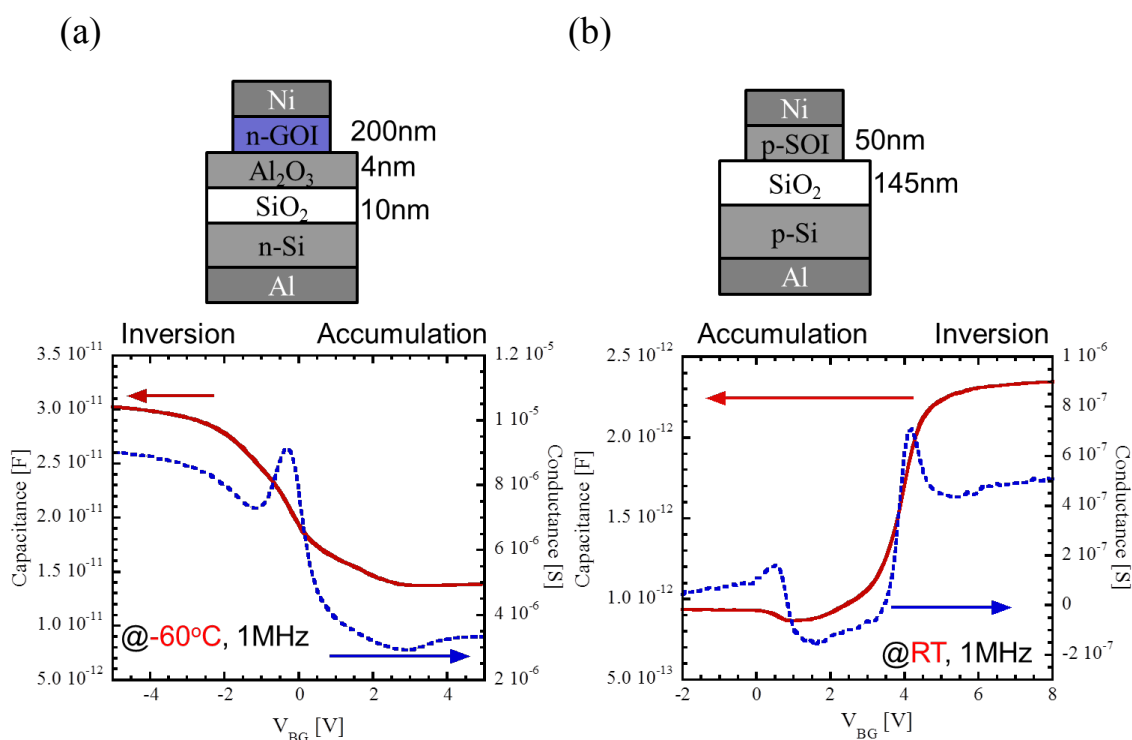


図 2-10: (a) *n*-GeOI キャパシタ、および、(b) *p*-SOI キャパシタの容量、コンダクタンス曲線。

GeOI キャパシタおよび SOI キャパシタ、両方の容量曲線において、蓄積容量に比べ、反転容量が大きい値を示している。この理由を、図 2-11 に示すように、*n*-GeOI キャパシタを例にとって説明する。*n*-Ge 上のショットキー接合においては、反転状態のバイアス条件下では、Ge/BOX 界面付近の Ge 中に反転層を形成し得るが、蓄積状態のバイアス条件下では Ni/Ge 界面の高いショットキー障壁のため、電子注入が制限される状況となる。その結果、*n*-GeOI キャパシタの容

量曲線において、蓄積容量に比べ、反転容量が大きくなる。

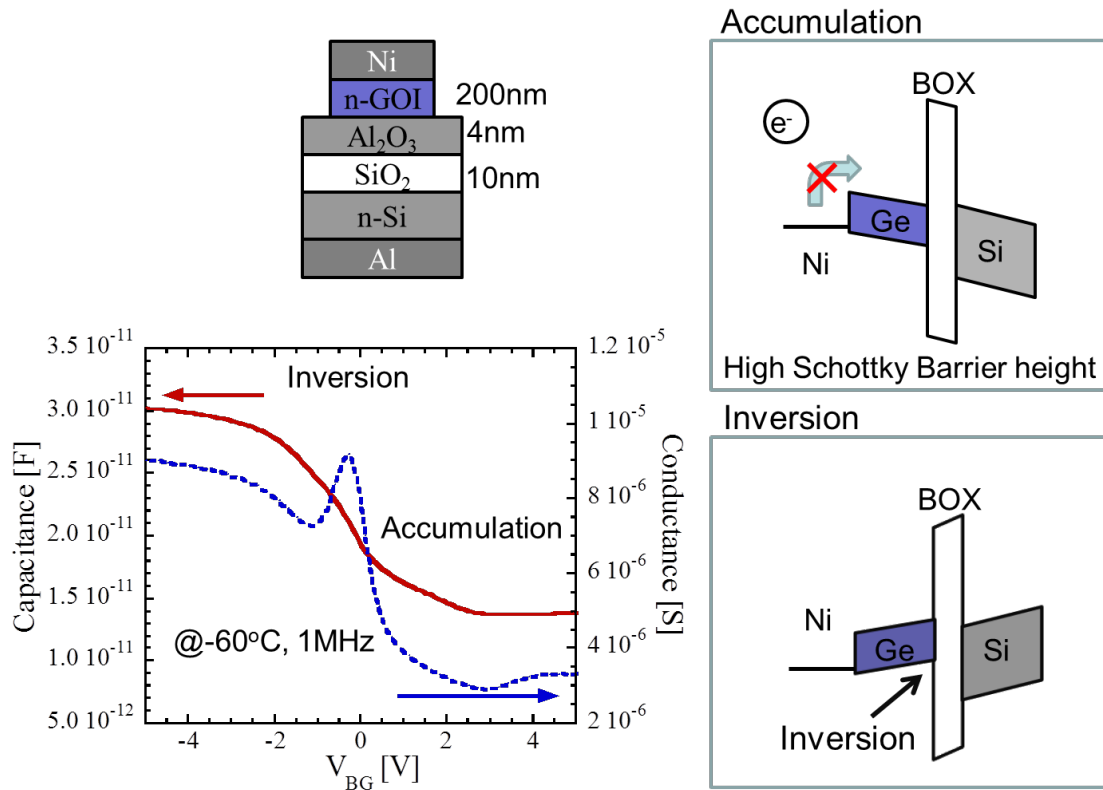


図 2-11: GeOI キャパシタにおいてコンダクタンスピークが観測されない状況の説明図。

なお、*n*-GeOI キャパシタの反転容量から BOX の EOT を抽出すると、12 nm という値が得られ、これは BOX 構成材料の厚さ及び比誘電率から考えて適切な値である。図 2-10 を見ると *p*-SOI で蓄積条件ならびに反転条件の両方においてコンダクタンスピークが出現しているものの、*n*-GeOI では、反転条件のときのみ、コンダクタンスピークが出現する。これは、*p*-SOI ではホールと電子の注入に明確な差が無いのに対し、*n*-GeOI では電子の注入が起こりにくいとする裏付けでもある。

次に、Ge/Al₂O₃ 界面の界面準位密度 (D_{it}) を測定した。 D_{it} の導出においては、MOS キャパシタの一般的な等価回路モデルを利用する[12, 13]。図 2-12 に、MOS

キャパシタの(a)等価回路、および、(b)(a)の解析・評価上の等価回路を示す。

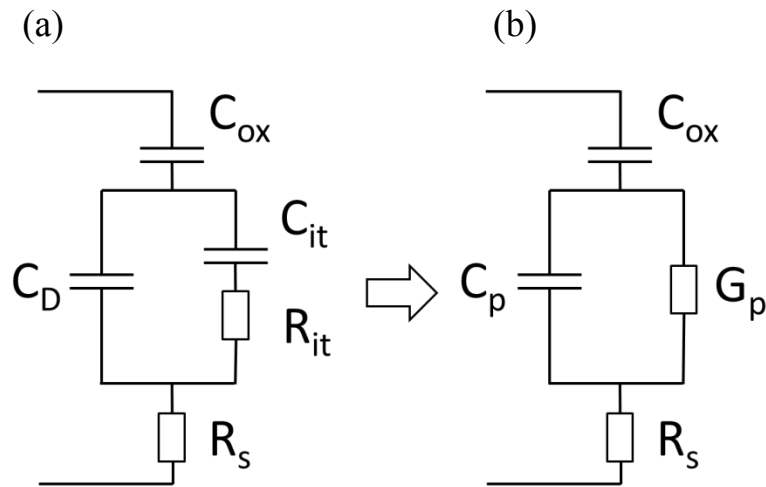


図 2-12: コンダクタンス法測定の等価回路図。(a) MOS キャパシタの等価回路
(b) 実際の測定で用いる(a)で示した回路の等価回路。

(b)の等価回路から、等価パラレルコンダクタンス G_p の実部は次式で表される。

$$\frac{\langle G_p \rangle}{\omega} = \frac{\omega C_{ox}^2 G_c}{G_c^2 + \omega^2 (C_{ox} - C_c)^2}$$

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{a^2 + \omega^2 C_m^2}, G_c = \frac{(G_m^2 + \omega^2 C_m^2) a}{a^2 + \omega^2 C_m^2}, a = G_m - (G_m^2 + \omega^2 C_m^2) R_s,$$

ここで、 C_{ox} 、 C_c 、 G_c 、 C_m および G_m は、それぞれ絶縁膜容量、直列抵抗 (R_s) の周波数依存性を差し引いた補正容量、直列抵抗の周波数依存性を差し引いた補正等価パラレルコンダクタンス、測定された容量、および測定されたパラレルコンダクタンスである。また、 ω は測定角周波数である。これらの式、および G_p/ω の最大値が $C_c/2$ に等しいという関係から、 D_{it} は次式で得られる[13]。

$$D_{it} = \frac{2 \left(\left. \frac{\langle G_p \rangle}{\omega} \right|_{max} \right)}{q^2}$$

図 2-13(a)に、様々な周波数で測定した容量特性カーブを示す。この図から、容量特性は周波数にあまり依存せず、ほぼ同様である。一方、図 2-13(b)に、様々な周波数で測定した、コンダクタンス特性を示す。周波数に依存してコンダク

タンスにピークが現れる。

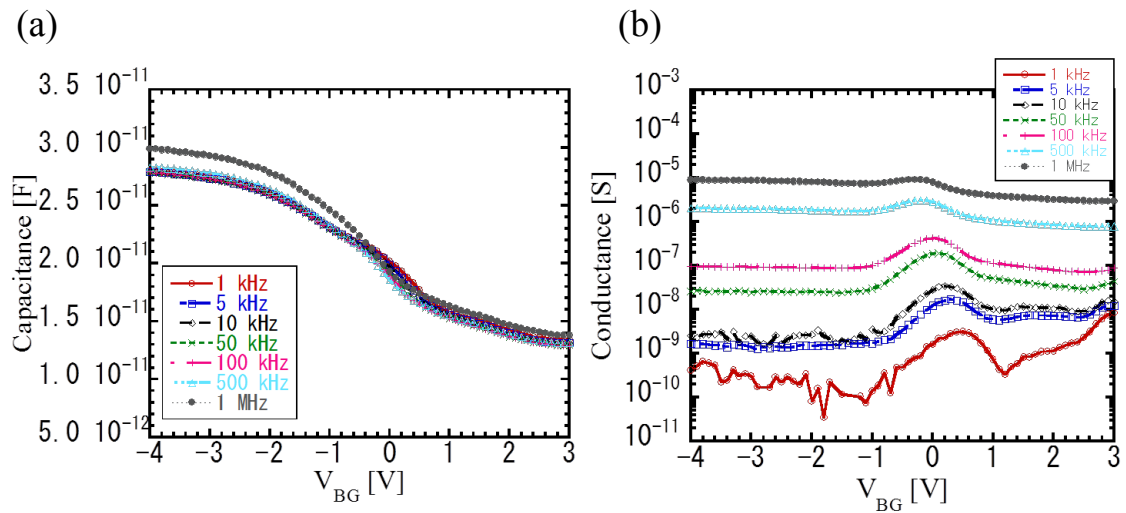


図 2-13: (a)容量および(b)コンダクタンスの、周波数特性。測定周波数の範囲は、1 kHz~1 MHz である。

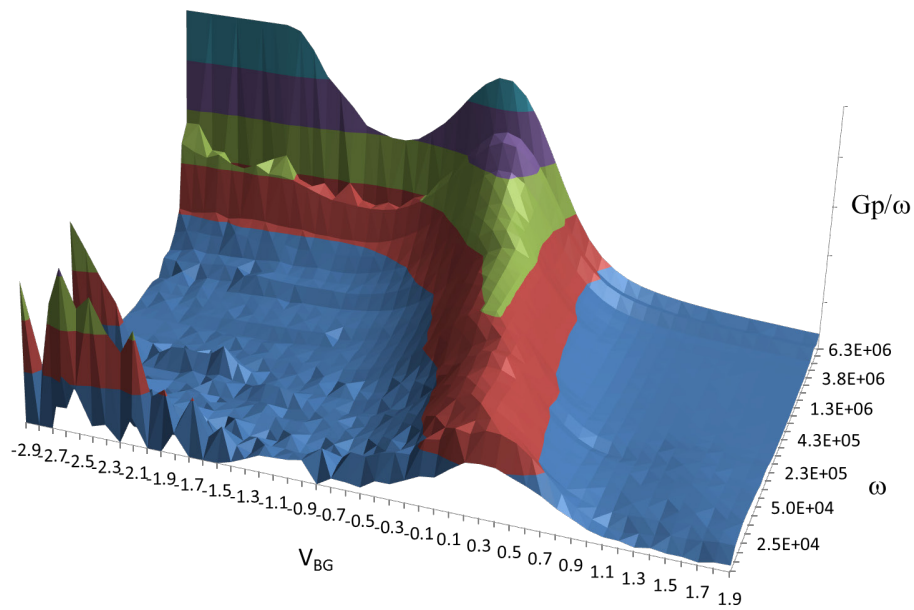


図 2-14: G_p/ω の 3次元表示。

図 2-14 は、 G_p/ω の 3次元マップである。角周波数 ω の変化に応じて、 G_p/ω のピークがシフトしていく様子が確認できる。これより、図 2-15 に示すように、

D_{it} の V_{BG} 依存性が得られる。

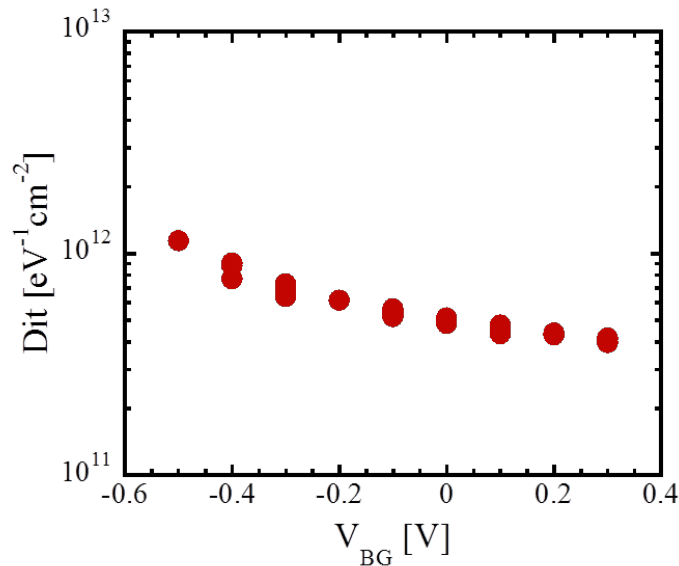


図 2-15: Ge/ Al_2O_3 界面の界面準位密度 D_{it} 。

ここで、 V_{BG} を増加させる方向に測定することは、価電子帯端からバンドギャップ中央に向かって D_{it} を測定することに対応している。従って、界面準位は、価電子帯端近傍が多く、バンドギャップ中央に向かって減少していくことがわかった。こうした挙動は、Ge-MIS キャパシタの D_{it} 測定において頻繁に観測されている[14]。結果として、本研究で作製した GeOI 基板の Ge/BOX 界面準位密度は $3.9 \times 10^{11} eV^{-1} cm^{-2}$ と得られ、この値は、従来報告されている Ge/ SiO_2 界面の D_{it} と比較し、約 1 桁低い[2]。これは、Ge/ SiO_2 界面に Al_2O_3 を挿入したことにより、Ge と SiO_2 との反応が抑制されたためと考えられる[1, 2]。今回、この Ge/ Al_2O_3 / SiO_2 構造によって、低界面準位密度を有する GeOI/BOX 界面が得られた。薄膜 Al_2O_3 / SiO_2 hybrid BOX 層を有する GeOI 基板は、キャリア移動度やサブスレシヨルド特性への悪影響が低減できる、高品質な低消費電力高速 CMOS プラットフォームとして有望であることが強く示唆される。

2.5 小括

本章では、機械的にも電氣的にも質の低い Ge/SiO₂ 界面に代わる、接合界面を Al₂O₃/SiO₂ とした、薄膜 Al₂O₃/SiO₂ hybrid BOX 構造を有する GeOI 基板を提案し作製した。その結果、Al₂O₃/SiO₂ 接合界面において、Al-O-Si 結合が形成されることにより、Ge/SiO₂ 接合に比べ、飛躍的に接合強度が増加することがわかった。さらに、本構造は Ge/SiO₂ に比べて電氣的な界面品質が高いとされる Al₂O₃/Ge 接合を有することから、従来の SiO₂ BOX を有する GeOI 基板に比べ界面準位密度が約 1 桁低く、電氣的にも高品質であることが示された。

参考文献

- [1] O. Yoshitake, J. Kikkawa, Y. Nakamura, E. Toyoda, H. Isogai, K. Izunome, and A. Sakai, “Annealing Effects on Ge/SiO₂ Interface Structure in Wafer-Bonded Germanium-on-Insulator Substrates”, *Jpn. J. Appl. Phys.* vol.50, pp.04DA13 (2011).
- [2] Y. Iwasaki, Y. Nakamura, J. Kikkawa, M. Sato, E. Toyoda, H. Isogai, K. Izunome, and A. Sakai, “Electrical Characterization of Wafer-Bonded Germanium-on-Insulator Substrates Using a Four-Point-Probe Pseudo-Metal–Oxide–Semiconductor Field-Effect Transistor”, *Jpn. J. Appl. Phys.* vol.50, pp.04DA14 (2011).
- [3] R. Kato, S. Kyogoku, M. Sakashita, H. Kondo, and S. Zaima, “Effects of Atomic Layer Deposition-Al₂O₃ Interface Layers on Interfacial Properties of Ge Metal–Oxide–Semiconductor Capacitors”, *Jpn. J. Appl. Phys.*, vol.48, pp.05DA04 (2009).
- [4] Y. -L. Chao, Q.-Y. Tong, T.-H. Lee, M. Reiche, R. Scholz, J.C.S. Woo, and U. Gösele, “Ammonium Hydroxide Effect on Low-Temperature Wafer Bonding Energy Enhancement”, *Electrochem. Solid-state Lett.*, vol.8, no.3, pp.G74 (2005).
- [5] C. Soto, and W. T. Tysoe, “The reaction pathway for the growth of alumina on high surface area alumina and in ultrahigh vacuum by a reaction between trimethyl aluminum and water”, *J. Vac. Sci. Technol. A*, vol.9, pp.2686 (1991).
- [6] Y. Moriyama, N. Hirashita, K. Usuda, S. Nakaharai, N. Sugiyama, E. Toyoda, and S. Takagi, “Study of the surface cleaning of GOI and SGOI substrates for Ge epitaxial growth”, *Appl. Surf. Sci.*, vol.256, pp.823 (2009).
- [7] S.K. Stanley, S.S. Coffee, and J.G. Ekerdt, “Interactions of germanium atoms with silica surfaces”, *App. Surf. Sci.*, vol.252, pp.878 (2005).
- [8] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, “Introduction of local tensile strain on Ge substrates by SiGe stressors selectively grown on wet chemically recessed

- regions for strained Ge-*n*MOSFETs”, Solid-state Electron., vol.60, pp.89 (2011).
- [9] T. Martini, J. Steinkirchner, and U. Gösele, “The Crack Opening Method in Silicon Wafer Bonding: How Useful Is It?”, J. Electrochem. Soc., vol.144, pp.354 (1997).
- [10] S.S. Iyer, and A.J. Auberton-Herve, “Silicon wafer bonding technology for VLSI and MEMS applications”, IEE (2002).
- [11] Q.-Y. Tong, and U. Gösele, “Thickness Considerations in Direct Silicon Wafer Bonding”, J. Electrochem. Soc., vol.142, pp.3975 (1995).
- [12] E.H. Nicollian, and J. R. Brews, “MOS (Metal Oxide Semiconductor) Physics and Technology”, Wiley & Sons, Inc. (2003).
- [13] S.M. Sze, and K.K. Ng, “PHYSICS OF SEMICONDUCTOR DEVICES”, Wiley & Sons, Inc. (2007).
- [14] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, S. Takagi, “High mobility Ge pMOSFETs with ~ 1nm thin EOT using Al₂O₃/GeO_x/Ge gate stacks fabricated by plasma post oxidation”, Dig. of Symp. on VLSI Tech., pp.56 (2011).

第3章 Epi-Ge/Si 基板を Ge 供給基板とした GeOI 基板作製および 評価

3.1 Epi-Ge/Si 基板を Ge 供給基板とした GeOI 基板作製方法

第2章において、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面を貼り合わせ界面とした薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX を有し、高接合強度かつ低界面準位密度を実現した GeOI 基板について報告した。しかしながら、Ge 供給基板としてバルク Ge 基板を採用すると、大口径化に適応できないという問題がある。現在、Si-CMOS デバイス生産工場における、標準的な基板サイズは直径 300 mm である。そのデファクトスタンダードに適合するように 300 mm GeOI 基板を作製するには、供給基板として直径 300 mm の Ge 基板を使用しなくてはならない。現在流通している Ge 基板は大きくても 150 mm Φ 基板であり、現段階では、300 mm Φ Ge 基板の入手は不可能である。この状況を打開するために、本研究では、Si 基板上に Ge 層をエピタキシャル成長させた基板（今後、Epi-Ge/Si 基板と呼ぶ）を、供給基板として採用する。以下に、実際に Epi-Ge/Si 基板を作製し、それを Ge 供給基板として用いて GeOI 基板を作製する方法および注意すべき点、基板の品質について詳細に述べる。

まず、Epi-Ge/Si を Ge 供給基板として採用した場合の、GeOI 基板作製フローを図 3-1 に示す。バルク Ge 基板を供給基板としたときと比べ、以下の点でプロセスを変更している。①Epi-Ge 層を CVD で成長。②CVD 成長後の Epi-Ge 表面を CMP で平坦化。③貼り合わせ後、Epi-Ge/Si 基板の Si 部分を MP、CMP で選択的に除去し、さらに露出した Ge 表面に対し、研磨条件を Ge 研磨に適す

るように設定した CMP で平坦化。④GeOI 表面 CMP 後、希釈 H_2O_2 溶液で GeOI 層を薄膜化。

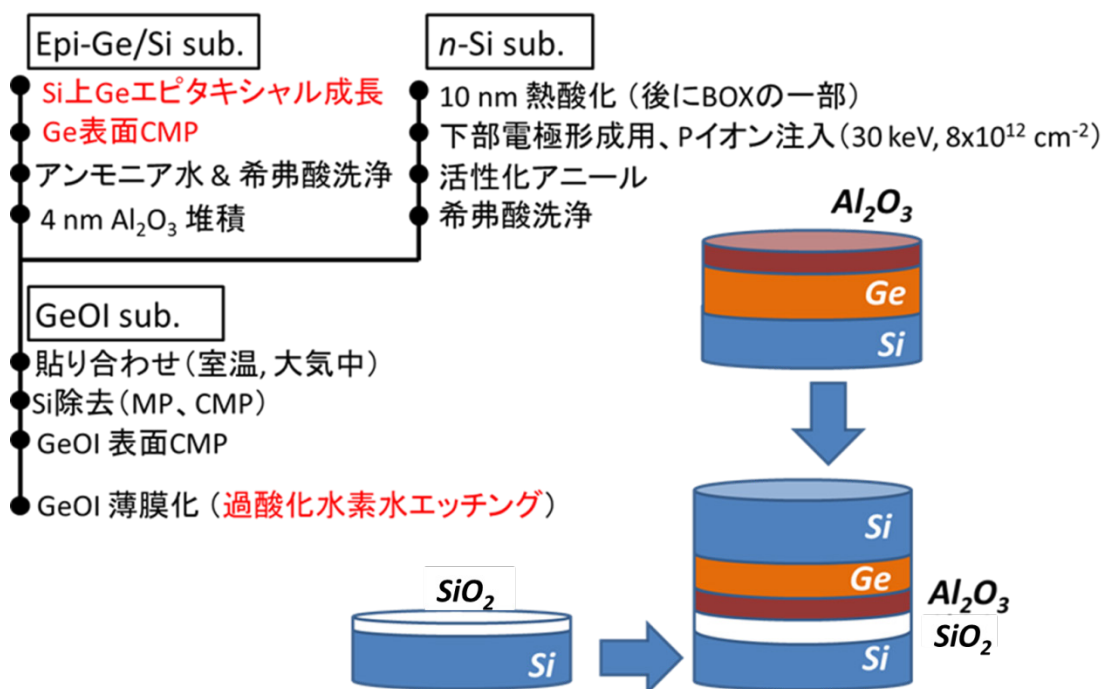


図 3-1: Epi-Ge/Si 基板を供給基板とした場合の、GeOI 基板作製フロー。

以上の変更点に関し、各々のプロセスを詳細に説明する。まず、①の CVD による Ge 層成長について述べる。HF 処理後の Si(100)基板 (直径 100 mm) 上に、ソースガスとして GeH_4 を用いた LP (Low Pressure) -CVD を用いて、1 μm 厚さの Ge 層を 2 段階成長法によって成膜した[1]。1 段階目として、Ge と Si の約 4% の格子定数差を欠陥導入によって緩和する目的で、低温 Ge バッファ層を 380°C 、5 Torr の成長条件で約 120 nm 成長した。その後、2 段階目として、高温 Ge 層を 600°C 、15 Torr の条件で約 880 nm 成長した。その後、格子緩和のために導入した格子欠陥をアニールアウトするため、高温 850°C / 低温 600°C 、アニール時間 3 分ずつの条件で 2 回、サイクリックアニールを実施した。この

サイクリックアニール工程では、Ge と Si の熱膨張係数の違いにより Ge/Si 界面に応力を生じさせ、また、点欠陥の導入により転位の移動速度を高めることで、貫通転位密度が低減できる。②の Epi-Ge 表面 CMP に関しては、Si 表面 CMP 工程で使用されるスラリーと同じスラリーを使用するが、スラリー濃度を増加し、基板表面に押し付けるパッド圧力を増加させた。③の Si 除去に関しては、Si に対する一般的な MP 条件で残り Si 厚さ 8 μm まで薄膜化し、一般的な CMP 条件で Si を全て剥離した。この際、この Si 除去 CMP 条件では、Si の研磨速度は Ge の研磨速度に比べ、約 30 倍高いため、Si のみを選択的に除去できる[2]。その後、スラリー条件、研磨条件を②と同様に設定し、GeOI 表面を CMP で平坦化した。この CMP 工程において、GeOI 層の残り膜厚は約 700 nm である。④の GeOI 層薄膜化に関しては、約 0.03%に希釈した H_2O_2 溶液によって所望の厚さまで薄膜化した。ここでは、残り GeOI 膜厚が 700 nm と薄いことから、第 2 章で用いたオゾン水ではエッチング速度が高すぎるため、希釈 H_2O_2 溶液を用いた。また、このエッチング工程は、エッチングの均一性向上のため、電子制御によるエッチング溶液循環機能を有する薬液槽にて、一定の流速に維持しながら行った。

3.2 Epi-Ge 層の物理的・電気的特性評価および接合強度評価

バルク Ge 基板に代えて、Epi-Ge/Si 基板が供給基板として利用可能であるかを評価する。評価すべき点は、Epi-Ge 層の物理的品質、電気的品質、および、貼り合わせ界面の接合強度である。図 3-2 に作製した Epi-Ge/Si 基板の TEM 像を示す。図 3-2(a)に断面像を、図 3-2(b)に表面近傍の平面像を示す。図 3-2(a)から、Ge/Si 界面から約 100 nm 厚さの Ge 領域内に転位が局在しており、低温

バッファ Ge 層の形成によって、その上部の Ge 層には、欠陥がほとんど観察されないことが確認できる。実際に、Ge 層表面近傍の貫通転位密度を図 3-2(b)から求めると、 $1.7 \times 10^7 \text{cm}^{-2}$ となり、低貫通転位密度であることが確認された。

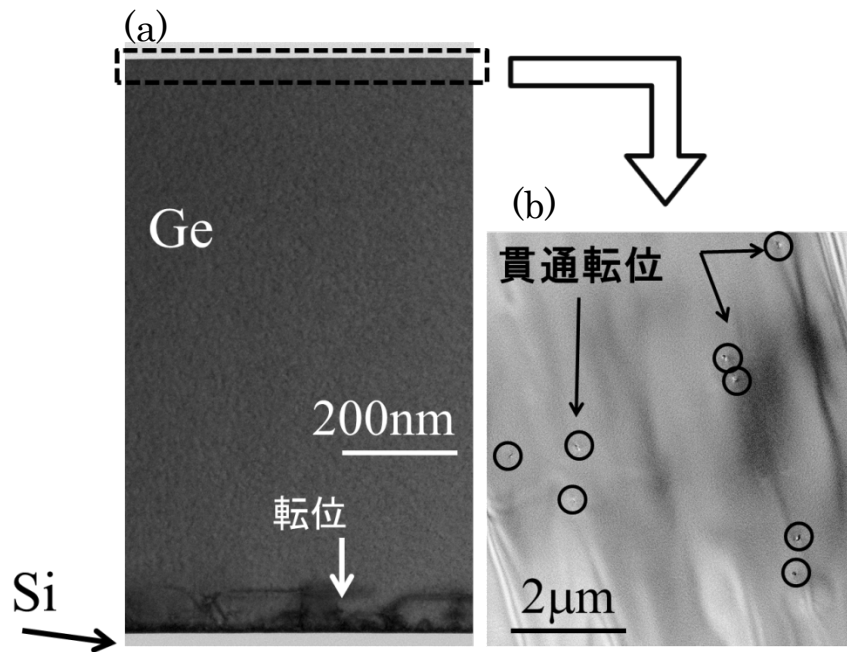


図 3-2: Epi-Ge/Si 基板の TEM 像。(a)低倍断面像、(b)表面付近の平面像。

次に、本試料の表面ラフネスを評価した。図 3-3(a)に CVD 成長直後の Epi-Ge 層表面の、(b)に(a)の表面に CMP を行い、平坦化した後の AFM 像を示す。

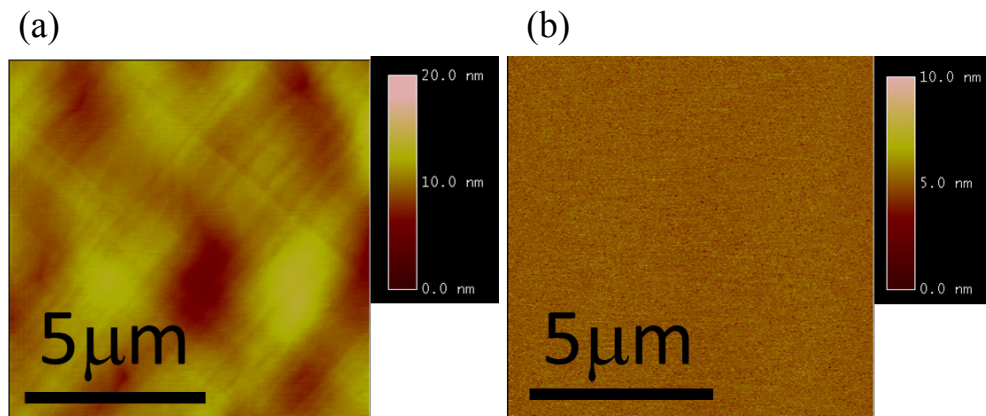


図 3-3: Epi-Ge/Si 表面の AFM 像。(a) Si 上への Ge エピ成長直後、(b) Ge 表面の CMP 後。

成長直後の Epi-Ge 層表面は、成長中に生じたクロスハッチ状の凹凸により、10 μm 平方の RMS (Root Mean Square) ラフネスが 1.4 nm であり、実際に貼り合わせても接合できないほどの大きな表面ラフネスを有する。一方、図 3-3(b) に示すように、Ge に適した条件で CMP を行うことにより、10 μm 平方の RMS ラフネスを 0.3 nm まで低減でき、市販のバルク Ge 基板の表面ラフネス (0.2~0.4 nm 程度) と同等の平坦性を得ることができた。

続いて、電気的な特性評価を行った。Ge の特性として、Ge 中に結晶欠陥が導入されると、価電子帯近傍に不純物準位が形成されるため、たとえ、III 族元素のドーピングを行っていないなくても、*p* 型半導体としての挙動を示すようになることが知られている [3, 4]。そのため、Ge 中のホール濃度は、結晶性を評価する 1 つの指標であり、ノンドープの Epi-Ge 層中のホール濃度を測定することにより、結晶性を評価できる。つまり、ホール濃度が低いほど、結晶性が高いと判断できる。

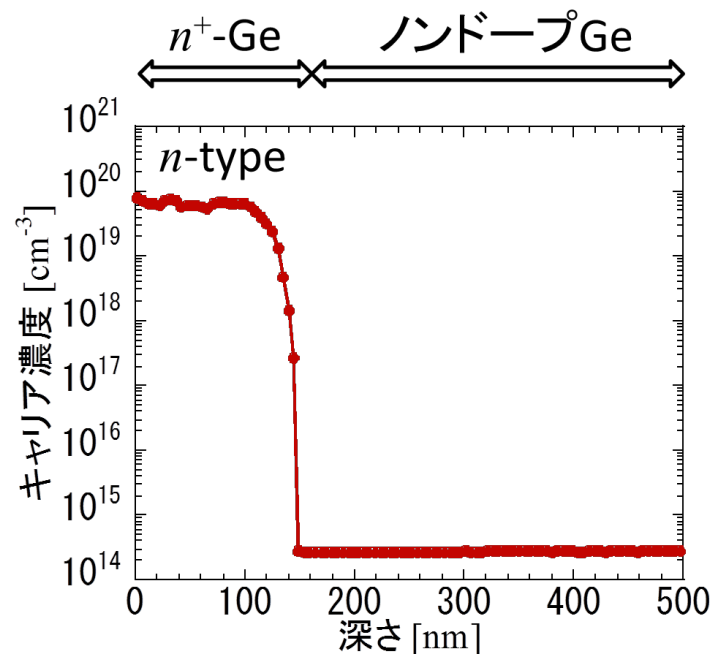


図 3-4: ノンドープ Epi-Ge 層の SRP 測定から得られたキャリア濃度。SRP の正確さを評価するため、150nm 厚の *n*⁺-Ge cap 層を堆積してある。

図 3-4 に、Epi-Ge 層の拡がり抵抗測定 (Spread Resistance Profile, SRP) から求めた、キャリア濃度測定結果を示す。このとき、SRP 測定の精度評価のため、電子濃度が既知 ($7 \times 10^{19} \text{ cm}^{-3}$) の 150 nm n^+ -Ge キャップ層を、不純物ドーピングを施していない Epi-Ge 層の上部に成長した。その結果、ノンドープ Epi-Ge 領域のホール濃度は $2.7 \times 10^{14} \text{ cm}^{-3}$ であり、ほぼ真性半導体とみなせるほどキャリア濃度が低く、電気特性評価からも、結晶性が高いことが確認できた (SRP 測定の定量下限は、 $1 \sim 2 \times 10^{13} \text{ cm}^{-3}$)。

次に、接合強度を評価し、バルク Ge 基板を供給基板として用いた場合と比較した。第 2 章でも説明したように、クラック・オープン法で求められる接合強度 γ は、以下の式で表される [5]。

$$\gamma = 3h^2Et^3/32L^4$$

ここで、ブレード厚さ $h=250 \mu\text{m}$ 、Si 基板の Young 率 $E=185 \text{ GPa}$ 、基板厚さ $t=525 \mu\text{m}$ である。今回のように Epi-Ge/Si 基板を供給基板とした場合は、供給基板も (上部に Ge 層があるが) Si 基板であり、Si の厚さ ($525 \mu\text{m}$) に比べて Epi-Ge 層の厚さ ($1 \mu\text{m}$) が十分に薄いため、供給基板の Young 率は Si の Young 率で近似できる。図 3-5 に、供給基板としてバルク Ge 基板を使用した場合と、Epi-Ge/Si 基板を使用した場合の、貼り合わせ界面の接合強度を示す。また、各々の試料に対し、接合強化アニールを実施した試料の接合強度も評価した。この結果から、接合強化アニールを行っていない試料に関しては、バルク Ge 供給基板でも、Epi-Ge/Si 供給基板でも、接合強度にあまり差がない。一方、接合強化アニールを実施した試料間では、バルク Ge を供給基板として用いた場合には、接合強度が 237.9 mJ/m^2 であるのに対し、Epi-Ge/Si を供給基板として用いた場合には、接合強度が約 2.5 倍の 601.3 mJ/m^2 となり、供給基板の違いにより、

接合強度に大きな差が生じた。この原因は次のように考察できる。バルク Ge を供給基板として用いた場合には、接合強化アニールにより、 Al_2O_3 と SiO_2 の結合反応が進むものの、そのアニール中に、Ge と Si の熱膨張係数の違いにより、貼り合わせ界面に、接合を切り離す応力が生じる。その結果、接合強度の増加が抑制される。一方、Epi-Ge/Si を供給基板として用いた場合には、供給基板も Si であるため、上記のような接合を切り離す方向の応力が発生せず、効果的に接合強度が増大すると考えられる。

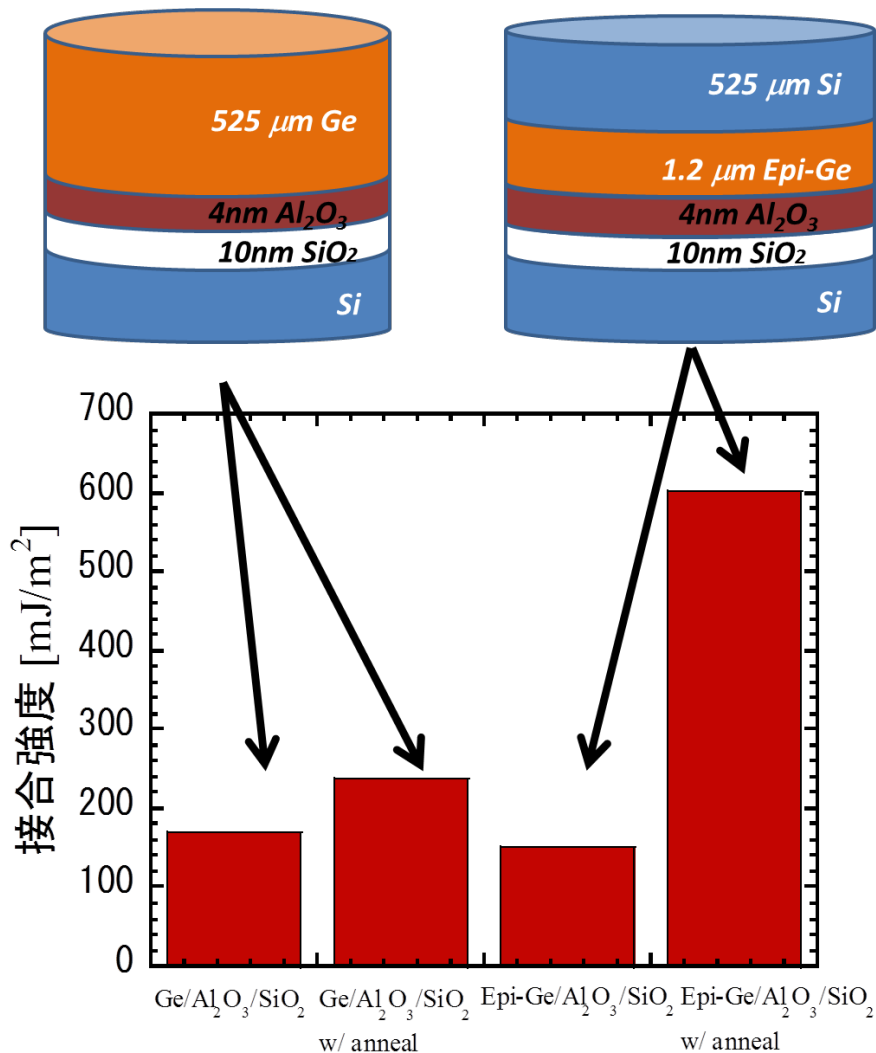


図 3-5: 供給基板の違いによる、接合強度の違い。接合強化アニール有無による接合強度の違いも調べた。

図 3-6 に供給基板を Epi-Ge/Si 基板に統一し、 Al_2O_3 の有無、接合強化アニールの有無という条件で、接合強度の比較をした。

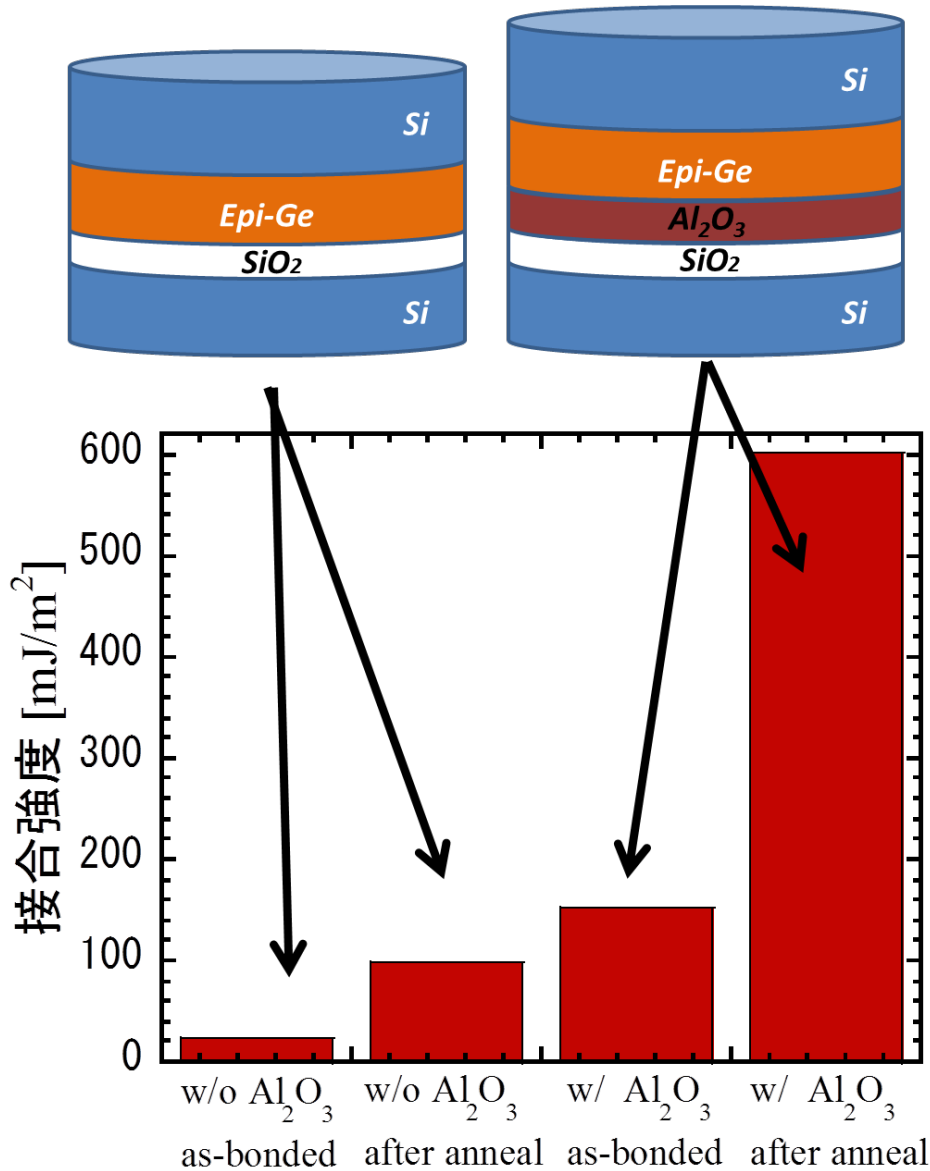


図 3-6: 供給基板を Epi-Ge/Si に統一した時の、 Al_2O_3 挿入の有無による接合強度の違い。さらに、各々に対し、接合強化アニールの効果も調べた。

ここでは、Si と Ge の熱膨張係数の違いにより生じる接合弱化の影響を抑止でき、純粹に Al_2O_3 を挿入することの効果を検証できる。その結果、Ge/SiO₂ 接合の接合直後の接合強度は 24.00 mJ/m² であり、接合強化アニール後には 98.76

mJ/m²に増加する。第2章(図2-5)において、バルク Ge 基板を供給基板として用いた場合には、接合強化アニールはほとんど効果がなかったが、Epi-Ge/Si 基板を供給基板として使用した場合には、約4倍の強度増加が見られる。言い換えれば、本来接合強化アニールによって約4倍の接合強化が見込まれるはずが、バルク Ge 基板を供給基板として用いた場合には、Si 支持基板との熱膨張係数差の影響により、接合強度がほとんど増加しなかったと解釈できる。また、接合直後の Al₂O₃/SiO₂ 接合強度は 151.47 mJ/m² であり、接合強化アニール後の Ge/SiO₂ 接合に比べ、約1.5倍の接合強度を有する。さらに、Al₂O₃/SiO₂ 接合に対し、接合強化アニールを実施すると、接合強度が 601.3 mJ/m² となり、アニール前と比較し、約4倍の接合強度の増加、アニール後の Ge/SiO₂ 接合と比較し、約25倍もの増加が確認された。これにより、Al₂O₃/SiO₂ 接合に対し接合強化アニールを実施することで、従来の GeOI 基板と比較し、より強固な接合界面を持つ GeOI 基板が実現される。

次に、貼り合わせ工程後の Si 除去工程、さらに Si 除去後の GeOI 表面 CMP 工程において、これらの接合強度がいかに重要であるのかを実験的に検証した。図3-7に、GeOI 基板作製工程中の基板表面写真を示す。それぞれ、(a)「Al₂O₃ 有り、アニール無し」試料の Si 除去後、(b)「Al₂O₃ 有り、アニール無し」試料の GeOI 表面 CMP 後、(c)「Al₂O₃ 無し、アニール有り」試料の Si 除去後、(d)「Al₂O₃ 無し、アニール有り」試料の GeOI 表面 CMP 後の写真である。また、各写真中に GeOI 膜剥がれが生じた箇所を矢印で示してある。これらの結果から、Ge/SiO₂ 間に Al₂O₃ が挿入されている試料に関しては、Si 除去 CMP 中に基板エッジ部に Ge 層の剥離部分が若干見受けられるが、基板内部ではほとんど膜剥がれが生じていないことがわかる。さらに、その後の GeOI 表面 CMP 工程でも剥離部分の面積はほとんど増加しなかった。一方、Al₂O₃ が挿入されていない

試料に関しては、アニール工程を施しているにもかかわらず、Si 除去後には基板の内側領域まで剥離部分が広がっており、さらには、GeOI 表面 CMP 後には、全ての GeOI 層が剥離した。

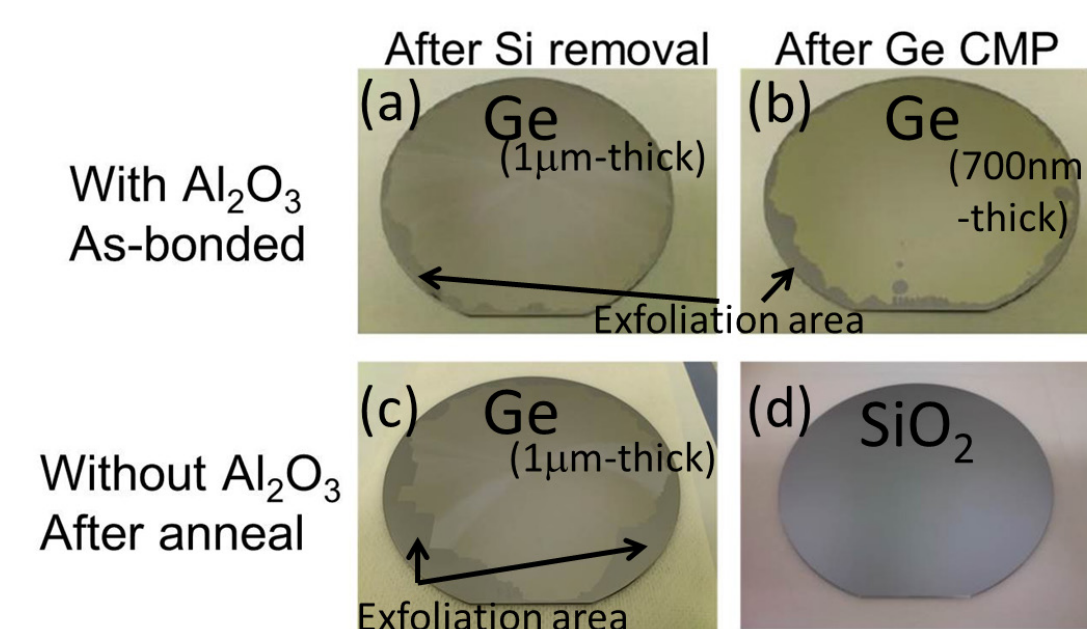


図 3-7: GeOI 基板（直径 100 mm）作製工程中の基板の写真。(a) 「Al₂O₃ 挿入、かつアニールなし」試料の Si 除去後、(b) 「Al₂O₃ 挿入、かつアニールなし」試料の GeOI 表面 CMP 後、(c) 「Al₂O₃ なし、かつアニール有り」試料の Si 除去後、(d) 「Al₂O₃ なし、かつアニール有り」試料の GeOI 表面 CMP 後。

前節で述べたように、同一の CMP 条件では、Ge 研磨速度に比べ、Si 研磨速度が約 30 倍高いことから、Ge 表面の CMP では、試料と研磨パッド間に、より高い摩擦が生じていると推測される。その結果、接合強度の弱い Ge/SiO₂ 接合では、GeOI 表面 CMP の摩擦に耐え切れず、Ge 層が剥離したと考えられる。別の見方をすると、GeOI 表面 CMP 工程に耐えうる接合強度の限界値は、アニール後 Ge/SiO₂ 接合強度の 98.76 mJ/m² から、アニールをしていない Al₂O₃/SiO₂ 接合強度の 151.47 mJ/m² までの狭い範囲の間にあると言える。

3.3 極薄 BOX 層を有する 薄膜 GeOI トランジスタ作製とその評価

1.2 節で述べた、電源電圧レベルにまで低減したバックゲートバイアス印加によるしきい値制御を実証することを目的に、3.1 節で述べた方法によって、40 nm Ge/4 nm Al₂O₃/10 nm SiO₂/Si(100)構造を有する GeOI 基板を作製し、その GeOI 基板上に *p*MISFET を作製した。図 3-8 にその作製フローを、図 3-9 に作製した GeOI-*p*MISFET の断面模式図を示す。

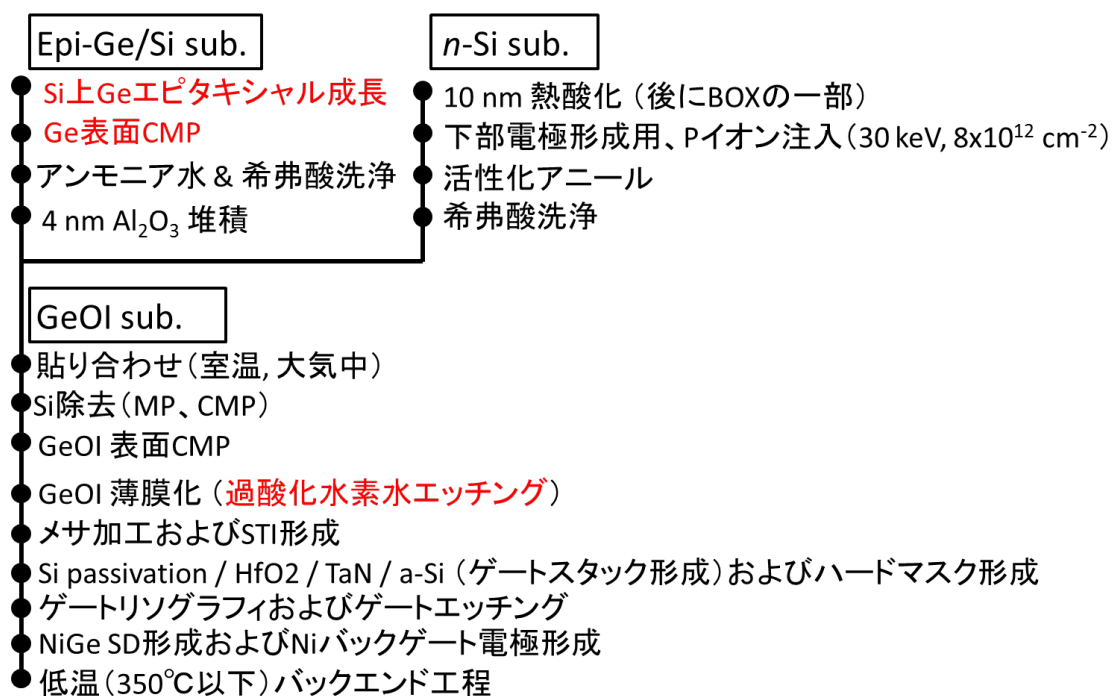


図 3-8: 作製した GeOI-*p*MISFET の作製フロー。

*p*MISFET の作製にあたっては、素子分離のためのメサエッチング、および STI (Shallow Trench Isolation) 埋め込みを行い、1 nm Si パッシベーション (Si Passivation or Si capping) 層 / 4 nm-ALD-HfO₂ 絶縁膜層 / 20 nm TaN 電極 / 10 nm a-Si 保護層のゲートスタックを形成し、ゲート加工した。ここで、Si パッシ

ベーション層は、 HfO_2/Ge 界面の界面準位密度を低減させるために挿入し[6]、短チャネル効果を抑制するために、より EOT の薄い絶縁膜である HfO_2 膜を採用した。

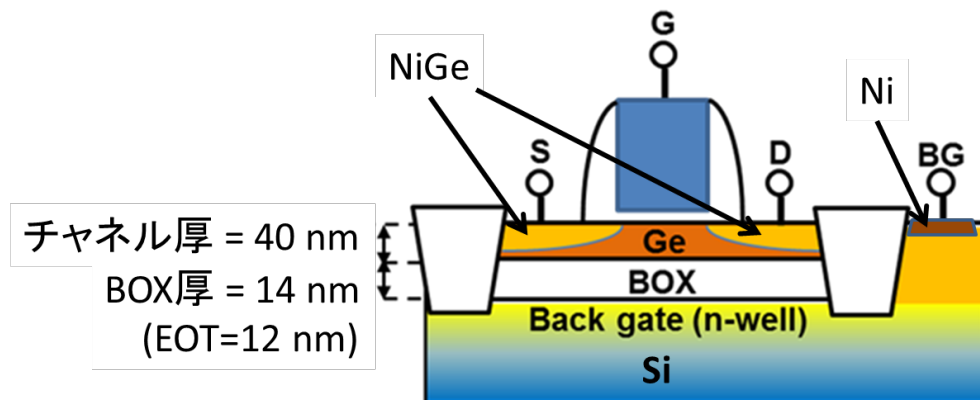


図 3-9: 作製した GeOI-pMISFET の断面概略図。

続いて、SD 領域に対し NiGe 形成を行った。ここで、NiGe/p-Ge 界面では、フェルミレベルが価電子帯近傍にピンングされるため、オーミックコンタクト形成が実現される。また、この NiGe 形成工程は、バックゲートの Ni 電極形成も兼ねている（メサ加工で除去された部分は基板の Si 表面が露出しているため、Si 上への Ni バックゲート電極が形成されている）。その後、通常の主として配線工程に関わるバックエンドプロセスを行った。なお、その際のプロセス温度の上限は 350°C であった。

図 3-10 に、作製した pMISFET の断面 TEM 像を示す。(a)はトランジスタ断面、(b)は貼り合わせ界面の拡大図、(c)はゲートスタック部分の拡大図である。これらの TEM 像から、設計通りに MISFET が作製されたことが確認できる。また、C-V 測定から得られたゲートスタックの EOT は 1.5 nm であり、設計値と一致する。図 3-11 に、作製した GeOI-pMISFET の(a) I_d-V_g 特性（ドレイン電流のゲー

ト電圧依存性) および(b) I_d - V_d 特性 (ドレイン電流のドレイン電圧依存性) を示す。

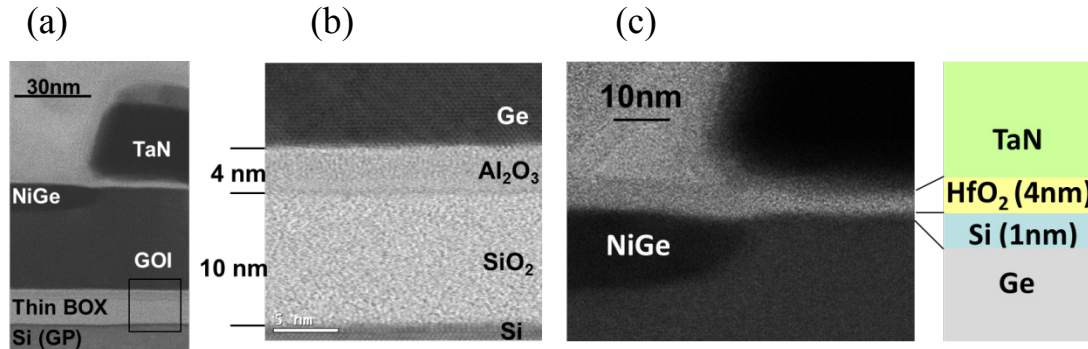


図 3-10: 作製した GeOI-pMISFET の断面 TEM 像。(a) 断面図、(b) 貼り合わせ部の拡大図 ((a)中の黒枠部)、(c)ゲートスタック近傍の拡大図。

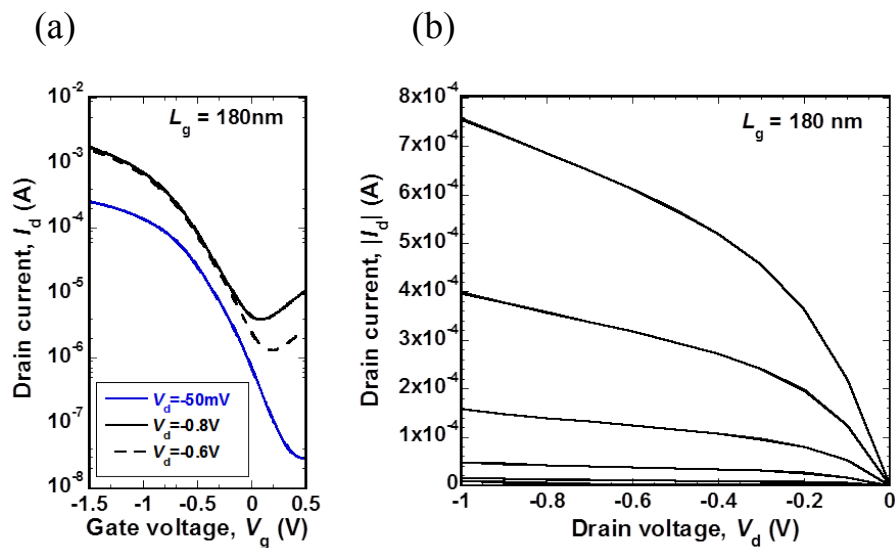


図 3-11: 作製した GeOI-pMISFET のトランジスタ特性。(a) I_d - V_g 特性、(b) I_d - V_d 特性。

これらは正常なトランジスタ特性を示しており、 $V_d=50$ mV の時の I_d - V_g 特性から、4桁以上の On/Off 比を有し、短チャネル効果が抑制されていることが確認できる。

図 3-12 に、バックゲートバイアス V_{bg} を 0 V から 1 V まで変化させた時の、 I_d - V_g 特性を示す。過去の報告から、330 nm の厚膜 BOX を有する GeOI-pMISFET で

は、バックゲートバイアスを 50 V 変化させても、しきい値の変調量がおよそ 100 mV 程度であることが知られている[7]。

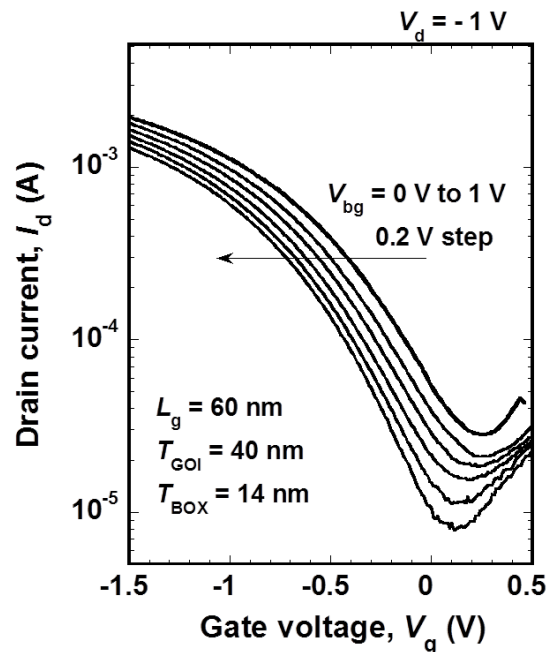


図 3-12: バックゲートバイアス印加によるしきい値変調効果。

これに対して、本構造では、わずか 1 V のバックゲートバイアス変化により、しきい値を約 300 mV 変調させることが可能である。通常ロジック電源電圧は 1 V 程度であるので、この結果は、バックゲートバイアスをロジック電源電圧レベルにまで低下させることができることを意味しており、高電圧印加のための付加的電源回路を必要としないので、チップ面積も低減できることになる。

図 3-13 にしきい値電圧のバックゲートバイアス依存性を示す。長チャネル (1 μm) デバイスと短チャネル (60 nm) デバイスの両方において、ボディ効果ファクター

$$g = \text{しきい値の変化量 } \Delta V_{\text{th}} / \text{バックゲートバイアス変化量 } \Delta V_{\text{bg}}$$

がほぼ一致している。厚膜 BOX を有する MISFET では、ボディ効果ファクターと、ゲート長との間に強い相関があることが知られているが[8]、今回作製した、

薄膜 BOX を有する MISFET では、チャンネルに対するバックゲートバイアスの支配力が高いため、ゲート長が短くなっても、ゲート長が長い場合と同様のボディ効果ファクターを示したと考えられる。このことは、ゲート長の違いによってバックゲートバイアス値を変化させる必要がないことを意味しており、回路設計上有利となる。

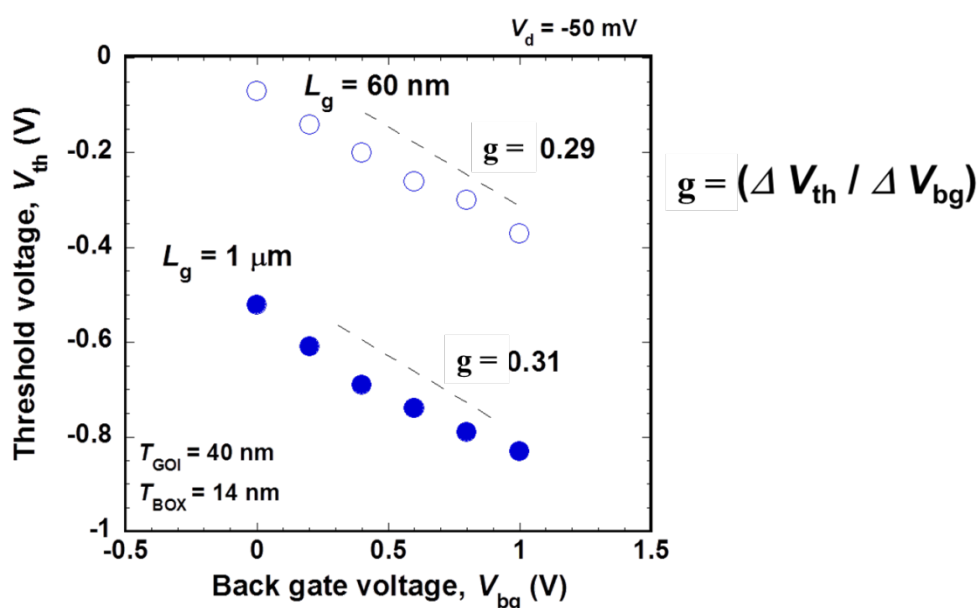


図 3-13: しきい値のバックゲートバイアス依存性。

図 3-14 に、バックゲートバイアス (V_{bg}) 印加によるオン電流 (I_{on}) -オフ電流 (I_{off}) 変調 (印加バイアス変化時の I_{on} および I_{off} の変化) 特性を示す。 $|V_d|=1$ V の場合で説明すると、例えば、 V_{bg} が 0.2 V 上昇すると、 I_{off} が約 30% 減少し、逆に、 V_{bg} が 0.2 V 低下すると、 I_{on} が約 10% 増加することがわかる。つまり、トランジスタが On のときに V_{bg} を低く、 Off のときに V_{bg} を高く設定することにより、動的な消費電力と動作速度の最適化が行えることが実証された。また、より低い V_d が印加されている場合には、同じ V_{bg} の変化に対し、動作速度向上の効果 (I_{on} の増加率) に比べて、消費電力低減の効果 (I_{off} の減少率) の方がよ

り顕著になる。これは、 V_d が低下することによって、バックゲートの静電支配力が相対的に向上し、その結果として、 I_{off} のバックゲートバイアス依存性が高くなると考察できる。

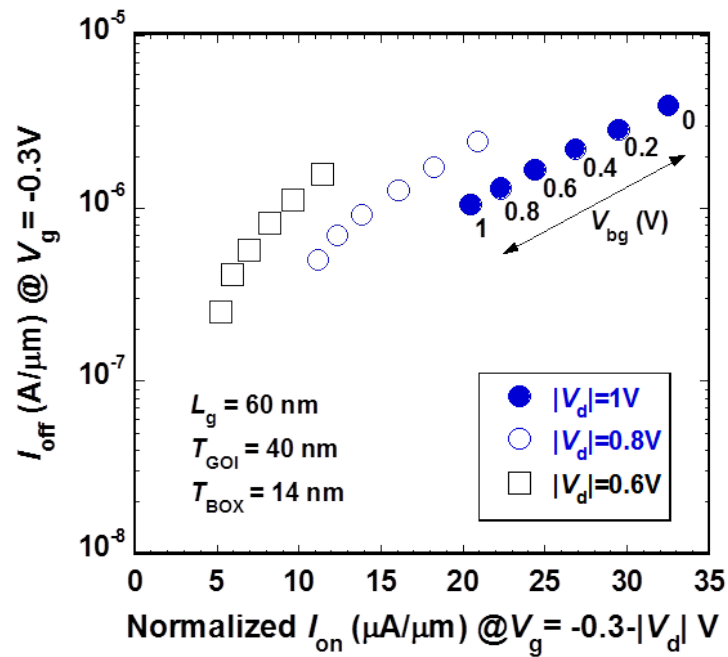


図 3-14: バックゲートバイアス印加による I_{on} - I_{off} 変調の V_d 依存性。

3.4 極薄 GeOI 層を有する GeOI 基板作製および評価

前節において、40 nm 厚さを有する GeOI-*p*MISFET を作製し、デバイス動作を実証した。一方、Ge の狭いバンドギャップに起因して、例えば *n*MISFET では、チャネル領域価電子帯からのキャリアがドレイン領域伝導帯へトンネルする Band To Band Tunneling リークが主要因のオフリーク電流が発生することが報告されている[9]。この現象を抑制するには、ゲートの静電支配力を向上させるために、GeOI 層膜厚を 4 nm 以下にまで薄膜化することが要請されている[9]。そこで、膜厚 4 nm を目標値に設定し、GeOI 層の薄膜化を行った。このような薄膜 GeOI 層を形成するには、薄膜化前の GeOI 層膜厚の面内均一性が極めて重要

である。仮に、薄膜化後（4 nm 厚さ）の膜厚ゆらぎを±1 nm、薄膜化前の厚さを 700 nm とした場合、溶液による Ge エッチングが基板全面で等速に進むとしても、薄膜化前の厚さゆらぎは、~0.14%しか許容されないことになる。現状の LP-CVD により形成される薄膜の厚さゆらぎは、良くても±1%程度であり、まさに桁違いの面内均一性が必要とされる。従って、基板全面に 4 nm GeOI 層を形成することは現状の技術では困難であると判断し、そのかわりに、基板中心部付近が 4 nm 厚さになるまで薄膜化し、その薄膜の物理的品質を評価した。

図 3-15 に、薄膜化した GeOI 基板の(a)断面 TEM 像および、(b)GeOI 表面の AFM 像を示す。

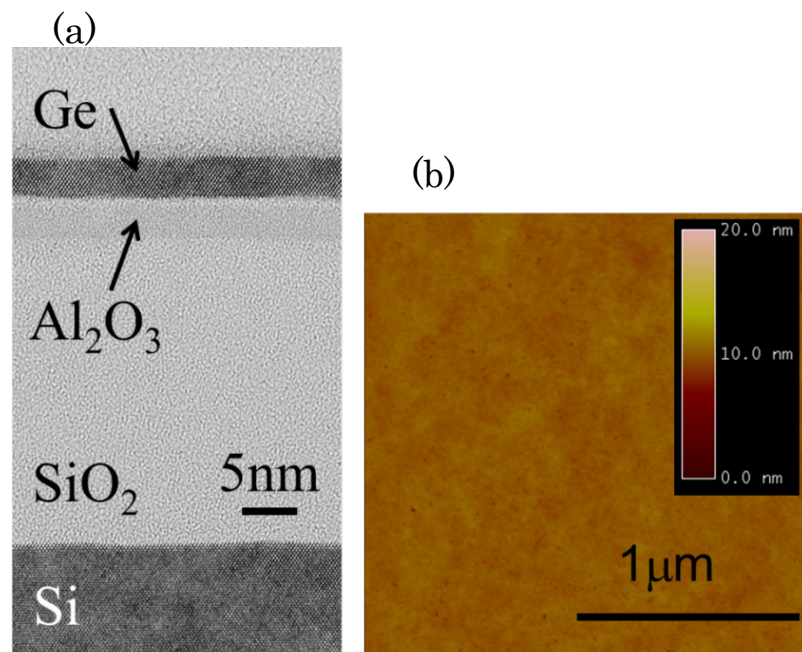


図 3-15: 作製した 4 nm GeOI 基板の(a)断面 TEM 像、(b)AFM 像。

設計通りに、4 nm 厚さの GeOI 層が形成されており、AFM 像から平坦に薄膜化が進んだことが確認できる。このとき、RMS 表面ラフネスは 0.3 nm であり、市販のバルク Ge 基板と同等である。結果として、直径 50 mm 程度の GeOI 層が残ったが、その領域内での膜厚範囲は 2~8 nm であった。このように平坦性が維持

されながら薄膜化が進む理由は、エッチング溶液が一定流速に制御され、Geの(100)面エッチングが均一に進行することにより、エッチング速度のバラツキに起因する{111}ファセット形成が抑制されたためと考えられる[10]。

図 3-16 に、薄膜化後の 4 nm GeOI 層のラマン分光によるひずみ評価の結果を示す。比較対象として、成膜直後の Epi-Ge 層、およびバルク Ge 基板のラマン分光結果も示した。

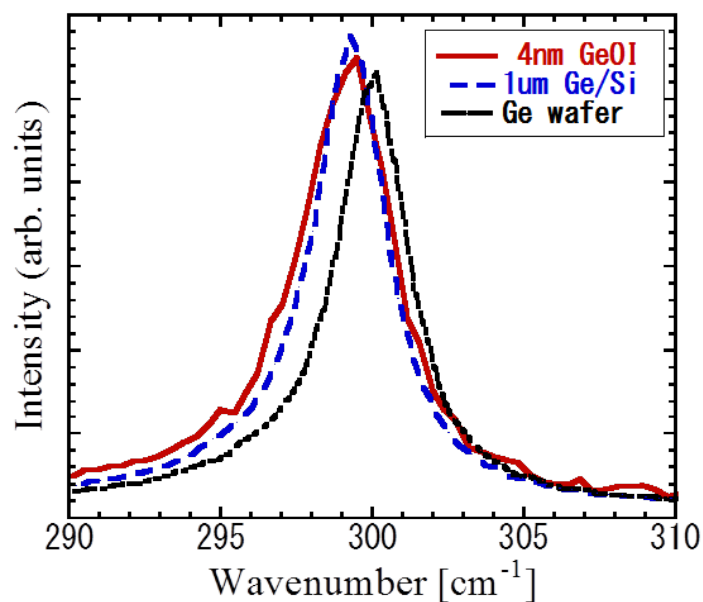


図 3-16: 4nm GeOI のラマン分光評価。比較のため、Epi-Ge/Si 基板、バルク Ge 基板も評価した。

ここで、測定に用いた基板は、貼り合わせ後に接合強化アニールを実施してある。測定結果から、4 nm GeOI 層と Epi-Ge 層のラマンシフトはほぼ一致しており、無ひずみのバルク基板のラマンシフトと比較し、低波数側にシフトしている。これは、Epi-Ge 形成のサイクリックアニール時に、Si と Ge の熱膨張係数の違いから、Epi-Ge 層に約 0.2%の引張りひずみが印加されることに起因している [1, 11]。この結果は、成膜直後に Epi-Ge 層が持っていたひずみが、基板貼り合わせ後、GeOI 基板作製プロセスを経た後も、維持されていることを意味する。

こうした、強固な貼りあわせ $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面を形成するプロセスは、将来、他の系でのひずみ転写プロセスとしても応用できると期待される。

3.5 小括

本章では、大口径化に対応できる GeOI 基板の作製技術として、供給基板に Epi-Ge/Si 基板を採用することを試みた。その結果、Epi-Ge 層の結晶品質は、物理的評価から低貫通転位密度であることが判明し、電気的評価からも、結晶欠陥起因の p 型キャリア生成が無視できる程度に抑制されていることが示され、GeOI 基板のドナーとしての要求を充分満たす結晶性であるといえる。さらに、接合強化アニール時に、供給基板と支持基板の熱膨張係数の違いによる接合抑制の影響を受けないため、供給基板としてバルク Ge 基板を使用する場合と比較し、より強固な接合界面を形成できることがわかった。また、その強固な接合界面によって、貼り合わせ後の GeOI 基板作製プロセスを経た後も、GeOI 層の結晶性を低下させることがなく、結晶品質の高い薄膜 GeOI 層が形成できることがわかった。

さらに、積極的に BOX 膜厚を薄くした基板を使用することで、ロジック電源電圧と同程度のバックゲートバイアスで、充分なしきい値変調量が得られることがわかった。これにより、薄膜高移動度 GeOI チャンネルによって、電源電圧を低減し低消費電力化ができること、また、薄膜 BOX によって、その電源電圧と同程度のバックゲートバイアスでしきい値を変調できることから、消費電力を動的に制御できる MISFET が実現された。

参考文献

- [1] L. Colace, G. Masini, F. Galluzzi, G. Assanto, G. Cappellini, L. Di Gaspare, E. Palange, and F. Evangelisti, “Metal–Ge–Si heterostructures for near-infrared light detection”, *J. Vac. Sci. Technol. B*, vol.17, pp.465 (1999).
- [2] K. Tanaka, private communication.
- [3] J. Coutinho, R. Jones, V.J.B. Torres, M. Barroso, S. Öberg, and P.R. Briddon, “Electronic structure and Jahn–Teller instabilities in a single vacancy in Ge”, *J. Phys.: Condens. Matter*, vol.17, pp.L521 (2005).
- [4] N. Hirashita, Y. Moriyama, S. Nakaharai, T. Irisawa, N. Sugiyama, and S. Takagi, “Deformation Induced Holes in Ge-Rich SiGe-on-Insulator and Ge-on-Insulator Substrates Fabricated by Ge Condensation Process”, *Appl. Phys. Express*, vol.1, pp.101401 (2008).
- [5] T. Martini, J. Steinkirchner, and U. Gösele, “The Crack Opening Method in Silicon Wafer Bonding: How Useful Is It?”, *J. Electrochem. Soc.*, vol.144, pp.354 (1997).
- [6] N. Taoka, W. Mizubayashi, Y. Morita, S. Migita, H. Ota, and S. Takagi, “Physical origins of mobility enhancement of Ge p-channel metal-insulator-semiconductor field effect transistors with Si passivation layers”, *J. Appl. Phys.*, vol.108, pp.104511 (2010).
- [7] K. Romanjek, C. Le Royer, A. Pouydebasque, E. Augendre, M. Vinet, C. Tabone, L. Sanchez, J.-M. Hartmann, H. Grampeix, V. Mazzocchi, L. Clavelier, X. Garros, G. Reimbold, N. Naval, F. Boulanger, and S. Deleonibus, “High-k/metal Gate GeOI pMOSFET: Validation of the Lim&Fossum model for interface trap density extraction”, *SOI conf.*, pp.147 (2008).
- [8] T. Hiramoto, T. Saito, and T. Nagumo, “Future Electron Devices and SOI Technology –Semi-Planar SOI MOSFETs with Sufficient Body Effect–”, *Jpn. J. Appl.*

Phys, vol.42, pp.1975 (2003).

[9] T. Krishnamohan, D. Kim, Y. Nishi, K. Saraswat, and C. Jungemann, “High Performance, Ultra-thin, Strained-Ge, Heterostructure FETs With High Mobility And Low Leakage”, ECS Trans., vol.3, pp.687 (2006).

[10] Y. Moriyama, K. Ikeda, Y. Kamimuta, and T. Tezuka, “Formation of High Aspect-Ratio Ge-Fin Structures with {110} Facets by Anisotropic Wet Etching”, ECS Trans., vol.33, pp.419 (2010).

[11] Y. Hoshi, K. Sawano, K. Hamaya, M. Miyao, and Y. Shiraki, “Formation of Tensilely Strained Germanium-on-Insulator”, Appl. Phys. Express, vol.5, pp.015701 (2012).

第4章 In-situ P ドープ Ge 選択成長

4.1 n^+ -Ge 形成における課題

4.1.1 金属/Ge 界面のショットキー障壁

金属と半導体を接触した場合、フェルミレベルを一致させるようにバンドが形成されるが、金属/Ge 界面においては、そのフェルミレベルが価電子端近傍に強く束縛され、様々な処理を施しても、ショットキー障壁がほとんど変化しないという、フェルミレベル・ピンング現象が見られる[1, 2]。このとき、ホールにとっては、ショットキー障壁が常に低いため、金属/ p -Ge のコンタクト抵抗が自ずと低くなり、 p MISFET における低抵抗ソース・ドレイン領域の形成は容易である。しかしながら、電子にとってはショットキー障壁が常に高くなり、金属/ n -Ge のコンタクト抵抗を低下させることは非常に困難である。この状況を克服するためには、以下の2つの手法が有効であると考えられている。1つ目は、金属/Ge 界面に薄い絶縁膜を挿入する、もしくは界面近傍の Ge をアモルファス化することで、ピンングを緩和する方法[3, 4]である。しかしながら、いまだオーミック接合が得られるほどの効果は得られていない。他の手法は、Ge のキャリア濃度を高めてショットキー障壁の厚さをできる限り薄くし、トンネル確率を増大させることで、実効的にコンタクト抵抗を低減する方法である[5]。しかしながら、4.2 節で詳細に述べるように、Ge 中での V 族元素の固溶限の低さおよび拡散係数の高さから、イオン注入法においても、CVD による in-situ ドーピング法においても、結晶性が高く、かつ、十分な電子濃度を有する n^+ -Ge 層を形成することは非常に困難な状況にある[6-8]。

4.1.2 Ge 中 V 族元素の性質

前節で、高い電子濃度を有する n^+ -Ge 層の形成が困難であることを述べたが、本節ではその原因となる、Ge 中での V 族元素の性質について述べる。Ge 中の n 型ドーパント (P, As, Sb 等) は、i) そもそも Ge 中での固溶限が低く、ii) 拡散係数が高く、iii) ドーパント活性化率が低いという、デバイス応用するうえで多くの欠点を有している[9, 10]。これらの欠点を克服すべく、不純物 co-implantation 法や in-situ ドープ CVD 法による n 型領域形成について、様々な報告がある[6-8]。しかしながら、不純物 co-implantation 法では、電子濃度の極大値としては、 $7 \times 10^{19} \text{ cm}^{-3}$ と高濃度を示しているが、その極大点以外では電子濃度が低下し、さらに、拡散係数の高さゆえ、接合深さが深くなり、微細 CMOS で必須となるような浅接合形成が困難である[6]。一方、in-situ ドープ CVD 法においては、堆積膜厚を薄くすることで簡単に浅接合形成が可能であるが、現状では、高い電子濃度を有する n 型領域が得られていない[7, 8]。これは、成長時の圧力を高めることで、不純物濃度の増加は見込めるが、その不純物の活性化率を高められないことが原因である。さらに、その低い活性化率を補うために不純物元素のソースガス流量を増加させると、 SiO_2 等に対する成長選択性が低下し、MISFET 形成時に必須ともいえる選択成長が困難となってくる。つまり、不純物活性化率が高く、選択成長が可能な、Ge 薄膜の成膜条件を実現することがこれらの問題を解決する方法となる。

4.2 In-situ P ドープ Ge 形成

本節では、実際に様々な条件で P ドープ Ge (Ge:P) 薄膜を CVD 成長し、シート抵抗測定、SIMS (Secondary Ion Mass Spectrometry、二次イオン質量分析法) 分析、SRP 分析等により、高電子濃度 Ge 薄膜形成のための成長条件を最適化した。

4.2.1 P ドープ Ge 形成法

まず、Ge:P 薄膜の成膜方法について述べる。LP-CVD により、Ge:P 層の下地基板となる、1 μm 厚 ノンドープ Ge/Si 基板を作製し、そのまま続けてノンドープ Ge 層上に Ge:P 層を堆積した。このノンドープ Ge 層は、第 3 章と同様に、Ge と Si の大きな格子定数差に起因する表面ラフニングや高密度の欠陥導入を抑制するため、希釈 HF 処理した Si 基板上に 2 段階成長法で成膜した[11]。その後の Ge:P 層の成長温度は 400°C に固定し、成長圧力を 5~80 Torr とした。また、成長時の SiO₂ マスクに対する選択性を評価するため、SiO₂ ダミーゲートパターンを有する Ge 基板上に、50 nm のリセスを形成後、80 nm の n^+ -Ge 層を堆積した。このリセス形状は、希釈 HPM (Hydrochloric acid – hydrogen Peroxide – Mixed solution、塩酸と過酸化水素水の混合溶液) 溶液で Ge 基板を異方性エッチングすることにより形成した[12, 13]。

4.2.2 P ドープ Ge 層のドーピング特性

最初に、成長圧力を 15 Torr、成長温度を 400°C に固定し、原料ガスである GeH₄ に対する、ドーパントガスである PH₃ の流量を変化させて、200 nm 厚の Ge:P 薄膜を成長した。その薄膜のシート抵抗測定結果を図 4-1 に示す。GeH₄

流量は 200 sccm と固定し、PH₃ 流量を 0.03~2 sccm と変化させた。

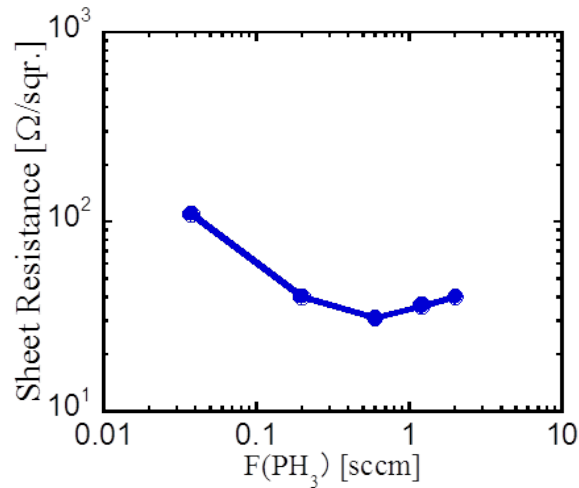


図 4-1: 200 nm 厚 P-doped Ge 薄膜のシート抵抗の PH₃ 流量依存性。GeH₄ 流量は 200 sccm で固定。

ここで、下地のノンドープ Ge 層が、わずかに残存した結晶欠陥起因の *p* 型の極性を有することから、上層の *n*⁺ 層と電氣的に分離されているため、一般的な 4 端子測定によって、上部の *n*⁺ 層のシート抵抗は正しく測定されていると考えられる。図 4-1 から、PH₃ 流量 (F(PH₃)) を 0.6 sccm とした場合に (流量比 F(PH₃)/F(GeH₄) = 0.003)、最もシート抵抗が低くなることがわかった。

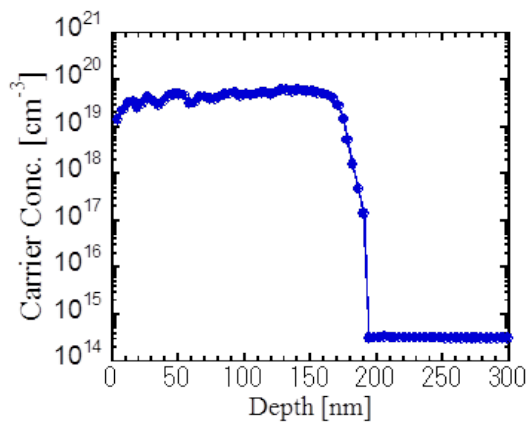


図 4-2: F(PH₃) = 0.6 sccm の時の電子濃度プロファイル。

この試料の SRP 評価結果を図 4-2 に示す。その結果、深さ方向に均一に、 $7 \times 10^{19} \text{ cm}^{-3}$ という高い電子濃度を示していることがわかった。ここで、 PH_3 流量を 0.6 sccm から増加した場合にシート抵抗が増加した理由を調べるために、 $F(\text{PH}_3) = 0.6$ および 1.2 sccm のときの Ge:P 層表面を AFM で観察した。図 4-3 に (a) 0.6 sccm の場合、および(b) 1.2 sccm の場合を示す。

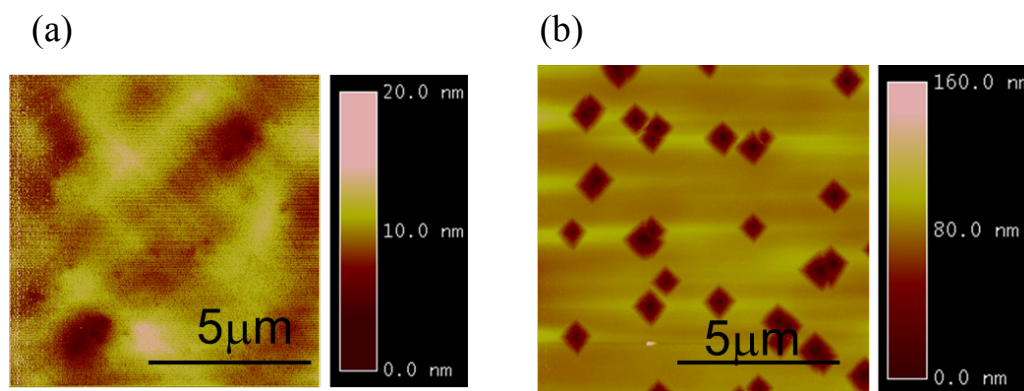


図 4-3: P ドープ Ge 層表面の AFM 像。(a) $F(\text{PH}_3) = 0.6$ sccm、(b) $F(\text{PH}_3) = 1.2$ sccm。

図 4-3 から、シート抵抗の極小値を示す $F(\text{PH}_3) = 0.6$ sccm のときは、Ge:P 層が平坦に成長しているが、 $F(\text{PH}_3) = 1.2$ sccm のときは、膜中に多くのピットが発生していることがわかる。 $F(\text{PH}_3) = 0.6$ sccm の試料の RMS 表面ラフネスは 1.6 nm であり、下地の Ge バッファ層の表面ラフネス値である 1.3 nm と比べ同等であるが、 $F(\text{PH}_3) = 1.2$ sccm の試料は、RMS 表面ラフネスが 15.9 nm となり、大幅に増大する。これは、 PH_3 流量の増加により、過剰の P が Ge 膜中に取り込まれずに成長表面に析出し、その析出した P が Ge 成長のマスクとなってピットが発生したためと推測される。従って、過剰な P ドーピングにより膜が物理的に不均一になり、シート抵抗が増加したものと考えられる。

次に、図 4-4 に Ge 中の(a)P 濃度および(b)電子濃度の成長圧力依存性を示す。

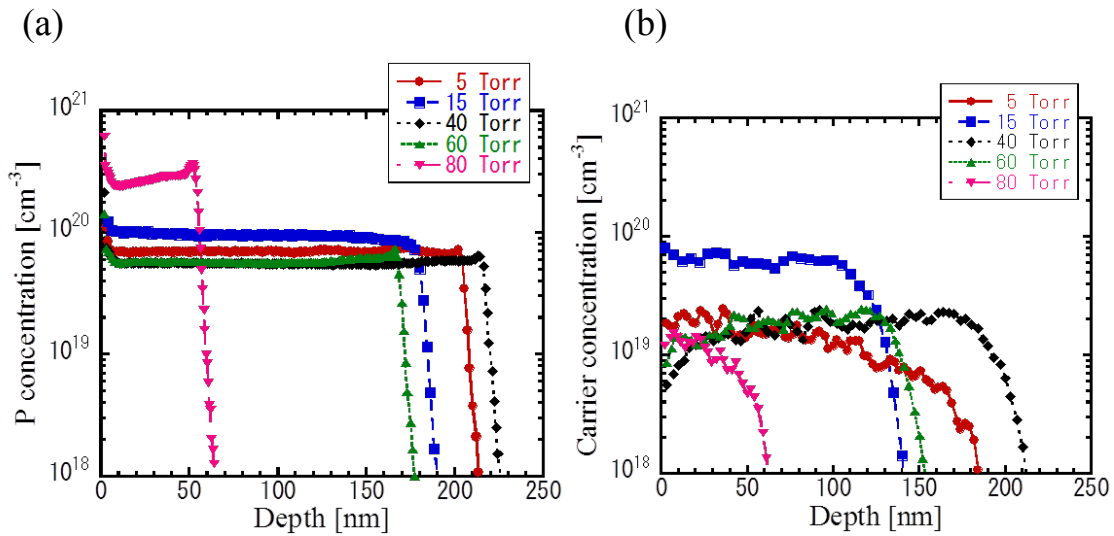


図 4-4: Ge 中の(a)P 濃度および(b)電子濃度の成長圧力依存性。

この結果から、成長圧力が 15 Torr の場合のみ、およそ $1 \times 10^{20} \text{ cm}^{-3}$ の物理濃度に対し、 $7 \times 10^{19} \text{ cm}^{-3}$ という高い電子濃度が得られており、それ以外の成長圧力では、 $1 \sim 2 \times 10^{19} \text{ cm}^{-3}$ の値にとどまっていることが確認できる。図 4-5 に表面より深さ 30 nm の(a)P 濃度および電子濃度、さらに(b)ドーパント活性化率を成長圧力の関数としてプロットした結果を示す。

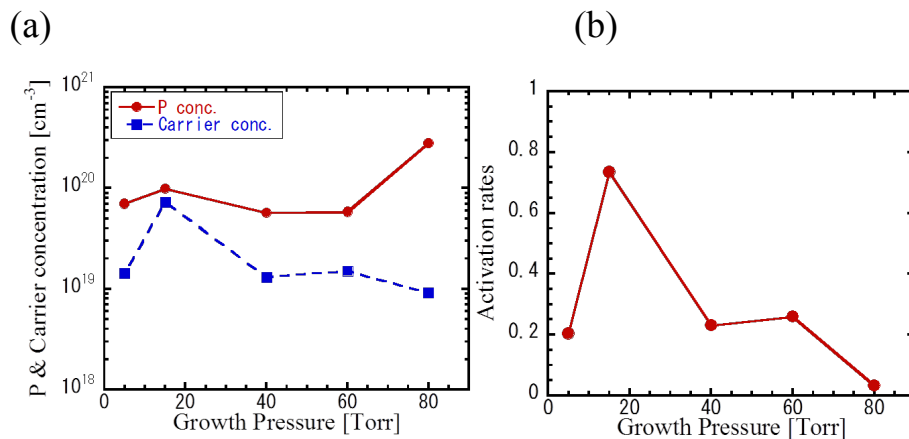


図 4-5: 成長した Ge:P 層の、(a)P 濃度および電子濃度、(b)ドーパント活性化率の成長圧力依存性。

これにより、15 Torr という特定の圧力でのみ、ドーパント活性化率が高いことがわかる。400°Cでの Ge 中 P の固溶源はおよそ $2 \times 10^{19} \text{ cm}^{-3}$ であるので[10]、成長圧力が 15 Torr のときのみ、その固溶限を超えて、格子位置に P 原子が取り込まれていることを意味している。

4.2.3 Ge 中 P の高活性化メカニズム

本項では、何故ある圧力範囲でのみ固溶源を超える高不純物活性化率が実現されたのかを考察する。この現象を説明するにあたり、Ge 中への P の取り込み機構[14-17]、および、Si の高速成長[18, 19]に関する、以下の5つの振る舞いに基づき考察する。

① 成長雰囲気内において、原料ガスである GeH_4 と、 PH_3 が気相反応し、図 4-6 に示す $\text{P}(\text{GeH}_3)_3$ という化合物が生成される[14]。

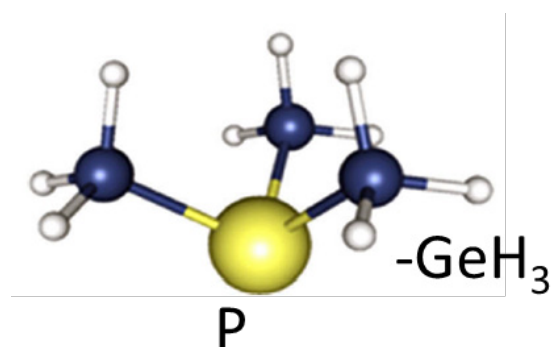


図 4-6 : PH_3 と GeH_4 の気相反応で生成される $\text{P}(\text{GeH}_3)_3$ の分子構造。文献[14]から転載。

- ② Ge 中に取り込まれる際の P プリカーサーの形態としては、 PH_3 よりも、 $\text{P}(\text{GeH}_3)_3$ のほうが、P が Ge に取り込まれやすい[15, 16]。
- ③ 固溶源を超える P の最も安定な状態は、空孔 (Vacancy、以後 V と示す) と結びついた P-V ペア (図 4-7 参照) もしくは、P-V クラスターである[17]。

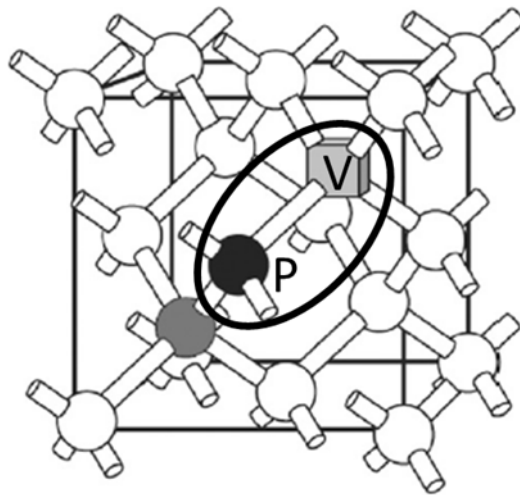
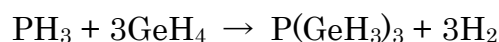


図 4-7: Ge 中における P 原子の最も安定な状態は、Vacancy (図中 V) と結合し、不活性な P-V ペアを形成した状態である。文献[17]から転載。

- ④ Si 結晶の高速成長においては、成長速度が高くなれば高くなるほど、成長した結晶内に、より多くの空孔が形成される傾向にある[18, 19]。
- ⑤ P-V ペアが形成されると、P が不活性化する[17]。

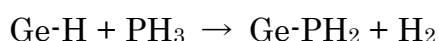
これら 5 つの知見を元に、以下に、成長圧力変化によってドーパント活性化を促進する挙動と、抑制する挙動の競合過程として、今回のドーパント活性化モデルを提案する。まず、成長圧力の増加によってドーパント活性化率が向上する過程であるが、成長圧力増加により、Ge:P 成長雰囲気中において以下の気相反応が促進され、 $\text{P}(\text{GeH}_3)_3$ が増加する[14]。



また、図 4-8 に示すように、Ge-P 結合と比べ、より安定な Ge-Ge 結合を形成することにより P を取り込める状況になることから、P の格子位置への取り込み効率は、P(GeH₃)₃ からのほうが高い[15, 16]。このとき、理論計算から示される、



の反応における、P(GeH₃)₃ からの P 取り込みにおける結合生成エネルギー、および



の反応式における、PH₃ からの P 取り込みにおける結合生成エネルギーは、それぞれ、-145 kJ/mol および、-97 kJ/mol である[16]。

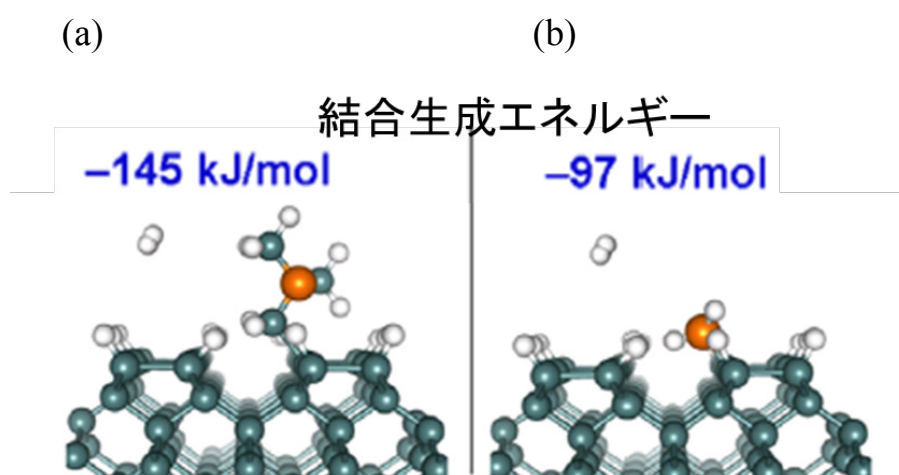


図 4-8 : P を Ge 結晶に取り込む形態の分子構造による違い。(a) P(GeH₃)₃ として取り込む形態、(b)PH₃ として取り込む形態。文献[16]から転載。

P(GeH₃)₃ の方がエネルギー的に格段に安定であり、成長圧力の増加に伴い数多く生成される P(GeH₃)₃ によって、P の活性化率が増加する。図 4-9 は Ge:P 成長速度の成長圧力依存性である。特に 5~40 Torr の範囲における成長圧力の変化にともない、成長速度が急増していることがわかる。この結果は、成長圧力

15 Torr 付近での Ge:P 成長は、表面反応律速ではなく、気相反応が促進され、 $\text{P}(\text{GeH}_3)_3$ が効率よく生成されていることの裏付けである。また、成長圧力の増加にともない、成長速度はさらに増大する。

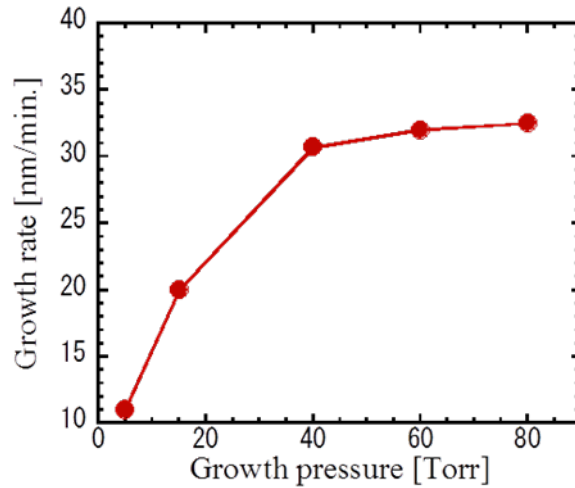


図 4-9: P ドープ Ge 成長速度の成長圧力依存性。

Si の高速成長から類推すると、この成長速度の増大により、Ge:P 結晶中の空孔数が増加し、その空孔が P 原子と最も安定な状態である P-V ペアを形成することにより、結果としてドーパント活性化率が低下すると考えられる。図 4-10 にドーパント活性化率の成長速度依存性を示す。

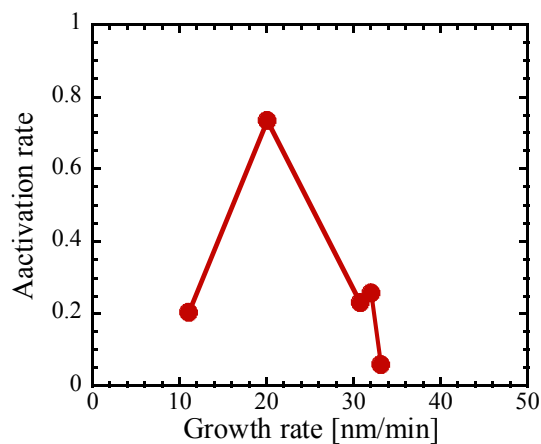


図 4-10 : ドーパント活性化率の成長速度依存性。

成長速度が高い領域においてドーパント活性化率が低下することが確認され、提案するドーパント活性化メカニズムを支持する結果となっている。さらに、図 4-11 に、成長圧力が 15 Torr のときの、Ge:P 成長速度の PH₃ 流量依存性を示す。

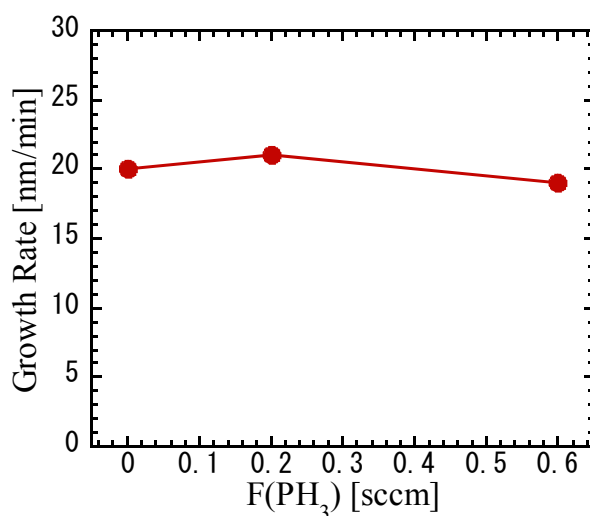


図 4-11: Ge:P 成長速度の PH₃ 流量依存性。

同図から、Ge:P 成長速度は PH₃ 流量によらず、ほぼ一定である。この結果は、Ge 成長過程において、P が成長表面の Ge と結合しながら取り込まれるのではなく（P が PH₃ から取り込まれるのではなく）、プリカーサーからの Ge と表面 Ge との結合を介して（P が P(GeH₃)₃ から）取り込まれることを意味している。

次に、in-situ ドーピングにより Ge 中に取り込まれた P 原子の熱的安定性を調べた。図 4-12 に、エピタキシャル成長直後および窒素中 600°C アニール（1 分間）後の Ge 中 P プロファイルを示す。このアニール条件は、Ge へ P イオン注入を行った後の活性化アニール条件として一般的に用いられる条件である。わずか 1 分間のアニール処理ではあるが、P 濃度が $2 \times 10^{19} \text{ cm}^{-3}$ と、固溶限レベ

ルにまで低下しており、固溶源を超えてドーピングされた P 原子は不安定であることが確認された。

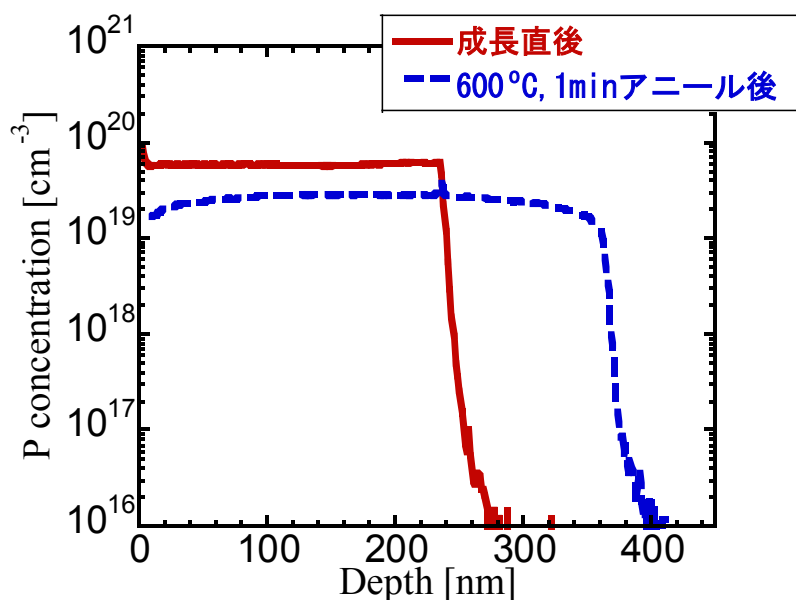


図 4-12: Ge 中 P 原子の熱的不安定性。

このことは、固溶源を超えるキャリア濃度の n^+ -Ge 層を形成した後の MISFET 作製工程では、キャリア濃度の低下を抑制するために、プロセス温度を低減することが強く求められることを意味し、MISFET 作製上の課題となる。

4.2.4 P ドープ Ge の選択成長

次に、上述の最適化された n^+ -Ge:P 成長条件において、実際のデバイス応用時に必須となる選択成長が実現できるかを検証した。図 4-13 に、 SiO_2 ダミーゲートを有する Ge 基板に対し、 n^+ -Ge:P 成長を行った試料の (a) 成長前断面 SEM 像 (リセス領域形成後)、(b) 成長後断面 SEM 像、(c) ダミーゲート端近傍の断面拡大 TEM 像 ((b) 中に拡大領域を示してある) を示す。

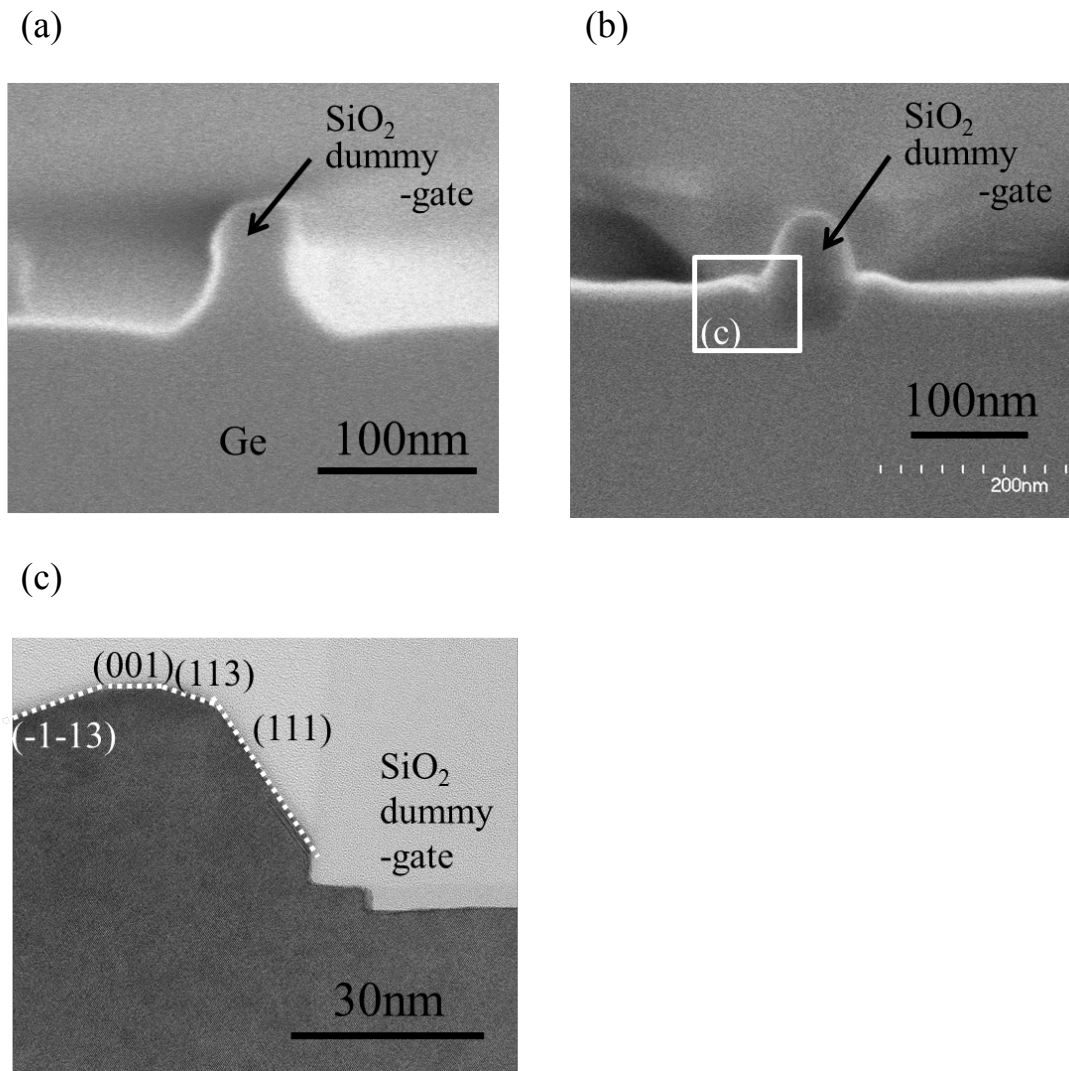


図 4-13: P ドープ Ge の選択成長の形状観察結果。(a)成長前リセス形状の SEM 像、
(b)成長後の SEM 像、(c)(b)のダミーゲート端近傍の拡大 TEM 像。

これらの結果から、ダミーゲート上に Ge の核生成はみられず、完全な選択成長が可能であることが確認された。一般的に、 n^+ -Si 層や n^+ -Si:C 層の形成には、絶縁膜上における核形成を抑制するために、HCl や Cl₂ ガスなどのエッチングガスが必須であるが、それらを導入しなくても選択成長が実現できることが示された。これによって、成長系が簡単になるだけでなく、実際の MISFET 作製を考えた際に、成長速度の低下が生じないなど、製造コストの面からも非常

に有利である。また、図 4-13(c)には、MISFET の SD 部分となる成長後表面にファセットが観察されている。このようなファセットによって、SD 部がゲート端と離れている MISFET 構造は、ゲート端と SD 部が接している場合に比べ、動作時のゲート-SD 間寄生容量を低減でき、デバイス応用上有利な形状といえる。

4.3 Ti / n^+ -Ge:P 接合の電気伝導特性

次に、金属/ n^+ -Ge:P 接合の電気伝導特性を評価した。電極金属としては、Ge と金属間化合物を形成しない金属である Ti を選択した。これは、Ge と反応しやすい金属（例えば Ni など）を選択した場合、金属間化合物が形成されることによって、金属間化合物/ n -Ge 界面の位置が n -Ge 側に侵入し、それによって P が偏析してしまい、実際の金属/ n -Ge 界面のキャリア濃度と、SRP 評価により見積もったキャリア濃度が異なる可能性が生じるためである。図 4-14 は、電流-電圧 (I/V) 測定、Transmission Line Measurement (TLM) 測定[20]を行うための試料の模式図である。

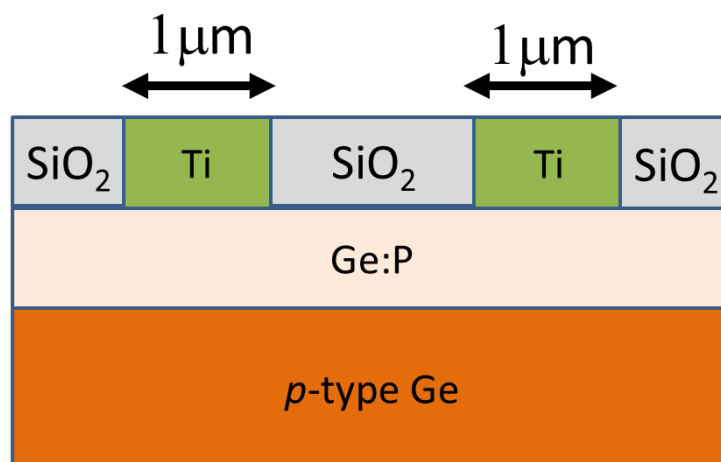


図 4-14: TLM 測定試料の断面構造図。

電極の大きさは $1\ \mu\text{m} \times 1\ \mu\text{m}$ であり、 SiO_2 層、 Ge:P 層の厚さは、それぞれ、約 $100\ \text{nm}$ および約 $65\ \text{nm}$ とした。また、TLM 法は、電極と半導体層を伝送路と見立て解析する手法で、薄膜半導体とのコンタクト抵抗を精度よく評価できる方法として一般的に用いられている[20]。この TLM 法の測定原理を図 4-15 に示す。図 4-15(a)に示した測定対象の試料構造において、コンタクトの幅、長さをそれぞれ、 W および d とし、コンタクト間距離を l とする。このとき、直流抵抗測定における等価回路は抵抗成分のみとなり、図 4-15(b)のように表される。直流抵抗 R は、

$$R = 2R_c + R_{SH} \cdot l/W, R_c = R_{SK} \cdot L_t/W$$

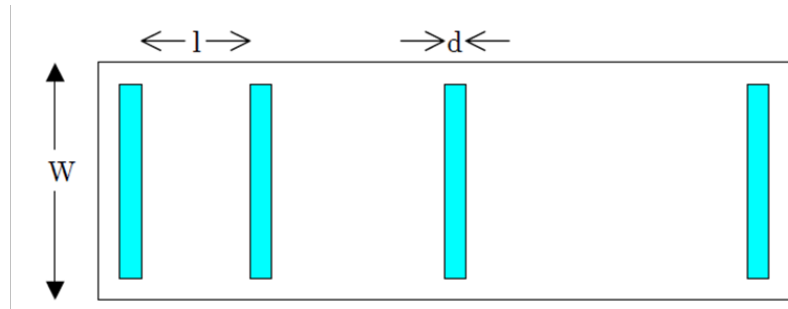
で表される。ここで、 R_c 、 R_{SH} 、 R_{SK} 、 L_t は、それぞれ、測定上のコンタクト抵抗、パッド間のシート抵抗、コンタクト直下のシート抵抗、伝搬長である。図 4-15(c)に示したように、電極間距離を変化させて抵抗測定を行い、抵抗値軸の切片から $2R_c$ が、電極間距離軸の切片から、 $-2L_t$ がそれぞれ求められる。得られた値を、次式

$$\rho_c = R_c \cdot L_t \cdot W$$

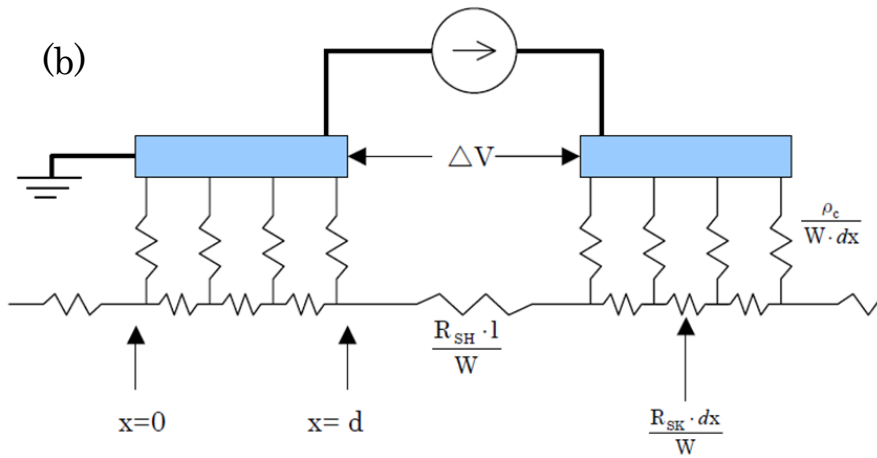
に代入すると、コンタクト抵抗 ρ_c が求められる。

まず、 I/V 測定結果を図 4-16 に示す。測定した試料は、 P 物理濃度が $1 \times 10^{20}\ \text{cm}^{-3}$ かつキャリア濃度 $7 \times 10^{19}\ \text{cm}^{-3}$ を有する Ge:P 層、 P 物理濃度が $1 \times 10^{20}\ \text{cm}^{-3}$ かつキャリア濃度 $2 \times 10^{19}\ \text{cm}^{-3}$ を有する Ge:P 層、および、参照試料として、物理的な P 濃度が同等となるように P イオン注入を行った後（注入エネルギー $10\ \text{keV}$ 、ドーズ量 $1 \times 10^{15}\ \text{cm}^{-2}$ ）、窒素中 600°C 、1 分の活性化アニールを施した Ge 層の 3 種類を準備した。

(a)

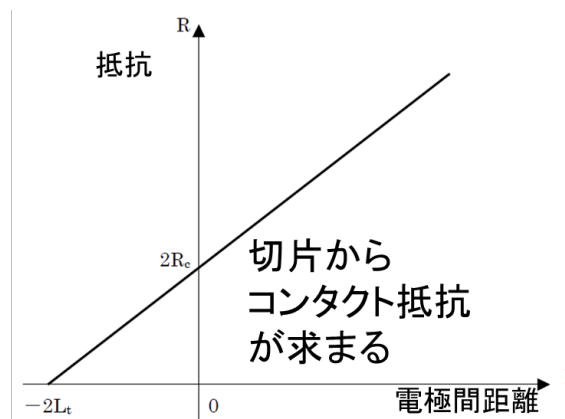


(b)



$$R = 2R_c + R_{SH} * l / W, \quad R_c = R_{SK} * L_t / W$$

(c)



$$\rho_c = R_c \cdot L_t \cdot W = \frac{R_{SK} \cdot L_t}{W} \cdot L_t \cdot W = R_{SK} \cdot L_t^2$$

図 4-15 : TLM 測定原理説明。(a)測定試料構造、(b)直流等価回路、(c)コンタクト抵抗の抽出。

また、このイオン注入法で作製した試料のキャリア濃度は $2 \times 10^{19} \text{ cm}^{-3}$ であることを SRP 測定で確認してある。図 4-16 から、キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層と Ti 電極はオーミック接合であることが確認できる。

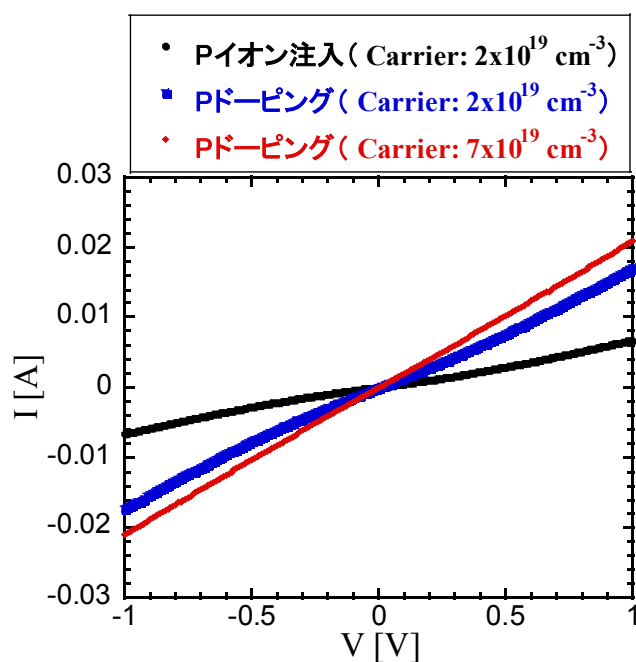


図 4-16: Ti/ n^+ -Ge 試料の I/V 特性。 n^+ -Ge 層の P 物理濃度は $1 \times 10^{20} \text{ cm}^{-3}$ に固定。

一方、P イオン注入法で作製した試料はショットキー接合であることが確認できる。さらに、 $2 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層でもショットキー接合が形成されていることが確認され、 $2 \times 10^{19} \text{ cm}^{-3}$ というキャリア濃度では、オーミック接合を得るには不十分であることが明確に示された。この結果は、以下の観点から、非常に大きな意味を持つと考えられる。P イオン注入後の活性化アニールにおいて、Ge 中 P 拡散は、最も安定な状態である P-V ペアの形態で拡散することが知られている[17]。つまり、たとえ固溶源を超える物理濃度の P が Ge 中に導入されていても、拡散を伴えば、固溶源を超えるキャリア濃度を実現することは困

難であると考えられる。このことから、本研究で示した、低温での in-situ ドーピング法は、P の拡散が抑制される状況での n -Ge 領域形成が可能であり、固溶源を超える高キャリア濃度を有する n^+ -Ge 領域を実現するうえで、非常に有望な手法であるといえる。

次に、図 4-17 に TLM 測定結果を示す。これより、キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層、キャリア濃度 $2 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層、および、P イオン注入試料においてそれぞれ、 $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ 、 $4.9 \times 10^{-6} \Omega \cdot \text{cm}^2$ 、および、 $1.6 \times 10^{-5} \Omega \cdot \text{cm}^2$ のコンタクト抵抗値が得られた。

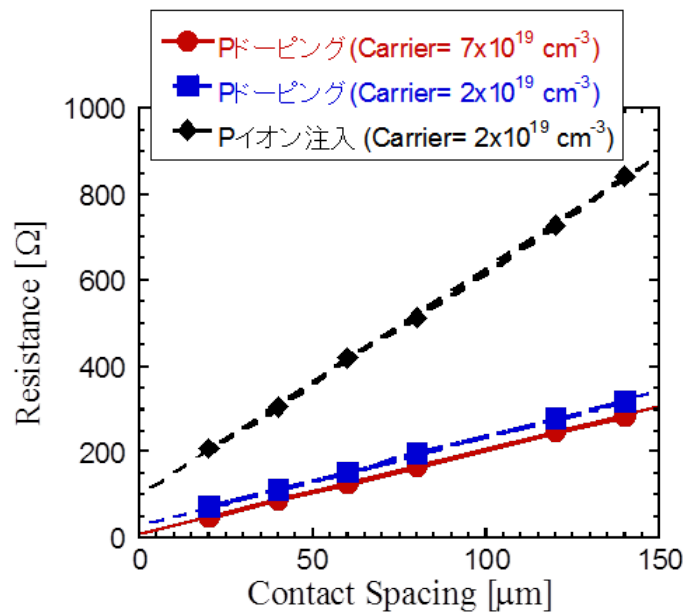


図 4-17: TLM 測定結果。

ここで、キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層とのコンタクト抵抗値である $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ は、Ti/ n^+ -Ge 系の従来報告例[6]と比べて最も低い値である。

図 4-18 に、TLM 測定にて得られたシート抵抗値を、作製した試料間、および、従来の報告例と比較して表す。この結果から、キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ を有

する Ge:P 層のシート抵抗値は、単結晶 Ge の移動度を元に計算した理想的なキャリア濃度曲線上にのっており、結晶品質の高い n^+ -Ge:P 層の形成が確認できた。

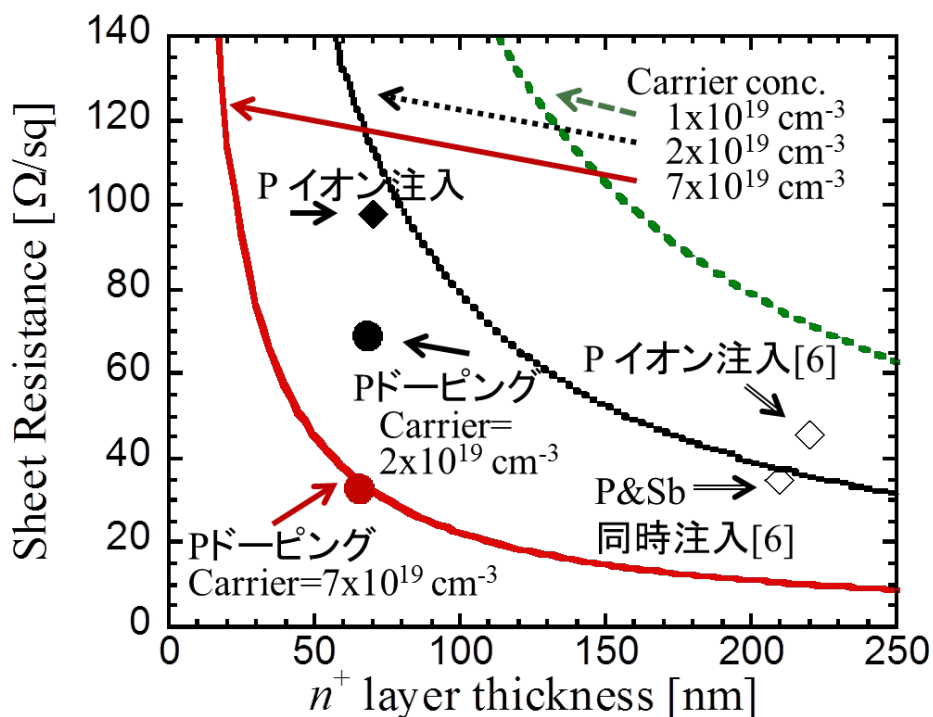


図 4-18: n^+ -Ge 層のシート抵抗値。曲線は各キャリア濃度での理想的なシート抵抗曲線。

一方、キャリア濃度 $2 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層のシート抵抗値は、理想的キャリア濃度曲線との乖離が見られる。これは、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ に対して、キャリア濃度が $2 \times 10^{19} \text{ cm}^{-3}$ であることから、不活性な不純物が格子間位置に存在し、Ge:P 層の結晶性が著しく低く、キャリア移動度が単結晶に比べ低い値をとることに起因すると考えられる。

4.4 小括

本章で得られた結果をまとめる。Ge 中の不純物 (P) の活性化・不活性化メカニズムに基づき、Ge:P 成長圧力を最適化することで、 $7 \times 10^{19} \text{ cm}^{-3}$ の高キャリア濃度を持つ n^+ -Ge 層を実現した。この n^+ -Ge 層と Ti 電極のコンタクト抵抗値である $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ は、過去に報告された Ti/ n^+ -Ge 系のコンタクト抵抗値と比較して、最も低い値を持つ。また、そのシート抵抗は、単結晶 Ge の移動度を元に計算した、理想的なキャリア濃度特性で説明することができ、結晶性の高い n^+ -Ge:P 層が形成されていることを実証した。

参考文献

- [1] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, “Fermi-level pinning and charge neutrality level in germanium”, *Appl. Phys. Lett.* vol.89, pp.252110 (2006).
- [2] T. Nishimura, K. Kita, and A. Toriumi, “Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface”, *Appl. Phys. Lett.*, vol.91, pp.123123 (2007).
- [3] T. Nishimura, K. Kita, and A. Toriumi, “A Significant Shift of Schottky Barrier Heights at Strongly Pinned Metal/Germanium Interface by Inserting an Ultra-Thin Insulating Film”, *Appl. Phys. Express.*, vol.1, pp.051406 (2008).
- [4] M. Itoya, K. Yamamoto, D. Wang, H. Yang, and H. Nakashima, “Ohmic contact formation on n-type Ge by direct deposition of TiN”, *Appl. Phys. Lett.*, vol.98, pp.192108 (2011).
- [5] 例えば、S.M. Sze, “Physics of Semiconductor Devices” (Wiley Interscience, 1981) 2nd ed.
- [6] B. Yang, J.-Y.J. Lin, S. Gupta, A. Roy, S. Liang, W.P. Maszara, Y. Nishi, and K. Saraswat, “Low-Contact-Resistivity Nickel Germanide Contacts on n^+Ge with Phosphorus/Antimony Co-Doping and Schottky Barrier Height Lowering”, *Proc. of ISTDM*, pp.88 (2012).
- [7] G. D. Dilliway, R. Van Den Boom, A. Moussa, F. Leys, B. Van Daele, B. Parmentier, T. Clarysse, E. R. Simoen, C. Defranoux, M. M. Meuris, A. Benedetti, O. Richard, and H. Bender, “In Situ Phosphorus Doping of Germanium by APCVD”, *ECS Trans.* vol.3, pp.599 (2006).
- [8] J. M. Hartmann, J. P. Barnes, M. Veillerot, J. M. Fédéli, Q. Benoit a la Guillaume, and V. Calvo, “Structural, electrical and optical properties of *in-situ* phosphorous-doped

- Ge layers”, J. Cryst. Growth, vol.347, pp.37 (2012).
- [9] M. Koike, Y. Kamata, T. Ino, D. Hagishima, K. Tatsumura, M. Koyama, and A. Nishiyama, “Diffusion and activation of *n*-type dopants in germanium”, J. Appl. Phys., vol.104, pp.023523 (2008).
- [10] R.W. Olesinski, N. Kanani, and G.J. Abbaschian, “The Ge–P (Germanium-Phosphorus) system”, Bulletin of Alloy Phase Diagrams, vol.6, no.3, pp.262 (1985).
- [11] L. Colace, G. Masini, F. Galluzzi, G. Assanto, G. Cappellini, L. Di Gaspare, E. Palange, and F. Evangelisti, “Metal–Ge–Si heterostructures for near-infrared light detection”, J. Vac. Sci. Technol. B, vol.17, pp.465 (1999).
- [12] S. Sioncke, D.P. Brunco, M. Meuris, O. Uwamahoro, J. Van Steenberghe, E. Vrancken, and M.M. Heyns, “Etch Rates of Ge, GaAs and InGaAs in Acids, Bases and Peroxide Based Mixtures”, ECS Trans., vol.16(10), pp.451 (2008).
- [13] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, “Generation of uniaxial tensile strain of over 1% on a Ge substrate for short-channel strained Ge *n*-type Metal–Insulator–Semiconductor Field-Effect Transistors with SiGe stressors”, Thin Solid Films, vol.520, pp.3236 (2012).
- [14] P. Benzi, L. Operti, R. Rabezzana, M. Splendore, and P. Volpe, “Gas phase ion/molecule reactions in phosphine/germane mixtures studied by ion trapping”, Int. J. Mass Spectrom. Ion Processes, vol.152, pp.61 (1996).
- [15] A. V. G. Chizmeshya, C. Ritter, J. Tolle, C. Cook, J. Menendez, and J. Kouvetakis, “Fundamental Studies of P(GeH₃)₃, As(GeH₃)₃, and Sb(GeH₃)₃: Practical *n*-Dopants for New Group IV Semiconductors”, Chem. Mater., vol.18, pp.6266 (2006).
- [16] J. Xie, J. Tolle, V.R. D’Costa, C. Weng, A.V.G. Chizmeshya, J. Menendez, and J.

Kouvetakis, "Molecular approaches to p- and n-nanoscale doping of $\text{Ge}_{1-y}\text{Sn}_y$ semiconductors: Structural, electrical and transport properties", *Solid-State Electron.*, vol.53, pp.816 (2009).

[17] A. Chroneos, R. W. Grimes, H. Bracht, and B. P. Uberuaga, "Engineering the free vacancy and active donor concentrations in phosphorus and arsenic double donor-doped germanium", *J. Appl. Phys.*, vol.104, pp.113724 (2008).

[18] P. J. Roksnoer and M. M. B. van den Boom, "Microdefects in a non-striated distribution in floating-zone silicon crystals", *J. Cryst. Growth*, vol.53, pp.563 (1981).

[19] V. V. Voronkov, "The mechanism of swirl defects formation in silicon", *J. Cryst. Growth*, vol.59, pp.625 (1982).

[20] D. K. Schroder, "Semiconductor Material and Device Characterization" (Wiley Interscience, 2006) 3rd ed.

第5章 In-situ P ドープ SiGe 選択成長

5.1 In-situ P ドープ SiGe ストレッサーSD 技術

5.1.1 Ge チャンネルへの引張りひずみ印加による電子移動度向上

従来、チャンネル移動度向上技術として、チャンネルへのひずみ印加を用いた技術が開発されてきた。例えば、Si-*n*MOSFET においては、面内2軸引張りひずみを有する Strained SOI (SSOI) 基板を使用する手法[1]、もしくは、図 5-1(a) に示すように、Si チャンネルより格子定数の小さい Si:C 層を SD 領域に成長し、チャンネル中に1軸引張りひずみを印加する手法[2]が検討されている。

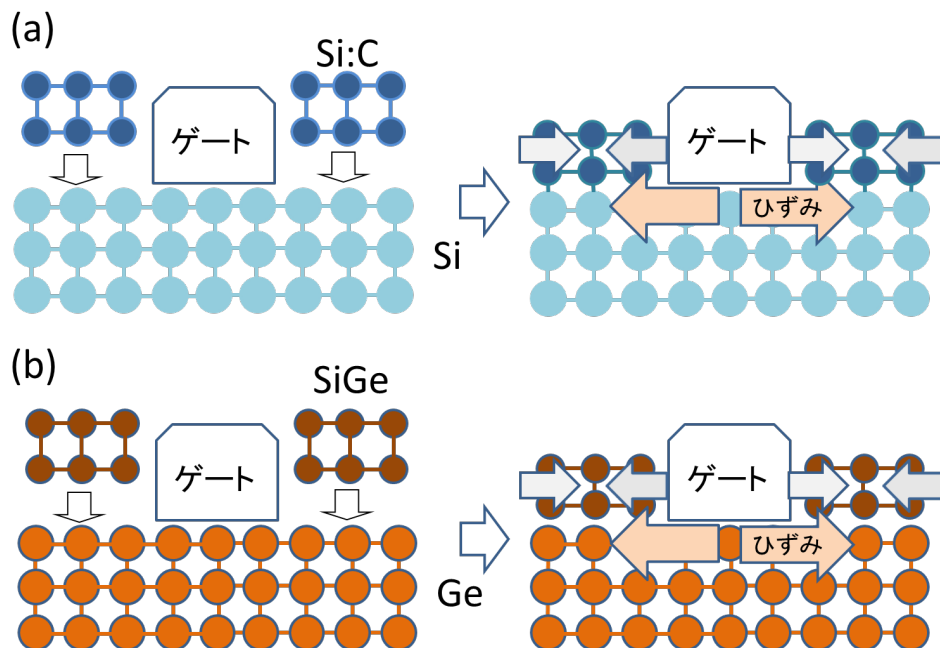


図 5-1 : SD に格子定数の小さい材料を成長することによる、チャンネルへの1軸引張りひずみ印加方法。(a)Si-*n*MOSFET における、Si:C-SD 形成による Si チャンネルへのひずみ印加、(b)Ge-*n*MOSFET における、SiGe-SD 形成による Ge チャンネルへのひずみ印加。

一方、Si-*p*MOSFET もしくは SiGe-*p*MOSFET においても同様の考え方に基づき、チャンネル領域より格子定数の大きい (Ge 組成の高い) SiGe 層を SD 領域に成長し、1 軸圧縮ひずみを印加する手法[3]が採用されている。このときの SD を、チャンネルに応力 (ストレス) を加える意味で、ストレッサーSD とよぶ。上述の状況を鑑み、本研究においても、Ge-*n*MISFET の電流駆動力向上を目指し、図 5-1(b)に示すように、Ge より格子定数の小さい SiGe 層を SD 領域に成長させ、1 軸引張りひずみ印加を行う手法を検討した。また、本手法のひずみ印加メカニズムから考えて、ストレッサーSD 領域に近いチャンネル領域ほど、大きなひずみが発生することになり、このことは図 5-2 に示すように、ゲート長が短いほど効果的にひずみを誘起できることを意味する。

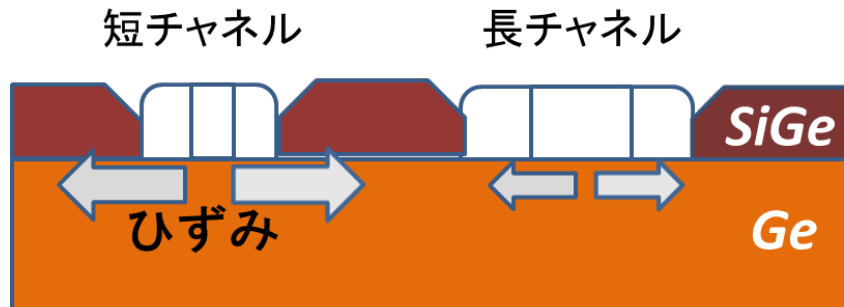


図 5-2 : ゲート長の変化による、チャンネルに誘起されるひずみ量の変化を表す概念図。

したがって本手法は CMOS の微細化に対応して、より大きなひずみを誘起できる技術であるといえる。

5.1.2 引張りひずみ印加のための SiGe:P ストレッサーSD

第4章では、CVDにより様々な条件でPドーピングGe薄膜を成長し、シート抵抗測定、SIMS分析、SRP分析等により、高電子濃度Ge薄膜形成のための成長条件を最適化した。その結果をふまえ、Geチャンネルに対し、引張りひずみを印加するストレッサーSD構造を実現するため、高Ge濃度SiGe薄膜へのin-situ Pドーピングを試みた。これまでに、Geチャンネルに1%程度の引張りひずみを印加することで、無ひずみSiと比較し約4倍の電子移動度が得られることが理論的に予測されており[4]、高濃度PドーピングSiGeストレッサーSDが形成可能になると、コンタクト抵抗の低減と電子移動度の向上が同時に実現でき、非常に有望な構造となる。

5.2 In-situ PドーピングSiGe形成

5.2.1 In-situ PドーピングSiGe形成方法

本項では、PドーピングSiGe薄膜の成膜方法について述べる。第4章で記述したPドーピングGe成膜と同様、LP-CVDにより成膜した。ここで、SiGe層のGe組成 x は、SiGe層の塑性緩和が進みにくいとされる、 $x=0.7$ および 0.8 を選択した[5]。3分間のアンモニア水(25% $\text{NH}_4\text{OH}:\text{DIW} = 1:1$)洗浄および2分間の希塩酸(38% $\text{HCl}:\text{DIW} = 1:10$)洗浄後の p -Ge基板($1\text{-}5\ \Omega\cdot\text{cm}$)上に、PドーピングSiGe層を成長した。成長直前に行う成長炉内における熱的クリーニングは、圧力80 Torrの水素雰囲気中で、 600°C 、20分間のアニールによって実施した。引き続き、成長温度 400°C 、成長圧力15 TorrでPドーピングSiGe層を成長した。さらに、成長時の SiO_2 マスクに対する選択性を評価するため、 SiO_2 ダミーゲートパターンを有するGe基板上に、60 nmのリセスを形成後、90 nmの n^+ -SiGe層を堆

積した。この際、より効果的なひずみ印加を可能とする形状を形成するため、RIE 法にて Ge 基板をエッチング後、希釈 HPM ($\text{HCl}:\text{H}_2\text{O}_2:\text{DIW} = 5:1:500$) 溶液で Ge 基板を異方性エッチングすることにより Σ 形状のリセスを採用した [6]。

5.2.2 SiGe への不純物ドーピング特性

高 Ge 濃度 SiGe への P ドーピングを用いた n^+ -SiGe 形成に関しては、これまでに主に以下の 2 例のみが報告されている。1 つ目は、Ge 濃度が高い SiGe では、P 原子が Si 原子の周りに偏析し、クラスタリングするため、キャリア濃度の高い n^+ -SiGe の形成は困難であるとする理論的解析である [7]。もう 1 つは、実際に作製したひずみ Ge- n MISFET において、P イオン注入により形成された SiGe ストレッサーSD 領域のコンタクト抵抗およびシート抵抗が非常に高く、電流駆動力が低いという報告である [8]。このように、高 Ge 濃度 SiGe に対する P ドーピングについては、報告例が少なく消極的な結果のみである。そのため本研究において、系統的に P ドーピング特性を調べることは、物理学的にも、デバイス応用するうえでも非常に重要である。

図 5-3 に、P ドープ SiGe (SiGe:P) 層中の、(a)P 濃度およびキャリア濃度、(b) ドーパント活性化率の Ge 組成依存性を示す。ここで、ドーパントガスとソースガスとの流量比は $F(\text{PH}_3)/F(\text{GeH}_4) = 0.003$ (Ge への P ドーピングにおいて、最もキャリア濃度が高くなる条件) と一定にしたまま、 SiH_4 流量を増加させて SiGe:P 層を形成した。図 5-3(a)から、Ge 濃度が低下するにつれて、物理的な P 濃度、キャリア濃度ともに減少することがわかった。しかも、キャリア濃度減少の傾向が、P 濃度減少のそれと比較し、はるかに大きい。その結果、図 5-3(b)

に示すように、Ge 濃度減少に従い、ドーパント活性化率が急激に低下する。SiGe への P ドーピングは、Ge の場合とは異なり、ドーパント活性化率が低く、デバイス応用上非常に不利であることがわかった。

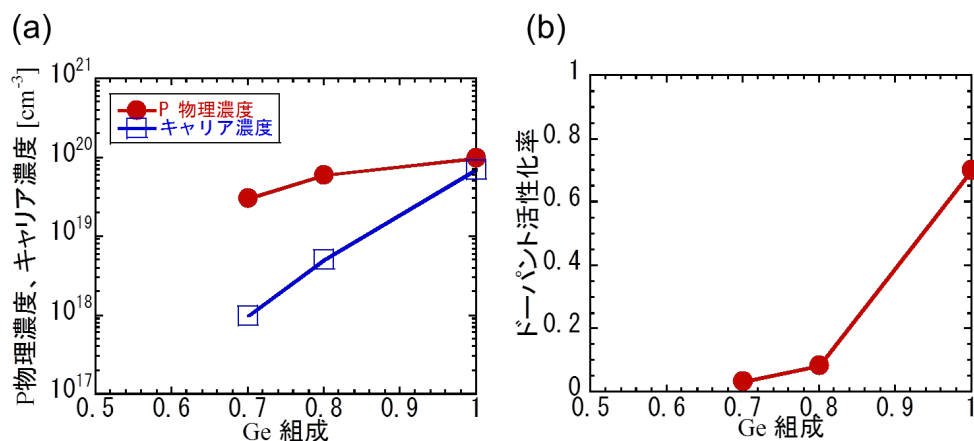


図 5-3: P-doped SiGe 中の(a)P 物理濃度およびキャリア濃度、(b)ドーパント活性化率の Ge 組成依存性。

次に、熱刺激による活性化率の向上を目指し、SiGe:P 層の成膜直後に、窒素中 600°C、1 分の成膜後アニール (PDA) を施した。図 5-4 に、その PDA 前後の(a)P 不純物濃度および(b)キャリア濃度の変化を示す。

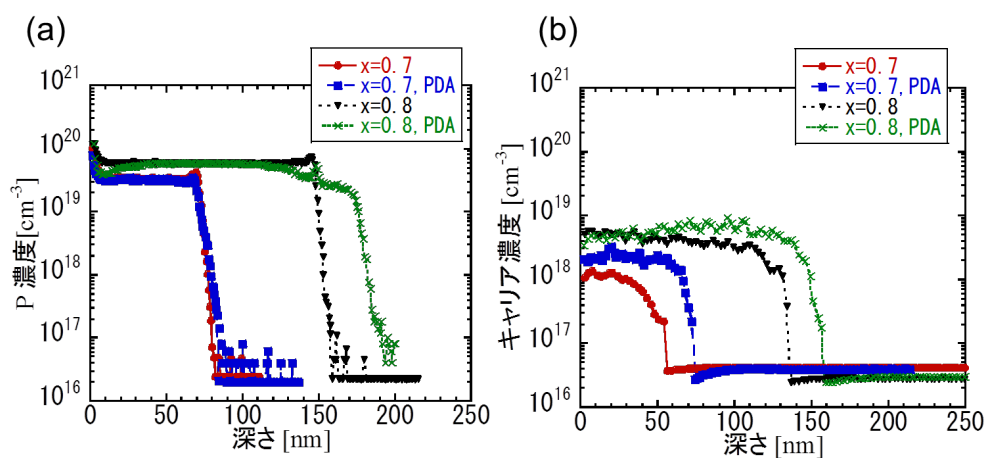


図 5-4: PDA 前後における、SiGe:P 中の(a)P 濃度および(b)電子濃度。

$x=0.8$ の試料に関しては、PDA に伴い界面近傍で P 拡散が生じ、物理的な P 濃度の低下が見られるが、キャリア濃度はわずかに増加する。 $x=0.7$ に関しては、PDA 後もほとんど P 拡散が生じず、P プロファイルにはほとんど変化が見られないが、 $x=0.8$ の試料と同様、キャリア濃度がわずかに増加する傾向が見られる。結局、両方の Ge 組成の試料における、PDA によるキャリア濃度向上効果はわずかであり、MISFET の SD 領域に要求されるような $1 \times 10^{20} \text{ cm}^{-3}$ 程度のキャリア濃度には及ばない結果である。

また、SiGe 中の P の安定性について調査するため、Ge 中の P 拡散と比較した。P 原子の拡散長が大幅に異なるため、エピタキシャル成長直後および PDA 後の SiGe:P/Ge 中 P プロファイルを図 5-5(a)に、エピタキシャル成長直後および PDA 後の Ge:P/Ge 中 P プロファイルを図 5-5(b)に分割して示す。

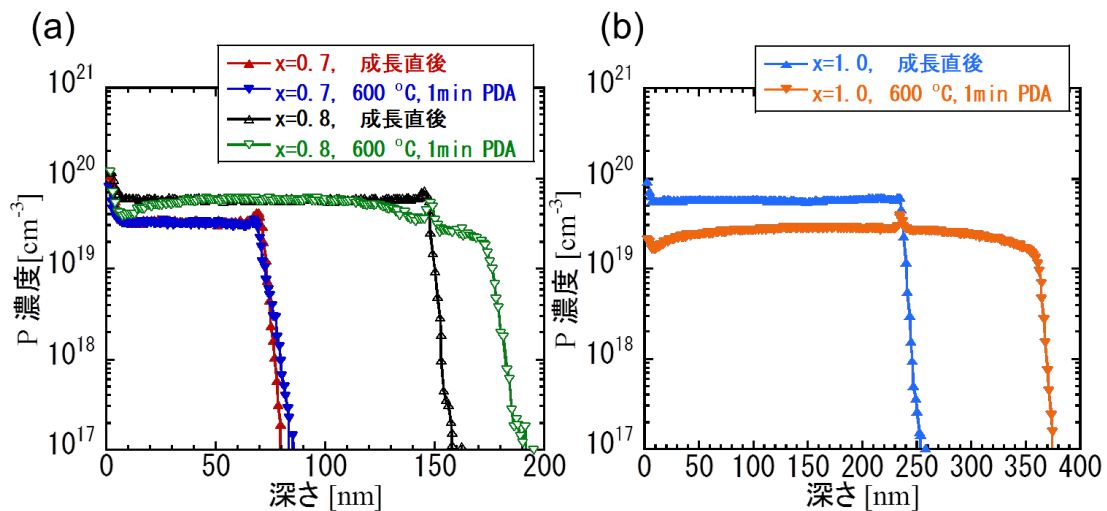


図 5-5: SiGe 中 P 原子の熱的安定性 (Ge 中 P との比較)。(a) SiGe:P/Ge の P プロファイル、(b) Ge:P/Ge の P プロファイル。

これらのプロファイルから求めた、PDA 後の P の拡散長を図 5-6 にまとめる。これより、SiGe 中の Ge 組成の低下とともに、大幅に拡散長が低減することが

わかる。

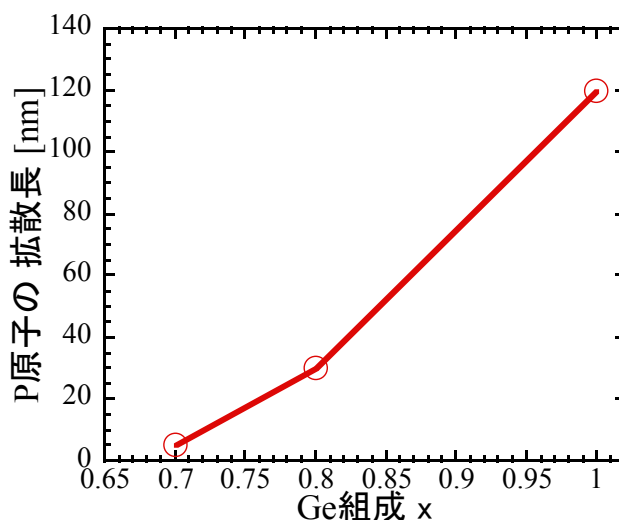


図 5-6: PDA (600°C, 1min) 後の P 拡散長の Ge 濃度依存性。

この結果は、Si の存在によって P 原子の安定性が増大することを意味するが、Ge と比べ Si との強い結合によって、P 原子が拡散しにくくなったと解釈できる。先に述べた、P 原子が SiGe 中の Si 原子近傍に偏析する傾向が高いという、理論解析[7]を支持する結果である。

5.2.3 SD 領域への選択成長

これまでに得られた結果から、SiGe 中 P の活性化率は非常に低く、現状では MISFET の SD 用途に必要な水準を満たせないことが明らかになった。そこで、SiGe:P 層には、主にひずみ印加の機能のみを持たせ、コンタクト抵抗の低減には、第 4 章で示した、低コンタクト抵抗を有する金属/ n^+ -Ge 接合を利用する方針とした。具体的には、図 5-7 に示すように、SiGe:P 単層でのストレッサーSD 形成ではなく、Ge:P/SiGe:P 積層ストレッサーSD を形成することで、十分なス

トレッサー機能と低コンタクト抵抗を両立する SD 構造である。最初に選択成長による構造作製を検討し、次に、次項で述べるように、Ge チャンネル中のひずみ量を評価した。

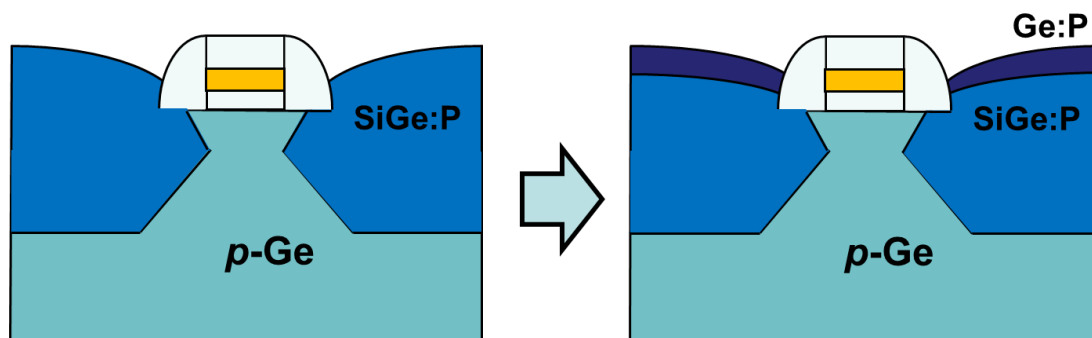


図 5-7: 新規提案の Ge:P/SiGe:P 積層ストレス SD 構造。

まず、新規提案の Ge:P/SiGe:P 積層ストレス SD 形成方法に関して述べる。SiO₂ ダミーゲートを有する p-Ge 基板に対し、RIE で深さ 30 nm のエッチングを行った後に、希釈 HPM による深さ 20 nm の追加エッチングを施すことで、図 5-8 に示すような、ダミーゲート近傍に Σ 形状のリセス領域を形成した。

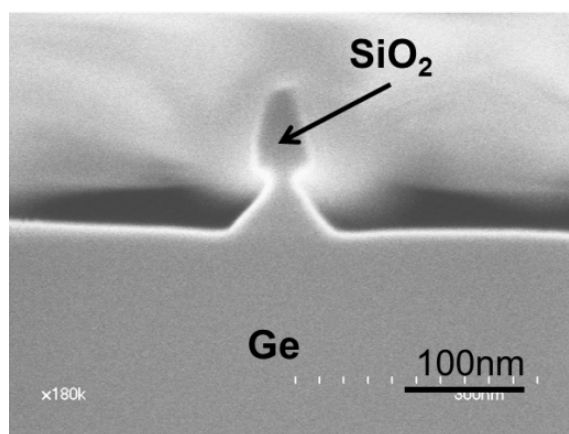


図 5-8: SiGe ストレッサー SD 成長前の Ge リセス構造。

このとき、Ge をエッチングする RIE では、 SiO_2 との選択比が高い HBr をエッチングガスとして使用した。また、溶液エッチングでは、 Σ 形状を構成する $\{111\}$ ファセットを形成するため、希釈 HPM 溶液を使用した。その後、この基板に対し、自然酸化膜を除去するため、HCl 洗浄を実施した。洗浄後 Ge 基板を成長炉内に導入し、表面に残存する酸素を除去する熱的工程として、 550°C 、10 min の水素アニールを実施した。その後、70 nm 厚さの SiGe:P 層、続けて 20 nm 厚さの Ge:P 層を成長した。比較のため、90 nm 厚さの SiGe:P 単層、90 nm 厚さの Ge:P 単層の試料も作製した。図 5-9 に、20/70 nm の Ge:P/SiGe:P 積層ストレス SD 構造を形成した試料の断面 TEM 像を示す。

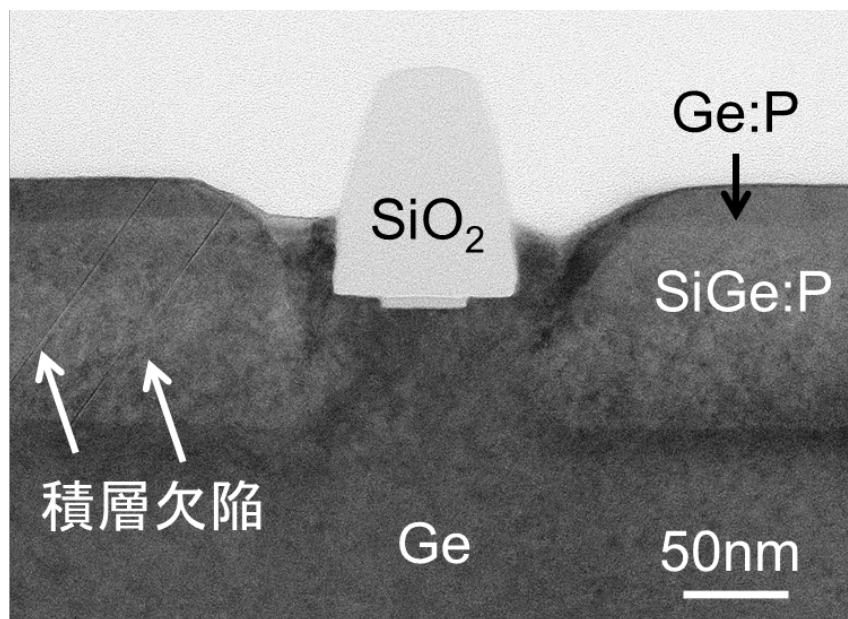


図 5-9: SiGe ストレッサーSD を有するひずみ Ge チャンネル構造。

SiO_2 上に核生成した様子は見られず、Ge に比べ SiO_2 に対する選択性が低下することが知られている SiGe の場合でも、選択成長が可能であることが確認された。TEM 像には、ストレス SD 内に積層欠陥が観察されるが、後に示すラマン分光評価 (図 5-11) の結果からもわかるように、ひずみ緩和には支配的に

寄与していないと考えられる。

5.2.4 Ge チャンネル中のひずみ量評価

次に、Ge チャンネルに印加されたひずみ量をラマン分光法で評価した結果を報告する。まず、評価に用いた試料について説明する。図 5-10 に、その試料の(a)断面概略図、および(b)表面からの SEM 観察像を示す。

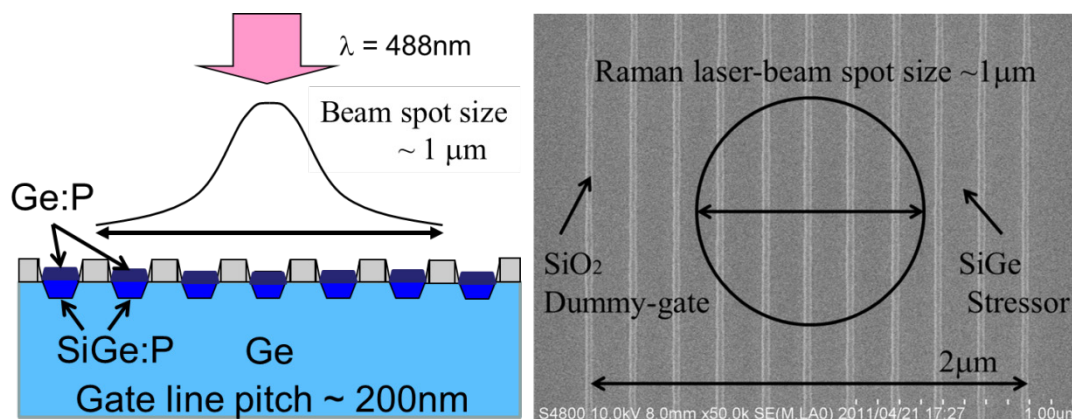


図 5-10: ラマン分光測定に使用した L/S パターンを有するひずみ Ge 試料。(a)断面概略図、(b)表面からの SEM 観察像。

SiO₂ ダミーゲートを有する Line / Space (L/S) パターンであり、200 nm のピッチを有している。ラマン分光法で用いたレーザービームの直径が約 1 μm であるため、測定視野内におよそ 5 本のダミーゲートラインが含まれることになる。この試料を用いてラマン分光測定した結果を図 5-11 に示す。図 5-11(a)には、取得したラマン分光プロファイルの一例として、ダミーゲート長 54 nm の試料の測定結果を示してあり、無ひずみ状態の情報を得る比較試料として、Ge 基板の

プロファイルも示した。

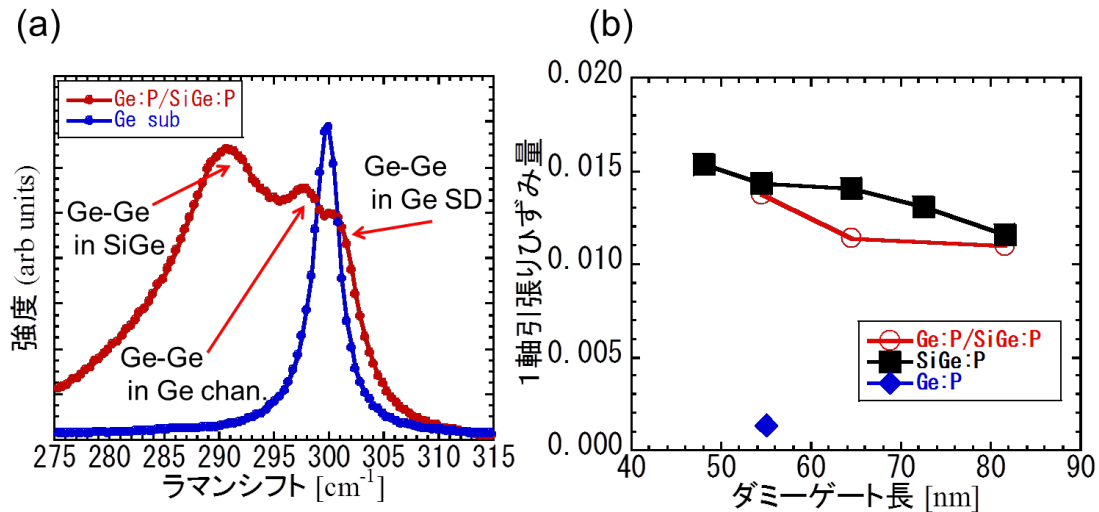


図 5-11: Ge チャンネル中のひずみ量評価結果。(a)ダミーゲート長 54nm の場合のラマン散乱プロファイル、(b)一軸引張りひずみ量のダミーゲート長依存性。

ダミーゲート長 54 nm の試料のプロファイルには 3 つのピークが確認され、過去の文献[5, 10]を参考にすると、最も低波数側のピークは SiGe ストレッサー中の Ge-Ge 振動モード、中心のピークは Ge チャンネル中の Ge-Ge 振動モード、最も高波数側のピークは SiGe ストレッサー上部の Ge 中 Ge-Ge 振動モードと同定できる。ここで、Ge チャンネルからのピーク位置と、比較試料である Ge 基板からのピーク位置の差を $\Delta\omega$ とすると、面内 2 軸等方ひずみと仮定したときの Ge チャンネル中のひずみ量 ε は次式で表される[11]。

$$\varepsilon = 0.041 \times \Delta\omega/16$$

さらに、これを一軸ひずみ ε_{uni} に変換するには、単純に 2 倍とすれば良いことが理論的に示されており[12]、

$$\varepsilon_{\text{uni}} = 2 \times 0.041 \times \Delta\omega/16$$

となる。また、図 5-11(b)に Ge チャンネル中一軸引張りひずみのダミーゲート長依存性を示した。SiGe:P 単層ストレッサー、Ge:P/SiGe:P 積層ストレッサーともに、ダミーゲート長が短くなるにつれ、Ge チャンネルに印加できるひずみ量が増加する。SiGe:P 単層ストレッサーと比較すると、SiGe 層厚さが薄いことに起因し、Ge:P/SiGe:P 積層ストレッサーにより印加された一軸引張りひずみの量は少ないが、その場合でもダミーゲート長が 54 nm の場合には、Si の 4 倍の電子移動度を実現する 1%のひずみを超える、1.4%のひずみが Ge チャンネルに印加されていることが確認できる。

5.3 Ti 電極とのコンタクト抵抗評価

第 4 章で述べた Ti/Ge:P 接合のコンタクト抵抗評価の場合と同様に、Ti/Ge:P/SiGe:P 構造の電気伝導特性を、I/V 測定、TLM 測定を用いて評価した。評価用に作製した試料の断面構造図を図 5-12 に示す。

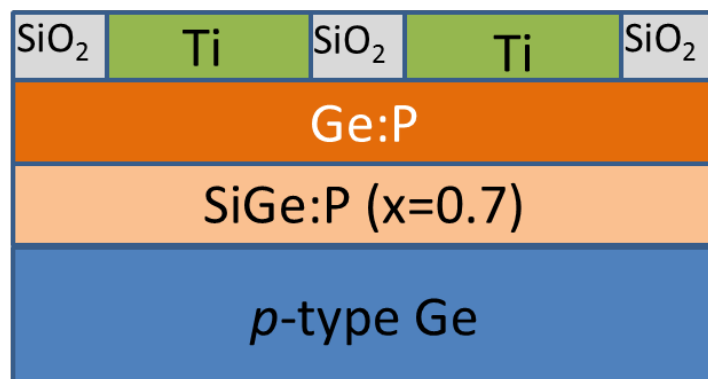


図 5-12: TLM 測定用試料の断面構造概略図。

ここで、I/V 測定時のコンタクト間隔は 20 μm とし、Ge:P 層、SiGe:P 層の各膜厚はそれぞれ、20 nm および 50 nm とした。比較検討用および参照用試料として、

70 nm 厚さの SiGe:P 単層試料も作製した。作製した試料の I/V 測定結果を図 5-13 に示す。

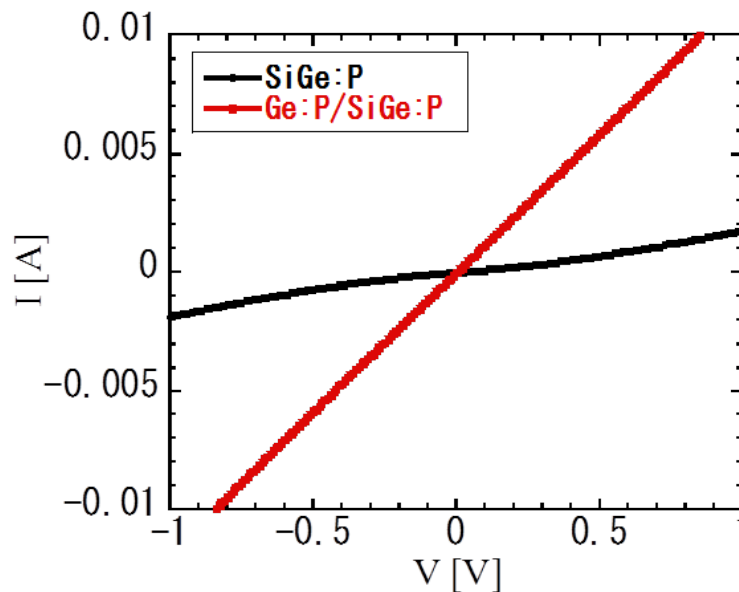


図 5-13: Ti/Ge:P/SiGe:P 積層構造の I/V 測定結果。Ti/SiGe:P 接合との比較。

非線形なショットキー性を示す SiGe:P 単層と比較し、Ge:P/SiGe:P 積層試料では、線形のオーミック特性が得られていることが確認できる。高キャリア濃度 Ge:P 層と Ti 電極とのコンタクト抵抗低減効果により、結果として電流値が大幅に増加している。また、図 5-14 の TLM 測定結果から、Ti/Ge:P/SiGe:P 接合のコンタクト抵抗値は、 $6.6 \times 10^{-7} \Omega \cdot \text{cm}^2$ となり、Ti/SiGe:P 接合のコンタクト抵抗値 $1.4 \times 10^{-4} \Omega \cdot \text{cm}^2$ と比較し、2桁以上のコンタクト抵抗低減効果が得られた。

5.4 小括

本章で得られた結果をまとめる。ひずみ Ge-nMISFET 向けのストレッサーSDとして、SiGe:P ストレッサーSDを検討した。高キャリア濃度 SiGe:P 層の形成

は困難であることが実験的に示され、その代替手段として、ストレッチャー機能を SiGe:P に、コンタクト抵抗低減機能を Ge:P に、各々の機能を特化させた Ge:P/SiGe:P 積層ストレッチャーSD を開発した。それによって、Ge チャンネルに対し 1%を超える十分なひずみ印加が可能であること、さらに、SD 領域の低コンタクト抵抗化が可能であることを実証した。

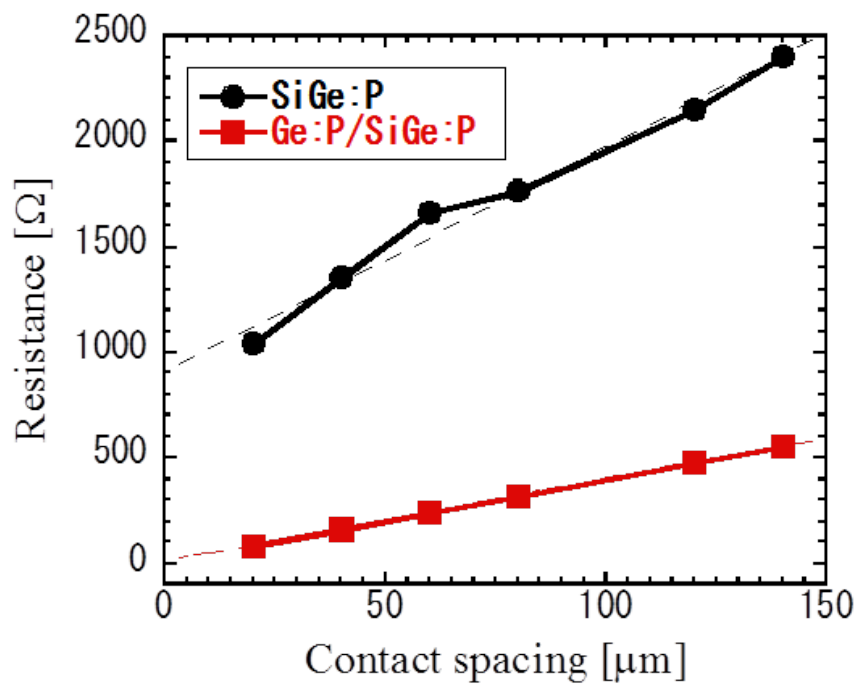


図 5-14: Ti/Ge:P/SiGe:P 積層構造の TLM 測定結果。

参考文献

- [1] I. Lauer, T.A. Langdo, Z.-Y. Cheng, J.G. Fiorenza, G. Braithwaite, M.T. Currie, C.W. Leitz, A. Lochtefeld, H. Badawi, M.T. Bulsara, M. Somerville, and D.A. Antoniadis, “Fully depleted n-MOSFETs on supercritical thickness strained SOI”, IEEE Electron Device Lett., vol.25, pp.83 (2004).
- [2] K.W. Ang, K.J. Chui, V. Bliznetsov, Anyan Du, N. Balasubramanian, M.F. Li, G. Samudra, and Y.-C. Yeo, “Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions”, Tech. Dig. IEDM, pp.1069 (2004).
- [3] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, “A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors”, Tech. Dig. IEDM, pp.978 (2003).
- [4] Y.-J. Yang, W. S. Ho, C.-F. Huang, S. T. Chang, and C. W. Liu, “Electron mobility enhancement in strained-germanium *n*-channel metal-oxide-semiconductor field-effect transistors”, Appl. Phys. Lett., vol.91, pp.102103 (2007).
- [5] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, “Generation of uniaxial tensile strain of over 1% on a Ge substrate for short-channel strained Ge *n*-type Metal–Insulator–Semiconductor Field-Effect Transistors with SiGe stressors”, Thin Solid Films, vol.520, pp.3236 (2012).
- [6] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, S. Takeuchi, A. Sakai, and T. Tezuka, “In-situ P-doped Ge-rich SiGe selective epitaxy for strained Ge-*n*MISFETs”, Abs. E-MRS fall meeting, Symposium A, Paper no.1-4 (2013).
- [7] A. Chroneos, H. Bracht, R.W. Grimes, and B.P. Uberuaga, “Phosphorous clustering

- in germanium-rich silicon germanium”, *Mat. Sci. Eng. B*, vol.154-155, pp.72 (2008).
- [8] Y. Kamimuta, Y. Moriyama, K. Ikeda, M. Oda, and T. Tezuka, “Current Drive Enhancement of Strained Ge nMISFET with SiGe Stressors by Uniaxial Tensile Stress”, *Ext. Abst. SSDM*, pp.835 (2011).
- [9] N. Hirashita, Y. Moriyama, N. Sugiyama, E. Toyoda, and S Takagi, “Strain relaxation in strained-Si layers on SiGe-on-insulator substrates”, *Semicond. Sci. Technol.*, vol.22, pp.S21 (2007).
- [10] F. Pezzoli, E. Bonera, E. Grilli, M. Guzzi, S. Sanguinetti, D. Chrastina, G. Isella, H. von Känel, E. Wintersberger, J. Stangl, and G. Bauer, “Raman spectroscopy determination of composition and strain in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterostructures”, *Mater. Sci. Semicond. Process.*, vol.11, pp.279 (2008).
- [11] J.C. Tsang, P. M. Mooney, F. Dacol, and J. O. Chu, “Measurements of alloy composition and strain in thin $\text{Ge}_x\text{Si}_{1-x}$ layers”, *J. Appl. Phys.*, vol.75, pp.8098 (1994).
- [12] T. Ito, H. Azuma, and S. Noda, “Stress Measurements in Silicon Substrates with TiSi_2 Patterns Using Raman Microprobe”, *Jpn. J. Appl. Phys.*, vol.33, pp.171 (1994).

第6章 薄膜 GeOI 上への in-situ P ドープ Ge および SiGe SD 選択成長

6.1 作製した薄膜 GeOI 基板の MISFET 応用上の課題

ここでは、第3章で述べた $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX 層を有する薄膜 GeOI 基板に対し、第4、5章で述べた結果を受けて、実際に MISFET へ応用する際の課題について述べる。克服すべき課題は主に熱負荷耐性に関する、次の2点である。1点目は、GeOI が薄膜であることに起因する、GeOI 層の凝集現象[1, 2]であり、2点目は、BOX 層の $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面劣化に起因するしきい値シフトである[3]。薄膜半導体層の凝集現象に関しては、薄膜 SOI の高温アニールによる凝集現象として、Nuryadi らにより報告され、広く知られることとなった[1]。これは、CVD 等でのエピタキシャル成長直前の炉内高温クリーニング温度をバルク基板に対してのクリーニング温度まで高くできないことを意味しており、エピタキシャル成長界面の清浄性を確保するうえで、非常に難しい課題である。具体的には、バルク Si の表面クリーニング温度は 900°C 前後であるが、20 nm 厚さ程度の SOI 層表面に対しては、 850°C 程度にまで低下させなければならない[4]。さらに、薄膜 SOI 層が薄くなるほど、凝集現象を回避できるクリーニング温度の上限が低下してくることも知られている[5]。一方、薄膜 GeOI 基板に関しても凝集に基づく表面ラフネス増加が実験的に確認されており、30 nm 厚さの GeOI 層に対しては、 450°C から表面ラフネスが増大する[2]。つまり、作製した GeOI 基板上に Ge-*n*MISFET を作製する過程において CVD 等で SD を形成する場合、およそ 400°C 程度まで表面クリーニング時の温度を低減しなけれ

ばならない。さらに、BOXとして使用されている $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面特性劣化に関しては、この界面ではダイポールが形成され、結果として、トランジスタ特性において、しきい値がシフトすることが知られている[3]。この現象は 500°C 程度以上で顕著になることが報告されており[6]、凝集現象抑制と合わせて、プロセス温度の低減を強く要求する。本研究では、プロセス温度低減の目標値として、エピタキシャル成長温度の 400°C に設定し、プロセス技術の開発を行う。

6.2 凝集現象抑制、界面特性劣化抑制のための低温 HCl ガスクリーニング

最初に、18 nm 厚さの GeOI 基板の上に MISFET を作製する途中段階の断面 TEM 像を図 6-1 に示す。

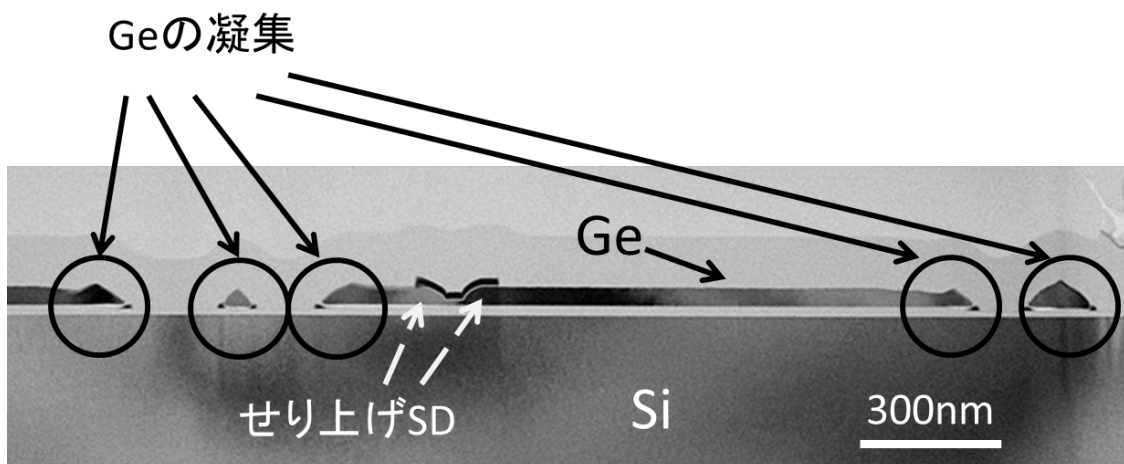


図 6-1: 薄膜 GeOI の凝集を表す断面 TEM 像。

エピタキシャル成長前の GeOI 表面クリーニングとして、 600°C 、80 Torr の水素雰囲気アニールを実施し、その後、MISFET の直列抵抗低減を意図した、elevated (せり上げ構造) SD として、65 nm 厚さの Ge:P 層を成長した。成長前の高温アニールにより、図 6-1 に図示したように、Ge の凝集が観察された。

このような凝集を阻止するため、まずは、単純に水素アニール温度を 400°C に設定し、表面平坦性を維持したままエピタキシャル成長が可能であるかを調査した。図 6-2 に、アンモニア水洗浄および塩酸洗浄後のバルク Ge 基板に対し、成長炉内で 400°C、80 Torr の水素アニールを施し、その後、400°C、15 Torr で 200 nm 厚の Ge 膜をホモエピタキシャル成長させた試料表面の AFM 像を示す (図 6-2(a))。また、比較対象として、水素アニール温度が 600°C の場合の AFM 像を図 6-2(b) に示す。

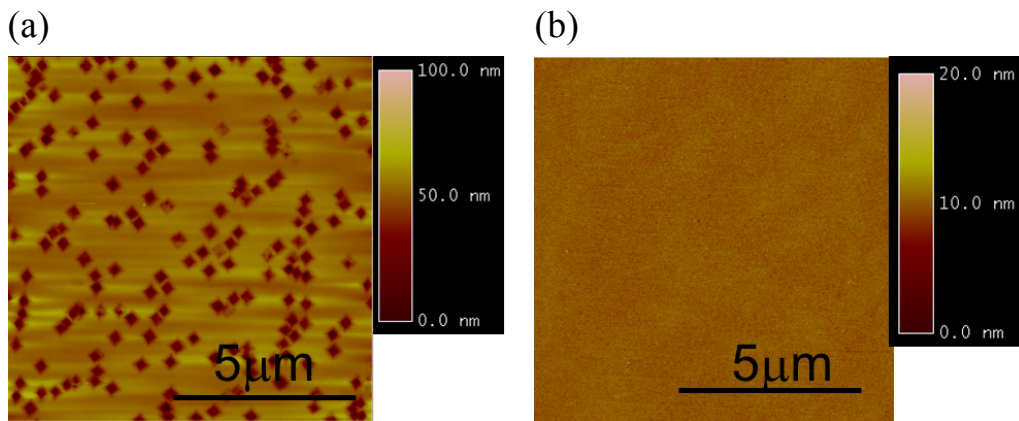


図 6-2: 水素アニール後の Ge ホモエピタキシャル成長試料の AFM 像。(a) 400°C 水素アニール後、および(b) 600°C水素アニール後。

図 6-2 から、アニール温度を低下してしまうと、凹凸の激しい表面となることが確認できる。これは、エピタキシャル成長直前の表面が清浄でないために、汚染源がマスク材として働き、ピットが発生したためである[2]。このように単純なアニール温度の低温化だけでは、平坦性を維持しながらエピタキシャル成長できる表面を実現するのは困難である。そこで、通常は CVD 炉内のクリーニングや、選択成長用のエッチングガスとして使用する HCl ガスを、表面クリーニングガスとして利用し、基板表面をわずかに (1 nm 程度) エッチングすることを検討した。過去の報告に見られる高温 (800~900°C) でのエッチング速度

および活性化エネルギー[7]から、400°Cでの状況を類推し、以下の方法によって正確なエッチング速度を求めた。素子分離用 SiO₂ パターン付きの Ge 基板を、アンモニア水洗浄および塩酸洗浄後にエピタキシャル成長炉内に導入し、400°C、20 Torr、HCl:H₂ = 1:100 の条件で、HCl エッチングを実施し、エッチング深さを SEM 観察によって定量化した。図 6-3 に、(a)HCl エッチング前の初期構造断面概略図、(b) 20 分間エッチング後の断面 SEM 像、および、(c)エッチング深さのエッチング時間依存性を示す。

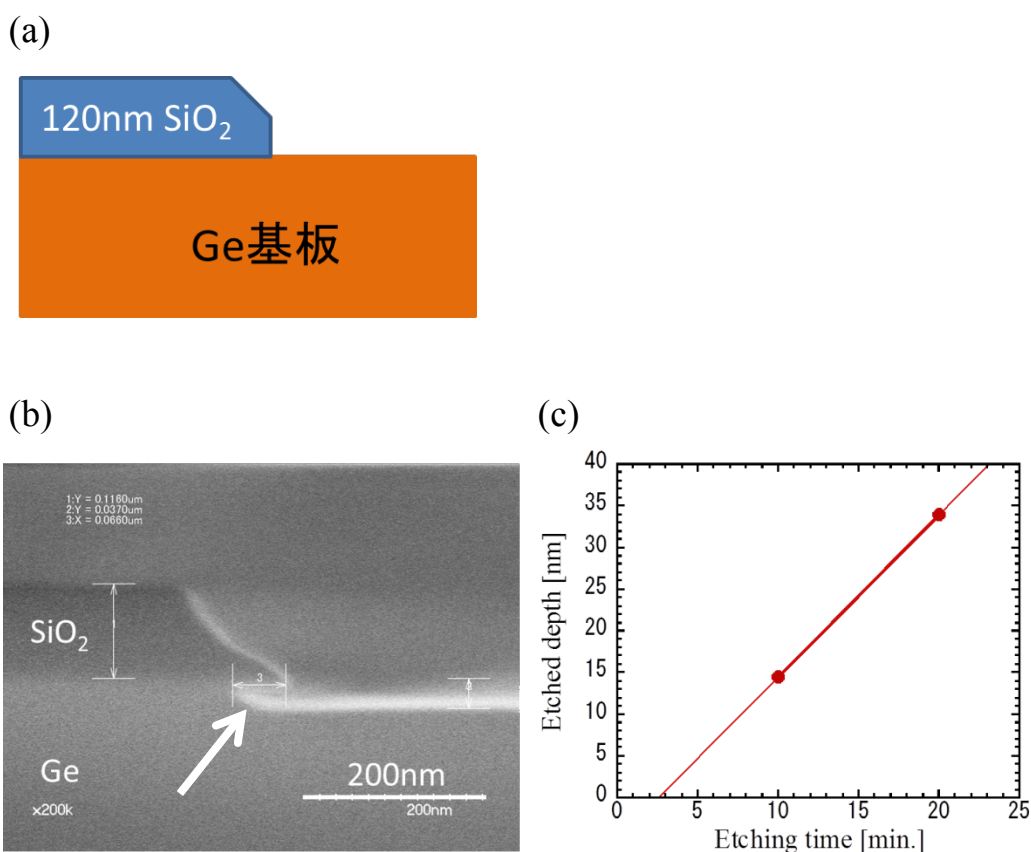


図 6-3: HCl クリーニング条件抽出。(a) HCl エッチング前の試料形状概念図、(b) 20 分 HCl エッチング後の形状、(c) エッチング深さの時間依存性。

図 6-3(c)から、エッチングレートは 1.95 nm/min と求まるが、エッチングが始まるまでに、2 分 34 秒の潜伏時間が必要であることがわかる。その潜伏時間内

においては、自然酸化膜を除去していると考えられるため、ここではそれ以後、1 nm エッチングする時間を HCl クリーニング時間と定義した。図 6-4 に、HCl クリーニング後に続けて、400°C、15 Torr で 200 nm 厚 Ge 膜をホモエピタキシャル成長させた試料の AFM 像を示す。

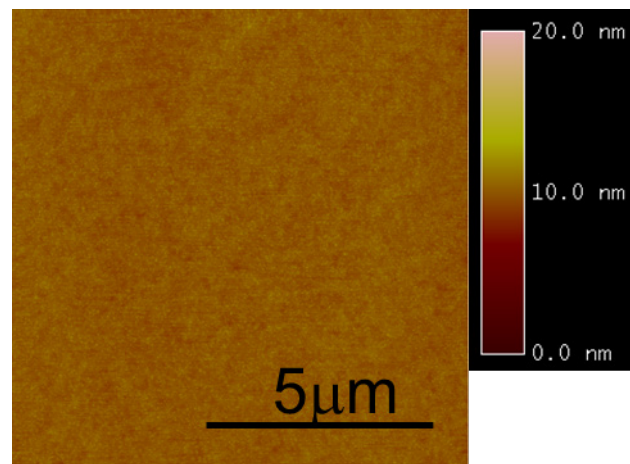


図 6-4: HCl クリーニング後に Ge をホモエピタキシャル成長した表面の AFM 像。

市販のバルク Ge 基板表面と比較し、遜色のない平坦表面が得られていることから、HCl クリーニングにより、清浄表面が形成されていると考えられる。

なお、図 6-3(b)の矢印で示した部分から、深さ方向より横方向のエッチング速度が高いことが確認できる。SEM 像から測長して求めたアスペクト比は、横方向/深さ方向 = 1.78 であった。この構造は MISFET のエクステンション形成に応用しうる形状であることに注意されたい。エクステンションとは、MISFET の直列抵抗を低減するため、ゲート側壁直下に形成する不純物ドーピング領域である。Ge-*n*MISFET のエクステンション形成に関しては、従来 P イオン注入法しか選択肢がないが、そもそも活性化アニールによる P 拡散が速いため、現実には解が無く、実用化には至っていない。ここでは、図 6-5 に示すように横方向エッチング形状を積極的に利用することで、CVD 成長法を用いたエクステ

ンション形成を試みた。

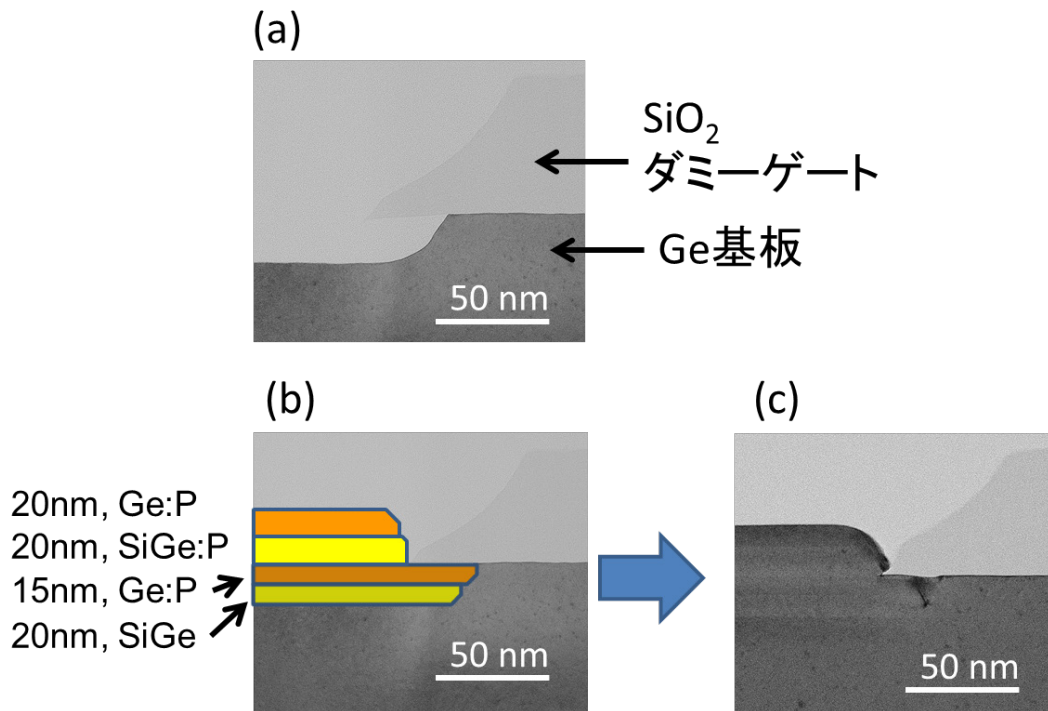


図 6-5: エクステンション形成への応用。(a)HCl エッチング後形状、(b)エクステンション構造の設計図、(c)実際のエクステンション形成後の断面図。

まず、HCl エッチングによって、エクステンション領域を含むリセス形状を形成し (図 6-5(a))、その後、下層から、ノンドープ SiGe、Ge:P、SiGe:P、Ge:P の順に成長する (図 6-5(b))。SiGe 層は Ge 層でもよいがストレッサー機能を持たせるため SiGe とした。さらに、最下部のノンドープ層は、エクステンション深さの調整 (深くなり過ぎないようにする) のため、成長した。図 6-5(c) は実際に成膜した構造の断面 TEM 像である。CVD の埋め込み均一性は極めて高く、設計通りにエクステンション領域の形成が可能であることがわかった。

6.3 せり上げ Ge:P/SiGe:P 積層ストレッサーSD を有する薄膜 GeOI-*n*MISFET 構

造

図 6-6 に GeOI 基板を用いて *n*MISFET を作製するプロセスフローを、図 6-7 に構造断面模式図を示す。

- GeOI基板作製
- アルカリ(NH₄OH:DIW=1:1)洗浄および酸(HCl:DIW=1:10)洗浄
- ダミーゲート形成(SiO₂/Al₂O₃)
ALD-Al₂O₃@275°C、PECVD-SiO₂@300°C
- ゲートパターンニング
RIE(CHF₃)でSiO₂エッチング → アンモニア水でAl₂O₃除去
- 酸(HCl:DIW=1:10)洗浄による自然酸化膜除去
- CVD炉内で成長前HClガスクリーニング(HCl:H₂=1:100, 20 Torr, 400°C)
- CVD炉内のHCl除去(H₂で置換)
- Ge:P or Ge:P/SiGe:P積層SD選択成長(15 Torr, 400°C)
- 素子分離パターンニング
- ダミーゲート除去
- ゲート絶縁膜形成
プラズマ酸化SiO₂@300°C → ALD-Al₂O₃@275°C
- ゲート電極堆積(スパッタリングTaN)
- ゲートパターンニング
- (以下、バックエンド工程。配線、裏面電極形成等。)

図 6-6: GeOI-*n*MISFET の作製フロー。

今回の MISFET の作製においては、熱履歴によるゲートスタックの劣化を防ぐため、リプレイスメントゲートプロセスを実施した。リプレイスメントゲートプロセスとは、最初に、後に置き換えるダミーゲートを形成し、SD 領域を形成した後、そのダミーゲートを除去して、本来のゲートスタックを形成する技術であり、以下にその詳細を記す。まず、GeOI 基板に対し、アルカリ (NH₄OH 水溶液) 洗浄、酸 (希釈 HCl) 洗浄を行う。図 6-7(a)に示すように、ダミーゲー

ト SiO₂ 成膜およびパターニングを行い、その後、再びアルカリ、酸洗浄後、エピタキシャル成長を実施する CVD 炉へと導入した。

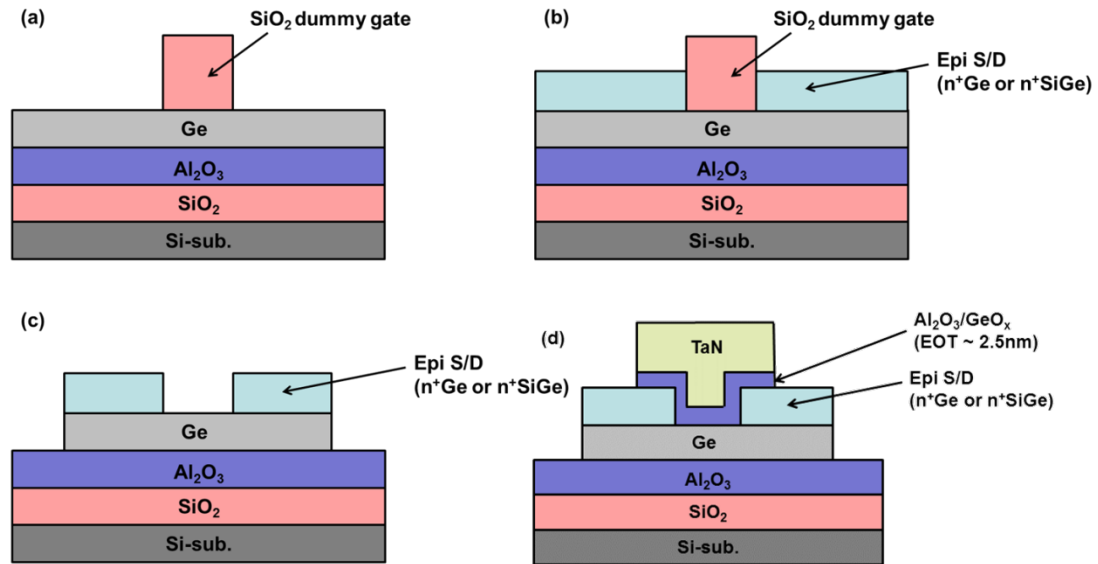


図 6-7: GeOI 作製フローの断面模式図。(a) ダミーゲート形成後、(b) S/D エピ工程後、(c) 素子分離を経たダミーゲート除去後、(d) ゲートスタック形成後。

400°C、80 Torr の条件で HCl ガスクリーニングを実施し、一旦 H₂ ガスに置換（400°C、80 Torr、3 min）した後、続けて 400°C、15 Torr で Ge:P/SiGe:P 積層せり上げストレッサーSD を形成した（図 6-7(b)）。SiGe 層の Ge 組成 x は、 $x=0.7$ および 0.8 とした。比較対象として、Ge:P 単層せり上げ SD の MISFET も作製した。続いて、図 6-7(c)に示すように、素子分離パターニング後、ダミーゲート除去を行った。その後、図 6-7(d)に示すように、ゲートスタック形成、ゲートパターニングを行った。今回作製したデバイスのゲート絶縁膜は、界面準位密度を低減するため、Ge 表面をプラズマ酸化して形成した GeO_x と、その上部に ALD にて Al₂O₃ を積層したゲート絶縁膜（EOT~2.5 nm）を使用した[8]。その後の配線工程等のバックエンドプロセスは 300°C以下のプロセスで実施した。この作製フローにおいて、最も高いプロセス温度は HCl ガスクリーニング温度および SD

領域成膜温度の 400°Cである。

図 6-8 に、作製した(a) Ge:P 単層 SD および(b)Ge:P/SiGe:P 積層 SD を有する GeOI-*n*MISFET の断面 TEM 像を示す。

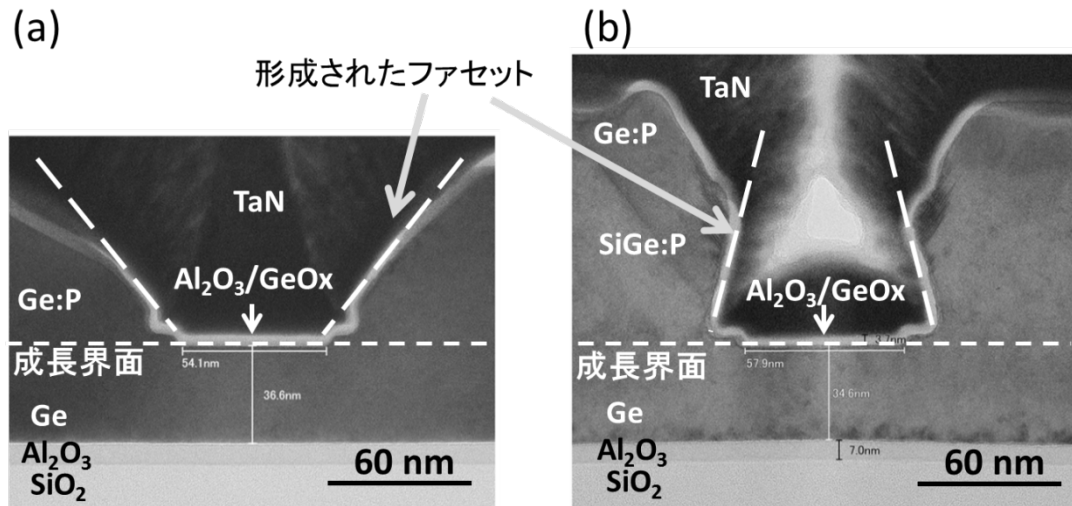


図 6-8: 作製したデバイスの断面 TEM 像。(a) Ge:P 単層 SD、(b) Ge:P/SiGe:P 積層ストレス SD。Ge:P 成長と SiGe:P 成長とでは形成されたファセット形状が異なり、ゲート-SD 間の接触角が異なる。

これより設計通り、せり上げ SD を有する GeOI-*n*MISFET 構造が形成されていることが確認できた。ここで、Ge:P 単層の場合と、Ge:P/SiGe:P 積層の場合で、ゲート領域に対するファセット形成の様子が異なることがわかる。Ge:P 単層の場合は、ゲート-SD 間が空間的により離れるように（接触角が大きく）SD 領域が成長し（図 6-8(a)）、Ge:P/SiGe:P 積層の場合は、ゲート-SD 間がより近づくように（接触角が小さく）SD 領域が成長する（図 6-8(b)）。これは、SiO₂ と Ge もしくは Si との界面の安定性に起因し、Ge と比較して、SiO₂ との界面安定性の高い Si が多く含まれる SiGe:P-SD の方が、より小さい接触角で成長が進んだためと考えられる。

次に、SiGe:P ストレッサーにより Ge チャンネルに印加されたひずみ量を評価するため、SiO₂ ダミーゲートを有する GeOI 基板上に Ge:P/SiGe:P 積層ストレッサーを形成した段階でラマン分光評価を行った結果を報告する。図 6-9 に、このラマン分光評価における(a)測定概略図、(b)実際に得られたラマンプロファイルの例 (ダミーゲート長 60 nm)、および、(c)GeOI チャンネル中ひずみ量のゲート長依存性を示す。

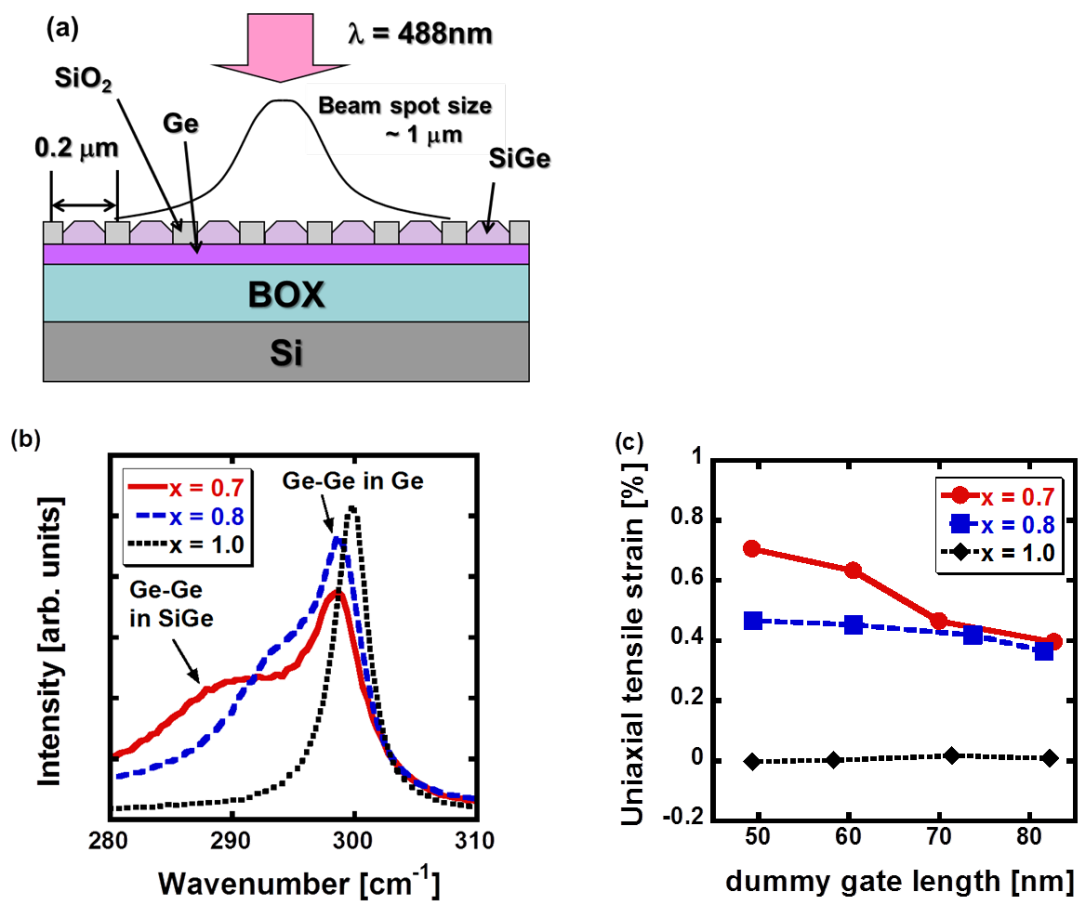


図 6-9: GeOI チャンネル中のひずみ評価。(a)測定系概略図、(b)ラマン分光測定結果、(c)チャンネル中引張りひずみの SiGe 中 Ge 組成およびゲート長依存性。

第 5 章におけるラマン分光法でのひずみ評価と同様に、各ゲートパターンのピ

ッチは 200 nm であり、使用したレーザービームの直径はおよそ 1 μm であるので、1 回の測定でおよそ 5 本のゲートラインが含まれることになる。図 6-9(b)に示すように、SiGe ストレッサーを有する試料に関して、Ge チャンネル中の Ge-Ge 振動モードのピークが、ストレッサーを持たない試料と比較し、明確に低波数側へとシフトしており、GeOI チャンネル中に引っ張りひずみが印加されていることが確認された。また、図 6-9(c)に示すようにゲート長が短くなるに従い、印加されるひずみ量が増加することがわかる。さらに、SiGe ストレッサーの Ge 組成が低下するに従い、印加されるひずみ量が増加すること、ダミーゲート長依存性が増すこともわかる。SiGe ストレッサー中の Ge 組成が低下するに従い、Ge チャンネル中における、ひずみ誘起可能な領域が大きくなるため、ゲート長が短くなるに従い、Ge チャンネル全体にひずみを誘起できる傾向になる。その結果、Ge 組成が低下するに従いダミーゲート長依存性が増すと考えられる。しかしながら、第 5 章で述べた、バルク Ge 基板に対して印加されたひずみ量に比べ、GeOI チャンネルに印加されたひずみ量は小さいことがわかる。例えば、SiGe ストレッサーの Ge 組成 $x=0.7$ の場合、バルク Ge チャンネルに対しては、ゲート長 54 nm において、1.4%のひずみが生じ、GeOI チャンネルに対しては、ゲート長 49 nm において 0.7%のひずみが生じる。これは、GeOI 基板では、GeOI 層が薄いため、効果的に応力を印加する Σ 形状リセス構造を形成していないことが原因と考えられる。さらに大きな応力を印加し、より大きなひずみを生じさせるには、ストレッサーの Ge 組成をより低下すればよいが、これ以上の Ge 組成の低下は、Ge 層との格子不整合性を増大させ、それによる欠陥導入によってひずみ緩和が生じることが予測されるため[9]、今回は、このひずみ量を採用し、デバイス試作およびその電気的特性評価を行った。

6.4 ひずみ GeOI-*n*MISFET の電気伝導特性

図 6-10 に、 I_d - V_g 曲線（ドレイン電流 I_d のゲート電圧 V_g 依存性）を示す。ゲート長は 60 nm でストレッサーの Ge 組成は $x=0.7$ である。

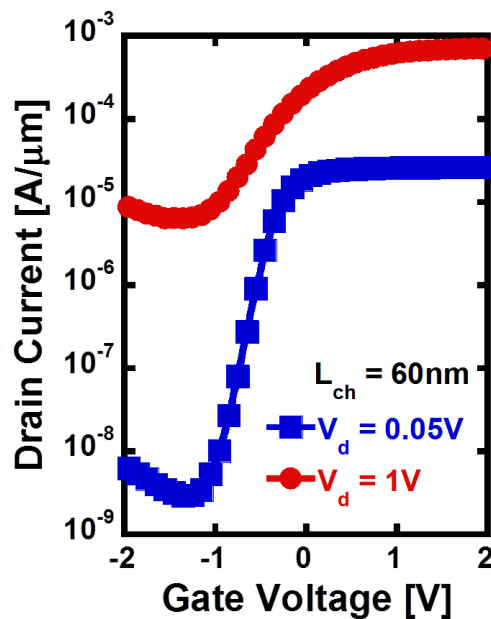


図 6-10: 作製したひずみ GeOI-*n*MISFET の I_d - V_g 曲線（ゲート長 60 nm）。

また図 6-11 に、各ゲート長におけるトランスコンダクタンス G_m の最大値 (G_{m_max}) を示す。ここで、トランスコンダクタンスとは、ゲート電圧変化に対する電流値の変化であり、電流駆動力の大きさを示す指標である。図 6-10 から、良好なトランジスタ動作が確認できる。ドレイン電圧 $V_d=0.05$ V においては、約 4 桁の On/Off 比があり、過去の報告例[10-12]と比較して、同等の On/Off 比であるといえる（表 6-1）。一方、 $V_d=1$ V においては、On/Off 比が劣化しているが、これは短チャネル効果の 1 つである DIBL (Drain Induced Barrier Lowering) と呼ばれる現象で、ドレイン電圧が増加すると、ドレインからの空乏層の伸びが、チャネル表面のポテンシャル障壁を低下することに起因し、し

きい値以下の電流が増大する現象である。

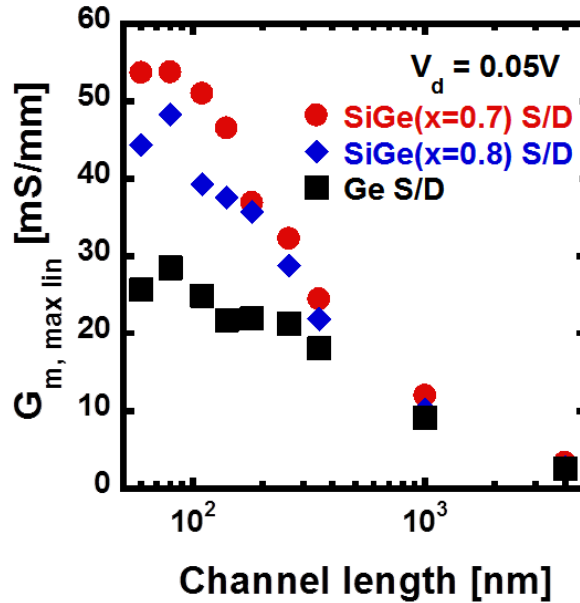


図 6-11: $G_{m, \max}$ (トランスコンダクタンス最大値) のチャネル長依存性。

また、図 6-11 から、Ge 組成が小さく、ゲート長が短くなるにつれ、 G_m が大きく、すなわち電流駆動力が向上することが確認できる。この結果は、Ge 組成の低下およびゲート長の縮小とともに、GeOI チャネル中のひずみが大きくなる現象と整合している。図 6-12 に、得られた I_d - V_d 特性（ドレイン電流 I_d のドレイン電圧 V_d 依存性）を示す。このときの V_g - V_{th} の値は、0~1.5 V までの範囲で、0.25 V 刻みとした。寄生抵抗の低減およびひずみ印加の効果により、これまでの Ge-nMISFET の電気伝導特性に関する報告例[12]と比較し、無ひずみで 2.7 倍、ひずみ印加時 ($x=0.7$ 、印加ひずみ量 0.7%) で 4.2 倍の電流駆動力が得られている (V_g - $V_{th}=1.5$ V で比較)。言い換えると、無ひずみ試料とひずみ印加試料における電流駆動力の差は、ひずみ印加によるものと解釈され、ひずみ印加による Ge-nMISFET の電流駆動力向上を実験的に示す結果となった。得られた結果のベンチマークのため、過去の報告例との比較を表 6-1 に示す。本研究で作

製したデバイスは、平面構造の MISFET であるにもかかわらず、立体構造を有する MISFET[11, 12]と比較しても、より良好な電流駆動力を示している。本研究で作製したデバイスで得られた電流駆動力は、Ge-*n*MISFET の報告において、これまでの世界最高値である。

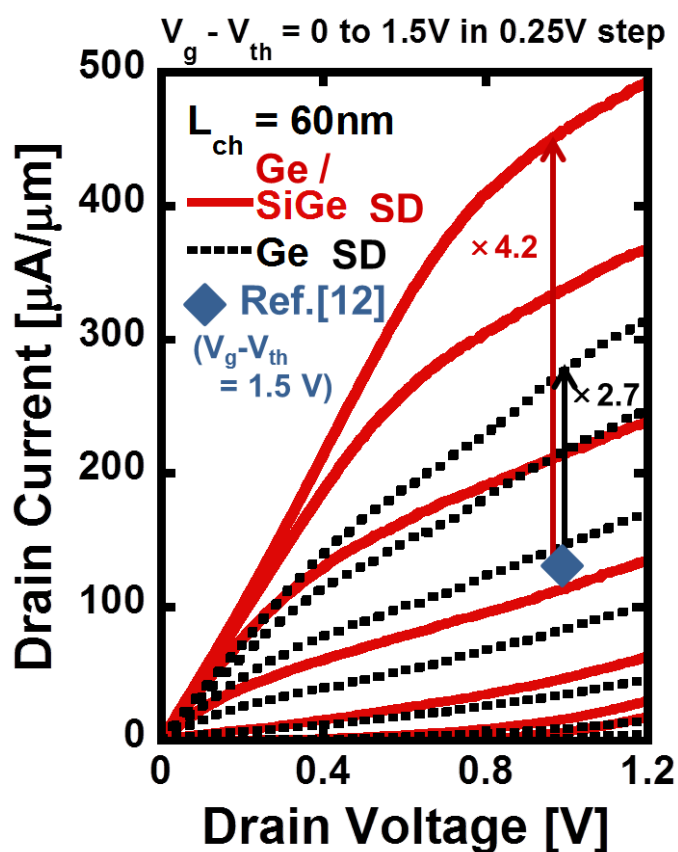


図 6-12: 作製した GeOI-*n*MISFET の I_d - V_d 曲線。従来報告例の最大電流値 (Ref.[12]) に比べ、P ドープ Ge-SD により 2.7 倍の電流駆動力、P ドープ Ge/SiGe 積層ストレッサーSD により 4.2 倍の電流駆動力を得た ($V_g - V_{\text{th}} = 1.5\text{V}$ で比較)。

6.5 小括

以上、本章で得られた結果をまとめる。薄膜 GeOI 層の表面クリーニング温

度の低温化を目指し、CVD 成長炉内における、Ge の HCl エッチングを利用した HCl クリーニングを検討した。その結果、エピタキシャル成長温度と同じ 400°C においても、清浄な Ge 表面を形成できることを実証した。また、HCl エッチングにおける、深さ方向より横方向のエッチング速度が高い特徴を利用し、新規エクステンション形成法の可能性を示した。

今回得られた、低温における Ge 清浄表面形成技術、高品質の Ge/BOX 界面を有する Ge/Al₂O₃/SiO₂/Si 構造の GeOI 基板、高キャリア濃度を有する Ge:P 層を金属電極と接触させた SD 構造、さらに、引張りひずみを GeOI 層に印加する SiGe ストレッサーを用いることにより、高い電流駆動力を有する Ge-*n*MISFET を実現した。これにより、*p* 型・*n* 型ともに Ge で作製された低消費電力 Ge-CMOS 実現の課題を解決する糸口が示されたといえる。

表 6-1 : Ge-*n*MISFET の特性比較。

	Ref.[10]	Ref.[11]	Ref.[12]	This work	
Substrate	Ge bulk	Ge on SOI	Ge on SOI	GeOI	
Structure	Planer	FinFET	GAA	Planer with SiGe stressor	
Dielectric	HfO ₂ /Al ₂ O ₃ /GeO _x /Ge	Al ₂ O ₃ /GeO ₂	Al ₂ O ₃ /GeO ₂	Al ₂ O ₃ /GeO _x	
EOT [nm]	0.76	--	5.5	2.5	
L _{ch} [nm]	5000	120	350	140	60
I _{on} [μA/μm]	12* (V _g -V _{th} = 1V, V _d = 1V)	80 (V _g -V _{th} = 0.9V, V _d = 1V)	110 (V _g -V _{th} = 1.5V, V _d = 1V)	335 (V _g -V _{th} = 1.5V, V _d = 1V)	457 (V _g -V _{th} = 1.5V, V _d = 1V)

[10] R. Zhang et al., *IEEE Trans. Electron Devices* **60** (2013) 927.

[11] C. T. Chung et al., *IEDM* (2012) p.383.

[12] S. H. Hsu et al., *IEDM* (2012) p.525.

参考文献

- [1] R. Nuryadi, Y. Ishikawa, Y. Ono, and M. Tabe, “Thermal agglomeration of single-crystalline Si layer on buried SiO₂ in ultrahigh vacuum”, *J. Vac. Sci. Technol. B*, vol.20, pp.167 (2002).
- [2] Y. Moriyama, N. Hirashita, E. Toyoda, K. Usuda, S. Nakaharai, N. Sugiyama, and S. Takagi, “Study of the Surface Cleaning of GOI and SGOI Substrates for Ge Epitaxial Growth”, *ECS trans.*, vol.3 (7), pp.1183 (2006).
- [3] K. Kita, and A. Toriumi, “Origin of electric dipoles formed at high-k/SiO₂ interface”, *Appl. Phys. Lett.*, vol.94, pp.132902 (2009).
- [4] N. Hirashita, private communication.
- [5] C. Le Royer, A. Villalon, D. Cooper, F. Andrieu, J. Hartmann, P. Perreau, and B. Previtali, “High Performance FDSOI MOSFETs and TFETs Using SiGe Channels and Raised Source and Drain”, *Proc. ISTDM*, pp.104 (2012).
- [6] Y. Kamimuta, private communication.
- [7] Y. Bogumilowicz, J.M. Hartmann, R. Truche, Y. Campidelli, G. Rolland, and T. Billon, “Chemical vapour etching of Si, SiGe and Ge with HCl; applications to the formation of thin relaxed SiGe buffers and to the revelation of threading dislocations”, *Semicond. Sci. Technol.*, vol.20, pp.127 (2005).
- [8] Y. Kamimuta, K. Ikeda, M. Oda, Y. Moriyama, and T. Tezuka, “0.8nm EOT and High Hole Mobility of Ge P-MISFETs Using HfAlO/GeOx/Ge Gate Stacks Formed by Plasma Oxidation and Atomic Layer Deposition”, *Proc. ISTDM*, pp.34 (2012).
- [9] Y. Moriyama, Y. Kamimuta, K. Ikeda, and T. Tezuka, “Generation of uniaxial tensile strain of over 1% on a Ge substrate for short-channel strained Ge *n*-type Metal–Insulator–Semiconductor Field-Effect Transistors with SiGe stressors”, *Thin Solid*

Films, vol.520, pp.3236, (2012).

[10] R. Zhang, Po-Chin Huang, Ju-Chin Lin, N. Taoka, M. Takenaka, and S. Takagi, “High-Mobility Ge p- and n-MOSFETs With 0.7-nm EOT Using $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ Gate Stacks Fabricated by Plasma Postoxidation”, IEEE Trans. Electron Devices, vol.60, pp.927 (2013).

[11] C.-T. Chung, C.-W. Chen, J.-C. Lin, C.-C. Wu, C.-H. Chien, and G.-L. Luo, “First Experimental Ge CMOS FinFETs Directly on SOI Substrate”, Tech. Dig. IEDM, pp.383 (2012).

[12] S.-H. Hsu, H.-C. Chang, C.-L. Chu, Y.-T. Chen, W.-H. Tu, F.J. Hou, C.H. Lo, P.-J. Sung, B.-Y. Chen, G.-W. Huang, G.-L. Luo, C.W. Liu, C. Hu, and F.-L. Yang, “Triangular-channel Ge NFETs on Si with (111) Sidewall-Enhanced Ion and Nearly Defect-free Channels”, Tech. Dig. IEDM, pp.525 (2012).

第7章 結論

7.1 結論

本研究では、MOSFETにおけるスケーリング則の破綻に起因した、Si-CMOS回路の消費電力の増大という課題に対し、その解決策として、薄膜BOX上に形成された、薄膜高移動度チャンネルを有するGe-CMOSを提案した。そのGe-CMOS実現のために必要な要素技術として、CMOS回路のプラットフォームである、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOXを有する薄膜GeOI基板および、その低駆動力ゆえにGe-CMOS実現の課題であった、Ge-nMISFETの高駆動力化技術を開発した。

第2章では、貼り合わせGeOI基板における貼り合わせ界面として、従来のGe/SiO₂接合ではなく、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 接合を採用した、Ge/ $\text{Al}_2\text{O}_3/\text{SiO}_2/\text{Si}$ hybrid構造を有するGeOI基板を新規に提案した。本構造により、従来のGe/SiO₂接合と比較して、貼り合わせ界面の機械的強度が著しく向上すること、Ge/BOX界面の界面準位密度が約1桁低減されることを定量的に示した。

第3章では、基板の大口径化に対応すべく、第2章で提案した hybrid 構造をもって、Epi-Ge/Si基板を供給基板として利用したGeOI基板を開発した。Epi-Ge層の結晶品質は、微細トランジスタ用チャンネル材料として、物理的にも電氣的にも十分な結晶性を有することを実験的に示した。また、供給基板と支持基板に同一材料のSiを用いることで、接合強化アニール時の熱膨張係数差を低減でき、それにより、より強固な貼り合わせ $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面を形成できることがわかった。その結果を利用し、4 nm厚さの薄膜GeOI層の作製を試みたところ、基板作製プロセスを経た後も、Epi-Ge層の高結晶品質が維持されている

ことを確認した。さらに、薄膜 BOX を有する薄膜 GeOI 基板の上に、 p MISFET を形成し、動作確認を行った。Ge という高移動度チャネルであることから、電源電圧の低減が可能であると同時に、薄膜 BOX の採用によって、電源電圧と同程度のバックゲートバイアスで効率的なしきい値変調が可能となった。これにより、本研究で提案した、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX と、薄膜 Ge チャネルを有する GeOI 基板が、低消費電力化が可能な MISFET を実現できる有効なプラットフォームであることを実証した。

第 4 章では、従来実現困難であった、高キャリア濃度 n^+ -Ge 層の形成（キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ ）に成功したことを述べた。Ge 中での P の固溶限で決まる、 $2 \times 10^{19} \text{ cm}^{-3}$ を超えるキャリア濃度を実現できる成長条件を実験的に見出し、そのドーパント活性化挙動の定性的メカニズムを提案した。今回得られた、キャリア濃度 $7 \times 10^{19} \text{ cm}^{-3}$ を有する Ge:P 層と Ti 電極とのコンタクト抵抗値である $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ は、Ti/ n^+ -Ge 系におけるコンタクト抵抗値において、過去最小値である。また、そのシート抵抗値は、単結晶 Ge の移動度を元に計算した、理想的なキャリア濃度から類推される値に一致し、結晶性の高い n^+ -Ge:P 層が形成されていることが実証された。

第 5 章では、 n MISFET 向けのストレッサー用途のため、高 Ge 濃度 SiGe への P ドーピングを検討した。Ge への P ドーピング特性の結果とは異なり、SiGe 中でのドーパント活性化率は、著しく低くなることを実験的に示した。こうした状況では、金属電極と SiGe:P のコンタクト抵抗の低減が困難であるが、Ge:P/SiGe:P 積層ストレッサー構造を採用することで、低コンタクト抵抗と大きなひずみ印加を両立できることを提唱し、それを実験的に実証した。

第 6 章では、第 4、5 章で得られた Ge:P/SiGe:P 積層ストレッサー技術を薄膜 GeOI 基板に適用し、ひずみ GeOI- n MISFET を作製した。GeOI 層が薄膜で

あること、BOX層が $\text{Al}_2\text{O}_3/\text{SiO}_2$ であることから、ストレッサー形成前の成長炉内における基板洗浄技術として、低温 HCl ガスクリーニングを採用し、高品質なストレッサー形成を実現した。低コンタクト抵抗とひずみ印加を両立できる Ge:P/SiGe:P 積層ストレッサーSD により、Ge-*n*MISFET のドレイン電流における従来報告例の最大値と比べ、4倍以上の電流値を得ることができた。

以上、本研究で得られた結果から、薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOX を有する GeOI基板は、低消費電力 CMOS のプラットフォームとして非常に有望であり、その基板上に作製された Ge-*n*MISFET は世界最高の電流駆動力を持つ。本研究によって達成された *n*MISFET の高性能化によって、Ge-CMOS の従来の課題が克服され、*p*MISFET および *n*MISFET とともに、チャネル材料として Ge を用いた、低消費電力 Ge-CMOS の実現への道が開かれたといえる。

7.2 今後の展望

最後に、本研究で示した技術である、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面貼り合わせ技術、および n^+ -Ge 形成技術における、今後の展望について述べる。

まず、貼り合わせ技術に関しては、従来の基板作製にとどまらず、3次元 LSI 実現における要素技術として期待される。例えば、既に SiGe-*p*MISFET が形成されている下地基板上に InGaAs 層を貼り合わせ、その後 InGaAs-*n*MISFET を形成して、上下 *n*MISFET および *p*MISFET への貫通配線を行うことにより、3次元 CMOS を作製した例がある[1]。この際、InGaAs 層の貼り合わせにおいては、支持基板側に絶縁膜としてプラズマ CVD による SiO_2 層を形成し、InGaAs 供給基板側に、後に BOX の一部となる、ALD による Al_2O_3 層を堆積してある。今後も、このような強固接合を有する $\text{Al}_2\text{O}_3/\text{SiO}_2$ 貼り合わせ界面を生かした、

Layer Transfer 技術としての応用が期待される。

一方、 n^+ -Ge 形成技術に関しては、エピタキシャル成長による単結晶成長にとどまらず、 n 型 poly-Ge 形成の要素技術としての応用がある。こちらも 3 次元 CMOS 実現を目指し、絶縁膜上に高移動度チャネル形成を試みる検討であるが、第 3 章でも述べたように、Ge 中の結晶欠陥は価電子帯近傍に準位を形成するので、結晶性の低い Ge 結晶は p 型を示す。この理由により、 p 型の poly-Ge 形成は比較的容易であるものの、 n 型の poly-Ge の形成は困難であることが知られている [2]。現状では、結晶性の低下を伴う、高ドーズ P イオン注入による n 型 poly-Ge 形成が検討されているが、今後は、結晶性を低下させない P ドーピング手法として、in-situ P ドーピングの応用が期待される。

参考文献

- [1] T. Irisawa, K. Ikeda, Y. Moriyama, M. Oda, E. Mieda, T. Maeda, and T. Tezuka, “Demonstration of Ultimate CMOS based on 3D Stacked InGaAs-OI/SGOI Wire Channel MOSFETs with Independent Back Gate”, VLSI Symp., pp.118 (2014).
- [2] Y. Kamata, M. Koike, E. Kurosawa, M. Kurosawa, H. Ota, O. Nakatsuka, S. Zaima, and T. Tezuka, “Operations of CMOS Inverter and Ring Oscillator Composed of Ultra-Thin Body Poly-Ge *p*- and *n*-MISFETs for Stacked Channel 3D-IC”, Ext. Abst. SSDM, pp.668 (2014).

謝辞

本論文は、ご多忙のなか主査を引き受けていただいた、大阪大学大学院基礎工学研究科システム創成専攻教授、酒井 朗先生の懇切丁寧なご指導のもと作成されました。なかなか意図した結果が得られず、研究が停滞しがちなときも、粘り強く、時には厳しく、進むべき方向を示していただきました。ここに、深く感謝の意を表します。副査を引き受けていただいた、岡本 博明先生および浜屋 宏平先生からは、示唆に富み、本論文の科学的価値を高めるご指摘およびコメントを数多く頂きました。感謝致します。同専攻准教授、中村 芳明先生、同専攻助教、竹内 正太郎先生には、時にはともに実験を進め、多くの議論をさせていただきました。ありがとうございました。酒井研究室技術専門職員、河崎 清氏、同事務補佐員、松田 菜緒氏、松本 茉衣子氏には、本研究を遂行するにあたり、研究に集中できる環境を整えていただきました。感謝致します。

共同研究先であるグローバルウェーハズ・ジャパン株式会社、泉妻 宏治氏、荒木 浩司氏、須藤 治生氏には、接合強度測定実験で大変お世話になりました。深く感謝致します。

CVD による Ge 成膜に関し、プロジェクトの壁を越え、いろいろ議論させていただいた、技術研究組合光電子融合基盤技術研究所（現（株）日立製作所 日立中央研究所）、三浦 真氏に感謝致します。

本論文での成果の一部は、日本学術振興会最先端研究開発支援プログラム、「グリーン・ナノエレクトロニクスのコア技術開発」において達成されました。この最先端かつ挑戦的な研究に従事する機会を頂いた、研究連携体グリーン・ナノエレクトロニクスセンター体長（現（株）富士通研究所 フェロー）横山 直樹氏に感謝致します。

(株) 東芝 研究開発センター 黒部 篤氏、福島 伸氏、西山 彰氏、(現 東京大学工学研究科) 高木 信一先生、古賀 淳二氏、村岡 浩一氏には、上司として多くのチャンスと多くのチャレンジを与えていただきました。時が経つにつれて、その経験の貴重さ、重要性に気付きます。心から感謝致します。

同所属 (現 (株) 東芝 セミコンダクター&ストレージ社)、杉山 直治氏には、結晶成長技術および評価技術に関し、文字通り一から教えていただきました。さらに、技術的内容のみならず、社会人としてのあり方、研究者としてのあり方を、最も近い立場から親身になってご指導頂きました。心から感謝致します。

同所属、手塚 勉氏には、良き先輩として、困ったときにこそ、最高のタイミングで最高のアドバイスを数多く頂きました。また、上司となった後も、厳しくも楽しく成長できる機会を常に用意して頂きました。心から感謝致します。

同所属、池田 圭司氏、上牟田 雄一氏、入沢 寿史氏、小野 瑞城氏、臼田 宏治氏、小池 正浩氏、鎌田 善己氏、小田 穰氏、(現 (株) 東芝 セミコンダクター&ストレージ社) 沼田 敏典氏、古瀬 喜代恵氏には、共に研究に打ち込んだ同士として、成功、喜び、失敗、苦難など、多くの貴重な経験を共有させていただきました。皆様と共有した貴重な経験が、つらい状況においても前を向けるように背中を押し続けてくれたと思います。ありがとうございました。

本研究におけるデバイス試作において、産業技術総合研究所スーパークリーンルームのテクニカルスタッフの皆様にも多大なるご協力を頂きました。こちらのわがままにも献身的にご対応いただきました。ここに感謝致します。

最後に、本論文執筆を遂行するにあたり、常に全力でサポートしてくれた、父 伍一、妻 宏美、愛犬 くまに感謝致します。ありがとう。

業績一覧

・ 発表論文

[1] Y. Moriyama, K. Ikeda, Y. Kamimuta, M. Oda, T. Irisawa, Y. Nakamura, A. Sakai, and T. Tezuka, “Fabrication of bonded GeOI substrates with thin Al₂O₃/SiO₂ buried oxide layers”, Solid-state Electronics, vol.83, p.42 (2013).

[2] Y. Moriyama, K. Ikeda, S. Takeuchi, Y. Kamimuta, Y. Nakamura, A. Sakai, K. Izunome, and T. Tezuka, “Ultrathin-body Ge-on-insulator wafers fabricated with strongly bonded thin Al₂O₃/SiO₂ hybrid buried oxide layers”, Appl. Phys. Express, vol.7, p.086501 (2014).

[3] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, A. Sakai, and T. Tezuka, “In situ doped epitaxial growth of highly dopant-activated n^+ -Ge layers for reduction of parasitic resistance in Ge- n MISFETs”, Appl. Phys. Express, vol.7, p.106501 (2014).

・ 国際学会

[1] Y. Moriyama, K. Ikeda, Y. Kamimuta, M. Oda, T. Irisawa, Y. Nakamura, A. Sakai, and T. Tezuka, “Fabrication of bonded GeOI substrates with thin Al₂O₃/SiO₂ buried oxide layers”, ISTDM, Berkeley, USA, June/2012.

[2] K. Ikeda, Y. Moriyama, M. Oda, Y. Kamimuta, T. Irisawa, Y. Kamata, A. Sakai, and T. Tezuka, “First Demonstration of Threshold Voltage Control by Sub-1V Back-gate Biasing for Thin Body and Buried-oxide (TBB) Ge-on-Insulator (GOI) MOSFETs for Low-power Operation”, SOI conference, Napa, USA, October/2012.

[3] A. Sakai, S. Yamasaka, J. Kikkawa, S. Takeuchi, Y. Nakamura, Y. Moriyama, T. Tezuka, and K. Izunome, “GOI Substrates –Fabrication and Characterization–”, ECS, Honolulu, USA, October/2012.

[4] Y. Moriyama, K. Ikeda, Y. Kamimuta, T. Irisawa, M. Oda, S. Takeuchi, Y. Nakamura, A. Sakai, and T. Tezuka, “Structural- and electrical characteristics of GeOI/BOX

interfaces of bonded GeOI substrates with thin Al₂O₃/SiO₂ hybrid BOX layers”, 6th JSPS Si Symposium, Kona, USA, November/2012.

[5] Y. Moriyama, S. Takeuchi, K. Ikeda, Y. Kamimuta, A. Sakai, K. Izunome, and T. Tezuka, “Quantitative Evaluation of Bonding Strength of hybrid-BOX GeOI”, ISCSI-VI, Fukuoka, Japan, June/2013.

[6] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, S. Takeuchi, Y. Nakamura, A. Sakai, and T. Tezuka, “Reduction of Contact Resistance on Selectively Grown Phosphorus-doped n^+ -Ge layers”, ICSI-8, Fukuoka, Japan, June/2013.

[7] A. Sakai, S. Yamasaka, Y. Moriyama, J. Kikkawa, S. Takeuchi, Y. Nakamura, T. Tezuka, and K. Izunome, “Semiconductor Wafer Bonding -Structural and Electrical Characteristics of GeOI Substrates-”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, Seoul, Korea, June/2013.

[8] Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, S. Takeuchi, A. Sakai, and T. Tezuka, “In-situ P-doped Ge-rich SiGe selective epitaxy for strained Ge- n MISFETs”, E-MRS, Warsaw, Poland, September/2013.

[9] Y. Kamimuta, Y. Moriyama, E. Mieda, T. Maeda, W. Jevaswan, Y. Kurashima, H. Takagi, M. Oda, T. Irisawa, K. Ikeda, E. Kurosawa, and T. Tezuka, “High performance strained GeOI n MOSFETs with in-situ doped epitaxial SiGe stressors”, ISDRS, Maryland, USA, December/2013.

[10] (Invited Paper) Y. Moriyama, Y. Kamimuta, Y. Kamata, K. Ikeda, S. Takeuchi, Y. Nakamura, A. Sakai, and T. Tezuka, “Improvement of Current Drive of Ge- n MISFETs by Epitaxially Grown n^+ -Ge:P Source and Drain”, ISTDM, Singapore, June/2014.

[11] K. Yoshida, Y. Nakamura, S. Takeuchi, Y. Moriyama, T. Tezuka, and A. Sakai, “Electrical properties of wafer-bonded germanium-on-insulator substrates with Al₂O₃/SiO₂ buried oxide”, IUMRS-ICA, Fukuoka, Japan, August/2014.

[12] T. Tezuka, K. Ikeda, Y. Kamata, Y. Kamimuta, K. Usuda, Y. Moriyama, M. Ono, M. Koike, M. Oda, T. Irisawa, E. Mieda, T. Maeda, W. Jevaswan, Y. Kurashima, H. Takagi, K. Furuse, and E. Kurosawa, “Ge-on-Insulator MOSFETs for

High-Performance and 3D-LSI Applications”, ECS, Cancun, Mexico, October/2014.

・国内学会

[1] 守山佳彦, 池田圭司, 上牟田雄一, 入沢寿史, 小田穰, 中村芳明, 酒井朗, 手塚勉, 「薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ BOX 層を有する貼り合わせ GeOI 基板の作製」, 応用物理学会, 松山, 平成 24 年 9 月.

[2] 池田圭司, 守山佳彦, 上牟田雄一, 入沢寿史, 小田穰, 中村芳明, 酒井朗, 手塚勉, 「Thin-BOX GOI-*p*MOSFET のバックゲートバイアスによるしきい値変調」, 応用物理学会, 厚木, 平成 25 年 3 月.

[3] 守山佳彦, 池田圭司, 竹内正太郎, 上牟田雄一, 中村芳明, 酒井朗, 泉妻宏治, 手塚勉, 「薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ BOX 層を有する UTB-GeOI 基板作製」, 応用物理学会, 京都, 平成 25 年 9 月.

[4] 守山佳彦, 上牟田雄一, 鎌田善己, 池田圭司, 竹内正太郎, 中村芳明, 酒井朗, 手塚勉, 「エピタキシャル成長 $n^+\text{-Ge:P}$ の活性化率向上と Ti 電極との接触抵抗低減」, 応用物理学会, 京都, 平成 25 年 9 月.

[5] 守山佳彦, 上牟田雄一, 鎌田善己, 池田圭司, 竹内正太郎, 中村芳明, 酒井朗, 手塚勉, 「エピタキシャル成長 $n^+\text{-Ge:P}$ の活性化率向上と接触抵抗低減による Ge-*n*MISFET の電流駆動力増大」, ゲートスタック研究会(第 19 回), 熱海, 平成 26 年 1 月.

[6] 守山佳彦, 上牟田雄一, 鎌田善己, 池田圭司, 竹内正太郎, 中村芳明, 酒井朗, 手塚勉, 「Ge-*n*MOSFET 向け $n^+\text{-Ge}/n^+\text{-SiGe}$ 積層ストレッチャーによる Ge チャネルへのひずみ導入および寄生抵抗の低減」, 応用物理学会, 相模原, 平成 26 年 3 月.

[7] 上牟田雄一, 守山佳彦, 三枝栄子, 前田辰郎, Jevasuwan Wipakorn, 倉島優一, 高木秀樹, 小田穰, 入沢寿史, 池田圭司, 黒澤悦男, 手塚勉, 「In-situ P doped SiGe スストレッチャーを有する引張り歪み GeOI *n*MOSFET の高電流駆動力実証」, 応用物理学会, 相模原, 平成 26 年 3 月.

[8] 吉田啓資, 中村芳明, 竹内正太郎, 守山佳彦, 手塚勉, 酒井朗, 「 Al_2O_3 挿入層を有する貼り合わせ GeOI 基板の電気特性評価」, 応用物理学会, 相模原, 平成 26 年 3 月.

[9] 吉田啓資, 中村芳明, 竹内正太郎, 守山佳彦, 手塚勉, 酒井朗, 「極薄 $\text{Al}_2\text{O}_3/\text{SiO}_2$ BOX 層を有する貼り合わせ GeOI 基板の熱処理による電気特性改善」, 応用物理学会, 平塚, 平成 27 年 3 月.

・特許出願

[1] 守山佳彦, 手塚勉, 特願 2013-003296, 「素子形成用基板の作製方法」

[2] 守山佳彦, 手塚勉, 特願 2014-001210, 「素子形成用基板の作製方法」

[3] 守山佳彦, 手塚勉, 特願 2014-033321, 「半導体装置及びその作製方法」