OUKA
The University of Osaka
Institutional Knowledge Archive

Title	エサキダイオード高速デジタル回路とその設計に関する研究
Author(s)	橘, 啓八郎
Citation	大阪大学, 1970, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/525
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

エサキダイオード高速デジタル回路とその設計に関する研究

昭和45年1月

橘　啓八郎

内　容　梗　概

本論文は筆者が大阪大学大学院博士課程(電子工学専攻)在学中および大阪大学工学部電子工学教室在職中におこなったエサキダイオード高速デジタル回路とその設計に関する研究をまとめたものであり、本文は6章からなっている。

第1章は従来内外において行われてきたデジタル回路へのエサキダイオードの応用に関する研究の背景を概観し、本論文の目的と地位を明らかにしている。

第2章は、発表文献(1)，(2)，(3)，(4)，(5)を中心に、単一エサキダイオード二安定回路の動作機構とその計数回路への応用を述べたものである。一般のエサキダイオード二安定回路においては、単一エサキダイオードを二安定状態に用い、安定点間の遷移のためには双極性トリガパルスを交互に加えることが必要である。したがって、計数回路として用いる場合には、一般にトリガパルスを双極性パルスに変換しなければならない不利をまぬかれず、また、1個のエサキダイオードの回路であるため相互接続法に問題があった。

単極性パルスに応動するエサキダイオード回路としては2個のエサキダイオードによるいわゆる対回路が広く用いられている。これに対し、1個のエサキダイオードによって単極性トリガパルスに応動する回路構成が提案されていたが、その動作機構の解析および動作限界の追求はほとんどおこなわれていなかった。このため本章ではこの形式の二安定回路の転移機構を詳細に明らかにし、転移時の等価回路を示して二安定動作条件を決定している。さらに、過渡応答に関係する主要なパラメータの相互関係を述べ、あわせて動作限界を明らかにすることによってこの形式の回路の設計手法を確立している。また、この形式の回路によって計数回路を構成する際に、もっとも問題とされる相互接続に関して新らしい方法を提案し、実用的な計数回路が構成可能であることを述べ、

これによる計数回路の実験結果も示している。

第3章は発表文献(6)，(7)，(8)，(9)，(10)を中心としてエサキダイオード単安定回路によるパルス再生増幅器について述べたものである。パルス伝送をおこなう同軸ケーブル中に挿入し、パルス再生増幅をおこなう中継器の構成素子として、エサキダイオードはその回路構成の比較的簡単な点から興味ある素子として注目され、従来いくつかの応用に関する提案がおこなわれてきた。パルス再生増幅器は原理的にしきい値識別機能と波形整形作用をもつ回路が主要な構成部分となる。本章では第2章に述べたインダクタンス負荷エサキダイオード回路が適当な条件のもとでは、これらをあわせもつことに着目し、そのパルス再生増幅器としての機能を論じている。

この目的のために、インダクタンス負荷エサキダイオード回路の単安定動作の機構をあきらかにし、単安定条件下の過渡的擬安定状態における等価回路を導き、これにもとづいてしきい値識別機能および出力パルス波形とその回復時間と回路パラメータ間の関係を決定し、所望のパルス再生作用を得るための設計条件を導きその設計法をあきらかにしている。この分野の応用においては、伝送線路に挿入されることから、低入出力インピーダンス、電流源による電力供給の制約など一般の単安定エサキダイオード回路にくらべて設計上の制限条件が多いが、システマティックジッタの修正を要しない中間パルス再生中継器としては十分所要の機能が実現できることが示され実験によってもこれを確かめている。

第4章および第5章の内容は発表文献(11)，(12)を中心として述べたものである。

第4章はエサキダイオード・トランジスタ論理回路の過渡応答を中心とする設計法について述べたものである。

論理素子の構成の重要な要件としては第一に相互接続の自由および論理の方向性が重視される。エサキダイオード単体では2端子素子の制約からその高速動作の利点にもかかわらず，広範囲の応用をみるにいたらなかった理由は、まさにこの点にあると考えられる。近年、高速スイッチトランジスタの進歩にともない、エサキダイオードの高速性をそこなうことなく、回路設計および論理機能上すぐれた特性を示すエサキダイオード・トランジスタ複合回路が高速論理素子として注目されるにいたった。複合の形式は各種のものが提案され、単にバッファ増幅器としてトランジスタを用いるものがベル研究所で実用化されているが、本章では単なるバッファ増幅器としてトランジスタを組合わせるものではなく、回路構成上および論理機能上エサキダイオードとトランジスタの結合が非常に有効に利用されうる回路形式として、トランジスタのコレクタ接合にエサキダイオードを並列した複合回路をとり扱っている。

この形式の回路は、すでに単なるＮＡＮＤあるいはＮＯＲ回路としての用途がみとめられていたが、筆者の属する研究室においてその入出力特性にみられるヒステリシスループを積極的に利用することによって、極めて興味ある論理機能が実現でき、ことにいわゆるSpeed－Independent論理の有力な構成素子となることが確認されていた。しかし、その回路的設計についてはいまだ十分な検討がおこなわれていなかった。

この形式の回路は、トランジスタ、エサキダイオード双方の特性が複雑に関連するため、直流特性および過渡特性の双方を最適に設計することは非常に困難であると考えられてきたが、ここではエサキダイオードの過渡応答特性とトランジスタのそれとを巧みに分離して表現できる等価回路を導き、それぞれの性能指数を独立に評価し、さらにそれらの相互関係をあきらかにすることによって、最適の素子パラメータの選択基準を導き設計基準をあきらかにすることが可能となった。

さらに、アナログシミュレーションによってこれらの設計基準の妥当性を確認し、極めて高速の論理素子ことに非同期論理における記憶素子として従来提案されている諸回路のうち、もっとも簡単であると考えられる回路素子としての実用性を検証している。

第5章は、第4章の記憶素子に遅延帰還をほどこして得られる組合わせ論理回路の過渡応答を中心とする設計法について述べたものである。前章に述べたエサキダイオード・トランジスタ複合回路の入出力特性にみられるヒステリシスループを積極的に利用する回路の発想から、逆にこれに遅延帰還をほどこすことにより、従来一般的であったヒステリシス飛び越し型のＮＡＮＤあるいはＮＯＲ回路機能にくらべより有利なfan－outスイッチ速度比が得られることが同じく筆者の属する研究室で見出されていた。しかし、その回路的動作機構についてはほとんど解明されていなかった。

本章ではこの形式の組合せ論理回路の動作様式をあきらかにし、遅延線による入出力の分離が不明確になるため、スイッチ速度が低下しはじめる遅延時間、すなわち遅延線長の下限をトランジスタおよびエサキダイオードの素子定数に関連づけてあきらかにしこの種回路の設計基準を与えている。

これらの解析は、アナログシミュレーションおよび実験によって確認され従来のヒステリシス飛び越し型の組み合せ論理回路にくらべて、fan－outスイッチ速度比が大きく改善されることを示している。

第6章では前章までに述べたエサキダイオードのデジタル回路への応用ことにその設計手法を中心とした本研究の成果を検討し、残された問題を指摘し、将来への展望を記して結論としている。

関　連　発　表　文　献

(1)　〃エサキダイオードによる計数回路〃：喜田村、水谷、橘、昭３７信学会全国大会（４６５）

(2)　〃エサキダイオード・トランジスタ計数回路〃：喜田村、水谷、橘、昭３８信学会全国大会（３８６）

(3)　〃エサキダイオード計数回路の解析〃：喜田村、寺田、橘、信学会トランジスタ研資料（昭３９－０３）

(4)　〃Ｌ負荷エサキダイオード計数回路の解析〃：喜田村、寺田、橘、昭３９電気四学会連大（１３６３）

(5)　〃Analysis of an Esaki Diode Monopolar Pulse Counter〃：Z．Kitamura，H．Terada，K．Tachibana．Tech．Rep．of Osaka Univ　Vol．15，No.653（1965）

(6)　〃エサキダイオードによるパルス再生増幅器〃：喜田村、寺田、橘、昭４０電気四学会連合大会、（２０７８）

(7)　〃ＰＣＭ再生中継器の解析〃：喜田村、寺田、中原、清水、橘、信学会通信方式研資料（昭４０－０１）

(8)　〃ＰＣＭ再生中継器の解析〃：喜田村、寺田、中原、清水、橘、住友電気８８号（昭４０－０４）

(9)　〃エサキダイオード電磁遅延線メモリ〃：喜田村、寺田、橘、昭３９信学会全国大会（４７３）

(10)　〃超高速パルス再生中継器の一方式〃：喜田村、寺田、中原、清水、橘、昭４０信学会全国大会（７０７）

(11) 〃エサキダイオード・トランジスタしきい値論理回路の諸特性〃：喜田村、寺田、大村、浅田、橘、信学会電子計算機研資料（昭43－04）

(12) 〃ヒステリシスをもつエサキダイオード・トランジスタ論理回路〃：喜田村、寺田、大村、橘、信学誌53－C，1（昭45－01）

エサキダイオード高速デジタル回路とその設計に関する研究

目　　次

第1章　序　　論 …… 1

第2章　エサキダイオードによる単極性トリガ二安定回路とその計数回路への応用 …… 7

2．1　緒　　言 …… 7

2．2　単極性トリガ機構とその考察 …… 8

2．3　回路モデルと過渡応答解析 …… 10

2．3．1　転移機構を示す等価回路と回路方程式 …… 10

2．3．2　エサキダイオードの折線近似と境界条件 …… 12

2．3．3　スイッチ時間および入力トリガの制限条件 …… 13

2．3．4　実験と解析との対照 …… 17

2．4　設計方式 …… 20

2．4．1　設計に関する基本的考察 …… 20

2．4．2　過渡応答に影響をおよぼす諸パラメータの相互関係と動作限界 …… 21

2．5　計数回路への応用 …… 26

2．5．1　相互接続法 …… 26

2．5．2　実験結果 …… 28

2．6　結　　言 …… 30

第３章　エサキダイオード単安定回路とそのパルス再生増幅器への応用 …… 33

３．１　緒　　言 …… 33

３．２　動作機構 …… 33

３．２．１　回路構成と動作原理 …… 33

３．２．２　伝送線路との結合の問題点 …… 36

３．３　回路モデルと過渡応答 …… 36

３．３．１　等価回路と回路方程式 …… 36

３．３．２　実験と解析との対照 …… 41

３．４　素子に要求される諸条件と動作限界 …… 44

３．４．１　設計に関する基本的考察 …… 44

３．４．２　中継器としての動作限界 …… 46

３．５　結　　言 …… 55

第４章　ヒステリシスをもつエサキダイオード・トランジスタ論理回路による記憶素子 …… 57

４．１　緒　　言 …… 57

４．２　動作機構 …… 58

４．３　回路モデルの導出とシミュレーション …… 62

４．４　諸パラメータ選択基準の決定 …… 66

４．４．１　エサキダイオードピーク電流 I_P の選択 …… 66

４．４．２　τ_T と τ_{ED} の選択基準 …… 67

４．４．３　負荷 R_L とエサキダイオード等価並列容量の相対的関係 …… 69

4．5　記憶素子の設計 …… 71
4．5．1　静的動作点とスイッチ時間 …… 71
4．5．2　等スイッチ時間図による諸パラメータの決定…… 72
4．6　結　　言 …… 80

第5章　遅延帰還によるエサキダイオード・トランジスタ組合せ論理回路 …… 81
5．1　緒　　言 …… 81
5．2　回路構成と動作機構 …… 82
5．2．1　回路構成 …… 82
5．2．2　回路動作上の特長 …… 84
5．3　回路モデルと過渡応答 …… 86
5．3．1　等価回路 …… 86
5．3．2　スイッチ機構におよぼす遅延帰還の影響 …… 87
5．4　遅延帰還時間と帰還抵抗 R_F …… 88
5．5　結　　言 …… 96

第6章　結　　論 …… 97

謝　　辞 ……101

参考文献 ……103

第1章　序　　論

１９５７年、わが国で発明されたエサキダイオードは、マイクロ波帯の相当高い周波数までその能動性を失わない半導体素子として発明直後から注目を集め、早い時期から、国内外の数多くの研究者によって、アナログからデジタルの広い範囲にわたる回路への応用に関する検討が開始され、回路構成上の新しい提案、エサキダイオードをふくむ回路の解析、設計などに関する研究がおこなわれてきた。とくに、パルス・デジタル回路に関する研究の分野において、エサキダイオードの電流－電圧静特性がもつＮ字形の非線形性がスイッチ素子に要求される特性によく適合していること、実用的と思われる半導体スイッチ素子の中では最も高い動作速度が期待できること、電力消費が少なくてすむことなどの特長が注目を集め、当時すでに実用化の段階に入りつつあった汎用デジタル電子計算機の高速化の要求とも相挨って、エサキダイオードパルス・デジタル回路に関する研究が急速に進展した。(1)～(15)

これらの研究の原動力となったものは、何よりもまず、高速スイッチ素子としてのエサキダイオードへの期待であり、回路構成上あまたの問題をふくむ2端子の宿命を打開することによって、その高速性を活用すべく数々の努力が払われた。たとえば、後藤ら(2)によるエサキダイオード対回路（後藤ペア）は、あくまでエサキダイオードのみを構成素子として、その高速性を利用した論理素子を完成しようとして得られた貴重な着想である。この方向の研究は、当時の高速スイッチトランジスタの実現し得るスイッチ速度が、エサキダイオードのそれに比べてかなり低いという事情から、大きな期待がよせられていた。

しかし、いっぽうでは、高速スイッチトランジスタの研究が進展しつつあり、かつ集積回路への展望がひらけるにつれて、また、すくなくとも現在にいたる

までそのときどきの商用計算機に要求されるスイッチ速度が、他の計算機要求、たとえば、記憶装置の速度などによる制限からトランジスタ論理回路によっても実現可能であったという背景にも支配されて、論理回路要素としてのエサキダイオードの広範囲、かつ大規模な応用への追求がやや停滞したことは否定できない。

しかし、今なおエサキダイオードの優れた高速性は、トランジスタスイッチ回路のおよばない利点として、その存在価値を失っていない。このような利点をもちながら、エサキダイオードが広く論理回路素子としての応用面を拓くに至らなかった最大の理由は、さきにふれたように、この素子が2端子であることに起因するとして、過言ではない。すなわち、2端子素子であるゆえに、入出力が必然的に共通の端子に結ばれざるを得ず、また、その出力電圧振幅が低いために、高速動作可能の適当な方向性素子によって、これら入出力を分離することができないゆえに、論理回路の最大の要件である相互接続の自由さを満たすことができなかったのである。このほか、集積回路化に適さないとか、信頼性に問題があるとか、などの理由を挙げることもできるが、これらはいずれも、かならずしも本質的なものではないように見受けられる。さきにあげた問題がなければ、これらの問題も研究しつくされて、あるいは解決したとも考えられるのである。

以上のべたような環境にあって、エサキダイオードのパルス・デジタル応用の研究は、その特長がよく生かされ、かつ欠点が問題にならない分野、すなわち、あくまで高速性が尊重されかつ自由な相互接続がかならずしも求められない応用の分野、とくに計測・通信に向けられることになる。(16)～(22)

この領域では、回路が比較的小規模であるために、個々の応用に対してその応用に適した回路構成の巧妙な工夫と精密な設計がおこなえることが大きな特

長であり、素子特性に要求される制限が比較的きびしいものであっても、使用する素子数が少数であるために、十分な選択の余地が存在し得る。いいかえれば、この分野における重要な基本的回路について、とくに過度応答に重点をおいた設計法をそれぞれの応用に対して与え、その応用に対して固有の動作限界に対する検討をおこなっておくことは重要である。

このような見地から、第2章においては、パルス計測技術の主流をなすパルス計数回路へのエサキダイオードの応用をとりあげ、とくに従来ほとんど検討がおこなわれていなかった単極性パルスで駆動し得るインダクタンス負荷単一エサキダイオード二安定回路[23]の過渡応答に重点をおいた設計を論じ、この二安定回路の縦続接続に対する新しい提案をおこない、実用的な高速パルス計数回路の構成法を与えている。

従来、単極性パルスで動作する二進計数回路の構成要素としては、エサキダイオード対による二安定回路が広くとりあげられ、その動作機構の解析あるいはその設計について詳細に検討がおこなわれている。[24],[25]

この回路は、第2章でとりあげる形式の回路にくらべ高速動作の点で有利ではあるが、素子数が増えるほかに素子特性の平衡条件が必要で、素子自体の特性、とくにピーク電流 I_p 等を良くそろえた対素子の選択を要する欠点があり、これに対して、インダクタンス負荷単一エサキダイオード二安定回路は、構成の簡単さとエサキダイオード特性に対する制限がゆるやかである点に有利な特長をもっている。

さらに、エサキダイオードのパルス通信への応用として、エサキダイオード・パルス再生中継器を第3章でとりあげている。

最近、超高速、超多重PCM通信の実用性が注目され、さかんな開発研究がおこなわれてきているが、このような通信系が、従来のアナログ通信系に対し

て優位性を主張できるためには、すくなくとも２００Mbits/sec以上のパルス伝送速度を確保する必要があり、そのために、超高速パルス技術のさらに格段の進歩が望まれている。とくに、伝送線路に分布挿入してパルス再生増幅をおこなう中継器の構成素子として、超高速性、低電力消費、小形などの特長を有するエサキダイオードによる中継器構成に関するいくつかの提案がおこなわれてきた[26]～[28]。この分野の応用においては、中継器ごとに独立した電源をおかずに、伝送線路を通じて電流給電をおこなう方式が望ましく、これが回路構成上の１つの制約となる。さらに、中継器挿入点における不整合による反射雑音をできるだけ抑えることが必要であるが、エサキダイオードの非線形性のために、完全な線路との整合をとることはほとんど不可能であり、この点でもさらに大きな制約が加わることになる。

第３章では第２章で述べたインダクタンス負荷エサキダイオード回路が、適当な条件のもとでパルス再生増幅器の機能をはたすことに着目し、従来定性的な動作機構しか与えられていなかったそのパルス再生増幅器としての動作機構を設計の立場から論じ、さらに、中継器に適した回路構成にもとづいて、伝送線路にこの回路を挿入した場合の線路の不整合による反射の影響を検討し、中継器としての動作限界を与えている。この結果、いわゆるタイミング再生機能をもたない中間的なパルス再生中継器としては、十分所要の機能が実現できることを示した。

エサキダイオードの論理回路素子としての応用が、トランジスタ素子の高速化との競合によって消長したことは、さきにも述べたとおりであり、現在なおトランジスタの速度が向上しつつあることは広く認められている。この事実は、単純にエサキダイオードの論理素子としての応用範囲を消滅させてしまうものではないことに注意すべきである。すなわち、エサキダイオードがトランジス

タに対して高速性の利点を依然として主張でき、また、トランジスタがエサキダイオードの高速スイッチ性を阻害しないで、その回路的困難を救済できる性能をもつにいたったことは、この両者が補完的に相互の利点を生かし、欠点を除去し得る組合せが現実的になったという側面を見逃してはならないのである。

もちろん、このような組合せによる補完の着想は、以前からいくつかの試みとしてあったが[29]～[35]、当時はむしろ、トランジスタとの組合せがエサキダイオードの高速性を阻害することが原因となって、利用の途を狭いものにしていたのであり、今日にいたってようやくこの着想が現実化したと見ることができる[20],[36],[37]。

第4章および第5章で述べるエサキダイオードをトランジスタのコレクタ接合に並列した形式のエサキダイオード・トランジスタ複合論理回路は、以上のような観点から提案されたものであり[38],[39]、とくに回路構成上、一段あたりのレベルシフトが十分小さく結合抵抗でスタティックに相互接続することが可能であり、入出力インピーダンスがきわめて低いため、入出力の分離が優れ、論理布線との整合も容易であるなどの特長をもち、エサキダイオード・トランジスタ複合回路の利点がかなり有効に利用され得る形式の一つであると考えられる。

この形式の回路は、すでに単なるＮＡＮＤあるいはＮＯＲ回路としての用途がみとめられていたが、著者の属する研究室において、その入出力特性にみられるヒステリシスループを積極的に利用することによって、興味ある論理機能が実現でき、ことにいわゆるSpeed－Independent論理の有力な構成素子となることが確認されていた[39]。

一般に、複合回路においては素子数が1つ増加するため、回路動作におよぼす素子パラメータの影響がさらに複雑になり、個々の回路の動作に応じ、エサキダイオードかトランジスタかいずれかの影響を無視したモデルで近似的に過渡応答に対する検討がおこなわれていたにすぎない。

しかしながら、前述したように、エサキダイオードとトランジスタの動作速度が競合しうるような状態で、たがいに他の欠点を補う意味での複合回路の利点が生かされるものと考えられ、過渡応答をふくめた設計もこの点が考慮されねばならない。このような立場から、とくにエサキダイオードとトランジスタの性能を如何に整合せしめるかに重点をおいて過渡応答を中心とする設計について論じている。

第4章では、この複合回路の記憶素子としての設計について詳細に論じ、諸パラメータの選択基準、一般的な設計手法および資料を与えている。これらの設計基準は、アナログシミュレーションによりその妥当性が確認され、さらに回路の実用性が検証されている。

第5章においては、第4章の形式の回路に遅延帰還をほどこすことにより得られる組合せ論理素子の過渡応答を中心とする設計法について論じている。この組合せ論理素子は、従来のヒステリシス飛越し型のものに比べ、より有利なfan-outスイッチ時間比が得られることが指摘されていたが[39]、その点に関しても、その原因となる動作機構をあきらかにし、定量的な検討をおこなっている。アナログシミュレーションの結果によれば、従来のヒステリシス飛越し型に比べれば、2倍以上の動作速度改善をはかり得ることが示されている。

第２章　エサキダイオードによる単極性トリガ二安定回路とその計数回路への応用[40]～[44]

２．１　緒　　言

エサキダイオードの計測の分野への代表的な応用はいわゆる計数回路にみられる。一般のエサキダイオード二安定回路においては、単一のエサキダイオードを二安定状態に用い、安定点間の遷移のためには双極性トリガパルスを交互に加えることが必要である。したがって、これを計数回路として用いる場合には、一般にトリガパルスを双極性パルスに変換しなければならない不利をまぬがれず、また、１個のエサキダイオードの回路であるため相互接続法に問題があった。

単極性パルスに応動するエサキダイオード回路としては２個のエサキダイオードによるいわゆる対回路が広く用いられている。これに対し、１個のエサキダイオードによって単極性トリガパルスに応動する回路構成が提案されていたが、その動作機構の解析および動作限界の追求はほとんどおこなわれていなかった。

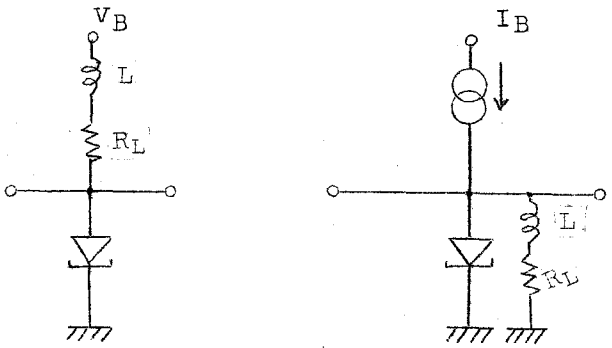
本章ではまず２．２においてこの形式の二安定回路の転移機構と動作条件について考察をおこなっている。続いて２．３ではこの考察にもとづいて転移時の等価回路を示し、転移時間および二安定動作条件を決定している。さらに、２．４では実験との対照により過渡応答に関係する主要なパラメータの相互関係を示し、あわせて動作限界をあきらかにすることにより、この形式の回路の設計手法を確立している。

２．５ではこの形式の回路によって計数回路を構成する際に、もっとも問題とされる相互接続に関して新しい方法を提案し、実用的な計数回路が構成可能

であることを述べ、これによる計数回路の実験結果を示している。

2.2　単極性トリガ機構とその考察

エサキダイオードに抵抗 R_L とインダクタンスLの直列回路を負荷したエサキダイオード二安定基本回路を図 2.1 に示す。負荷インダクタンスがエサキ



(a) 直列型　　(b) 並列型

図2.1　基本回路

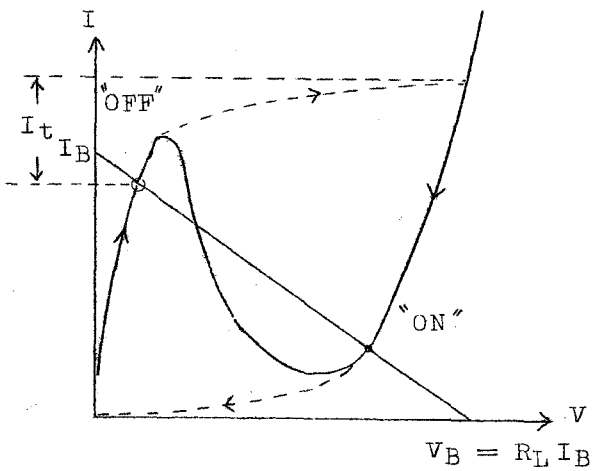


図2.2　エサキダイオード静特性と安定点

ダイオードに直列のものと並列のものとがありこれらは DC バイアスの供給方法がことなる。この回路構成自体は単安定回路と同様である。しかし一般の二安定回路は転移のため双極性パルスを必要とするが、この回路は後述するようにトリガパルスと負荷インダクタンスの関係が適当であれば単極性パルスで転移をおこなえるため計数回路に応用できる。(23)

図２．２ はこの回路の静的負荷特性を示したものである。定常状態では回路の安定点は ＥＤ 特性と抵抗負荷線との交点にあり２つの安定点をもつようにし、図示のようにエサキダイオードが高電位状態、低電位状態での安定点をそれぞれ ″ＯＮ″、″ＯＦＦ″ 安定点と呼ぶことにする。ここで簡単のためエサキダイオードのスイッチ時間はインダクタンスの過渡応答にくらべて無視できるほど小さいとする。いま回路が ″ＯＦＦ″ になっているとき正極性のトリガパルスを与えると負荷インダクタンスの作用により、負荷 R_L が分離されエサキダイオードの電圧一電流特性上でほとんど水平の経路をとってエサキダイオードが高電位側にスイッチされる。トリガパルス幅が負荷インダクタンスＬと抵抗 R_L とで定まる時定数程度であれば、エサキダイオード端子電圧は ″ＯＮ″ 安定点におちつきセットされる。セットされた後におなじく正極性のトリガパルスが与えられればエサキダイオードを流れる電流はそのため急激に I_t だけ増加し、その後インダクタンスを流れる電流が増加しはじめるとともにしだいにエサキダイオードの電流が減少する。一定の時間が経過したのち、トリガパルス電流が終了してもインダクタンスを流れる電流はただちに変化はしない。トリガパルス電流の変化分に相当する電流は等価的にエサキダイオードを流れる電流を減少させ、谷点電流よりも小さくなればエサキダイオードは低電位側にスイッチし、その後 ″ＯＦＦ″ 安定点におちつきリセットが完成される。したがってこの回路は適当な条件のも

とでは二進計数回路として動作する。

前述したように、二安定動作はインダクタンスによって本質的に決定されている。すなわち "OFF" → "ON" の転移において、インダクタンスを一定とすればトリガパルス幅が大きすぎるとその後縁でふたたびリセットされるであろう。"ON" → "OFF" の転移ではトリガパルス幅が小さすぎるとエサキダイオード電流が減少せずリセットされない。トリガパルス幅を一定とすればインダクタンスにも同様な制限が生じる。すなわち二安定動作のためにはトリガパルスと回路パラメータの間にある条件が必要で、これらによって回路の動作限界が定まる。

2.3 回路モデルと過渡応答解析

2.3.1 転移機構を示す等価回路と回路方程式

この回路は動作インダクタンスを含む回路の時定数とトリガパルス幅との関係により、所望の二安定動作の他に単安定動作をし、あるいは転移動作をおこなわなくなる。ここではエサキダイオードのスイッチ速度が速いため、主としてインダクタンスに関係する時定数が回路の動作を支配する場合について解析をおこなう。

簡単のためエサキダイオードを適当な折線特性で近似し、各領域で等価電圧源と等価抵抗の直列回路、すなわちn番目の領域においてそれぞれ V_n および R_n ($n = 1, 2, 3, \cdots\cdots$) の直列回路で表示できるものとすれば、図2.1 (b)の回路の等価回路は図2.3 に示すようになる。ただしCはエサキダイオードの並列容量を代表する。

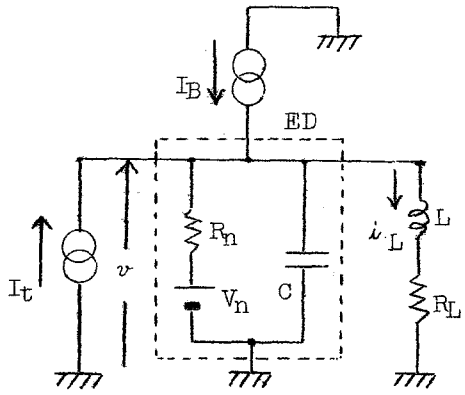


図２．３　等　価　回　路

この回路の微分方程式は次式で与えられる。

$$LC\frac{d^2 i_L}{dt^2} + \left(\frac{L}{Rn} + R_L C\right)\frac{d i_L}{dt} + \left(1 + \frac{R_L}{Rn}\right) i_L = \left(I_B + It + \frac{Vn}{Rn}\right) \qquad (2.1)$$

したがって一般解として次式が得られる。

$$i_L(t) = K_{0n} + K_{1n}\, e^{-\alpha_{1n} t} + K_{2n}\, e^{-\alpha_{2n} t} \qquad (2.2)$$

ただし、

$$\alpha_{1n}, \alpha_{2n} = \left(\frac{R_L}{2L} + \frac{1}{2R_n C}\right) \pm \sqrt{\left(\frac{R_L}{2L} + \frac{1}{2RnC}\right)^2 - \frac{1}{LC}\left(1 + \frac{R_L}{Rn}\right)} \qquad (2.3)$$

である。K_{0n}，K_{1n} および K_{2n} はそれぞれ領域 n に対応する積分定数を示す。とくに K_{0n} は "ON" あるいは "OFF" 安定点における定常状態の i_L をとる。すでに述べたように、負荷回路の時定数がエサキダイオードに関

係する時定数より大きいと仮定するため、つぎの関係がいずれも成立しているとする。

$$\left(\frac{R_L}{2L}+\frac{1}{2R_nC}\right)^2 > \frac{1}{LC}\left(1+\frac{R_L}{R_n}\right) \qquad (2.4)$$

$$\frac{1}{R_nC} \gg \frac{R_L}{L} \qquad (2.5)$$

このような条件が成立していれば式（２．２）はつぎのように簡単化される。

$$i_{Ln}(t) = I_{on} + \left\{ i_{Ln}(0) - I_{on} \right\} \exp\left(-\alpha_{1n}t\right) \qquad (2.6)$$

ただし、

$$\alpha_{1n} = \frac{R_L + R_n}{L} \qquad (2.7)$$

$$I_{on} = \frac{R_n}{R_n + R_L}\left(I_B + I_t + \frac{V_n}{R_n}\right) \qquad (2.8)$$

である。

またエサキダイオード両端の電圧波形$v(t)$は次式で与えられる。

$$V_n(t) = R_L I_{on} + R_n \left\{ I_{on} - i_{Ln}(0) \right\} \exp\left(-\alpha_{1n}t\right) \qquad (2.9)$$

$$= \left(R_L + R_n\right) I_{on} - R_n i_{Ln}(t) \qquad (2.10)$$

２．３．２　エサキダイオードの折線近似と境界条件

式（２．９）に示されるようにこの回路の過渡応答は近似的に時定数$L/(R_L + R_n)$によって決定される。この回路の動作条件により、負荷抵抗 R_L はエサキダイオード等価抵抗 R_n に比して十分大きいため、R_n の変化がこの時定数におよぼす影響は小さく、このためエサキダイオードの折線近似は簡単なもので十分である。したがって折線近似部分の形状は解析を容易にするためにセ

ット（"OFF" → "ON" の転移）に対しては、エサキダイオードの高電位部分の領域2および低電位部分に領域3をとった。この折線近似の模様を図2.4に示す。

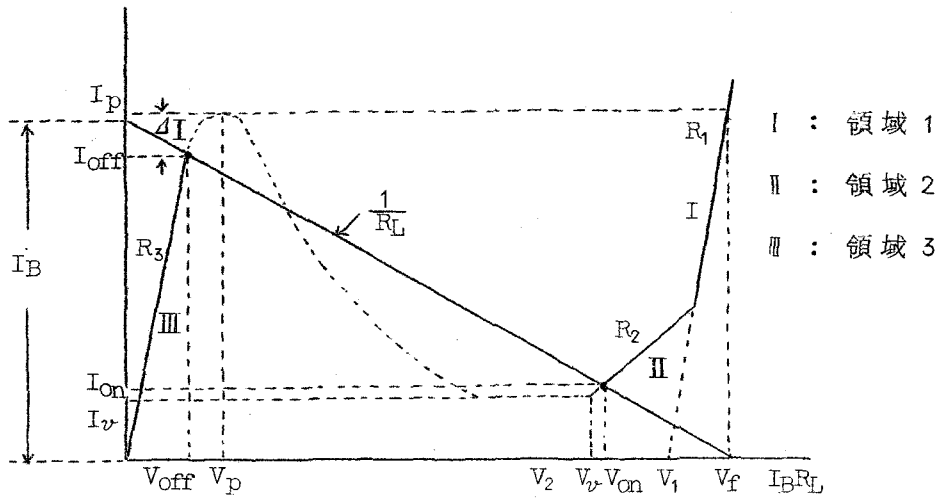


図２．４　二安定動作における諸量

各領域の接続のためには電流 i_L の連続を条件として用いる。

２．３．３　スイッチ時間および入力トリガの制限条件

すでに求めた出力電圧 $v_n(t)$ とインダクタンス電流 $i_{Ln}(t)$ の各式より、安定点から他の安定点へ転移する時間すなわちスイッチ時間の計算式を導きさらに動作機構の考察によりトリガ条件式もあわせて求める。

まずこの回路が二安定動作をするためにはエサキダイオードの領域1、領域3におのおのの安定点をもつ必要があるから、静的条件として負荷抵抗 R_L とバイアス電流 I_B（電圧源 V_B の場合は $I_B = V_B/R_L$ の関係を用いる）についてつぎの関係が満足されねばならない。以下の解析ではこれらの条件が満足されているものとする。

$$R_L > \frac{V_v - V_p}{I_p - I_v} \qquad (2.11)$$

$$I_p + \frac{V_p}{R_L} > I_B > I_v + \frac{V_v}{R_L} \qquad (2.12)$$

i) セ　ッ　ト

セットの場合には、入力パルス電流 I_t が次の条件を満足しているものとする。

$$I_t > I_p - I_{off} \qquad (2.13)$$

したがってパルス幅 τ、振幅 I_t の入力パルスの印加とともにエサキダイオードは領域1にスイッチされ I_t の存在する期間中（$\tau \geq t \geq 0$）はこの領域にとどまるものとすれば

$$i_{L1}(t) = I_{01} + \{ i_{L1}(0) - I_{01} \} \exp(-\alpha_{11} t) \qquad (2.14)$$

$$v_1(t) = (R_L + R_1) I_{01} - R_1 i_{L1}(t) \qquad (2.15)$$

ただし α_{11} および I_{01} はそれぞれ式（2.7）および（2.8）から、

$$\alpha_{11} = \frac{R_L + R_1}{L} \qquad (2.16)$$

$$I_{01} = \frac{R_1}{R_L + R_1} \left(I_B + I_t + \frac{V_1}{R_1} \right) \qquad (2.17)$$

で与えられ、$i_{L1}(0)$ は電流の連続の条件より次式のように求められる。

$$i_{L1}(0) = \frac{R_3}{R_L + R_3} I_B \qquad (2.18)$$

入力パルス I_t がとりのぞかれた場合（$t \geq \tau$）には第2領域に入ると仮定しているから、おなじように以下の諸式がえられる。

$$i_{L2}(t) = I_{02} + \{ i_{L1}(\tau) - I_{02} \} \exp(-\alpha_{12} t) \qquad (2.19)$$

$$v_2(t) = (R_L + R_2)\, I_{02} - R_2 i_{L2}(t) \qquad (2.20)$$

したがって "ON" 安定点に達するまでの時間 t_2 は次式で与えられる。

$$t_2 = \frac{1}{\alpha_{12}} \ln 9 \simeq 2.2 \frac{L}{R_L + R_2} \ (\mathrm{sec}) \qquad (2.21)$$

ただし、スイッチ時間としてはその区間の全変化の10%→90%の変化に要する時間をとることにし以下この定義を用いる。

以上の計算にしたがってセットに要する全スイッチ時間 t_{ON} は、

$$t_{on} = \tau + t_2 \qquad (2.22)$$

で与えられる。

ii) リセット

リセットの場合は入力パルス I_t の存在する期間領域2にあり、I_t が除かれると領域3にエサキダイオードが跳躍する。この2つの領域についての解はそれぞれ以下のようにえられる。

$$i_{L2}(t) = I_{02} + (I_{on} - I_{02}) \exp(-\alpha_{12} t) \qquad (2.23)$$

$$v_2(t) = (R_L + R_2)\, I_{02} - R_2\, i_{L2}(t) \qquad (2.24)$$

$$i_{L3}(t) = I_{03} + \{ i_{L2}(\tau) - I_{03} \} \exp(-\alpha_{13} t) \qquad (2.25)$$

$$v_3(t) = (R_L + R_3)\, I_{03} - R_3\, i_{L3}(t) \qquad (2.26)$$

領域3のスイッチ時間 t_3 はさきの定義にしたがって

$$t_3 = 2.2 \frac{L}{R_L + R_3} \qquad (2.27)$$

で与えられ全スイッチ時間 t_{off} は

$$t_{off} = \tau + t_3 \qquad (2.28)$$

で与えられる。

次に入力トリガパルスとインダクタンスの大きさによって決まる制限条件について考察する。前述したようにトリガパルスによってインダクタンスに貯えられるエネルギの大きさが適当であれば、この回路は相続く正極性パルスによってセット、リセットをおこなうが、そのエネルギが大きすぎればセットパルスの後端でリセットし、小さすぎればリセットが不可能になる。すなわちインダクタンスの値と入力パルス幅および波高値などの間には一定の関係がある。以下では前項までの解析にもとづいて、この回路が所期の二安定動作をおこなうための入力パルス幅の限界を求める。

ⅲ) 入力パルス幅の最大値(τ_{max})

入力パルス幅の最大値は "OFF" → "ON" のセットパルスによってLに過大なエネルギが蓄積されない条件から求められる。

ここではさきのスイッチ時間の計算の場合にくらべて、入力パルス幅が大きい場合を考えねばならないから、負荷の時定数(L/R_L)にひとしい時間までエサキダイオードは領域1の中にとどまり、残余の入力パルスの継続時間には領域2の中に存在しこの状態でセットパルスの後端があらわれると考える。

このときエサキダイオードの電流が谷点電流 I_v より小さくならない、つまりリセットされないためには次式の関係が満足されなければならない。

$$I_t - \frac{V_2(\tau') - V_{on}}{R_2} \leq I_{on} - I_v \qquad (2.29)$$

上式の等号を満足する τ' が許容しうる最長の領域2の通過時間を与え、この τ' は式(2.29)と式(2.9)から次式のように与えられる。

$$\tau' = \frac{L}{R_L + R_2} \ln \frac{R_2 \{ I_{02} - i_{L1}(I_L/R_L) \}}{V_2 + (I_v + I_t) R_2 - R_L I_{02}} \qquad (2.30)$$

したがって最大のパルス幅 τ max は

$$\tau \max = ({}^{L}/_{R_L}) + \tau' \qquad (2.31)$$

で与えられることになる。

iv) 入力パルス幅の最小値

"ON" 安定点にあるエサキダイオードに入力パルス It を印加して時間経過したのちには、It はエサキダイオードと負荷回路とに分流されておりLにエネルギが蓄積された状態にある。この状態でパルスの後端があらわれ It が除かれることによってエサキダイオードがリセットされるためには、エサキダイオードが領域2にあるとして次式の関係が成立していなければならない。

$$\frac{V_2(0) - V_2(\tau)}{R_2} \geq I_{on} - I_v \qquad (2.32)$$

上式の符号を与える τ がリセットに必要な入力パルス幅の最大値 τmin を与える。したがって式(2.32)を用いて、

$$\tau \min = \frac{L}{R_L + R_2} \ln \frac{I_t}{I_t - \frac{R_L + R_2}{R_2} (I_{on} - I_v)} \qquad (2.33)$$

の関係がえられる。

2.3.4 実験と解析との対照

解析結果と対照するため図2.5のように回路を構成して測定をおこなった。入力トリガパルスは入力端で 50Ω で終端したのち高抵抗でエサキダイオードに供給し電流パルス駆動の条件を満たすようにしている。使用したエサキダイオードは 1T 1104 (SONY) で諸定数を表 2.1 に、計算に用いた諸定数を表 2.2 にそれぞれ示す。

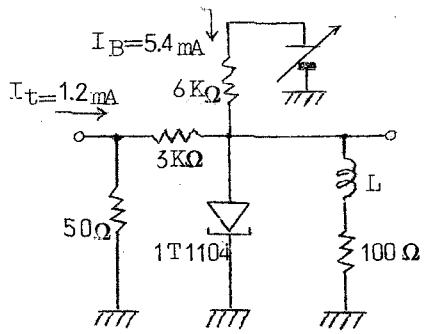


図２．５　測　定　回　路

V_p	70 mV	I_p	6.0 mA
V_v	330 〃	I_v	1.2 〃
V_f	490 〃	C	11 pF

表２．１　供試エサキダイオードの諸定数

R_1	15 Ω	I_{off}	5 mA
R_2	32 〃	I_{on}	1.4 〃
R_3	8 〃	V_{off}	40 mV
V_1	420 mV	V_{on}	390 〃
V_2	350 〃	I_B	5.4 mA
V_3	0 〃	R_L	100 Ω

表２．２　計　算　回　路　の　諸　量

図２．６ はさきに述べた解析から計算した回路の応答波形の一例であり、図２．７ および図２．８ に示す実験結果（Ｌ＝２００μＨ）とよい一致を示している。これらの結果より負荷Ｌによる時定数がエサキダイオード個有の時定数

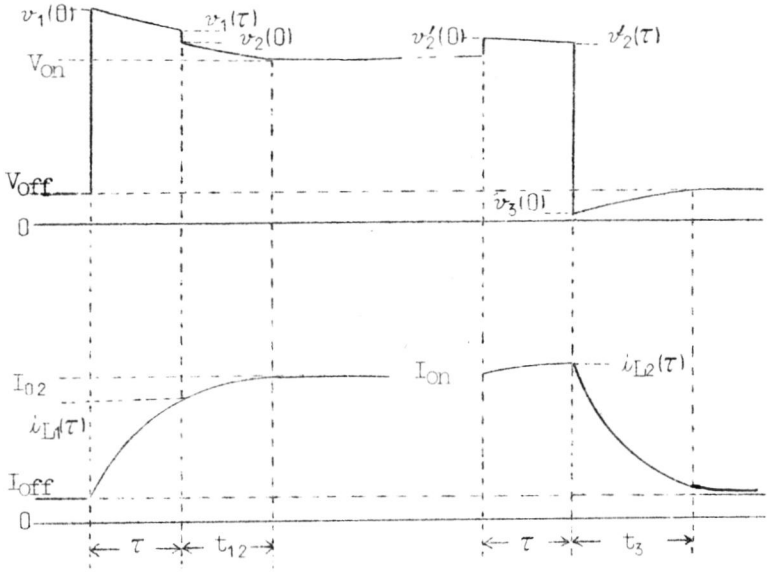


図２．６　　電圧、電流の計算波形

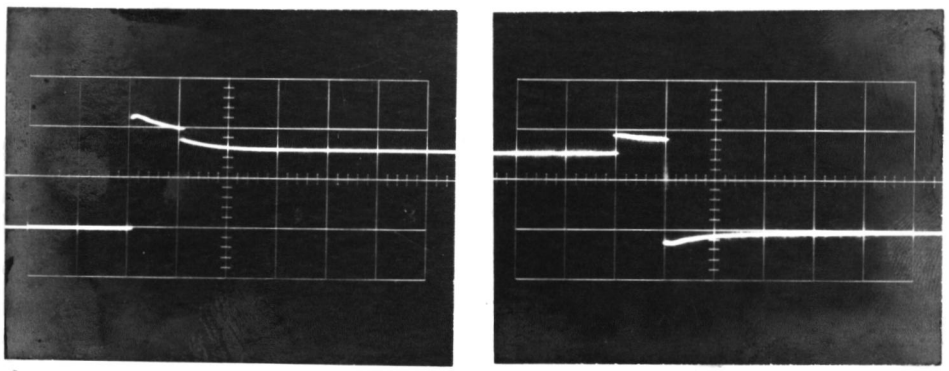


図２．７　　エサキダイオード両端の電圧波形

（0.2 V/div.，　2μS/div.
I_t＝1.2 mA，τ＝2μS，L＝２００μＨ）

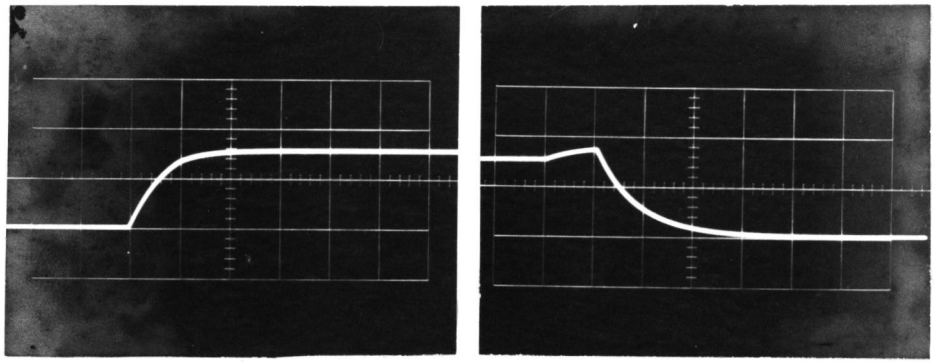


図２．８　インダクタンスを流れる電流波形

（２ mA／div.，２μS／div.
It＝1.2 mA，τ＝２μS，L＝２００μH）

より大きいと仮定したこの場合は、簡単な等価回路による解析であるが十分に定量的な結論が導きだせることがあきらかである。

２．４　設計方式

２．４．１　設計に関する基本的考察

計数回路動作のめやすとして、トリガ感度と計数速度が重要である。エサキダイオードの I_p に関しては、性能指数の面からはこれを大きくとるのが有利である。負荷抵抗 R_L によって定められる二安定点はトリガ感度の面から、雑音に対する許容度による制限の範囲内で、できるだけ山点と谷点附近にくるよう決定するのが望ましく、一般に R_L の値としては、エサキダイオード負性抵抗 $|-R|$ の３倍程度が妥当である。このとき、要求される最低のトリガ電流が同時に決定される。したがってエサキダイオードの I_p を大きくすれば R_L の値も小さくなるので、分解能を低下させないためには、インダクタンスＬの値を小さくすることが必要となる。しかし、インダクタンスＬの値が小さくなれば、実際にはトリガパルスに降下時間が存在するため、R_L に分流する電流

が増加しとくに高電位側安定点からの転移の機構に影響を与え、一般に転移に要するトリガ電流が増大する。以上の理由から Ip の最大値に制限が生じこの値は１０ mA 程度と考えられる。

以上のような選択基準によって、静的二安定点を決定する諸パラメータのうち Ip、RL が決定される。過渡動作の設計に重要な関係をもつ残りのパラメータ、負荷インダクタンス L と入力パルス幅などは式（２．２２），（２．２８），（２．３１），（２．３３）の制限条件から決定される。Ip ＝ 6 mA のエサキダイオードを用いた設計例を以下に示す。

２．４．２　過渡応答に影響をおよぼす諸パラメータの相互関係と動作限界

ｉ）動 作 限 界

図２．９ は式（２．３０），（２．３１）および（２．３３）より計算したトリガ

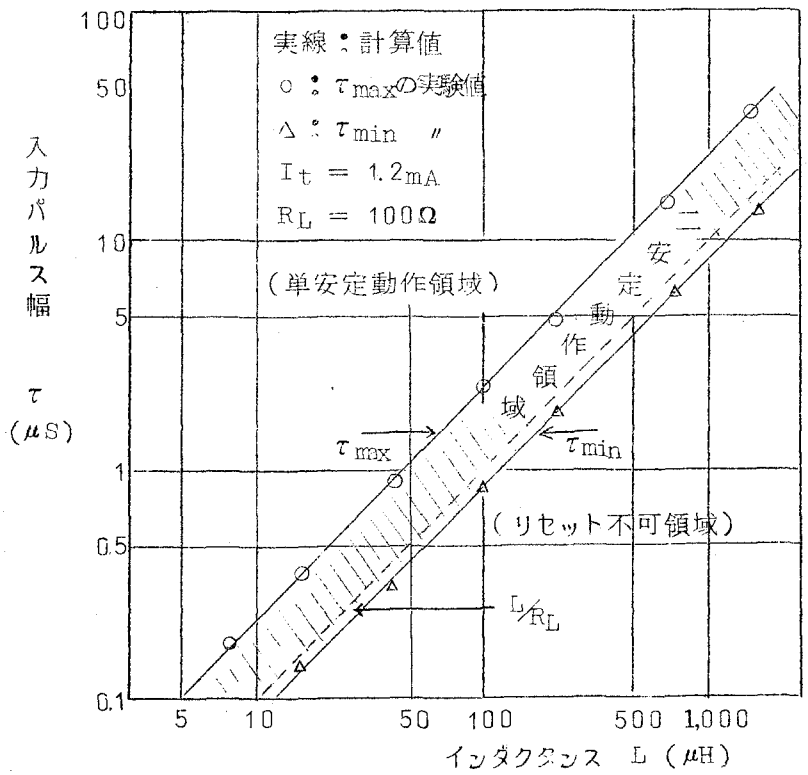


図２．９　負荷インダクタンスとトリガパルス幅の制限

条件 τmax、τmin を示す。図中の点線は L/R_L の値を示したものであり入力パルス幅のめやすとなる。τmax、τmin でかこまれる斜線部分が動作領域である。また実験値も点によってあわせて表している。

入力パルス幅が最大パルス幅 τmax を越えた場合は、セット後入力パルスの後縁で再びリセットされる一安定動作となる。この模様を実験によって示したものが図２．１０ である。入力パルスによりセットされながらふたたびリセットされる入力パルス幅とおなじ出力パルスの一安定回路となっている。

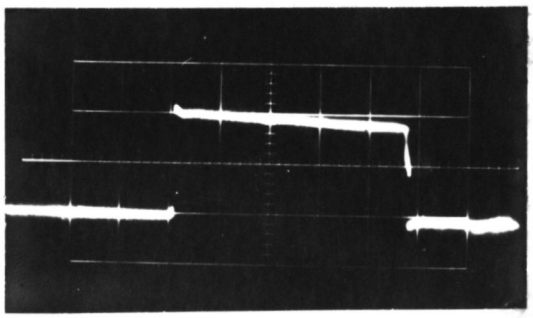


図２．１０　入力パルスの後端でリセットされ単安定になった場合の出力電圧波形
（0.2 V／div.，２μS／div.
I_t ＝ 1.2 mA，　L ＝２００μH）

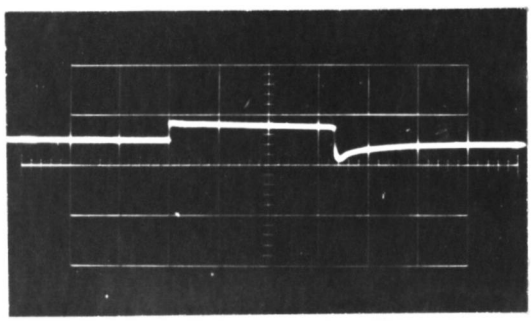


図２．１１　入力パルスでリセットされない場合の出力電圧波形
（0.2 V／div.，　0.5μS／div.
I_t ＝ 1.2 mA，　L ＝２００μH）

入力パルス幅が最小パルス幅 τ_{min} に満たない場合はセットはおこなわれるがリセット動作は完了しない。実験による例を図２．１１ に示す。高電位状態にあるエサキダイオードは入力パルスの後縁でリセットされかかるが、インダクタンスに流れる過渡電流不足のため谷点電流 I_v を越さずふたたび"ＯＮ"安定点にもどっている。

図２．１２ は式（２．３３） により計算した入力パルス振幅 I_t と入力パルス幅最小値 τ_{min} との関係を表わしている。入力パルス振幅が比較的大きな値の場合にはエサキダイオード静特性の折線近似の誤差により、高電位領域の抵抗 R_2 を実際よりも大きく見積ったことになる。したがってインダクタンス

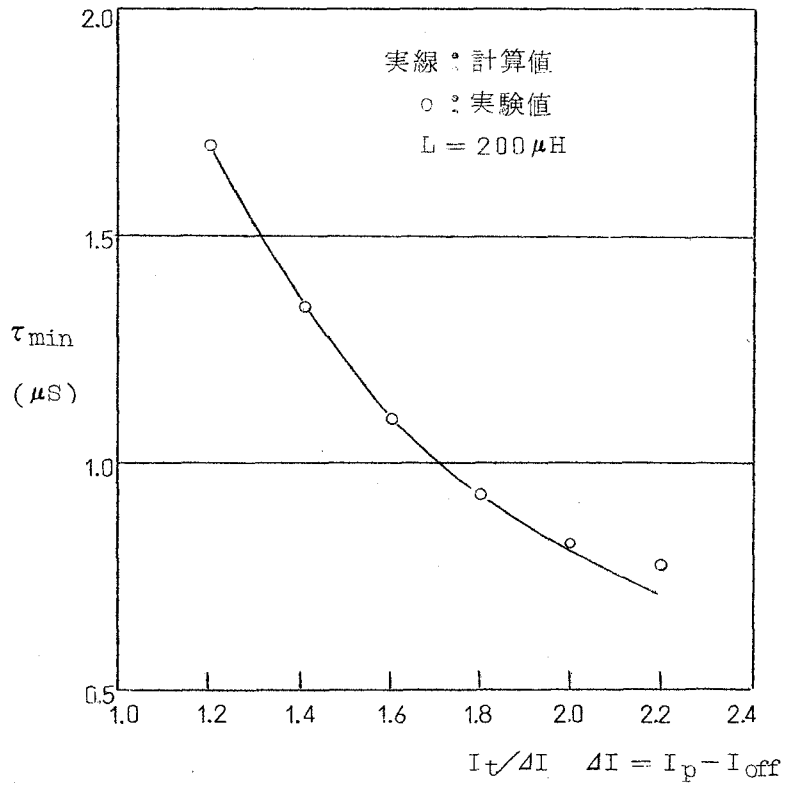


図２．１２　入力パルス電流に対する τ_{min} の変化

との時定数が減少するために計算結果によるパルス幅が同図で示されるように実験結果より小さく表われるものと考えられる。この結果からあきらかなように入力パルス幅を一定と考えると入力振幅に対しても図２．９ とおなじように最大値、最小値が存在することがあきらかとなっている。

ii）スイッチ時間

計数回路の動作速度はセット、リセットに要する時間で決定されるが、このスイッチ時間と動作を決定する負荷インダクタンスの大きさの関係を前節の関係式（２．２２）、（２．２８） より導くことができる。この場合の入力パルス幅は負荷時定数 $\tau = {}^{L}/_{R_L}$ にひとしいとしこの値は動作領域内にある。実験との対比を図２．１３ に示す。"ＯＮ" の静的安定点をエサキダイオードの谷点

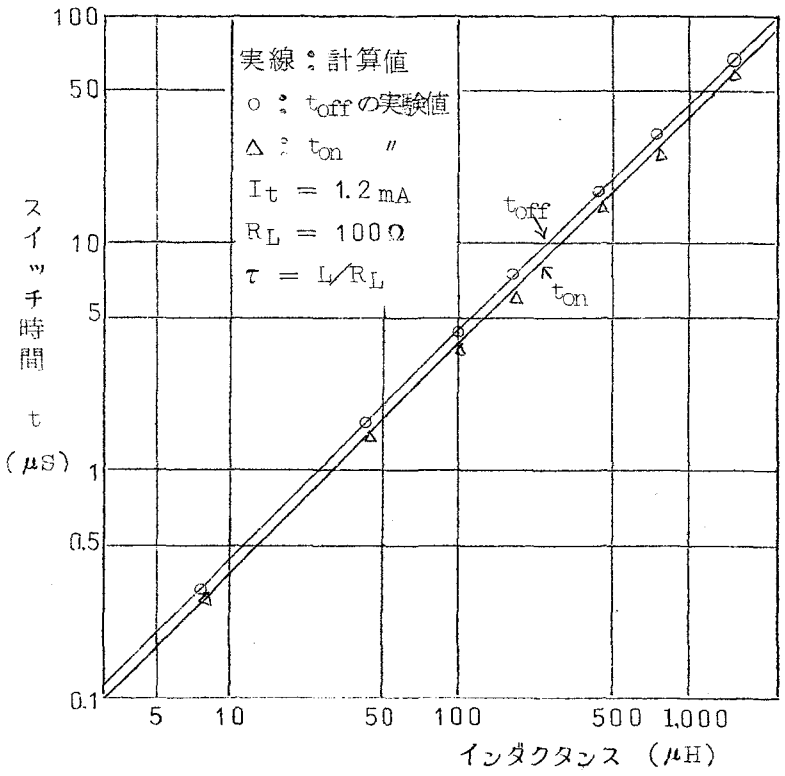


図２．１３　負荷インダクタンスとスイッチ時間

に近づけセット（t_{on}）とリセット（t_{off}）の時間はほぼひとしくなっている。

さらに入力パルス幅とスイッチ時間との関係を図２．１４ に示す。この場合のＬの大きさは前回と同様、負荷時定数より $L = R_L \cdot \tau$ とする。

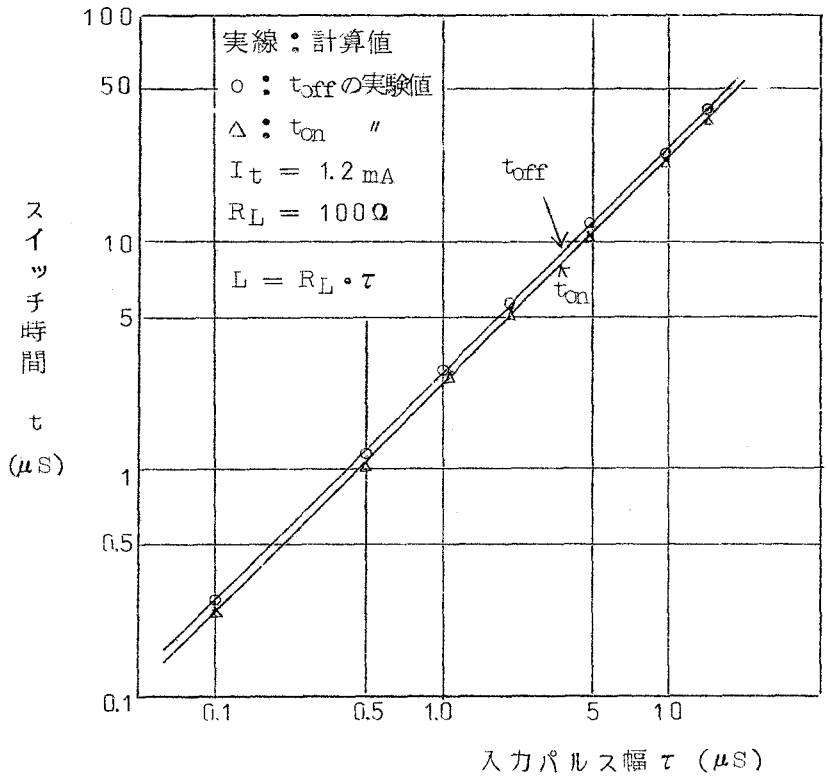


図２．１４　入力パルス幅とスイッチ時間

計数速度を上げるためには二安定動作を満足させる範囲内で入力パルス幅と負荷インダクタンスの大きさをともに小さくすることが必要であり、図２．13 図２．１４ からスイッチ時間に対してこれらの値を決定することができる。とくに図２．１４ は二安定回路に前置するパルス整形回路の出力パルス幅を決定するものである。

2.5　計数回路への応用

2.5.1 相互接続法

前述したようにエサキダイオードは2端子素子であるから、入出間の分離ができず出力電圧レベルも小さいため、インダクタンス負荷二安定回路を用いて計数回路を構成するとき一番問題となるのが回路相互間の接続法である。

具体的には二安定回路の出力波形をふたたびトリガパルスとおなじ波形に整形し、つぎの二安定回路を駆動しなければならない。この場合、当然前段の回路が次段の回路の動作の影響を受けないよう方向性をもった結合方式をとらねばならない。従来はトランジスタ、一般のダイオードなどがこの目的に使用されているが、前者はトランジスタのスイッチ速度による制限の他に電源の供給数が増加し出力のレベルシフトの問題が生じる。また後者は高速パルスに対して並列容量などのため方向性が乏しくなり、さらに増幅機能をもたぬため動作余裕度が小さいなどの欠点がある。ここでは二安定回路の動作機構より、波形整形増幅機能をそなえたエサキダイオード単安定回路を用いて相互接続をおこなっている。この方式はまた高速動作をさせる点からもエサキダイオードの高速スイッチ性を利用でき他の方式よりも優れていると考えられる。

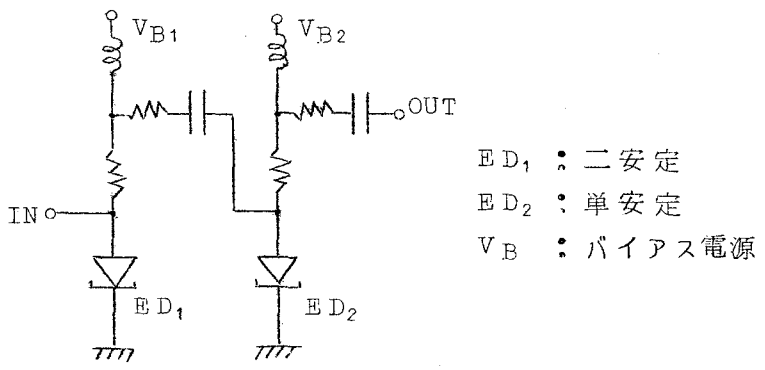


図2.15　基本計数回路

図２．１５ に実際の基本計数回路を示す。前段が二安定回路、次段が単安定回路による整形増幅部である。いずれの回路も回路構成は同じである。

単安定回路の負荷特性を図２．１６ に示す。負荷抵抗はエサキダイオードの静的特性と一点で交わるように二安定回路より低く選ばれる。この場合はエサキダイオードは低電位状態で安定点をもつ、正極性トリガパルスによりエサキ

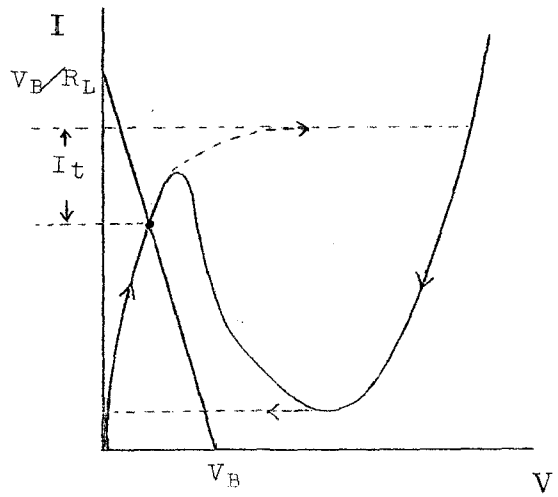


図２．１６　単安定動作の静特性と安定点

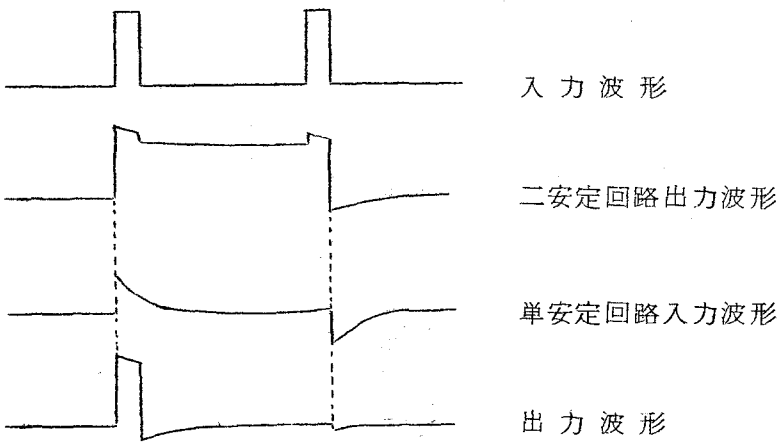


図２．１７　動作波形の説明図

ダイオードの電流が山点をこすとインダクタンスのはたらきにより、エサキダイオードは図の矢印に沿って高電位状態にスイッチし、ふたたび谷点を通過して低電位状態に戻る。出力パルス幅は二安定回路のスイッチ時間と同様インダクタンスと負荷抵抗との時定数により主として決定される。この回路はトリガパルスが負極性の場合はエサキダイオード電流が減少しスイッチしない。

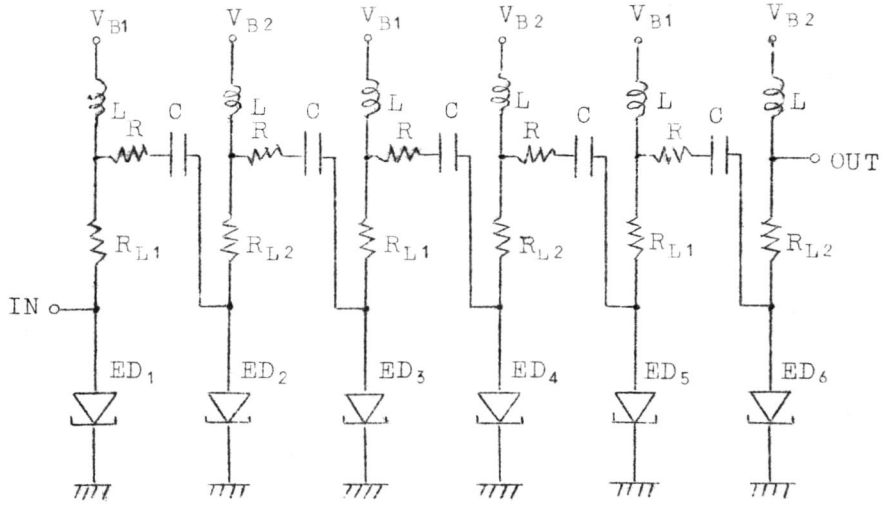
図２．１７ のように前段の二安定回路の出力波形を微分してこの回路に加えれば、必要なパルス幅の出力波形が得られる。さらに逆結合による誤動作を防ぐために、二安定回路、単安定回路とも出力は微分波形が都合がよいことに着目し、入力はエサキダイオードに直接加えているが出力は負荷インダクタンスからとり出した。この結果、入力側にくらべ出力側のトリガ感度が低くなり、単安定回路のパルス整形増幅機能とあいまって良好な方向性が得られる。

２．５．２ 実 験 結 果

前述の計数回路を縦続接続し計数動作を確めるための実験をおこなった。回路はプリント基板上に組みたて負荷インダクタンスは動作速度の点から空心を用い、回路相互間の接続はできるだけ短くなるようにしている。バイアス電源はエサキダイオードの特性のばらつきにより多少の調整を必要とした。基本計数回路を図２．１８のように三段接続した入力繰返し１０Mbit／sec における各段の計数動作波形を図２．１９に示す。

さらに高速の計数をおこなうには負荷インダクタンスの値を小さくするとともに良好なトリガパルスが必要となり、波形整形増幅回路への要求がきびしくなるであろう。

この回路の安定度に関して基本計数回路は＋１００℃～－１０℃の温度変化でも動作し、周囲温度に対する回路の安定性を示している。図２．２０は１００℃と０℃のときの二安定回路出力波形例である。



$ED_1 \sim ED_6$ ： 1T1103（$I_p = 2$ mA、SONY）

R ＝ 100Ω　　C ＝ 10 PF　　L ＝ 3 μH

R_{L1} ＝ 200Ω　　V_{B1} ＝ 0.43 ～ 0.46 V

R_{L2} ＝ 50Ω　　V_{B2} ＝ 0.12 ～ 0.14 V

図 2.18　8 進 計 数 回 路

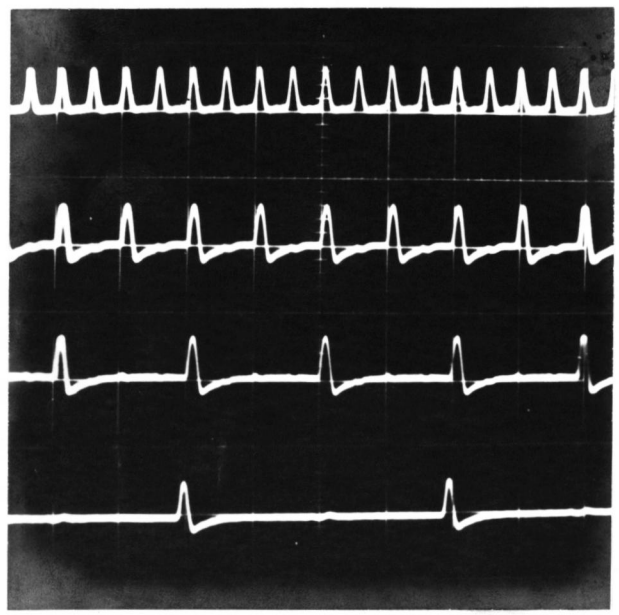


図 2.19　計数回路の動作波形例

（入力波形　1 mA／div.，　0.2 μS／div.）

（出力波形　0.5 V／div.，　0.2 μS／div.）

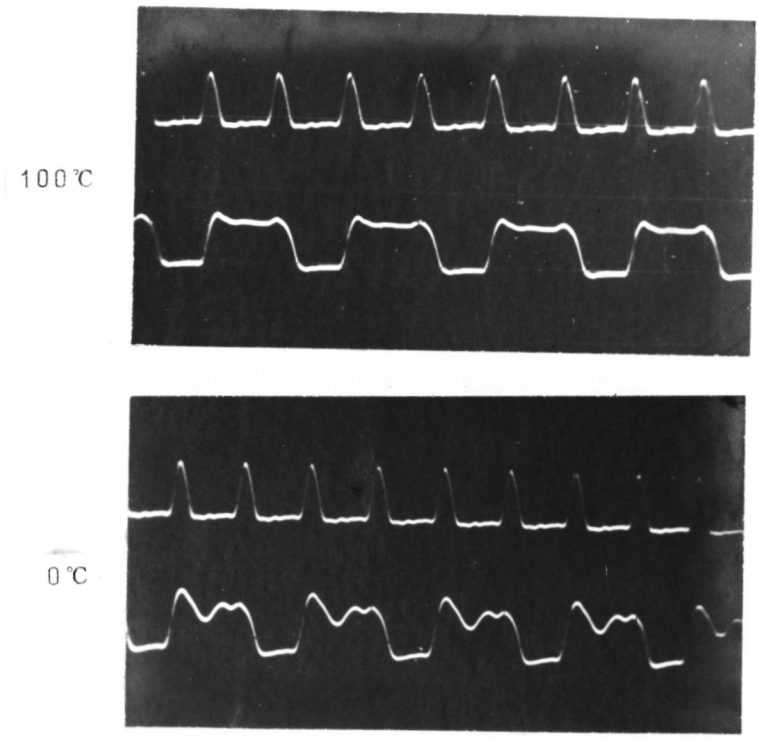


図２．２０　周囲温度による影響
入力パルス　１０Mbit/S
（上段　入力パルス
下段　二安定回路出力波形）

２．６　結　　言

単極性パルスで状態が転移するインダクタンスを負荷した単一のエサキダイオード二安定回路に関し、簡単なモデルを導入することによりその動作機構をあきらかにし、過渡応答に影響をおよぼす諸パラメータの相互関係と二安定回路としての動作限界を求め設計方式を定めた。

すなわち、エサキダイオード特性、負荷抵抗と負荷インダクタンスおよび入力トリガパルス振幅とパルス幅相互間には密接な関係がある。ここでは静的に

はエサキダイオード静特性と負荷抵抗により二安定点を定めるとともに、入力トリガによる過渡応答動作に対しては負荷インダクタンスと入力パルス振幅、パルス幅を決定し二安定動作領域を確定した。さらに実験によりこの動作領域内でこの回路は安定に動作することを検証した。

この回路はこのままでは入出力の分離ができないため、パルス計数回路に応用するためには回路間の接続の問題を解決しなければならない。このためパルスの整形機能をもつエサキダイオード単安定回路を用いて相互接続をおこなうことを提案した。次段の二安定回路を駆動するためには入力と同様の単極性トリガパルスが必要であり、単安定回路はこの目的にも好都合である。二安定回路と単安定回路を結合した基本計数回路を縦続接続し、10Mbit/sec の繰返しで計数動作の実験をおこなった結果、安定に動作することが確められた。

第3章　エサキダイオード単安定回路と
そのパルス再生増幅器への応用 (45)～(49)

3．1　緒　　言

同軸ケーブル中に挿入してパルス再生増幅をおこなう中継器の構成素子として、エサキダイオードはその回路構成の比較的簡単な点から興味ある素子として注目され、従来いくつかの応用に関する提案がおこなわれてきた。(26)～(28)

パルス再生増幅器は、原理的にしきい値識別機能と波形整形作用をもつ回路が主要な構成部分となる。本章では、第2章に述べたインダクタンス負荷エサキダイオード回路が、適当な条件のもとではこれらの機能をあわせもつことに着目し、そのパルス再生増幅器としての機能を論じている。

3．2では、この目的のためにまずインダクタンス負荷エサキダイオード回路の単安定動作機構とその問題点を考察している。

3．3では、この回路の単安定条件下の過渡的擬安定状態における等価回路を導き、これにもとずいてしきい値識別機能および出力パルス波形とその回復時間と回路パラメータ間の関係を決定し、実験との対照をおこなっている。

3．4では、さらに所望のパルス再生作用を得るための設計資料を導き、その設計法をあきらかにした。以上の結果により、この分野の応用においては、伝送線路に挿入されることから、一般の単安定エサキダイオード回路にくらべて設計上の制限が多いが、システマティックジッタの修正を要しない中間パルス再生中継器としては、十分所要の機能が実証できることが示されている。

3．2　動作機構

3．2．1　回路構成と動作原理

中継器の構成を図3．1に示す。図中鎖線で囲まれた部分が1つの中継器を

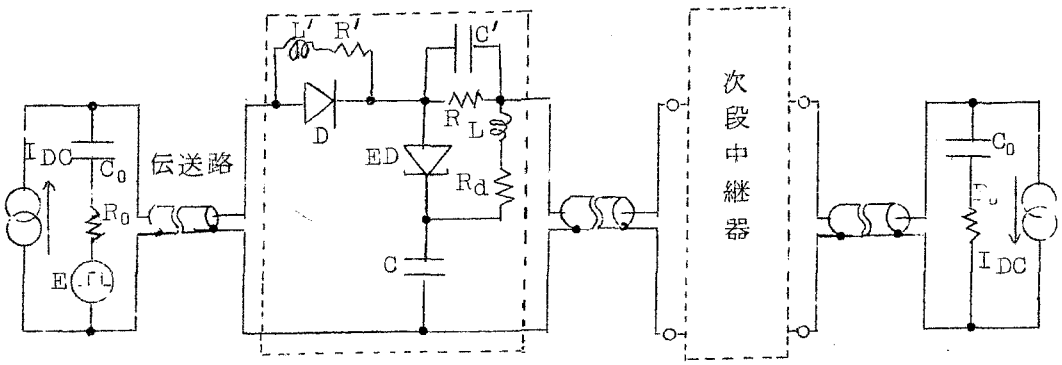


図３．１　中継器回路図

表わす。この中継器は伝送路に装荷され、図の左側の交流的に線路に結合された信号源Ｅからのパルスの増幅再生をはかるものである。この再生増幅器自体は電源をもたず、両端の送信側と受信側の端局から直流電力の供給をうける。図中定電流源I_{DC}と示したものが電力供給源である。この電流源は、阻止容量C_0によって信号源および終端の負荷R_0から直流的に分離されている。伝送路の図中上側のルートには、ダイオードによる一方向伝送のための回路とエサキダイオードＥＤと負荷抵抗、インダクタンスを含む単安定回路とが含まれている。下側の伝送路は、直列に回路素子を含まないが、結合容量Ｃで単安定回路に結合されている。

図中では簡単のため再生増幅器を２個だけ示しているが、再生増幅器数は信号の減衰量、中継距離、後述する中継器としての動作限界などによって決定される。

図３．１の再生増幅器において、エサキダイオードＥＤと並列される直流バイアス用抵抗Ｒは、交流的には容量Ｃ′で短絡されるようにし、その値をエサキダイオードの負性抵抗の絶対値より小さくえらぶ。定常状態では定電流バイアス源によって回路は安定状態にある。定常安定点はエサキダイオードの高電

位あるいは低電位正抵抗領域のいずれの側にもおけるが、たとえば正極性入力パルスに対しては低電位側をとる。図３．２(a)にこの負荷特性を示す。入力

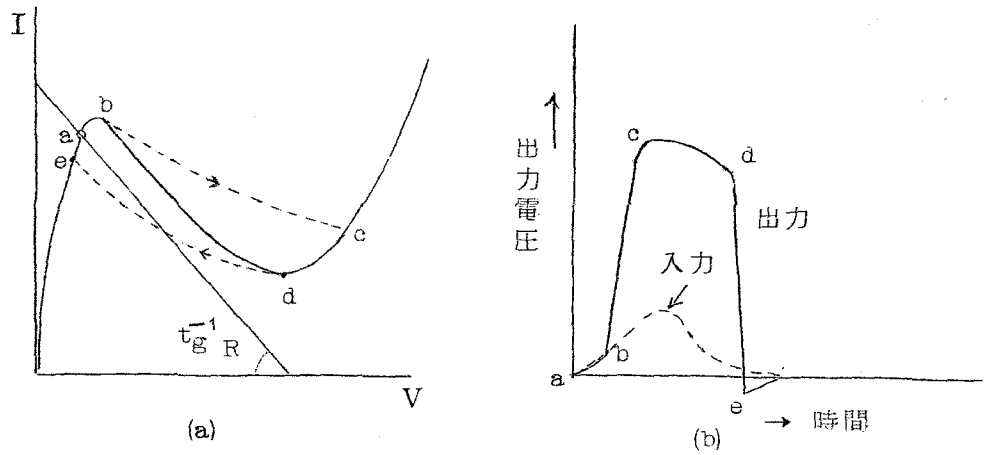


図３．２　エサキダイオード負荷特性と出力波形

パルスに対して、容量C′は短絡であるとしてよいときは、エサキダイオードとケーブル負荷に入力電流が分配され、エサキダイオード特性のｂ点を越える電流が与えられるとエサキダイオードは過渡負荷線にそってＣ点へスイッチされる。この再生作用がはじまれば、バイアスされたダイオードＤが遮断し信号は出力側にだけ伝播する。したがって、過渡的な負荷線は負荷となるケーブルの特性インピーダンスでほとんど決められることになる。その後は、負荷インダクタンスＬの電流の減少にともなってｄ点まで出力パルス幅を決める擬安定状態が継続したのち、ふたたびｅ点にエサキダイオードがスイッチし、つづいて負荷インダクタンスＬの電流が増加して出発点ａにもどる。このｅ→ａの転移時間が回復時間である。図３．２(b)にこれらの様子をエサキダイオードの出力電圧波形に対応させて示している。

このような動作機構によって、ダイオードＤが再生作用中完全に遮断していれば、入力回路に無関係に一定の形状のパルスが出力側に得られ、方向性のあ

る再生中継が期待できる。

3．2．2　伝送線路との結合の問題点

この再生増幅器は、伝送線路を負荷として動作するものであるから、パルス再生中はエサキダイオードが高電位にスイッチし、十分な出力電圧を出力側に与えるためには、エサキダイオード特性と伝送路のインピーダンスによる負荷特性は図3．2で示したように過渡的に二安定状態をとらねばならない。さらに、トリガ感度の点からは、エサキダイオードのピーク電流があまり大きいものは不利である。これらの条件により、エサキダイオードの特性を決定する重要なパラメータであるピーク電流 I_p と伝送路のインピーダンスとの関係の目安が得られる。

一般には、伝送路のインピーダンスがエサキダイオード負性抵抗 $|-R|$ の3倍程度になり、たとえば75Ωの伝送路では $I_p=10$ mA 程度のエサキダイオードを選択すればよい。

さらに、他の問題として、入力端での反射波による動作の影響、入力波形の変化による出力波形への影響など、一般のエサキダイオード単安定回路にくらべ種々の問題点がある。所要の機能を発揮させるためには、これらの条件をあきらかにし、動作限界と諸パラメータとの関係を決定する必要がある。

3．3　回路モデルと過渡応答

3．3．1　等価回路と回路方程式

前節で述べたように、パルス中継器が、入力側とはダイオードにより遮断され、負荷としては出力側の伝送路のみを考慮すればよい理想的な再生作用をおこなっているとすれば、このパルス中継器はインダクタンスLと制動抵抗 R_d の直列回路および伝送線路を並列負荷とするエサキダイオード単安定回路の状

態と同じである。したがって、再生状態の等価回路はエサキダイオードを適当

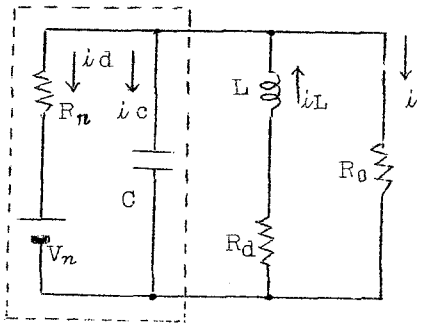


図３．３　過渡状態の等価回路

（ただし、Cはエサキダイオードと並列に入る接合容量などを代表する。R_0は線路のインピーダンス）

な折線近似で表現し、図３．３のように与えられる。

ただし、R_n および V_n は、それぞれ n 番目の領域の等価抵抗および等価電圧源である。

したがって、回路の方程式はつぎのようになる。

$$LC\frac{d^2 i_L}{dt^2}+\left\{\frac{R_n+R_0}{R_0 R_n}L+R_d C\right\}\frac{di_L}{dt}+\left\{\frac{R_n+R_0}{R_0 R_n}R_d+1\right\}i_L = -\frac{V_n}{R_n} \qquad (3\cdot1)$$

一般解は、

$$i_L(t) = K_{0n}+K_{1n}\,e^{-\alpha_{1n}t}+K_{2n}\,e^{-\alpha_{2n}t} \qquad (3\cdot2)$$

となる。ただし、

$$\alpha_{1n},\ \alpha_{2n} = \left(\frac{R_d}{2L}+\frac{R_n+R_0}{2R_0 R_n C}\right)$$

$$\pm\sqrt{\left(\frac{R_d}{2L}+\frac{R_n+R_0}{2R_0R_nC}\right)^2-\frac{1}{LC}\left(1+\frac{R_0+R_n}{R_0R_n}R_d\right)} \quad (3\cdot3)$$

ここでは、負荷回路の時定数がエサキダイオード固有の時定数より大きいこと仮定し、つぎの近似をとる。

$$\left(\frac{R_d}{2L}+\frac{R_n+R_0}{2R_0R_nC}\right)>\frac{1}{LC}\left(1+\frac{R_n+R_0}{R_0R_n}R_d\right) \quad (3\cdot4)$$

$$\frac{R_n+R_0}{R_0R_nC}\gg\frac{R_d}{L} \quad (3\cdot5)$$

（ここではR_dは$R_0\gg R_d$，$R_n\gg R_d$）

したがって、式（3・2）はつぎのように簡単化される。

（i_{Ln} は n 番目の領域に対応する i_L）

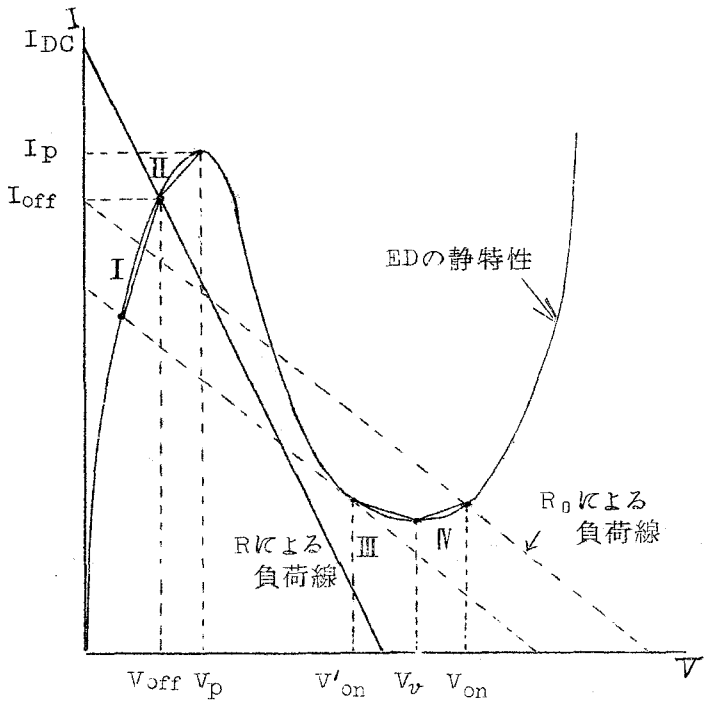
$$i_{Ln}(t)=I_{0n}+\{i_{Ln}(0)-I_{0n}\}\exp(-\alpha_{1n}t) \quad (3\cdot6)$$

ただし、α_{1n} および I_{0n} はそれぞれ次式で与えられる。

$$\alpha_{1n}=\frac{R_0R_n+(R_n+R_0)R_d}{L(R_n+R_0)} \quad (3\cdot7)$$

$$I_{0n}=-\frac{R_0V_n}{R_0R_n+(R_n+R_0)R_d} \quad (3\cdot8)$$

以下の解析では図3・4に示すように、低電位部分に領域Ⅰ、Ⅱ、高電位部分に領域ⅢおよびⅣをそれぞれとる。また各領域の接続のためには、i_L の連続を条件として用いる。入力パルスは正極性、したがって定常安定点は低電位部の領域Ⅰ、Ⅱの境界にあるとしている。



I：領域1（R_1, V_1）　　III：領域3（R_3, V_3）
II：領域2（R_2, V_2）　　IV：領域4（R_4, V_4）

図３．４　エサキダイオードの折線近似と負荷線

この回路がトリガされるためには、図３・１の構成においてダイオードDの導通時の抵抗を線形抵抗R_Dで近似すれば、入力パルス電圧源Eはつぎの条件をみたさねばならない。

$$E \geq \frac{\Delta I \{ R_0 R_n + (R_2+R_0)(R_0+R_D) \}}{R_0} \qquad (3\cdot9)$$

ただし、$\Delta I = I_p - I_{off}$

入力パルスの形状に関しては、その立上り、降下時間をともに無視しパルス幅は出力パルス幅より小さいとする。

すでに述べたような動作機構および仮定から、回路の擬安定時間τはつぎの

ように求められる。正常な動作では、過渡負荷線はほとんど負荷ケーブルの特性イ性インピーダンスに支配されるから、式（３・６）から、

$$i_{L4}(t) = I_{04} + \{i_{L4}(0) - I_{04}\} \exp(-\alpha_{14} t) \qquad (3 \cdot 10)$$

$$V_4(t) = \frac{R_0 - (R_4 + R_0) R_d}{R_4 + R_0} I_{04} - \frac{R_0}{R_4 + R_0} i_{L4}(t) \qquad (3 \cdot 11)$$

ここで、$i_{L4}(0)$は、電流連続の条件から、

$$i_{L4}(0) = \frac{I_{DC} R - V_1}{R + R_1 + R_d} \qquad (3 \cdot 12)$$

で与えられる。したがって領域Ⅳの通過時間t_4は、

$$t_4 = \frac{1}{\alpha_{14}} \ln \frac{i_{L4}(0) - I_{04}}{i_{14}(t_4) - I_{04}} \qquad (3 \cdot 13)$$

で与えられる。領域Ⅲの通過時間t_3もおなじように次式で与えられる。

$$t_3 = \frac{1}{\alpha_{13}} \ln \frac{i_{L3}(0) - I_{03}}{i_{13}(t_3) - I_{03}} \qquad (3 \cdot 14)$$

したがって擬安定時間は、

$$\tau = t_3 + t_4 \qquad (3 \cdot 15)$$

で与えられることになる。

領域Ⅰの通過時間としては、全変化の１０％～９０％の変化を要する時間をとって

$$t_1 = \frac{1}{\alpha_{11}} \ln 9 \simeq \frac{2.2}{\alpha_{11}} \qquad (3 \cdot 16)$$

を定義する。

3．3．2　実験と解析との対照

前節の出力パルス幅、回復時間を決定した解析と対照するため、図3．5の定数の回路で実験をおこなった。等価回路導入の場合とおなじく、再生動作中エサキダイオードは入力側とは完全に遮断され、負荷はインダクタンスと線路のインピーダンスのみとした。このため入力パルス幅は回路の出力波形に比べて小さく選び、入力側のダイオードはエサキダイオードが動作中ほとんど遮断するようにした。

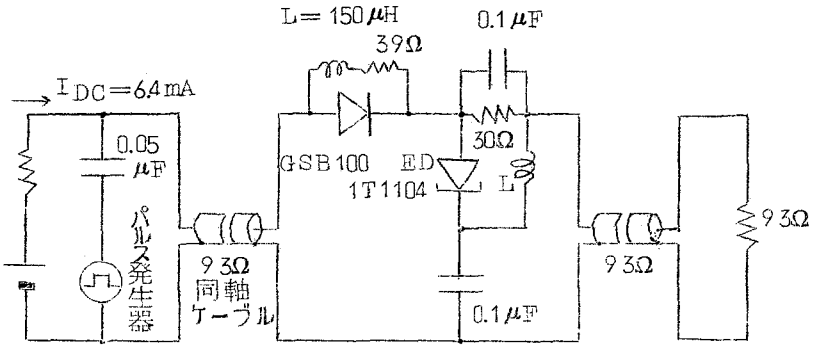


図3．5　測定回路

	ED 1	ED 2
I_p	5.4 mA	5.6 mA
I_v	1.3 mA	0.9 mA
V_p	60 mV	65 mV
V_v	275 mV	350 mV
V_f	500 mV	480 mV
C	12.6 pF	11.5 pF

表3．1　供試エサキダイオードの諸定数

	ED 1	ED 2
R_1	18 Ω	15 Ω
R_2	35 Ω	34 Ω
R_3	−180 Ω	−258 Ω
R_4	300 Ω	278 Ω
V_1	−45 mV	−20 mV
V_2	−130 mV	−150 mV
V_3	500 mV	580 mV
V_4	−100 mV	100 mV
I_{off}	5 mA	5 mA
V_{off}	45 mV	40 mV
I_{DC}	6.4 mA	6.3 mA

表３．２　計算にもちいた諸量

表３．１および３．２に使用したエサキダイオードおよび計算上の諸定数をそれぞれまとめて示す。出力パルス幅は、表３．２の値により式（３・１５）から求められる。また、回復時間は式（３・１６）より求めた。

負荷インダクタンスに対する出力パルス幅τと回復時間t_1との関係を図３．６，３．７にそれぞれ示す。いずれの場合も計算値と実験値によい一致がみられる。

以上の結果により、パルス再生増幅器の出力側のみが負荷となっている理想的な動作状態での負荷インダクタンスと過渡応答動作の限界、すなわち、出力パルス幅、最高繰返し周波数に関係する回復時間があきらかとなった。

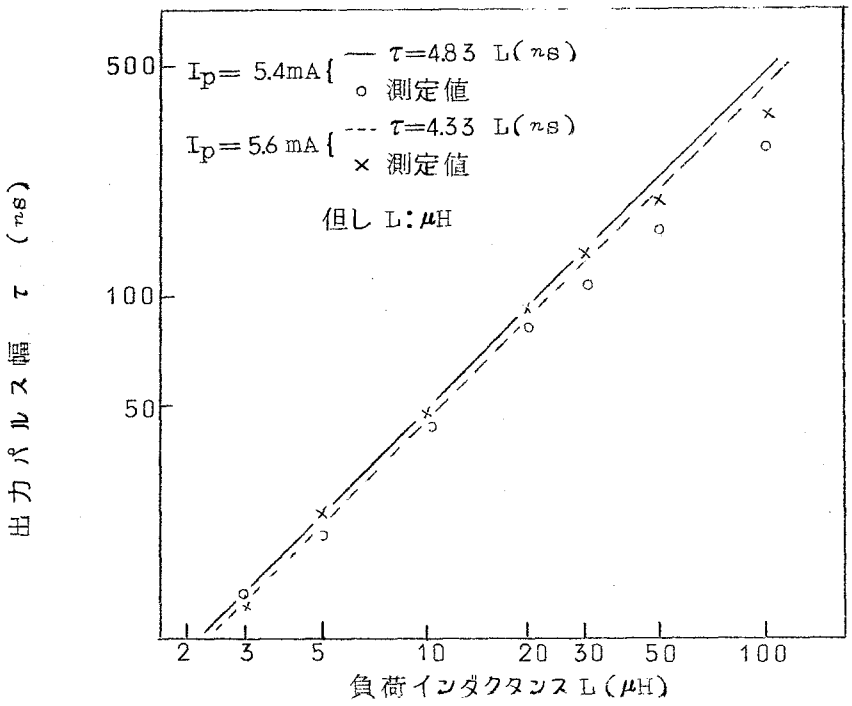


図 3. 6　出力パルス幅と負荷インダクタンスとの関係

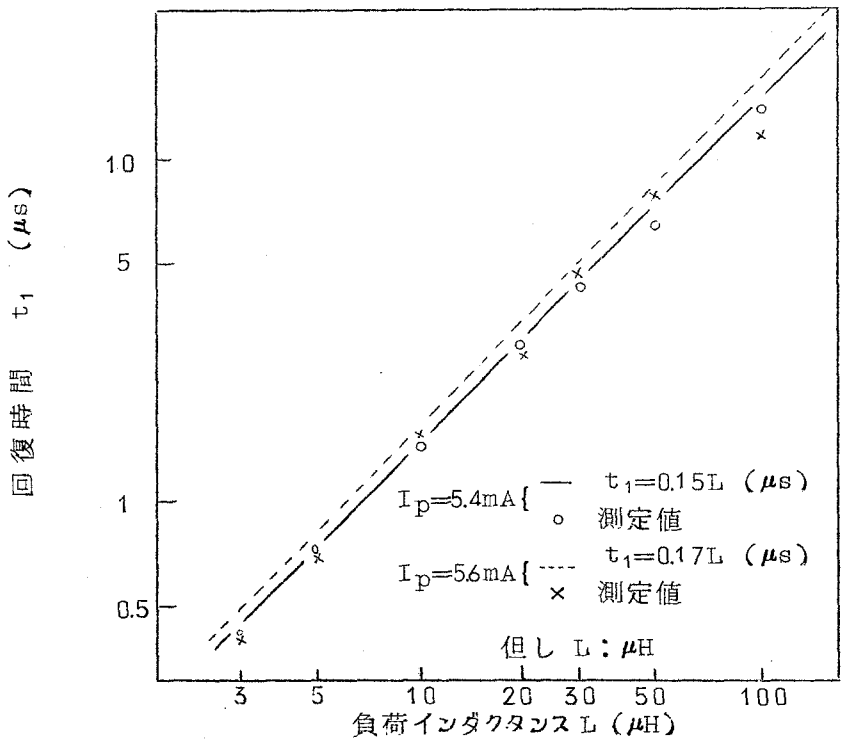


図 3 . 7　回復時間と負荷インダクタンスとの関係

3．4　素子に要求される諸条件と動作限界

3．4．1　設計に関する基本的考察

前節では、線路のインピーダンスに対して適当に選択されたエサキダイオードを用いてパルス再生増幅器を動作させた場合の過渡的動作限界、すなわち、入力側はダイオードで完全に遮断され、反射波などの雑音がない理想的な単安定動作状態でのインダクタンスに対する出力パルス幅、回復時間の関係があきらかにされた。

ここではこれに対して、3．2節でふれたようにパルス再生増幅動作を妨げる諸種の要因について、実験結果との対照によって考察を加え、素子に要求される条件とパルス再生増幅器としての動作限界をあきらかにする。

この中継器に要求される機能は出力パルス振幅と出力パルス幅の確定、反射波などに対する安定な動作である。

入力パルスに対する出力パルスの依存性を検討するため、入力パルス幅を変化させた場合の図3．5の測定回路における実験結果の一例を図3．8に示す。ダイオードの遮断が不完全で入力側を遮断できなければエサキダイオードの過渡的な負荷が変化する。とくに、出力パルス幅より入力パルス幅が大きい場合には、入力パルスの影響による出力パルスの立下り部分でのパルス幅の変動が大きい。

この形式のパルス再生増幅器は、出力側は負荷に直結されているから、入力より出力からのトリガ感度が高く、次段の入力端からの反射波によって誤動作する可能性がかなり大きいことが予想される。図3．5の測定回路により出力波形と反射を観測した結果を図3．9に示す。実験では入力パルスと反射波を明確に区別するため、立上りの短い、幅の狭いパルスを用いている。図3．9(a)、(b) はパルス再生増幅器の出力波形と入力端で観測した入力パルス波形

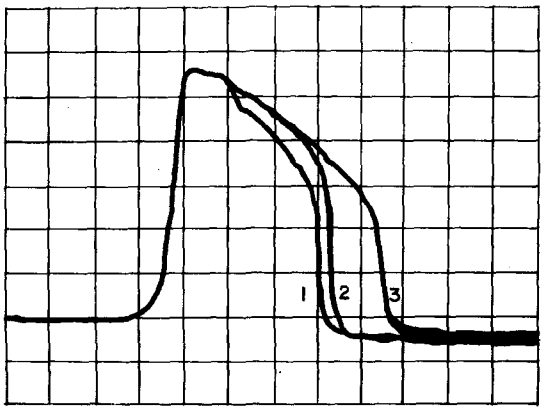


図３．８　ダイオードの遮断が不十分な場合

出力波形が入力パルス幅の変動により受ける影響
1；入力パルス幅　5，10　ns
2；　〃　20
3；　〃　30，50，100
（垂直軸；47mV／diV、水平軸；5ns／diV）

を示す。図３．９（C）はパルス発生器の出力端で観測した入力パルス信号とそれに対する反射波形を示す。反射が生ずるのは線路のインピーダンスとダイオードのバイアス点におけるインピーダンスとの不整合により生ずるものである。また図３．９（b）の入力波形が入力振幅のほぼ２倍となっているのは、入力パルスがエサキダイオードに加わると同時にエサキダイオードが高電位に転移するため、ダイオードの定常バイアス点が遮断域に移され逆バイアスの状態となり、入力パルスに対し線路がダイオードのところで開放端として動作するために生じる。

以上の検討より、この回路が再生整形作用をもち、前節で述べたインダクタンスにより主として決定される過渡動作限界までの機能をはたすためには、一般的なしきい値をこすトリガ条件（式（３．９））のほか、エサキダイオード

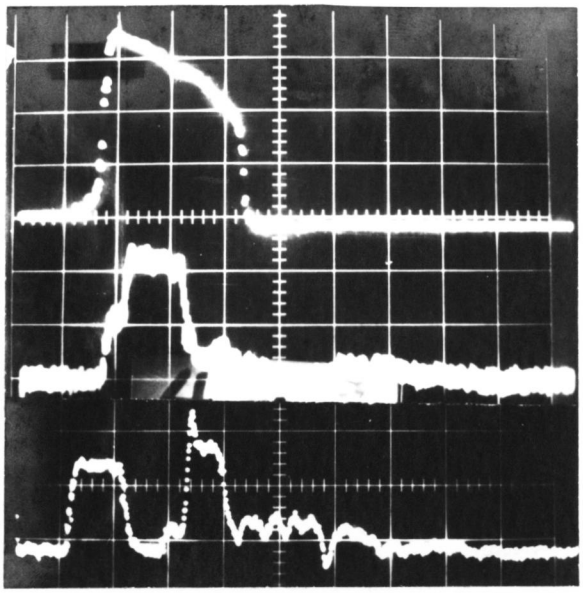


図３．９　出力波形と反射波形

(a)，(C) 垂直軸　93mV／diV.
(b)　　垂直軸 100mV／diV.
いずれも水平軸　10ns／diV.

が高電位状態の期間中ダイオードが遮断していなければならない。さらに、このために同極性の反射波が生じ前段へもどるが、この回路は構成上出力端からの信号に対してトリガ感度が正常動作のものより高いため、反射波で逆方向からトリガがされない条件が必要である。

以下では、これらの要求を満足するために素子および回路に必要な諸条件の検討をおこなう。

３．４．２　中継器としての動作限界

前節で示した回路に必要な条件を諸パラメータとの関連においてあきらかにする。ここでは簡単のためにつぎのような仮定を設ける。

仮定

① エサキダイオード端子間出力波形は振幅Eの矩形波とする。

② 信号はその振幅のみが中継間隔あたりa倍に減衰する。

③ ダイオードおよびエサキダイオードの特性は折線近似する。

④ ダイオードおよびエサキダイオードの容量は無視する。

回路は一般化のために基本回路の入力側に並列に終端抵抗 R_T 、出力側に直列に負荷抵抗 R_L を加えてある。

(i) トリガ条件　トリガ時の等価回路を図３．１０に示す。

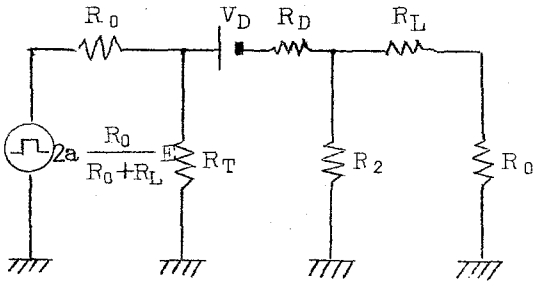


図３．１０　トリガ時の等価回路

$$\Delta I = \frac{R_L+R_0}{R_2+R_L+R_0} \times \left\{ \frac{\dfrac{R_T}{R_T+R_0}\,2a\,\dfrac{R_0}{R_0+R_L}\,E-V_D}{R_D+R_T/\!/R_0+R_2/\!/(R_0+R_L)} \right\}$$

ここで以下のように定義する。

$$\frac{R_2}{R_L+R_0}=\alpha \quad , \quad \frac{R_T-R_0}{R_T+R_0}=\beta$$

α ：出力損失係数（電圧）

β ：反射係数（電圧）

トリガのためには $I_p - I_{off} < \Delta I$ の条件から、

$$\frac{R_0(I_p-I_{off})\left(1+\alpha\frac{R_2}{R_0}\right)\left\{\frac{R_D}{R_0}+\frac{1}{2}(1+\beta)+\frac{\frac{R_2}{R_0}}{1+\alpha\frac{R_2}{R_0}}\right\}+V_D}{a\alpha(1+\beta)} < E \quad (3\cdot17)$$

が得られる。

(ii) 反射波でトリガされない条件　ここでは、入力によりダイオードが遮断したときの反射波を考える。まず、図3．11(a)の送端 P_1 から $R_0E/(R_L+R_0)$ の電圧が次段の入力端 P_2 へa倍になって伝送され終端抵抗 R_T

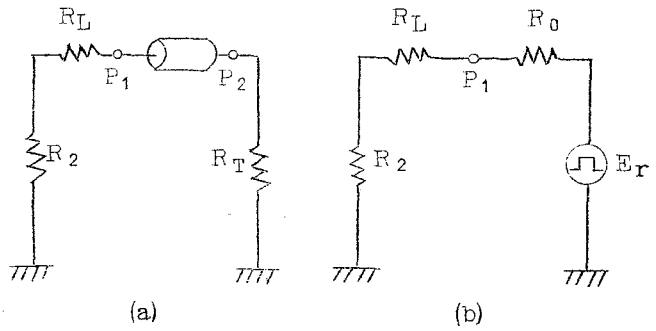


図3．11　反射時の等価回路

で反射される。その反射波を送端 P_1 で図3．11(b) のように内部抵抗 R_0、波高 E_r の電圧源とみなす。電圧源 E_r は

$$E_r = a\left[\frac{R_0}{R_L+R_0}E\ \frac{2R_T}{R_0+R_T}-\frac{2aR_0}{R_L+R_0}E\right]$$

$$= 2a^2\alpha\beta E$$

このとき、

$$\Delta I = \frac{1}{R_0} \cdot \frac{2\alpha^2 \beta a^2 E}{1+\alpha\frac{R_2}{R_0}}$$

反射波で動作しないためには、$\Delta I < I_p - I_{off}$ が条件となるから、したがって、

$$E < \frac{R_0(I_p - I_{off})}{2\beta(a\alpha)^2}\left(1+\alpha\frac{R_2}{R_0}\right) \qquad (3\cdot18)$$

(iii) ダイオードDが遮断する条件　再生動作中ずっと、入力ダイオードDが遮断しているためには、エサキダイオードの高電位部分の電圧の最小値 V_{on}' が終端抵抗 R_T 両端の電圧 V_T よりも大きくならなければならない。V_T は次式で与えられる。

$$V_T = \frac{aR_0}{R_0+R_L} E \cdot \frac{2R_T}{R_0+R_T}$$

$$= a\alpha(1+\beta)\cdot E$$

したがって、

$$E < \frac{V_{on}'}{a\alpha(1+\beta)} \qquad (3\cdot19)$$

(IV) 動作限界　実験に用いた回路は、$R_L = 0$, $R_T = \infty$　したがって、$\alpha = \beta = 1$ であり、条件式は次式のように簡単になる。

$$\frac{1}{2a}\left[R_0(I_p - I_{off})\left(1+\frac{R_2}{R_0}\right)\left(1+\frac{R_D}{R_0}+\frac{R_2}{R_0+R_2}\right)+V_D\right] \leq E \qquad (3\cdot20)$$

$$E < \frac{R_0(I_p - I_{off})}{2a^2}\left(1+\frac{R_2}{R_0}\right) \qquad (3\cdot21)$$

$$E < \frac{V_{on}'}{2a} \qquad (3\cdot22)$$

たとえば図３．５の回路の動作限界を図３．１２に示す。図３．１２におい

I_p (mA)	5.6
I_{DC} (mA)	7.5
I_{off} (mA)	5.55
R_2 (Ω)	250
R_D (Ω) B.D	20
R_D (Ω) D	100
V_D (mV)	0
V_{on}' (mV)	150
R_0 (Ω)	93

表 3.3　計算に用いた諸量

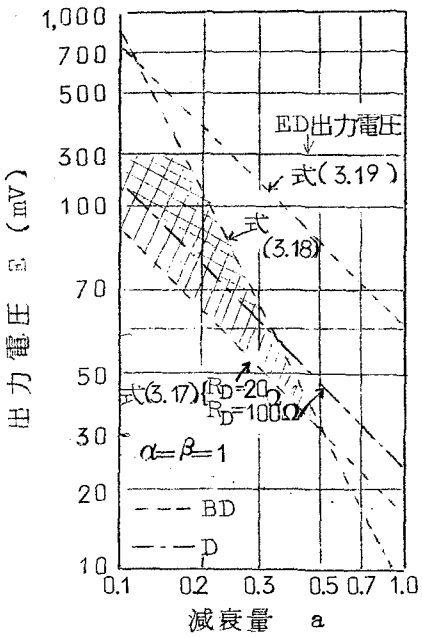


図３．１２ 動作限界とR_Dとの関係

ては、バックワードダイオード（ＢＤ）の場合の動作領域よりも、伝導抵抗（R_D）の高いダイオードの場合の動作領域が小さくなっている。

図３．１３は、入力端に終端抵抗、出力端に等価抵抗 R_L を挿入した場合の動作領域を示す。いずれの場合も動作領域が拡大することがわかる。

以上の動作限界と式（３・２０）、（３・２１）からもあきらかなように、動作領域はトリガ電流 $I_p - I_{off}$ によって大きく変化し、このトリガ電流を小

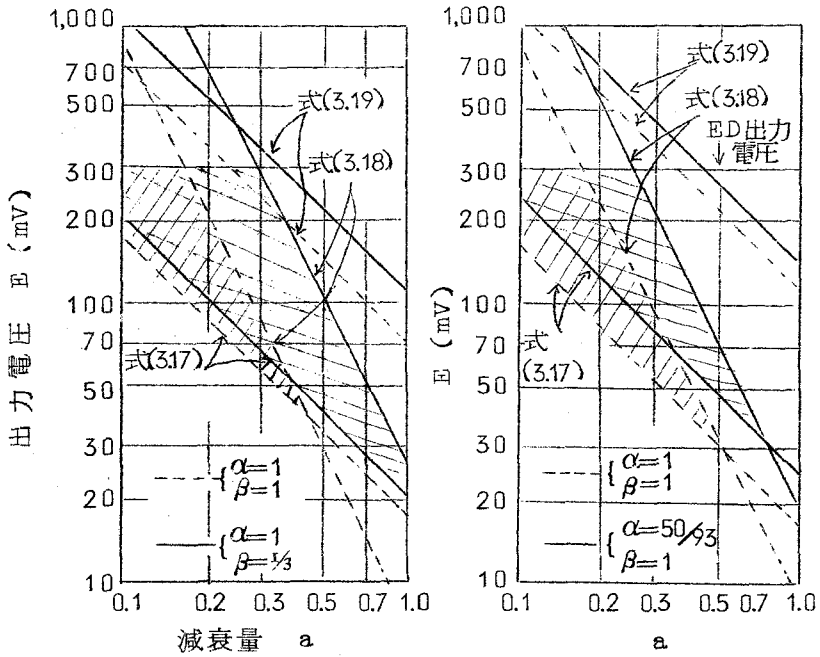


図３．１３　動作限界とR_T,R_Lとの関係

さくするほど増大する。すなわち、素子および回路パラメータと主としてトリガが電流で決まる動作条件を確定すれば、パルス再生増幅可能な領域を求められる。

トリガ電流をパラメータとして動作領域を求めた例を図３．１４に示す。トリガ電流I_p-I_{off} ＝0.8 mA では動作領域が存在しないが、0.1 mA ではかなりの動作領域をもっている。トリガ電流の下限は、雑音に対する余裕度で決定され、この場合0.1 mA 以下になると動作が非常に不安定になる。したがって、トリガ電流をあまり小さくしないで動作領域を存在させるためには、素子パラメータ選択の条件としてエサキダイオードおよびダイオードの特性について、エサキダイオードの谷点電圧はできるだけ大きいものが好ましいこと、したがって金属間化合物エサキダイオードを用いることが望ましい。

また、ゲルマニウム・エサキダイオード（GeED）のように、谷点電圧が低

いものでは適当な終端あるいは等価抵抗を挿入する方法も有効であると予想される。

以上の条件により、設計をおこなった回路の出力波形を図３・１５に示す。

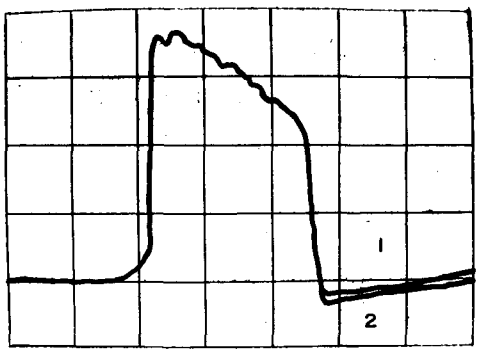
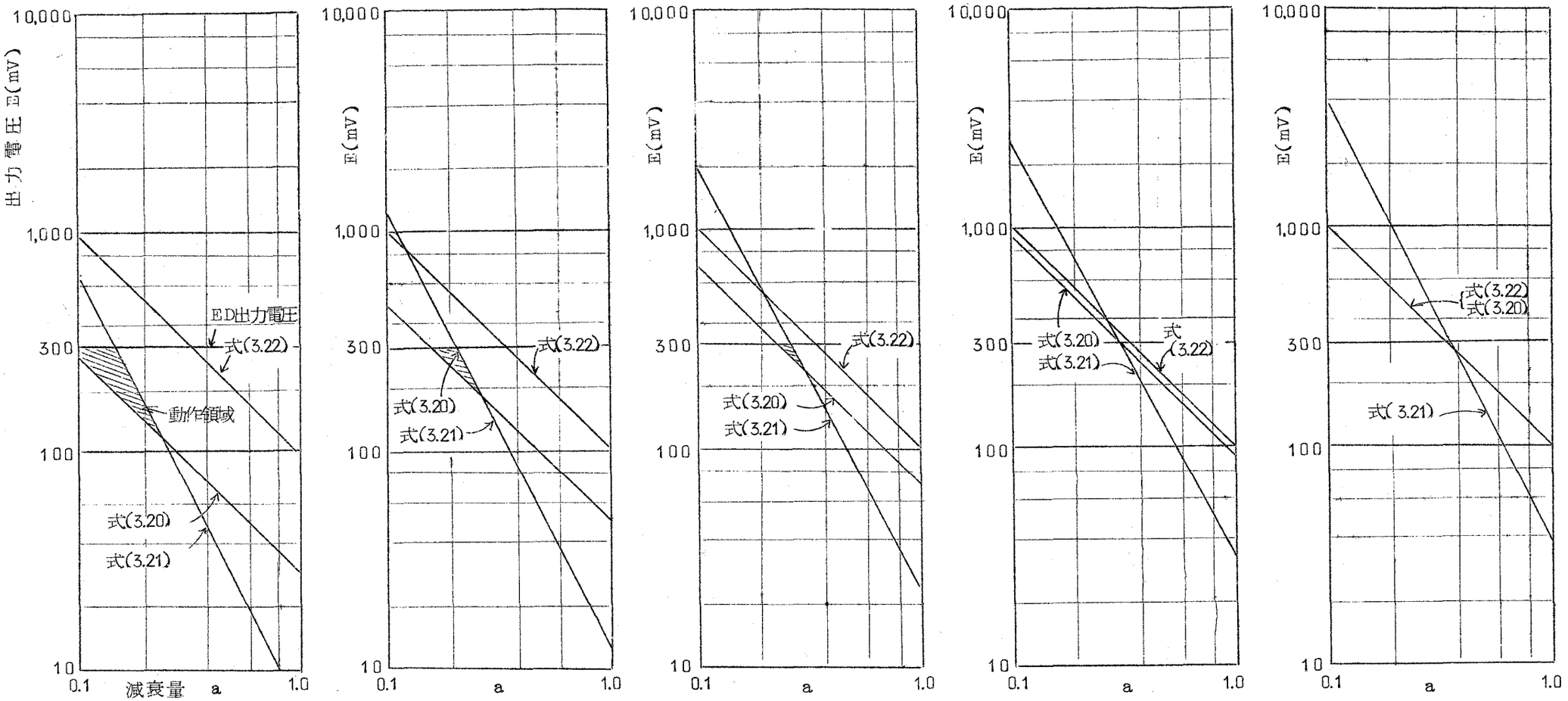


図３．１５ 動作条件が満足された場合の出力波形

（１；入力パルス幅　5nS
２；入力パルス幅　100nS
I_{DC} ＝7.9mA，入力電圧 60mV
L＝３μH
垂直軸；100mV/diV.水平軸 5nS/diV.）

図３．５の測定回路で、ダイオードはバックワードダイオードを使用している。入力パルス幅が５～１００nS と大きく変化しても出力波形に変化はみられない。

素子の選択による動作領域の改善例として、ガリウム砒素（$GaAs$）エサキダイオードを用いたときのものを図３．１６に示す。いままで論じてきたゲルマニウムエサキダイオードに比べて、ガリウム砒素エサキダイオードは図３．１４（d）と比較すればあきらかなように、この場合は十分動作領域が存在するため、さらに安定なパルス再生整形動作が可能である。



$\Delta I = 0.1$ mA	$\Delta I = 0.2$ mA	$\Delta I = 0.4$ mA	$\Delta I = 0.6$ mA	$\Delta I = 0.8$ mA
$I_{DC} = 18$ mA	$I_{DC} = 17.6$ mA	$I_{DC} = 17$ mA	$I_{DC} = 16.4$ mA	$I_{DC} = 16$ mA
$R_2 = 50\Omega$	$R_2 = 50\Omega$	$R_2 = 35\Omega$	$R_2 = 30\Omega$	$R_2 = 23\Omega$
$R_D = 222\Omega$	$R_D = 200\Omega$	$R_D = 141\Omega$	$R_D = 125\Omega$	$R_D = 34.5\Omega$
$V_D = 0$	$V_D = 0$	$V_D = 0$	$V_D = 0$	$V_D = 70$ mV

いずれも　エサキダイオード出力電圧　E＝300mV　Ro＝75Ω

図３．１４　トリガ電流と動作限界

エサキダイオード　1N3118

I_p (mA)	10.0
I_v (mA)	0.66
V_p (mV)	160
V_v (mV)	600
V_f (mV)	1,160
C (pF)	15

ΔI (mA)	0.6
I_{DC} (mA)	25
R_2 (Ω)	16
R_D (Ω)	125
V_{on}' (mV)	425
V_{off} (mV)	150
R_0 (Ω)	75
V_D (mV)	0

表3.4　エサキダイオードの特性と計算に用いた諸量

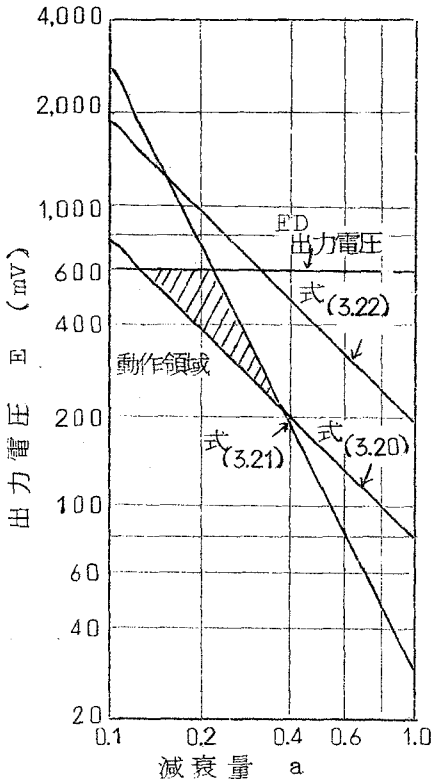


図3.16　ガリウム砒素(G_aA_s)エサキダイオードを用いた場合の動作限界

3．5　結　　言

第2章にあげているインダクタンス負荷エサキダイオード単安定回路は、しきい値識別作用と振幅整形作用をもっている。さらに、エサキダイオードの転移状態の継続時間がインダクタンスにより決定されるため、パルス幅整形作用ももつことはよく知られている。

本章では、このエサキダイオード単安定回路が、パルス再生増幅をおこない、中継器としての機能をはたすための条件と設計法をあきらかにした。

最初に、動作機構の考察により、この単安定回路が良好なしきい値識別機能をもち、出力波形を確定するために、過渡的負荷線はエサキダイオード静特性に対し二安定点をとらなければならず、線路のインピーダンスによりエサキダ

イオードのピーク電流値が決定されることを論じた。さらに、過渡的二安定状態の等価回路の導入により、出力パルス幅および回復時間と諸パラメータとの関係をあきらかにし、回路設計をおこなった。

さらに、伝送路によりパルス中継をおこなうには、線路によるパルスの減衰、反射などの問題が生じるが、ここでは、伝送路による影響を考慮した等価回路により、この問題を取扱い動作限界を定めた。

以上の結果、エサキダイオード単安定回路によるパルス中継器は、一定の中継区間、小しきい値レベルなどの設計条件内では所要のパルス再生機能をもち、実験によっても、これを確かめることができた。

第4章　ヒステリシスをもつエサキダイオード・トランジスタ論理回路による記憶素子[52],[53]

4．1　緒　　言

すでに指摘したように、論理素子の構成の重要な要件としては、第一に相互接続の自由および論理の方向性が重視される。エサキダイオード単体では、2端子素子の制約がらその高速動作の利点にもかかわらず、広範囲の応用をおるにいたらなかった理由はまさにこの点にあると考えられる。近年、高速スイッチートランジスタの進歩にともない、エサキダイオードの高速性をそこなうことなく、回路設計および論理機能上すぐれた特性を示すエサキダイオード・トランジスタ複合回路が高速論理素子として注目されるにいたった。複合の形式は各種のものが提案され、単にバッファ増幅器としてトランジスタを用いるものがベル研究所で実用化されているが、[20] 本章では単なるバッファ増幅器としてトランジスタを組合せるものではなく、回路構成上および論理機能上エサキダイオードとトランジスタの結合が非常に有効に利用され得る回路形式として、トランジスタのコレクタ接合にエサキダイオードを並列した複合回路を取扱っている。[38]

この形式の回路は、すでに単なるＮＡＮＤあるいはＮＯＲ回路としての用途がみとめられていたが、著者の属する研究室においてその入出力特性にみられるヒステリシスループを積極的に利用することによって、極めて興味ある論理機能が実現でき、ことに、いわゆるSpeed Independent 論理の有力な構成素子となることが確認されていた。[39] しかし、その過渡応答を中心とする回路的設計についてはいまだ十分な検討がおこなわれていなかった。

本章では、エサキダイオードの性能指数とトランジスタのそれとを分離して取扱える等価回路を導出することにより、素子パラメータの選択基準を導き、

アナログシミュレーションによってこの妥当性を確認し、過渡応答を中心とする回路設計法をあきらかにしている。

４．２では、基本回路の構成と入出力特性のヒステリシスに着目した論理機能について述べる。

４．３では、一般的なエサキダイオードとトランジスタのモデルより、エサキダイオードの過渡応答特性とトランジスタのそれとを分離できる等価回路の導出について述べる。

４．４では、この等価回路とアナログシミュレーションより最適の素子パラメータの選択基準をあきらかにしている。

４．５では、基本回路を記憶素子として用いた場合についての諸パラメータの選択基準と設計法を示す。

４．２　動作機構

図４．１に基本回路を示す。

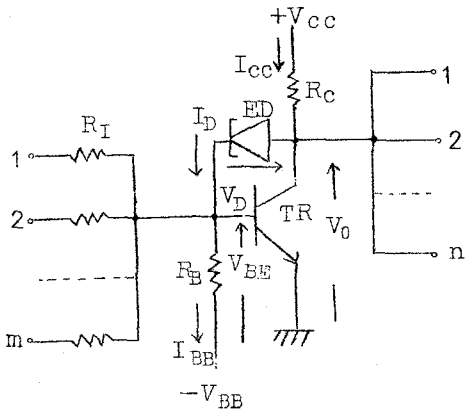


図４．１　基本回路

後述するように、R_I , R_B および R_C はエサキダイオード・トランジスタ回路の入出力インピーダンスにくらべて、充分大きく選ぶことができるから、エサキダイオード電流 I_D は、

$$I_D = (1-\alpha) I_{CC} - \alpha (I_I - I_{BB}) \qquad (4.1)$$

となる。ここで I_I , I_{CC} , I_{BB} , α はそれぞれ全入力電流、コレクタおよびベースバイアス電流、およびトランジスタのベース接地電流増幅率である。

エサキダイオードの山点および谷点電流をそれぞれ I_P , I_V とする。

$I_D = I_P$ および $I_D = I_V$ となる入力電流 I_I をそれぞれ I_{I1} , I_{I2} とすれば次式が得られる。

$$I_{I1} = I_{BB} - \frac{1}{\alpha}\{I_P - (1-\alpha) I_{CC}\} \qquad (4.2)$$

$$I_{I2} = I_{BB} - \frac{1}{\alpha}\{I_V - (1-\alpha) I_{CC}\} \qquad (4.3)$$

したがって、この基本回路の入出力特性は図４．２のようにヒステリシスを示す。

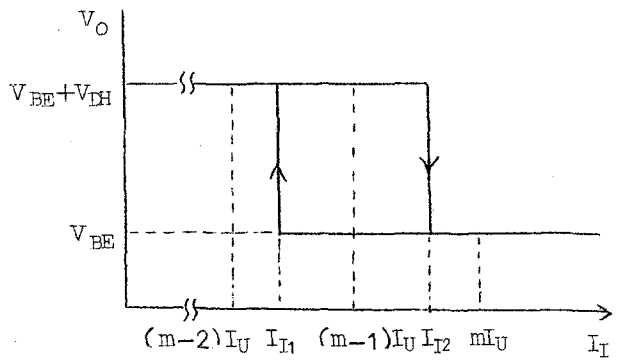


図 4.2　入出力特性

出力電圧はトランジスタのほぼ一定と考えられるベースエミッタ電圧V_{BE}にエサキダイオードの高・低両電位（簡単のためそれぞれV_{DH}，0 とする）がそれぞれ加算された2値電圧となる。ここでヒステリシス幅$I_{I2}-I_{I1}$は(I_P-I_v)にほぼ等しく、I_{BB}によってヒステリシス位置を変化できることが注目される。

この基本回路は、結合抵抗R_Iを介してスタティックに継続接続でき、さらにエサキダイオードを通じての多量の電圧帰還がかかっているため、入出力抵抗は非常に低く、エミッタ抵抗r_e（数Ω以下）に近いことが特長である。たとえば、一般的な動作状態において、トランジスタのエミッタに10mA程度の電流を流すことは容易であるから、エミッタ抵抗r_eは数Ω以下にできる。R_Iは、たとえば$I_p=2$mAのエサキダイオードでは、後述するように200Ω程度となって、エミッタ抵抗r_eより十分大きいので、入力相互間および入出力間の分離がきわめて良好である。また、同軸ケーブル、ストリップラインなどから入力を得るときも、入力抵抗が十分小さいためほぼそれらの特性インピーダンスで終端でき、不整合による反射の問題も実際上無視できる。

実際の回路では、能動および受動素子特性の標準値からの偏差が、動作余裕度を減少させる。しかし、以下に述べる2～3入力論理回路ブロックとしての応用では、最悪値設計によっても各パラメータ変動の範囲が確定でき、通常程度のトランジスタおよびエサキダイオードの特性値、回路抵抗および電源電圧の偏差を許容できることが知られている。(39)

過渡応答特性に関しては、この回路は非線形特性をもつエサキダイオードによりトランジスタに多量の帰還がかかっているため、両者の特性がたがいに影響しあう。従来、おのおのの素子特性の組合せによる過渡応答の一般的傾向があきらかにされていたのみであった。したがって、回路設計にあたって、各素子の選択基準をあきらかにするためには、多くの素子パラメータの組合せにつ

いて検討する必要があった。素子パラメータが回路の過渡応答におよぼす影響を単独に評価できれば、過渡応答を中心とする回路設計がきわめて容易になるであろう。

前述したように、基本回路の入出力インピーダンスは、入力抵抗、負荷抵抗などに比して非常に小さく選ぶことができる。このため、ベースエミッタ間電圧 V_{BE} は一定と考えられ、エサキダイオードをふくむループとトランジスタのエミッタ接合と入力抵抗をふくむ入力側のループに分離できることに着目し、おのおのに性能指数がふくまれるモデルを導出することにより、諸パラメータ間の関係を定め、過渡応答を中心とする回路的設計をおこなうことが可能となる。次節でこの点をあきらかにする。

つぎに記憶素子としての動作機構をのべる。いま、基本回路において正信号論理をとれば、入力電流は〝0〟,〝1〟にそれぞれ対応して0，$I_U = V_{DH}/R_I$ となる。したがって入力数mの基本回路（図4．1）でK（$\leq m$）個の入力が〝1〟のとき、全入力電流 I_I は $K \cdot I_U$ に等しい。このとき図4．2より、

$$\text{(i)} \quad K \leq \left[\frac{I_{I1}}{I_U}\right]$$

$$\text{(ii)} \quad K > \left[\frac{I_{I2}}{I_U}\right] \qquad (4.4)$$

$$\text{(iii)} \quad \left[\frac{I_{I1}}{I_U}\right] < K < \left[\frac{I_{I2}}{I_U}\right] \text{ のとき出力〝0〟または〝1〟}$$

〔 〕：ガウス記号

となり、(iii)の状態では以前の出力を保持する形式の記憶素子が得られる。したがって、この素子はm入力のうち ℓ 個が〝1〟をとれば、双安定状態にあることで特徴づけられ、m入力 C_ℓ 素子と呼ばれている。

2入力 C_1 素子の入出力特性は図4．3のように2入力とともに〝0〟(K=0)

あるいは〝1〟（K＝2）の場合には出力がそれぞれ〝1〟,〝0〟となり、入力に一致がとれなければ（K＝1）、出力は前の状態を保持する記憶素子としての動作をする。

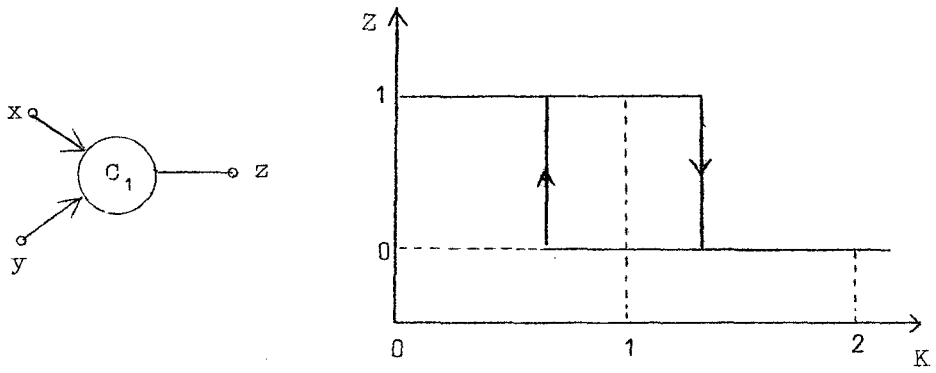


図４．３　２入力C_1素子

この記憶素子は簡単な構成ながら、特異なフリップフロップ論理機能を有し、ことにSpeed－Independent形式の非同期論理に要求される待合せ・記憶素子として有用であり、従来の組合せ論理素子あるいは通常のフリップフロップを用いて構成したものにくらべ、非常に簡単な回路構成となっている。その応用として、ＰＣＭ同期化装置のエラスティック・メモリの実現例はすでに報告がある。(50) また、超高速２進計数回路、リング計数回路、パルス分周回路なども簡単に実現できるなど(51)、多くの応用がたしかめられている。

４．３　回路モデルの導出とシミュレーション

前述したように、基本回路はすでに単なるＮＡＮＤあるいはＮＯＲ素子として、また、入出力のヒステリシス特性を積極的に利用した特異な論理機能をもつ記憶素子としての応用がなされてはいたが、過渡応答を中心とする回路的設

計については十分な検討はおこなわれていなかった。

この回路は、トランジスタ、エサキダイオード双方の特性が相互に影響しあうため、諸パラメータ間の関係を定めることが困難であった。以下はトランジスタとエサキダイオードの性能指数をたがいに分離して表わし、各パラメータの相対的な効果をあきらかにできる新しい等価回路の導出について述べる。

基本回路の等価回路は、簡単のためにベース拡がり抵抗 $r_{bb'}$ を無視して図４．４(a)のように与えられる。

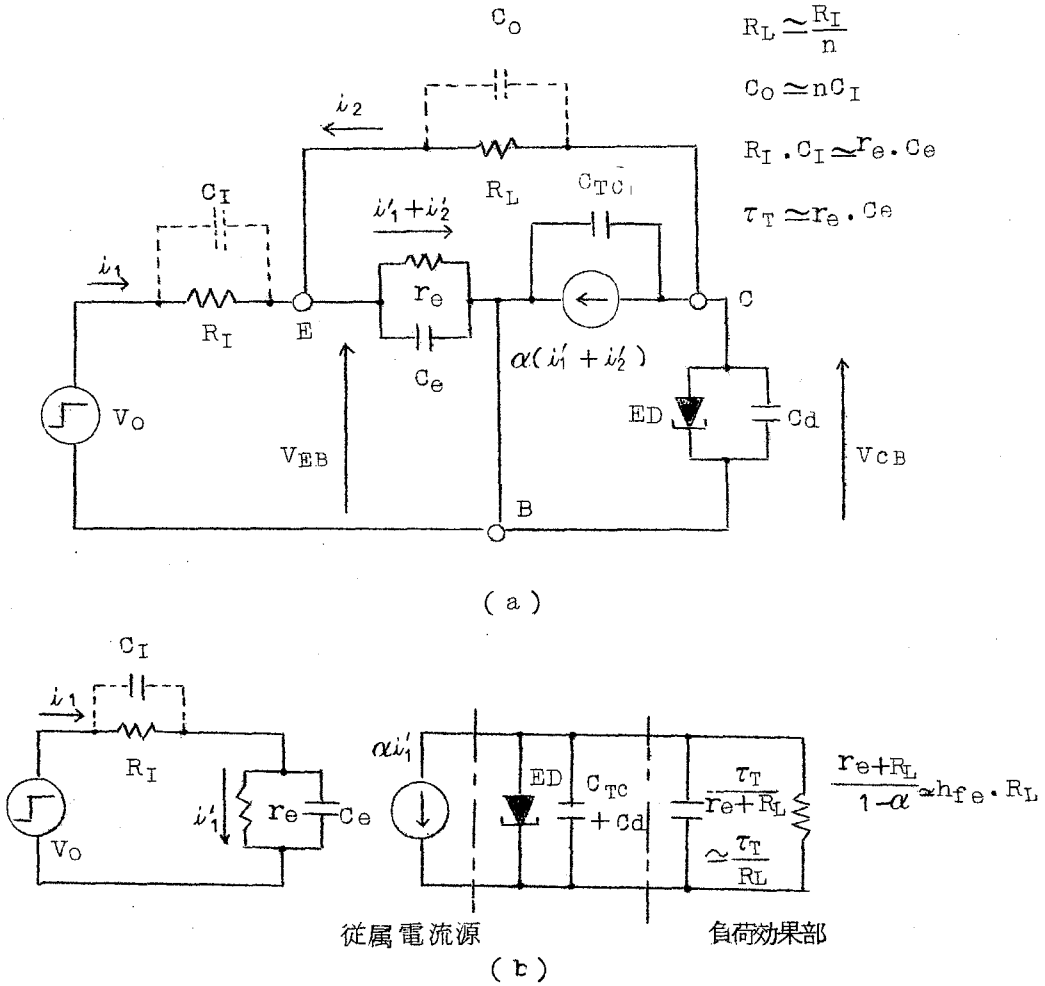


図 ４．４　等 価 回 路

ただし、C_I は必要に応じて附加される加速容量で、過渡的な影響の点から、ほぼ$C_I \cdot R_I \cong r_e \cdot C_e$ に選択されているとする。負荷抵抗R_L に並列に入るC_O は、n個の同様な基本回路を負荷とする場合の加速容量の寄与を示し、C_I を前述のように選択するものとしている。

前項に述べたように、R_I , $R_L \gg r_e$ の条件は容易に満たされるから、入力電流i_1 はほとんどR_L に分流せず、エミッタ電流になり、かつR_L を流れる電流i_2 はほとんどR_I に分流せず、おなじくエミッタ電流になるとする近似をとることができ、同図(b)のように、トランジスタのみに関係する入力回路と、従属電流源によって駆動される簡単なエサキダイオードスイッチ回路とに分離される。ここで帰還電流i_2 によるr_e を流れる電流i_2' の寄与分は、さきのR_I , $R_L \gg r_e$の条件および、$V_{EB} \ll V_{CB}$の近似をとったうえで、負荷効果部に等価的に変換されている。

この等価回路はかなり大胆な近似にもとずいてはいるが、回路の動作機構を直観的に理解するのに役立つ。たとえば、エサキダイオードの性能指数($1/|-R_d \cdot C_d|$) が、トランジスタを附加して負荷能力を増大させることによって$1/\{|-R_d \cdot C_d|(1 + {}^{C_{TC}}/_{C_d} + {}^{\tau_T}/_{C_d R_L})$に低下すること、およびこのような性能指数をもったエサキダイオードが、トランジスタの過渡応答で定まる電流源によって駆動されること、トランジスタの増幅作用により直流負荷がh_{fe}倍され、エサキダイオードの直流負荷線はほとんど電圧軸に平行になり、ここで考えているfan-out数では電流源で駆動されているものとしてよいことなどが明瞭に示されている。C_I を附加しない場合にもこの等価表示はそのまま有効であるが、スイッチ時間に関してやや大きい値を与えることになる。

実際の素子および回路パラメータの影響の評価は、アナログシミュレーショ

ンによっておこなった。回路モデルは図４．４の等価回路にベース拡がり抵抗 $r_{bb'}$ をふくめたものを用いた。エサキダイオード静特性およびトランジスタエミッタダイオード静特性 r_e の非線型性は、素子を用いることにより、そのまま表現できるようにしている。拡散容量 C_e が I_e に比例するとし、$2\pi f_T \simeq 1/r_e \cdot C_e$ の関係でトランジスタの利得・帯域幅積 f_T を表す。回路および素子パラメータの一部を表４．１に示す。

エサキダイオード		回　路　定　数	
I_p	2.0 mA	R_C	1.6 KΩ
I_v	0.25 mA	R_B	5.1 KΩ
V_p	65 mV	$r_{bb'}$	20 Ω
V_v	350 mV	h_{fe}	60
V_f	510 mV		

表４．１　シミュレーションの諸定数

入力としては基本回路の出力電圧を考慮し、振幅４５０ｍＶ のステップ波形を用いた。過渡応答のめやすとしては、０～９０％変化で定義した立上りおよび降下時間をとることにし、その値は出力波形より算出した。

図４．５に出力波形の一例を示す。

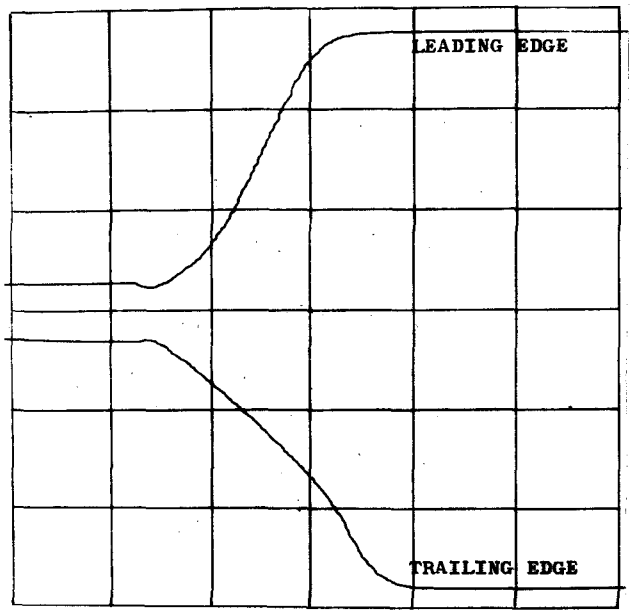


図４．５　出力波形
（垂直軸：200mV/div.、水平軸：1ns/div.）

４．４　諸パラメータ選択基準の決定

４．４．１　エサキダイオードピーク電流 I_p の選択

図４．１に示す基本回路のスイッチ動作の検討にさきだって、エサキダイオードのピーク電流 I_p について考察する。

基本回路のスイッチ動作の高速化には、直観的に高い性能指数（$1/|-R_d \cdot C_d|$）のエサキダイオードと f_T の高いトランジスタを用いればよいと考えられるが、一般にエサキダイオードの性能指数が大きいものは I_p も大きいため、トランジスタに流れる電流も大きくなり、動作状態での f_T の低下をまぬかれない。また、I_p が大きくなれば、段間結合抵抗 R_I を小さくし駆動電流を増

加させねばならないが、このためトランジスタのエミッタ・ベース抵抗の非線形性が回路の直流特性を支配し、所期の論理機能を得るのが困難になる。

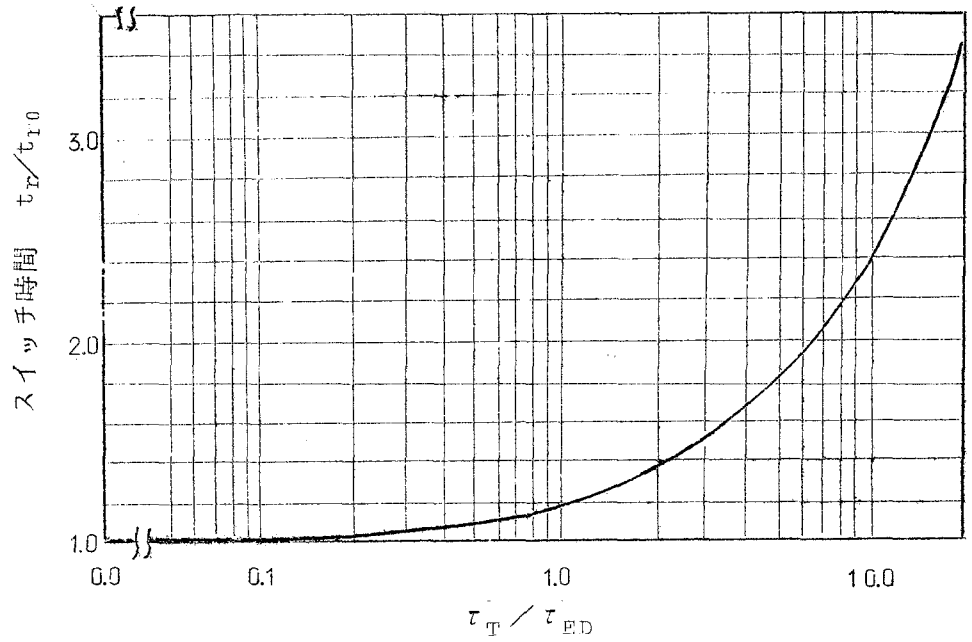
したがって、現在市販のエサキダイオードおよびトランジスタについていえば、$I_p = 2 \sim 4$ mAが適当である。このような素子特性に支配される選択基準は単に技術的なものであるが、後述するスイッチ動作の検討からも、このような範囲が適当であることがうらづけられている。

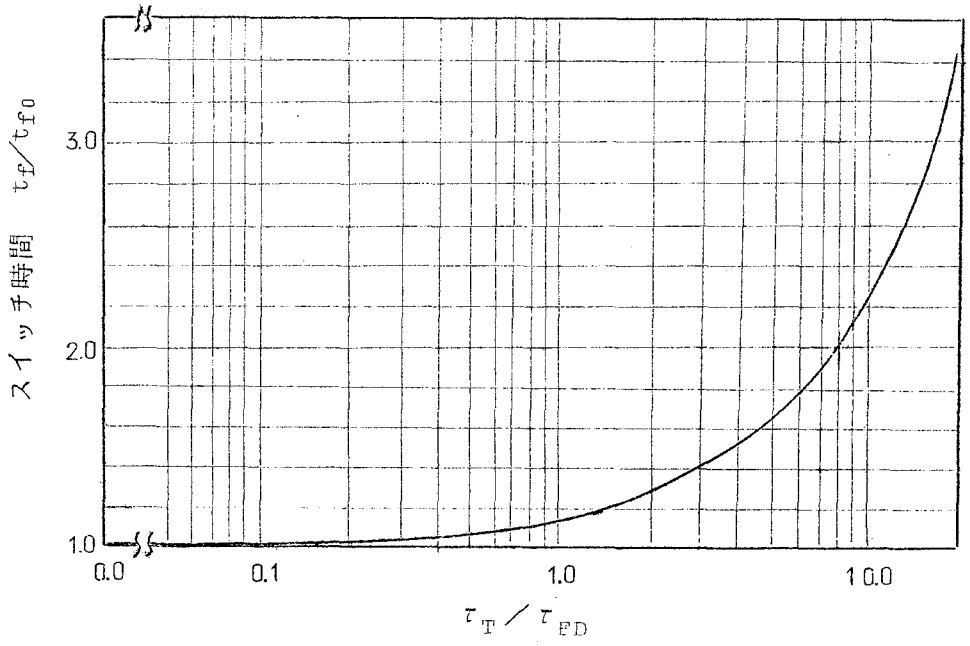
I_p を決定すれば、R_I の最大値は静的動作点により定められ（$2V_{DH}/(I_p - I_V)$ 程度）、最小値は素子の偏差と入力数から、直流最悪値設計によって決定できる。このため、R_I の下限値は100～200Ω程度に制限されてしまう。

以上のようにR_I の値が決定されれば、負荷の値は許容fan－out数を与えることにより自動的に決定される。直流動作条件からは、トランジスタの電流増幅限界、すなわち、h_{fe}程度のfan－out 数も可能であるが、ここでは回路のスイッチ時間の点から、これを3以下として検討をすすめる。回路が数百Mbits/sec まで動作することを考えると、この許容fan－out数は小さくはなく、この範囲に限定しても前節で述べた多くの応用が可能である。

4．4．2 τ_T とτ_{ED} の選択基準

図4．4(b)のように基本回路のスイッチ機構を、主としてトランジスタの支配する駆動電流源と簡単なエサキダイオードスイッチ回路に分解することによって、トランジスタのf_T の選択に関する1つの基準が与えられる。すなわち、トランジスタのf_T を無限大、つまり駆動電流源がステップ応答を示した場合にも、等価エサキダイオードスイッチ回路固有の初期遅延時間が存在する。この初期遅延時間はエサキダイオードの正抵抗領域における時定数τ_{ED}（等価並列容量と両正抵抗領域における平均抵抗の積をとる）に支配される。





$t_{r0} = t_r$ at $\tau_T = 0$, $t_{f0} = t_f$ at $\tau_T = 0$

$R_I = 200\Omega$, $R_L = \infty$

図 4・6 スイッチ4時間の τ_t による変化

したがって、この時定数に対して、過少なトランジスタ時定数$\tau_T(=1/2\pi f_T)$をとるのは無意味である。図４．６のシミュレーションの結果にみられるように、τ_Tをτ_{ED}以下に選んだ場合の改善効果はさきほど大きくないことにこのことが示されている。すなわち、$\tau_T=\tau_{ED}$ではエサキダイオードをステップ電流で駆動した場合（$\tau_T=0$）のスイッチ時間とほとんど変らない。$\tau_T<\tau_{ED}$の領域では、トランジスタによる駆動電流源の過渡現象がほぼエサキダイオードの初期遅延時間で終了すると考える。したがってτ_Tについては、正抵抗領域でのエサキダイオード時定数にほぼ等しい値を選べば良い。

４．４．３　負荷R_Lとエサキダイオード等価並列容量の相対的関係

図４．４(b)の等価エサキダイオードスイッチ回路によれば、トランジスタが並列されることによって生じる寄生並列容量C_{TC}は、C_dと等価に作用し、したがって、C_{TC}の選択はエサキダイオードが与えられたとき、その並列容量C_dとの相対的な大きさによって評価すべきであることが示されている。

また、R_Lはトランジスタが与えられたとき近似的にτ_T/R_Lの大きさの等価並列容量を生じる。したがって、fan－out数ｎの場合には、この値は$n\tau_T/R_I$となり、ｎに直接比例して増加する。エサキダイオードの高速性を生かすためには、少くとも$n\tau_T/R_I$がC_dと同程度かそれ以下になるようにｎを制限するのが望ましい。前述のように、ｎ＝３以下としたのはこの観点からである。

以上の関係を検証するために、種々の場合のスイッチ時間をシミュレーションによって求め、その結果を図４．７に示した。同図にはC_dを固定しC_{TC}を変化させた場合、C_{TC}を固定しC_dを変化させた場合、およびC_dとC_{TC}を固定しR_Lを変化させた場合のスイッチ時間を示す。前２者に対しては$R_L=\infty$としているが、最後のR_Lの変化の場合は、それを上述の関係で等価並列容量

の変化に換算している。これらのプロットがほぼ一致することから、基本回路のスイッチ機構を図４．4(b)のように等価表示することの妥当性も同時に示されていると考えられる。

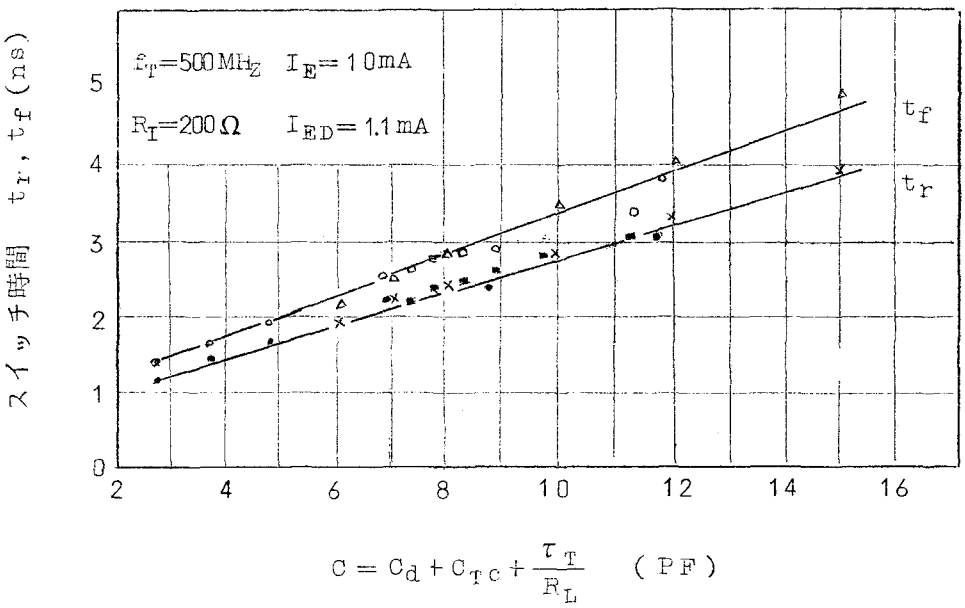


図４．7　スイッチ時間のC_{TC}，C_dおよびR_Lによる変化

4．5　記憶素子の設計

4．5．1　静的動作点とスイッチ時間

基本回路を記憶素子として用いる場合には、負荷はすべてコレクタ・エミッタ（アース）間に挿入される。したがって、等価回路表示（図4．4(b)）にみられるように、トランジスタの増幅効果による負荷の軽減の利点が、等価エサキダイオードスイッチ回路に正および負抵抗領域のスイッチ時間の悪化を最小限にとどめるように作用している。

4．4．1に述べた選択基準による回路では、エサキダイオードの等価負荷線はほぼ電圧軸に平行であるとして差支えない。エサキダイオード正抵抗領域通過時間（初期遅延時間）が、スイッチ時間のかなりの部分を占めるが、この場合、低電位および高電位の正抵抗領域のそれぞれの通過時間の配分は、静的動作点の選定によって変化する。

シミュレーションによって求めた、エサキダイオードの静的動作点とスイッチ時間の関係を図4．8に示す。静的動作点は、エサキダイオードピーク電流I_pにより、スイッチ時間はトランジスタ時間数τ_Tによって規格化している。立上りは記憶素子のセット、降下はリセットと考えられ、同図よりあきらかなように、エサキダイオードのバイアス電流は立上り時間と降下時間とに逆の影響を与えている。

記憶素子の動作モードから考えて、$t_r + t_f$が最小になることが過渡応答の1つの設計条件となる。同図よりあきらかなように、この条件を満足する部分は（I_p，I_v）区間の中央附近にかなり広い範囲に存在し$I_p/2$程度にエサキダイオード電流を設定すればよい。

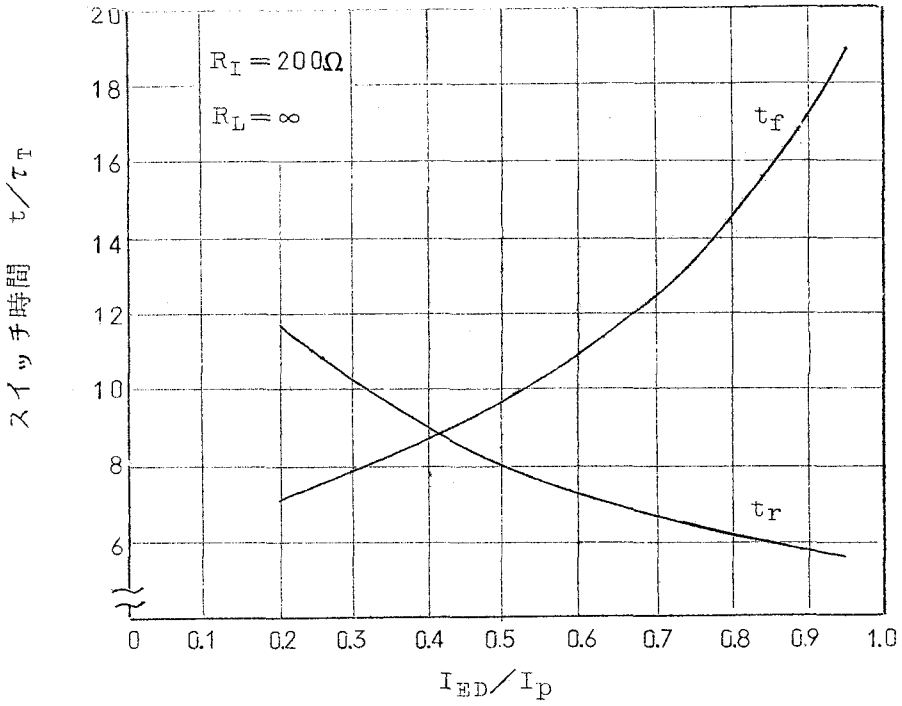


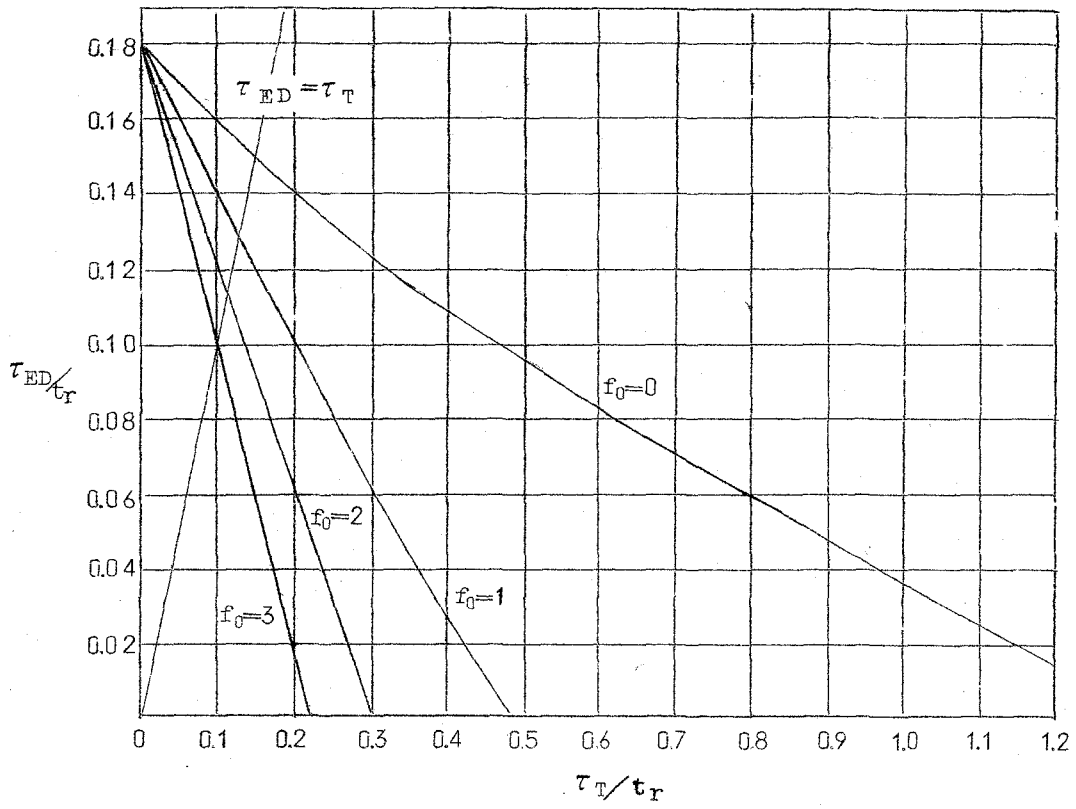
図４．８　スイッチ時間の静的動作点による変化

４．５．２　等スイッチ時間図による諸パラメータの決定

前節で静的動作点が決定されているが、ここではさらに、記憶素子の過渡応答動作に対し影響をもつ諸パラメータを決定し、従来あきらかにされていなかった設計条件を求めている。

等価エサキダイオードスイッチ回路によれば、基本回路の過渡応答を支配するパラメータとしてτ_Tとτ_{ED}が挙げられ、両者が等しいことが素子選択基準の１つとなることがあきらかになっているが、ここではさらに、等スイッチ時間図により、過渡応答に対するτ_Tとτ_{ED}の影響を定量的にあきらかにする。また、記憶素子としての相互接続のための、結合抵抗も考慮している。

図４．９～４．１３に等スイッチ時間図を示す。f_Oはf_{an-out}数を表わす。



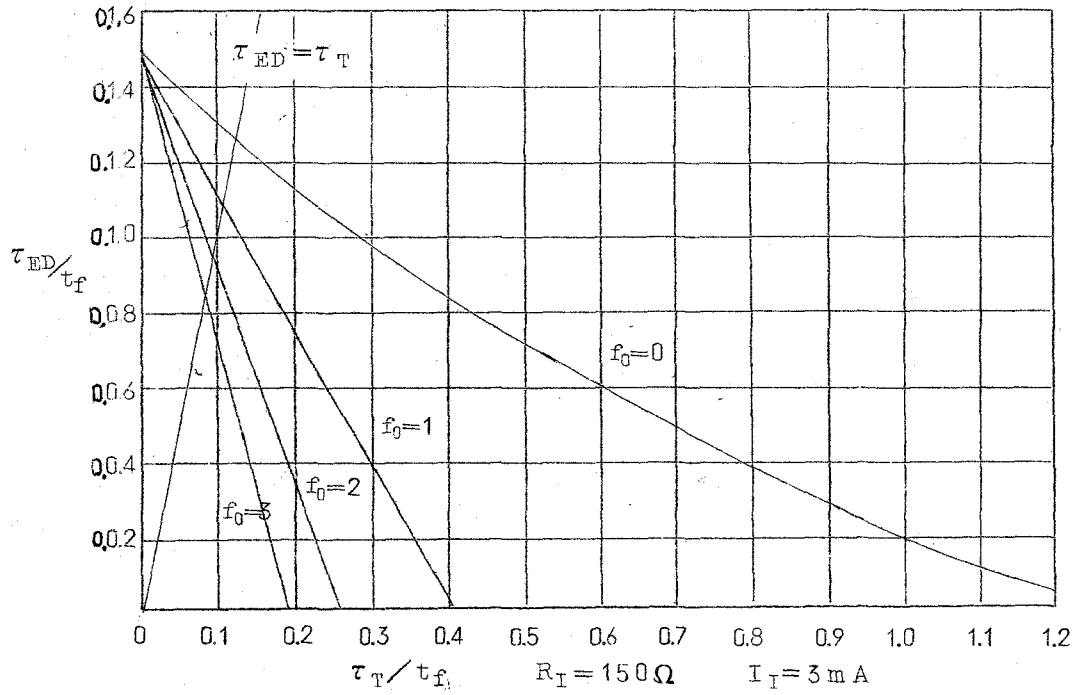
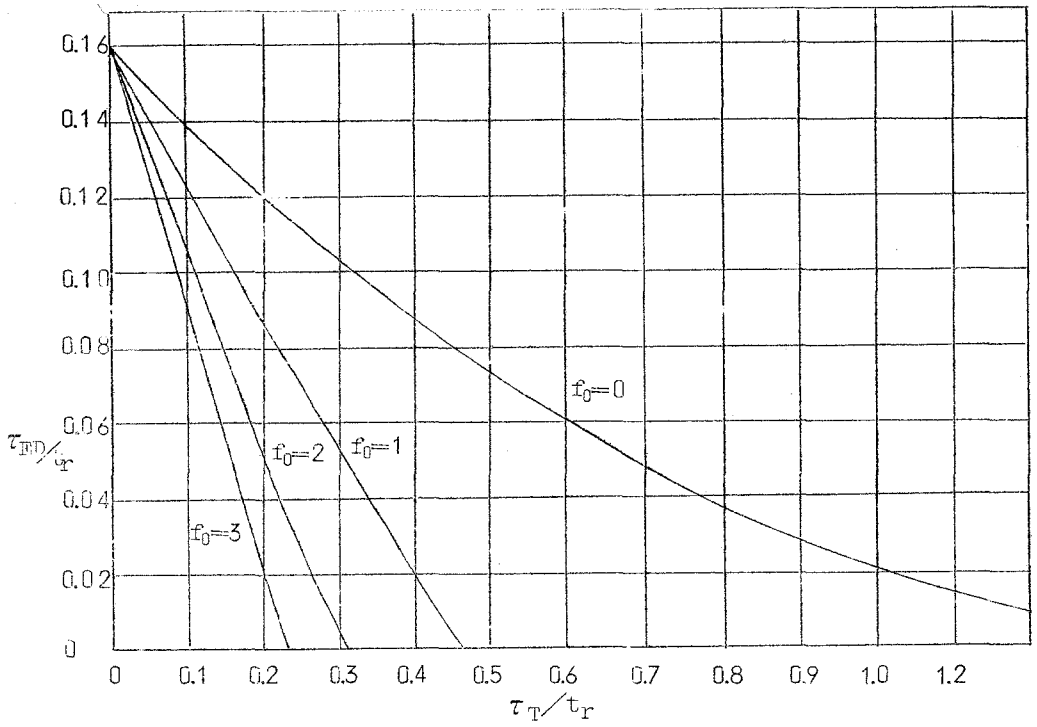
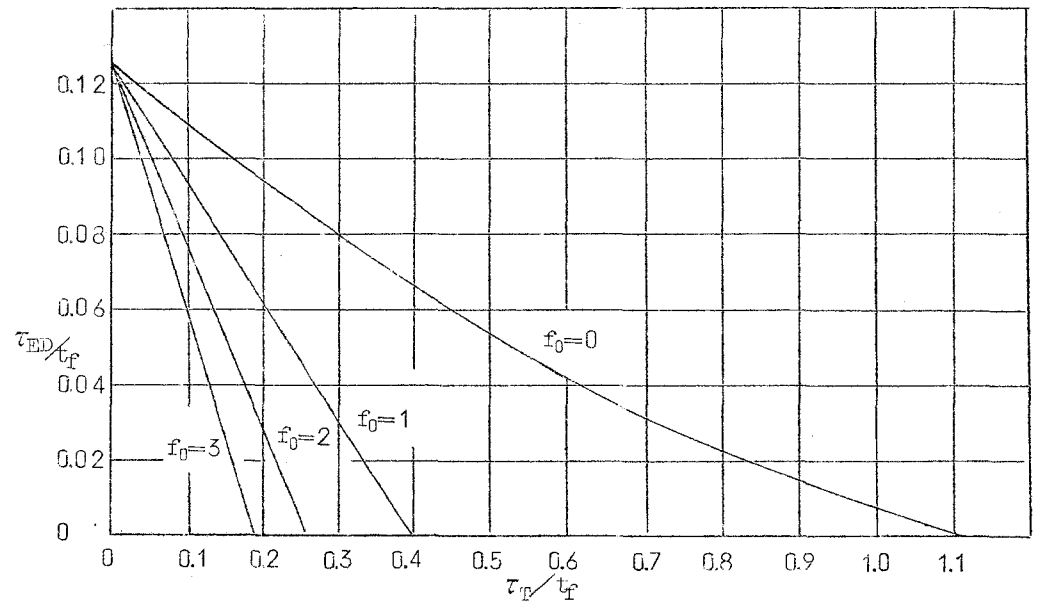


図４．９　等スイッチ時間図





$R_I = 180\,\Omega$　　$I_I = 2.5\,mA$

図 4.10　等スイッチ時間図

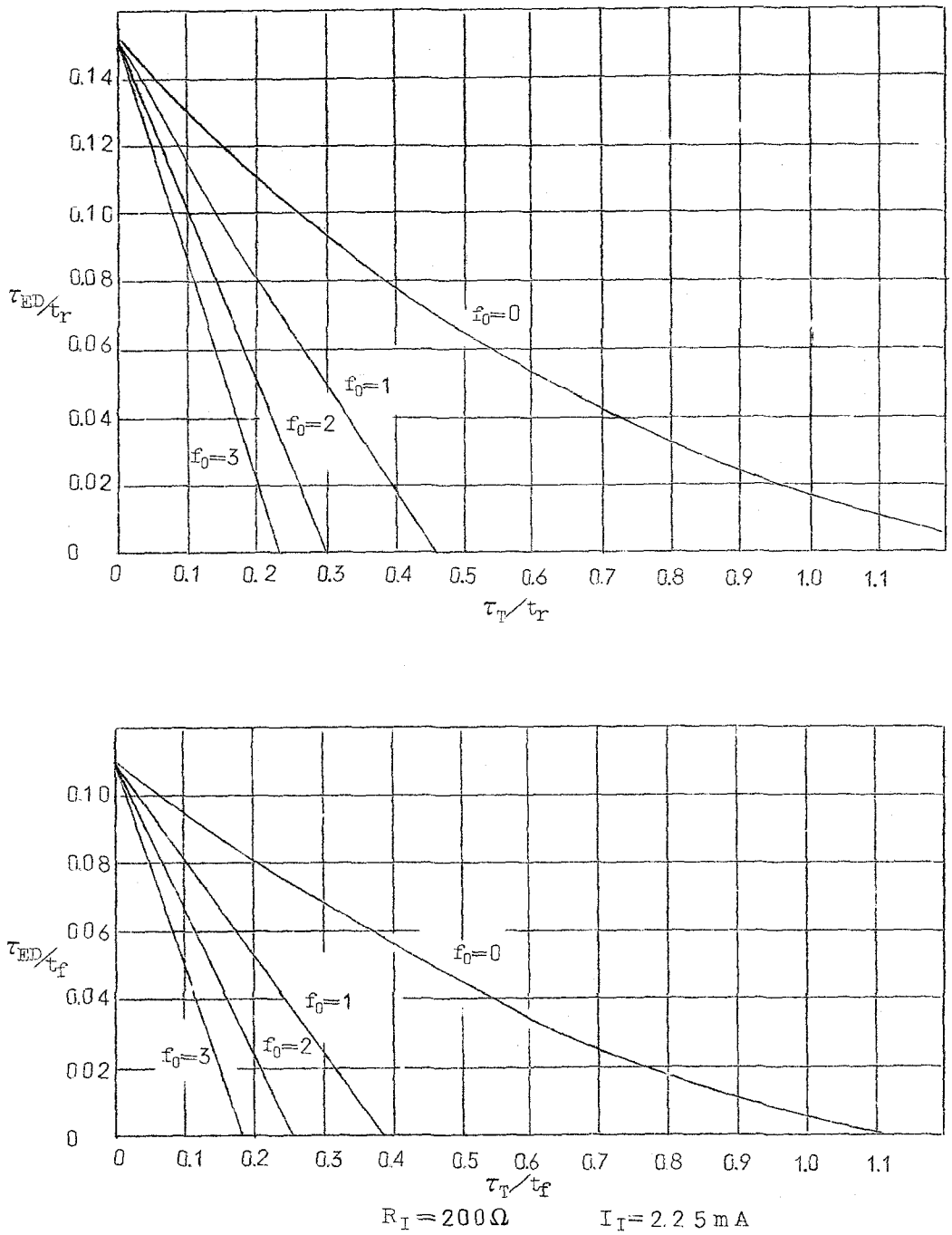


図 4.11　等スイッチ時間図

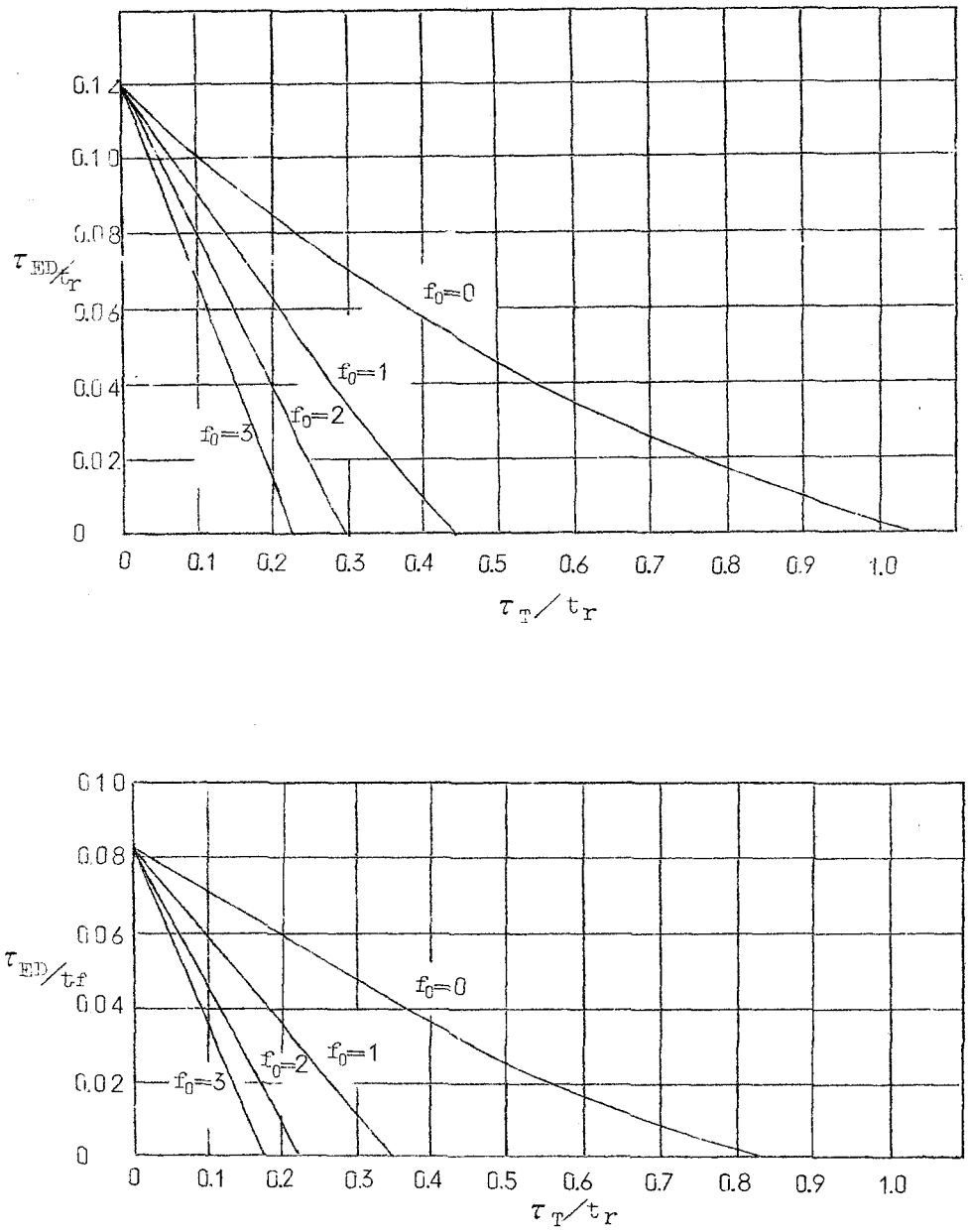
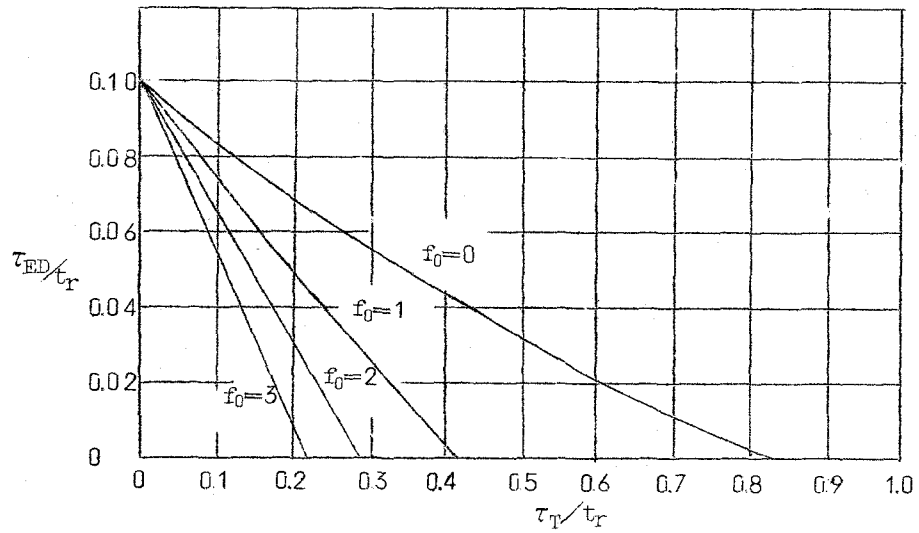
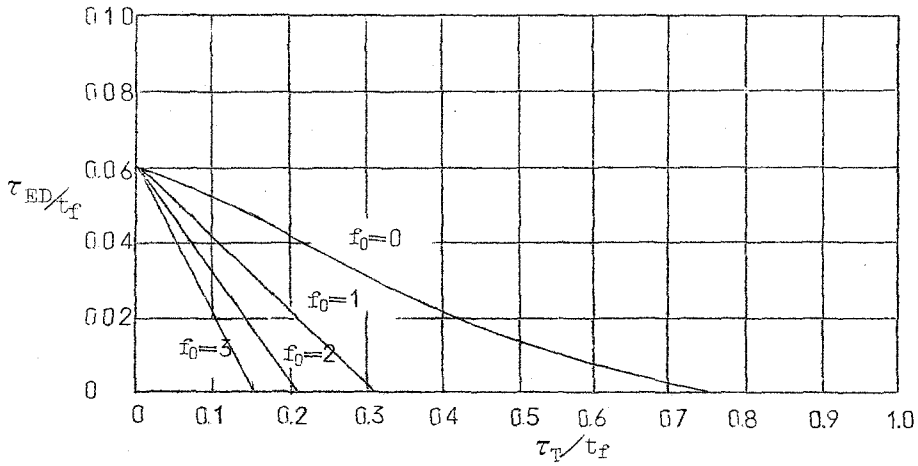


図 4.12　等スイッチ時間図





$R_I = 300\Omega$　　$I_I = 1.5\,mA$

図 4.13　等スイッチ時間図

これらはシミュレーションにより$R_L=\infty$のときのτ_T，τ_{ED}をパラメータとしてスイッチ時間を求め、これより換算して求めたものである。τ_T，τ_{ED}ともスイッチ時間で規格化をおこなっている。さらに、fan－outによる変化も同図に示している。これは、fan－out数nのとき$R_L=R_I/n$となるから、4．4．3で述べたように、エサキダイオードの等価並列容量τ_T/R_Lに換算して、τ_{ED}を補正したものである。

たとえば、$R_I=200\Omega$でfan－out3、立上り時間1nsの記憶素子では、τ_Tは0～270ps、τ_{ED}は0～152psの範囲を曲線にしたがって変化し、$\tau_T=\tau_{ED}$とすれば、90psの時定数をもつトランジスタとエサキダイオードを選べばよいことが示されている。（図4.11）

$\tau_T=200$ps，$\tau_{ED}=100$psの素子を用いると、同図より、$\tau_T=2\tau_{ED}$と等スイッチ曲線の交点より、$t_r=1.54$nsとなる。

前述したように、負荷の大きさは、トランジスタの時定数τ_Tによりエサキダイオードのスイッチ速度に関係づけられている。同図より、τ_Tの大きい領域では、負荷の影響も大きいことがあきらかであり、$\tau_{ED}=\tau_T$なる条件で、素子を選択して設計するのが過渡応答特性上妥当であることが、負荷効果の点からも示されている。つぎに、結合抵抗R_Iとスイッチ時間の関係を示したのが図4．14である。スイッチ時間は、素子パラメータで規格化をおこなっているため、素子パラメータがわかれば、スイッチ時間から結合抵抗を求めることもできる。高速動作をさせるため、fan－out数は3としているが、この程度では負荷の影響が小さいため、結合抵抗R_Iを小さくすればスイッチ速度を上げられることが示されている。したがってfan－out数が少ない場合には、過渡応答の点から結合抵抗R_Iは小さいほどよいが、4．4．1で述べたように下限は100～200Ω程度に制限される。

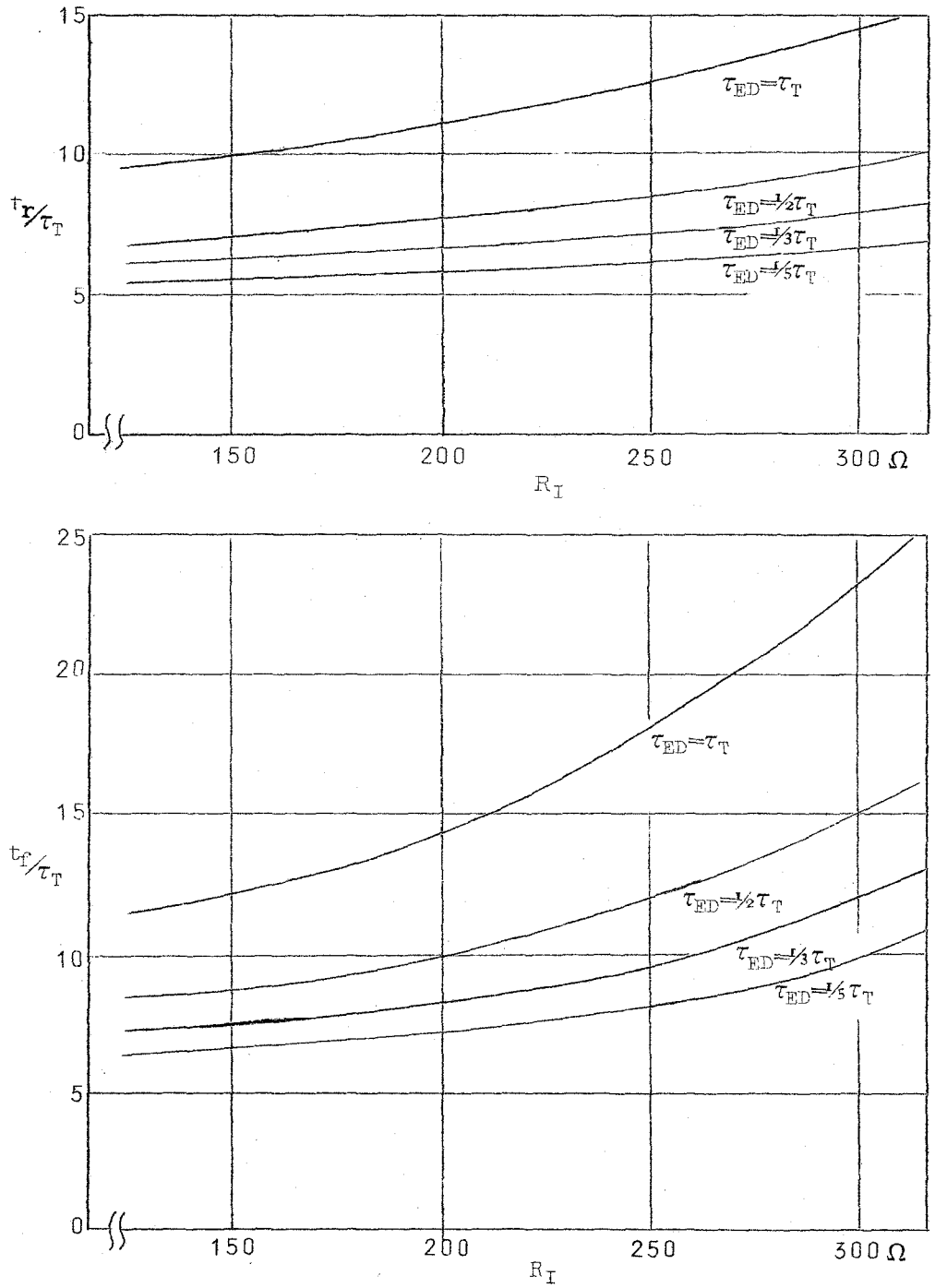


図 4.14　スイッチ時間と結合抵抗との関係
(fan-out = 3)

以上の図をもとにすれば、記憶素子として所要のスイッチ時間に対する素子パラメータの値が決定できる。さらに、素子パラメータが与えられた場合には、回路のスイッチ時間を決定することができる。ここで考えているfan－out数3程度では、結合抵抗R_Iはできるだけ小さく選ぶことが望ましく、結合抵抗の下限近く150~200 Ωが妥当である。

4．6 結　　言

ここでとりあげたエサキダイオード・トランジスタ複合回路は、すでに述べたように高速論理素子としての有利な特質を備えているため、その応用に対して種々の提案がなされているが、回路的設計に関しては十分な検討はおこなわれていない。すなわち、この形式の回路は、トランジスタ、エサキダイオード双方の特性が複雑に関連するため、直流特性および過渡特性の双方を最適に設計することは困難であると考えられてきた。

本章では、エサキダイオードの過渡応答特性とトランジスタのそれとを分離して表現できる等価回路を導いた。さらに、トランジスタ時定数τ_Tとエサキダイオード時定数τ_{ED}を定義し、負荷効果の影響は等価並列容量の増加となって、エサキダイオード時定数τ_{ED}に含まれることを示した。

この結果、諸パラメータ相互の関係が求められ、最適の素子パラメータの選択基準を決定し、設計基準があきらかになった。

さらに、アナログシミュレーションによってこれらの設計基準の妥当性を確認し、極めて高速の論理素子、ことに非同期論理における記憶素子として、従来提案されている諸回路のうちもっとも簡単であると考えられる回路素子としての実用性を検証した。

第５章　遅延帰還によるエサキダイオード・トランジスタ(53)組合せ論理回路

５．１　緒　　言

前章に述べた、エサキダイオード・トランジスタ複合の回路の入出力特性にみられるヒステリシスループを積極的に利用する回路の発想から、逆に遅延帰還をほどこすことにより、従来、一般的であったヒステリシス飛越し型のＮＡＮＤあるいはＮＯＲ回路機能にくらべ、より有利なfan－outスイッチ速度比が得られる可能性が、おなじく著者の属する研究室で指摘されていた(39)。しかし、その回路的動作機構については、ほとんど解明されていなかった。

本章ではこの形式の組合せ論理回路の動作様式をあきらかにし、遅延線による入出力の分離が不明確になるため、スイッチ速度が低下しはじめる遅延時間、すなわち遅延線長の下限を従来考えられていたものよりさらに短縮できることを示し、帰還抵抗の値を動作点および素子パラメータに関連づけてあきらかにし、この種回路の設計基準を与えている。

これらの解析は、アナログシミュレーションによって確認され、従来のヒステリシス飛越し型の組合せ論理回路にくらべて、fan－outスイッチ速度比が大きく改善されることを示している。

５．２では、基本回路の構成と動作機構について述べる。

５．３では、等価回路と過渡応答に対する遅延帰還の影響について述べる。

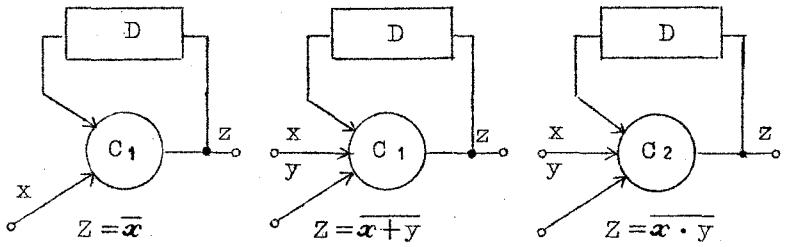
５．４では、遅延時間の下限を検討するとともに、帰還抵抗と動作点により、スイッチ時間が大きく改善されることを示し、設計基準を与えている。

5．2　回路構成と動作機構

5．2．1　回 路 構 成

ここでは、前章に述べた記憶素子の機能から論理的に誘導される組合せ論理回路機能とその構成について述べる。

組合せ論理回路の原理的構成を図５．１に示す。



(a)ＮＯＴ element　(b)ＮＯＲ element　(c)ＮＡＮＤ element

図５．１　組合せ論理回路

いずれの場合も出力Ｚは遅延Ｄを介して入力のひとつに遅延帰還され、論理的には time－dependentな記憶素子として基本回路が用いられている。

入出力特性と入力による転移をＮＯＴ素子について図５．２に例示する。

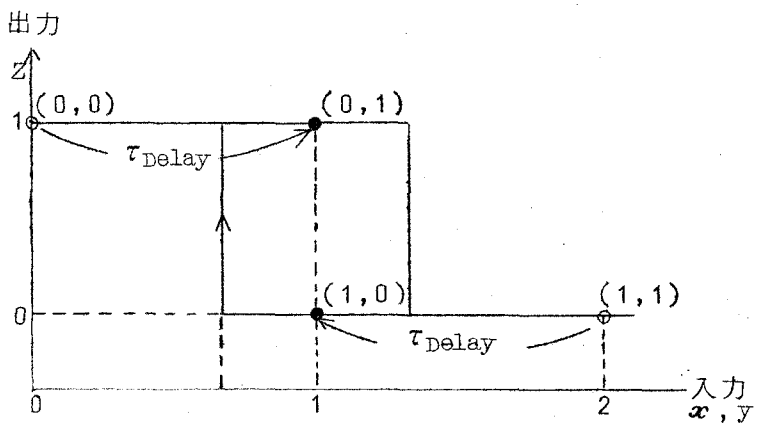


図５．２　ＮＯＴ回路の動作点の転移と入出力特性

初期状態は、xの"1"，"0"にしたがって出力はそれぞれz＝y＝0、あるいはz＝y＝1となる。いま、入力（x，y）が（1，0）→（0，0）の変化をすれば、2入力C_1素子の場合と同様に出力は"1"となり、さらに遅延Dの後にyの変化により入力は（0，1）に転移する。入力xがふたたび"1"にもどれば逆に同様の過程、すなわち（0，1）→（1，1）の変化ののちτ_{Delay}時間後に（1，0）に転移し、出力は"0"を示す。つまり基本回路のヒステリシス特性がそのまま保存されながら、time-dependentに単純なしきい値論理回路となっている。

ＮＯＲ・ＮＡＮＤ素子はＮＯＴ素子の特殊な場合と解される。すなわち、式（４．２），（４．３）に示されるように、ベースバイアス電流I_{BB}は元来入力電流と等価であり、ヒステリシスの中心を移動させることができるから、原理的には入力数を増加し、これに対応してI_{BB}を変化させることによって実現できる。しかし、しきい値をこえる場合の動作は上述のＮＯＴ素子と同様の経過をたどる。

ここで重要なことは、遅延帰還によるしきい値の時間的な移動によって、入力からの駆動電流がヒステリシス幅をよこぎる程度に大きい値を必要としないことにある。すなわち従来のヒステリシス幅を飛越す遷移をさせる方式にくらべて、段間結合抵抗 R_I を同一のスイッチ速度を維持しながら、ほぼ2倍大きく選べ、負荷効果を軽減できる。

なお、以上の論議において、入力の変化周期は遅延時間τ_{Delay}より長いとしたが、この場合のτ_{Delay}はたかだか回路のスイッチ時間（立上りあるいは降下時間）程度であればよいから、極めて短かいと考えてよい。

電磁遅延線を用いた実用的な基本回路を図５．３に示す。

従来基本回路と同形式の回路において、ヒステリシス特性を利用せず、これ

を一挙に跳躍させる形式の論理回路が一般的であった。[38] しかし、ここに述べる方法によって、誘導された回路は、次節に述べるように前記の回路にくらべ、スイッチ速度・論理負荷をもとに大きくできる利点があることが最近あきらかにされている。しかしながら、その回路的動作機構については、ほとんど解明されていなかった。以下には、この回路の動作上の特長をあきらかにし、等価回路とシミュレーションによる回路設計法を示している。

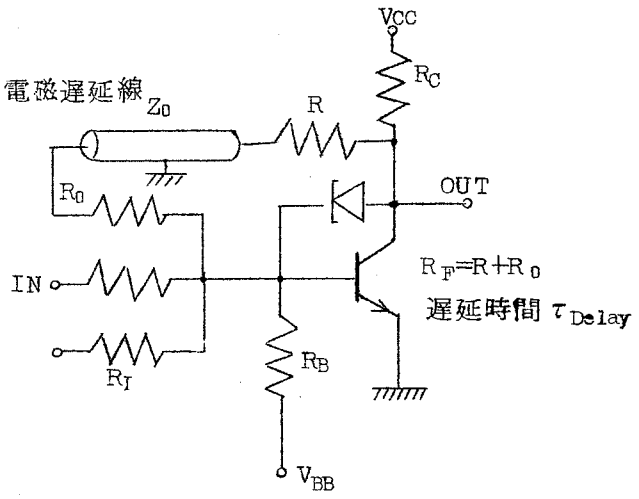


図５．３　基本回路による組合せ論理素子

５．２．２　回路動作上の特長

遅延帰還による組合せ論理回路モードと前節に述べた記憶素子モードの大きな相違点は、図５．３に示すように、コレクタからベースへ遅延線を通じて帰還路がエサキダイオードに直接並列に存在することにより、エサキダイオード特性上の直流的負荷線の傾きが大きくなり、したがって、エサキダイオードの静的動作点での電流が、高・低両電圧状態でかなり異なることにある。この

模様を図５．４に示す。

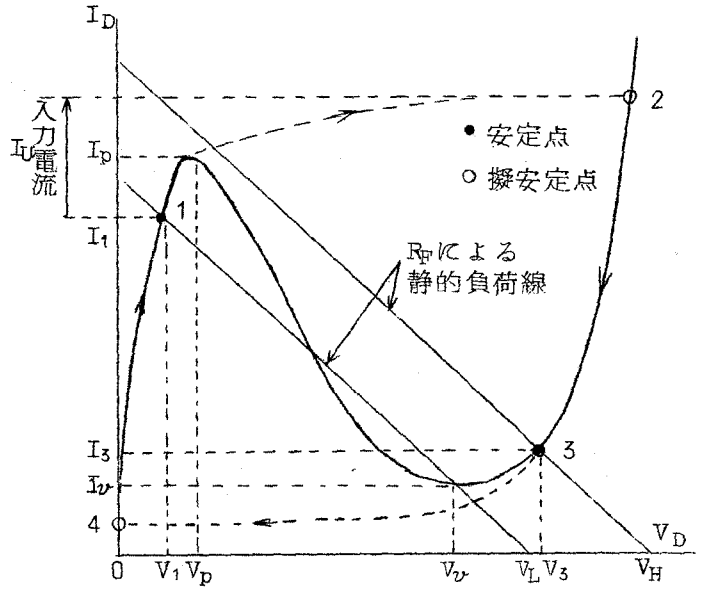


図５．４　遅延帰還によるエサキダイオードの負荷特性

基本回路をベース端子節点から見込んだ入力抵抗は、ほぼ r_e 程度になっているので、ストリップ線路あるいは同軸ケーブルなど、数十Ω程度の特性インピーダンスをもつ遅延線を用いた場合、遅延線のベース入力側をほぼ特性インピーダンスにひとしい抵抗で終端して容易に反射を防止できる。この終端抵抗 R_0 とコレクタ側に接続した抵抗Ｒとの和を帰還抵抗 R_F とし、図５．４に示すように静的動作点が決定される。

過渡応答過程では、もし τ_{Delay} がスイッチ時間によりわずかに長ければ、遅延線によってコレクタ・ベース間の帰還路が分離されており、負荷 R_F は実効的にコレクタ・エミッタ（アース）間に挿入されたことになるので、動的負荷線は前節の場合と同様ほぼ電圧軸に平行になる。したがって、過渡応答期間の挙動は、前章の記憶素子の場合とまったく同様に取扱ってよい。比較的低い帰

還抵抗 R_F が直流的にはエサキダイオードに並列されているが、過渡的にはエサキダイオードより切離されて、負抵抗を減少させることがないという回路的な利点となっている。

したがって、この形式の動作モードでも、図５．４の静的安定点1(3)から擬安定点2(4)への転移は記憶素子の場合と同様に、記憶素子のスイッチ時間の静的動作点による変化を示す前章図４．８のデータが適用でき、t_r については I_p に、t_f については I_V に近い位置での短いスイッチ時間をそれぞれ有利に利用できていることになる。この事実は、従来のヒステリシスの飛越し型の組合せ論理回路に比較して、スイッチ時間のうえで非常に有利になり、以下ではこの点についてもあきらかにする。

５．３　回路モデルと過渡応答

５．３．１　等価回路

前述したように、基本回路の過渡応答過程においては遅延時間 τ_{Delay} がスイッチ時間よりわずかに長ければ、遅延線によってコレクタベース間の帰還路が分離されるため、帰還による負荷 R_F は実効的にコレクタエミッタ間に挿入されたことになる。このため、動的負荷線は、前章の記憶素子の場合と同様ほぼ電圧軸に平行になる。したがって、過渡応答期間の挙動も前章とまったく同じように取扱ってよい。このため、前章の図４．４と同じく、遅延帰還を考慮した同様な等価回路を得ることができる。図５．５はこの等価回路を示す。

遅延帰還による影響は、帰還抵抗 R_F による負荷効果部と、入力側に遅延時間 τ_{Delay} をもつ帰還電流に表現されている。したがって、素子パラメータの選択基準は、τ_{ED} は帰還抵抗 R_F による等価並列容量を考慮したものを用いれば、前章の場合と同様に考えて差支えない。

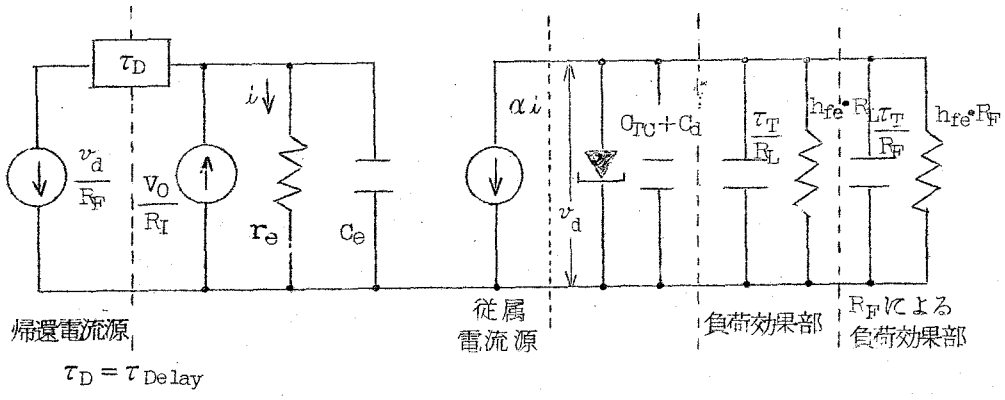


図５．５　等価回路

５．３．２　スイッチ機構におよぼす遅延帰還の影響

この等価回路によれば、遅延帰還抵抗 R_F により、エサキダイオード並列容量が τ_T/R_F が増加し、入力回路には帰還電流 v_d/R_F により τ_{Delay} の遅延をもつ帰還電流源が接続されているため、τ_{Delay} 後は、入力電流 V_O/R_I に対し反転された帰還電流が流れるため、従属電流源はステップではなく、エサキダイオードの出力電圧 v_d と遅延時間 τ_{Delay} で幅と降下の模様が決定されるパルス波形となる。（５．４，図５．６参照）

これまでの議論では、遅延時間は回路のスイッチ時間程度と考えてきたため、帰還電流の影響は、スイッチ期間中にはなかった。したがって、エサキダイオードはステップ入力で駆動されていると考えてよい。図５．４に示すように、エサキダイオードは、一旦擬安定点に転移した後に安定点に落着く。

回路の繰返し周波数を高くするためには、遅延時間はできるだけ短い方が望ましいが、下限は出力側からの帰還電流により、エサキダイオードを駆動する電流が減少し、スイッチ動作が阻害される点で決定される。従属電流源により、エサキダイオードが負性抵抗領域まで駆動されると、その後はエサキダイオード自身により転移がおこなわれるから、遅延時間の最小値は、これらの初期遅延に大きな影響をうける。

5．4　遅延帰還時間と帰還抵抗 R_F

5．3．2 で述べたように、最小遅延時間は遅延線による入力と出力との分離を目やすにして決定され、回路のスイッチ時間程度でよいことが知られていた。しかし、回路の高速化の点からは、遅延時間はできるだけ短い方が有利である。この点に関して、遅延時間の下限に対する実用的な目安を得ることを目標に検討をおこなう。

この回路の出力電圧波形を $v_d(t)$ とする。この出力は、帰還抵抗 R_F を通じてベース入力端子に遅延時間 τ_D だけ遅れて帰還される。したがって、回路のベース端子に流入する全駆動電流 $I(t)$ は、外部端子からの入力電流を I_T とすれば、$I(t) = I_U - \{ v_d (t - \tau_D) \} / R_F$ となる。τ_{Delay} が回路のスイッチ時間より大きいとすれば、帰還電流によって $I(t)$ が減少あるいは増加し始める時刻には、エサキダイオードはすでに転移を完了して低抵抗領域に入っており、回路自体の増幅器としての利得はきわめて小さくなっている。したがって、入力電流 $I(t)$ の変化の出力電圧 $v_d(t)$ に対する影響は実際上無視できる程度に小さい。このことから、遅延帰還時間 τ_D が回路のスイッチ時間より大きければ、回路の出力電圧応答は、帰還のない回路において、ステップ入力 I_T を印加した場合の応答に等しいと考えて差し支えない。ただし、コレクタ節点からの帰還路を見込んだ動的抵抗負荷 R_F の出力電圧の過渡応答時間に対する影響は、5．3．1に述べた方法にしたがって、エサキダイオードの負荷効果部に等価に繰り込んであるとする。いま、遅延時間 τ_D が回路のスイッチ時間と同程度以下に小さくなったとすれば、エサキダイオードが完全に転移を完了しないうちに、駆動電流が減少することになり、したがって、スイッチ時間の増加をもたらすことが予想される。以下では、簡単にこのようなスイッチ時間の増加が実際上問題とならないような τ_{Delay} の下限について考察をおこな

う。

図５．６に示すように、出力電圧 $v_d(t)$ の立上り、降下時間は、初期遅延時

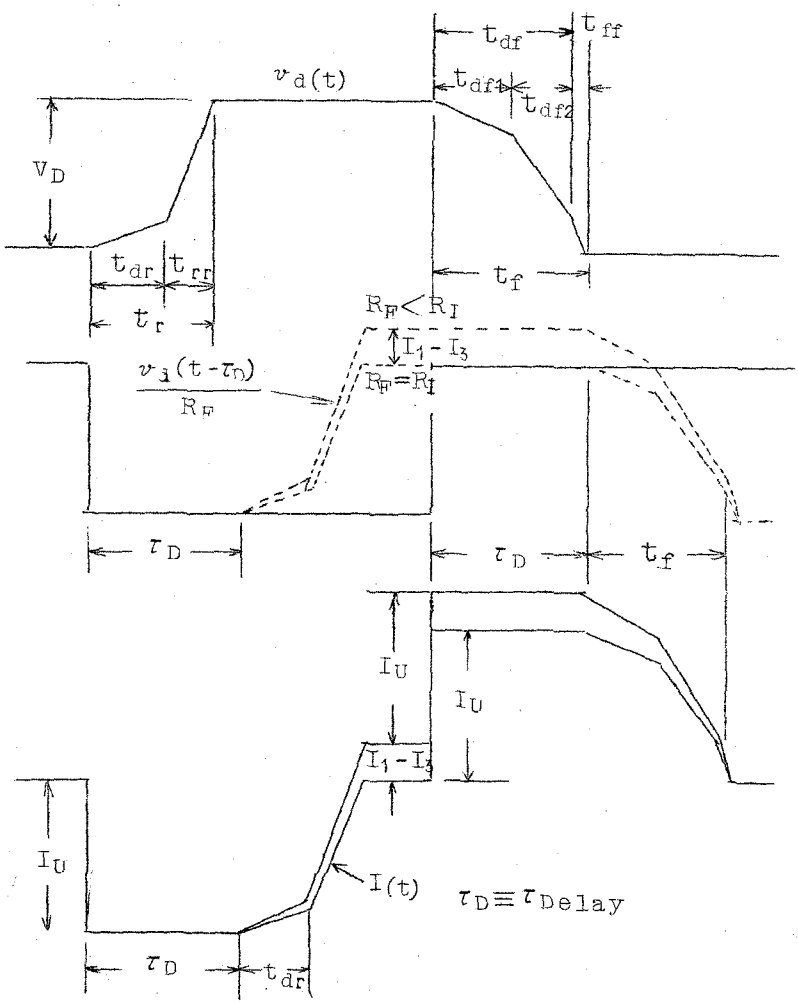


図５．６　入出力波形

間 t_{dr} と t_{df} を含んでいる。これらは、いずれも入力 I(t)により、エサキダイオードのスイッチ過程における動作点が、正抵抗部分を通過し再生的な負抵抗部分に入るまでの時間である。さらに、降下時においては、t_{df} は低い正抵抗部分を通過するに要する時間 t_{df1} と、高い正抵抗部分を通過するに要する時間 t_{df2} の2つに近似的に分けられる。t_{dr} と t_{df1} の部分では、$v_d(t)$ の変化は、その最大振幅にくらべて十分小さい。

したがって、帰還抵抗 R_F がそれほど小さくないとすれば、帰還電流 $v_d(t-\tau_D)/R_F$ の t_{dr} および t_{df1} に対応する部分での電流変化は十分小さく、これによる入力 I(t)の減少が回路のスイッチ時間におよぼす影響は無視しても差支えない。R_F に対するこの条件は、後に述べるような実際の回路における R_F の値の選択範囲に対してはほぼ満たされている。この結果、遅延帰還時間 τ_{Delay} は、少なくとも $\max.\{t_r, t_f\} - \min.\{t_{dr} - t_{df1}\}$ 以上であればよい。この値の目安をつけるために、$\tau_T = \tau_{ED}$ の条件のもと

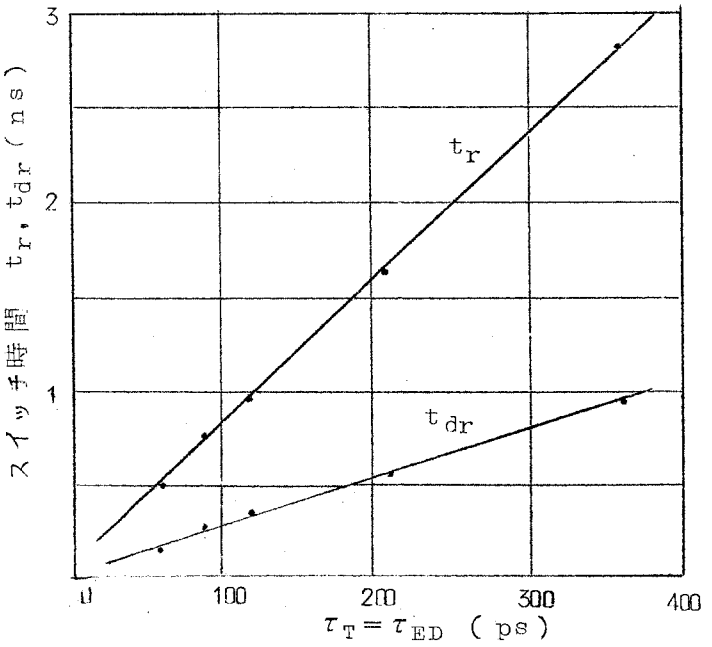


図5.7　スイッチ時間と初期遅延

で（これはエサキダイオードとトランジスタの性能の整合が最適となる条件に対応している。　4．4．2参照）、τ_Tを変化させたときの t_r および t_{dr} の変化をシミュレーションによって求めたものが図５．７である。同図より t_{dr} は t_r のほぼ３０％を占めることがわかる。したがって、一般に $t_{dr} \approx t_{df1}$ および $t_r \approx t_f$ と設計されることを考慮して、近似的には τ_{Delay} をスイッチ時間の約７０％程度にまで小さく選択しても差し支えないと考えられる。このことを確かめるために、遅延帰還をふくむ基本回路のアナログシミュレーションをおこなった結果を、τ_{Delay} に対する t_r，t_f の

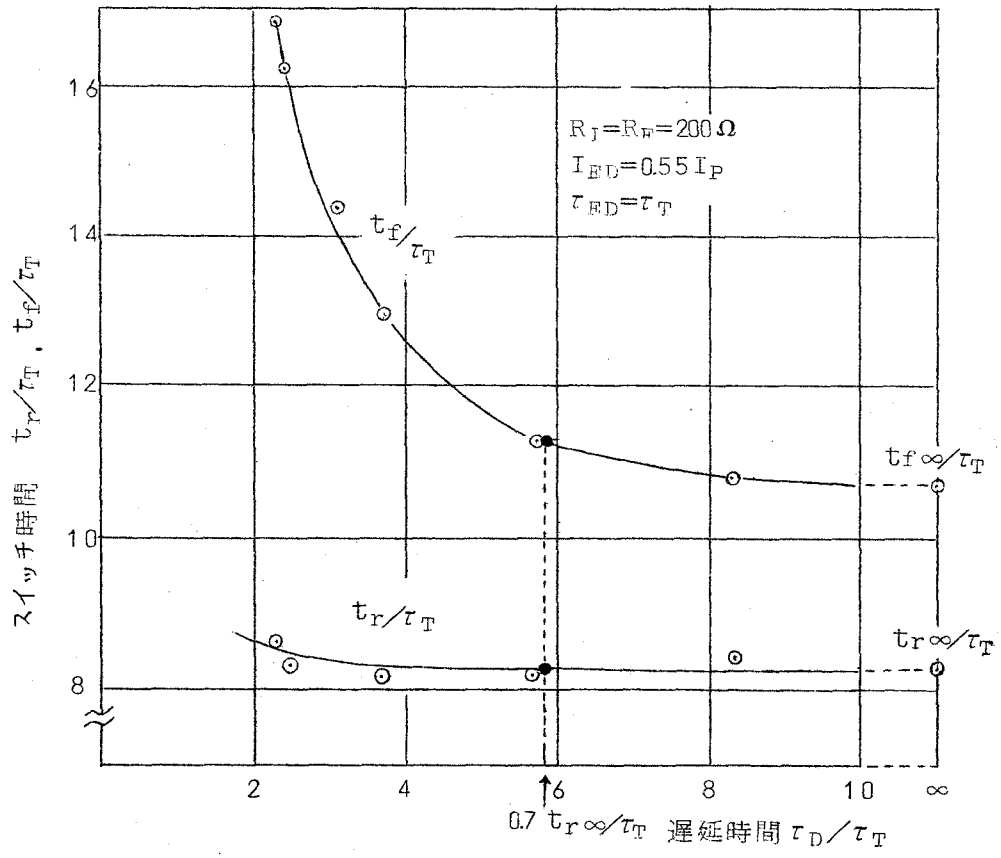


図５．８　スイッチ時間と遅延帰還

変化を τ_T（$=\tau_{ED}$）で規格化して図５．８に示す。同図で $t_{r\infty}$ および $t_{f\infty}$ は、τ_{Delay} がスイッチ時間に比べて十分大きい場合の回路の立上りおよび降下時間を示す。同図から、τ_{Delay} を 0.7 $t_{r\infty}$ 程度にまで小さく選んでも、スイッチ時間におよぼす影響は使用上問題にならないことが示される。この場合は、$t_{r\infty} < t_{f\infty}$ となっているから、τ_{Delay} を 0.7 $t_{r\infty}$ に選ぶことは、立上りおよび降下時間がひとしい場合に対応する τ_{Delay} の値に比べれば等価的にはより小さくしたことに相当している。にもかかわらず、スイッチ時間に対する影響が問題となっていないことは、上に述べた τ_{Delay} の下限に対する目安が実際上適当なものであることの裏付けとなっている。

さらに、過渡応答動作に関係する重要なパラメータとして、遅延帰還量を決定する帰還抵抗 R_F がある。第４章に述べたように、静的動作点により、スイ

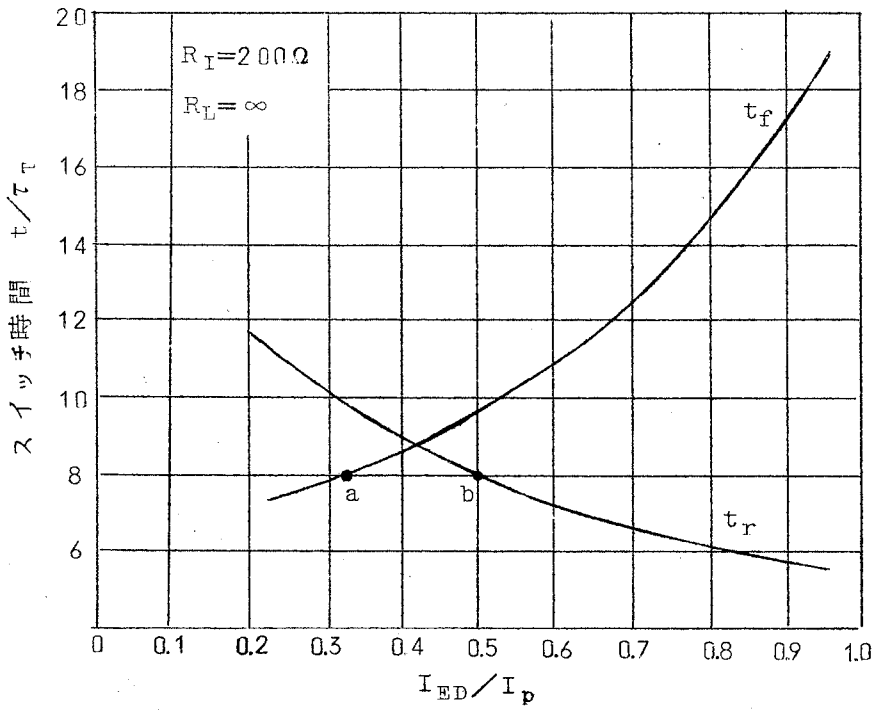


図５．９　スイッチ時間の静的動作点による変化

ッチ時間は大きく変化する。したがって、R_F と静的動作点との関係をあきらかにする必要がある。

まず、静的動作点のスイッチ時間に対する影響を検討するため、$R_F = \infty$ のときの静的動作点とスイッチ時間の間の関係を求めたものが図５．９である。これは前章で述べた記憶素子としての動作モードの場合となっている。帰還抵抗 R_F に対しては、エサキダイオードの出力電圧を近似的に一定と見なして、それを V_D とおけば、図５．４から以下のような関係を導ける。

$$R_F = \frac{V_D}{I_U + I_1 - I_3} \qquad (5.1)$$

ただし、I_Uは入力ステップ電流、I_1 は図５．４で安定点１におけるバイアス電流、I_3は安定点３におけるバイアス電流である。

R_F を小さくすれば、安定点１および３をエサキダイオード山点および谷点に接近させることができ、したがって、入力電流 I_U を一定とすれば、等価的により大きな過剰駆動をおこなえることになり、この点では、スイッチ時間に有利となる。しかしながら、一方回路の動的負荷抵抗 R_F が小さくなるため５．３．１で述べたように、負荷効果としてのエサキダイオードに対する等価並列容量 τ_T / R_F が増加し、スイッチ時間を低下させる。この点について検討をおこなうためにアナログシミュレーションにより、R_F に対するスイッチ時間の変化を動作点に依存する過剰駆動と負荷効果をふくめて求めている。まず図５．８から $t_r = t_f$ として種々のスイッチ時間に対する静的動作点の電流 I_1、I_3 を求め、式（５．１）によりそれに対応する R_F の値を求めた。たとえば、図５．９において点ａおよびｂに対応するバイアス電流がそれぞれスイッチ時間 $t/\tau_T = 8$ における I_3 および I_1 となる。このようにして、各ス

イッチ時間に対して求めた R_F から、 fan－out 数を n とし全体の負荷を $R_L = R_F /\!/ (R_I / n)$ として求め、その負荷効果をエサキダイオード等価並列容量に換算しスイッチ時間を補正している。

図５．１０に、上のようにして得られたスイッチ時間と動作点を示している。ただし、スイッチ時間は素子パラメータ τ_T ($= \tau_{ED}$) でまた安定点バイアス

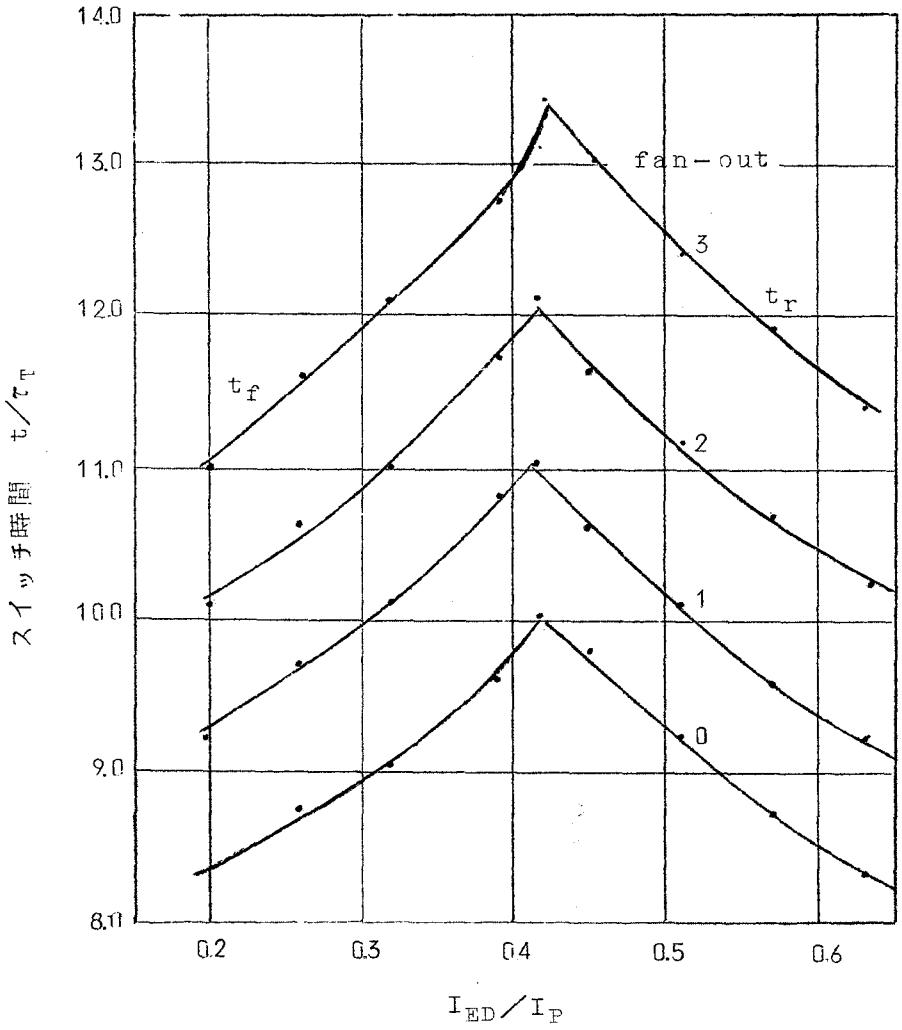


図５．１０　スイッチ時間と動作点

電流は、エサキダイオードピーク電流で規格化している。また、図５．１１は同様にして得られた R_F 対スイッチ時間の関係を示している。以上の結果から、

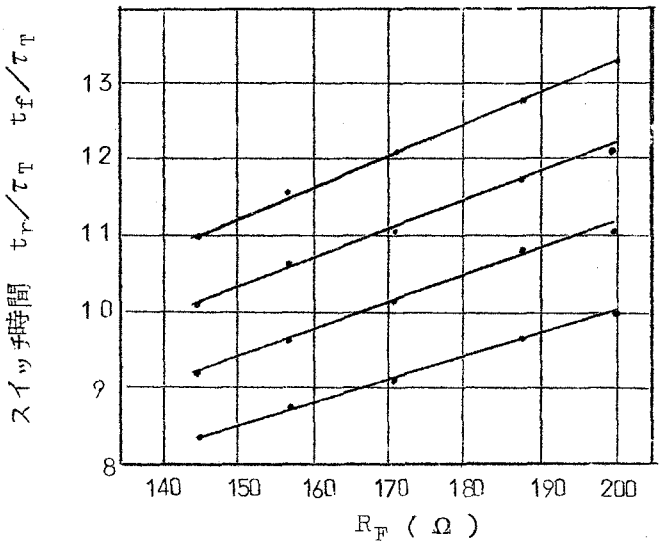


図５．１１　スイッチ時間と帰還抵抗 R_F

R_F が小さくなるとスイッチ時間が減少することが示され、したがって、過剰駆動の効果が、実用的な範囲では負荷効果を上まわっていることが知られる。この点から、スイッチ時間に関しては、R_F が小さい程良いがその値を極端に小さくすることは動作安定度の点から好ましくない。たとえば、雑音余裕の点から、ここで考えている谷点電流 0.15 Ip 程度のエサキダイオードでは、高電位安定点のバイアス電流 I_3 の最小値は少なくとも 0.2 Ip 以上であることが望ましい。（第２章、表２．２参照）この場合対応する R_F の値は図５．１１から約１４５Ω程度となる。

この組合せ回路は、図５．１０によれば $I_1 = 0.6\ Ip$, $I_3 = 0.2\ I_p$ のときのスイッチ時間の合計は１７ τ_T であるが、従来提案されていたヒステリシス飛越し型の回路は図５．８より推定すれば３４ τ_T となる。したがって、遅

延帰還によりヒステリシス特性を積極的に利用した本回路は、従来のものにくらべスイッチ時間が $1/2$ に短縮されている。

5.5 結　　言

前章の記憶素子に遅延帰還をほどこし、組合せ論理回路を構成する方法が知られていたが、その回路的動作機構については、検討が十分におこなわれていなかった。

この回路は遅延により、入出力が分離されることから、過渡的にはヒステリシス特性を利用する記憶素子として動作する。したがって、遅延帰還時間と帰還量により回路動作が大きく影響をうける。

ここでは、遅延時間は、高速動作の点からいえば短いほど有利であるが、前章と同様な等価回路を導出し、シミュレーション結果とあわせて検討をおこない、従来考えられていたスイッチ時間と同程度よりさらに３０％は短縮できることを示している。

帰還抵抗 R_F は、静的動作点と関連してスイッチ速度に大きな影響を与えるが、等価回路により、 R_F と負荷抵抗による影響をふくめて過渡応答を検討した結果、スイッチ速度の点からは、動作余裕の許すかぎり R_F を小さくとればよいことが示され、スイッチ時間と R_F の定量的な関係が、実用的な具体例についてアナログシミュレーションから示された。以上により、遅延に関するパラメータの選択基準の決定法があきらかにされ、従来のヒステリシス飛越し型の組合せ論理回路に比べ、同一の fan - out 数でスイッチ速度は２倍向上させ得ることがあきらかになった。

第6章　結　　論

各章の結論はそれぞれ章末にとりまとめたので、本章では、本研究を全体として概観し、総括的な結論とともに、残された問題および将来の展望をあわせて述べる。

本研究は、エサキダイオードによるパルスおよびデジタル回路のいくつかについてその回路設計を中心的な視点として、考察した研究をとりまとめている。回路設計の最終的な目標は、与えられた要求をある制約条件のもとで、最適に実現することにあるとしてよいであろう。設計過程そのものの本質的な検討は、現在の工学の重要な問題のひとつとして種々の考案が行なわれているものであるが、すくなくとも回路設計の分野においては、もし回路構成が与えられた場合には、要求される回路特性を適確に表現しうるもっとも簡単な等価回路を見出すことにはじまるとして差支えない。これにつづく過程は、いわゆる回路解析であり、できるだけ見通しのよい解析結果を与える手法を見出す問題が中心となるといってよい。さらに、諸種の要求に対する最適化をはかる過程においては、これらの解析結果を総合して、能動および受動素子パラメータ間相互の依存関係を容易に読みとれるいわゆる設計図表があらゆる評価の角度から示され、要求される〝最適〟の概念に合致する選択を可能にすることが重要な課題となる。

このような観点から、本研究は、いずれも興味ある動作機構あるいは実用性をそなえながら、設計の視点からの検討が充分におこなわれていなかったエサキダイオード・トランジスタ回路を中心にとりあげ以上で指摘した問題の一部を解決しようとしたものである。

すなわち、第2章にのべた、インダクタンス負荷エサキダイオードパルス回

路は、単極性パルスによって二安定動作をおこなうという計数回路として好ましい特性をもつ回路として提案されながら設計の観点からの追求が不充分なまま実用性が附与されていなかったものである。本論文においては、この回路の動作機構を、二安定動作許容限界の視点から、適切に表現し、かつ数式による記号的処理にたえる等価回路の導入によって解析し、回路動作機構上重要な機能をはたすインダクタンスの大きさの選択の観点からの設計手法を与えようと試みたものである。また第3章では、これらの二安定動作の検討にもとずき明らかとなった単安定動作機構を示す簡単な等価回路をみちびき、これにもとずく解析によって求められた回路の動作特性を、伝送線路中における再生増幅回路という特殊な条件下において検討するために、さらに簡単な等価回路に抽象して考察を加え、その動作限界を明らかにし、かつ設計指針を与える試みが述べられている。

これらの考察は、いかに簡単な等価回路に問題を抽象化し、かつこれによってみちびかれる動作特性が必要な範囲に対しては充分に表現されることを解析結果と実験との照応によって確認し、これによって総合的な設計基準を与え、またその適用限界を定めることを中心とするものである。

第4章以下にとりあげられている、エサキダイオード・トランジスタ回路においては、前2章にくらべて、次のふたつの点でより複雑な回路設計の問題をとり扱っている。すなわち、第一に、回路の過渡応答を定める主要な原因が前2章の場合のごとく、主として受動素子（インダクタンス）と能動素子の直流的特性とによって決定される時定数に支配されるのではなく、素子の動作速度そのものに依存すること。第二には、種類のことなる二つの能動素子が回路中に含まれ、しかもこれらが前述の回路過渡応答にそれぞれ同程度の影響を与えることである。

このような回路においては、一般に非線形特性を有する能動素子の直流特性が重複してあらわれ、またその過渡応答特性については、それぞれの過渡特性パラメータが相互に絡み合った形式の解析結果が与えられることが、いわゆる設計問題をきわめて複雑なものにする要因となる。

したがって、このような回路の設計過程を見通しよくおこなうためには、まず解析にさきだつ回路のモデル化の段階において、ふたつの能動素子の相互の影響が独立に表現できるような回路の動作パラメータを与えられるよう等価回路表現を定めることが、その後の段階に大きな影響を与える。

第4章に取扱った問題は、たくみな等価回路の設定により、エサキダイオード・トランジスタ複合回路においてそれぞれの素子の過渡応答パラメータを分離して取扱うことを可能にした例となっており、回路設計過程の出発点としての等価回路の決定の重要性を示す好例であると考えられる。ここでは、見通しのよい等価回路の設定によって、これにつづく解析もきわめて簡単化され、また設計指針についても、明確なものを与えることが可能となっている。この事実は第5章に取扱った回路の場合にも非常に有利に作用しており、等価回路設定の重要性をさらに裏書きしていると考えられる。

本研究において用いた解析手法にはとくに述べるものはなく、比較的簡単な手法にしたがったに過ぎないが、その一因は、動作機構の本質を示す簡単な等価回路の設定にあずかるところが大きいと考えられる。

最近、計算機による設計手法（C．A．D．）を中心として、設計の本質的な過程を解明しようとする努力が各方面で払われ、ことに回路設計の分野では、いくつかの回路解析プログラムがすでに発表されるなど、この傾向がいちじるしい。しかし　現状では、単なる回路解析手法にとどまるものが多く、総合的な設計の視点からの接近をはかるためには　なお多くの努力が必要とされるよう

に見える。本研究でとり扱った設計の問題においても、着目している最適化の範囲はきわめて限定されたものであり、総合的な設計の視点からすれば、なお不充分なものであるに過ぎない。回路設計は非常に個別的な回路の検討に帰着させられる傾向が内在的にあることは、否定できない一面であるが、これをより一般的な回路設計思想（design philosophy）として統一的にみる見地を発展させることはもっとも基本的な課題であり将来の問題として残されている。また、能動素子の等価回路表現とその明確な適用限界の指定はあらゆる回路設計に共通の問題であり、とくに超高周波域における等価回路およびその測定法を確立することは、ますます高速化してゆくパルス、デジタル回路設計にとって具体的に重要な問題であろう。

謝　　辞

本研究の全過程を通じて終始理解ある御指導を下さった喜田村善一教授に心から感謝申し上げる。

筆者の大阪大学大学院在学中およびひきつづく大阪大学工学部電子工学教室在職中に、御指導御教示いただいた電子工学教室　菅田栄治教授、宮暎一男教授、尾崎弘教授、中井順吉教授、故寺田正純教授、山口次郎名誉教授、電子ビーム研究施設　裏克巳教授、産業科学研究所　松尾幸人教授、中村勝吾教授、通信工学教室　滑川敏彦教授に対し厚く御礼申し上げる。

また御激励、御薫陶をいただいた現関西大学工学部　水谷博教授に深く感謝する。

終始懇切に指導して下さった寺田浩詔助教授に厚く感謝する。

筆者の所属している喜田村研究室の大村皓一講師には有益な御教示、御討論をいただいた。

同研究室、浅田勝彦助手には実験に際し、多大の援助をいただいた。

大学院学生、奥田直紀氏、吉岡信夫氏、松田秀雄氏、森田修三氏、橋本秀雄氏、川出隆司氏には種々の面で御協力いただいた。

また本論文作製にあたり、下村アキヨ嬢、白岡玉紀文部技官、江木康雄文部技官には特にお世話になった。

現東亜特殊電機株式会社研究所　日高滋氏、長谷川和典氏には研究遂行上何かと御援助いただいた。

これらのかたがたに衷心より感謝の意を表す。

参　考　分　献

(1) H.S.Sommers, Jr.: "Tunnel diode as high-frequency devices", IRE, 47, 7, p 1201, (July 1959).

(2) 東大超高速計算機研究会：“江崎ダイオードによる超高速計算機の可能性について” 信学会電子計算機研資（昭34－10）.

(3) M.H.Lewin: "Negative-resistance elements as digital computer components", Proc. of Eastern joint Computer Conference, (Boston. Mass), p 15, (Dec. 1-3, 1959).

(4) E.Goto, K.Murata, K.Nakazawa, K.Nakagawa, T.Moto-oka, Y.Matsuoka, Y.Ishibashi, H.Ishida, T.Soma and E.Wada,: "Esaki diode high speed logical circuits", IRE Trans. EC-9, 1, p 25, (March 1960).

(5) 駒宮，田鼻，杉山，緒方：“江崎ダイオードによる超高速計算機の論理回路および記憶方式について（中間報告）”電子計算機研資，（昭35－04）

(6) W.F.Chow: "Tunnel diode digital circuitry", IRE Trans., EC-9, 3, p 295, (Sept. 1960).

(7) 石井，高橋：“トンネル・ダイオードによる高速記憶装置”，信学誌，45,3,p291,(Sept.1960).

(8) M.S.Axelrod, A.S.Farber, D.E.Rosenheim: "Some new high-speed tunnel diode logic circuits", IBM Jour. Res. & Dev., 6, 2, p 158, (April 1962).

(9) D.J.Crawford, W.D.Pricer, J.J.Zasio:"An improved tunnel diode memory system", IBM Jour. Res. & Dev., 7, 3, p 199, (July 1963).

(10) B.E.Sear:"Charge controlled nanosecond logic circuitry", Proc. IEEE, 51, 9 p.1215 (Sept. 1963).

(11) M.Cocperman:"300Mc tunnel-diode logic circuits", IEEE Trans. EC-13, 1, p.18 (Feb. 1964).

(12) 天野：“エサキダイオードを用いた論理回路”，信学誌，47,4,p.507（昭39－04）.

(13) 伏見：“エサキダイオードを用いた記憶回路”，信学誌，47,4, p.516（昭39－04）

(14) 伏見：“エサキダイオードを用いたパルス回路”，信学誌， 47,4, p.523（昭39－04）

(15) 電気通信学会：“エサキダイオードとその応用”，信学誌， 47,4（昭39－04）

(16) P.Mauch:"The tunnel diode as a pulse generator", Electr. Ind., 20, 2, p.106, (Feb. 1961).

(17) P.Franzini:"Tunnel diode nanosecond coincidence circuit", Rev. of Scientific Instruments, 32, 11, p.1222, (Nov. 1961).

(18) J.C.Balder, C.Kramer:"Video transmission by delta modulation using tunnel diodes", IRE, 50, 4, p.428, (April 1962).

(19) B.Rabinovici:"Tunnel diode decade counter", Rev. Sci. Instr., 33, 12, p.1391, (Dec. 1962).

(20) J.S.Mayo:"Experimental 224 Mb/s PCM terminals". B.S.T.J., Vol. 44, No.9, pp.1813-1842, (Nov. 1965).

(21) 畔柳，岡本：“谷電流識別によるＴＤ対高速比較器”，信学誌，49,3,p.448（昭41－03）.

(22) W.C.G.Ortel:"The monostable tunnel diode trigger circuit", Proc. IEEE, 54, 7, p.936 (July 1966).

(23) Hanoch Ur:"Tunnel-diode binary counter circuit", IRE, 49, 6, p.1092, (June 1961).

(24) 福井，池田：“エサキダイオード対のトリガ特性”，信学会トランジスタ研資（昭36－03），

(25). 石川，塚田，平山：“エサキダイオード対双安定回路の動作解析”，信学誌，49,8,p.1462（昭41－08）

(26) L.O.Schott:"Negative resistance diode pulse repeater", U.S. Patent 3,051,846.

(27) B.G.King:"Negative resistance pulse repeater with unidirectional reflecter", U.S. Patent 3,054,506.

(28) 佐藤，宮本：“アクティブ線路”，信学誌，50,8,p.1481（昭42－08）

(29) C.D.Todd:"Transistor-tunnel diode combination", Electronic Design, 9, 9, p.48, (April 26, 1961).

(30) R.W.Lade: "Logic combines tunnel diodes with transistors", electronics, 34, 9, p.46, (March 3, 1961).

(31) "Tunnel diode-transistor provides fast logic", electronics, 35, 11, p.72, (March 16, 1962).

(32) J.J.Amodei, W.F.Kasonocky: "High-speed logic circuits using common-base transistors and tunnel diodes", RCA Rev., 22, p.669 (Dec. 1961).

(33) Y.C.Hwang, et al: "Analysis of a pumped tunnel diode logic circuits", IRE Trans., CT-9, p.233 (Sept. 1962).

(34) J.J.Amodei, J.R.Burns: "High-speed transistor-tunnel diode sequential circuits", RCA Rev., 24, p.335 (Sept. 1963).

(35) 畔柳，芝："1.5メガビット用トンネルダイオード・ハイブリッド回路の検討"，研実報，14,9,p.1853（昭40）

(36) J.O.Edson, H.H.Henning: "Broad band codecs for an experimental 224 Mb/s terminal", B.S.T.J., Vol.44, R-4, No.9, pp.1887-1940 (Nov. 1965).

(37) I.Dorros, J.M.Sipress, F.D.Waldhauer: "An experimental 224 Mb/s digital repeatered line", Bell Syst. tech. J., 45, 7, p.993 (Sept. 1966).

(38) W.R.Smith, A.V.Pohm: "A new approach to registor-transistor-tunnel-diode nanosecond logic", IRE Trans., EC-11,

5, p.658, (Oct. 1962).

(39) 大村："高速論理回路素子とその応用に関する研究"，(昭43-01)

(40) 喜田村，水谷，橘："エサキダイオードによる計数回路"，昭37信学全大，465．

(41) 喜田村，水谷，橘："エサキダイオード・トランジスタ計数回路"，昭38信学全大，386．

(42) 喜田村，寺田，橘："エサキダイオード計数回路の解析"，信学会トランジスタ研資(昭39-03)．

(43) 喜田村，寺田，橘："L負荷エサキダイオード計数回路の解析"，昭39連大，1363．

(44) Z.Kitamura, H.Terada, K.Tachibana:"Analysis of an Esaki diode monopolar pulse counter", Tech. Rep. of Osaka Univ., 16, 680, (1965).

(45) 喜田村，寺田，橘"エサキダイオードによるパルス再生増幅器"，昭44連大，2078．

(46) 喜田村，寺田，中原，清水，橘："PCM再生中継器の解析"，信学会通信方式研資(昭40-01)．

(47) 喜田村，寺田，中原，清水，橘："PCM再生中継器の解析"，住友電気，88，(昭40-04)．

(48) 喜田村，寺田，橘："エサキダイオード電磁遅延線メモリ"，昭39信学全大，473．

(49) 喜田村，寺田，中原，清水，橘：“超高速パルス再生中継器の一方式”，昭44信学全大，707．

(50) 喜田村，寺田，大村，浅田：“非同期遅延線によるエラスティック記憶装置”，信学誌，50，11，p.2124（昭42－11）．

(51) 喜田村，寺田，大村，浅田：“ヒステリシスを持つ高速しきい値論理素子の一形式”，信学会電子計算機研資（昭41－01）．

(52) 喜田村，寺田，大村，浅田，橘：エサキダイオード・トランジスタしきい値論理回路の諸特性”，信学会電子計算機研資（昭43－04）．

(53) 喜田村，寺田，大村，橘：“ヒステリシスをもつエサキダイオード・トランジスタ論理回路”，信学誌，53－C，1，（昭45－01）．