

Title	A Study on Hardware Architecture for H.265/HEVC Fast Mode Decision and Transform
Author(s)	趙, 文軍
Citation	大阪大学, 2015, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/53943
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

論文内容の要旨

氏名 (趙 文軍)	
論文題名	A Study on Hardware Architecture for H. 265/HEVC Fast Mode Decision and Transform (H. 265/HEVCにおける高速モード決定手法と変換アルゴリズムのVLSIアーキテクチャに関する研究)
論文内容の要旨	
<p>This thesis mainly discusses the fast mode decision algorithms for the H. 265/HEVC (high efficiency video coding). HEVC has incorporated a series of the state-of-the-art technologies and algorithms. These features help HEVC to achieve significantly high compression efficiency. However, these features also increase the computational complexity. In order to find the best encoding parameters (e.g. coding mode) for a certain block (comprised of luma and chroma components), a huge number of combinations of block sizes and candidate modes have to be checked, which is very time-consuming. Hence, in this work, a course of fast mode decision algorithms are proposed to accelerate the mode decision process. Moreover, the corresponding hardware architecture of the proposed fast decision algorithms as well as the hardware design of the transform of H. 265/HEVC are proposed.</p> <p>First, this thesis gives a brief introduction about the H. 265/HEVC. The HEVC codec employs the well-known hybrid block-based coding framework, including advanced intra prediction with 35 modes, improved motion-compensation prediction with merge technique, newly added large-sized transform engine, and high-efficiency entropy coding tool. Moreover, the reconstructed pixels are filtered by the similar de-blocking and newly adopt sample adaptive offset filters before sent to the decoded picture buffer. Unlike the previous video coding standards, the HEVC adopts a flexible quadtree structure based block partition scheme that enables effective use of different block sizes during the prediction and transform coding processes. Two strategies aiming at overcoming the limitations of the parallelization approaches employed in H. 264/AVC have been included in the HEVC, namely Tiles and wavefront parallel processing.</p> <p>Second, this dissertation presents a course of low complexity fast mode decision algorithms. In order to skip some unlikely depths, the maximum depth information of a co-located block is referred to predict the depth of current block. To make a prediction, after encoding one frame, the depth information is saved, in order to enable later coded frames to refer to these data. In order to reduce the complexity introduced by saving the depth information, it is proposed in this paper that co-located LCU from the previous frame in encoding order will be used. Next, for a certain sized block, the motion character of inter prediction residual is analyzed to determine whether to terminate the current check or to skip over unnecessary modes and split the block into smaller sizes. In order to detect the motion character of each portion inside a block, we propose to divide the residual block and calculate</p>	

the average and the sum of absolute difference over average. Two conditions are defined to terminate the mode check process or to skip current depth mode check process and move on to the next depth. Moreover, in order to skip some unlikely partition modes, a skip strategy is also proposed. To make compensation to a wrong split condition, a novel remedy process is introduced. After inter prediction, a hardware-oriented low complexity fast intra prediction algorithm is presented. The proposed algorithm adopts a fast discrete cross differences (DCD) to detect the dominate direction of the coding unit. Based on DCD information, only a subset of the 35 candidate modes are selected for the rough mode decision process. Moreover, four simple but efficient early termination strategies are proposed to terminate the RDO process properly.

Third, in this thesis, the corresponding hardware architectures of the proposed fast mode decision algorithms are proposed. In order to achieve a better compatibility, the proposed fast mode decision architectures are designed as an individual module that can be easily embedded into a common video codec for H.265/HEVC. A state machine based mode dispatch module for the depth prediction combined with the residual check algorithm is described. In this mode dispatch module, mainly 4 kinds of elements are contained according to its functional definition: information recording element, controlling and decision making element, interface element, and the core mode dispatcher. For the proposed state machine, there are 13 states are defined. Then, the hardware implementation of the proposed fast DCD algorithm and two previous works are discussed. Moreover, the complexity and performance of the proposed DCD algorithm is compared with previous works.

Finally, this dissertation describes a hardware architecture of the transform applied in HEVC. The proposed architecture can support a variety of transform sizes from 4x4 to 32x32. The hardware design proposed in this work focuses on low cost and high throughput. To achieve such objectives, some simplification strategies are adopted during the implementation, such as reusing part of the structure of the larger sized transform for smaller sized transform, and turning multiplication by constant into shift and sum operations. The transform architecture proposed in this paper is implemented in the form of pipeline structure. Moreover, a high-performance transposition memory is proposed to store and transpose the intermediate data between the 1-D and 2-D transform.

As a conclusion, in this thesis, a course of fast mode decision algorithms and its corresponding hardware architectures as well as the hardware design of the transform of H.265/HEVC are proposed.

論文審査の結果の要旨及び担当者

氏 名 (趙 文 軍)	
	(職) 氏 名
論文審査担当者	主 査 教授 尾上 孝雄
	副 査 教授 今井 正治
	副 査 准教授 橋本 昌宜
	副 査 准教授 宋 天 (徳島大学)

論文審査の結果の要旨

本論文は、動画画像圧縮符号化の国際標準 H.265/HEVCにおける高速モード決定手法と変換アルゴリズムのVLSI化に関する研究の成果をまとめたものであり、以下の主要な成果を得ている。

1. 画像の階層符号化構造を活用した高速モード決定手法の提案

H.265/HEVC は、高精細画像を高圧縮率で符号化できる国際標準の動画画像圧縮符号化方式であり、さまざまな応用システムの実現が期待されている。一般に、動画画像の圧縮符号化では、同じフレーム内あるいは時間的に近接したフレームの一部を参照することで、データ量を削減し高圧縮率を達成している。H.265/HEVCでは、符号化時に多数の参照画像生成方式の中から、最適な候補を選択し、階層化分割された符号化ユニットに対して適用しており、このための計算量は膨大となっている。本論文では、画像の階層符号化構造の特徴を積極的に活用することで、高速に符号化モードを決定できる手法を提案している。具体的には、既に符号化が終了している近接フレームの同位置において、用いられた階層深度を参照し、符号化を行う最適な階層深度(符号化ユニットの大きさ)を推定する。次に、高速に予測残差を算出することで、さらに深い階層深度の探索を行うか否かを決定する。最後に、DCD (Discrete Cross Difference)に基づくフレーム内予測方式を適用することで、結果的に最適な符号化モードを効率よく求めることが可能となる。動画画像シーケンスを用いたシミュレーションの結果、本提案方式は画質を劣化させることなく、最大68.4%の演算量削減を達成している。

2. 高速モード決定手法のハードウェアアーキテクチャ設計

次に、提案した高速モード決定手法を実現するハードウェアアーキテクチャを考案している。符号化モードの決定には、他の符号化処理部との密接なやりとりが必要になるが、本論文では、状態遷移機械に基づく独立モジュールとして構成し、単純なハンドシェイクプロトコルを採用することにより他の処理部ハードウェアとの集積化実装を可能としている。さらに、ハードウェアで高速にDCDを算出する機構についても提案している。FPGAデバイスCyclone IV GXで実装した結果、高速モード決定用ハードウェアは193.65MHzで動作することが確認できている。また、高速DCDハードウェアも139.1MHzで動作しており、ともに4K x 2K 高精細画像を実時間で処理することが可能である。

3. 高性能変換処理アーキテクチャの提案

H.265/HEVC のさまざまな符号化モードに対応するためには、MPEG-2やH.264/AVCとは異なり、変換処理部が複数の大きさの符号化ユニットをサポートする必要がある。このため、本論文では、複数の大きさの入力画像に柔軟に対応できる変換処理部のアーキテクチャを提案している。符号化ユニットから階層的に変換処理を実装することにより、4x4から32x32までの処理を単一のハードウェアで実行することを可能にしている。45nmテクノロジーでのハードウェア合成結果から4Kx2K画像の実時間処理が可能であることを確認している。

以上のように、高速モード決定手法と変換アルゴリズムのVLSI化に関する本研究の成果は、今後ますます高精細画像の実時間処理が要求されているなか、そのハードウェア実装に非常に有用であり、さまざまな応用システムの実現に貢献するものと期待できる。したがって、博士(情報科学)の学位論文として価値あるものと認める。