



Title	マイクロ波位相同期発振回路の高性能化に関する研究
Author(s)	中川, 匡夫
Citation	大阪大学, 1997, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3129180
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

1996年10月

マイクロ波位相同期発振回路の 高性能化に関する研究

中川 匡夫

内容梗概

本論文は、無線通信に用いられるマイクロ波位相同期発振回路の高性能化に関する研究をまとめたものであり、全体を8章で構成している。

第1章は序論であり、近年のマイクロ波位相同期発振回路の高性能化の技術動向とその結果生じている位相雑音の問題、および本研究の目的と位置付けを述べる。すなわち本研究では、マイクロ波PLLのノイズフロア自体の低減を目的としてPLL回路の検討を進める。さらにこれを応用して各種通信方式用のマイクロ波PLLの開発を行なう。

第2章では、雑音モデルから導かれる位相雑音の表現式を通してPLLにおける位相雑音の特徴を概観する。この表現式に基づいて、PLLのノイズフロアを低減するためには、位相比較器の検波感度の向上と分周比 N を小さくすることが有効であることを明らかにする。また、そのための課題は、位相比較器については、PFCの周波数比較可能な利点を損なわずに検波感度を大きくすることであり、PLLについては、周波数ステップよりも基準周波数を高くすることが可能な回路構成を実現することであることを明確にする。

第3章では、マイクロ波帯のPLLの構成要素について、出力位相雑音への寄与を測定・解析し、位相比較器の検波感度向上が低位相雑音化に有効であることを明確にする。この上で、位相比較にはエクスクルーシブ・オア (EXOR) を使用し、かつ周波数比較には位相周波数比較器 (PFC) を使用することで、位相検波感度を2倍にし、かつ広い周波数引込み範囲を実現するループを提案する。IC化してPLLを構成した結果、PLLノイズフロアを7dB低減した。またVCOの発振可能な範囲全域にわたる周波数引込み範囲を実現した。

第4章では、周波数ステップを細かく保持したままで、基準周波数のみを高くし、位相雑音を低減化する「パルス列挿入型PLL」を提案する。またキーデバイスであるパルス列発生器の回路構成を提案し、IC化して周波数シンセサイザを構成した結果、同じ周波数ステップを持つ従来のPLLに比べ、PLLノイズフロアを約10dB低減した。

第5章では、周波数ステップと基準周波数との比を任意に設定することが可能な「任意分数設定型フラクショナル N ・PLL」を提案する。本PLLでは、周波数ステップの異なる用途に対してもハードウェアを変更することなく位相雑音を十分に低減できる。キーデバイスであるフラクショナル N ・分周器をIC化して周波数シンセサイザを構成した結果、整数の分周比を持つ従来のPLLに比べて約15dB、低位相雑音であった。また基準周

波数を固定し、周波数ステップのみを小さくしても、良好な位相雑音特性を保っており、高い柔軟性を確認した。

第6章では、サンプリング位相検波器 (SPD) を用いたPLLについて述べる。SPDは可変分周器が動作しないような高い周波数において低位相雑音化が可能であるが、ハイブリッド構成であり、また周波数引込み範囲が狭いという欠点を持っている。これを解決するモノリシック化が可能な回路構成を提案する。MMIC化した結果、基準周波数が100MHz・0dBmの時に20GHzまで検波動作を確認した。また、周波数引込み範囲をVCOの発振可能な範囲全域に拡大できるSPFCを提案した。SPFCとKu帯のMMIC VCOと組み合わせた結果、周波数比較信号がVCOの発振周波数を基準周波数の高調波の近傍に引き寄せ、かつサンプリング位相検波出力により位相同期が確立する良好な動作を得た。

第7章では、低位相雑音化したMMIC PLL発振回路の通信装置への応用について、その回路構成、設計法、特性について述べる。一つは16QAM変調方式用の局部発振器である。C帯で16QAMレベルの低位相雑音特性を実現するために、高位相検波感度のループを用い、かつSi MMICと高Q平面型共振回路によるVCOを開発して組み合わせた。この結果、誘電体共振器を用いた発振器に匹敵する性能を得る一方、重量を1/30とした。他の一つは多チャネル光映像分配システムに用いるFMチューナ用のMMICシンセサイザズドアップコンバータである。MMICの回路設計技術と高位相検波感度のループを用いて多チャネル光映像分配システムに用いるFMチューナを構成し、従来のチューナの6倍の帯域である2GHzに渡る広帯域の同調を確認した。全チャネルに渡って映像評価SN比50dB以上の良好な特性であり、主観評価上も良好な特性を得た。

第8章では、本論文全体を総括する。

目 次

謝辞	1
第1章 序論	2
1. 1 研究の背景	2
1. 2 論文の構成	3
第1章の参考文献	7
第2章 PLLにおける位相雑音の特徴と低位相雑音化の考え方	8
2. 1 まえがき	8
2. 2 位相同期ループの位相雑音表現式	8
2. 3 低位相雑音化の考え方	13
2. 4 まとめ	14
第2章の参考文献	15
第3章 位相雑音の解析と位相比較器の高感度化	16
3. 1 まえがき	16
3. 2 PLL構成要素の雑音測定	16
3. 3 位相雑音解析結果	20
3. 4 高検波感度PLL	20
3. 5 実験結果	25
3. 6 まとめ	29
第3章の参考文献	30
第4章 パルス列挿入型PLL	31
4. 1 まえがき	31
4. 2 動作原理	31
4. 3 パルス列挿入型PLLの位相雑音表現式	31
4. 4 他の技術との比較	36

4. 4. 1	通倍器	3 6
4. 4. 2	フラクショナルN・PLL	3 8
4. 5	パルス列発生器	3 8
4. 6	実験結果	4 1
4. 6. 1	パルス列発生器IC	4 1
4. 6. 2	周波数シンセサイザ	4 1
4. 7	まとめ	4 6
第4章の参考文献		4 7
第5章	任意分数設定型フラクショナルN・PLL	4 8
5. 1	まえがき	4 8
5. 2	従来のフラクショナルN・PLL	4 8
5. 3	任意分数設定型フラクショナルN・PLL	5 0
5. 3. 1	パルス・スワロー・カウンタ	5 0
5. 3. 2	提案する任意分数設定型フラクショナルN・PLL	5 2
5. 3. 3	IC化	5 5
5. 4	実験結果	5 5
5. 4. 1	フラクショナルN・分周器チップセット	5 5
5. 4. 2	周波数シンセサイザ	5 5
5. 5	まとめ	5 9
第5章の参考文献		6 1
第6章	サンプリング位相検波器を用いたPLL	6 2
6. 1	まえがき	6 2
6. 2	SPDの構成と動作原理	6 2
6. 3	SPDのMMIC化	6 4
6. 4	SPDの周波数引込み範囲の拡大	6 4
6. 4. 1	SPFCの動作原理	6 4
6. 4. 2	SPFCのMMIC化	6 9
6. 5	実験結果	7 2

6. 5. 1	MMIC SPD	7 2
6. 5. 2	SPFCを用いたPLL	7 2
6. 6	まとめ	7 8
第6章の参考文献		7 9
第7章	MMIC PLL発振回路の通信装置への応用	8 0
7. 1	まえがき	8 0
7. 2	16QAM用C帯MMIC局部発振器	8 0
7. 2. 1	適用技術	8 0
7. 2. 2	VCOの設計	8 1
7. 2. 3	C帯MMIC局部発振器の特性	8 3
7. 3	多チャネル光映像分配システムに用いるFMチューナ用MMIC	8 8
7. 3. 1	多チャネルFMチューナの構成	8 8
7. 3. 2	MMICの設計と特性	9 0
7. 3. 3	多チャネルFMチューナの特性	9 5
7. 4	まとめ	9 9
第7章の参考文献		1 0 0
第8章	結論	1 0 2
本論文に関する著者の発表論文		1 0 5

謝辞

本論文をまとめる過程に際し、懇切なる御指導と御鞭撻を賜りました大阪大学大学院工学研究科通信工学専攻の小牧省三教授ならびに森永規彦教授に謹んで感謝の意を表します。

本論文に対して有益な御討論、御助言を頂いた大阪大学大学院工学研究科通信工学専攻の倉園貞夫教授、前田肇教授、池田博昌教授、児玉裕治教授、大阪大学大学院工学研究科電子情報エネルギー工学専攻の長谷川晃教授、大阪大学産業科学研究所 元田浩教授に深く感謝致します。

本研究を進めるにあたり、御指導と御教示を頂きましたNTTワイヤレスシステム研究所 大平孝主幹研究員、相川正義プロジェクトリーダー、村口正弘グループリーダー、NTTアドバンステクノロジー株式会社 菅田孝之取締役（元NTT無線システム研究所グループリーダー）に深く感謝致します。

有益な御討論を頂きましたNTTワイヤレスシステム研究所 廣田哲夫主幹研究員、洲脇秀男元研究主任、平岡孝啓元研究主任、NTTシステムエレクトロニクス研究所 東原恒夫主幹研究員に感謝致します。またサンプリング位相検波器に関して御討論頂いたNTTシステムエレクトロニクス研究所 市野晴彦主幹研究員、多チャンネル光映像分配システム用MMICに関して御討論頂いたNTT光ネットワークシステム研究所 首藤晃一主幹研究員に感謝致します。

さらに、本研究の機会を与えて頂くと共に、御指導を頂きましたNTTアドバンステクノロジー株式会社 小檜山賢二専務取締役（元NTTワイヤレスシステム研究所所長）、NTTアドバンステクノロジー株式会社 森田浩三取締役（元NTT無線システム研究所部長）、NTT中央パーソナル通信網株式会社 栗田修室長（元NTTワイヤレスシステム研究所部長）、NTTワイヤレスシステム研究所 橋本明部長に深く感謝致します。

第1章 序論

1. 1 研究の背景

無線通信は、市外基幹回線、衛星通信、移動通信、パーソナル通信などその適用分野をますます広げている。これらはマイクロ波帯を中心とする高周波数を利用する。マイクロ波帯の無線装置では、搬送波（キャリア）であるマイクロ波帯と、変復調など信号処理の可能な中間周波数との周波数変換が不可欠であり、マイクロ波の局部発振器が用いられる。この局部発振器には、高い周波数安定度が要求されるため、マイクロ波の発振器を低周波の安定な基準信号源（主に水晶発振器）に位相同期する位相同期ループ（Phase-Locked Loop; PLL）が広く用いられている。

PLLは、高周波の発振器と基準信号源との位相差をなくすように働く帰還制御回路として構成され、高周波発振器の位相が変動した場合、基準信号源の位相を基準として変動を逆方向に引き戻すように制御する。従って日や年といった長期周波数安定度について高周波発振器と基準信号源とは等しくなり、基準信号源の長期安定度を高くすることにより向上することが可能である。

秒以下の短期周波数変動は、瞬時周波数の平均周波数からの偏差であるから、キャリアに位相変動がかかっていると考えることができる。ランダム信号による位相変動は位相雑音と呼ばれ、周波数領域では連続したスペクトラムの広がりとして観測される。

PLLはループの応答できる速度範囲内において、高周波発振器の位相雑音をPLL自身のノイズフロアまで抑圧する。PLLの応答できる速度範囲は、周波数領域においてループ帯域幅として定義される。このような局部発振器の位相雑音は周波数変換後の信号に重畳されて、ビット誤り率の増大など無線通信の品質の劣化を引き起こす[1]。従って短期周波数変動の抑圧は、高品質な通信を実現するためには重要な課題となる。

ところで近年、無線装置の小型化・経済化・高機能化を目的として、マイクロ波局部発振器のMMIC化・周波数シンセサイザ化および高周波化が進められている。MMIC

（Monolithic Microwave Integrated Circuit）は、GaAs等の半導体基板上にFET等の能動素子、抵抗やインダクタ等の受動素子を半導体プロセス技術により一括構成する高周波帯集積回路であり、装置の大幅な小形軽量化と量産性の向上による低コスト化を図ることができる[2]-[4]。しかしながら、マイクロ波発振器をMMIC化した場合、その小型共振回路の低Q性に起因して、位相雑音特性が劣化する。このような低Qの発振器の位相雑音を

抑圧するには、PLLの応答速度を速く、すなわちループ帯域幅を広く取る必要がある[5]。従ってPLLのノイズフロアが、より大きく出力に寄与することとなる。

また周波数シンセサイザとして一般に用いられるPLL周波数シンセサイザは、可変分周器（プログラマブル・ディバイダ）の分周比を変えることで出力周波数を可変とする。PLL周波数シンセサイザは高精度に周波数を設定でき、かつ出力周波数を容易に切り替えることができる。しかしながら、周波数ステップと位相雑音との間にトレードオフの関係があるという欠点を持つ。すなわち、周波数ステップを細かくするためには可変分周器の分周比を大きくする必要があり、可変分周器の分周比を大きくするとPLLのノイズフロアが劣化する。

さらに現在、映像、高速データなどのマルチメディアサービスを携帯端末で実現しようとする検討が始まっている。伝送容量の確保のため、その使用周波数は準ミリ波（10～30GHz）やミリ波（30GHz以上）といった高周波帯となる。このような高周波化もまたPLLの位相雑音特性を劣化させる。例えば発振出力をM通倍すると位相雑音は $20\log M$ (dB)劣化する。

このように、マイクロ波局部発振器のMMIC化、周波数シンセサイザ化、高周波化はいずれも位相雑音の問題を顕在化させた。周波数シンセサイザの高分解能化（周波数ステップの細小化）に伴う位相雑音の劣化に対して通常取られる解決手段は、多重ループPLLである。多重ループPLLは、PLL周波数シンセサイザのループ中にミキサを設け、ミキサに他のPLL発振器の信号を注入する構成である[6][7]。しかしながら、複数のPLL発振器とミキサ、およびミキサ出力から不要波を除去するフィルタが必要であり、装置の小型化・経済化・低消費電力化が困難となる。またMMIC化や高周波化に伴う位相雑音の劣化に対する解決手段とはならない。

以上のような背景のもとに、本研究では、マイクロ波PLLのノイズフロア自体の低減を目的としてPLL回路の検討を進める。さらにこれを応用して各種通信方式用のマイクロ波PLLの開発を行なう。

1. 2 論文の構成

本論文の構成を図1-1に、概要を以下に示す。本章は序論であり、近年のマイクロ波位相同期発振回路の高性能化の技術動向とその結果生じている位相雑音の問題、および本研究の目的と位置付けを述べた。

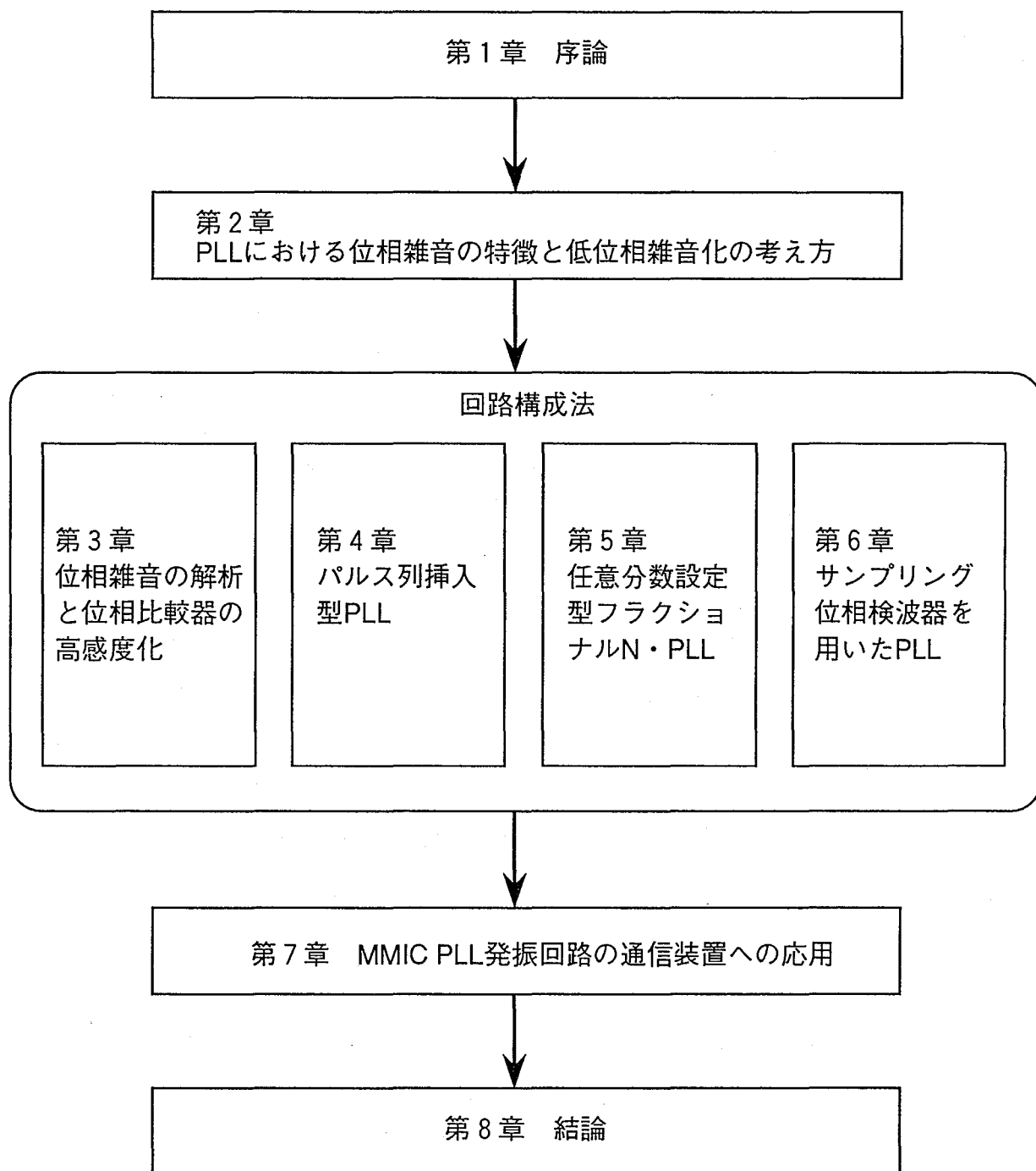


図1-1 論文の構成

第2章では、位相雑音の表現式を通してPLLにおける位相雑音の特徴を概観する。この表現式に基づいてPLLのノイズフロアを低減するための基本的な考え方を導き、検討することで、本研究における課題を明確にする。

第3章では、マイクロ波帯のPLLの構成要素について、出力位相雑音への寄与を測定・解析し、位相比較器の検波感度向上がPLLのノイズフロアの低減に有効であることを明確にする。この上で、高検波感度の新しいループを提案する。位相比較器をIC化してPLLを構成した結果、PLLノイズフロアを7dB低減した。

第4章では、周波数ステップを細かく保持したままで、基準周波数のみを高くし、位相雑音を低減化する「パルス列挿入型PLL」を提案する。またキーデバイスであるパルス列発生器の回路構成を提案する。パルス列発生器をIC化して周波数シンセサイザを構成した結果、同じ周波数ステップを持つ従来のPLLに比べ、PLLノイズフロアを約10dB低減した。

第5章では、周波数ステップと基準周波数との比を任意に設定することで、周波数ステップの異なる用途に対しても位相雑音を低減することが可能な「任意分数設定型フラクショナルN・PLL」を提案する。キーデバイスであるフラクショナルN・分周器をIC化し、周波数シンセサイザを構成した結果、整数の分周比を持つ従来のPLLに比べて約15dB、低位相雑音であった。また基準周波数を固定し、周波数ステップのみを小さくしても、良好な位相雑音特性を保っており、高い柔軟性を確認した。

第6章で述べるサンプリング位相検波器（SPD）は、可変分周器が動作しないような高い周波数において低位相雑音化が可能であるが、ハイブリッド構成であり、また周波数引込み範囲が狭いという欠点を持つ。これを解決する回路を提案し、MMIC化を可能にする。MMIC化した結果、基準周波数が100MHz・0dBmの時に20GHzまで検波動作を確認した。また、周波数引込み範囲をVCOの発振可能な範囲全域に拡大した。さらにKu帯のMMIC VCOと組み合わせて、良好な動作を得た。

第7章では、低位相雑音化したMMIC PLL発振回路の通信装置への応用について述べる。一つは16QAM用の局部発振器である。C帯で16QAMレベルの低位相雑音特性を実現するために、高位相検波感度のループを用い、かつSi MMICと高Q平面型共振回路によるVCOを開発して組み合わせた。この結果、誘電体共振器を用いた発振器に匹敵する性能を得る一方、重量を1/30とした。他の一つは多チャネル光映像分配システムに用いるFMチューナ用MMICである。MMICの回路設計技術と高位相検波感度のループを用いる

ことで、広帯域な同調特性と良好な映像受信特性を得た。

第8章では、本論文全体を総括する。

第1章の参考文献

- [1] W. P. Robins, Phase Noise in Signal Sources. London, UK: Peter Peregrinus, 1982.
- [2] R. S. Pengelly and D. Maki, "MMICs near their 25th birthday," *Microwaves & RF*, vol. 26, no. 3, pp. 314-324, March 1987.
- [3] M. Aikawa, N. Imai, T. Tokumitsu, and M. Muraguchi, "MMIC technology for communication systems," *Annales des télécommunications*, vol. 47, no. 11-12, pp. 469-477, 1992.
- [4] 梶村, "MMICの現状と動向," *電気通信*, vol. 57, no. 566, pp. 78-83, Feb. 1994.
- [5] T. Ohira, T. Hiraoka, and H. Kato, "MMIC 14-GHz VCO and Miller frequency divider for low-noise oscillator," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-35, no. 7, pp. 657-662, July 1987.
- [6] K. R. Slinn, P. A. Volckman, and E. Scherer "Low-noise synthesizers for radar and communications," *IEE Proc., Part H*, vol. 130, no. 7, pp. 430-436, Dec. 1983.
- [7] J. A. Crawford, "Synthesizer designs minimize phase noise in cellular systems," *Microwaves & RF*, vol. 32, no. 1, pp. 69-78, Jan. 1993.

第2章 PLLにおける位相雑音の特徴と低位相雑音化の考え方

2. 1 まえがき

本章では、位相雑音の表現式を通してPLLにおける位相雑音の特徴を概観する。この表現式に基づいてPLLのノイズフロアを低減するための基本的な考え方を導き、検討することで、本研究における課題を明確にする。

2. 2 位相同期ループの位相雑音表現式

PLLの基本構成を図2-1に示す。構成要素は、電圧制御発振器 (Voltage-Controlled Oscillator; VCO)、位相比較器、ループフィルタ、分周器および基準信号源である。PLLでは、VCO出力からの帰還信号を分周器で分周し、この分周信号と基準信号との位相差を位相比較器で検出する。この位相比較器の出力はパルス状の信号であるため、ループフィルタで積分して直流制御信号としてVCOに加える。VCOの位相が変動した場合、基準信号の位相を基準として変動を逆方向に引き戻すように働き、位相に関する負帰還ループとなる。RF出力周波数を f_{VCO} 、基準周波数を f_{REF} 、分周器の分周比を N とすると、周波数関係は、

$$\frac{f_{VCO}}{N} = f_{REF} \quad (2-1)$$

$$\therefore f_{VCO} = N \cdot f_{REF} \quad (2-2)$$

となる。従って分周比を N から $N+1$ に変えたときの周波数ステップ f_{STEP} は、

$$f_{STEP} = f_{REF} \quad (2-3)$$

となり、周波数ステップと基準周波数は等しい。

PLLの出力位相雑音は、PLLのすべての構成要素で発生もしくは付加される雑音の寄与により決定される[1]-[4]。PLLの構成要素で付加される雑音を記述した雑音モデルを図2-2に示す。位相比較器とループフィルタの出力は電圧の次元を持ち、付加される雑音も電圧の雑音である。発生する雑音をそれぞれ、 $V_{PD,n}$ 、 $V_{FIL,n}$ としている。これ以外のVCO、分周器、基準信号源は位相の雑音となる。発生する雑音をそれぞれ、 $\phi_{VCO,n}$ 、 $\phi_{DIV,n}$ 、 $\phi_{REF,n}$ としている。雑音の原因には、能動素子を流れる電流のゆらぎや抵抗の熱雑音などがある。この雑音モデルにラプラス変換の手法を適用することによって、位相

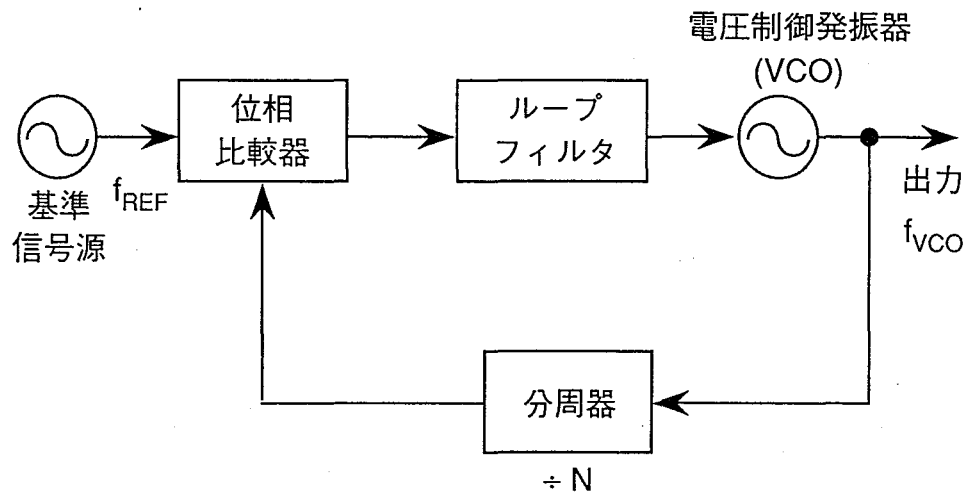


図2-1 位相同期ループの基本構成

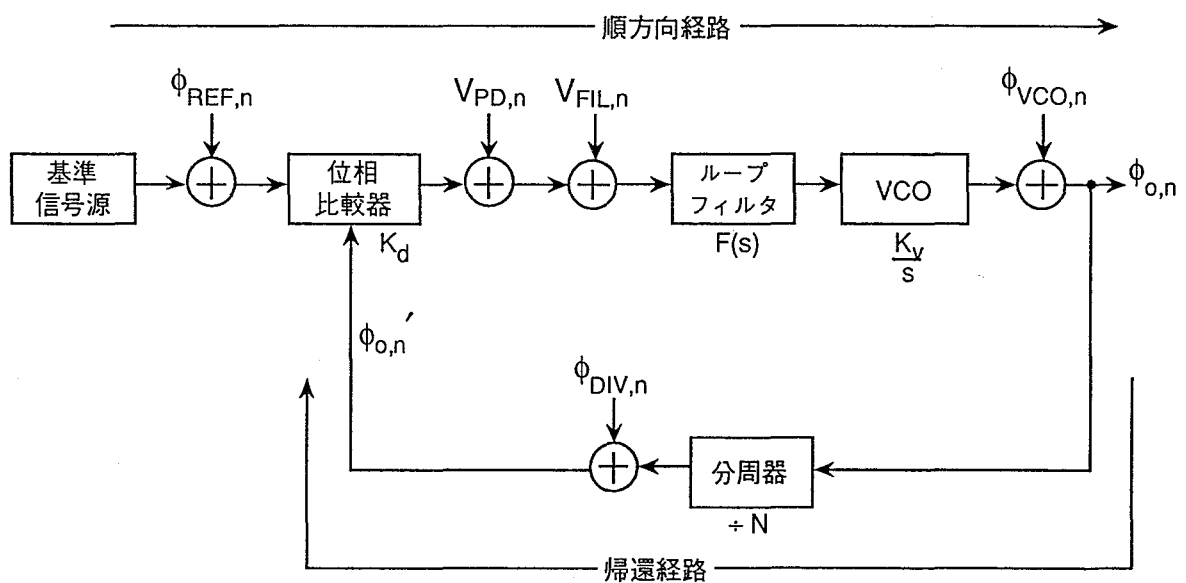


図2-2 PLLの雑音モデル

雑音に関する表現式を得る[2]。図中の K_d は位相比較器の検波感度であり単位はV/rad、 K_v はVCOの電圧一周波数変換利得であり単位はrad/sec/V(=2 π Hz/V)、 $F(s)$ はループフィルタの伝達関数、 N は分周器の分周比である。なおVCOは電圧を変換利得 K_v で周波数に変換するが、周波数は位相の時間微分であるため、入力を電圧、出力を位相とした場合の伝達関数は積分演算子が付加され K_v/s となる。 s (=j2 πf) はラプラス演算子であり、出力信号周波数からの離調周波数を表している。この時、図中の順方向経路について、

$$\phi_{o,n} = \left\{ \left(\phi_{REF,n} - \phi_{o,n} \right) K_d + V_{PD,n} + V_{FIL,n} \right\} F(s) \frac{K_v}{s} + \phi_{VCO,n} \quad (2-4)$$

が成立する。一方、帰還経路については、

$$\phi_{o,n} = \frac{\phi_{o,n}}{N} + \phi_{DIV,n} \quad (2-5)$$

である。上記方程式を出力位相雑音 $\phi_{o,n}$ について解くと、

$$\begin{aligned} \phi_{o,n} &= \frac{\frac{K_d K_v F(s)}{Ns}}{1 + \frac{K_d K_v F(s)}{Ns}} \left(\phi_{REF,n} - \phi_{DIV,n} + \frac{V_{PD,n} + V_{LPF,n}}{K_d} \right) \cdot N \\ &\quad + \frac{1}{1 + \frac{K_d K_v F(s)}{Ns}} \phi_{VCO,n} \\ &= H(s) \left(\phi_{REF,n} - \phi_{DIV,n} + \frac{V_{PD,n} + V_{LPF,n}}{K_d} \right) \cdot N + (1 - H(s)) \phi_{VCO,n} \end{aligned} \quad (2-6)$$

となる。ここで

$$H(s) = \frac{\frac{K_d K_v F(s)}{Ns}}{1 + \frac{K_d K_v F(s)}{Ns}} \quad (2-7)$$

はPLLの閉ループ伝達関数と呼ばれる。 s の小さい周波数領域、すなわちキャリア近傍では、

$$H(s) \approx 1, 1 - H(s) \approx 0$$

であるので、

$$\phi_{o,n} = \left(\phi_{REF,n} - \phi_{DIV,n} + \frac{V_{PD,n} + V_{LPF,n}}{K_d} \right) \cdot N \quad (2-8)$$

となる。ここで $\phi_{... ,n}$ 、および $V_{... ,n}$ の2乗の次元を持つ電力スペクトラムを $S_{\phi_{... ,n}}(f)$ および $S_{V_{... ,n}}(f)$ とすると、個々の構成要素の雑音は互いに相関が無く、個々の雑音の電力スペクトラムの加算が出力雑音の電力スペクトラムとなることから次式を得る。

$$S_{\phi_{o,n}}(f) = \left\{ S_{\phi_{REF,n}}(f) + S_{\phi_{DIV,n}}(f) + \frac{S_{V_{PD,n}}(f) + S_{V_{FLL,n}}(f)}{K_d^2} \right\} N^2 \quad (2-9)$$

逆に、 s の大きい周波数範囲では、

$$H(s) \approx 0, 1-H(s) \approx 1$$

であるので、

$$\phi_{o,n} = \phi_{VCO,n} \quad (2-10)$$

となり、出力雑音の電力スペクトラムは次式となる。

$$S_{\phi_{o,n}}(f) = S_{\phi_{VCO,n}}(f) \quad (2-11)$$

すなわちPLLの位相雑音の特徴は、次の通りである。

- 1) 離調周波数の小さい周波数範囲では、VCOの持つ位相雑音はPLLのノイズフロアまで抑圧される。ノイズフロアは、基準信号源と分周器自身が持つ雑音の N^2 倍(=20logN dB)の雑音と、位相比較器とループフィルタ自身が持つ雑音の N^2/K_d^2 倍の雑音の総和となる。
- 2) 離調周波数の大きい周波数範囲では、VCOの持つ位相雑音がそのまま出力される。個々の構成要素の雑音はすべて、離調周波数の小さい周波数範囲では $1/f$ 雑音のように離調周波数の増加につれて減少し、離調周波数の大きい周波数範囲では周波数依存のない白色雑音の形状を示す。白色雑音となる離調周波数は、基準信号源として一般に用いられる水晶発振器の場合、数kHz程度であるのに対し、マイクロ波帯のVCOでは数十MHz以上である。

PLLの出力位相雑音の模式図を図2-3に示す。出力位相雑音が(2-9)式から(2-11)式に移る離調周波数は、 $|H(s)|$ が-3 dBとなる周波数、ループ帯域幅で表すことができる。PLLの出力位相雑音の積分値を最小にするのは、ループ帯域幅がPLLノイズフロアと

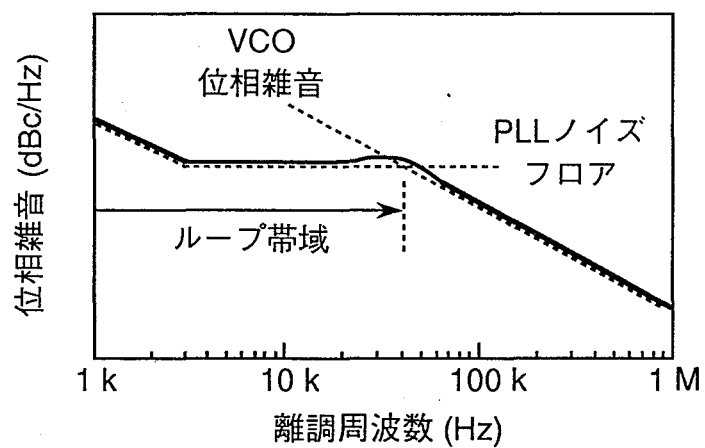


図2-3 PLLの出力位相雑音

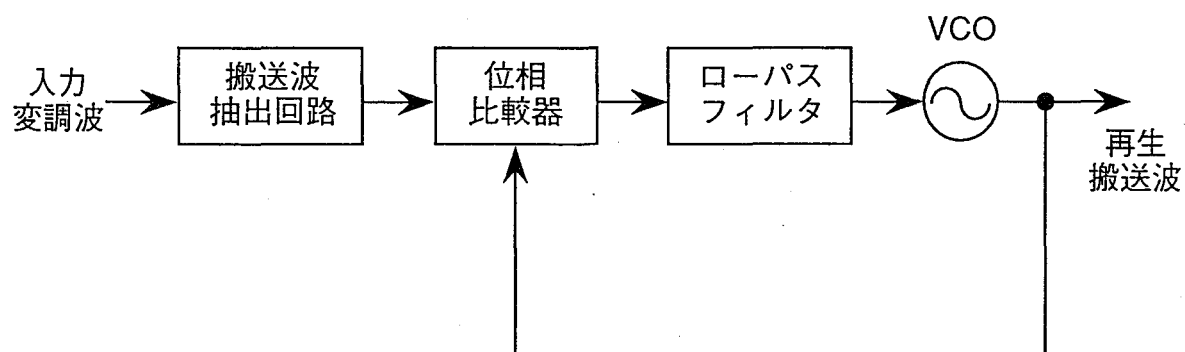


図2-4 搬送波再生回路

VCOの位相雑音の交点に等しく設定された時である[1][4]。

ここで低周波数で用いられるPLLを検討し、マイクロ波帯のPLLとの違いを明らかにしておく。低周波数のPLLの代表な応用に、デジタル位相変調（PSK）方式等の復調回路で用いられる搬送波再生回路がある。この例を図2-4に示す。入力変調信号は逆変調回路などの搬送波抽出回路に入力され、非線型操作によって搬送波成分を抽出する。これを後続のPLLに入力することにより、雑音を取り去り、CN比を改善して搬送波を再生する。ここでPLLは、狭帯域なローパスフィルタとして用いられている。低い周波数であるためにVCOの雑音はほとんど無視でき、雑音として支配的なのはPLL入力信号（搬送波抽出回路の出力信号）に含まれる雑音である。従ってループ帯域幅を小さくすることによって出力雑音を小さくできる。一方、マイクロ波帯のPLLではVCOが大きな位相雑音を持っている点が大きく異なる。この位相雑音を抑圧するためには適切なループ帯域幅が必要である。ループ帯域幅を小さくしたからといって出力雑音は小さくならない。また分周比が大きいために、ループ中の構成要素の雑音も出力雑音に大きく寄与する。

2. 3 低位相雑音化の考え方

(2-9)式より、PLLのノイズフロアを低減するための基本的な考え方を以下のように導くことができる。

- ①個々の構成要素で発生する雑音電力 $S_{n,n}(f)$ を小さくする。
- ②位相比較器の検波感度 K_d を大きくする。
- ③分周比 N を小さくする。

①については、分周器に関してそのロジックファミリー（CMOS、TTL、ECL、GaAsFET）の違いにより発生する雑音を比較検討する試みがなされている[5]-[7]。これらは、現存する分周器の中から低雑音の部品を選択するための検討である。マイクロ波帯で動作可能な構成はSiバイポーラのECLとGaAsFETの2種類であるが、ECLの方が $1/f$ 雑音が小さく低雑音である。

本研究では、主にPLL回路構成の工夫により、②と③の実現を目指す。②の位相比較器の検波感度の向上によって低減できる雑音は、(2-9)式から位相比較器とループフィルタの発生する雑音であることがわかる。ループ帯域や過渡応答特性などのループ特性は

(2-7)式で与えられる閉ループ伝達関数で決定されるため、位相比較器の検波感度の向上と共にループフィルタの伝達関数 $F(s)$ を変更することにより、これらのループ特性を一定に保ちつつ、雑音のみを小さくできる。

位相比較器として現在、位相周波数比較器 (Phase Frequency Comparator; PFC) が広く用いられる[8][9, p.102]。PFCは位相差と周波数差の両方を検出できるため、PLLの周波数引込み範囲 (プルインレンジ) を、VCOの発振可能な範囲全域まで広くすることができる。従ってこの周波数比較可能な利点を損なわずに、検波感度を大きくすることが課題である。

③の分周比 N を小さくすることは、基準周波数、すなわち位相比較周波数を高くすることに他ならない。従来のPLLでは、基準周波数はシステムにより与えられる周波数ステップ (チャンネル間隔) と等しい。従って、周波数ステップよりも基準周波数を高くすることが可能な回路構成を実現することが課題となる。

2. 4 まとめ

PLLのすべての構成要素で付加される雑音を記述した雑音モデルから導かれる位相雑音の表現式を通してPLLにおける位相雑音の特徴を概観した。この表現式に基づいて、PLLのノイズフロアを低減するためには、位相比較器の検波感度の向上と分周比 N を小さくすることが有効であることを明らかにした。また、そのための課題は、位相比較器については、PFCの周波数比較可能な利点を損なわずに検波感度を大きくすることであり、PLLについては、周波数ステップよりも基準周波数を高くすることが可能な回路構成を実現することであることを明確にした。

第2章の参考文献

- [1] L Martin, "Noise-property analysis enhances PLL designs," EDN, September 16, pp. 91-98, 1981.
- [2] V. F. Kroupa, "Noise properties of PLL systems," IEEE Trans. Comm., vol. COM-30, no. 10, pp. 2244-2252, Oct. 1982.
- [3] L. Martin, "Program optimizes PLL phase-noise performance," Microwaves & RF, vol.31, no.4, pp.78-91, April 1992.
- [4] A. Hodisan, Z. Hellman, and A. Brilliant, "CAE software predicts PLL phase noise," Microwaves & RF, vol. 33, no.11, pp.95-102, Nov. 1994.
- [5] M. Bomford, "Selection of frequency dividers for microwave PLL applications," Microwaves & RF, vol. 29, no.11, pp.159-167, Nov. 1994.
- [6] W. F. Egan, "Modeling phase noise in frequency dividers," IEEE Trans. Ultrasonics, Ferroelectrics, and frequency control., vol.37, no. 4, pp. 307-315, July 1990.
- [7] M. R. McClure, "Residual phase noise of digital frequency dividers," Microwave J., vol. 35, no. 3, pp. 124-130, March 1992.
- [8] J. I. Brown, "A digital phase and frequency-sensitive detector," Proc. IEEE, vol. 59, no. 2, pp. 717-718, Apr. 1971.
- [9] 畑, 古川, PLL-ICの使い方. 秋葉出版株式会社, 1986.

第3章 位相雑音の解析と位相比較器の高感度化

3. 1 まえがき

前章で述べたように、位相比較器の検波感度向上によって低減できる雑音は、位相比較器とループフィルタの発生する雑音である。実際、位相比較器の雑音はPLLのノイズフロアとなり得る[1]。そこで、マイクロ波帯のPLLのすべての構成要素について出力位相雑音への寄与を測定・解析し、位相比較器の検波感度向上の有効性を検討する。また高検波感度の新しいループ構成を提案し、実験によりその有効性を検証する。

3. 2 PLL構成要素の雑音測定

マイクロ波帯のPLLの典型例として、4～6GHzで動作するPLLを対象とする。PLLの構成要素は、基準信号源、分周器、位相比較器、ループフィルタおよびVCOである。ループ帯域内の雑音に寄与するのはVCO以外の4つであり、これらの発生する位相雑音を測定する。

a. 基準信号源

基準信号源として75MHz帯の温度補償水晶発振器（TCXO）を評価する。発振器の位相雑音の最も簡易な測定法は、スペクトラム・アナライザに直接入力する方法であるが、水晶発振器のように低位相雑音の発振器には用いることができない。理由は、スペクトラム・アナライザ内部の局部発振器の位相雑音にマスクされることである。例えば高安定なスペクトラム・アナライザ、HP8566Bの場合、中心周波数100Hz～5.8GHzでの内部局部発振器の位相雑音は1kHz離調で-85dBc/Hz、100kHz離調で-105dBc/Hz程度である。低位相雑音の発振器を測定する場合、PLL法という測定法を用いる[2, p.103]。測定系を図3-1に示す。これは被測定信号源と、被測定信号源と同じ周波数を発振する電圧制御信号源と、ダブルバランスミキサを用いた位相比較器とを用いる。PLLは2つの信号源の位相差を90度に維持するのに用いられている。同周波数で90度位相差の2信号が位相比較器に入力されると、位相比較器出力の平均直流電圧は0となり、被測定信号源の位相のゆらぎが電圧制御信号源との位相差に比例した電圧変化として検出できる。ただし電圧制御信号源の位相を基準として位相雑音を測定するため、電圧制御信号源の持つ位相雑音以下の雑音測定はできない。ここでは、被測定信号源と同種類でかつ外部電圧による周波数制御機能の付いている温度補償水晶発振器を電圧制御信号源として用いる。測

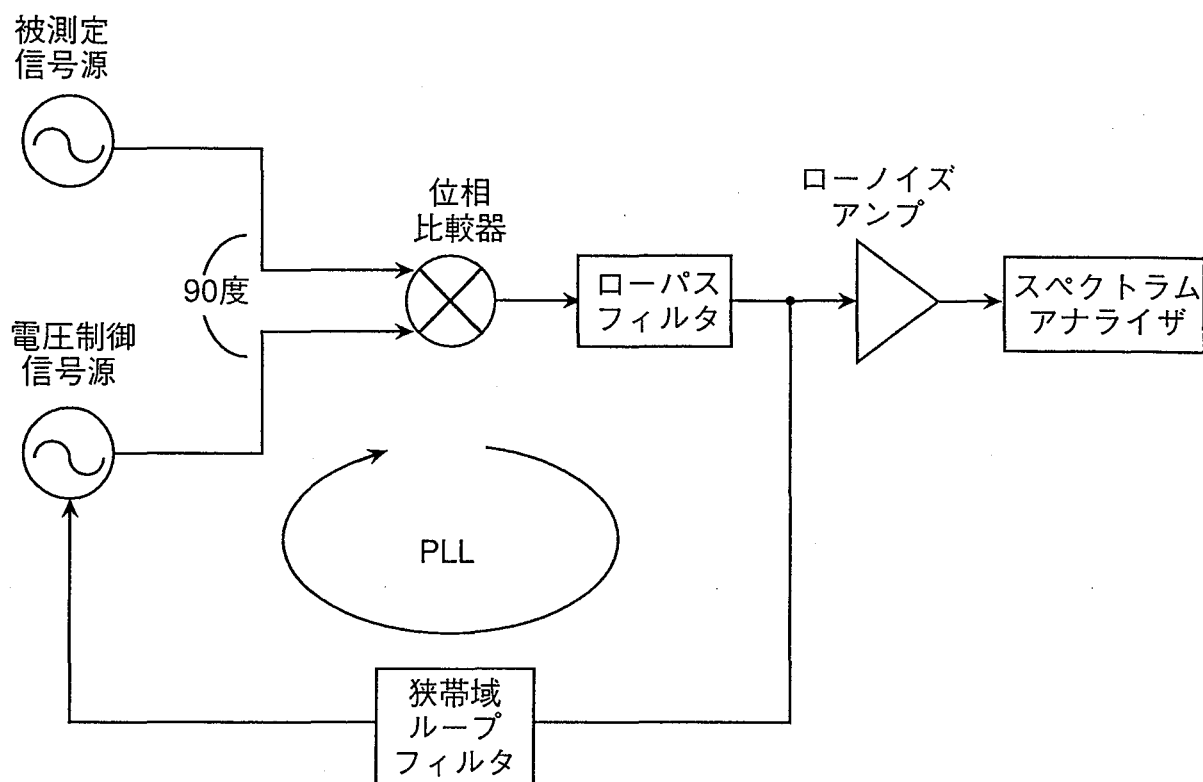


図3-1 基準信号源の位相雑音測定系

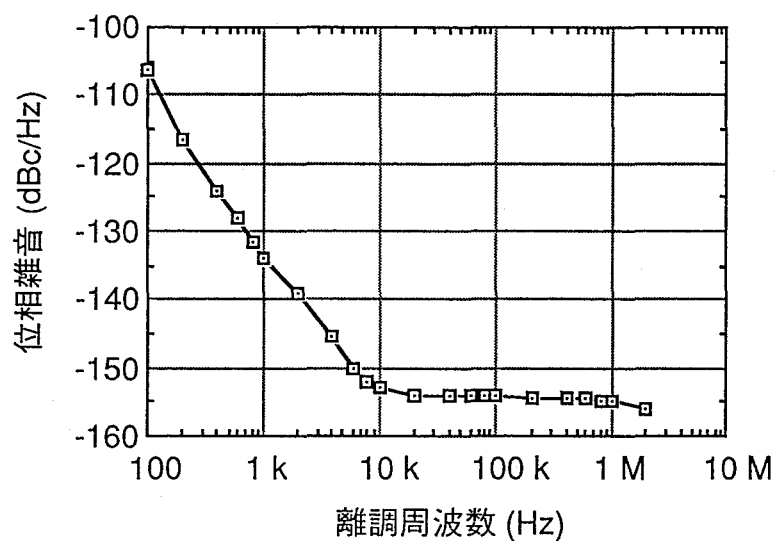


図3-2 基準信号源の位相雑音測定結果

定に電圧制御信号源として用いた75MHz帯水晶発振器の周波数制御特性は $\pm 1700\text{Hz}/\pm 1\text{V}$ であった。位相雑音測定結果を図3-2に示す。被測定信号源と電圧制御信号源の2つの水晶発振器は互いに独立に雑音を発生するために、1つ分の雑音は測定結果の半分の値、すなわち3dB差し引いた値である。

b. 分周器

分周器として評価するのは、マイクロ波帯で動作可能でかつ $1/f$ 雑音が小さい、高速SiバイポーラのECLで構成された分周器[3]であり、分周比は64である。分周器のような2ポート・デバイスの付加雑音を測定するには、残留雑音測定法を用いる[4][5]。測定系を図3-3(a)に示す。信号源の出力は2つに分けられ、両方の経路に分周器を置く。2つの経路に90度の位相差を与えて位相比較器に入力する。従って、信号源の雑音は相殺されて分周器で付加される雑音のみが現れる。2つの分周器は互いに独立に雑音を発生するために、1つ分の雑音は測定結果の半分の値、すなわち3dB差し引いた値である。図3-3(b)にシステムノイズフロアの雑音測定の構成を示す。これらの雑音測定結果を図3-4に示す。測定時の分周器出力は100MHzであった。分周器の出力周波数が異なる場合の雑音は、出力周波数に比例して換算する必要がある[6]。

c. 位相比較器

位相比較器は、位相差と周波数差の両方を検出できる位相周波数比較器 (Phase Frequency Comparator; PFC) である[7][8, p.197]。PFCの動作を図3-5に示す。2つの入力信号の位相の進み、あるいは遅れによって出力端子UおよびDの一方のみがアクティブとなる。入力信号1に対して入力信号2が遅れている場合、U信号は2つの入力信号の立ち上がりエッジでハイからローに変化する。一方、D信号は変化しない。逆に入力信号1に対して入力信号2が進んでいる場合、U信号は変化せず、D信号が2つの入力信号の立ち上がりエッジでハイからローに変化する。従ってU信号とD信号の差分の信号U-Dのパルス幅は2入力信号の位相差に比例し、位相の進みと遅れとで極性が反対となる。このためU-D信号を積分した出力は、位相の進みと遅れ（位相差の正負）によって極性の異なるのこぎり波状の位相差検出特性となる。入力信号1に対して入力信号2の周波数が高い場合、入力信号2の位相は入力信号1に対して進み続け、周波数差に相当する周期で 2π になる。反対に入力信号1に対して入力信号2の周波数が低い場合、入力信号2の位相は遅れ続け、周波数差に相当する周期で -2π になる。従って周波数の高低

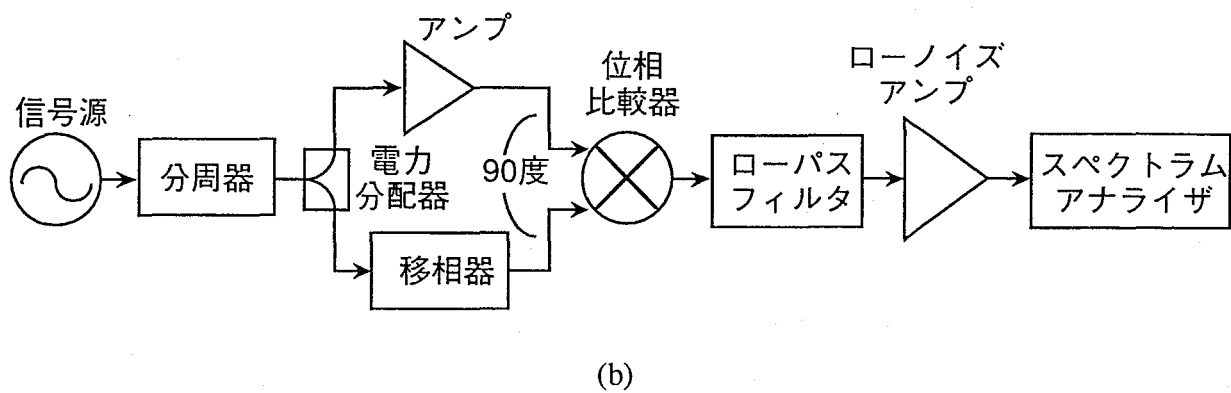
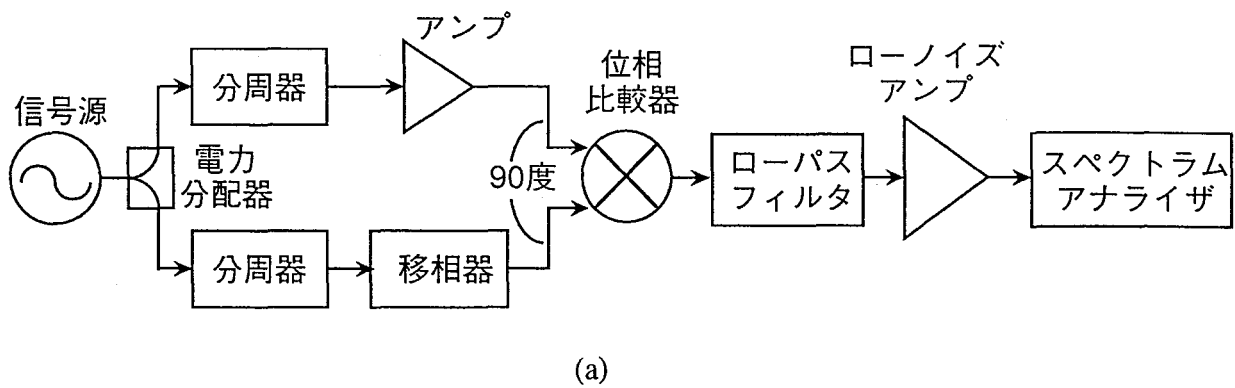


図3-3 残留雑音の測定系
(a) 分周器 (b) システムノイズフロア

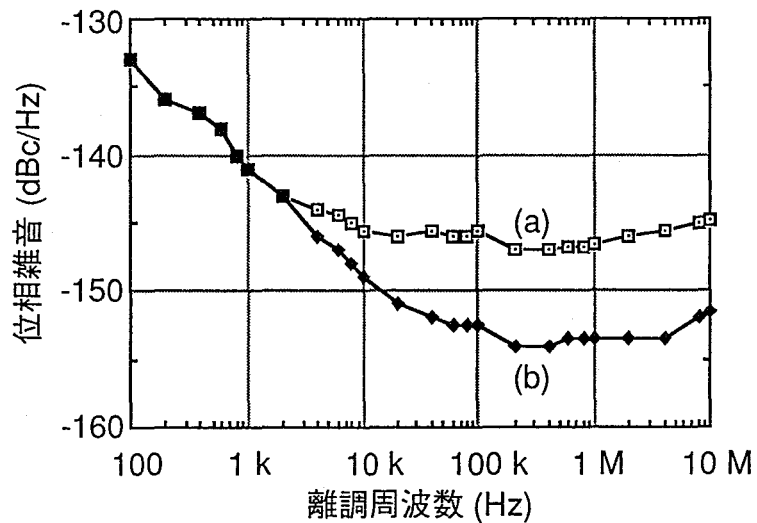


図3-4 残留雑音の測定結果
(a) 分周器 (b) システムノイズフロア

に応じて、U-Dを積分した出力の直流成分が切り替わり、周波数比較信号となる。

PFCの発生する雑音は電圧雑音であるため、高インピーダンス入力 ($1\text{M}\Omega$) のFFTアナライザに直接入力して測定する。測定系を図3-6に示す。PFCに入力される2信号の位相差は、後段のアンプが飽和しないように設定する。雑音測定結果を図3-7に示す。アンプの利得は34dBであったため、入力換算雑音は測定値から34dB差し引いた値となる。

PFCの検波感度 K_d は、図3-5の位相差検出特性の傾きに相当する。 K_d の測定結果は0.35V/radであった。

d. ループフィルタ

ループフィルタの雑音も電圧雑音であり、オペアンプの雑音とフィルタ中の抵抗の熱雑音との和である。そこでオペアンプと抵抗とを込みにして、図3-8に示す測定系で測定する。雑音測定結果を図3-9に示す。オペアンプの利得は34dBとなるため、入力換算雑音は測定値から34dB差し引いた値となる。

3. 3 位相雑音解析結果

第2章の(2-9)式で示されるように、PLLの構成要素のノイズフロアへの寄与は、基準信号源と分周器については、それ自身が持つ雑音の N^2 倍($=20\log N$ dB)、位相比較器とループフィルタについては、それ自身が持つ雑音の N^2/K_d^2 倍となる。この換算結果を図3-10に示す。この図から、離調周波数が1kHz以下では基準信号源の雑音が支配的であり、1kHz以上ではPFCの雑音が支配的であることがわかる。C帯のVCOの位相雑音は一般に、1MHz離調で-110~-130dBc/Hz程度である。このためPLLの出力位相雑音の積分値を最小にすることを目的にループ帯域幅を設定すると、ノイズフロアとVCOの位相雑音の交点の数十~数百kHzとなり、PFCの雑音の低減がPLLの出力位相雑音の低減化に有効となる。また図3-10からは、PFCの雑音を低減すればPLLの出力位相雑音が無限に小さくなるわけではなく、次に分周器の発生する雑音がノイズフロアとなることもわかる。

3. 4 高検波感度PLL

第2章で検討したように、PFCの雑音の低減のために検波感度を大きくすることを考える。そこで図3-11に示すループ構成を提案する[9]。このループでは、位相比較にはエクスクルーシブ・オア (EXOR) を使用している。EXORの動作を図3-12に示す。EXORは2入力の論理レベルが共にハイまたは共にローの時にローを出力し、2入力の論理レ

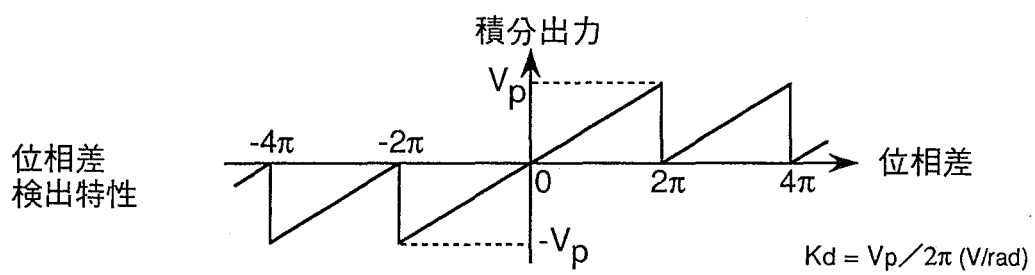
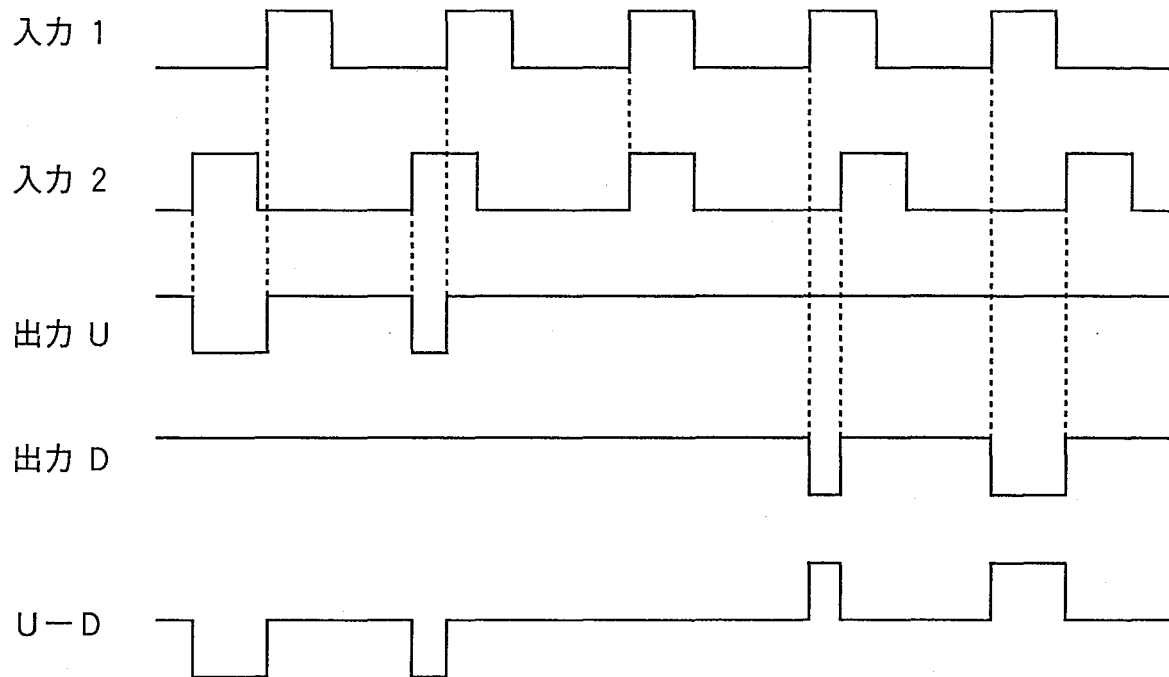


図3-5 PFCの動作

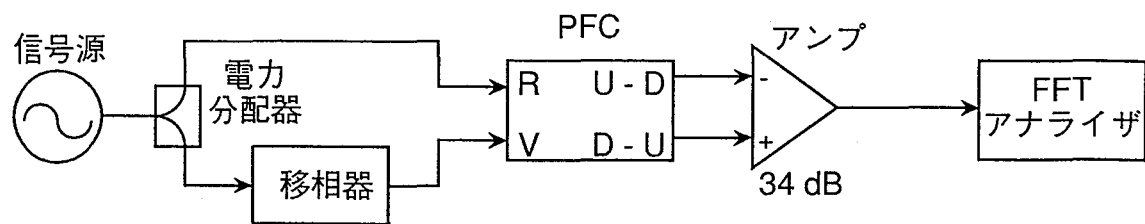


図3-6 PFCの雑音測定系

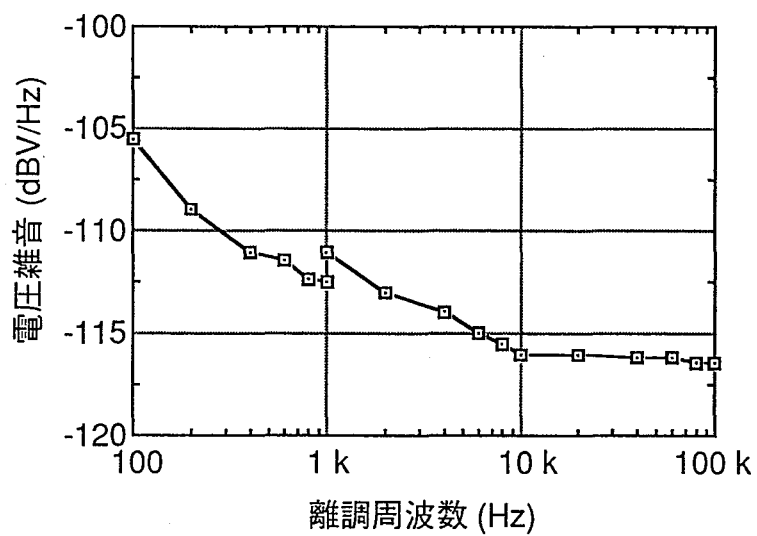


図3-7 PFCの雑音測定結果

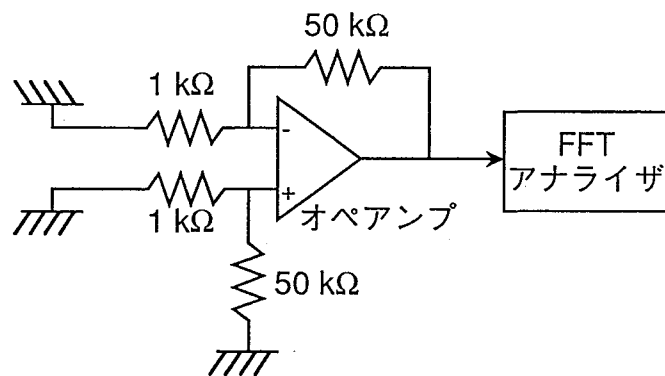


図3-8 ループフィルタの雑音測定系

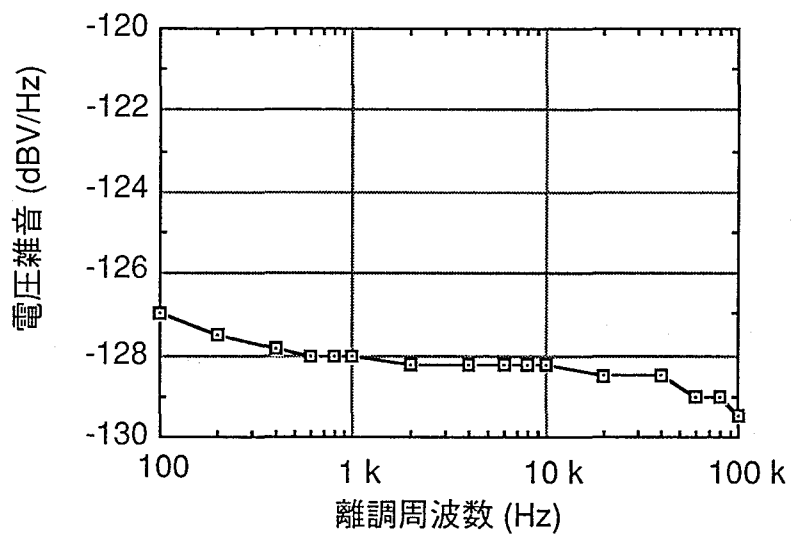


図3-9 ループフィルタの雑音測定結果

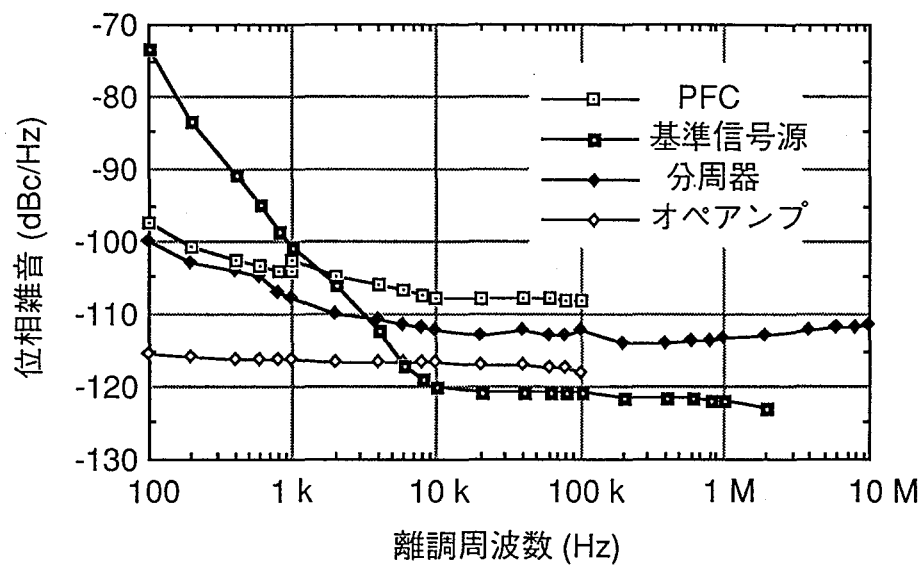


図3-10 PLL構成要素の5GHz帯出力への寄与

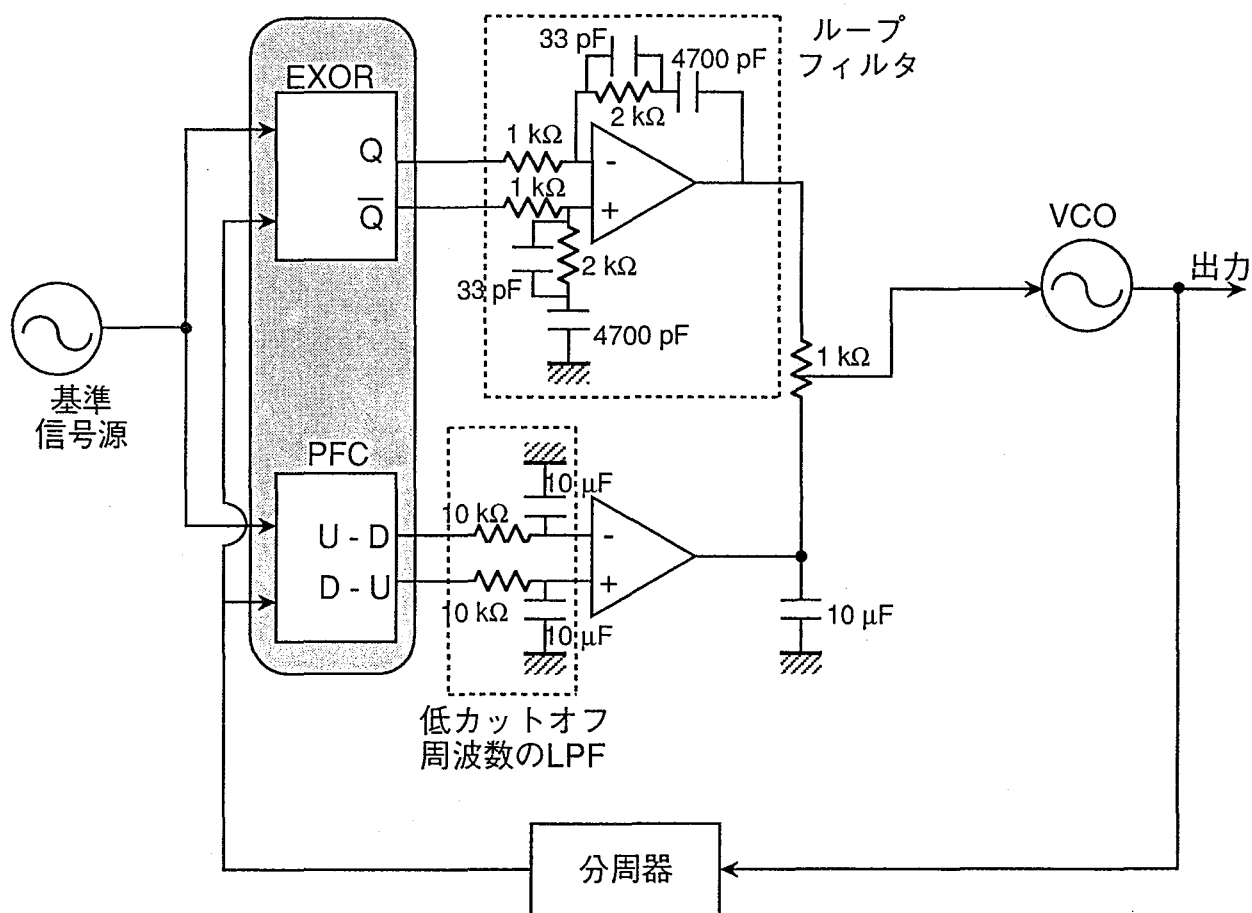


図3-11 提案する高検波感度PLL

ベルが異なる時にハイを出力する回路であるので、積分出力は位相差0から π まで単調増加、 π から 2π まで単調減少する三角波状の位相差検出特性となる。従ってのこぎり波状の位相差検出特性を持つPFCと比較し、EXORは2倍の K_d を持つ。

しかしながら、EXORには周波数比較機能がなくその周波数引込み範囲は狭い。この問題を解決するために、図3-11のループでは、PFCの後段のローパスフィルタのカットオフ周波数をループ帯域に比べ充分低く設定し（図3-11では1.6Hz）、EXORの出力と加算している。このためPFCの出力から周波数比較の極性を持つ直流成分のみが検出され、PFCの発生する雑音はローパスフィルタで取り除かれる。この直流成分をオフセットとして、EXORの出力がループフィルタを介して加算される。従って、位相同期状態ではEXORによって低位相雑音となり、非同期状態ではPFCの周波数比較の直流成分で周波数制御がなされて、広い周波数引込み範囲が実現できる。

3. 5 実験結果

EXORとPFCとは1チップSi IC化した。チップ面積は2.0 mm × 2.0 mmである。EXOR単体の発生する雑音を図3-6の系で測定した結果を、PFCの結果と共に図3-13に示す。100kHz近辺での雑音は両者ともほぼ等しい。

このICをC帯のVCOと組み合わせて図3-11に示すPLLを構成した。VCOの周波数可変範囲は4.75～4.89GHzである。

本PLLの周波数過渡応答を図3-14(a)に示す。初期状態では基準周波数入力をオフにしている。すなわちVCOは自走発振であり、周波数は4.753MHzである。時刻0において、基準周波数76.33MHzを入力すると、約200ms後に基準周波数の64倍である4.885GHzでの位相同期が確認できた。この場合、VCOの周波数可変範囲のほぼ端から端までの周波数引込み範囲を実現している。周波数の切替え時間はPFCの後段のローパスフィルタにより決定されている。図3-14(b)は位相比較器としてEXORのみを使用した場合の周波数過渡応答である。この場合は位相同期ができなかった。周波数引込み範囲の測定値は38MHz（1/64分周器の出力端子では約600kHz）であった。

本PLLの位相雑音特性を図3-15に示す。図では比較のために、PFCのみを使用した場合とEXORのみを使用した場合も共に示してある。図からわかるように、本PLLはPFCのみを使用した場合に比べ、PLLノイズフロアを7dB改善している。また本PLLはEXORのみの場合と同等の位相雑音特性を示している。

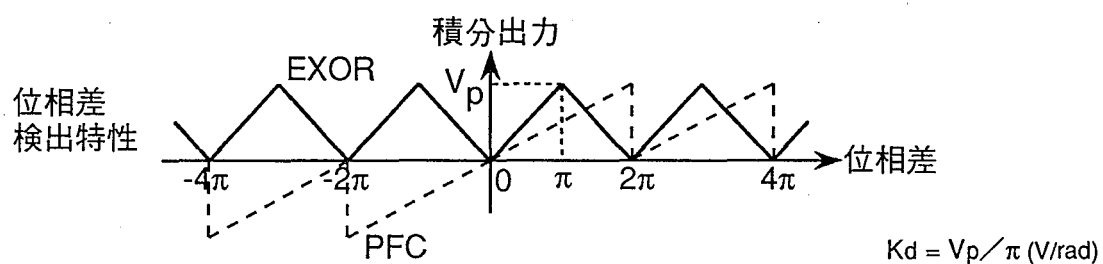
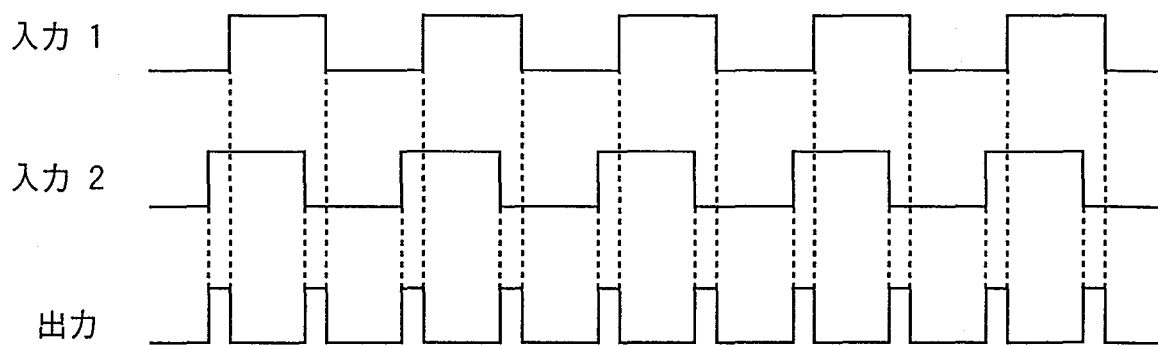


図3-12 EXORの動作

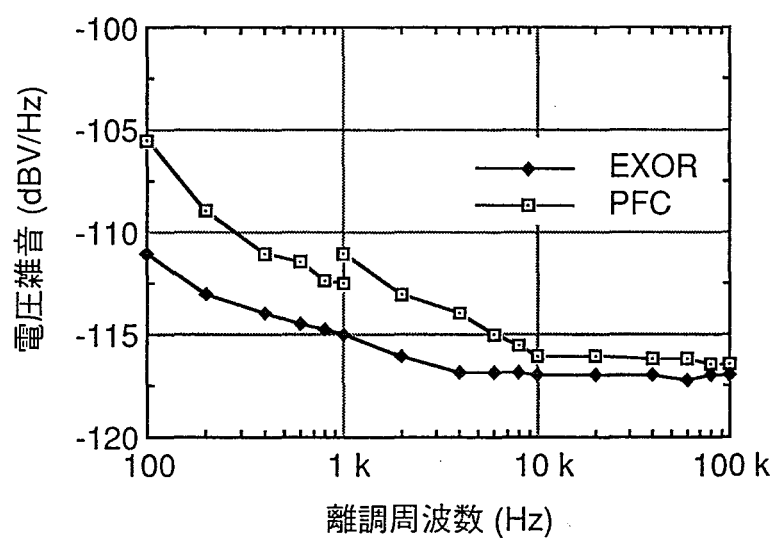
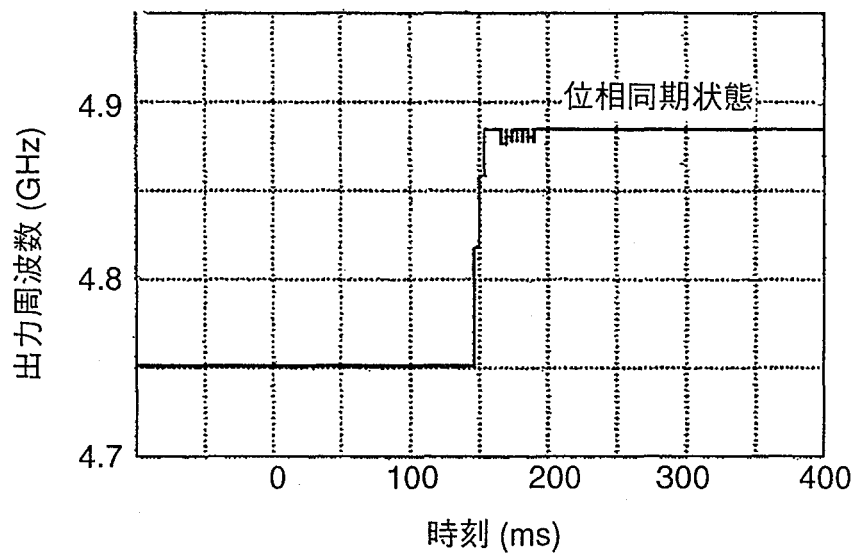
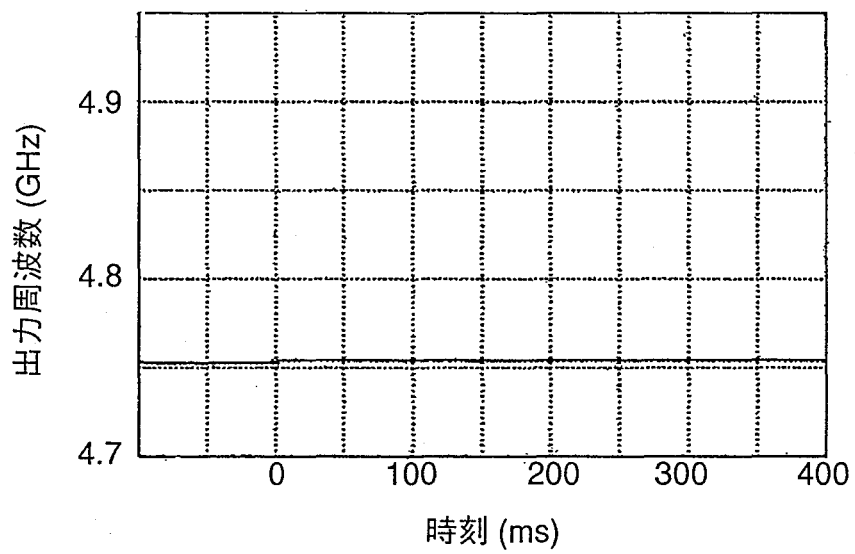


図3-13 EXORの雑音測定結果



(a)



(b)

図3-14 周波数過渡応答
(a) 本PLL (b) EXORのみのPLL

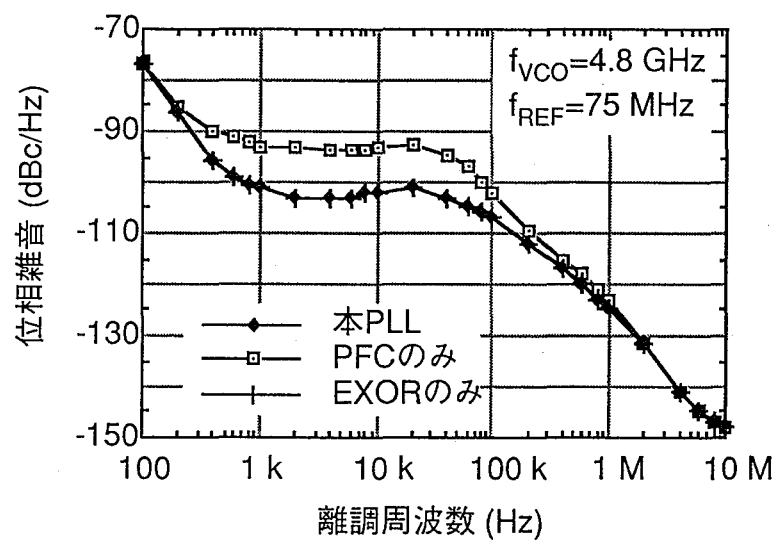


図3-15 位相雑音特性

3. 6 まとめ

4～6GHzで動作するPLLに対し、すべての構成要素の雑音の出力位相雑音への寄与を測定・解析し、位相比較器の検波感度向上が低位相雑音化に有効であることを確認した。この上で、位相比較にはエクスクルーシブ・オア（EXOR）を使用し、かつ周波数比較には位相周波数比較器（PFC）を使用することで、位相検波感度を2倍にし、かつ広い周波数引込み範囲を実現するループを提案した。IC化してPLLを構成した結果、PLLノイズフロアを7dB低減した。またVCOの発振可能な範囲全域にわたる周波数引込み範囲を実現した。

第3章の参考文献

- [1] L. Martin, "Program optimizes PLL phase-noise performance," *Microwaves & RF*, vol.31, no.4, pp.78-91, April 1992.
- [2] U. Rohde, *Digital PLL Frequency Synthesizers*. Englewood Cliffs, NJ: Prentice-Hall, 1983.
- [3] H. Ichino, N. Ishihara, M. Suzuki, and S. Konaka, "18-GHz 1/8 dynamic frequency divider using Si bipolar technologies," *IEEE Jour. Solid-State Circuits*, vol. 24, no. 6, pp. 1723-1728, Dec. 1989.
- [4] T. R. Faulkner and R. E. Temple, "Residual phase noise and AM noise measurements and techniques", Hewlett-Packard Application Note, H-P Part Number 03048-90011.
- [5] M. R. McClure, "Residual phase noise of digital frequency dividers," *Microwave J.*, vol. 35, no. 3, pp. 124-130, March 1992.
- [6] 中川, 大平, "MMIC化PLL局発回路における位相雑音解析法," 1990年電子情報通信学会秋季大会C-30, 1990年9月.
- [7] J. I. Brown, "A digital phase and frequency-sensitive detector," *Proc. IEEE*, vol. 59, no. 2, pp. 717-718, Apr. 1971.
- [8] 畑, 古川, *PLL-ICの使い方*. 秋葉出版株式会社, 1986.
- [9] T. Nakagawa, H. Suwaki, and T. Ohira, "Low-noise MMIC phase-locked oscillators using an EXOR and a PFC," *IEICE Trans. Electron.*, vol. E76-C, no. 6, pp. 950-954, June 1993.

第4章 パルス列挿入型PLL

4.1 まえがき

第2章で述べたように、PLLの周波数ステップを細かくするためには可変分周器の分周比を大きくする必要があり、可変分周器の分周比を大きくするとPLLのノイズフロアが劣化する。本章では、周波数ステップを細かく保持したままで、基準周波数のみを高くし、位相雑音を低減化する技術「パルス列挿入型PLL」を提案する。また実験により、その有効性を検証する。

4.2 動作原理

提案するパルス列挿入型PLLの構成を図4-1に示す。従来のPLLとの違いは、パルス列発生器を可変分周器と位相比較器との間に置いていることである[1][2]。このPLLの動作を図4-2に示す。パルス列発生器は、分周器の出力パルスの中にM個のパルスを挿入している。従って位相比較周波数は分周器の出力周波数の(M+1)倍となる。今、RF出力周波数を f_{VCO} 、基準周波数を f_{REF} 、分周器の分周比をNとすると、

$$\frac{f_{VCO}}{N} \cdot (M+1) = f_{REF} \quad (4-1)$$

$$\therefore f_{VCO} = \frac{N}{M+1} \cdot f_{REF} \quad (4-2)$$

である。従って分周比をNからN+1に変えたときの周波数ステップ f_{STEP} は、

$$f_{STEP} = \frac{f_{REF}}{M+1} \quad (4-3)$$

となり、周波数ステップが基準周波数の $1/(M+1)$ となる。言い換えれば、システムによって与えられている周波数ステップに対し、基準周波数を(M+1)倍に高くすることができる。次に位相雑音の表現式を用いて、低位相雑音化の効果を検証する。

4.3 パルス列挿入型PLLの位相雑音表現式

第2章の2.2節で扱った位相雑音表現式[3]を修正して用いる。パルス列挿入型PLLの雑音モデルを図4-3に示す。位相比較器、ループフィルタ、VCO、分周器、パルス列発生器および基準信号源の発生する雑音をそれぞれ、 $V_{PD,n}$ 、 $V_{FIL,n}$ 、 $\phi_{VCO,n}$ 、 $\phi_{DIV,n}$ 、

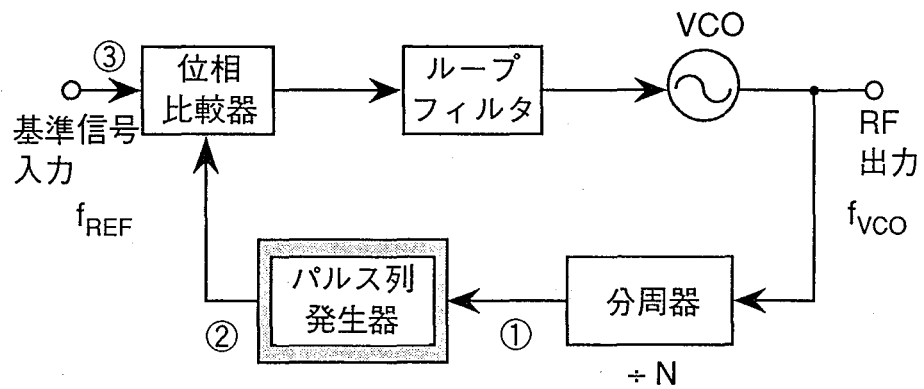


図4-1 パルス列挿入型PLL

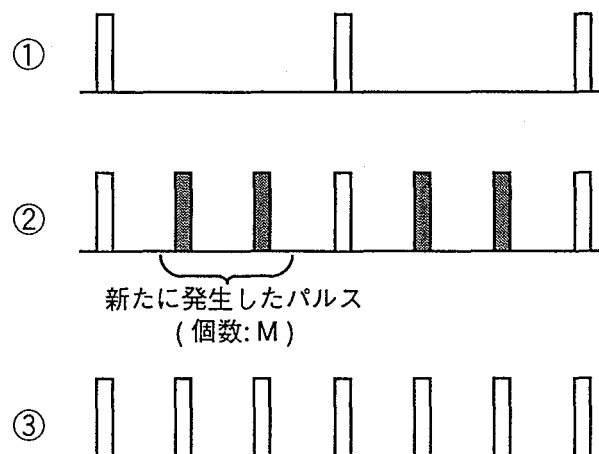


図4-2 パルス列挿入型PLLの動作

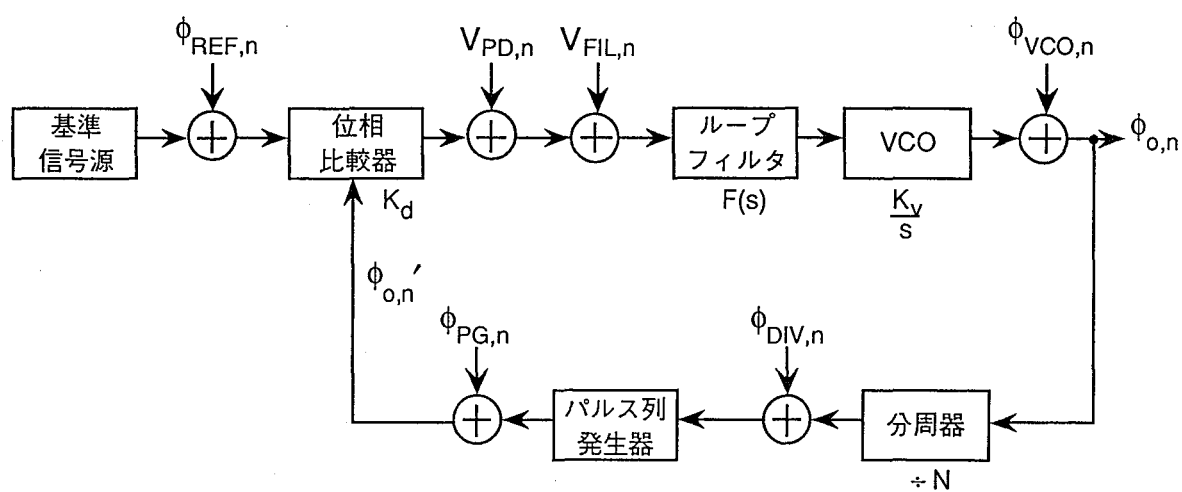


図4-3 パルス列挿入型PLLの雑音モデル

$\phi_{PG,n}$ 、 $\phi_{REF,n}$ としている。また K_d は位相比較器の検波感度であり単位はV/rad、 K_v はVCOの電圧一周波数変換利得であり単位はrad/sec/V(=2 π Hz/V)、 $F(s)$ はループフィルタの伝達関数、 N は分周器の分周比、 s (= $j2\pi f$)はラプラス演算子であり、出力信号周波数からの離調周波数を表している。

図中の順方向経路については(2-4)式と同様に次式が成立する。

$$\phi_{o,n} = \left\{ \left(\phi_{REF,n} - \phi_{o,n} \right)' K_d + V_{PD,n} + V_{FIL,n} \right\} F(s) \frac{K_v}{s} + \phi_{VCO,n} \quad (4-4)$$

一方、帰還経路については、パルス列発生器の出力周波数は分周器出力の(M+1)倍になることから、

$$\phi_{o,n}' = \left(\frac{\phi_{o,n}}{N} + \phi_{DIV,n} \right) \cdot (M+1) + \phi_{PG,n} \quad (4-5)$$

となる。上記方程式を出力位相雑音 $\phi_{o,n}$ について解くと、

$$\begin{aligned} \phi_{o,n} = & \frac{\frac{K_d K_v F(s)}{Ns}}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \left(\phi_{REF,n} - \phi_{DIV,n} \cdot (M+1) - \phi_{PG,n} + \frac{V_{PD,n} + V_{LPI,n}}{K_d} \right) \cdot N \\ & + \frac{1}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \phi_{VCO,n} \end{aligned} \quad (4-6)$$

となる。PLLのループ帯域内では、

$$\frac{\frac{K_d K_v F(s)}{Ns}}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \approx \frac{1}{M+1} \quad \text{かつ} \quad \frac{1}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \approx 0 \quad (4-7)$$

となり、ループ帯域外では、

$$\frac{\frac{K_d K_v F(s)}{Ns}}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \approx 0 \quad \text{かつ} \quad \frac{1}{1 + \frac{K_d K_v F(s)}{Ns} \cdot (M+1)} \approx 1 \quad (4-8)$$

となる。従ってループ帯域内の出力位相雑音は、

$$\phi_{o,n} = \frac{1}{M+1} \left(\phi_{\text{REF},n} - \phi_{\text{DIV},n} \cdot (M+1) - \phi_{\text{PG},n} + \frac{V_{\text{PD},n} + V_{\text{LPF},n}}{K_d} \right) \cdot N \quad (4-9)$$

ループ帯域外の出力位相雑音は、

$$\phi_{o,n} = \phi_{\text{VCO},n} \quad (4-10)$$

と表される。(4-10)式はループ帯域外の出力位相雑音は、従来のPLLと同様にVCOの持つ位相雑音がそのまま出力されることを示している。(4-9)式から電力スペクトラムを求めると次式を得る。

$$S_{\phi_{o,n}}(f) = \left\{ S_{\phi_{\text{REF},n}}(f) + S_{\phi_{\text{DIV},n}}(f) \cdot (M+1)^2 + S_{\phi_{\text{PG},n}}(f) + \frac{S_{V_{\text{PD},n}}(f) + S_{V_{\text{FIL},n}}(f)}{K_d^2} \right\} \frac{N^2}{(M+1)^2} \quad (4-11)$$

ここで従来のPLLのループ帯域内の位相雑音を表した(2-9)式を以下に再掲する。

$$S_{\phi_{o,n}}(f) = \left\{ S_{\phi_{\text{REF},n}}(f) + S_{\phi_{\text{DIV},n}}(f) + \frac{S_{V_{\text{PD},n}}(f) + S_{V_{\text{FIL},n}}(f)}{K_d^2} \right\} N^2 \quad (2-9)$$

(4-11)式を(2-9)式と比較すると次のことがわかる。パルス列挿入型PLLは、ループ帯域内の位相雑音を $1/(M+1)^2$ ($=20\log(M+1)$ dB) に低減する。ただし、可変分周器の発生する雑音は低減しない。またパルス列発生器自身の発生する雑音も新たに加わる。第3章で検討したように、PLLのノイズフロアは、しばしば位相比較器の雑音によって決められており、この場合はパルス列挿入により位相雑音の低減ができる。Mを大きくすればするほど低位相雑音となるが、分周器の雑音による限界が存在する。

4. 4 他の技術との比較

4. 4. 1 逓倍器

分周器の後段にパルス発生器ではなく、図4-4に示すように逓倍器を設けて周波数を高くすることが可能である。しかしながらこの場合、2つの問題点がある。逓倍器は一般に、高調波を発生させ、その中から一波をバンドパスフィルタで選択して所望の周波数成分を得る。第一の問題点は、隣接する高調波に位相同期する可能性から、逓倍次数と基準周波数が制限されることである。例えば、基準周波数が100MHzの時に10MHzの周波数ステップを得るには、可変分周器の出力を10MHzとし、10逓倍した後、中心周波数100MHzのバンドパスフィルタで選択する。可変分周器の分周比を1000とするとVCOの発振周波数は、

$$\frac{100 \text{ MHz}}{10} \times 1000 = 10 \text{ GHz}$$

である。しかし9番目の高調波をフィルタで選択して位相同期したとすると、VCOの発振周波数は、

$$\frac{100 \text{ MHz}}{9} \times 1000 = 11.11 \text{ GHz}$$

となり、誤った周波数で位相同期する。従ってVCOの発振周波数範囲が11.11GHzを越える場合には逓倍次数を下げねばならない。一般化すると、逓倍次数を m 、基準周波数を f_{REF} 、可変分周器の分周比を N 、VCOの発振可能な下限の周波数を $f_{\text{VCO}}(\text{L})$ 、発振可能な上限の周波数を $f_{\text{VCO}}(\text{H})$ とした時、 m および f_{REF} は次式を満たす範囲に制限される。

$$\frac{N}{m+1} \cdot f_{\text{REF}} < f_{\text{VCO}}(\text{L}) \quad (4-12)$$

$$f_{\text{VCO}}(\text{H}) < \frac{N}{m-1} \cdot f_{\text{REF}} \quad (4-13)$$

第2の問題点は、バンドパスフィルタの帯域によってPLLの周波数引込み範囲が制限されることである。非同期時には分周器の出力は基準周波数からずれるが、この分周器出力がバンドパスフィルタの帯域をはずれると減衰して、位相比較器で比較できなくなる。バンドパスフィルタが位相比較可能な出力信号を通過させる帯域を $f_{\text{REF}} \pm f_{\text{BAND}}$ 、位相同期時のVCOの発振周波数を f_{LOCK} とすると、位相同期可能な周波数範囲は、

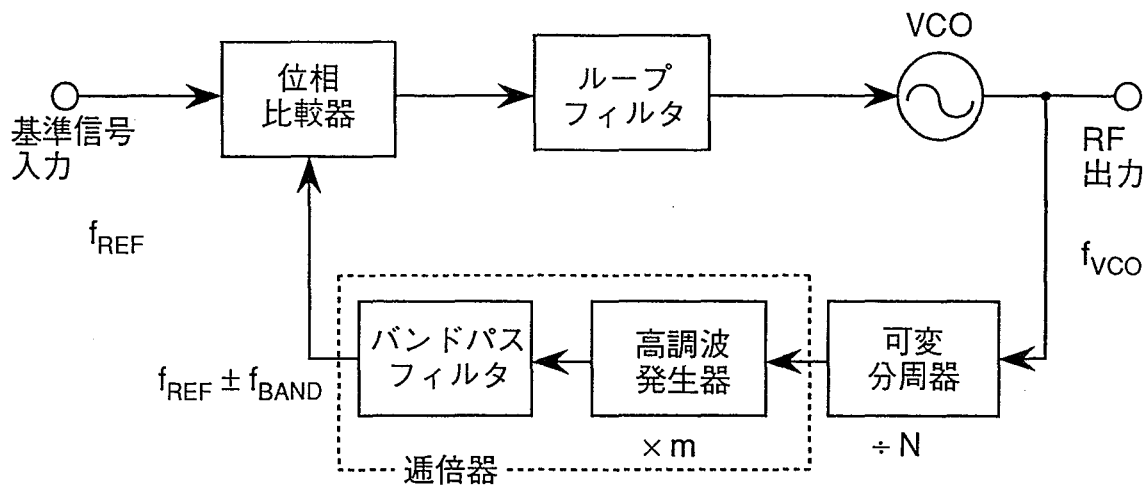


図4-4 通倍器をループ中に設けたPLL

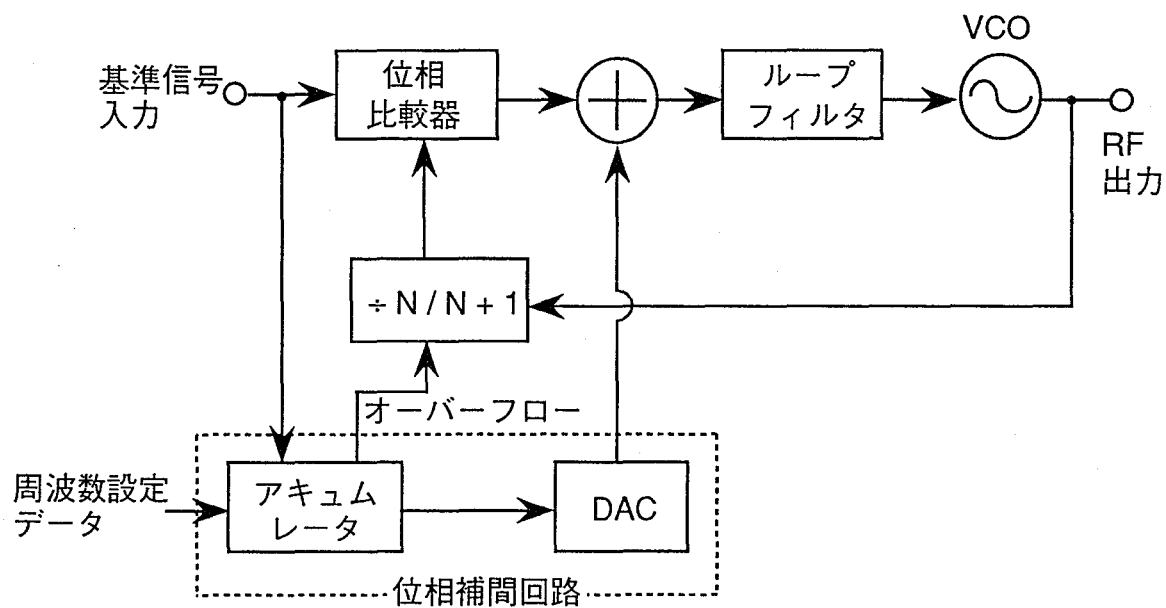


図4-5 フラクショナルN・PLL

$$\frac{N}{m} \cdot (f_{\text{REF}} \pm f_{\text{BAND}}) = f_{\text{LOCK}} \pm \frac{N}{m} f_{\text{BAND}} \quad (4-14)$$

となり、PLLの周波数引込み範囲は $\pm N/m \cdot f_{\text{BAND}}$ に制限される。パルス列挿入型PLLでは、これらの問題は生じない。

4. 4. 2 フラクショナルN・PLL

パルス列挿入型PLLと同様に周波数ステップより基準周波数を高くできる技術に、図4-5に示すフラクショナルN・PLLがある[4]-[6]。これは、PLLの分周比をNからN+1に周期的に切り替え、平均の分周比として分数値を得るものである。このような周期的な分周比の切り替えは、必然的にスプリアスを発生させる。このスプリアスを抑圧する手段として、位相補間回路（phase interpolator）が用いられるが、DACを用いた複雑な回路となる。一方、パルス列挿入型PLLでも、挿入パルス間の時間間隔と基準周波数の周期とにずれがある場合にはスプリアスを生じる。しかしこのずれは動作の本質ではなく、挿入パルス間の時間間隔を基準周波数の周期により近づけることで、スプリアスを低減できる。パルス列挿入型PLLでは、スプリアスを抑圧するためにループ外に別の回路を設ける必要はない。

4. 5 パルス列発生器

パルス列発生器はパルス列挿入型PLLのキーデバイスである。提案するパルス列発生器のブロック図を図4-6に、またそのタイミングチャートを図4-7に示す。入力パルス①に対し、遅延回路で決まる遅延時間だけ遅らせた後、ループスイッチを介して論理和ブロックで足し合わせる。しかし遅延時間は入力パルスの周期に対して完全に整数倍の関係にすることが困難であり、そのままでは新たに発生させたパルスが入力パルス間を埋め尽くしてパルス列を構成しなくなる。そこで新たに発生させたパルスをカウンタで計数し、パルスの挿入個数Mを計数し終わるとカウンタの出力信号④によりループスイッチを一時的にオフにする。次に入力パルスを遅延したパルスが発生する前に、ループスイッチを再びオンにする。この結果、常に入力パルスを基準とする恒常的なパルス列を発生させることができる。

パルス列発生器をゲートレベルで表した回路図を図4-8に、またそのタイミングチャー

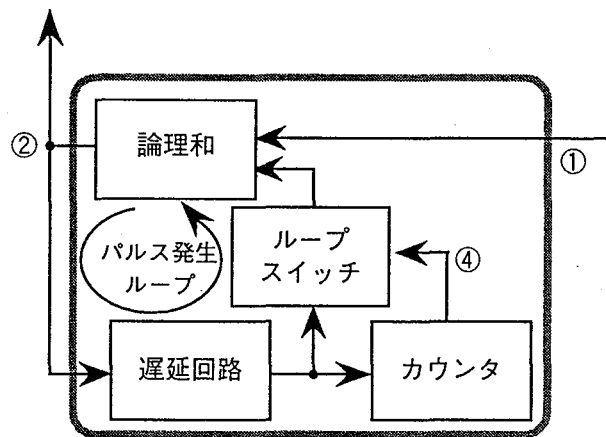


図4-6 パルス列発生器のブロック図

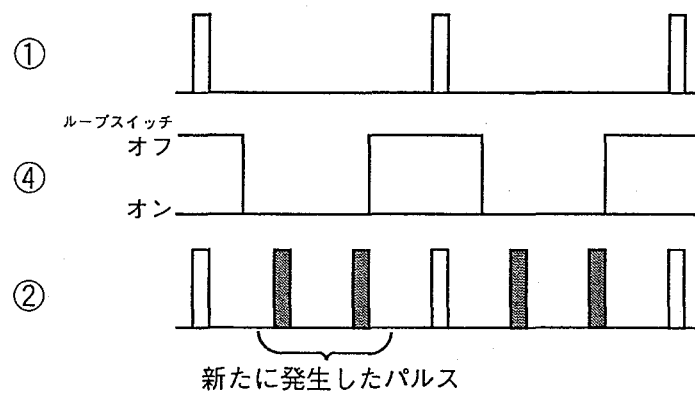


図4-7 パルス列発生器のタイミングチャート

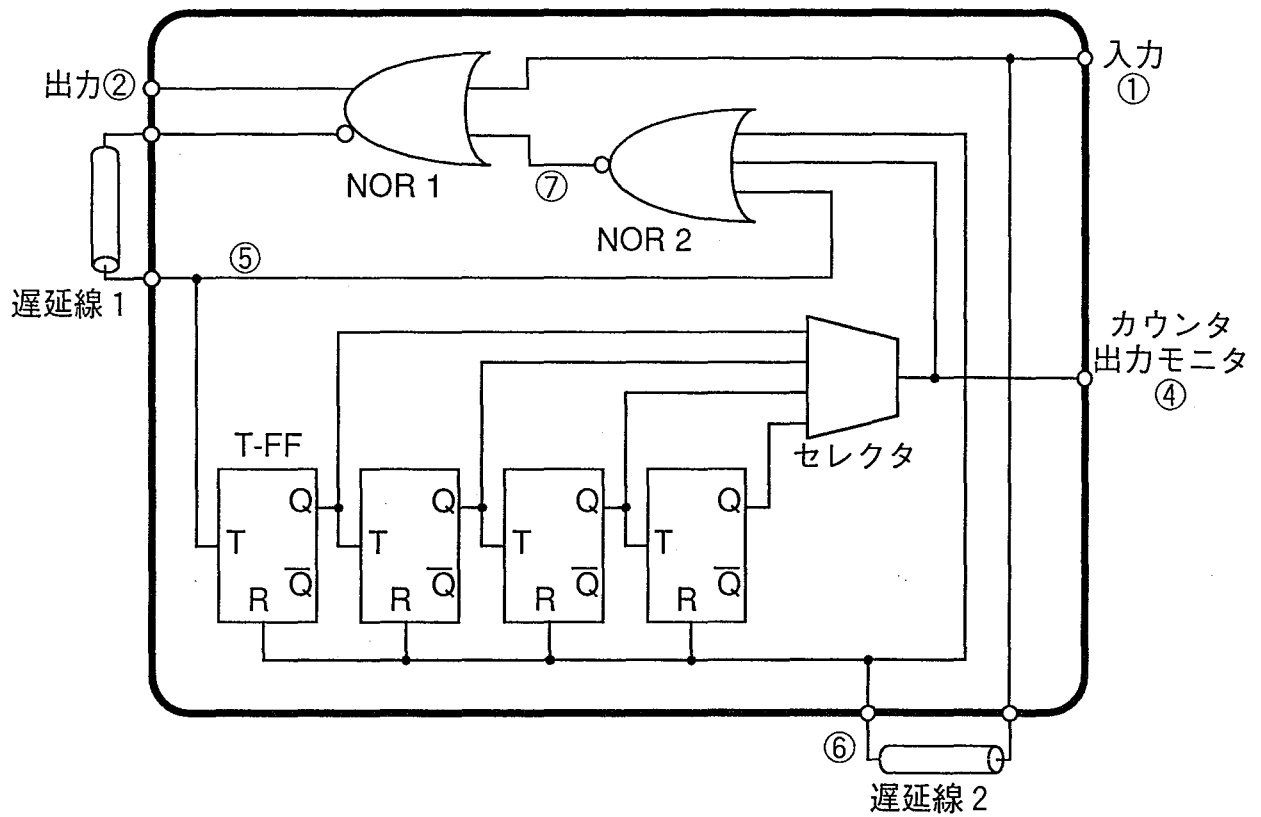


図4-8 パルス列発生器の回路図

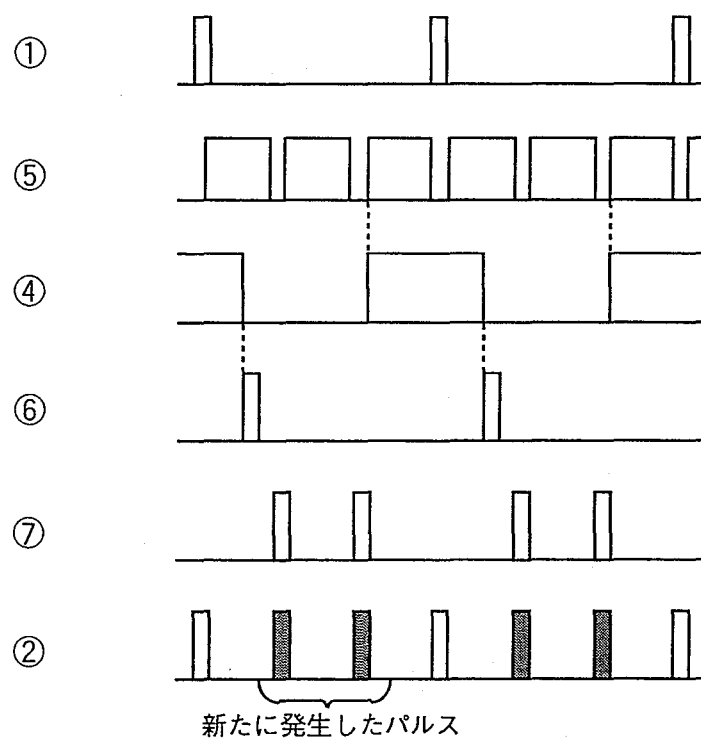


図4-9 回路図のタイミングチャート

トを図4-9に示す。図4-8のNOR1およびNOR2が図4-6の論理和ブロックに対応し、またNOR2がループスイッチとして動作する。図4-6のカウンタは図4-8ではT-FFであり、4段のT-FFとセレクトとで挿入パルスの個数を2、4、8、16と4通りに設定できる。図4-8の遅延線2はループスイッチがオフとなる時間を決めている。

このパルス列発生器は、Si製造プロセスを用いてIC化した。チップ写真を図4-10に示す。チップ面積は2.0 mm × 2.0 mmである。

4. 6 実験結果

4. 6. 1 パルス列発生器IC

試作したパルス列発生器ICの動作を図4-11に示す。図の左側の数字は図4-6～図4-9のノード番号に対応した信号であることを表している。パルス列発生器への入力は10MHz、挿入パルスの個数Mは8に設定している。カウンタは8個のパルスを計数した後、次のパルスが生成されるまでの間ハイとなっている。この結果、入力パルス間に8個のパルスを挿入して良好に動作している。

4. 6. 2 周波数シンセサイザ

パルス列発生器ICをC帯のVCOと組み合わせて、図4-1に示すPLLを構成した。VCOの周波数可変範囲は4.75～4.89GHzである。また位相比較器はPFCである。

分周器出力が10MHz、挿入パルスの個数Mを8に設定した時、基準周波数90MHzでの位相同期が確認された。この時のPLL出力のスペクトラムを図4-12に示す。キャリアから10MHz離調でのスプリアスは、遅延線の遅延時間と $1/90\text{MHz} = 11.1\text{ns}$ とのずれに起因するものであるが、ループ外にスプリアス抑圧の回路を設けることなく、-65dBc以下と低いレベルとなっている。

図4-13は分周比を481、482、483と変えた時のPLL出力の周波数変化を示している。基準周波数は90MHzであるが、周波数ステップ10MHzが得られている。

位相雑音特性を図4-14に示す。比較のために、同じ周波数ステップの従来構成のシンセサイザの位相雑音も共に示してある。図からわかるように、パルス列挿入型PLLは従来のPLLに比べ、PLLノイズフロアを約10dB低減している。

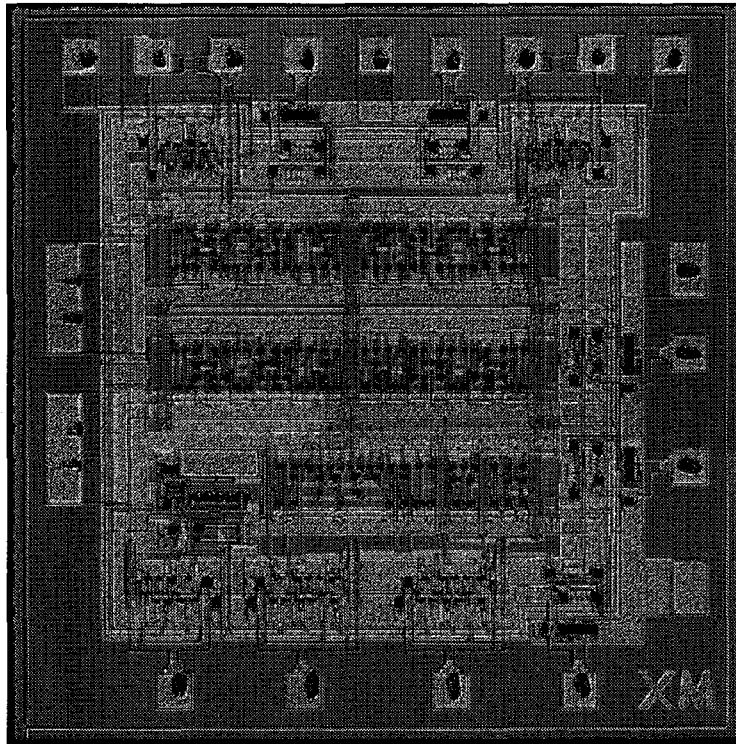
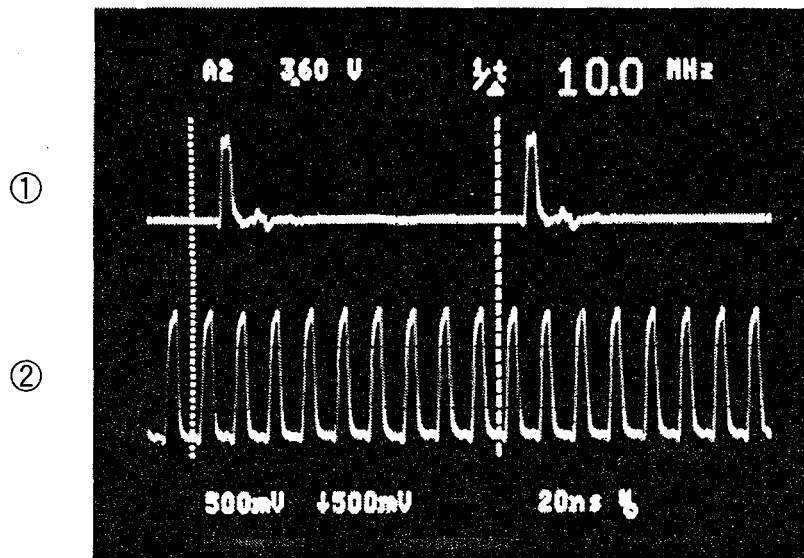
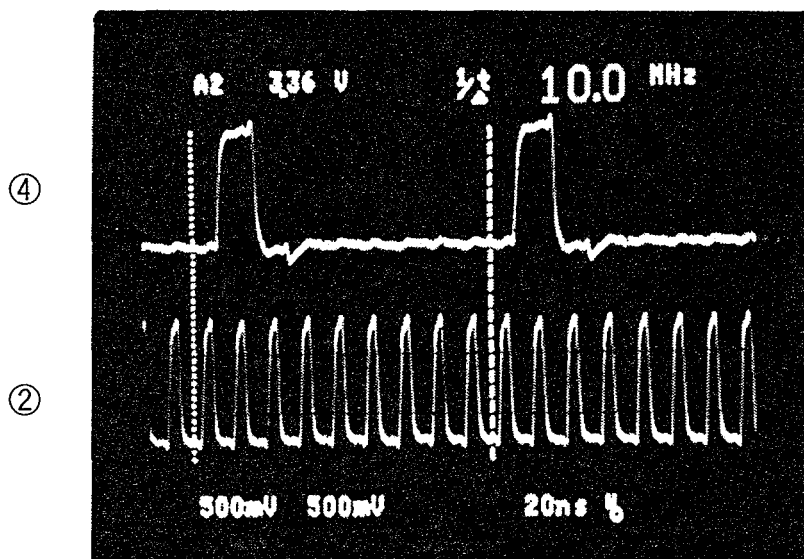


図4-10 パルス列発生器ICのチップ写真
2.0mm×2.0mm



(a)



(b)

図4-11 パルス列発生器ICの動作
 (a)パルス列発生器の入力と出力
 (b)カウンタ出力とパルス列発生器出力

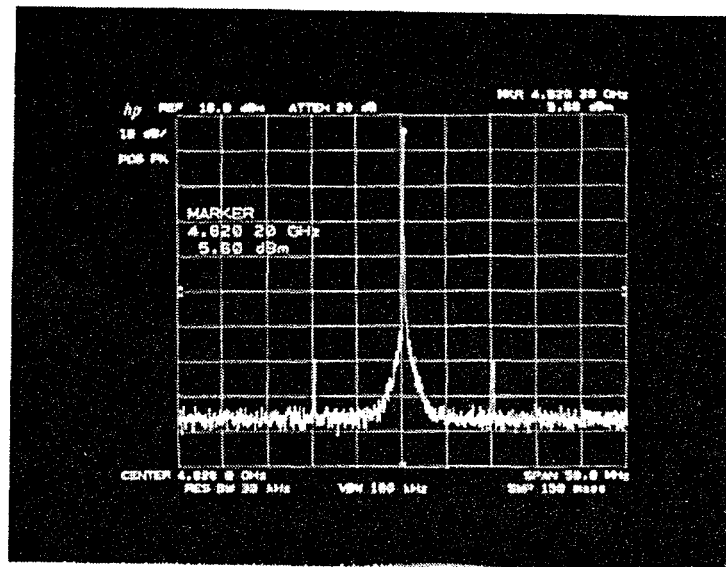


図4-12 出力スペクトラム
中心：4.82 GHz、横軸：5 MHz/div、縦軸：10 dB/div

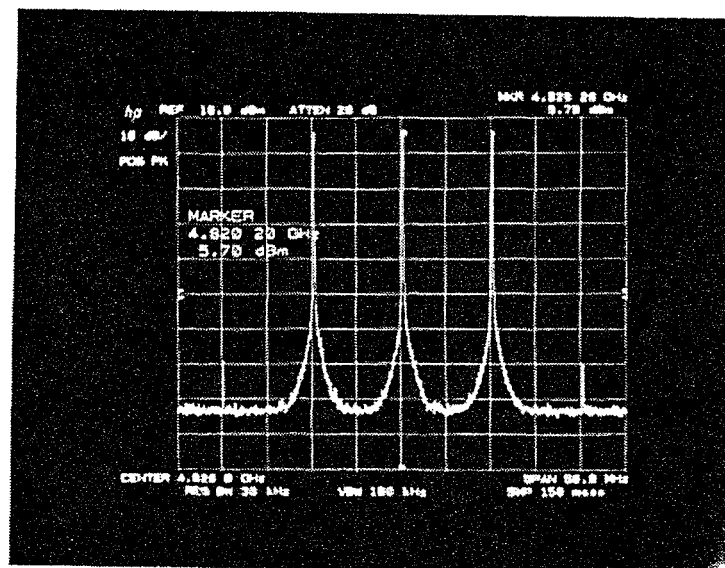


図4-13 周波数ステップ
中心：4.82 GHz、横軸：5 MHz/div、縦軸：10 dB/div

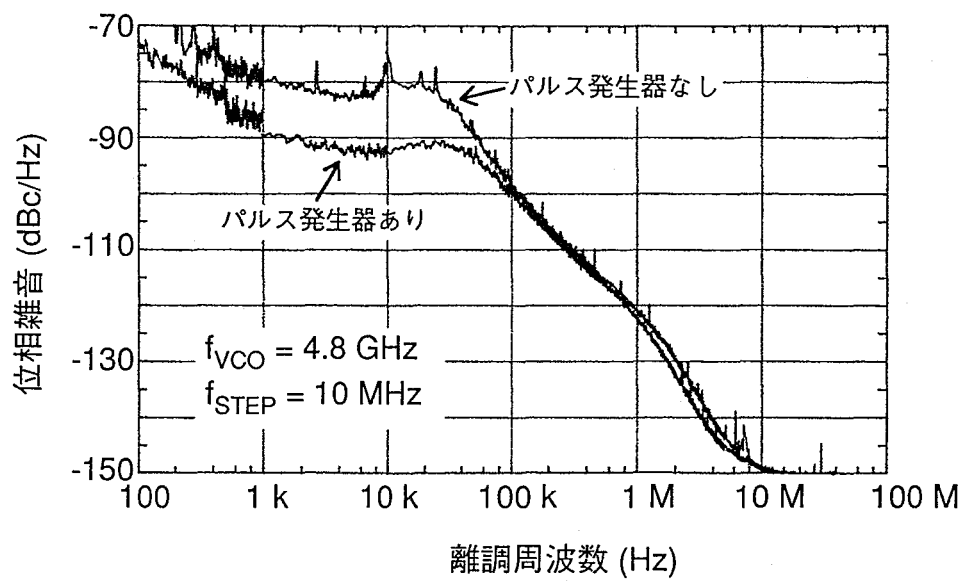


図4-14 位相雑音特性

4. 7 まとめ

マイクロ波帯周波数シンセサイザにおいて、周波数ステップを細かく保持したままで、基準周波数のみを高くし、位相雑音特性を低減化する技術「パルス列挿入型PLL」を提案した。キーデバイスであるパルス列発生器の回路構成を提案し、IC化してC帯のVCOと組み合わせて周波数シンセサイザを構成した結果、約10dBの位相雑音低減効果が得られた。

第 4 章の参考文献

- [1] T. Nakagawa and T. Ohira, "A novel phase noise reduction technique for MMIC frequency synthesizers that uses newly developed pulse generator LSI," in 1994 IEEE MTT-S Int. Microwave Symp. Dig., May 1994, pp. 95-98.
- [2] T. Nakagawa and T. Ohira, "A phase noise reduction technique for MMIC frequency synthesizers that uses a new pulse generator LSI," IEEE Trans. Microwave Theory Tech., vol. 42, no. 12, pp. 2579-2582, Dec. 1994.
- [3] V. F. Kroupa, "Noise properties of PLL systems," IEEE Trans. Comm., vol. COM-30, no. 10, pp. 2244-2252, Oct. 1982.
- [4] R Hassun, "The common denominators in fractional N," Microwaves & RF, vol. 23, no.6, pp.107-110, June 1984.
- [5] V. Reinhardt, K. Gould, K. McNab, and M. Bustamante, "A short survey of frequency synthesizer techniques," in Proc. 40th Annual Frequency Control Symp., May 1986, pp. 355-365.
- [6] W. S. Djen and D. J. Linbarger, "Fractional-N PLL provides fast, low-noise synthesis," Microwaves & RF, vol. 33, no. 5, pp. 95-102, May 1994.

第5章 任意分数設定型フラクショナルN・PLL

5.1 まえがき

前章のパルス列挿入型PLLと同様に、周波数ステップより基準周波数を高くすることで位相雑音の低減を可能とする技術にフラクショナルN・PLLがある[1]-[9]。これは分周器の分周比を周期的に変化させ、平均の分周比として分数値を得る方式である。しかしながら従来のフラクショナルN・PLLの周波数ステップと基準周波数との比は固定であるため柔軟性に乏しく、周波数ステップの異なる用途に対しては十分に位相雑音を低減できない。本章では、周波数ステップより基準周波数を高くすると共に、両者の比をも任意に設定できる技術「任意分数設定型フラクショナルN・PLL」を提案する。また実験により、その有効性を検証する。

5.2 従来のフラクショナルN・PLL

従来のフラクショナルN・PLLの構成を図5-1に示す。アキュムレータはnビットの加算器とnビットのラッチより成り、加算器に入力されるデータKをクロック信号の入力毎に累算動作する。アキュムレータは累算動作によりその内容が 2^n 以上になるとオーバーフロー信号を可変分周器に送出する。例えばアキュムレータのビット数を3とするとオーバーフローは $2^3=8$ で起こる。またデータKを3とすると、クロックの入力毎にアキュムレータの内容は3、6と累算される。次のクロック入力で9となるが、オーバーフローを起こし、8を引いた残りの1を初期値として累算動作を継続する。この結果アキュムレータの内容は、3、6、1、4、7、2、5、0、3、…と変化し、8回のクロック入力の内、下線を引いた3回のオーバーフローを起こす。可変分周器はこのオーバーフロー信号を受け取ると、その分周比を整数値NからN+1に変更する。一般化すると、可変分周器の分周比は 2^n 回のクロックの内K回がN+1、 $(2^n - K)$ 回がNとなる。従って 2^n サイクルに渡って平均した分周比 N_{AVE} は、

$$N_{AVE} = \frac{K \cdot (N+1) + (2^n - K) \cdot N}{2^n} = N + \frac{K}{2^n} \quad (5-1)$$

となって整数部Nと分数部 $K/2^n$ との和で表される。従って基準周波数 f_{REF} の基準信号に位相同期した際のVCOの発振周波数 f_{VCO} は、

$$f_{VCO} = N_{AVE} \cdot f_{REF} = \left(N + \frac{K}{2^n} \right) \cdot f_{REF} \quad (5-2)$$

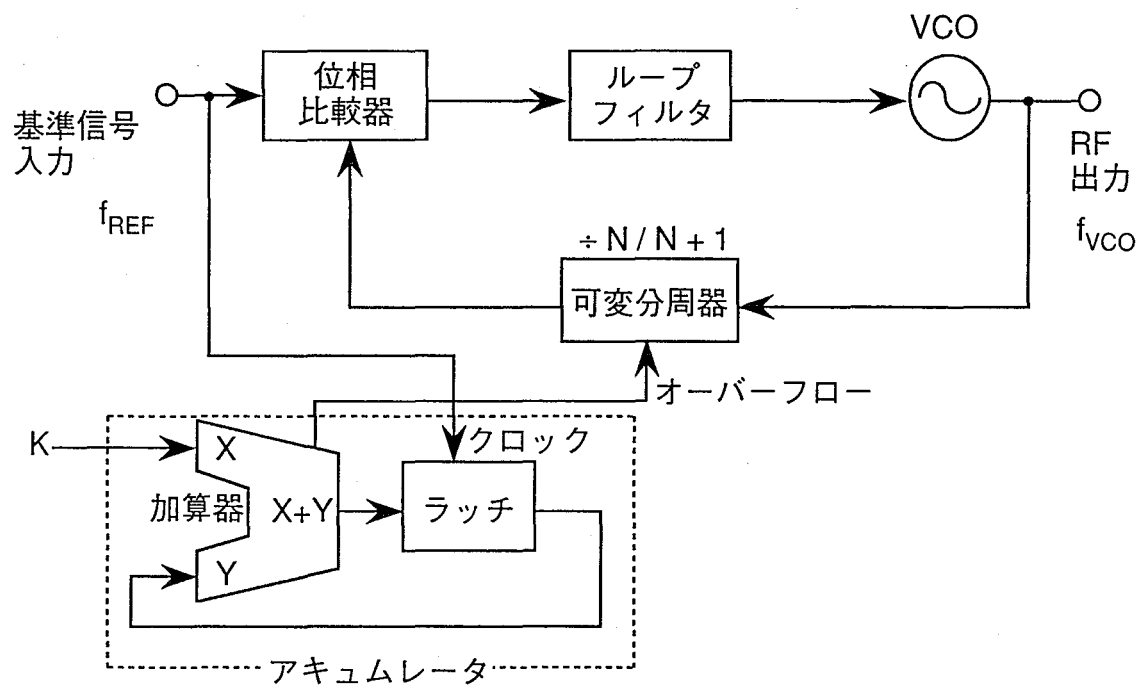


図5-1 従来のフラクショナルN・PLL

となり、データKを1ずつ変更することによって f_{VCO} は基準周波数 f_{REF} の $1/2^n$ の周波数ステップで変化する。従って周波数ステップに対し、基準周波数を 2^n 倍に高く設定でき、位相雑音特性が良好となる。しかしながら基準周波数と周波数ステップとの比 2^n はアキュムレータのビット数で決定される固定値であり、柔軟性に乏しい。位相雑音を十分に低減する基準周波数と、システムにより決められている周波数ステップとの関係はアプリケーション毎に異なる。ビット数 n が小さいと位相雑音を十分に抑圧できず、 n が必要以上に大きいと近傍スプリアス（キャリア周波数から $f_{REF}/2^n$ 離調）が増える。このためアプリケーション毎のハードウェア設計が必要となる。

5. 3 任意分数設定型フラクショナルN・PLL

5. 3. 1 パルス・スワロー・カウンタ

提案するPLLは、パルス・スワロー・カウンタの動作をベースとする。パルス・スワロー・カウンタは、図5-2に示すようにデュアル・モジュラス・プリスケータ、プログラマブル・カウンタ1、プログラマブル・カウンタ2、および分周比制御回路とで構成される[1, p.276][10, p.111]。デュアル・モジュラス・プリスケータは分周比を整数値 P と $P+1$ とに切り替える分周器である。今、プログラマブル・カウンタ1のカウント値を M 、プログラマブル・カウンタ2のカウント値を A ($A \leq M$) とし、デュアル・モジュラス・プリスケータの分周比の初期状態を $P+1$ とする。2つのプログラマブル・カウンタには、デュアル・モジュラス・プリスケータの出力が入力されてカウント・ダウンする。プログラマブル・カウンタ2は A 回カウントし、0となると分周比制御回路を介してデュアル・モジュラス・プリスケータの分周比を P に切り替える。さらにプログラマブル・カウンタ1は0になるまで $(M-A)$ 回カウントし、0になると分周比制御回路を介してデュアル・モジュラス・プリスケータの分周比を $P+1$ に戻す。通常、パルス・スワロー・カウンタの出力はプログラマブル・カウンタ1から信号①を取り出し、次式で与えられる整数の分周比 N_T を得る。

$$N_T = A \cdot (P + 1) + (M - A) \cdot P = P \cdot M + A \quad (5-3)$$

このようにパルス・スワロー・カウンタは、動作速度の遅いプログラマブル・カウンタと、プログラマブル・カウンタより高速に動作するデュアル・モジュラス・プリスケータとを組み合わせで一体とし、(5-3)式に示す可変の分周比を得る分周器であり、PLLに広く用いられる。

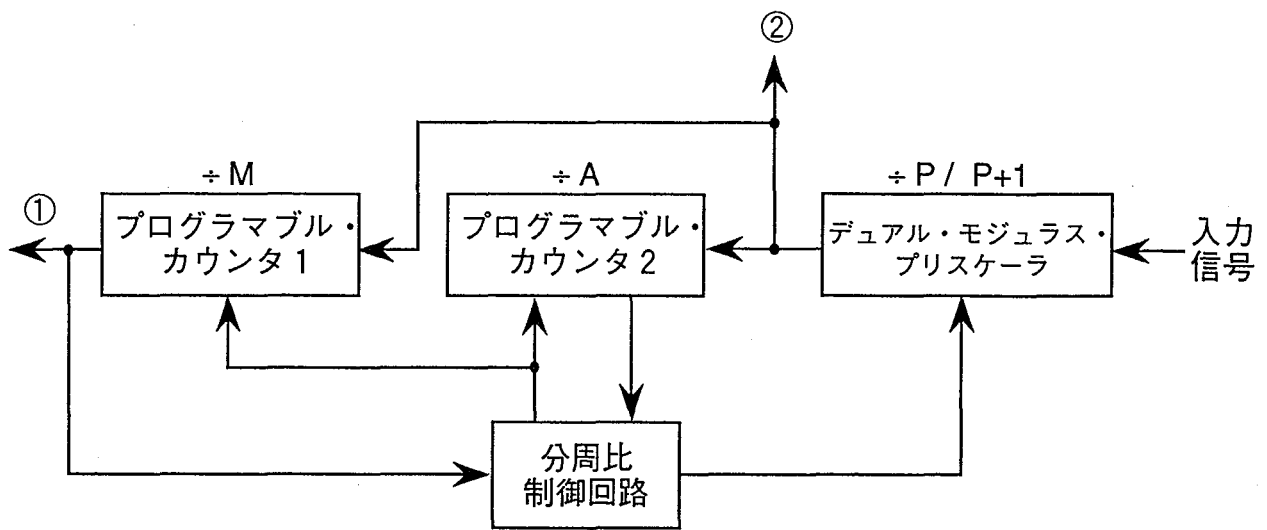


図5-2 パルス・スワロー・カウンタ

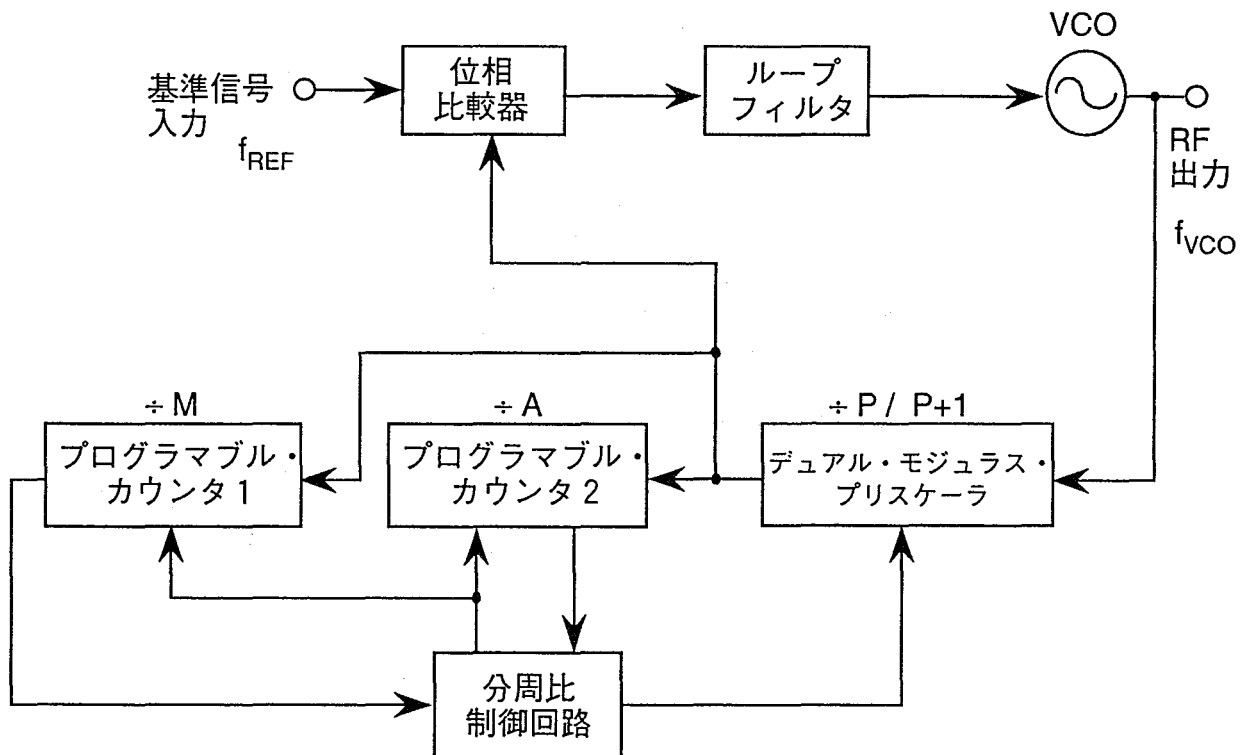


図5-3 パルス・スワロー・カウンタをベースとするフラクショナルN・PLL

ここで、2つの分周比を周期的に切り替えているデュアル・モジュラス・プリスケラに着目して信号②を取り出すと、フラクショナルN・PLLを構成することが可能となる。すなわち、デュアル・モジュラス・プリスケラの分周比は、M回の入力信号の内A回がP+1、(M-A)回がPであり、Mサイクルに渡って平均した分周比 P_{AVE} は、

$$P_{AVE} = \frac{A \cdot (P+1) + (M-A) \cdot P}{M} = P + \frac{A}{M} \quad (5-4)$$

となって整数部Pと分数部A/Mとの和で表される。従って図5-3に示すように、デュアル・モジュラス・プリスケラから出力を取り出しPLLを構成すると、位相同期した際のVCOの発振周波数 f_{VCO} は、

$$f_{VCO} = P_{AVE} \cdot f_{REF} = \left(P + \frac{A}{M} \right) \cdot f_{REF} \quad (5-5)$$

となり、Aを1ずつ変更することによって f_{VCO} は基準周波数 f_{REF} の1/Mの周波数ステップで変化する。従って周波数ステップに対し、基準周波数をM倍に高く設定できる。また、分母Mはプログラマブル・カウンタの設定値であり可変である。しかしながら、デュアル・モジュラス・プリスケラの分周比は4と5、64と65のようにPが固定値である。従って f_{VCO} の最小周波数はA=0の時の $P \cdot f_{REF}$ であり、最大発振周波数はA=Mの時の $(P+1) \cdot f_{REF}$ である。すなわちこの構成ではPLL出力の取り得る周波数範囲は、

$$(P+1) \cdot f_{REF} - P \cdot f_{REF} = f_{REF} \quad (5-6)$$

となり、基準周波数 f_{REF} の範囲内に限定されるという欠点を持つ。

5. 3. 2 提案する任意分数設定型フラクショナルN・PLL

提案する任意分数設定型フラクショナルN・PLLの構成を図5-4に示す[11]。またそのタイミングチャートを図5-5に示す。フラクショナルN・分周器は、プログラマブル・カウンタ1、プログラマブル・カウンタ2、制御信号発生回路、データ・セレクトおよびパルス・スワロー・カウンタとから成る。プログラマブル・カウンタ2はイネーブル端子を備え、イネーブル端子に入力される論理レベルがハイならばカウント動作し、ローならばカウント動作を行なわない。制御信号発生回路は、プログラマブル・カウンタ1のカウント状態が0でなく、かつプログラマブル・カウンタ2のカウント状態が0の時にローとなり、これ以外の時はハイとなる。またデータ・セレクトは選択信号のハイ・ローレベルにより2つの入力データを切り替えて出力する。パルス・スワロー・カウン

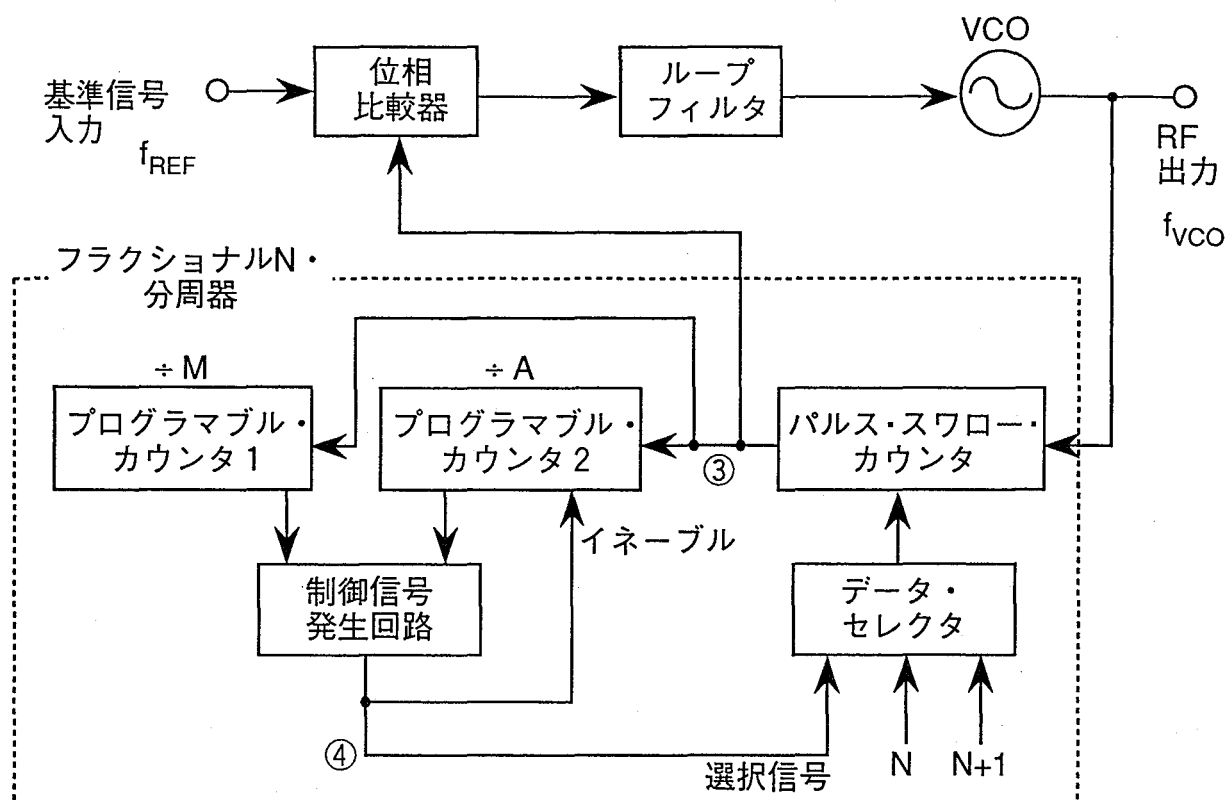


図5-4 任意分数設定型フラクショナルN・PLL

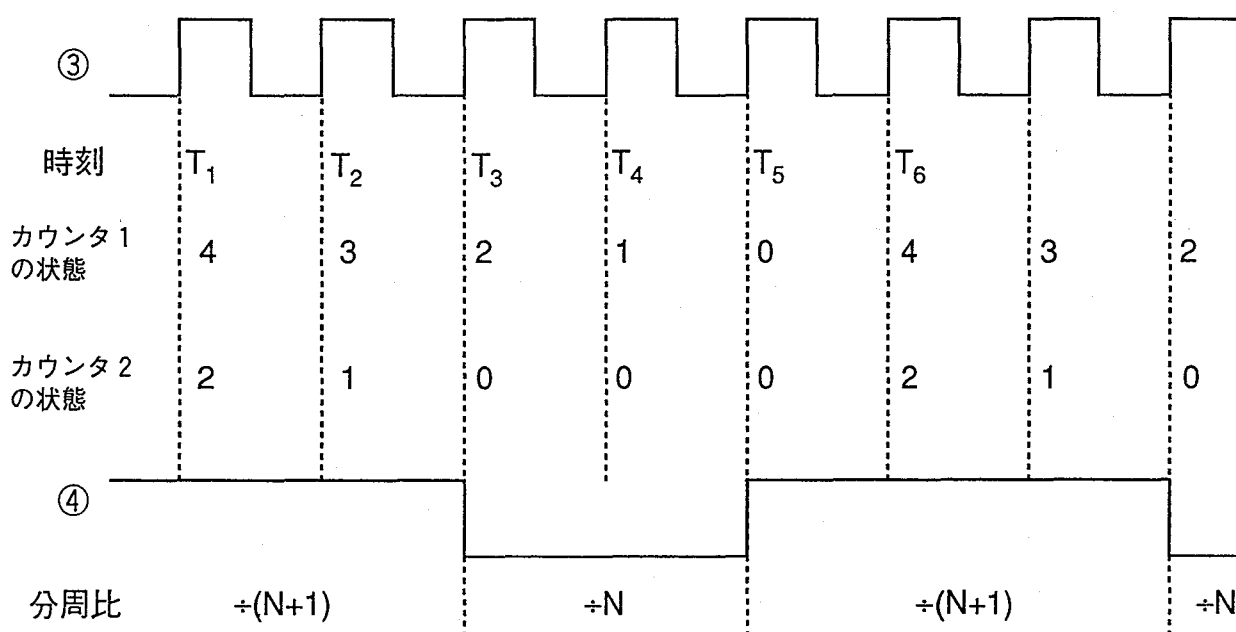


図5-5 任意分数設定型フラクショナルN・PLLのタイミング・チャート

タは通常の構成であり、この中にデュアル・モジュラス・プリスケアラと2つのプログラマブル・カウンタおよび分周比制御回路とを備える。

今、プログラマブル・カウンタ1の設定値をM-1、プログラマブル・カウンタ2の設定値をA-1 ($A \leq M$) とすると、2つのプログラマブル・カウンタはパルス・スワロー・カウンタの出力③が入力される毎にカウント・ダウンする。図5-5では、Mを5、Aを3としている。時刻 T_3 において、プログラマブル・カウンタ2のカウント状態が0となるため、制御信号発生回路の出力はハイからローに変化する。この出力はプログラマブル・カウンタ2のイネーブル端子に入力されているため、プログラマブル・カウンタ2はカウント動作を停止する。時刻 T_5 において、プログラマブル・カウンタ1のカウント状態は0となり、制御信号発生回路の出力は再びハイになる。このためその次の時刻 T_6 において、2つのプログラマブル・カウンタは設定値M-1およびA-1に再びセットされてカウント動作を再開する。

従って制御信号発生回路の出力④は、パルス・スワロー・カウンタのM回の出力の内、A回がハイ、(M-A)回がローとなる。この出力がデータ・セレクタの選択信号として入力されている。ここでデータ・セレクタは選択信号がハイの時に分周比設定データN+1、ローの時に分周比設定データNを選択するとすると、Mサイクルに渡ってパルス・スワロー・カウンタの分周比を平均した分周比 N_{AVE} は、

$$N_{AVE} = \frac{A \cdot (N+1) + (M-A) \cdot N}{M} = N + \frac{A}{M} \quad (5-7)$$

となって整数部Nと分数部 A/M との和で表される。位相同期した際のVCOの発振周波数 f_{VCO} は、

$$f_{VCO} = N_{AVE} \cdot f_{REF} = \left(N + \frac{A}{M} \right) \cdot f_{REF} \quad (5-8)$$

となる。(5-8)式において、N、A、Mはすべて可変である。Aを1ずつ変更することによって f_{VCO} は基準周波数 f_{REF} の $1/M$ の周波数ステップで変化するため、周波数ステップより基準周波数をM倍に高くできる。またMは可変であるので、基準周波数は周波数ステップとは独立に決めることができる。従ってハードウェアを変更することなく、異なるアプリケーションにおいても十分に位相雑音を低減できる。さらにNも可変であるため、 f_{VCO} はVCOの発振可能な全周波数範囲を取ることができて制限は無い。このフラクショナルN・分周器の回路は、「2重ループのパルス・スワロー・カウンタ構成」と言える。

5. 3. 3 IC化

フラクショナルN・分周器は、Si製造プロセスを用いて2チップのICとした。チップセットの構成を図5-6に示す。パルス・スワロー・カウンタとデータ・セレクトは5.0 mm×4.0 mmに集積し（チップ1）、2つのプログラマブル・カウンタと制御信号発生回路とは6.5 mm×6.5 mmに集積した（チップ2）。マイクロ波の入力されるチップ1はカスタムプロセスを用いているが、チップ2の動作周波数は100MHz程度と遅いためにゲートアレイプロセスを用いている。チップ1中のパルス・スワロー・カウンタは $\pm 4/\pm 5$ デュアル・モジュラス・プリスケアラ、10ビットと2ビットのプログラマブル・カウンタから成る。データ・セレクトは、2入力1出力のデータ・セレクトの12個の集合体であり、選択信号は12個に共通となっている。チップ2の2つのプログラマブル・カウンタは共に8ビットである。

5. 4 実験結果

5. 4. 1 フラクショナルN・分周器チップセット

チップ1の周波数特性を図5-7に示す。このICは6.5GHzまで動作する。この動作上限周波数は主に、パルス・スワロー・カウンタの中のデュアル・モジュラス・プリスケアラの特性によって決定されている。

図5-8はチップ2の動作を示す。入力周波数は100MHzである。図5-8(a)は $M=10 \cdot A=1$ の場合であり、図5-8(b)は $M=10 \cdot A=8$ の場合である。出力は、A回の入力に対してロー、 $(M-A)$ 回の入力に対してハイとなって良好に動作している。

5. 4. 2 周波数シンセサイザ

フラクショナルN・分周器のチップセットをC帯のVCOと組み合わせて、図5-4に示すPLLを構成した。VCOの周波数可変範囲は4.75～4.89GHzである。また位相比較器はPFCである。

フラクショナルN・分周器の分母Mを8、基準周波数 f_{REF} を80MHzとした時、位相同期が確認された。この時のPLL出力のスペクトラムを図5-9に示す。中心周波数は4.83GHz、またキャリアから10MHz離調（ f_{REF}/M ）でのスプリアスは-57dBcである。スプリアスは他のフラクショナルN・PLLと同様に、分周比の周期的な切り替えに起因する。より

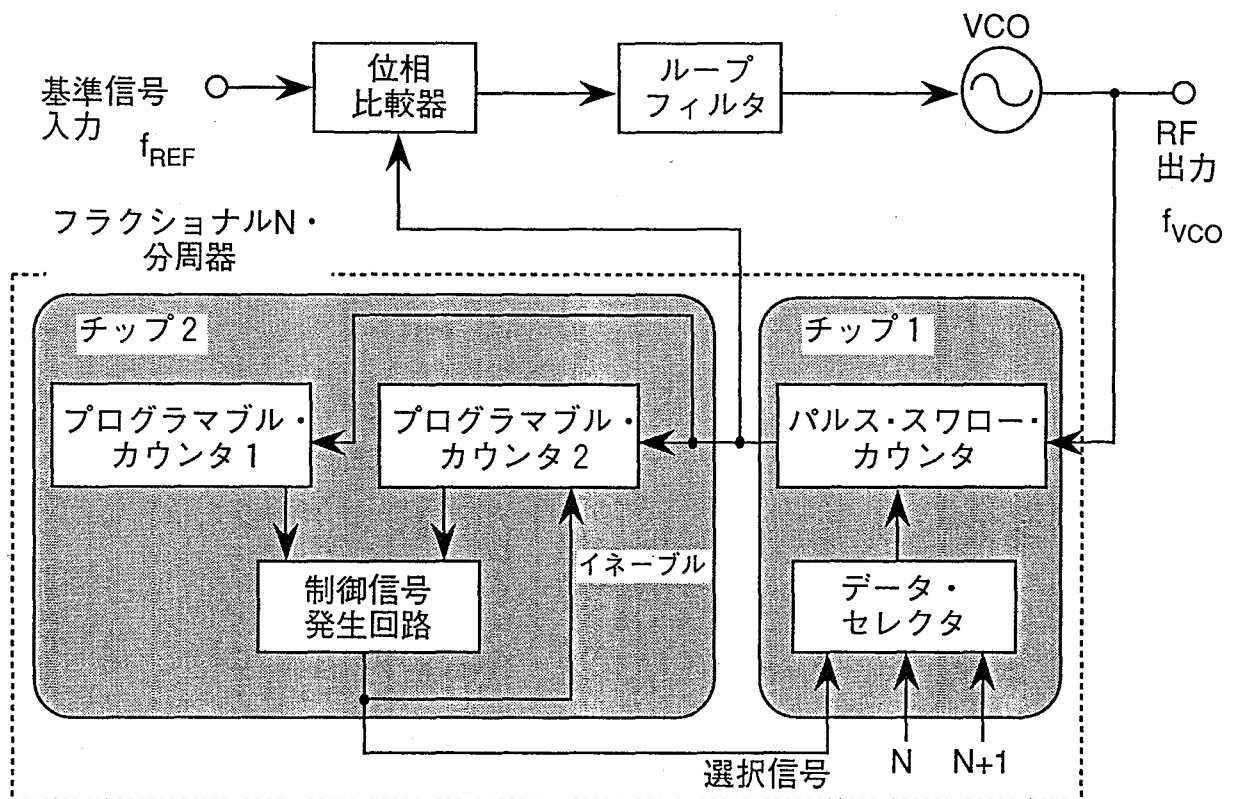


図5-6 チップセットの構成

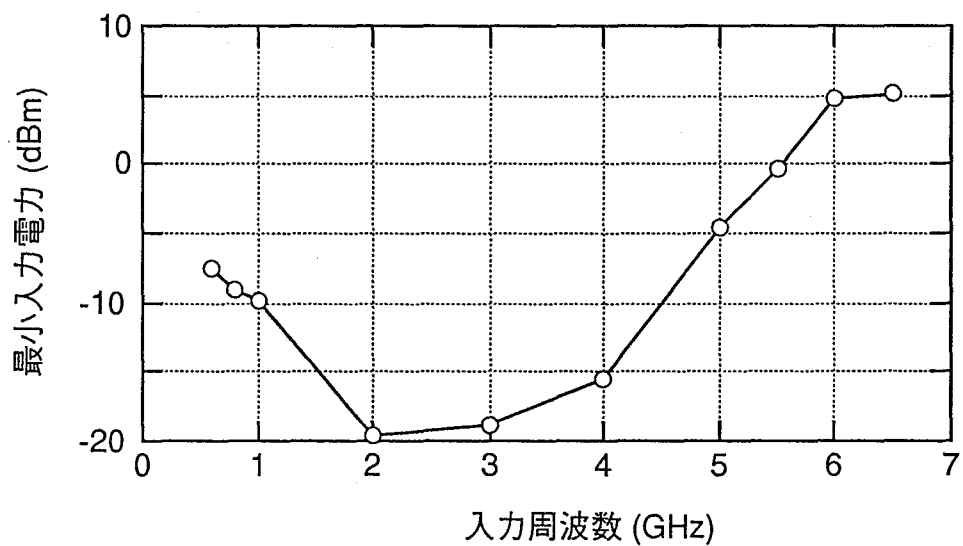
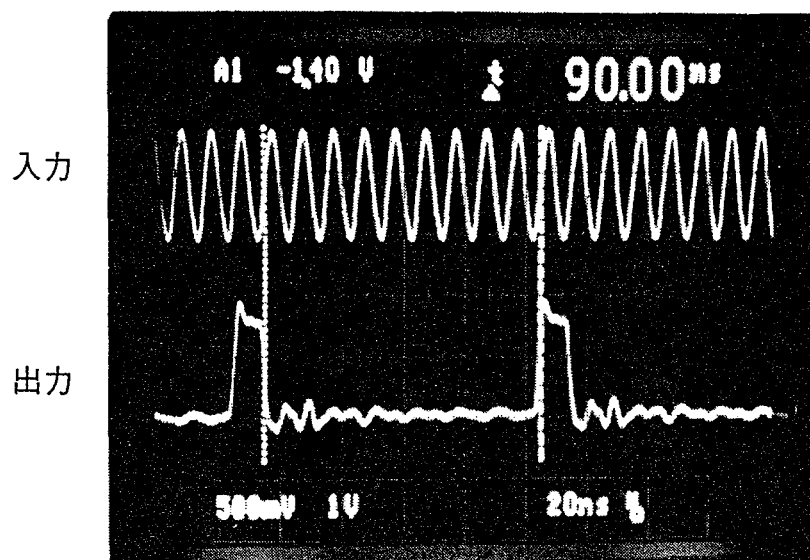
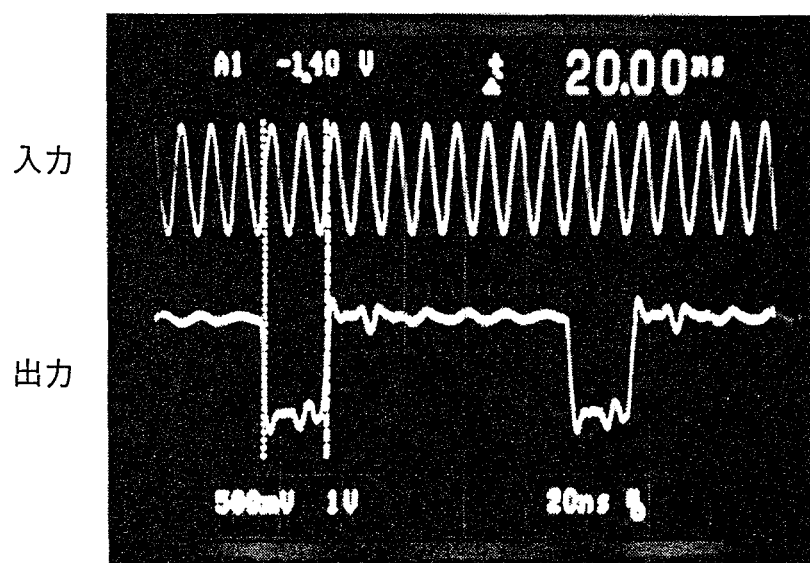


図5-7 チップ1の周波数特性



(a)



(b)

図5-8 チップ2の動作

(a) $M=10 \cdot A=1$ (b) $M=10 \cdot A=8$

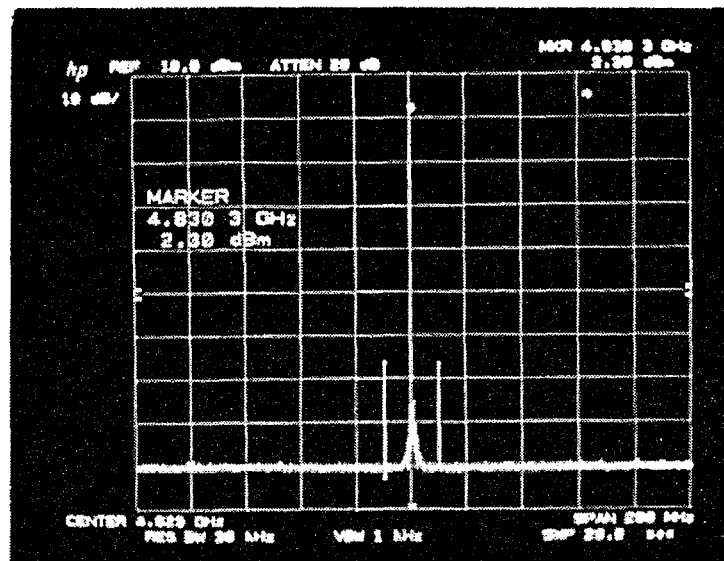


図5-9 出力スペクトラム
中心：4.83 GHz、横軸：20 MHz/div、縦軸：10 dB/div

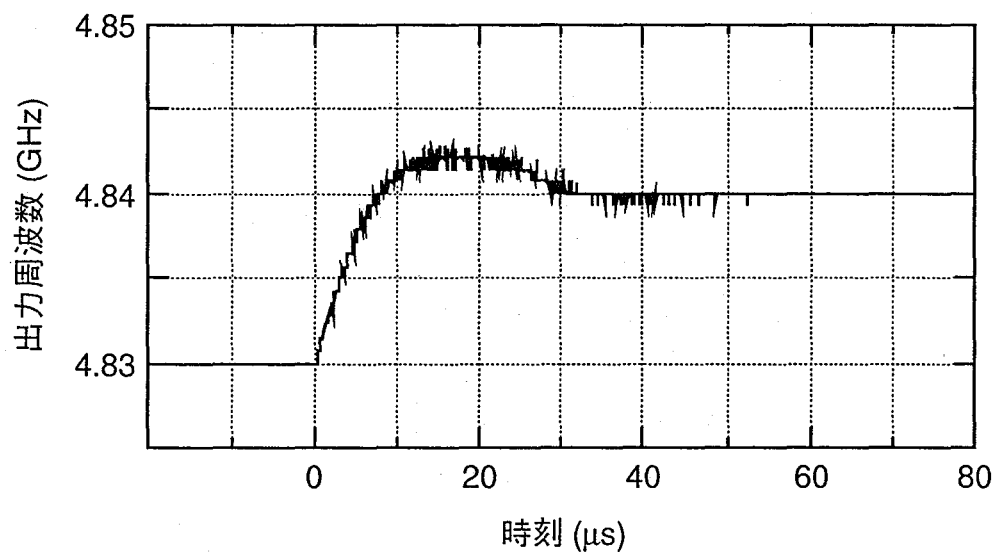


図5-10 周波数過渡応答

低いスプリアス特性が要求される場合、スプリアスの現れる離調周波数（周波数ステップに等しい）がループ帯域幅よりも大きい時にはループフィルタの後段にRCフィルタを追加するなどにより、フィルタの減衰特性を急峻にすれば良い。しかしながら周波数ステップが数十kHzと小さく、スプリアスの現れる離調周波数がループ帯域幅よりも小さい時には、分周比の変化を頻繁にしてスプリアスのパワーを広い周波数範囲に拡散させる[12]などの工夫が必要となる。ちなみに本PLLのループ帯域幅は約60kHzである。

図5-10は分周比を $60+3/8$ から $60+4/8$ に切り替えた時の周波数過渡応答である。約60 μ sの周波数切替え時間の後に、10MHzの周波数ステップ変化が得られている。

位相雑音特性を図5-11に示す。比較のために、整数の分周比を持つ同じ周波数ステップの周波数シンセサイザの位相雑音も共に示してある。図からわかるように、本PLLは整数の分周比を持つ従来のPLLに比べ、PLLノイズフロアを約15dB低減している。

図5-12は、周波数ステップを変えた時の位相雑音積分値である。積分範囲は離調周波数100Hzから10MHz（SSB）である。この測定では、基準周波数は80MHzに固定し、フラクショナルN・分周器の分母Mのみを変えている。周波数ステップを小さくしても、良好な位相雑音特性を保っていることがわかる。

5. 5 まとめ

マイクロ波帯周波数シンセサイザにおいて、周波数ステップより基準周波数を高くすると共に、両者の比をも任意に設定できる技術「任意分数設定型フラクショナルN・PLL」を提案した。キーデバイスであるフラクショナルN・分周器をIC化し、C帯のVCOと組み合わせて周波数シンセサイザを構成した結果、整数の分周比を持つ従来のPLLに比べて約15dB、低位相雑音である。また基準周波数を固定し、周波数ステップのみを小さくしても、良好な位相雑音特性を保っている。本PLLは高い柔軟性を持っており、種々のアプリケーションに適用できる。

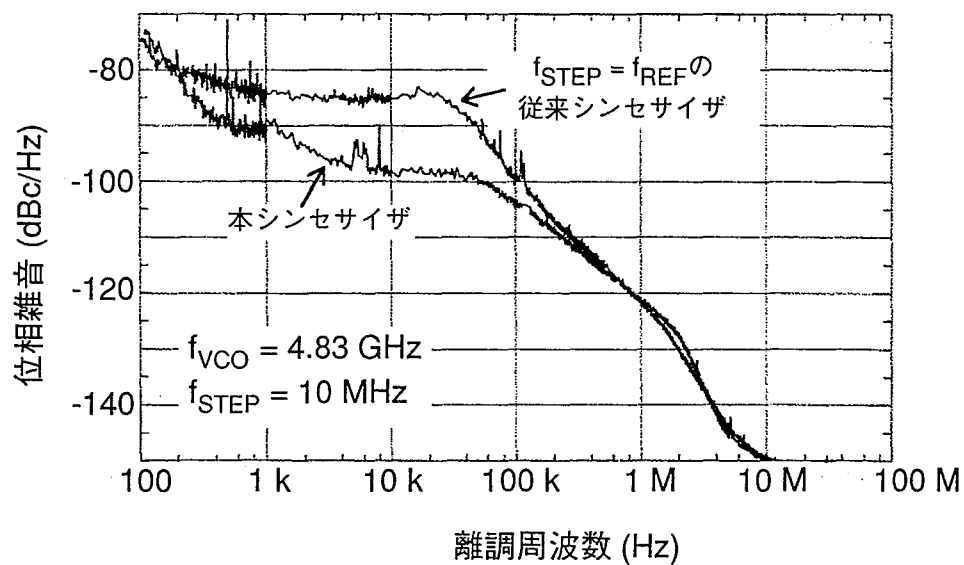


図5-11 位相雑音特性

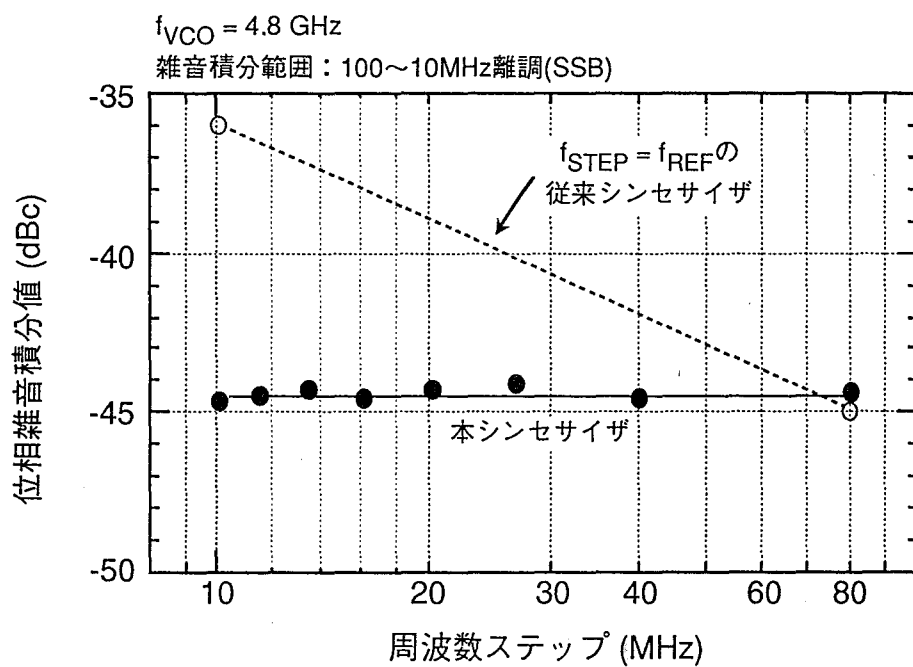


図5-12 位相雑音積分値一周波数ステップ

第5章の参考文献

- [1] U. Rohde, Digital PLL Frequency Synthesizers. Englewood Cliffs, NJ: Prentice-Hall, 1983.
- [2] R Hassun, "The common denominators in fractional N," *Microwaves & RF*, vol. 23, no.6, pp.107-110, June 1984.
- [3] V. Reinhardt, K. Gould, K. McNab, and M. Bustamante, "A short survey of frequency synthesizer techniques," in *Proc. 40th Annual Frequency Control Symp.*, May 1986, pp. 355-365.
- [4] V. Manassewitsch, *Frequency Synthesizers*, 3rd edition. John Wiley & Sons, 1987.
- [5] B. G. Goldberg and H. Eisenson, "Frequency synthesizer strategies for wireless," *Microwave J.*, vol. 36, no. 6, pp. 24-40, June 1993.
- [6] 足立, 小杉, 上野, 中部, "分数分周方式を用いた高速周波数切換シンセサイザ," *信学会論文誌C-1*, vol. J76-C-I, no. 11, pp. 445-452, Nov. 1993.
- [7] W. S. Djen and D. J. Linbarger, "Fractional-N PLL provides fast, low-noise synthesis," *Microwaves & RF*, vol. 33, no. 5, pp. 95-102, May 1994.
- [8] N. Foroudi and T. A. Kwasniewski, "CMOS high-speed dual-modulus frequency divider for RF frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 30, no. 2, pp. 93-100, Feb. 1995.
- [9] 足立, 小杉, 上野, 平野, 中部, "デジタル携帯電話用高速周波数切換シンセサイザ," *National Technical Report*, vol. 42, no. 1, pp. 137-142, Feb. 1996.
- [10] 小沢, *PLL周波数シンセサイザ・回路設計法*. 総合電子出版社, 1994.
- [11] T. Nakagawa and T. Tsukahara, "A low phase noise C-band frequency synthesizer using a new fractional-N PLL with programmable fractionality," *IEEE Trans. Microwave Theory Tech.* vol. 44, no. 2, pp. 344-346, Feb. 1996.
- [12] J.N. Wells, "Frequency synthesizers," U.S. Patent, No. 4,609,881, Sept. 2, 1986.

第6章 サンプリング位相検波器を用いたPLL

6.1 まえがき

マイクロ帯のPLLの構成法には、これまでに述べたような分周器を用いる方法と、サンプリング位相検波器 (Sampling Phase Detector, SPD) を用いる方法[1]-[4]とがある。分周器を用いたPLLでは、可変分周器を用いて分周比を変えることで周波数シンセサイザが構成される。一般に同一プロセスで比較した場合、可変分周器の動作速度は固定分周器の20～30%である[5, p.74]。従ってVCOの発振周波数が高くなると、可変分周器の前段に固定分周器を用いることとなる。このため所望のチャンネル間隔に比べて基準周波数は $1 / (\text{固定分周器の分周比})$ と低くなり、位相雑音特性が劣化する。

一方、SPDは高い周波数帯まで固定分周器を用いずに位相同期できるため、基準周波数を高くすることができ、低位相雑音な特性が期待できる。しかしながら従来のSPDはハイブリッド構成であったため小型化に限界があり、調整が必要である。また周波数引込み範囲が狭いという欠点があり、SPDのほとんどは、出力周波数が固定のPLLに用いられている。本章では、モノリシック回路要素のみで構成できるSPD回路を提案する。また周波数引込み範囲を拡大し、周波数シンセサイザ化が容易となるPLL構成を提案する。さらに実験により、その有効性を検証する。

6.2 SPDの構成と動作原理

SPDの構成を図6-1に、またその動作波形を図6-2に示す。SPDの中のパルス発生回路において基準周波数 f_{REF} に同期したサンプリングパルスを作り、スイッチング素子に加える。一方、被サンプリング信号として周波数 f_{VCO} のRF信号がスイッチング素子に加えられ、先のパルスによってサンプリングされる。スイッチング素子の出力をコンデンサで保持 (ホールド) することで、SPDの出力を得る。 $f_{\text{VCO}} \neq Nf_{\text{REF}}$ (N は整数) の時、SPDの出力を平滑化することにより、 $|f_{\text{VCO}} - Nf_{\text{REF}}|$ のビート信号が得られる。このビート信号をVCOに加えることにより、位相の引込みが行なわれる。 $f_{\text{VCO}} = Nf_{\text{REF}}$ の時には、RF信号の同じ位相の点がサンプリングされるのでSPD出力は一定となってループは安定状態となる。従ってSPDを用いたPLLでは、基準周波数の任意の整数倍の周波数で位相同期が可能である。

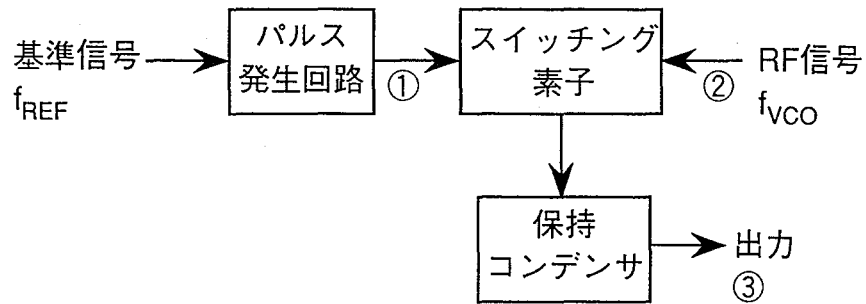


図6-1 SPDの構成

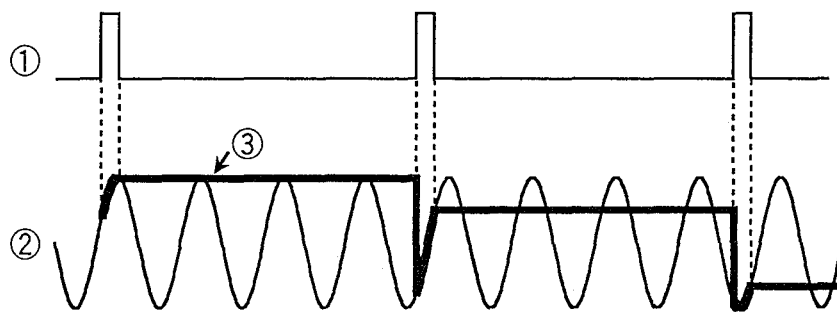


図6-2 SPDの動作波形

6. 3 SPDのMMIC化

従来のハイブリッドSPDの構成を図6-3に示す。ステップリカバリダイオードでサンプリングパルスを発生させ、ショットキーバリアダイオード2個からなる平衡ミキサをスイッチングする。このようなSPDを現在までMMIC化できなかった理由は以下のとおりである。

①ステップリカバリダイオードをGaAs製造プロセスを用いて作成できない。

ステップリカバリダイオードでは、少数キャリアの寿命が入力信号の周期よりも長いことが要求されるため、GaAsでは作られず、シリコンのみで作られる[6, p.57]。

②ステップリカバリダイオードでは、大きな励振電力を必要とする。

例えば文献[1]では、17dBmの励振電力が必要であると示されている。

提案するSPDの回路構成と動作原理を図6-4に示す[7]。基準信号をリミタで矩形波に整形した後、遅延インバータとNORゲートによって幅の狭いパルスを得る。スイッチング素子はトランスファゲートのFETである。FETのドレインから入力されたマイクロ波を幅の狭いパルスでサンプリングし、FETのソース側のキャパシタでホールドすることで位相検波出力を得る。バッファアンプは高入力インピーダンスによりホールド動作を安定化し、低出力インピーダンスで次に続く回路との接続を容易にしている。またバッファアンプを差動回路とし、RF信号を入力しないトランスファゲートFETの出力を差し引くことにより、サンプリングパルスの出力ポートへの漏洩を防いでいる。

このSPD回路ではステップリカバリダイオードは不要であり、モノリシック回路要素のみで構成でき、かつ励振電力を小さくできる。

試作したMMIC SPDのチップ写真を図6-5に示す。チップ寸法は2.0mm×1.5mmである。

6. 4 SPDの周波数引込み範囲の拡大

6. 4. 1 SPFCの動作原理

SPDは、PFC（位相周波数比較器）のように周波数比較機能を持たないためにPLLの周波数引込み範囲が狭くなる。このためPLLの周波数引込み範囲以下の狭い周波数可変範囲を持つVCOが用いられ、PLLにサーチ回路が付加される[2][4]。サーチ回路は、同期がはずれた時のみ、PLL外に設けた低周波の発振器によってVCOを掃引する回路である。サーチ回路による掃引によって所望の周波数以外で同期しないように、基準周波

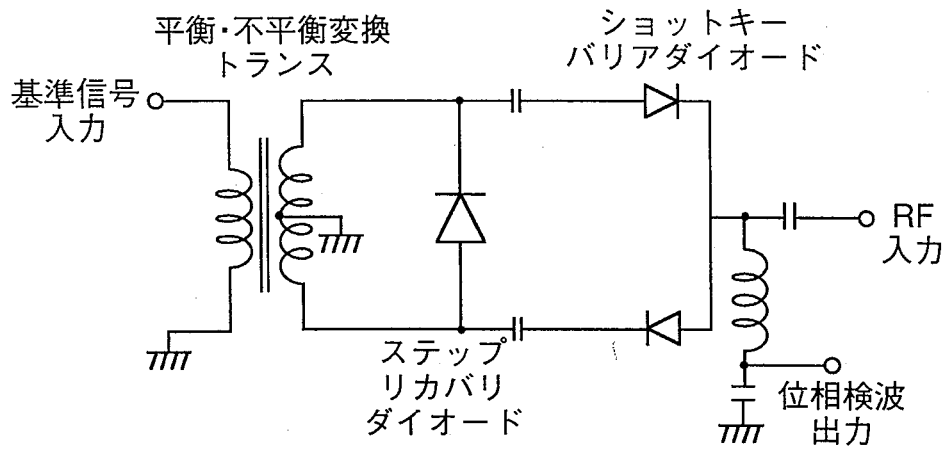


図6-3 従来のSPD

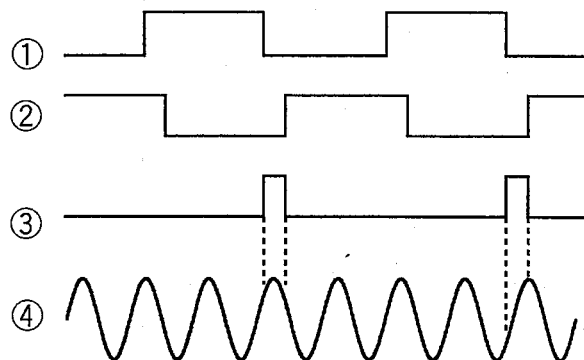
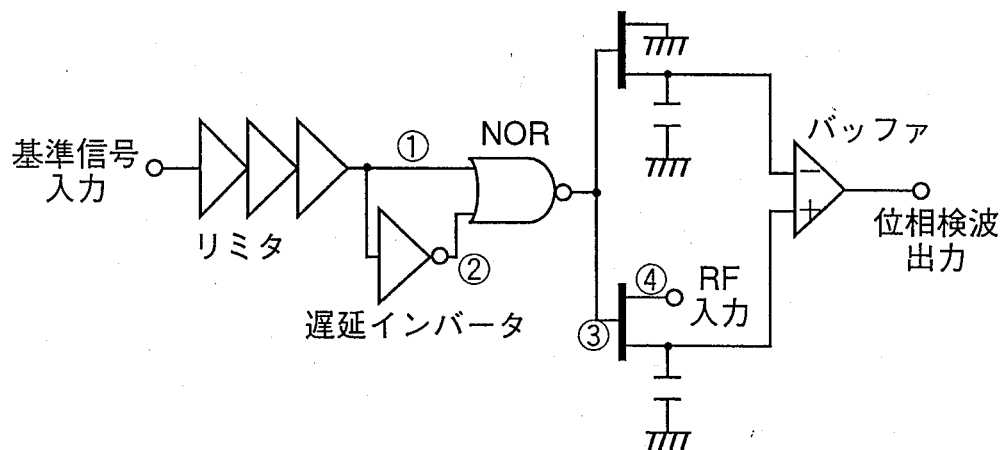


図6-4 MMIC SPDの構成と動作

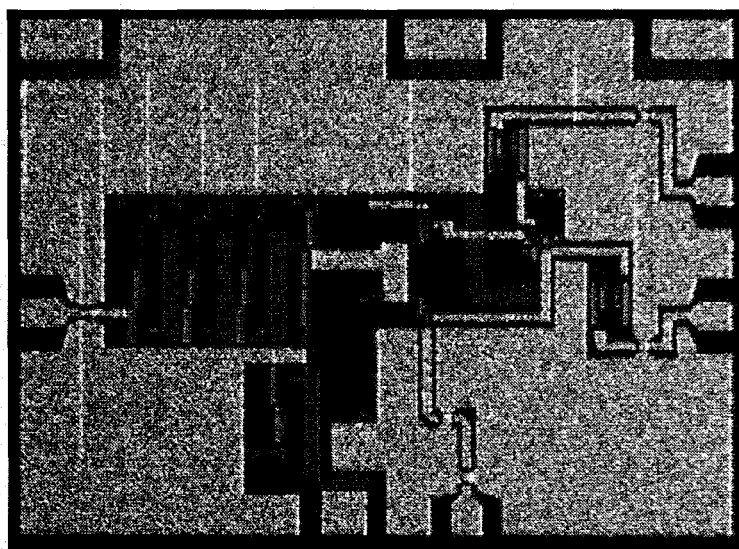


図6-5 MMIC SPDのチップ写真
2.0mm × 1.5 mm

数は、VCOの周波数可変範囲の中にその高調波が一つしか存在しないような高い値が選ばれる。結果として、SPDのほとんどは、出力周波数が固定のPLLに用いられている。またサーチ回路は構成が複雑となる。

提案する位相検波器の構成を図6-6に示す[8][9]。これは周波数比較機能を持つ新しいサンプリング位相検波器であり、Sampling Phase Frequency Comparator (SPFC)と呼ぶ。このSPFCは、アナログミキサを用いた周波数比較器[10, p.86]をサンプリング系に適用した回路と言える。アナログミキサの場合、入力信号と基準周波数との高低を識別するだけであるが、本構成では、入力信号と基準周波数の任意の整数倍の周波数との高低を識別することが可能となる。

図6-6において、パルス発生回路により基準周波数 f_{REF} に同期したサンプリングパルスを作り、2つのスイッチング素子に加える。一方、被サンプリング信号として周波数 f_{VCO} のRF信号が、90度の位相差を持って2つのスイッチング素子に加えられ、先のパルスによってサンプリングされる。この結果、ホールド回路から取り出される2つのサンプリング位相検波出力、 $V_1(t)$ および $V_2(t)$ が得られる。 f_{VCO} と Nf_{REF} との大小の違いによるサンプリングの様子を図6-7に示す。 $V_1(t)$ および $V_2(t)$ を平滑し、基準周波数の周波数成分を除いた出力は次式で与えられる。

$$V_1(t) = \sin \left(2\pi (f_{VCO} - Nf_{REF})t \right) \quad (6-1)$$

$$\begin{aligned} V_2(t) &= \sin \left((2\pi f_{VCO}t + 90^\circ) - 2\pi Nf_{REF}t \right) \\ &= \cos \left(2\pi (f_{VCO} - Nf_{REF})t \right) \end{aligned} \quad (6-2)$$

従って $f_{VCO} - Nf_{REF}$ の正負によって、 $V_1(t)$ と $V_2(t)$ の位相関係は、90度遅れと90度進みとが切り替わる。 $\Delta\omega = 2\pi(f_{VCO} - Nf_{REF})$ とすると、微分回路の出力 $V_3(t)$ は次式となる。

$$\begin{aligned} V_3(t) &= \frac{d}{dt} V_2(t) \\ &= -\Delta\omega \sin \Delta\omega t \end{aligned} \quad (6-3)$$

よって乗算出力 $V_4(t)$ は、次式となる。

$$\begin{aligned} V_4(t) &= V_1(t) \times V_3(t) \\ &= -\Delta\omega \sin^2 \Delta\omega t \end{aligned}$$

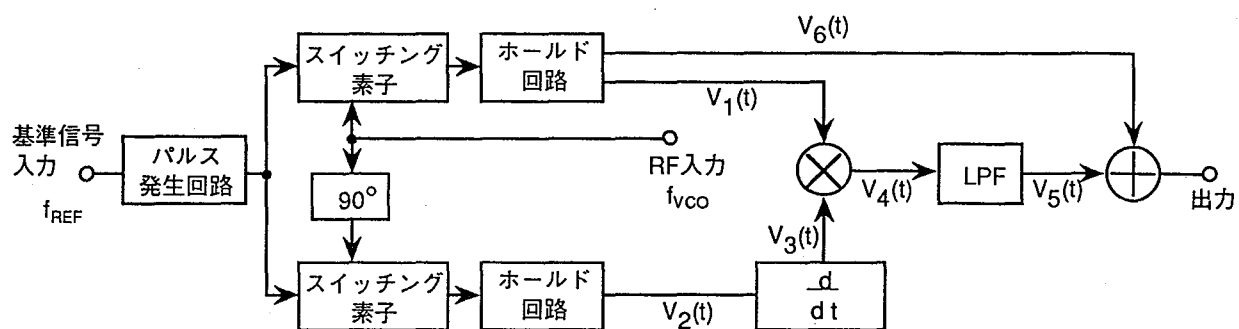


図6-6 サンプリング位相周波数検波器 (SPFC)

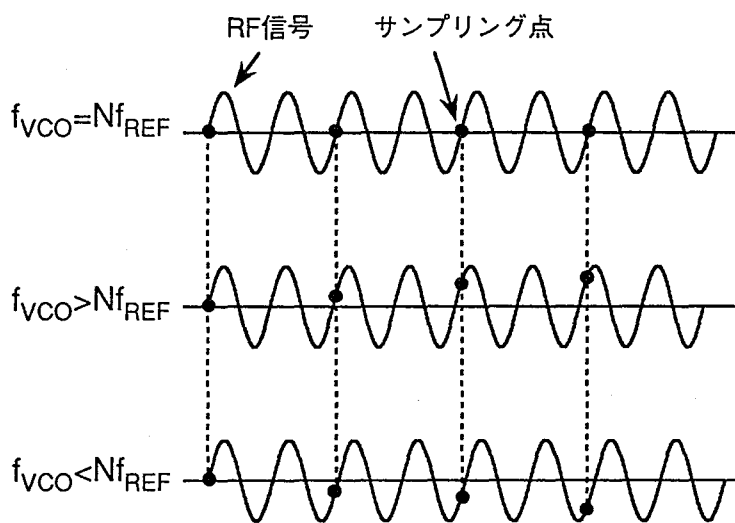


図6-7 RF周波数によるサンプリング点のずれ

$$= -\frac{\Delta\omega(1 - \cos 2\Delta\omega t)}{2} \quad (6-4)$$

(6-4)式中、 $1 - \cos 2\Delta\omega t \geq 0$ であるから、 $\Delta\omega$ の符号によって $V_4(t)$ の符号が変わる。 $V_4(t)$ はまた、 $2\Delta\omega$ の周波数成分を持っている。ここからローパスフィルタによって直流成分のみを取り出した信号 $V_5(t)$ は、 f_{VCO} と Nf_{REF} との大小によって、正電圧か負電圧であるかが切り替わる周波数比較信号となる。

このSPFCを用いたPLLを図6-8に示す。PLLにおいて、VCOの発振周波数は周波数比較信号 $V_5(t)$ によって Nf_{REF} 、すなわち基準周波数の高調波の近傍に引き寄せられる。この結果、SPD固有の周波数引込み範囲内にまで引き寄せられると、サンプリング位相検波出力 $V_6(t)$ により、位相同期が確立する。位相同期すると $\Delta\omega=0$ となり、周波数比較信号も0になる。

この構成によって周波数引込み範囲を拡大すると、周波数シンセサイザ化も容易となる。周波数シンセサイザ化は図6-8中の外部DC電圧を変化させ、位相同期周波数を基準周波数の1つの高調波から別の高調波に切り替えることで達成できる。周波数比較信号がない場合に外部DC電圧を変化させて位相同期周波数を変えたとすると、外部DC電圧によってVCOの発振周波数をSPD固有の周波数引込み範囲内にまで近づける必要があり、高精度なDC電圧設定が要求される。温度変化によるVCOの電圧一周波数特性の変化や電源電圧変動を考慮に入れると、実現は容易ではない。しかし周波数比較信号があれば、VCOの発振周波数を粗く所望の位相同期周波数の回りに持ってくれば（VCOの発振周波数が隣の高調波よりも所望の周波数に近ければ良い）、自動的にSPD固有の周波数引込み範囲内にまで引き寄せられて位相同期する。

6. 4. 2 SPFCのMMIC化

図6-9に示すSPFCの高周波部分をMMIC化した。回路構成は先のMMIC SPDをベースとしている。リミタ、遅延インバータ、NORゲート、トランスファージェートのFET、ホールドキャパシタ、バッファアンプに加え、ブランチラインの90度ハイブリッド[11]を集積化している。

試作したSPFCのMMIC部のチップ写真を図6-10に示す。チップ寸法は3.0mm×2.0mmである。

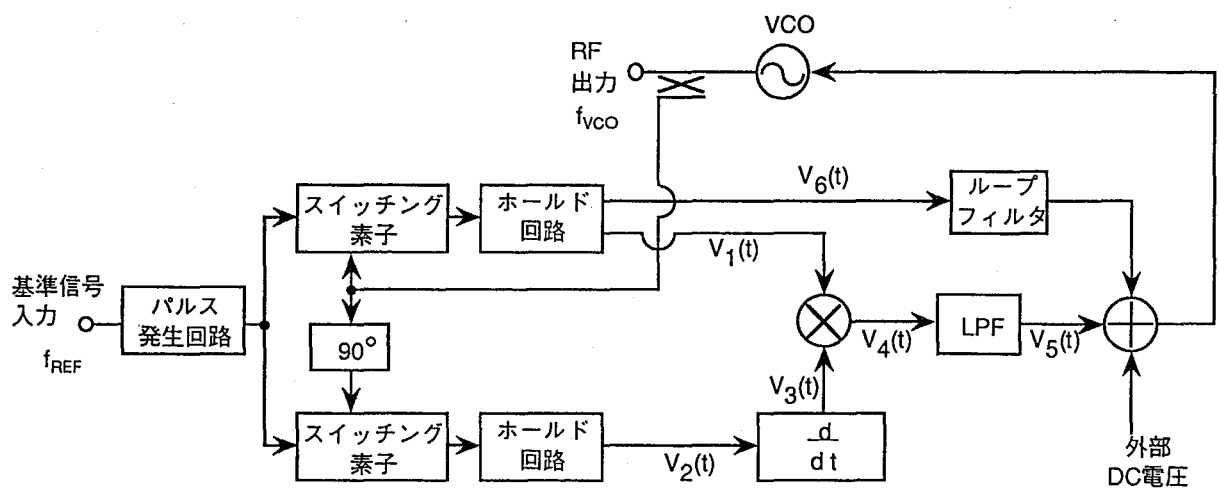


図6-8 SPFCを用いたPLL

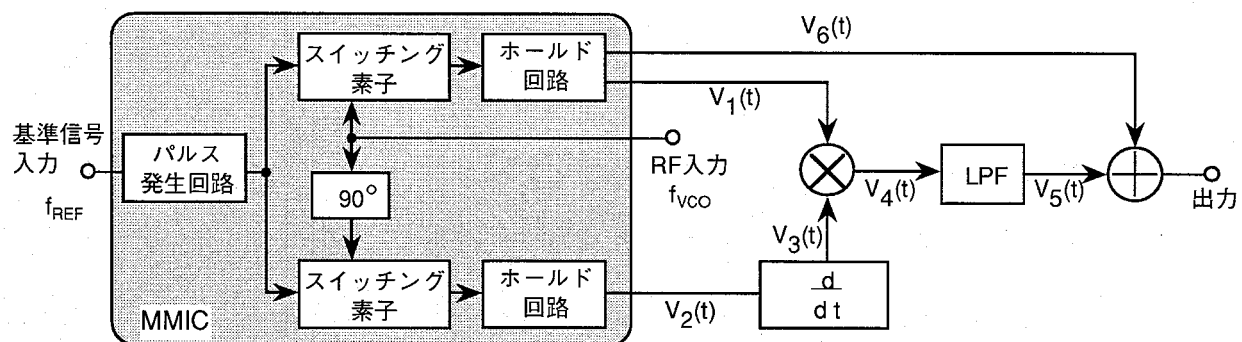


図6-9 SPFCのMMIC部

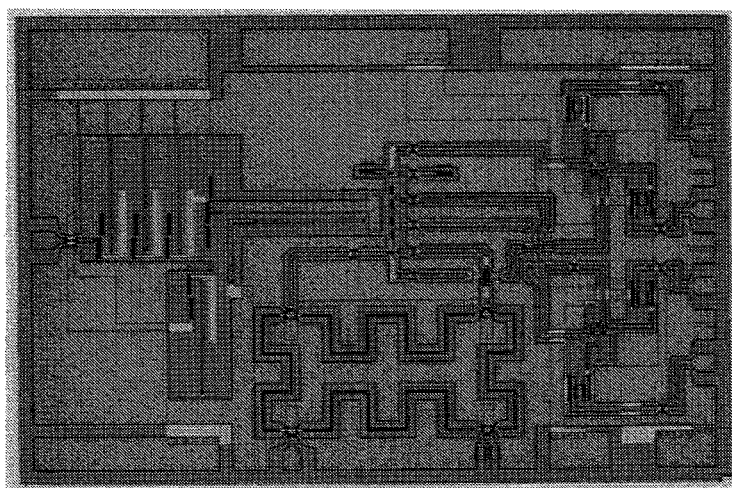


図6-10 SPFCのMMIC部のチップ写真
3.0mm × 2.0 mm

6. 5 実験結果

6. 5. 1 MMIC SPD

試作したMMIC SPDの周波数特性を図6-11に示す。従来のハイブリッドSPDと異なり、0dBmと低い励振電力で動作している。基準周波数が100MHzの時、20GHzまで検波動作が確認できた。

6. 5. 2 SPFCを用いたPLL

a. SPFC

試作したMMIC部の周波数特性を図6-12に示す。2出力 $V_1(t)$ および $V_2(t)$ の周波数特性の違いはブランチラインハイブリッドの特性による。基準周波数が100MHz・0dBmの時、Ku帯にて100mVpp以上の検波電圧が得られた。

MMIC部を用いて図6-6に示すSPFCを構成した時の周波数比較動作の実験結果を図6-13に示す。基準周波数は100MHz、RF周波数は11GHz $\pm$ 10MHzである。出力信号 $V_4(t)$ は20MHzの周波数成分を持っている。また $V_4(t)$ は、RF周波数が基準周波数の高調波より高いか低いかにによって直流電位が切り替わっており、良好な周波数比較動作を示している。

信号 $V_4(t)$ からローパスフィルタによって直流成分のみを取り出した信号 $V_5(t)$ の周波数特性を図6-14に示す。用いたローパスフィルタのカットオフ周波数は16Hzと充分低くしている。図から、基準周波数の高調波の前後で電圧の極性が変化していることがわかる。また1つの高調波から次の高調波まで連続的に周波数比較していることから、PLLを構成した場合の周波数引込み範囲はVCOの発振可能な範囲全域となり、1つの高調波についての周波数引込み範囲は $\pm$ 基準周波数/2となる。

b. PLL

SPFCを用いて図6-8に示すPLLを構成した。VCOはMMICであり、周波数可変範囲は11.6GHz $\sim$ 13.7GHzである。PLL出力のスペクトラムを図6-15に示す。図6-15(a)は基準信号入力の無い状態で、外部DC電圧のみをVCOに加えた時の様子である。従ってVCOは自走発振となっており、基準周波数の高調波である13GHzとのずれは32MHzである。図6-15(b)では、基準信号は入力しているが、サンプリング位相検波出力 $V_6(t)$ は加算していない。すなわち、外部DC電圧と周波数比較電圧とがVCOに加えられている。また図の横軸は、図6-15(a)では10MHz/divであったのに対し、図6-15(b)では200kHz/divとなってい

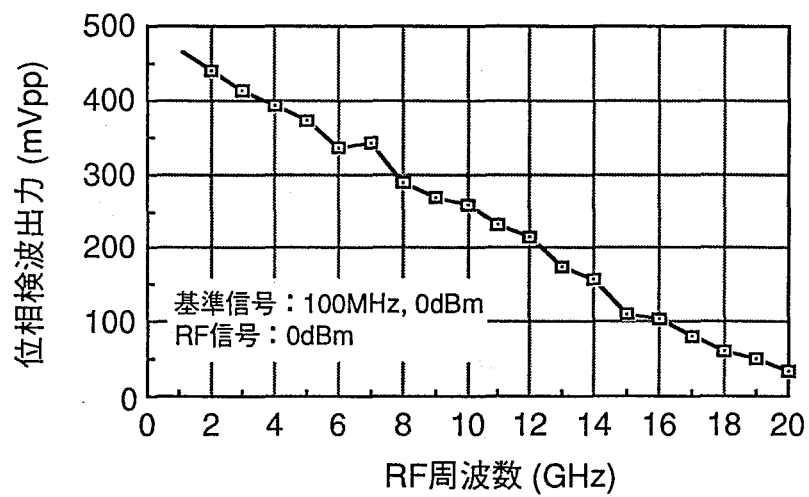


図6-11 MMIC SPDの周波数特性

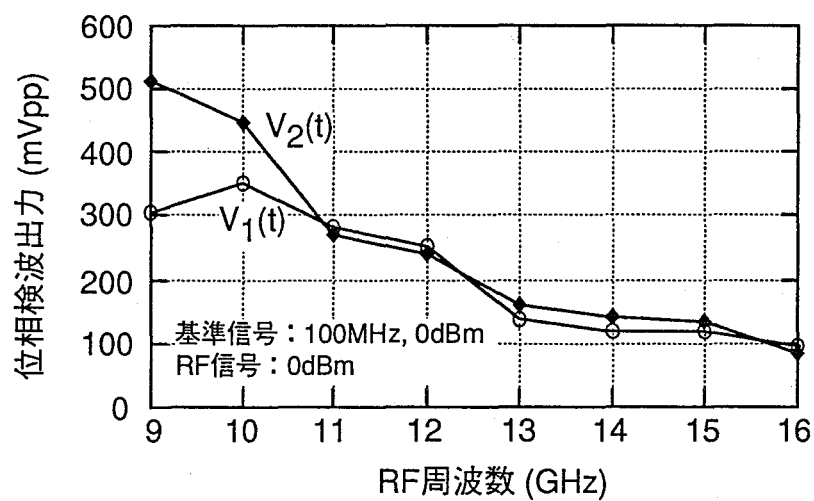
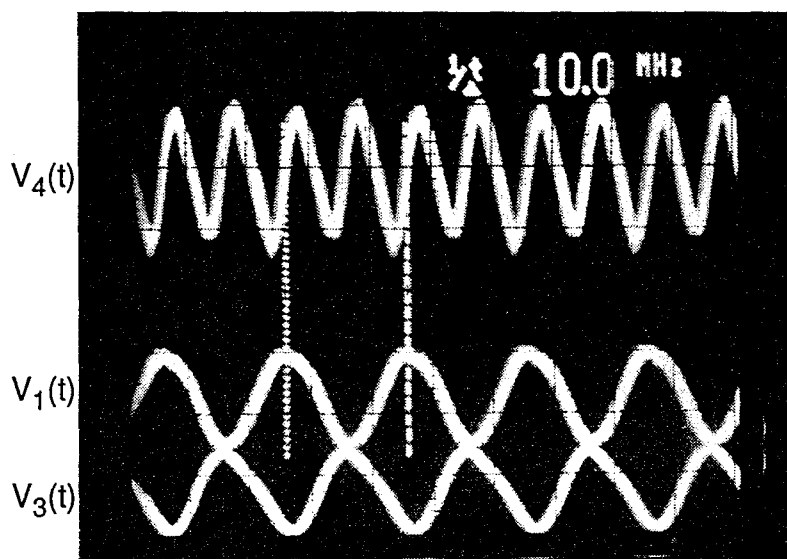
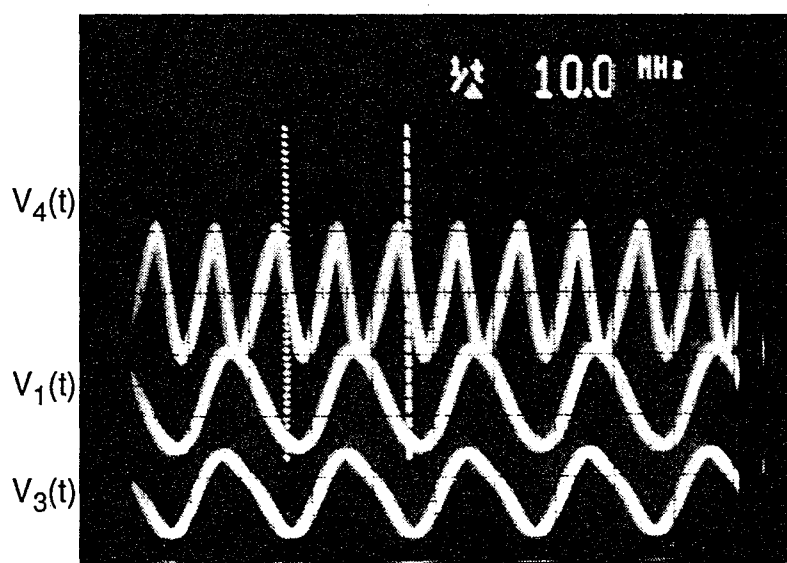


図6-12 SPFCのMMIC部の周波数特性



(a)



(b)

図6-13 SPFCの周波数比較動作
 (a) $f_{\text{REF}}=100 \text{ MHz}$, $f_{\text{VCO}}=10.99 \text{ GHz}$
 (b) $f_{\text{REF}}=100 \text{ MHz}$, $f_{\text{VCO}}=11.01 \text{ GHz}$

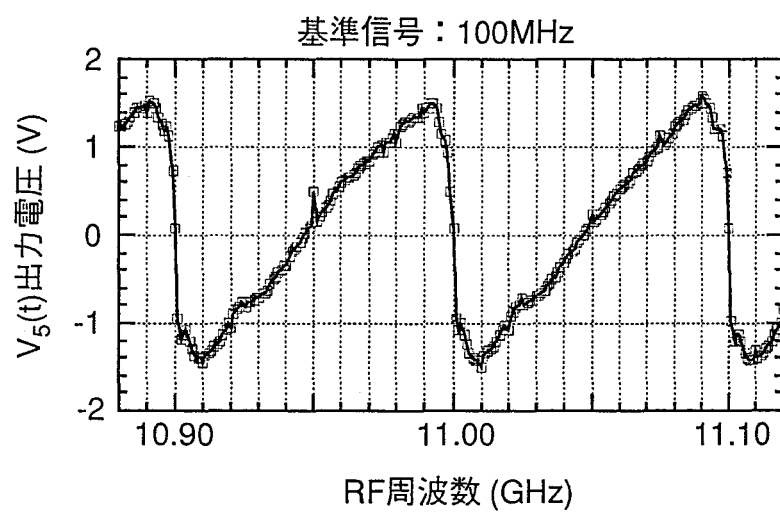
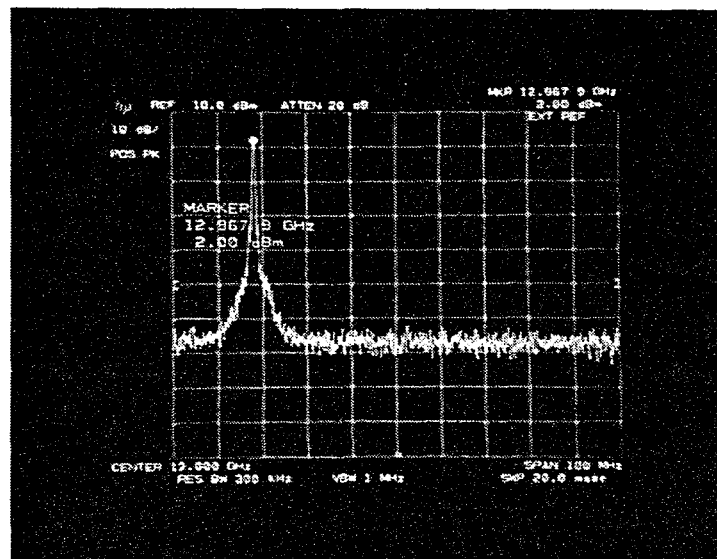
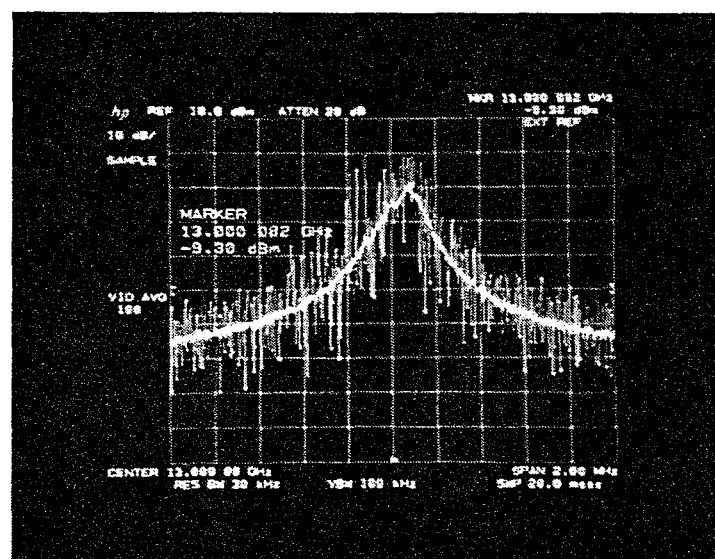


図6-14 SPFCの周波数比較動作



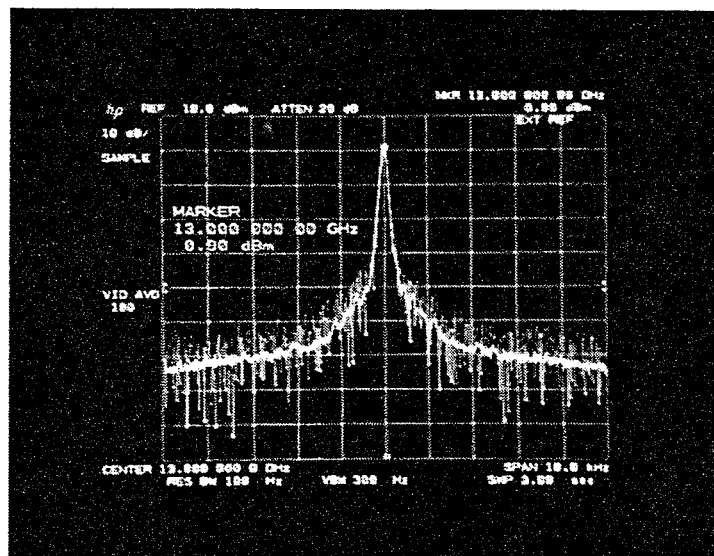
(a)



(b)

図6-15 出力スペクトラム

(a)中心：13 GHz、横軸：10 MHz/div、縦軸：10 dB/div
 (b)中心：13 GHz、横軸：200 kHz/div、縦軸：10 dB/div



(c)

図6-15 出力スペクトラム
(c)中心：13 GHz、横軸：1 kHz/div、縦軸：10 dB/div

る。図からわかるように、周波数比較電圧がVCOの発振周波数を、基準周波数の高調波の近傍に引き寄せている。図6-15(c)ではさらにサンプリング位相検波出力 $V_6(t)$ を加算している。横軸は1kHz/divである。この状態で位相同期が確立しているのがわかる。

6. 6 まとめ

マイクロ帯において固定分周器を用いずに位相同期が可能なSPDをモノリシック化する回路構成を提案した。またSPDの周波数引込み範囲を拡大できるSPFCを提案した。SPFCとKu帯のMMIC VCOと組み合わせた結果、周波数比較信号がVCOの発振周波数を基準周波数の高調波の近傍に引き寄せ、かつサンプリング位相検波出力により位相同期が確立する良好な動作を得た。本構成によって周波数引込み範囲を拡大すると、分周器を用いずに周波数シンセサイザ化が容易となる。

第6章の参考文献

- [1] A. Milano and C. Piazzano, "Low noise high stability, X-band frequency generator for on board satellite equipment," in Proc. 16th Eur. Microwave Conf., 1986, pp. 827-832.
- [2] W. G. Varlin and Jason Chang, "High-performance digital radio uses state-of-the-art thin-film technology," Microwave Syst. News, vol. 17, no. 6, pp.8-20, June 1987.
- [3] 阪, 田中, "Xバンド位相同期発振器," 昭和62年信学会半導体・材料部門全国大会, p. 2-28, 1987.
- [4] I. Telliez, M. Camiade, P. Savary, and P. B. Yaonaba, "Millimetre wave phase locked oscillator for mobile communication systems," in IEEE 1995 MMWMC Symp. Dig., May 1995, pp. 49-52.
- [5] 小沢, PLL周波数シンセサイザ・回路設計法. 総合電子出版社, 1994.
- [6] S. A. Maas, Nonlinear Microwave Circuits. Norwood, MA: Artech House, 1988.
- [7] T. Nakgawa and T. Ohira, "GaAs MMIC sampling phase detector for phase-locked oscillators up to 20 GHz," in 3rd Asia-Pacific Microwave Conference Proc., Sept. 1990, pp.1121-1123.
- [8] T. Nakgawa, T. Hirota, and T. Ohira, "A novel MMIC approach to sampling phase/frequency detection for Microwave Quartz-Lock Oscillators," in 1992 IEEE MTT-S Int. Microwave Symp. Dig., June 1992, pp. 1301-1304.
- [9] T. Nakagawa, T. Hirota, and T. Ohira, "A GaAs monolithic sampling phase frequency comparator for extending the pull-in range of microwave phase-locked oscillators," IEICE Trans. Electron., vol. E76-C, no. 6, pp. 944-949, June 1993.
- [10] F. M. Gardner, Phaselock Techniques 2nd Edition. John Wiley & Sons, 1979.
- [11] T. Hirota, A. Minakawa and M. Muraguchi, "Reduced-size branch-line and rat-race hybrids for uniplanar MMIC's," IEEE Trans. Microwave Theory Tech., vol. 38, no. 3, pp. 270-275, Mar. 1990.

第7章 MMIC PLL発振回路の通信装置への応用

7.1 まえがき

本章では、低位相雑音化したMMIC PLL発振回路の通信装置への応用について述べる。一つはC帯の16QAM変調方式用に開発したMMIC局部発振器であり、もう一つは多チャネル光映像分配システムに用いるFMチューナ用に開発したMMICのシンセサイザズドアップコンバータである。

7.2 16QAM用C帯MMIC局部発振器

多値変調方式は、周波数利用効率の向上に有効であり、デジタルマイクロ波中継伝送システムに広く用いられている[1][2]。しかしながら、局部発振器の位相雑音に対する要求特性は、多値化と共に厳しくなる。このため現有のマイクロ波16QAM用の局部発振器では、誘電体共振器が用いられている。誘電体共振器は、CN比の良い発振器を構成できる一方、①取り付けの位置合わせによる結合度の調整が必要、②小型化が困難、③コストが高い、などの欠点を持つ。本節では、誘電体共振器を用いずに、C帯にて16QAMレベルの低位相雑音特性を実現したMMIC局部発振器の回路構成、設計法、特性について述べる。

7.2.1 適用技術

NTTの4/5/6GHz・16QAM方式の位相雑音要求特性は、キャリアからの離調周波数3.8kHzから10MHzまでのSSB積分値が-50dBc以下である。このような要求を満足するために、以下の技術を適用する。

(1) 位相検波感度の向上によるPLLループ帯域内の低位相雑音化

(2) Si MMICと高Q平面型共振回路の疎結合化によるPLLループ帯域外の低位相雑音化

(1) については第2章で述べた通りであり、位相比較にはエクスクルーシブ・オア(EXOR)を使用し、かつ周波数比較には位相周波数比較器(PFC)を使用することで、位相検波感度を2倍にし、かつ広い周波数引込み範囲を実現する[3]。

(2) はVCOを低位相雑音化する技術である。SiバイポーラトランジスタはGaAs FETに比べて $1/f$ 雑音が小さい。この理由はトランジスタの構造に起因する。すなわち、 $1/f$ 雑音の要因には半導体の表面や接合界面での再結合があり[4]、FETでは表面・界面に沿っ

て電流が流れるのに対し、バイポーラトランジスタでは電流が半導体基板に垂直に流れるために表面再結合の影響が小さくなるためである。しかしながら、Si基板は導電性であり、Si基板上にマイクロ波伝送線路を形成すると挿入損失が大きくなる[5]。そこで、アクティブ素子はSiとし、共振回路はアルミナセラミック基板上に形成した低損失のマイクロストリップ線路とする[6]。以下に詳細を述べる。

7. 2. 2 VCOの設計

VCOの回路構成を図7-1に示す。エミッタに接続したキャパシタCfとベース側のマイクロストリップ線路との直列帰還回路となっている。Si基板上には、キャパシタCf、出力端子の直流阻止用キャパシタおよびバイアス供給用のインダクタとをMMIC化している。キャパシタCfの容量値は、ベースからMMICを見た時に観測される負性抵抗のピーク値が5GHzとなるように設計する。

共振回路はアルミナセラミック基板上に形成したマイクロストリップ線路であり、導体は金である。周波数を可変にするためのバラクタには、比較的Q値の高い超階段接合型GaAsバラクタを用いる。マイクロストリップ線路と、Si MMICおよびバラクタとの間の接続は小さな容量C1、C2を介した疎結合とすることで、負荷Q値を向上する。小さな容量は、アルミナセラミック基板上のインターディジタルキャパシタによって実現できる。

図7-2(a)に示す発振器の等価回路を図7-2(b)で表し、X-Y面から左を見込んだインピーダンスを Z_D 、右を見込んだインピーダンスを Z_L とすると、周波数 f_0 における負荷Q値は次式で求めることができる[7]。

$$Q = \frac{1}{2} \sqrt{u^2 + t^2} \quad (7.1)$$

$$t = \frac{f_0}{R_T} \frac{\partial X_T}{\partial f}, \quad u = \frac{f_0}{R_T} \frac{\partial R_T}{\partial f}$$

$$R_T = R_L + R_D, \quad X_T = X_L + X_D$$

発振器のQ値は、負性抵抗分を除いて求める必要がある[8]。このため、トランジスタの等価回路において g_m を0に設定して(7.1)式を計算する。

容量C1、C2を小さくすると負荷Q値が向上するものの、周波数可変範囲が狭くなる。

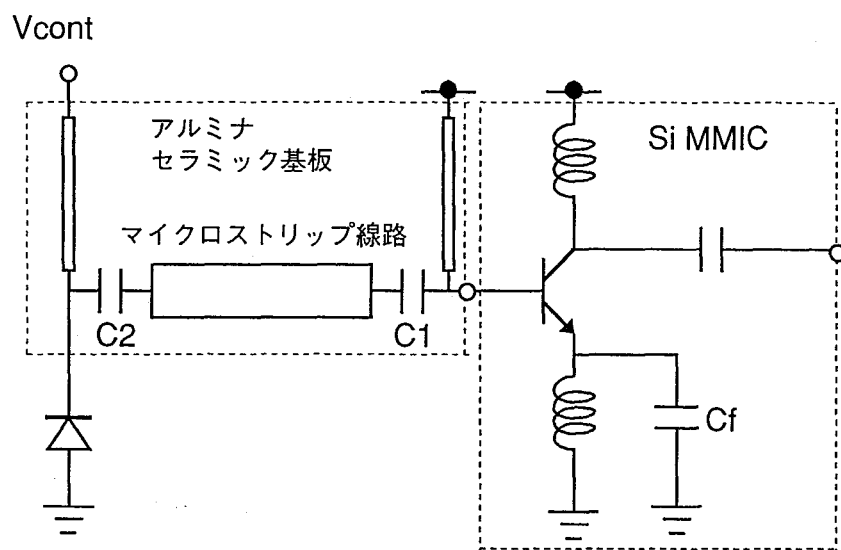


図7-1 低位相雑音VCO

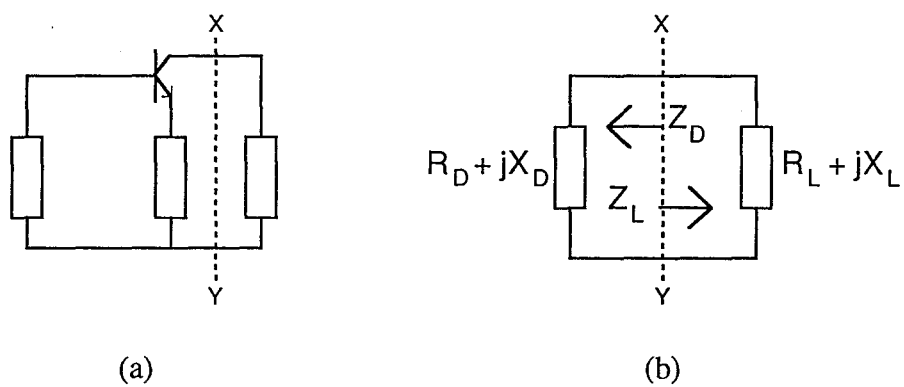


図7-2 (a)発振器の基本構成
(b)等価回路

C1を0.3pFとした時の、Q値および周波数可変範囲とC2の容量値との関係を図7-3に示す。要求値を満足する値として、C1=0.3pF、C2=0.25pFとした。

7. 2. 3 C帯MMIC局部発振器の特性

VCO、アンプ、分周器、位相比較器は図7-4に示すように、一つのフラットパッケージに実装した。外付けの部品は基準信号源の水晶発振器とループフィルタであり、これらを含めた局部発振器の全体を図7-5に示す。比較のために現有の16QAM用局部発振器も共に示してある。重量は現有の発振器が3kg、開発したMMIC発振器が100gと1/30である。

出力位相雑音特性を図7-6に示す。キャリアからの離調周波数3.8kHzから10MHzまでのSSB積分値は-50.8dBcであり、位相雑音の仕様を満足している。この発振器の温度依存性を図7-7に示す。-10～+60℃の温度範囲において、仕様を満足していることがわかる。

このMMIC発振器を用いて、図7-8に示す系でビット誤り率を測定した。受信装置の局部発振器を現有の誘電体共振器を用いた発振器から、MMIC発振器に取り替えている。測定結果を、図7-9に示す。測定結果(●)は変調器(MOD)出力を図7-8中の(*)のノードに直接接続した場合である。送受信装置を通した時の劣化量は10⁶点においてCN比0.3dBと小さく、現有の発振器に匹敵する性能を得た。

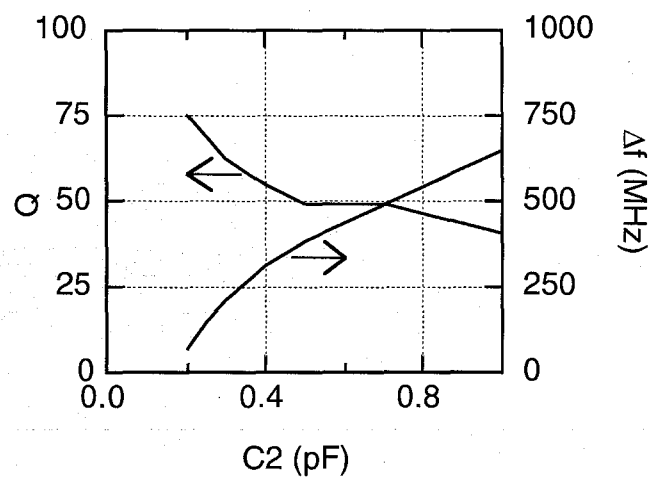


図7-3 Q値・周波数可変範囲に対する容量値の効果

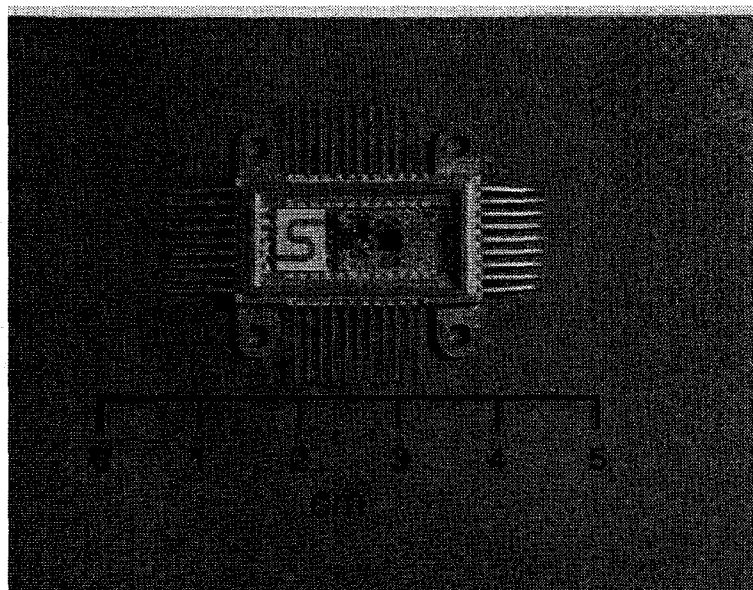


図7-4 MMIC局部発振器モジュール

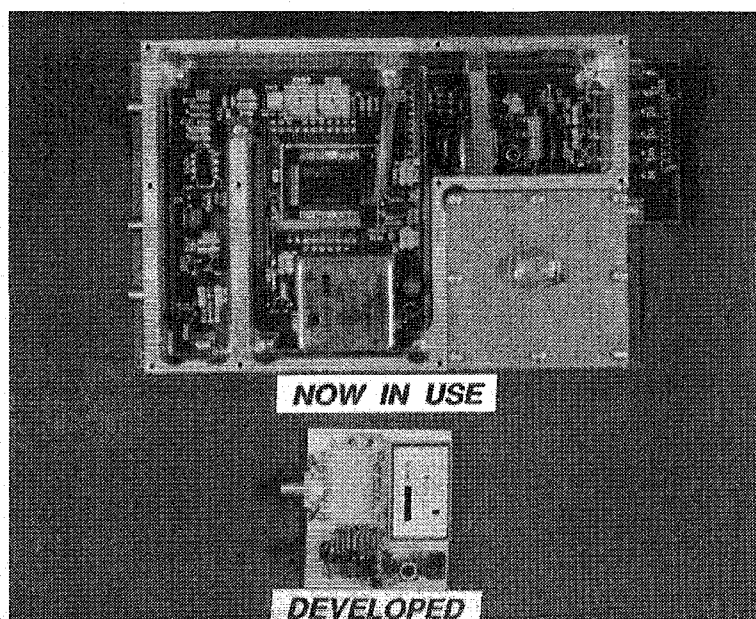


図7-5 16QAM用MMIC局部発振器

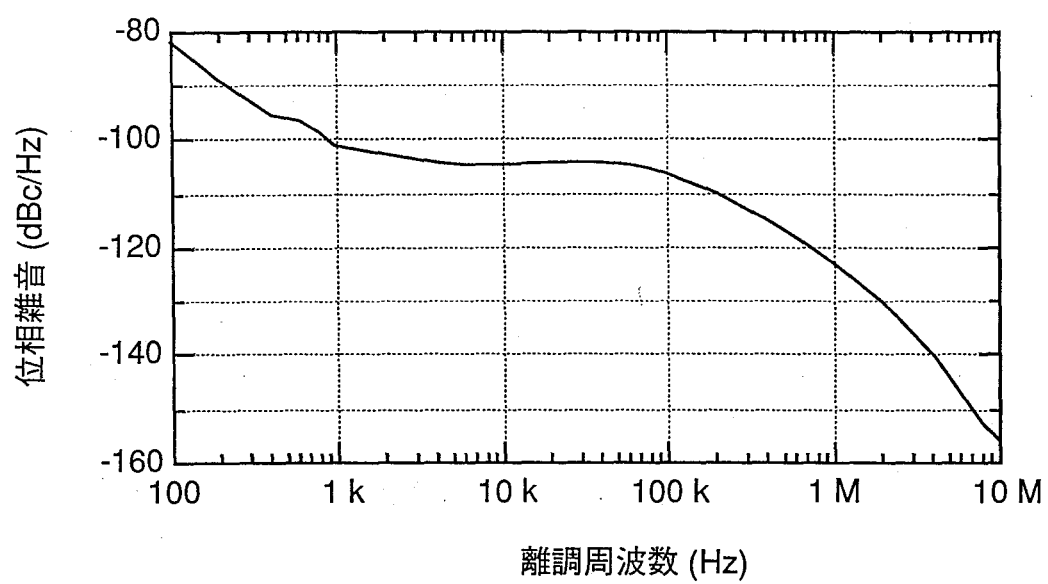


図7-6 位相雑音特性

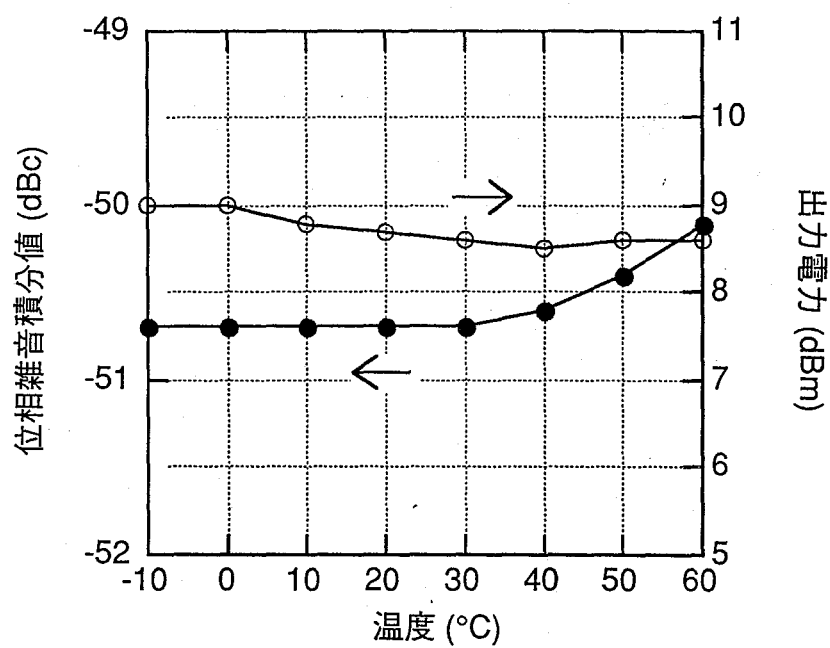


図7-7 温度特性

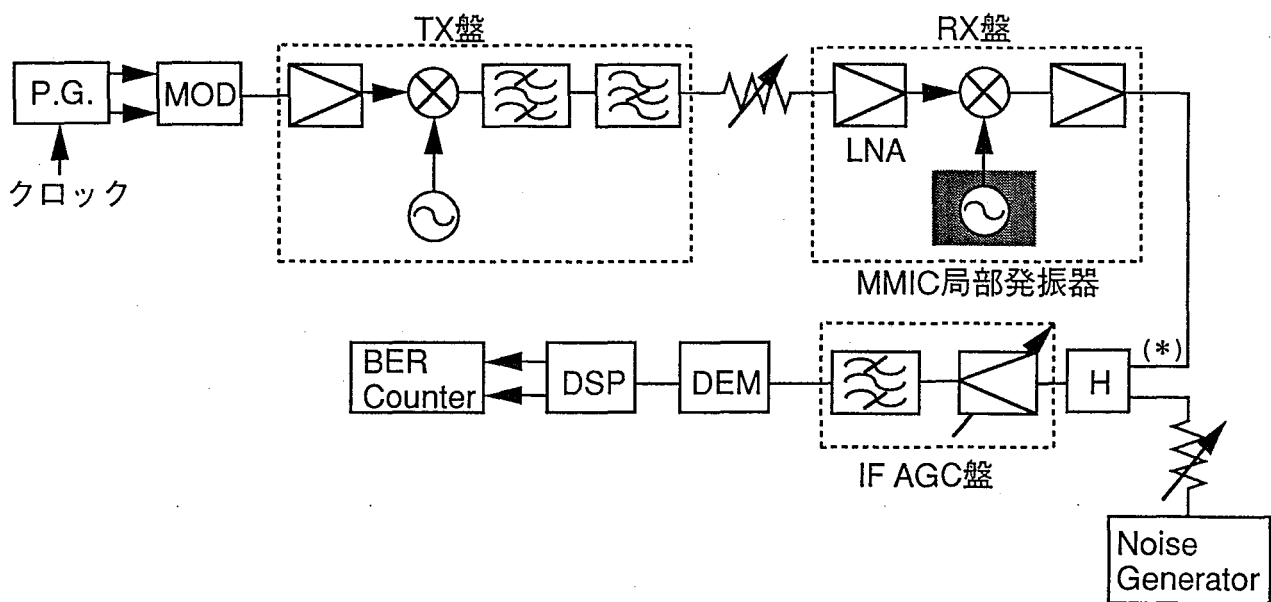


図7-8 ビット誤り率の測定系

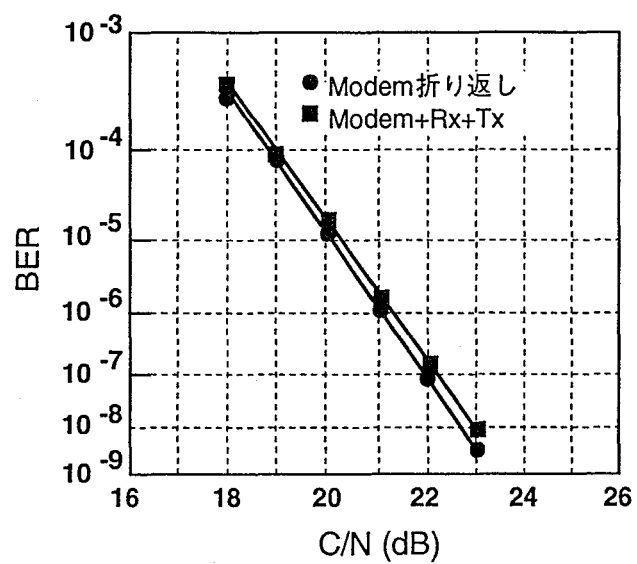


図7-9 ビット誤り率

7. 3 多チャネル光映像分配システムに用いるFMチューナ用MMIC

同軸ケーブルを用いたCATVシステムに対して、伝送品質の向上、伝送距離の拡大、システム保守稼働の削減などが可能な光ファイバによる映像分配システムの研究開発が行われている[9]。多チャネルの映像信号はAM変調やFM変調により複数のマイクロ波帯キャリア（サブキャリア）に乘せられた後に周波数分割多重（FDM）され、レーザダイオードで光信号に変換されて光ファイバにより伝送される。このFDM多重光伝送システム（SCMシステム）では、数十から百チャネル以上の映像信号を伝送することが可能である。サブキャリアの変調形式としてFMを用いたFM-FDMは歪みや雑音の影響を受けにくく、高品質の映像伝送ができるが広い伝送帯域が必要である。特に図7-10に示すような、ユーザ宅まで光信号を伝送するいわゆるファイバ・トゥ・ザ・ホーム（FTTH）を考えた場合、各配信先で2GHz程度の帯域幅から所望の1波を選択できる超広帯域FMチューナが必須となる。しかしながら、現在の映像用FMチューナはこのような広い同調帯域幅を持たない。例えば衛星放送(BS)チューナでは同調帯域幅はFM映像信号の8チャンネル分の270MHzである。また、CATVのような商用システムに用いるチューナには、低コスト化が強く求められる。このため、民生用の部品とMMICとの組み合わせが有効となる[10][11]。本節では、民生用の部品とMMICとの組み合わせによる広帯域でかつ低コストのFM映像チューナの構成を提案し、新たに開発したMMICとその特性について述べる。

7. 3. 1 多チャネルFMチューナの構成

多チャネル光映像分配システムでは、500～2400MHzの間に50本のサブキャリアを立てて配信する[11]。各配信先でこのような広帯域な周波数範囲から1波を選択するためには、チューナの中に広帯域に周波数が可変する発振器が必要である。発振器の可変周波数範囲 Δf と、その中心周波数 f_0 との比 $\Delta f / f_0$ （比帯域幅）は、発振器の共振回路のインピーダンスを変える素子（バラクタダイオード等）の特性によってほぼ決まる。従って、広い可変周波数範囲を得るには中心周波数を高くすれば良い。すなわち配信された信号をいったん高い周波数帯に変換（アップコンバート）して信号を選択することにより、同調範囲を広げることができる。

所望のチャネルを選択した後は、FM変調信号をベースバンド信号に復調する必要がある。この時、安価な民生用部品を用いることができれば、システムの経済化を図ることができる。

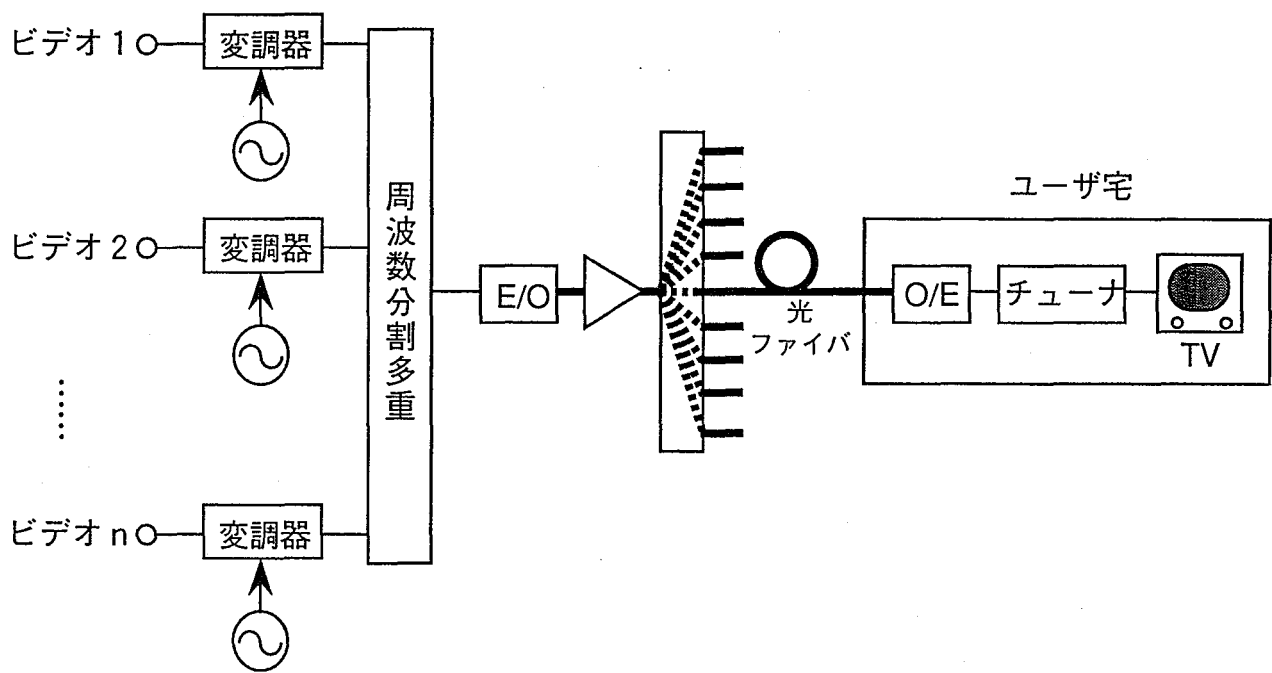


図7-10 多チャネル光映像分配システム

以上より図7-11に示すFMチューナの構成を提案する。本構成では、O/E変換後のFM-FDM信号(0.5-2.4GHz)を一旦高い周波数（第1変換周波数）に変換し、特にこの第1変換周波数を衛星放送(BS)受信機のRF帯(12.40-12.67GHz)に設定する。これにより、既存のBS受信機と接続することができる。しかし既存のBSチューナによる同調帯域幅は映像8チャンネル分（帯域幅270MHz）しかないため、10.1-12GHz帯の周波数シンセサイザと連動させることとする。すなわち、図7-12に示すように8チャンネルを1ブロックとし、受信所望ブロックを周波数シンセサイザで選択した後、ブロック内の所望チャンネルをBSチューナで選択し、復調する。これによりブロック数を7とすると、56チャンネル配信(帯域幅2.1GHz)を受信することが可能となる。

以上の構成によれば、既存のBS受信機を利用しながら、同調帯域幅を飛躍的に向上できる。ここでキーデバイスとなるのは、10.1-12.0GHzというマイクロ波帯のシンセサイザズドアップコンバータである。これは多数のアナログ回路およびデジタル回路から構成される。このためMMIC化することにより、部品点数の削減や調整コストの削減という経済化の効果が得られる。MMICの回路設計には、周波数シンセサイザやミキサ単体の設計技術[12][13]に加え、MMIC回路自身の広帯域化の工夫が必要である[14]。また、本システムの変調方式はFMであり、前節で述べた16QAM方式に比べて位相雑音の要求値は緩い。しかしチューナの低コスト化のために発振器も含めて全MMIC化を行なうため、位相雑音の影響が無視できない。そこで位相比較器には高検波感度のループ構成を用い、PLLループ帯域内の位相雑音を低減する[3]。

7. 3. 2 MMICの設計と特性

シンセサイザズドアップコンバータの構成を図7-13に示す。本構成では以下のとおり、6つのアナログ回路を2チップのGaAs MMICに、また3つのデジタル回路を1チップのSi ICに集積化している。

チップ1：ローカルMMIC

アナログ回路1：電圧制御発振器(VCO)

アナログ回路2：バッファアンプ

アナログ回路3：分岐アンプ

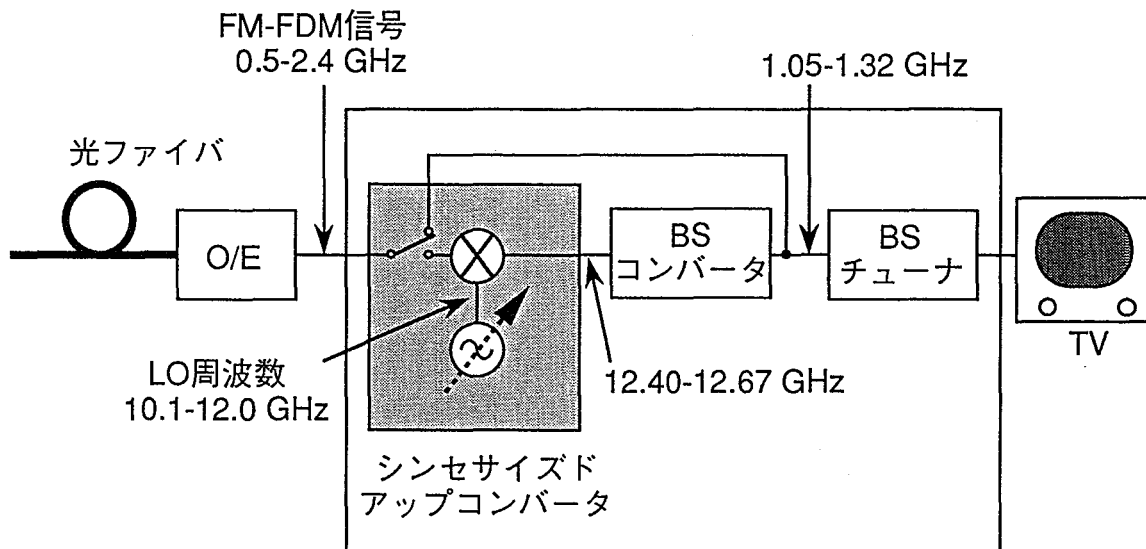


図7-11 多チャンネル光映像分配システムに用いるFMチューナ

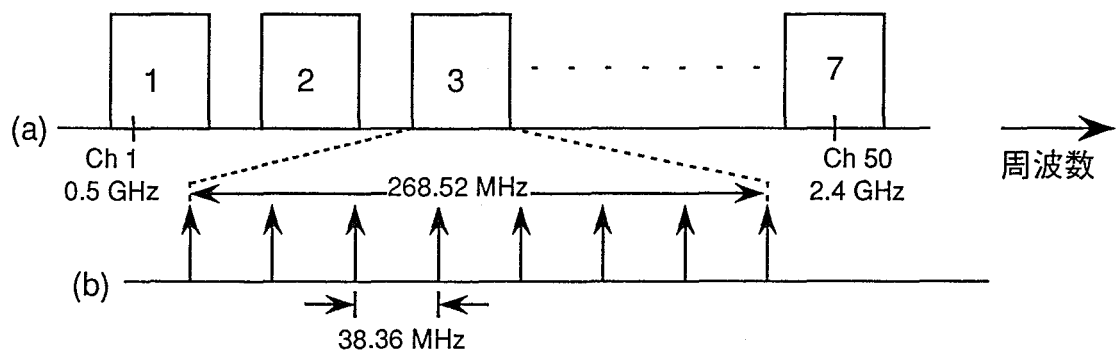


図7-12 FM-FDM信号の周波数配列
(a)ブロック配列
(b)チャンネル配列

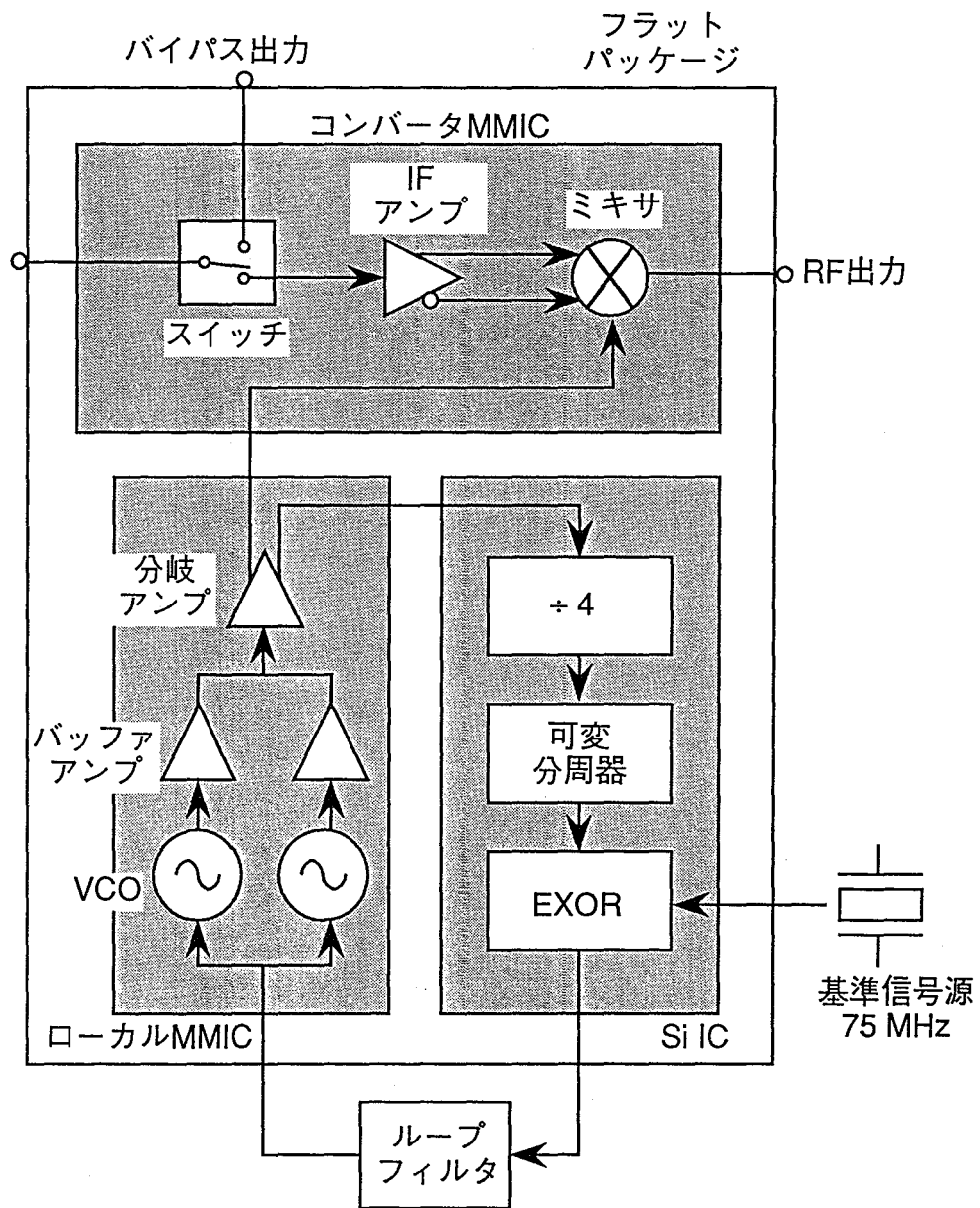


図7-13 MMICシンセサイズドアップコンバータ

チップ2：コンバータMMIC

アナログ回路4：ミキサ

アナログ回路5：IFアンプ

アナログ回路6：スイッチ

チップ3：Si IC

デジタル回路1：÷4分周器

デジタル回路2：可変分周器

デジタル回路3：EXOR

MMICにはユニプレーナ構成[15]を用いて、小型化している。以下、回路の詳細について述べる。

a. ローカルMMIC

ローカルMMICの回路構成を図7-14に示す。VCOはバラクタダイオードを含む直列帰還回路を持った構成であり、外付け共振器を用いない。本システムに用いるVCOには10.1 - 12.0 GHzの周波数可変範囲が要求される。さらに、製造の際のばらつきや温度変化による発振周波数変化を考慮すると、2.5 GHz程度の広い周波数範囲で発振する必要がある。そこで今回、異なる発振周波数を持つ2つのVCOを一体化し、供給電源により切り替える構成とした。合成に当たっては、バッファアンプと減衰器を置いて不整合の影響を少なくしている。

分岐アンプは1入力2出力のアンプであり、出力端子間にアンプの方向性によるアイソレーション特性を持つ。2出力の一方はミキサのローカル信号として用い、もう一方はPLLに入力する。利得は10-12 GHzの範囲において、 8.0 ± 1.0 dBである。

ローカルMMICのチップサイズは2.0 mm × 2.5mmである。このMMICの同調特性を図7-15に示す。低域側のVCOは9.8 - 11.5 GHzの範囲で発振し、高域側は11.0 - 12.7 GHzの範囲で発振しており、必要な帯域をカバーしている。図中、制御電圧範囲は3Vであるが、これを越えても発振周波数は広くはならない。バラクタダイオードは逆バイアスで用いる必要があるため、0V以下の負電源で制御する必要があり、-3Vにおいて発振周波数の変化は飽和しているためである。ローカルMMICの出力レベルは+6～+9dBm、位相雑音

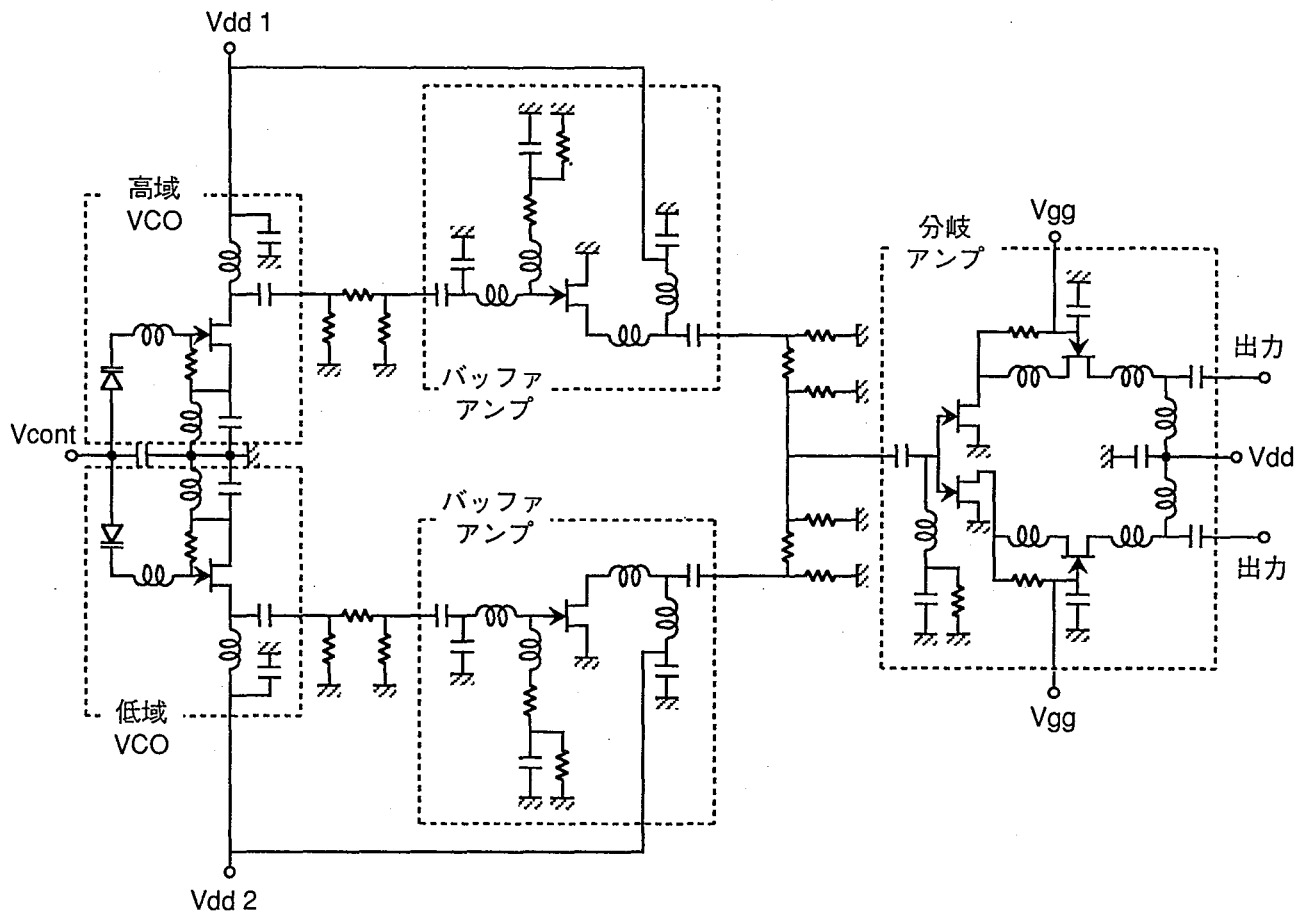


図7-14 ローカルMMICの回路構成

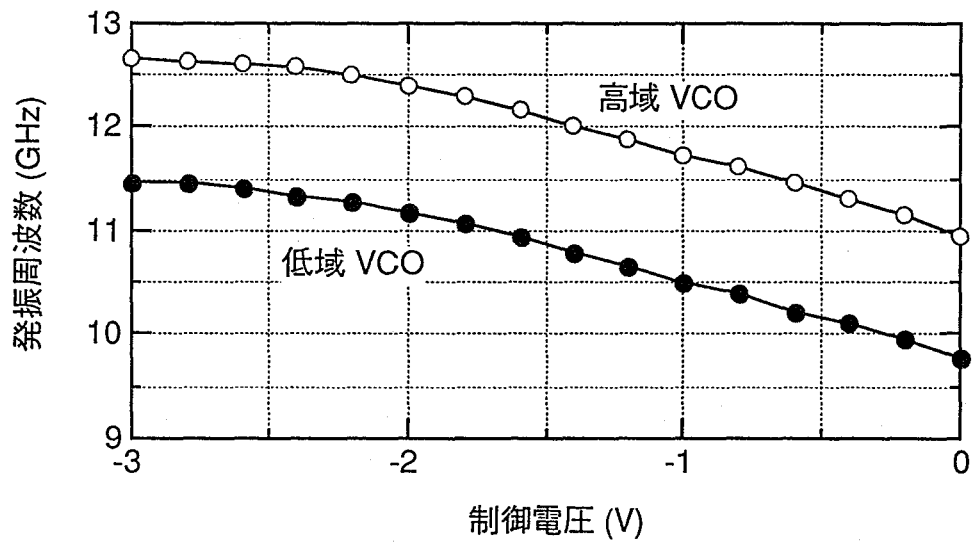


図7-15 ローカルMMICの同調特性

は1MHz離調で-95dBc/Hzである。

b. コンバータMMIC

コンバータMMICの回路構成を図7-16に示す。ミキサのローカル信号入力部に集中定数バランを用い、IF信号を両相で入力するバランスミキサである。ミキサに入力されるIF信号はO/E変換器出力の0.5-2.4GHzである。このような広い周波数範囲ではIF周波数が高くなるにつれて変換損失の増大が顕著となる。そこで、IFアンプでミキサの周波数特性を補償する構成とした。

IFアンプは3段のFETから成る。初段および2段目のFETのソースに高抵抗と並列に、キャパシタと低抵抗の直列回路を設けることで、周波数が高くなるほど利得が高くなるようにしている。また3段目のFETのソースとドレインの両方から出力を取り出すことで、等振幅で180度の位相差の2信号を得る。このIFアンプによって、ミキサの周波数特性を補償し、かつバランスミキサを駆動するための両相信号を得ている。

スイッチは1入力2出力のSPDT(Single Pole Double Throw)構成であり、O/E変換後の信号周波数がBSチューナの入力周波数(1.05 - 1.32 GHz)に一致した場合にミキサおよびBSコンバータをバイパスするためのものである。

コンバータMMICのチップサイズは1.5 mm×2.5mmである。このMMICの変換損失のIF周波数依存性を図7-17に示す。変換損失は10dB以下である。またRF出力が12.5 GHzの時の3次相互変調インタセプト点は+3 dBmである。

c. Si IC

+4分周器は高速化に適した再生型分周器[16][17]であり、可変分周器は6ビットのパルス・スワロー・カウンタである。

これらの分周器と位相比較器とを集積化したSi ICのチップサイズは3.0 mm×3.0 mmである。

7. 3. 3 多チャネルFMチューナの特性

すべてのチップを、図7-18に示すようにフラットパッケージに実装した。パッケージの大きさは23 mm×11 mmである。ローカルMMIC、Si ICおよび外付けのループフィルタを用いて位相同期ループを構成した時の位相雑音特性を図7-19に示す。PLLループ帯

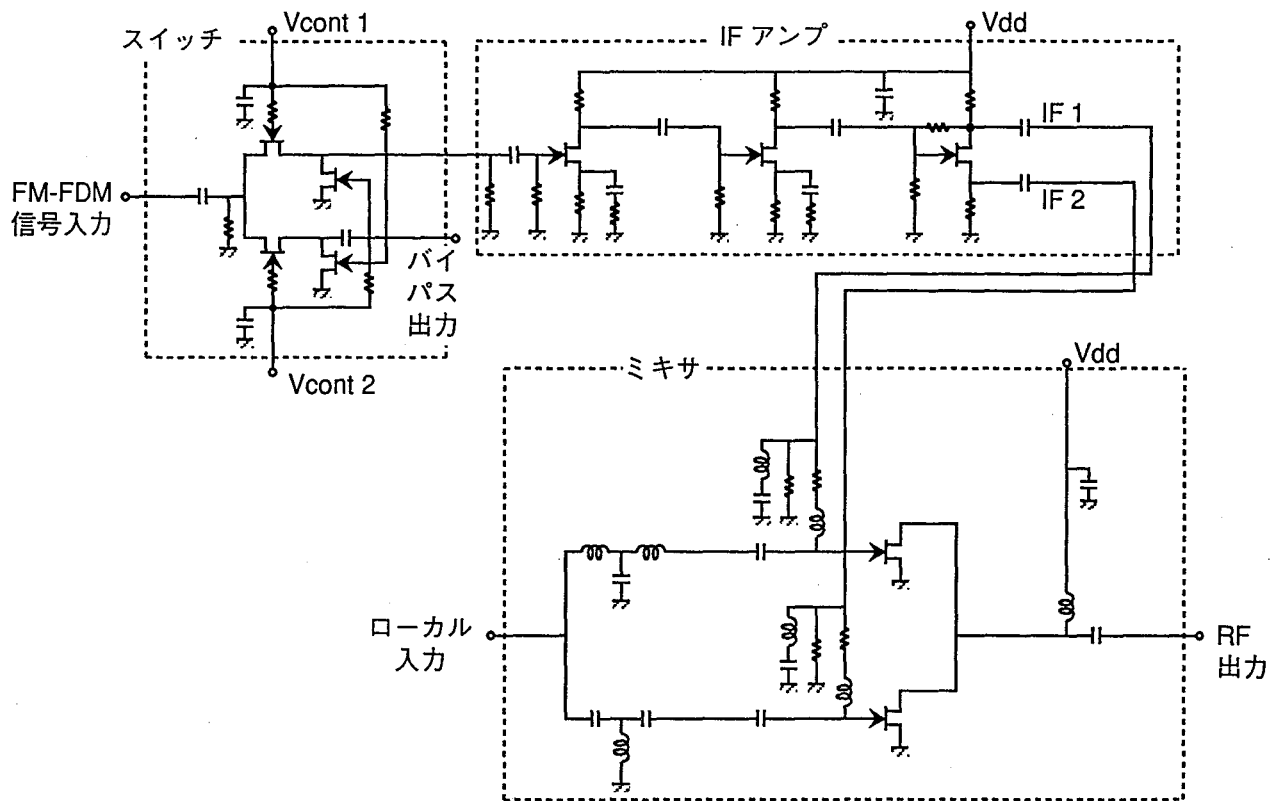


図7-16 コンバータMMICの回路構成

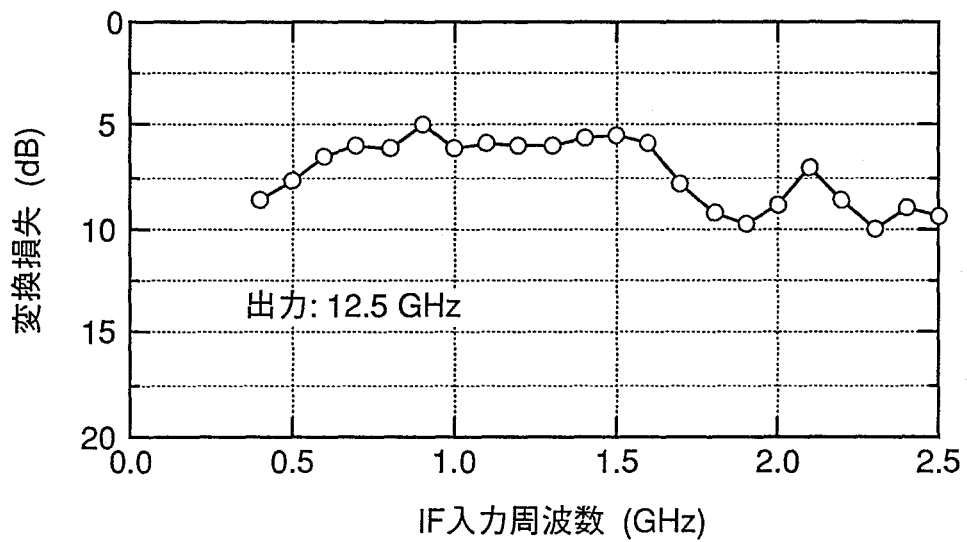


図7-17 コンバータMMIC変換損失

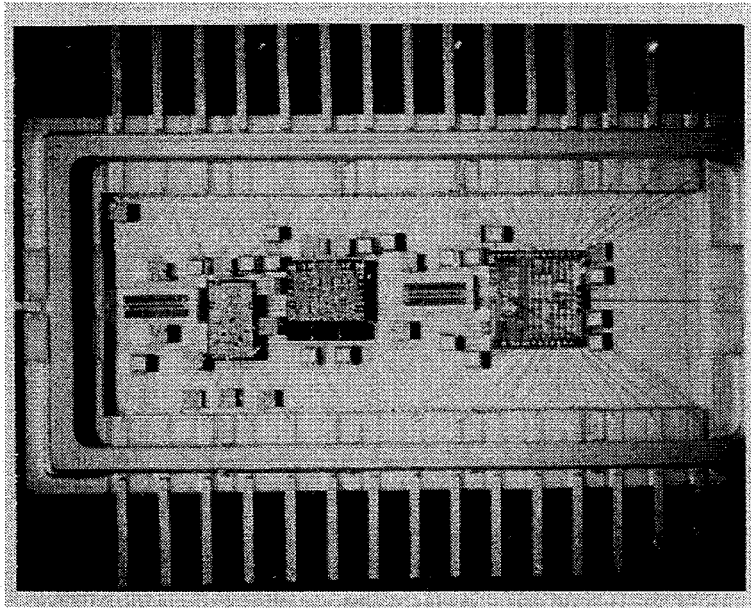


図7-18 MMICシンセサイズドアップコンバータ

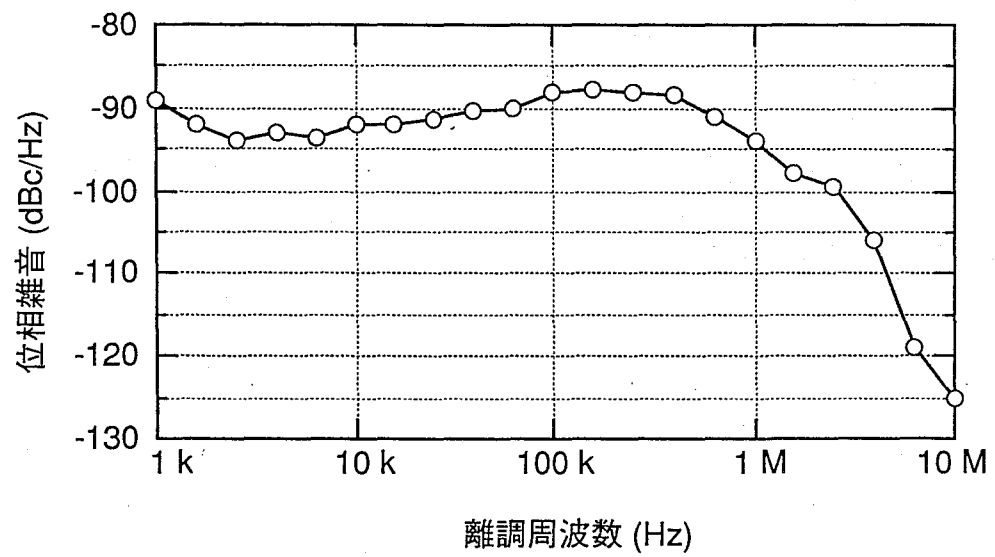


図7-19 位相雑音特性

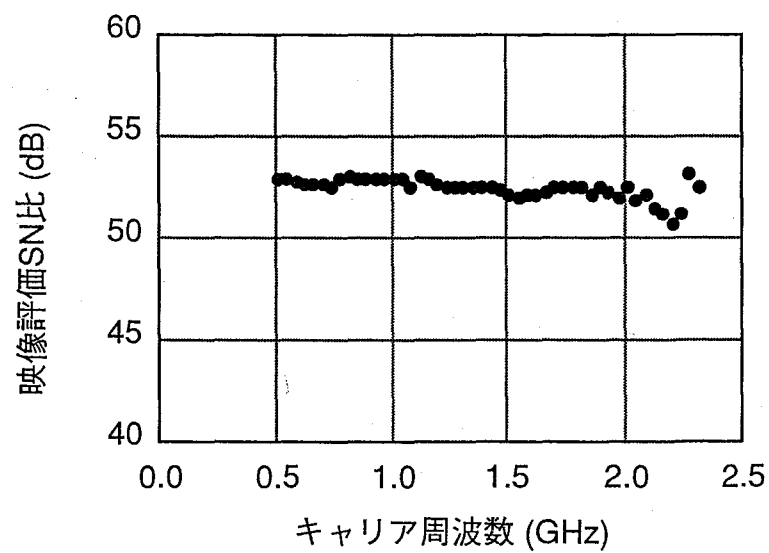


図7-20 映像受信特性

域内の位相雑音は約-90dBc/Hzであり、良好な特性である。

このシンセサイズドアップコンバータとBS受信機とを組み合わせ、図7-11に示すFM映像チューナを構成した。映像評価SN比（映像品質の良さを表す指数）を測定した結果を図7-20に示す。横軸は電気段でのキャリア周波数である。0.5-2.4GHzに渡る全チャンネルに渡って評価SN比50 dB以上の良好な特性が得られ、主観評価上も良好な特性が得られることを確認した。

7. 4 まとめ

低位相雑音化したMMIC PLL発振回路を通信装置に応用した。C帯で16QAMレベルの低位相雑音特性を実現するために、高位相検波感度のループを用い、かつSi MMICと高Q平面型共振回路によるVCOを開発して組み合わせた。この結果、誘電体共振器を用いた発振器に匹敵する性能を得る一方、重量を1/30とした。

また、MMICの回路設計技術と高位相検波感度のループを用いて多チャンネル光映像分配システムに用いるFMチューナを構成し、従来のチューナの6倍の帯域である2GHzに渡る広帯域の同調を確認した。全チャンネルに渡って映像評価SN比50dB以上の良好な特性であり、主観評価上も良好な特性を得た。

第7章の参考文献

- [1] H. Yamamoto, "Advanced 16-QAM techniques for digital microwave radio," IEEE Communications Magazine, vol. 19, no. 3, pp. 36-45, May 1981.
- [2] 小檜山, 小牧, "64/256QAMデジタルマイクロ波伝送方式," 電子通信学会誌, vol. 68, no. 8, pp. 889-895, Aug. 1985.
- [3] T. Nakagawa, H. Suwaki, and T. Ohira, "Low-noise MMIC phase-locked oscillators using an EXOR and a PFC," IEICE Trans. Electron., vol. E76-C, no. 6, pp. 950-954, June 1993.
- [4] O. Jäntschi, "Flicker (1/f) noise generated by a random walk of electrons in interfaces," IEEE Trans. Electron Devices, vol. ED-34, no. 5, pp. 1100-1115, May 1987.
- [5] S. R. Taub and S. A. Alterovitz, "Silicon Technologies adjust to RF applications," Microwaves & RF, vol. 33, no. 10, pp. 60-74, Oct. 1994.
- [6] H. Suwaki, T. Nakagawa, and T. Ohira, "An MMIC local oscillator for 16-QAM digital microwave radio systems," IEEE Trans. Microwave Theory Tech., vol. 43, no. 6, pp. 1230-1235, June 1995.
- [7] B. T. Debny and J. S. Joshi, "A theory of Noise in GaAs FET microwave oscillators and its experimental verification," IEEE Trans. Electron Devices, vol. ED-30, no. 7, pp. 769-775, July 1983.
- [8] 大平, 中川, "マイクロ波発振回路の基礎," MWE '93 Microwave Workshop Digest, pp. 41-49, 1993.
- [9] 米田, "光ファイバによるマイクロ波サブキャリア技術の動向," マイクロ波研究会, MW89-146, 1989.
- [10] T. Ohira, T. Hirota, T. Hiraoka, T. Nakagawa, M. Aikawa, K. Suto, T. Kokubun, and E. Yoneda, "GaAs/Si MMIC synthesized upconverter for broadband tuners in optical-fiber CATV systems," in 21st European Microwave Conference Proc., 1991, pp. 473-478.
- [11] K. Suto, K. Kikushima, T. Kokubun, H. Yoshinaga, S. Matsui, T. Hirota and E. Yoneda, "An SCM multi-channel video distribution system for passive double star local networks," in Third IEEE workshop on local optical networks Dig., 1991, paper 6.4.
- [12] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune and M. Ino, "Dual-chip GaAs monolithic integration Ku-band phase locked loop microwave synthesizer," IEEE Trans. Microwave Theory Tech., vol. MTT-38, no. 9, pp. 1204-1209, Sept. 1990.
- [13] T. Hirota and M. Muraguchi, "A K-band single transmitter," in 1990 IEEE GaAs IC Symp. Dig., 1990, pp. 275-278.
- [14] T. Nakagawa, T. Hirota, T. Ohira, M. Aikawa, K. Suto and E. Yoneda, "New MMICs

- for tuners in multi-channel video distribution systems using optical fiber networks," IEEE Trans. Microwave Theory Tech., vol. 43, no. 7, pp. 1686-1691, July 1995.
- [15] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMIC's and their applications," IEEE Trans. Microwave Theory Tech., vol. MTT-36, pp. 1896-1901, Dec. 1988.
- [16] H. Ichino, N. Ishihara, M. Suzuki and S. Konaka, "18-GHz 1/8 dynamic frequency divider using Si bipolar technologies," IEEE J. Solid State Circuits, vol. 24, pp. 1723-1728, Dec. 1989.
- [17] R. D. Miller, "Fractional-frequency generators utilizing regenerative modulation," in Proc. IRE, 1939, pp. 446-457.

第8章 結論

本研究では、マイクロ波位相同期発振回路を高性能化するために近年進められているMMIC化・周波数シンセサイザ化・高周波化に伴い顕在化した位相雑音の課題の解決を主目的とし、新しいPLL回路を提案し、主要部をIC化して実験によりその有効性の検証を行ってきた。

以下では、本研究で明らかになった結論を総括する。

(1) 第1章は序論であり、近年のマイクロ波位相同期発振回路の高性能化の技術動向とその結果生じている位相雑音の問題、および本研究の目的と位置付けを述べた。すなわち本研究の目的は、マイクロ波PLLのノイズフロア自体の低減であり、さらにこれを応用して各種通信方式用のマイクロ波PLLの開発を行なうことである。

(2) 第2章では、雑音モデルから導かれる位相雑音の表現式を通してPLLにおける位相雑音の特徴を概観した。この表現式に基づいて、PLLのノイズフロアを低減するためには、位相比較器の検波感度の向上と分周比 N を小さくすることが有効であることを明らかにした。また、そのための課題は、位相比較器については、PFCの周波数比較可能な利点を損なわずに検波感度を大きくすることであり、PLLについては、周波数ステップよりも基準周波数を高くすることが可能な回路構成を実現することであることを明確にした。

(3) 第3章では、マイクロ波帯のPLLの構成要素について、出力位相雑音への寄与を測定・解析し、位相比較器の検波感度向上が低位相雑音化に有効であることを明確にした。この上で、位相比較にはエクスクルーシブ・オア (EXOR) を使用し、かつ周波数比較には位相周波数比較器 (PFC) を使用することで、位相検波感度を2倍にし、かつ広い周波数引込み範囲を実現するループを提案した。IC化してPLLを構成した結果、PLLノイズフロアを7dB低減した。またVCOの発振可能な範囲全域にわたる周波数引込み範囲を実現した。

(4) 第4章では、周波数ステップを細かく保持したままで、基準周波数のみを高く

し、位相雑音を低減化する「パルス列挿入型PLL」を提案した。またキーデバイスであるパルス列発生器の回路構成を提案し、IC化して周波数シンセサイザを構成した結果、同じ周波数ステップを持つ従来のPLLに比べ、PLLノイズフロアを約10dB低減した。

(5) 第5章では、周波数ステップと基準周波数との比を任意に設定することが可能な「任意分数設定型フラクショナルN・PLL」を提案した。本PLLでは、周波数ステップの異なる用途に対してもハードウェアを変更することなく位相雑音を十分に低減できる。キーデバイスであるフラクショナルN・分周器をIC化して周波数シンセサイザを構成した結果、整数の分周比を持つ従来のPLLに比べて約15dB、低位相雑音であった。また基準周波数を固定し、周波数ステップのみを小さくしても、良好な位相雑音特性を保っており、高い柔軟性を確認した。

(6) 第6章では、サンプリング位相検波器 (SPD) を用いたPLLについて述べた。SPDは可変分周器が動作しないような高い周波数において低位相雑音化が可能であるが、ハイブリッド構成であり、また周波数引込み範囲が狭いという欠点を持っていた。これを解決するモノリシック化が可能な回路構成を提案した。MMIC化した結果、基準周波数が100MHz・0dBmの時に20GHzまで検波動作を確認した。また、周波数引込み範囲をVCOの発振可能な範囲全域に拡大できるSPFCを提案した。SPFCとKu帯のMMIC VCOと組み合わせた結果、周波数比較信号がVCOの発振周波数を基準周波数の高調波の近傍に引き寄せ、かつサンプリング位相検波出力により位相同期が確立する良好な動作を得た。

(7) 第7章では、低位相雑音化したMMIC PLL発振回路の通信装置への応用について、その回路構成、設計法、特性について述べた。一つは16QAM変調方式用の局部発振器である。C帯で16QAMレベルの低位相雑音特性を実現するために、高位相検波感度のループを用い、かつSi MMICと高Q平面型共振回路によるVCOを開発して組み合わせた。この結果、誘電体共振器を用いた発振器に匹敵する性能を得る一方、重量を1/30とした。他の一つは多チャネル光映像分配システムに用いるFMチューナ用のMMICシンセサイザズドアップコンバータである。MMICの回路設計技術と高位相検波感度のループを用いて多チャネル光映像分配システムに用いるFMチューナを構成し、従来のチューナの6倍の帯域である2GHzに渡る広帯域の同調を確認した。全チャネルに渡って映像評価SN比

50dB以上の良好な特性であり、主観評価上も良好な特性を得た。

本研究により、マイクロ波位相同期発振回路に対して近年特に顕在化した位相雑音の問題を解決する構成法を確立した。これによりマイクロ波位相同期発振回路のMMIC化・周波数シンセサイザの高分解能化・高周波化がさらに進められ、無線装置の小型化・経済化・高機能化に寄与すると考える。

本論文に関する著者の発表論文

1. 筆頭著者の論文・国際会議

(1) 論文

- (1) T. Nakagawa, T. Hirota, and T. Ohira, "A GaAs monolithic sampling phase frequency comparator for extending the pull-in range of microwave phase-locked oscillators," IEICE Trans. Electron., vol. E76-C, no. 6, pp. 944-949, June 1993.
- (2) T. Nakagawa, H. Suwaki, and T. Ohira, "Low-noise MMIC phase-locked oscillators using an EXOR and a PFC," IEICE Trans. Electron., vol. E76-C, no. 6, pp. 950-954, June 1993.
- (3) T. Nakagawa and T. Ohira, "A phase noise reduction technique for MMIC frequency synthesizers that uses a new pulse generator LSI," IEEE Trans. Microwave Theory Tech., vol. 42, no. 12, pp. 2579-2582, Dec. 1994.
- (4) T. Nakagawa, T. Hirota, T. Ohira, M. Aikawa, K. Suto and E. Yoneda, "New MMICs for tuners in multi-channel video distribution systems using optical fiber networks," IEEE Trans. Microwave Theory Tech., vol. 43, no. 7, pp. 1686-1691, July 1995.
- (5) T. Nakagawa and T. Tsukahara, "A low phase noise C-band frequency synthesizer using a new fractional- N PLL with programmable fractionality," IEEE Trans. Microwave Theory Tech., vol. 44, no. 2, pp. 344-346, Feb. 1996.

(2) 国際会議

- (1) T. Nakagawa and T. Ohira, "GaAs MMIC sampling phase detector for phase-locked oscillators up to 20 GHz," in 3rd Asia-Pacific Microwave Conference Proc., Sept. 1990, pp.1121-1123.
- (2) T. Nakagawa, T. Hirota, and T. Ohira, "A novel MMIC approach to sampling phase/frequency detection for Microwave Quartz-Lock Oscillators," in 1992 IEEE MTT-S International Microwave Symposium Dig., June 1992, pp. 1301-1304.

- (3) T. Nakagawa and T. Ohira, "A novel phase noise reduction technique for MMIC Frequency synthesizers that uses newly developed pulse generator LSI," in 1994 IEEE MTT-S International Microwave Symposium Dig., May 1994, pp. 95-98.

2. 共著の論文・国際会議

(1) 論文

- (1) H. Suwaki, T. Nakagawa, and T. Ohira, "An MMIC local oscillator for 16-QAM digital microwave radio systems," IEEE Trans. Microwave Theory Tech., vol. 43, no. 6, pp. 1230-1235, June 1995.

(2) 国際会議

- (1) T. Ohira, T. Hirota, T. Hiraoka, T. Nakagawa, M. Aikawa, K. Suto, T. Kokubun, and E. Yoneda, "GaAs/Si MMIC synthesized upconverter for broadband tuners in optical-fiber CATV systems," in Proc. 21st European Microwave Conference, Sept. 1991, pp. 473-478.
- (2) H. Suwaki, T. Nakagawa and T. Ohira, "An MMIC local oscillator for 16QAM digital microwave radio systems," in Proc. 23rd European Microwave Conference, Sept. 1993, pp. 158-160.