The University of Osaka
Institutional Knowledge Archive

Title	Geナノドットを用いて構造制御した高性能Si系熱電材料に関する研究
Author(s)	山阪, 司祐人
Citation	大阪大学, 2016, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/55904
rights	This work is licensed under a Creative Commons Attribution 4.0 International License http://creativecommons.org/licenses/by/4.0/
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

Ge ナノドットを用いて構造制御した
高性能 Si 系熱電材料に関する研究

平成２８年３月

山阪　司祐人

Ge ナノドットを用いて構造制御した
高性能 Si 系熱電材料に関する研究

博士（工学）論文提出先
大阪大学大学院基礎工学研究科

平成２８年３月

山阪　司祐人

本論文の要旨

エネルギー資源の枯渇が深刻化する中、エネルギー再利用技術の需要が高まっている。中でも、熱電変換材料（熱電材料）は廃熱を直接電気エネルギーに変換する材料であり、暮らしの至る所で放出される低温廃熱を新たに利用可能な点で、注目を浴びている。熱電変換効率の指標には、無次元性能指数 $ZT=S^2\sigma T/\kappa$（S: ゼーベック係数、σ: 電気伝導率、κ: 熱伝導率、T: 絶対温度）が用いられる。高性能熱電材料（高 ZT 材料）の実現には、低いκと高いσ が必要であり、特にκの低減が効果的である。これまで熱電材料研究は重元素を含む材料の研究が主流であったが、重元素の多くは高価・希少・有毒であり、至る所に存在する低温廃熱に重元素材料を適用できない。一方、Si のような軽元素から成るユビキタス元素熱電材料は重元素材料と比較して著しく性能が低い事が問題であった。

近年、ナノ構造の導入により ZT を向上させる手法が注目されている。これにより従来低性能であったユビキタス元素熱電材料の高性能化の可能性が開かれた。特に、Si LSI プロセスが応用可能な、Si 系ユビキタス元素熱電材料のナノ構造化は、劇的な高効率化が期待されている。ナノ構造化による性能向上の最大の理由は、材料中の界面面積増大によりフォノン散乱が増大し、κが低減することにある。しかし、従来の Si 系ナノ構造では、導入したナノ構造がキャリアも散乱してしまい、高い電気伝導率σが維持できない。そこで、κを大幅に低減しつつ高いσを維持可能とする、新たなナノ構造が求められていた。

本論文では、フォノン散乱体と電気伝導層が分離した新規 Si 系ナノ構造により、熱伝導と電気伝導を独立に制御することを目標とし、独自技術である極薄 Si 酸化膜技術を用いて、極小（5-20 nm）のエピタキシャル Ge ナノドットをフォノン散乱体として、Si 電気伝導層中に導入することを提案した。具体的には、極薄 Si 酸化膜/超高面密度

（~10^{12} cm^{-2}）Ge ナノドット/Si 層というサイクルを繰り返し積層した、Ge ナノドット積層構造に注目した。作製した積層構造はすべてエピタキシャル成長し、その中で積層構造中の Ge ナノドットサイズ・形状、Si 層の厚さ・形状を制御可能であることを示した。また、薄膜熱伝導率κ測定技術である 2ω法を改良し、従来困難であった極薄膜（~100 nm）のκ 測定技術を確立した。この測定技術を用い、従来の SiGe 系ナノ熱電材料と比較し、Ge ナノドット積層構造における大幅なκ低減効果を実証した。この低減効果は積層構造中の Ge ナノドットにおけるフォノン散乱に由来し、Si 層の厚さ・形状に依存しないことを明らかにした。そして Ge ナノドットの構造（サイズ・形状）制御により、材料中の伝熱特性が制御可能であることを実証した。また Ge ナノドット積層構造にドーピングを施すことにより、Si 由来の高いσ値が達成された。特に電子伝導においては、エピタキシャル Si 薄膜と同程度の高い電子伝導性が確認され、それが伝導帯の微小バンドオフセットによる電子散乱の抑制に由来することを示した。

これら伝熱特性・電気伝導特性の結果は、Ge ナノドット積層構造中におけるフォノン伝導とキャリア伝導の独立制御を意味し、熱電材料のナノ構造化による性能向上の新たな方法論を確立したと言える。また、Ge ナノドット積層構造は室温において、ドーピング条件が最適化されていないにもかかわらず、高い性能指数 ZT ~ 0.07 を示した。この値は現在報告されている Si 系ナノ熱電材料 （Ge 微少量含有~3-5%）における室温での ZT の最高値とほぼ同程度である。そして今後、ドーピング条件を最適化することによるさらなる性能向上の可能性を示した。

目次

第 1 章　序論 1
1.1　エネルギー問題と熱電発電 1
1.2　熱電材料のエネルギー変換効率と温度・キャリア濃度依存性 3
1.3　低次元ナノ構造を利用した熱電材料の高性能化 4
1.4　Si 系ナノ構造熱電材料 7
1.5　フォノン散乱体と電気伝導層が空間分離した新規 Si 系ナノ構造の提案 9
1.6　極薄 Si 酸化膜技術を用いた Ge ナノドット作製技術とその応用 11
1.7　本研究の目的 12
1.8　本論文の構成 13
1.9　参考文献 16
第 2 章　Ge ナノドット積層構造の作製、およびその構造評価 18
2.1　本章の主眼 18
2.1.1　Si (001)基板への化学処理 18
2.1.2　Si (001)基板上への極薄 Si 酸化膜の形成 18
2.1.3　Ge ナノドット積層構造の作製手法 19
2.1.4　イオン注入法とアニール処理 21
2.2　評価手法 21
2.3　Ge ナノドット積層構造の構造評価 23
2.3.1　Ge ナノドットのサイズ、および面密度制御 23
2.3.2　RHEED 観察によるエピタキシャル成長の確認 25
2.3.3　電子顕微鏡観察による積層構造形成の確認 28
2.3.4　積層構造の Ge ナノドットサイズ依存性 31
2.3.5　積層構造の Si 層蒸着量依存性 36
2.3.6　積層構造中の Ge ナノドットのミキシング 41
2.4　小括 43
2.5　参考文献 44
第 3 章　Ge ナノドット積層構造における伝熱特性 46
3.1　本章の主眼 46
3.2　2ω法を用いた薄膜の熱伝導率測定 46
3.2.1　2ω法の概要 46
3.2.2　2ω法の原理 48
3.2.3　2ω法を用いた極薄膜試料における熱伝導率の測定 49
3.3　Ge ナノドット積層構造の伝熱特性 52

3.3.1 積層構造の熱伝導率 52
3.3.2 積層構造における **1** サイクルあたりの熱抵抗 **(TRC)** 53
3.3.3 **Si/Ge** ナノドットの界面面積 58
3.3.4 積層構造中における巨大熱抵抗の起源 60
3.4 小括 65
3.5 参考文献 66
第 **4** 章 **Ge** ナノドット積層構造における電気特性 68
4.1 本章の主眼 68
4.2 **Ge** ナノドット積層構造へのドーピング 68
4.2.1 積層構造へのイオン注入 68
4.2.2 イオン注入後の結晶構造 76
4.2.3 積層構造の電気特性 77
4.2.4 積層構造におけるゼーベック係数 83
4.3 小括 85
4.4 参考文献 86
第 **5** 章 **Ge** ナノドット積層構造の ***ZT*** 評価、およびその性能向上の展望 88
5.1 本章の主眼 88
5.2 **Ge** ナノドット積層構造の ***ZT*** 評価、および性能向上展望 88
5.3 参考文献 91
第 **6** 章 結論 92
謝辞 94
業績一覧 96

第 1 章　序論

1.1　エネルギー問題と熱電発電

世界のエネルギー消費量（1 次エネルギー）は経済成長とともに増加を続けており、石油換算で 1965 年から年平均 2.6%で増加し続け、図 1-1-1 に示すように 2013 年には 3 倍強の使用量に達している[1]。

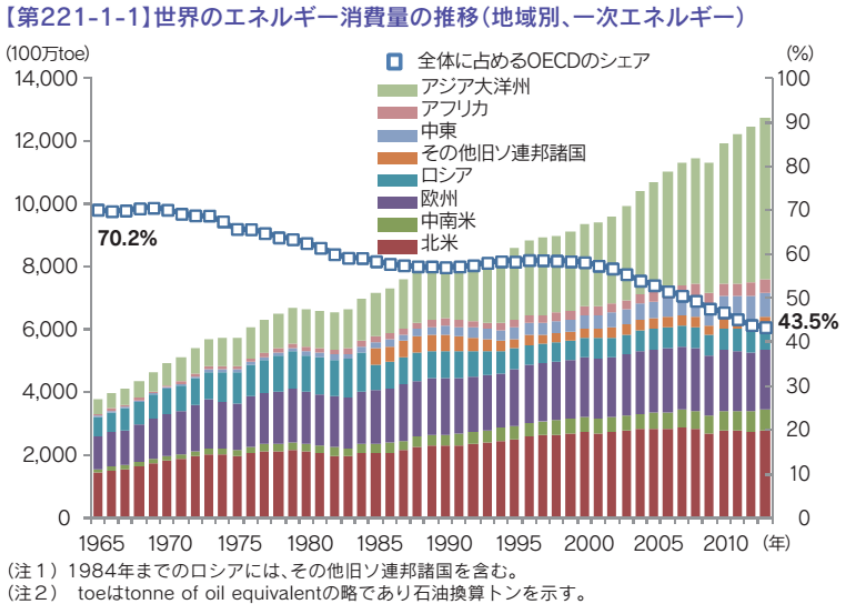

図 1-1-1: 世界のエネルギー消費量の推移[1]。

実際にはこうした莫大なエネルギーの約 7 割は未利用の廃熱として捨てられており、廃熱を回収・有効利用する技術の開発が、エネルギー情勢的に急務となっている。特に 100-300ºC の低温廃熱エネルギーは世界中で捨てられている。しかしながら、こうした低温廃熱エネルギーは、総量は莫大であっても一つの熱機関からの廃熱は微少なものであり、このような低温熱からの廃熱エネルギーを効率よく、熱エネルギーを安価で回収する技術の実現が困難であった。こうした環境下において、低温廃熱エネルギーを回収する技術として、熱電材料を利用した熱電発電の利用が大きな注目を集めている。熱電材料とは、材料に温度差を与えることにより、熱エネルギーを電気エネルギーとして

直接取り出すことのできる材料である[2]。以下にそのメカニズムを、*n* 型半導体を例に取り、簡単に示す。図 1-1-2 は *n* 型半導体に温度差$\Delta T=T_H-T_C$を与えた場合である。高温側で発生したホット電子が低温側に拡散することにより、電位差ΔVが発生する。

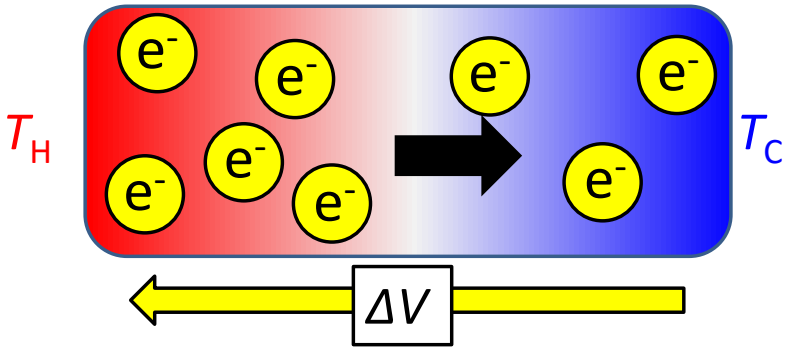

図 1-1-2: *n* 型半導体におけるゼーベック効果の模式図。

p 型半導体においては発生するキャリアが正孔であるため、*n* 型半導体に温度差を与えた場合と逆の向きにΔVが発生する。図 1-1-3(a)に *n* 型、*p* 型半導体を一つずつ用いた場合の発電の模式図を示す。実際に用いられている熱電素子では、図 1-1-3(b)に示すように、この素子を多数つなぎ合わせたπ型モジュールと呼ばれる素子が用いられている。

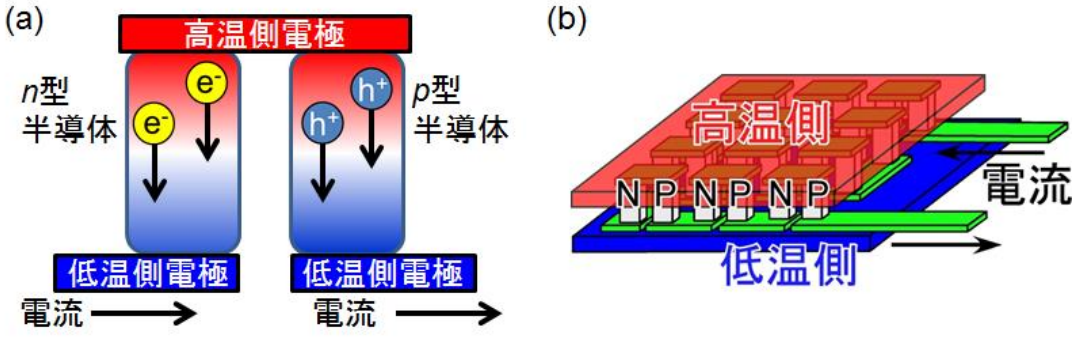

図 1-1-3: 熱電素子の模式図[3]。

熱電発電の変換効率は実用化されているもので、数%から 10%程度であり、一般的な火力発電の変換効率 (35-40%)、太陽光発電の変換効率 (15-20%) と比較して低い。しかし、熱電材料にはスケール効果が無く小型軽量化が可能なため、温度差のあるあらゆる

場所に設置できるため、変換効率の低さをカバーできるメリットがある。また駆動部位がないために、メンテナンスフリーで長寿命という特徴を持つ。

1.2　熱電材料のエネルギー変換効率と温度・キャリア濃度依存性

熱電材料の最大変換効率η_{max}は以下の式(1-2-1)で与えられる[4]。

$$\eta_{\max} = \frac{T_{\mathrm{H}} - T_C}{T_{\mathrm{H}}}\left[\frac{(1+ZT)^{0.5} - 1}{(1+ZT)^{0.5} + T_C/T_{\mathrm{H}}}\right] \tag{1-2-1}$$

ここで$\frac{T_{\mathrm{H}} - T_C}{T_{\mathrm{H}}}$はカルノー効率であり$T_{\mathrm{H}}$は高温部の温度(K)、$T_{\mathrm{C}}$は低温部の温度を表す。材料の絶対温度$T$は、$T = \frac{T_{\mathrm{H}} + T_C}{2}$と定義する。右辺の角括弧内の式は材料の物理的性質によって決まる材料効率である。この材料効率の式中のZTは無次元性能指数と呼ばれ、

$$ZT = S^2 \sigma T / \kappa \tag{1-2-2}$$

として表記される。ここでSはゼーベック係数 (VK^{-1})、σは電気伝導率 ($\Omega^{-1}m^{-1}$)、κは熱伝導率 ($Wm^{-1}K^{-1}$)である。図 1-2-1 にη_{max}とZTの関係を示す[2,4]。

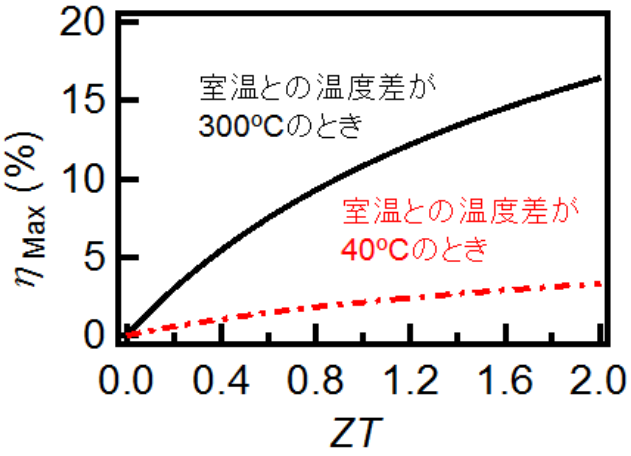

図 1-2-1: ZTと変換効率の関係[2,4]。

式(1-2-2)から、*ZT* の値を大きくするには材料の *S* 値、σ 値を大きくし、κ 値を小さくする必要があることがわかる。一般的にキャリア濃度を変化させて制御を試みた場合、*S* 値とσ値はトレードオフの関係があるため（図 1-2-2）、これらの独立制御は困難である。さらに、上記電気特性だけではなく、電気はよく通って欲しいが熱はできるだけ伝わって欲しくないという電気特性と熱特性のパラドックスも含んでおり、大きな *ZT* を得ることは困難である[3,5]。

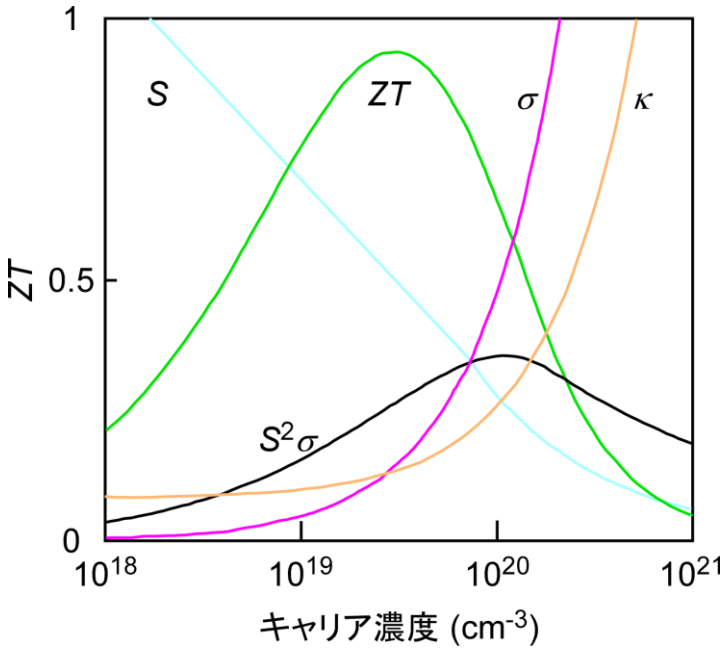

図 1-2-2: キャリア濃度の最適化による *ZT* の最適化[5]。

1.3　低次元ナノ構造を利用した熱電材料の高性能化

一般的に、産業利用を考えた際には、*ZT* が~1 程度必要とされている[2-4]。1950 年代から行われてきた熱電材料の開発は、構成元素の選択が主戦略である。*ZT* の向上にはκ低減が効果的なため、Bi_2Te_3 系や Pb-Te 系に代表される重元素の導入や合金化によってκの値を小さくし、*ZT*~1 が達成され、ペルチェ素子用途に実用化されている。しか

し、十分な変換効率を有する熱電材料の多くが、レアメタルで構成されており、コストが高く、元素戦略的に原料の安定供給が難しい。一方、ユビキタス軽元素熱電材料は、安価・無毒であるが、ZT<<1 であり性能が著しく低いために、実用化からはほど遠いのが現状であった。

1994 年に Slack により”Phonon-Glass Electron Crystal (PGEC)”という概念が提唱され、近年では材料選択ではなく、構造を制御した熱電材料の高性能化の研究が盛んに行われている[6]。この概念は「熱を伝えるフォノンから見るとガラスのような物質（熱が伝わらない物質）であるが、電子から見ると結晶のように電子（電気）が伝わりやすい物質」を意味する。上記の概念は従来の材料選択の研究に、結晶構造制御という新概念を導入したものである。PGEC 熱電材料の候補として、様々な構造が挙げられる。

クラスレート化合物やスクッテルダイト化合物においては、カゴ状ネットワークの中の大きな間隙を利用して金属原子を内包させると、金属原子と周りのカゴを形成する原子との結合が弱いために“ラトリング（がらがら鳴るという意味）”を起こし、フォノンが散乱されることにより、κ 値が低減される。

一方、ナノ構造のような人工構造を利用した研究も同時期に熱電材料に導入されている。1990 年に Hicks と Dresselhaus らによって、半導体二次元量子井戸構造が優れた熱電性能を有しうることが報告された[7,8]。量子井戸サイズを電子の量子閉じ込めが起きる程度（電子のフェルミ波長程度の長さ）に小さくすると、電子状態密度は量子井戸の厚みに反比例するので、材料中のフェルミ面近傍での電子状態密度 (DOS) が大きくなる。これによりキャリアのエネルギーが高くなる。定緩和時間近似のもとでは、ある温度での S 値はフェルミエネルギーE_F の値で決まることから、$S^2\sigma$ が増大する。論文中では Bi_2Te_3 二次元量子閉じ込め構造において、ZT~6 が予想されている。この論文発表を契機に、低次元構造を利用した熱電材料の高性能化の研究が盛んになったが、実際は、上記のような量子閉じ込め構造を利用してパワーファクターを増大させた実験的な例

は少ない。

現在、最も広く行われている研究の一つが、ナノ構造化バルク熱電材料 (nanostructured bulk TE materials) である。ナノ構造化バルク熱電材料は、一つのドメインサイズが数十ー数百ナノメートルの多結晶体の集合体である[9-11]。熱伝導率κはキャリアが熱を運ぶ成分κ_{cal}とフォノンが熱を運ぶ成分κ_{ph}に分けられる。ナノ構造化バルク熱電材料中においては、フォノンのみが選択的に散乱され、$S^2\sigma$の値をある程度高く保ちつつ、κ_{ph}を低減させることが可能となる。これは、以下のようにフォノンとキャリアの平均自由行程の差によるものである。キャリアの平均自由行程は（数 nm 程度）ドメインサイズより小さく、界面の影響をあまり受けない。一方、フォノンの平均自由行程はドメインサイズより大きく、実効的な界面密度が高くなる。

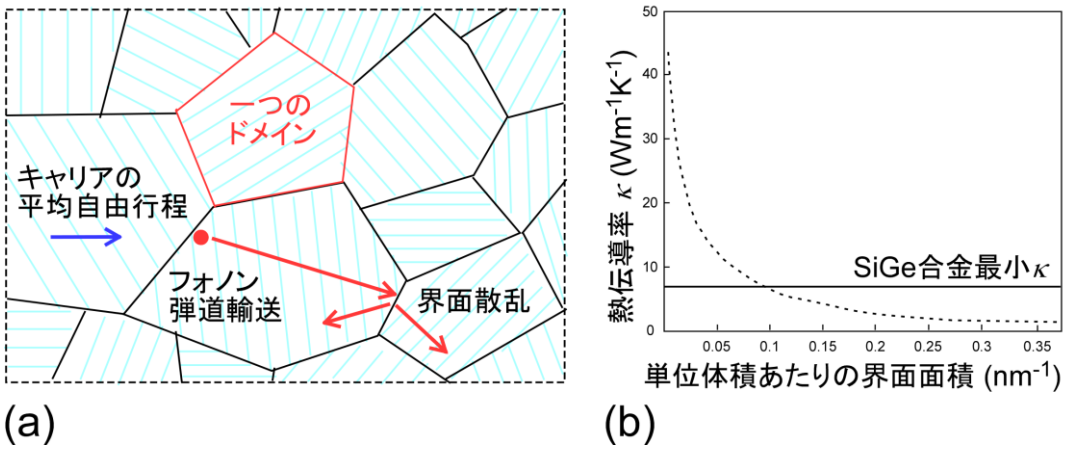

図 1-3-1: ナノ構造化バルク熱電材料での(a) κ 低減効果の概念図 (b)単位体積あたりの界面面積とκの関係 [11,12]。

図 1-3-1 にその概念図と単位面積当たりの界面面積 (界面密度) と熱伝導率低減効果の関係を示す[11,12]。この関係からわかるように、κ低減へ向け、材料中のナノ粒子はサイズが小さく、高密度であることが求められる。ナノ構造化バルク熱電材料は、基本的に母体材料の合成→ミリング処理→焼結という手順で作製される。母体となる材料を構成元素のアーク融解などにより合成したのち、適当な添加物を所定の割合で加え、ボ

ールミリング、ミキサーミリングによってナノ粒子をメカニカルに形成する。そして焼結し、バルク体を生成する。上記の様な簡便な形成方法を用いて、従来の熱電材料と比較し、大幅な性能向上が見込めるため、ナノ構造化バルク熱電材料は現在ナノ構造熱電材料開発の中で、最も幅広く研究されている[11,12]。

1.4　Si 系ナノ構造熱電材料

ナノ構造を熱電材料に導入することにより、熱電材料の性能が大幅に上昇することを前節にて述べた。LSI で用いられているユビキタス元素 Si は元来高い S 値と σ 値を持ちながらも、その高い κ 値 (~150 $Wm^{-1}K^{-1}$) のために、熱電材料として低性能となるという背景があった[13]。従って、前節で述べたナノ構造を Si 系材料に導入することにより、元来高い $S^2\sigma$ 値を維持しつつ、効果的に κ 低減を行うことによる高性能化が期待できる。

Si 系における代表的な先行研究として、Si ナノワイヤが挙げられる。この報告においては $S^2\sigma$ の値をほぼバルクの値に保ちながら、熱伝導率を 1.6 $Wm^{-1}K^{-1}$ (格子熱伝導率を 1.2 $Wm^{-1}K^{-1}$) まで低減することに成功しており、室温で $ZT = 0.6$ が達成されている[14]。また、フォノニックナノメッシュ構造という、中空にした単結晶 Si 薄膜に周期的に穴を開けた構造においては、電気伝導率をバルクの値の 3 分の 2 程度の減少に抑えながら、熱伝導率を 1.9 $Wm^{-1}K^{-1}$ に低減させることに成功している[15]。

一方、応用化を見据えた際には、バルクや基板上の薄膜のように巨視的なスケールを持つ材料が望ましい。前節で述べたナノ構造化バルク熱電材料は Si 系においても研究されており、ナノ構造化バルク Si[16]とナノ構造化 SiGe バルク合金[17]として報告がなされている。ナノ構造化バルク Si においては κ の値が 10 $Wm^{-1}K^{-1}$ 程度[16]、ナノ構造化 SiGe バルク合金においては 2.5 $Wm^{-1}K^{-1}$ 程度まで[17]、それぞれ低減することに成功している。図 1-4-1 にその高分解能透過型電子顕微鏡 (HRTEM) 像と X 線回折 (XRD) パターンを示す。しかしながらこれら Si 系のナノ構造化バルク熱電材料においては、上

記のナノワイヤ、フォノニックナノメッシュ構造と比較した際に、κの値は高くなってしまっている。その原因としては、ボールミリングによるナノ粒子化の限界 (~30 nm) が挙げられる (図 1-4-1 参照)。さらにナノ構造化バルク熱電材料においては結晶方位が揃っていないために単結晶と比較し、σの値を減少させてしまうおそれがある[18]。そこで数ナノ~十数ナノメートルのサイズを持ち、かつ結晶方位の揃ったナノ結晶を有する熱電材料が求められている。

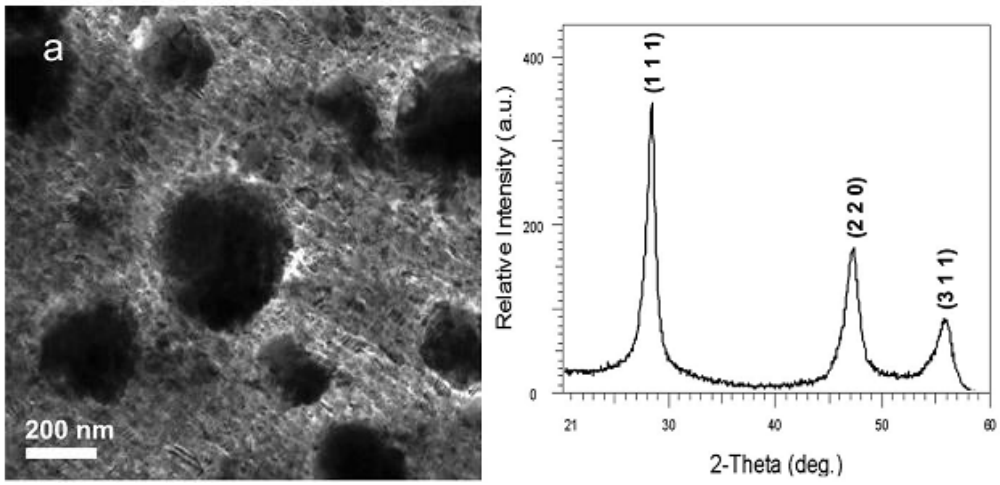

図 1-4-1: ナノ構造化 SiGe バルク合金の高分解能透過型電子顕微鏡像および、X 線回折パターン。文献[17]から許可を得て転載。Copyright (2008) American Chemical Society。

上記性質を有する Si 系ナノ構造として、中村らは Si ナノ結晶の連結構造 (Connected Si nanocrystal: CSN) を提案している[19]。CSN とは厚さが 1 原子層の酸化膜（極薄 Si 酸化膜と呼ばれる：後述）に覆われた直径~3-5nm 程度の極小の Si ナノドットが、結晶方位を揃えて連結した構造である。作製されたこのナノ構造において、κ の値はバルク Si の 1/200 倍程度である~0.8 $Wm^{-1}K^{-1}$ まで低減され、Si 結晶材料における世界最小の値が達成された。この劇的なκ 低減効果は、極小の Si ナノドット界面における特異なフォノン散乱効果であると考えられている。しかしながら、CSN においては、ナノドット間界面密度の制御が困難であった。そのため過剰に導入された界面が、κの低減のみなら

ず、σの低減も招いてしまう恐れがあった。そこで、劇的なκ低減効果を有しながらも、σの低減を抑えるような新たな Si 系ナノ構造の開発が求められていた。

1.5　フォノン散乱体と電気伝導層が空間分離した新規 Si 系ナノ構造の提案

本研究では、上記問題の解決に向け、フォノン伝導とキャリア伝導の独立制御に着目し、フォノン散乱体と電気伝導層が空間分離した新規 Si 系ナノ構造：フォノン散乱体極小ナノドット (数~十数 nm) を、超高密度 (~10^{12} cm^{-2}) かつエピタキシャルに Si 中に導入した構造を提案する。ここでナノドット材料として、LSI プロセス技術と整合性が高い Ge に注目した。Si と Ge は同じ IV 族半導体のため材料的相性がよく、このことは Si 系熱電材料である SiGe バルクやナノ構造化 SiGe バルク構造が、盛んに研究されていることからも容易に伺える[17,20,21]。図 1-5-1 に提案する新規 Si 系ナノ構造の概念図を示す。この構造において、Ge ナノドットと Si 電気伝導層とを、それぞれ独立に構造制御することにより、κ低減とσ保持を試みる。ここで提案する上記新規 Si 系熱電材料の作製へ向け、適切なナノ構造作製技術について考えたい。

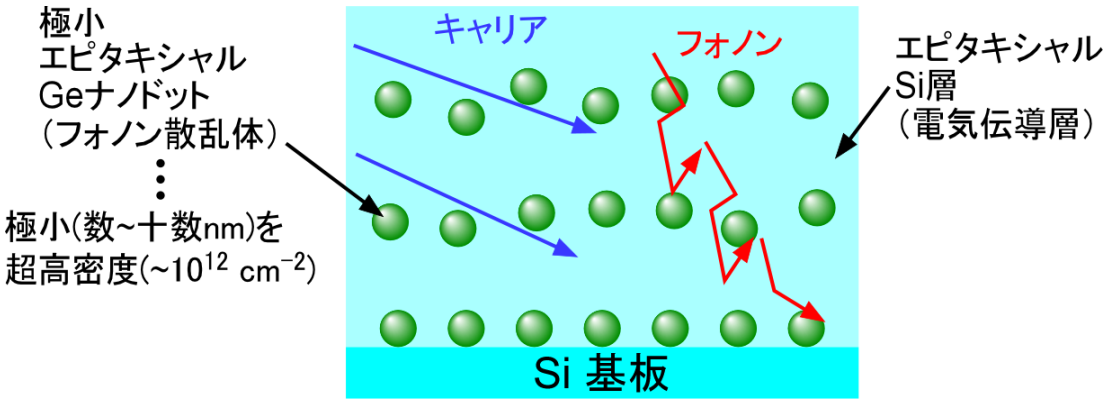

図 1-5-1: フォノン散乱体と電気伝導層が空間分離した
新規 Si 系熱電材料の概念図。

Si 系における一般的なナノドット作製技術である、Stranski-Krastanov (SK) 成長した SiGe ナノドット (SK SiGe ナノドット) においては、図 1-5-2 に示すような、Si バリア層による超格子構造の作製技術がこれまでに報告されている。そこでは、室温において κ の値を 0.9-2 $Wm^{-1}K^{-1}$ まで低減することに成功しており、これはナノ構造化バルク熱電材料と比較し、低い値となっている[22,23]。しかしながら、大幅な κ 低減が達成された SK SiGe ナノドット/Si 超格子構造において、Si 層の厚さは~3 nm となっている[22,24]。材料中の SK SiGe ナノドット/Si 界面を増加させ、さらなる κ 低減を目指し、さらに Si 層を薄くするアプローチが考えられる。ところがこの SK SiGe ナノドット/Si 超格子構造においては、Si 層の厚さが 2 nm 以下になると、κ 低減効果が飽和することが報告されている[24]。これは言い換えると、SK SiGe ナノドット/Si 界面におけるフォノン散乱効果増大による性能向上の限界を意味する。また Si 層を薄くすることによる κ 低減のアプローチは、電気伝導層として Si 層を用いるというコンセプトから外れ、σ の低減を招く恐れがあるためにふさわしくない。SK SiGe ナノドットのフォノン散乱効果増大の限界は、その面密度の低さ (~10^{10} cm^{-2}) とナノドットサイズの大きさ (30-100 nm) に

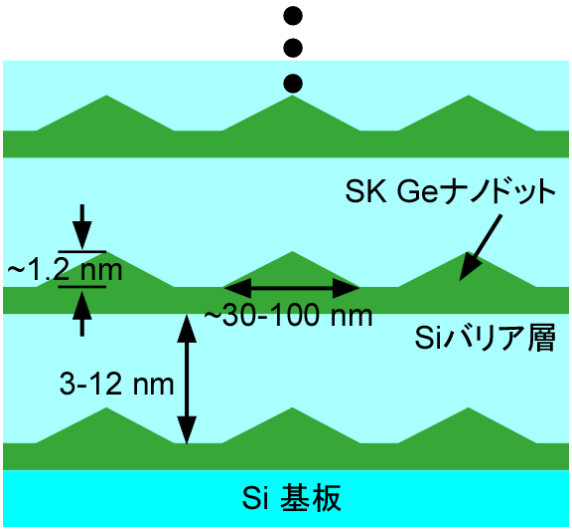

図 1-5-2: SK SiGe ナノドット/Si バリア層の多層膜構造の概略図[19]。

直結していると考えられる[25,26]。一方、前述したように SiGe ナノコンポジットの作製技術では、σ が低減してしまう多結晶体となってしまうために望ましくない。

1.6　極薄 Si 酸化膜技術を用いた Ge ナノドット作製技術とその応用

そこで本研究では、極薄 Si 酸化膜技術を用いて作製した Ge ナノドットに着目した[27,28]。極薄 Si 酸化膜技術によって作製された Ge ナノドットは、極小 (~10 nm) かつ超高面密度 (~10^{12} cm^{-2})、さらに Si 基板上にエピタキシャル成長するという特徴を有しており、筆者が提案する新規 Si 系ナノ構造に応用が可能と考えられる。以下にそのナノドット形成メカニズムを簡単に説明する。

Si 基板を 2×10^{-4} Pa の酸素雰囲気中で 500ºC で加熱することにより、厚さ 0.3 nm のたった一原子層からなる極薄 Si 酸化膜が形成される[29,30]。その上に Ge を分子線エピタキシー法（MBE 法）により蒸着させると

$$SiO_2\ (solid) + Ge\ (adatom) \rightarrow SiO\ (gas) + GeO\ (gas) \qquad (1\text{-}6\text{-}1)$$

という反応により酸化膜が一部壊れ、酸化膜中に Si 基板がむき出しの部分の欠陥部分 (ナノ開口) が形成される[31]。その後さらに Ge を蒸着させると、試料上をマイグレーションしている Ge アドアトムは､吸着エネルギーが高い(ポテンシャルとしては低い)、ナノ開口部分へ吸着される。つまり、ナノ開口を通じて Ge ナノドットがエピタキシャル成長することが報告されている。この技術を用いることにより、図 1-5-1 に示したフォノン伝導とキャリア伝導を独立に制御可能な新規 Si 系熱電材料として、“Ge ナノドット積層構造”を提案する。図 1-6-1 にその概略図を示す。ここでは極小（数-十数ナノメートル）の Ge ナノドットが、フォノン散乱体として、Si 薄膜中に超高密度に導入されている。これにより、従来のナノ構造化バルク熱電材料や SK SiGe ナノドットではなし得なかった、さらなるフォノン散乱が見込まれる。さらにキャリアは元来材料的にσ

値の高い Si 層を伝導し、かつ Si 層と Ge ナノドットがすべてエピタキシャル成長することにより、ナノ構造化による電気伝導率の低減を抑えることが見込まれる。

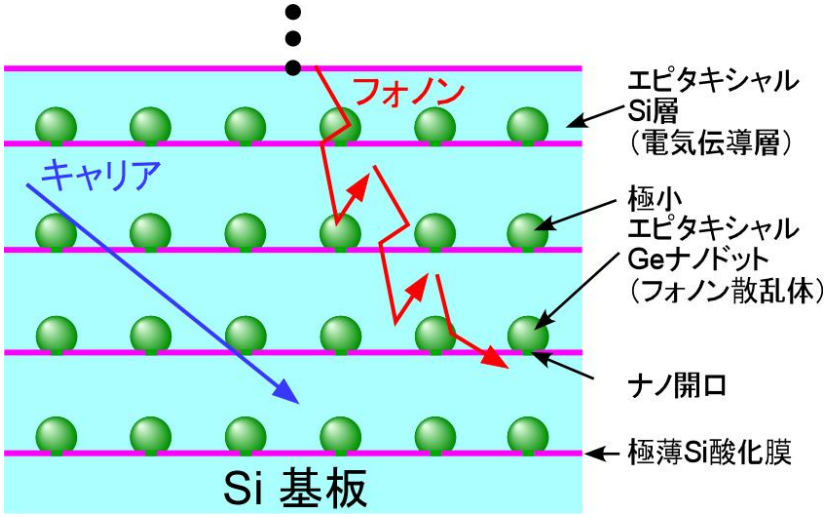

図 1-6-1: Ge ナノドット積層構造の概略図。

1.7　本研究の目的

1.4 節で述べた課題を解決するための新規ナノ構造を、1.5 節、1.6 節において提案した。本研究においては以下の 3 点を目的とする。

1. 高性能 Si 系ナノ構造熱電材料として、フォノン散乱体と電気伝導層が空間分離した新規 Si 系熱電材料の開発を目指し、極薄 Si 酸化膜技術を用いて、Ge ナノドットを超高密度に導入した Si 薄膜　（Ge ナノドット積層構造）の作製手法を確立させる。

2. 形成した上記新規ナノ構造において、大幅なκ 低減効果を実証し、そこでの伝熱特性（フォノン伝導特性）を明らかにする。

3. 形成した上記新規ナノ構造において、σ 低減の抑制効果を実証し、そこでのキャリア（電子・正孔）伝導特性を明らかにする。

上記の 3 点を達成し、伝熱特性と電気特性の独立制御の達成のための方法論を確立し提示することにより、従来の Si 系材料よりも劇的にフォノンを散乱させつつも、キャリアの散乱を抑えるような Si 系高性能ナノ構造熱電材料の開発を目指す。ひいては Si 系熱電材料における、熱電材料の本質的ゴールである、”Phonon-Glass Electron-Crystal (PGEC)”の達成を目指す。また *ZT* を評価することにより、本新規ナノ構造が高性能ナノ構造熱電材料として有用であることを実証する。

1.8　本論文の構成

本論文は図 1-8-1 に示すように、全 6 章で構成されている。以下にその概要を示す。

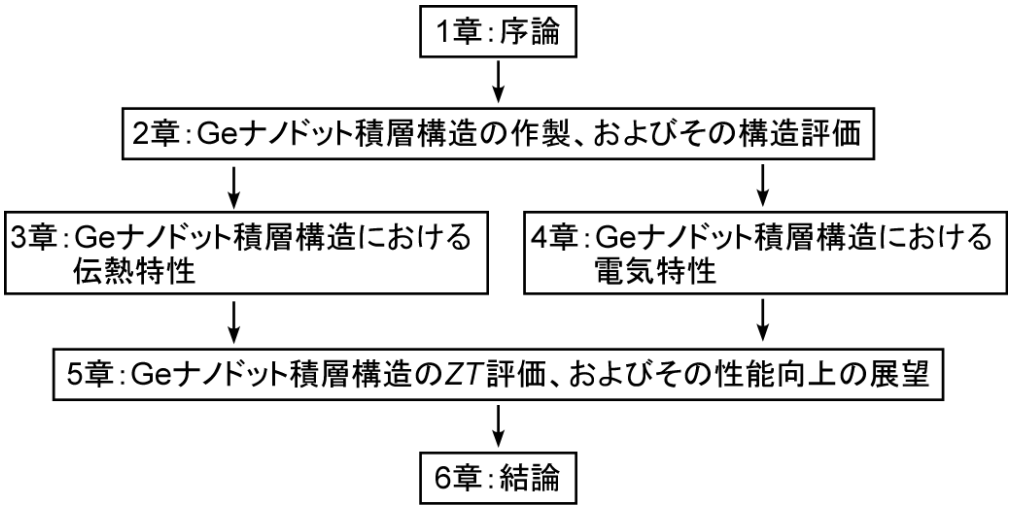

図 1-8-1: 本論文の構成を示すフローチャート。

第 1 章では、エネルギー問題解決手段となる、廃熱回収技術としての熱電材料の意義、およびその高性能化の必要性について述べた。ナノ構造を利用することにより熱電材料の高性能化が可能であることを説明した後、従来のナノ構造の問題点に触れ、その問題解決法として、フォノン散乱体と電気伝導層が分離した、新規 Si 系熱電ナノ構造材料を提案した。

第 2 章では、新規 Si 系熱電ナノ材料である Ge ナノドット積層構造を、独自技術であ

る極薄 Si 酸化膜技術を用いて作製する手法について述べる。Ge ナノドット積層構造において、最上層まで全ての層がエピタキシャル成長していることを示し、さらに Ge ナノドットのサイズ・形状、Si 層の厚さ・形状のそれぞれが、Ge と Si の蒸着量によって制御可能であることを示す。これにより、Ge ナノドット積層構造の作製手法を確立する。また、イオン注入法による積層構造ドーピング技術、および、各種評価手法の概要を述べる。

第 3 章では、Ge ナノドット積層構造における伝熱機構を明らかにする。κ 評価へ向け、薄膜 κ 測定技術である 2ω法を改良することにより、従来困難であった極薄膜 (~100 nm) の κ 測定技術を確立する。またその技術を用いることにより、Ge ナノドット積層構造の κ を測定し、従来の SiGe 系ナノ熱電材料と比較することで、Ge ナノドット積層構造が大幅な κ 低減効果を有することを実証する。この κ 低減効果は、Si 電気伝導層ではなく、Ge ナノドットのフォノン散乱に由来することを示す。それにより伝熱特性が構造因子 (ドットサイズ・形状) によって制御可能であることを明らかにする。

第 4 章では、Ge ナノドット積層構造における電気特性について詳細に調査する。積層構造への不純物ドーピングはイオン注入法によって達成され、さらに積層構造中のキャリア伝導が、バルク Si 中のキャリア伝導と類似したものであることを示す。特に、*n* 型積層構造の電子移動度はエピタキシャル Si 薄膜の移動度と同程度であり、電子散乱が劇的に抑えられていることを明らかにする。またその起源を、Ge ナノドット界面の伝導帯バンドオフセットが微小なことによるものであるという考察を示す。

第 5 章では、Ge ナノドットの強いフォノン散乱効果と、Si 層の高い電気伝導性の知見を基に、伝熱特性と電気特性の独立制御の可能性について述べる。また無次元性能指数 *ZT* を評価し、この得られた *ZT* 値が、不純物濃度が最適化された Ge 微少量含有 (~3-5%) SiGe 系ナノ構造化バルク熱電材料の *ZT* の値とほぼ同等であることを示す。本構造においては不純物濃度が最適化されてないことから、今後、不純物濃度の最適化により

更なる性能向上の余地があることを示す。

第 6 章では、本研究で得られた結果を総括し、今後の展望について述べる。

1.9　参考文献

[1] 平成 26 年度エネルギーに関する年次報告。経済産業省資源エネルギー庁。

[2] 日本セラミックス協会・日本熱電学会（編）「熱電変換材料」。

[3] 調査分析室レポート　熱電、独立行政法人 物質・材料研究機構。

[4] 坂田亮 (編)、裳華房、「熱電変換　－基礎と応用－」。

[5] G. J. Snyder, and E. S. Toberer, *Nature Mater*. **7**, 105 (2008).

[6] G. A. Slack, and V. G. Tsoukala, *J. Appl. Phys*. **76**, 1635 (1994).

[7] L. D. Hicks and M. S. Dresselhaus, *Phys. Rev. B* **47**, 12727 (1993).

[8] L. D. Hicks and M. S. Dresselhaus, *Phys. Rev. B* **47**, 16631 (1993).

[9] M. S. Dressehaus, G. Chen, M. Y. Tang, R. Yang, H. Lee, D. Wang, Z. Ren, J-P. Fleurial, and P. Gogna, *Adv. Mater.* **19**, 1043 (2007).

[10] A. J. Minnich, M. S. Dresselhaus, Z. F. Ren, and G. Chen, *Energy Environ. Sci.* **2**, 466 (2009).

[11] B. Liao, and G. Chen, *MRS Bulletin* **40**, 746 (2015).

[12] M. S. Dresselhaus, G. Chen, Z. F. Ren, G. Dresselhause, A. Henry, and J. P. Fleurial, *JOM* **61**, 86 (2009).

[13] L. Weber, and E. Gmelin, *Appl. Phys. A* **53**, 136 (1991).

[14] A. I. Hochbaum, R. Chen, R. D. Delgado, W. Liang, E. C. Garnett, M. Najarian, A. Majumdar, and P. Yang, *Nature* **451**, 163 (2008).

[15] J-K. Yu, S. Mitrovic, D. Tham, J. Varghese, and J. R. Heath, *Nature Nanotechnol* **5**, 718 (2010).

[16] S. K. Bux, R. G. Blair, P. K. Gogna, H. Lee, G. Chen, M. S. Dresselhaus, R. B. Kaner, and J-P. Fleurial, *Adv. Funct. Mater.* **19**, 2445 (2009).

[17] J. Joshi, H. Lee, Y. Lan, X. Wang, G. Zhu, D. Wang, R. W. Gould, D. C. Cuff, M. Y. Tang, M. S. Dresselhaus, G. Chen, and Z. Ren, *Nano Lett*. **8**, 4670 (2008).

[18] G. Savelli, S. S. Stein, G. B-Granger, P. Faucherand, L. Montès, S. Dilhaire, and G. Pernot, *Nanotechnology* **26**, 275605 (2015).

[19] Y. Nakamura, M. Isogawa, T. Ueda, S. Yamasaka, H. Matsui, J. Kikkawa, S. Ikeuchi, T. Oyake, T. Hori, J. Shiomi, and A. Sakai, *Nano Energy* **12**, 845 (2015).

[20] J. P. Dismukes, L. Ekstrom, E. F. Steigmeier, I. Kudman, and D. S. Beers, *J. Appl. Phys.* **35**, 2899 (1664).

[21] C. B. Vining, W. Laskow, J. O. Hanson, R. R. Van der Beck, P. D. Gorsuch, *J. Appl. Phys*. **69**, 4333 (1991).

[22] G. Pernot, M. Stoffel, I. Savic, F. Pezzoli, P. Chen, G. Savelli, A. Jacquot, J. Schumann, U. Denker, I. Mönch, Ch. Deneke, O. G. Schmidt, J. M. Rampnoux, S. Wang, M. Plissonnier, A. Rastelli, S. Dilhaire, and N. Mingo, *Nature Mater.* **9**, 491 (2010).

[23] P. Chen, N. A. Katcho, J. P. Feser, W. Li, M. Glaser, O. G. Schmidt, D. G. Cahill, N. Mingo, and A. Rastelli, *Phys. Rev. Lett.* **111**, 115901 (2013).

[24] P. Chen, J. J. Zhang, J. P. Feser, F. Pezzoli, O. Moutanabbir, S. Cecchi, G. Isella, T. Gemming, S. Baunack, G. Chen, O. G. Schmidt, and A. Rastelli, *J. Appl. Phys*. **115**, 044312 (2014).

[25] Z. Yang, Y. Shi, J. Liu, B. Yan, R. Zhang, Y. Zheng, K. Wang, *Mater. Lett*. **58**, 3765 (2004).

[26] M. L. Lee, and R. Venkatasubramanian, *Appl. Phys. Lett.* **92**, 053112 (2008).

[27] Y. Nakamura, K. Watanabe, Y. Fukuzawa, and M. Ichikawa, *Appl. Phys. Lett*. **87**, 133119 (2005).

[28] Y. Nakamura, Y. Nagadomi, S-P. Cho, N. Tanaka, and M. Ichikawa, *Phys. Rev. B* **72**, 075404 (2005).

[29] H. Watanabe, K. Kato, T. Uda, K. Fujita, and M. Ichikawa, *Phys. Rev. Lett*. **80**, 345 (1998).

[30] N. Miyata, H. Watanabe, and M. Ichikawa, *Phys. Rev. Lett*. **84**, 1043 (2000).

[31] A. A. Shklyaev, M. Shibata, and M. Ichikawa, *Phys. Rev. B* **62**, 1540 (2000).

第 2 章　Ge ナノドット積層構造の作製、およびその構造評価

2.1　本章の主眼

本章では第 1 章で述べた Si が有する $S^2\sigma$ 値を維持しつつも、劇的なκ 低減を起こすような Si 系の新規ナノ構造 (Ge ナノドット積層構造) の、MBE 法を用いた作製手法を確立することを目的とする。

図 1-6-1 に示したような、極薄 Si 酸化膜技術を用いて作製した Ge ナノドット積層構造において、Ge ナノドットは極薄 Si 酸化膜中のナノ開口を通じて、Si 層にエピタキシャル成長する。この Ge ナノドット積層構造の作製手法、構造特性評価について、本章で述べる。

2.1.1　Si (001)基板への化学処理

本研究では Si (001)基板を超高真空チャンバー（ベースプレッシャー ~3×10^{-8} Pa）に導入するため、Si 基板に化学処理を施す[1-3]。

1. アセトン、エタノール、超純水による超音波洗浄を行う。
2. 硫酸加水処理（過酸化水素水、硫酸の混合液による処理）と超純水洗浄を行う。
3. フッ酸処理（3%）と超純水洗浄を行う。
4. 硫酸加水処理と超純水洗浄を行う。

2.1.2　Si (001)基板上への極薄 Si 酸化膜の形成

2.1.1 節で示した化学処理によって Si 酸化膜を Si(001)基板上に形成した後、Si 基板を超高真空チャンバー内に導入して極薄 Si 酸化膜を形成する手順を以下に示す[4,5]。

1. Si(001) 2 インチウェハに化学処理を行い、酸化表面を得た。化学処理については 2.1.1 節を参照されたい。

2. 超高真空中に導入し 560°C で脱ガスを 6 時間以上行った後、Si 酸化膜を脱離させて、その後、基板温度 500ºC で Si バッファ層を~100 nm 程度蒸着して、Si(001)清浄表面を取得する。

2.1.3 Ge ナノドット積層構造の作製手法

以下に Ge ナノドット積層構造の作製手法を示す。

1. 酸素分圧 2×10^{-4} Pa、基板温度 500°C で Si(001)清浄表面を 10 分間酸化して極薄 Si 酸化膜を形成する。
2. 作製した極薄 Si 酸化膜上に Ge を基板温度 500°C で蒸着し、ナノ開口を形成する。ナノ開口形成後も連続して Ge を蒸着させることにより、ナノ開口上に Ge ナノドットを形成する。蒸着量は 7-66 ML である。またこのときの Ge の蒸着レートは 1.2 ML min^{-1} とする。
3. 作製した Ge ナノドット上に Si を基板温度 400ºC にて蒸着し、Si 層を形成する。蒸着量は 13-376 ML とする。またこのときの Si の蒸着レートは 1.6 ML min^{-1} とする。
4. 酸素分圧 2×10^{-4} Pa、基板温度 450°C で Si 層を 10 分間酸化することで、極薄 Si 酸化膜を形成する。
5. 2. Ge ナノドット、3. Si 層、4. 極薄 Si 酸化膜の形成プロセスを 1 サイクルと定義する。このサイクルを 8 回繰り返す。

上記プロセスにより、Ge ナノドット積層構造を作製する。図 2-1-1 にその概略図を示す。また、1 サイクルが、“*x*-nm の直径（横方向サイズ）の Ge ナノドット (ND)、*y*-ML の Si で構成されている積層構造”を“*x*-nm NDs/*y*-ML Si サンプル”と呼ぶこととする。

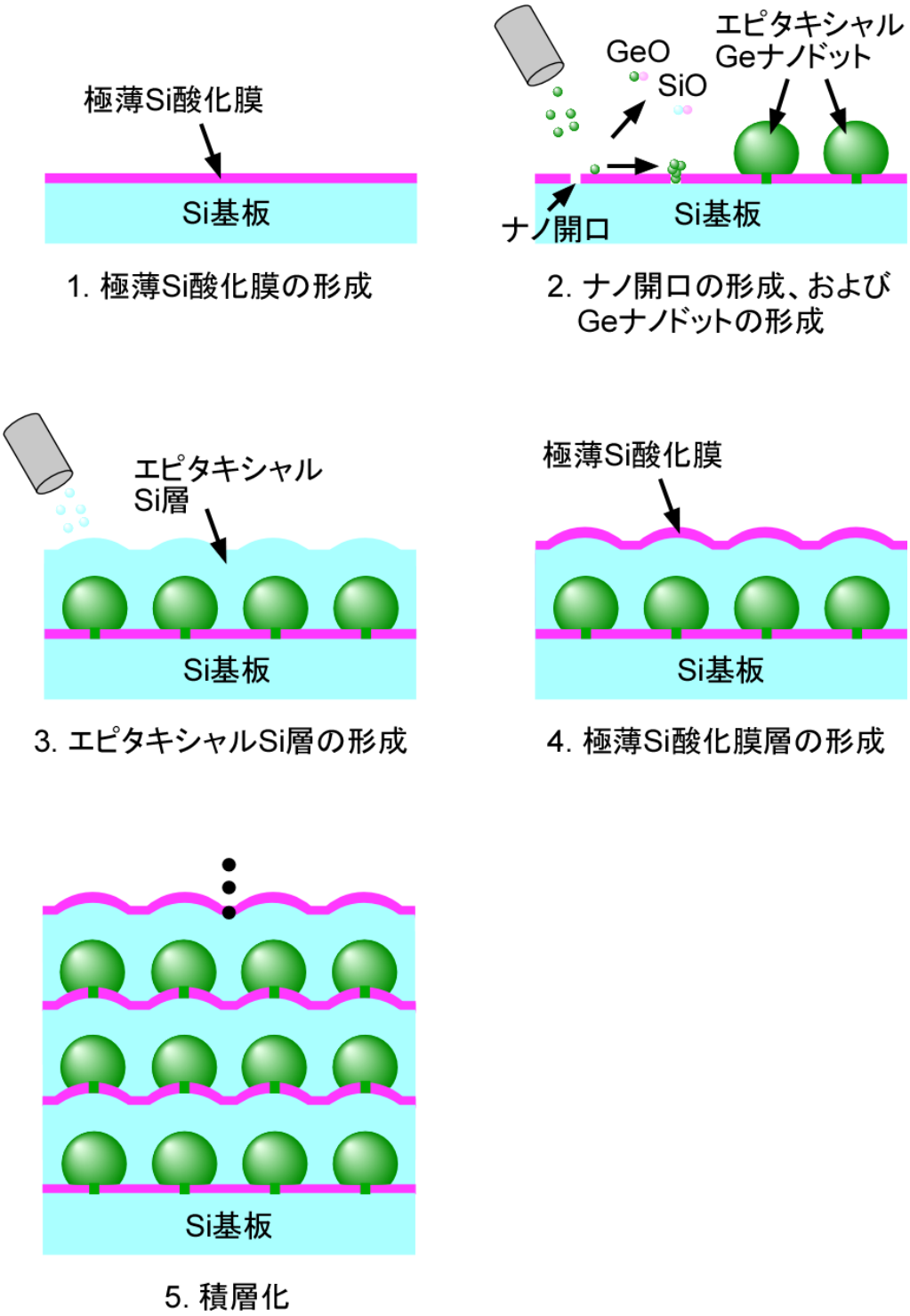

図 2-1-1: Ge ナノドット積層構造作製手法の概略図。

2.1.4　イオン注入法とアニール処理

電気伝導率、ゼーベック係数はキャリア密度の関数であり、それらのキャリア密度依存性を調べる事は重要である。しかしながら Ge ナノドット積層構造において、ドーピングを成長中に *in-situ* で行う事は、ドーパントの選定や同時成長技術の確立などが必要であり、現状では困難である。そこで本研究においては、作製した Ge ナノドット積層構造に、イオン注入法 (ion implantation) を用いて *ex-situ* でドーピングを施すことを試みた。

イオン注入法とは数 keV から数 100 keV に加速したイオンを固体に照射して、不純物ドーピングや固体表面の物性制御、材料合成などを行う方法である。半導体へのイオン注入法は、デバイスの微細化に必要な、浅い pn 接合の形成に用いられており、VLSI デバイスの制作に不可欠のプロセス技術としてすでに確立されている[6,7]。よって Ge ナノドット積層構造は、構造中に Ge ナノドットを含む Si 薄膜であることから、イオン注入によってドーピングが可能と考えられる。イオン注入法では、注入された不純物イオンはやがてエネルギーを失い、ある場所に停止する。不純物イオンがエネルギーを失う機構には 1. 原子の周囲に存在する電子との相互作用によるエネルギー損失 (電子阻止)、2. 原子核との衝突によるエネルギー損失 (核阻止) がある。イオン注入により、構造欠陥が生じるが、アニール処理によって結晶性を回復することが可能である[6,7]。

2.2　評価手法

構造評価手法としては以下の 6 つの手法を用いた。

・走査トンネル顕微鏡法 (STM)

・反射高速電子回折法 (RHEED)　電子線のエネルギーを 20 keV、Si(001)基板に対して入射方位を<110>とする。回折図形を蛍光スクリーンで観察する。

・ラマン分光法　514.5 nm の光波を用いて行った。

・高分解能透過型電子顕微鏡法 (HR-TEM) (Hitachi HF2000、Hitachi H9000NAR）電子線のエネルギーを 200 keV、Si(001)基板に対しての入射方位を<110>とした。

・球面収差高角散乱環状暗視野走査顕微鏡法　(Cs-corrected HAADF-STEM) (JEOL JEM-ARM200F)

不純物評価手法として、以下の手法を用いた。

・2 次イオン質量分析法（SIMS）

熱電特性評価としては、以下の 3 つを行った。

・4 端子ホール測定（東陽テクニカ社製）

・ゼーベック係数測定（自作、MMR 社製）

・熱伝導率測定（TCN-2ω、 アドバンス理工社製）

2.3　Ge ナノドット積層構造の構造評価

2.3.1　Ge ナノドットのサイズ、および面密度制御

フォノン散乱体として導入される Ge ナノドットのサイズとその面密度は、Ge ナノドット積層構造を作製する上で最も重要なパラメータの一つである。本節では、STM 観察によって、Ge 蒸着量によるナノドットのサイズと面密度に関する結果を得たので、それを述べる。

Ge ナノドットは 2.1.3 節で示したように、Si(001)清浄表面上の極薄 Si 酸化膜の上に作製される。図 2-3-1 に Si バッファ層蒸着後、及び酸化後の RHEED パターンを示す。Si(001)-(2×1)再構成表面が観察されたことから、Si(001)での清浄表面の取得が確認された。また酸化後は、再構成表面の RHEED パターンが消失し、Si の 1×1 パターンが観測された。これは極薄 Si 酸化膜が形成されたことを意味し、1×1 パターンが観察されるのは、Si 酸化膜が極薄なため電子線が Si 基板に侵入し、表面酸化膜直下の原子配列が観察されているためである。以下、上記の極薄 Si 酸化膜形成を基準とし、Ge ナノドットを形成する。

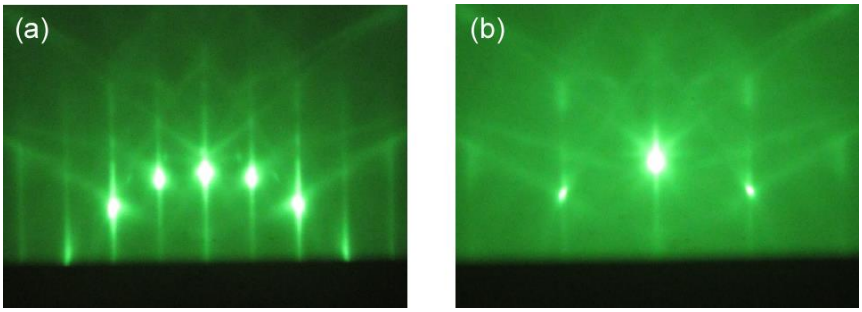

図 2-3-1: (a) Si(001)清浄表面と(b) 極薄 Si 酸化膜形成後の RHEED パターン。

図 2-3-2(a)は Ge を 7 ML 蒸着した後の Ge ナノドットの STM 像と RHEED パターンである。この STM 像より密度が~1.4×10^{12} cm^{-2} の半球状 Ge ナノドットが確認でき、また RHEED パターンから、Ge ナノドットが Si 基板上にエピタキシャル成長していることが確認できた。図 2-3-2(b)は STM 像を解析した Ge ナノドットの横方向サイズのヒス

トグラムである。横方向サイズは平均サイズが 5 nm で標準偏差が 1.7 nm となり、非常に急峻な分布をしていることがわかる。同様に図 2-3-2(c)は Ge を 11 ML 蒸着した後の Ge ナノドットの STM 像である。

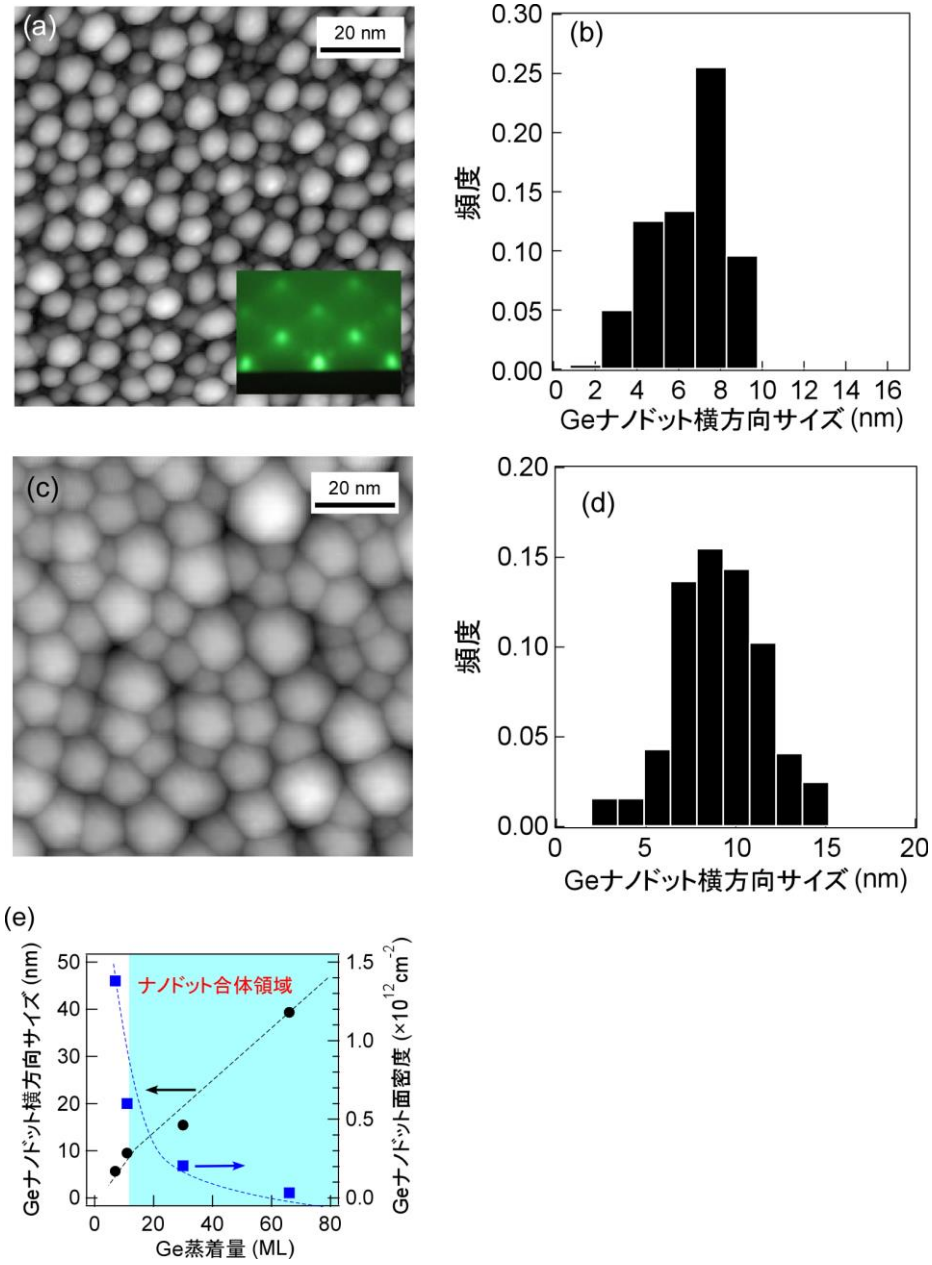

図 2-3-2: (a) Ge を 7 ML 蒸着時の STM 像。挿入図は蒸着時の RHEED パターン (b) Ge 7 ML 蒸着で形成されたナノドット横方向サイズのヒストグラム。(c) Ge 11 ML 蒸着時の STM 像。(d) Ge 11 ML 蒸着で形成されたナノドット横方向サイズのヒストグラム。(e) Ge 蒸着量とナノドットサイズ・密度の関係。

この STM 像より密度が~9×10^{11} cm^{-2} の半球状 Ge ナノドットが確認できた。また図 2-3-2(d)はこの STM 像を解析した Ge ナノドットの横方向サイズのヒストグラムであり、横方向サイズは平均サイズが~8 nm で標準偏差が~2.5 nm となった。サイズが大きくなり、Ge ナノドット密度が減少する理由は、Ge ナノドットの合体である。極薄 Si 酸化膜中のナノ開口の間隔は~10 nm 程度であるため、横方向サイズが 10 nm になると、ナノドット同士が合体し、ナノドットサイズが大きくなる[8,9]。以上より Ge ナノドットのサイズおよび密度を、Ge 蒸着量によって制御できることがわかった。図 2-3-2(e)は、Ge 蒸着量とサイズ・密度の関係をまとめた結果である。

2.3.2 RHEED 観察によるエピタキシャル成長の確認

図 2-3-3 に 8-nm NDs/67-ML Si サンプルの 1 サイクル目の RHEED パターンを示す。図 2-3-3(a)は 1 サイクル目の Ge 蒸着後の RHEED パターンであり、スポット状のパターンが確認できる。これは Ge ナノドットが Si(001)基板上にエピタキシャル成長していることを意味する。

図 2-3-3(b)は Ge ナノドット上に Si を蒸着した後の RHEED パターンである。同じくスポットが見られるが、図 2-3-3(a)の Ge ナノドットの RHEED パターンと比較し、スポットがストリーク状に伸びている。これは Si 基板にエピタキシャル成長した Ge ナノドットが Si によって被覆され、その Si 層がある程度平坦な形状となっているためと考えられる。図 2-3-3(c)に酸化後の RHEED パターンを示す。酸化後の RHEED パターンは、図 2-3-3(b)に示される酸化前の RHEED パターンと同様の似た図形を示している。これは極薄 Si 酸化膜の形成によって、内部の結晶情報や表面形状が失われていないことを意味する。すなわち、Si 層の表面のみが酸化されていることを意味する。

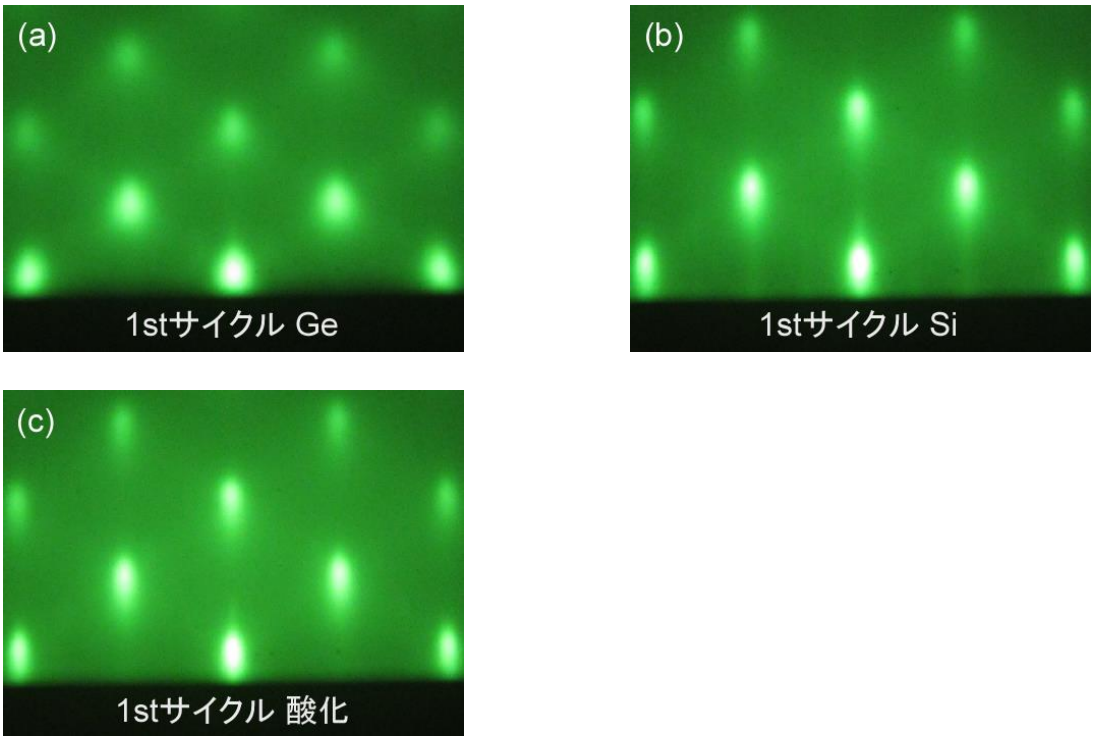

図 2-3-3: 8-nm NDs/67-ML Si サンプルの 1 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層 (c) Si 層酸化後。

次に、上述した作製サイクルを繰り返した際の、積層構造の作製途中、および作製後の RHEED パターンを示す。図 2-3-4 は 3 サイクル作製時の RHEED パターンである。図 2-3-4(a)は Ge 蒸着後の RHHED パターンであり、スポットが確認された。これは 3 サイクル目においても Ge ナノドットが、極薄 Si 酸化膜中のナノ開口を通じて、Si 層上にエピタキシャル成長をしていることを意味する。同様に、3 サイクル目の Si 蒸着後においても、Si 層がエピタキシャル成長していることが図 2-3-4(b)からわかる。1 サイクル目と比較した際に、スポットのストリークが弱まっていることが確認できる。これは積層により、表面ラフネスが増大したためと考えられる。

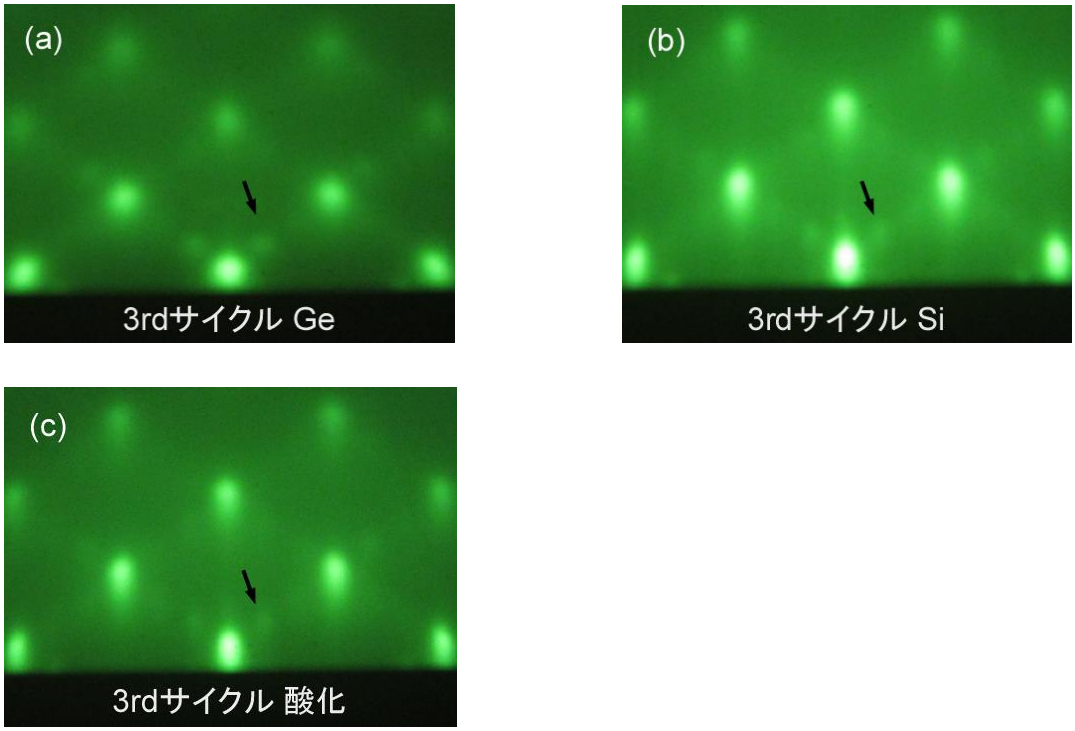

図 2-3-4: 8-nm NDs/67-ML Si サンプルの 3 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層 (c) Si 層酸化後。

また 1 サイクル目と同様に、酸化後の RHHED パターンは、酸化前の RHEED パターンと同様の似た図形を示している。これはラフネスを持った表面においても、極薄 Si 酸化膜が形成され、かつ Si 層最表面のみが酸化されたことを意味する。

1 サイクル目作製時と異なり、Ge ナノドット形成時、Si 層形成時およびその酸化後の全ての行程において、図中の黒矢印が示す新たなスポットが確認された。これは双晶境界として{111}面の積層欠陥を有する双晶の存在を表している。

図 2-3-5 に最終サイクルである 8 サイクル作製時の RHEED パターンを示す。Ge ナノドット作製時、Si 層作製時および酸化後の RHEED パターンが、3 サイクル目と比較し区別が付きにくくなっている。これは積層により表面ラスネスがさらに増大し、結晶性も悪化してきたためと考えられる。また 3 サイクル目に確認された、積層欠陥に由来す

るスポット強度が強くなっている。以上より、積層欠陥は存在しつつも Ge ナノドット積層構造は、Si 基板上にすべてエピタキシャル成長していることが確認された。

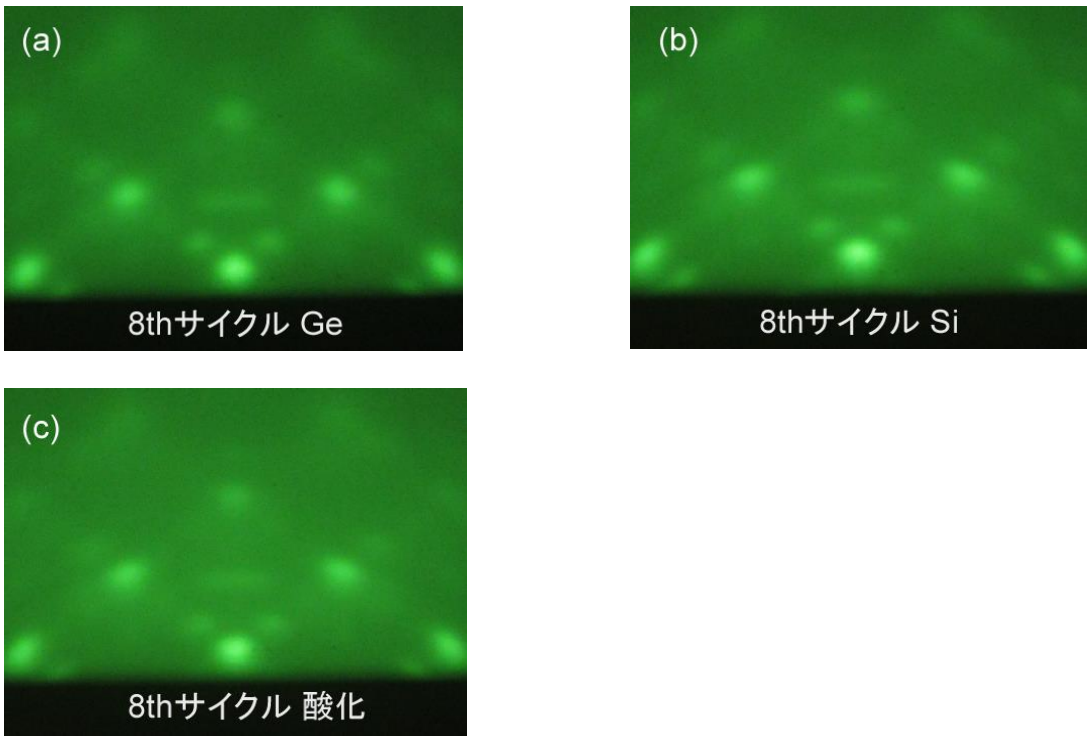

図 2-3-5: 8-nm NDs/67-ML Si サンプルの 8 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層。(c) Si 層酸化後。

2.3.3 電子顕微鏡観察による積層構造形成の確認

図 2-3-6 に 5-nm NDs/96-ML Si サンプルの HAADF-STEM 像を示す。HAADF-STEM 像において、白く明るいコントラスト領域が、比較的暗いコントラスト領域に覆われているのがわかる。Ge と Si のそれぞれの原子の重さを考慮した場合、この明暗のコントラストが、それぞれ Ge と Si の原子が存在する部分に相当すると考えられる。これにより Ge ナノドット/Si 層が積層していると見てとれる。また、Ge ナノドットのコントラストが、2 サイクル目以降と比較し、1 サイクル目において強く出ている。これは以下のように、Si 層のラフネスから生じると解釈できる。1 サイクル目のように、平坦な基板

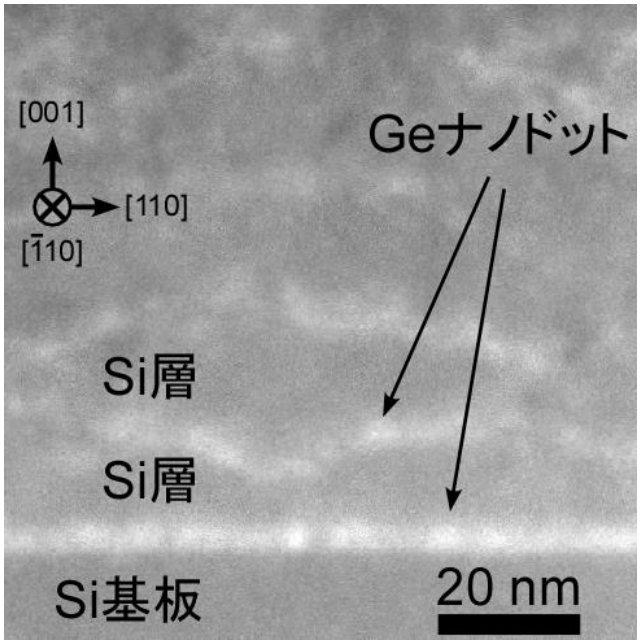

図 2-3-6: 5-nm NDs/96-ML Si サンプルの HAADF-STEM 像。

上に Ge ナノドットを成長した場合、HAADF-STEM 観察時の電子線入射方向に Ge 原子の量が増えるために、明瞭なコントラストが現れる。一方、Si 基板表面よりも、1，2，3，･･･サイクルで形成した Si 層の方が、ラフネスが大きくなっており、このラフネスを持った Si 層の上に Ge ナノドットが成長した場合、電子線入射方向 (奥行き方向) の Ge の量が少ないために、コントラストが弱くなったと考えられる。

図 2-3-7 は、5-nm NDs/96 -ML Si サンプルの Si 基板付近を拡大観察した HAADF-STEM 像である。暗いコントラスト領域の中に、球状の~5 nm 程度の大きさの白い領域が確認できる。STM によって球状の形態が観察されたことから、これは Ge ナノドットと考えられる。また、1 サイクル目、2 サイクル目ともに、Ge ナノドットの下に、線状の白いコントラストが明瞭に観察される。これは Ge ナノドットの直下にあることから、極薄 Si 酸化膜と考えられる。

以上の結果より、Ge ナノドット積層構造は、図 2-3-8 に示す概略図のような構造を取っていると考えられる。5-nm NDs/96-ML Si サンプルにおいて、Si 層の形状は、1 サイ

クル目においても SK SiGe ナノドット/Si 層超格子で観察されるような、完全な平坦ではなく、荒い形状となっている。このことは図 2-3-3(b)で示した若干ストリーク気味の RHEED パターンの結果と一致する。2 サイクル目においては、1 サイクル目の荒い Si 層の上に再び Ge ナノドットがエピタキシャル成長し、その上に Si 層がエピタキシャル成長する。その結果、Si 層のラフネスは積層サイクルが進むにつれ大きくなる。このことは RHEED の観察結果と矛盾無く一致する。

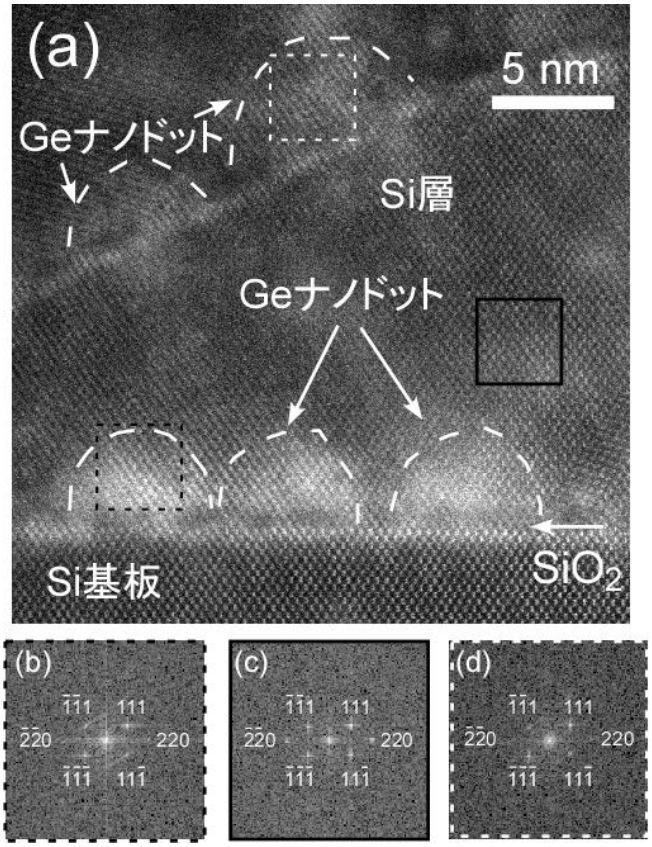

図 2-3-7: 5-nm NDs/96-ML Si サンプルの(a) Si 基板付近を拡大した HAADF-STEM 像、(b) 黒四角点線部の FFT パターン (c) 黒四角部の FFT パターン (d) 白四角点線部の FFT パターン。

次にナノドットと Si 層のエピタキシャル関係を調べるために、図 2-3-7(a)の HAADF-STEM 像を用いて、高速フーリエ変換 (FFT) 解析を行った。図 2-3-7(b)、(c)、(d)はそれ

ぞれ、図 2-3-7(a)内の 1 サイクル目の黒点線、1 サイクル目の黒四角、および 2 サイクル目の白点線で囲われた部分に対応する、FFT パターンである。すべての FFT パターンにおいて、Si 基板の FFT パターンと同じパターンが確認された。このことは RHEED 観察によって巨視的に見られたエピタキシャル関係が、微小観察領域の FFT 解析によっても確認されたことを意味する。

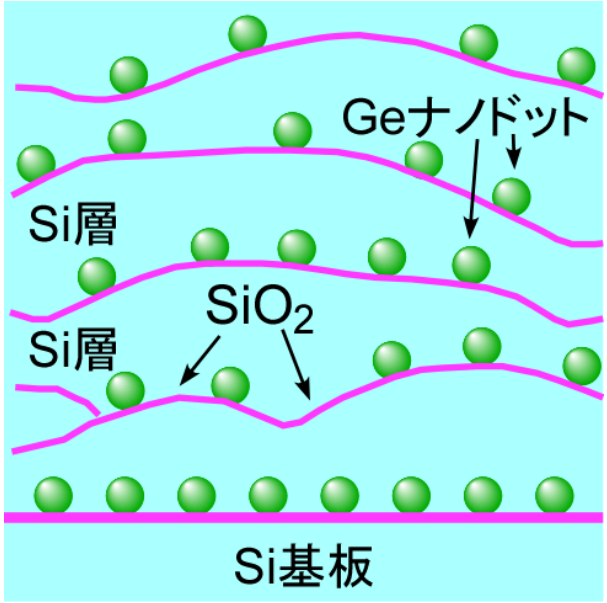

図 2-3-8: 5-nm NDs/96-ML Si サンプルの概略図。

2.3.4　積層構造の Ge ナノドットサイズ依存性

図 2-3-9 に 40-nm NDs/123-ML Si サンプルの RHEED パターンを示す。図 2-3-9(a)は 1 サイクル目に形成した Ge ナノドットの RHEED パターンである。図 2-3-4 の RHHED パターンに示す 5-nm NDs/96-ML Si サンプルの 3 サイクル目において確認された、積層欠陥をともなう双晶由来のスポットが、1 サイクル目の Ge ナノドット形成時で、すでにはっきりと確認できる。これは Ge ナノドットが 10 nm 以上のサイズで成長したことによりナノドット同士の合体が生じて 40 nm ナノドットとなる際に、積層欠陥が発生したためと考えられる。また黒矢印が示すように、ファセットの存在を示すシェブロンパタ

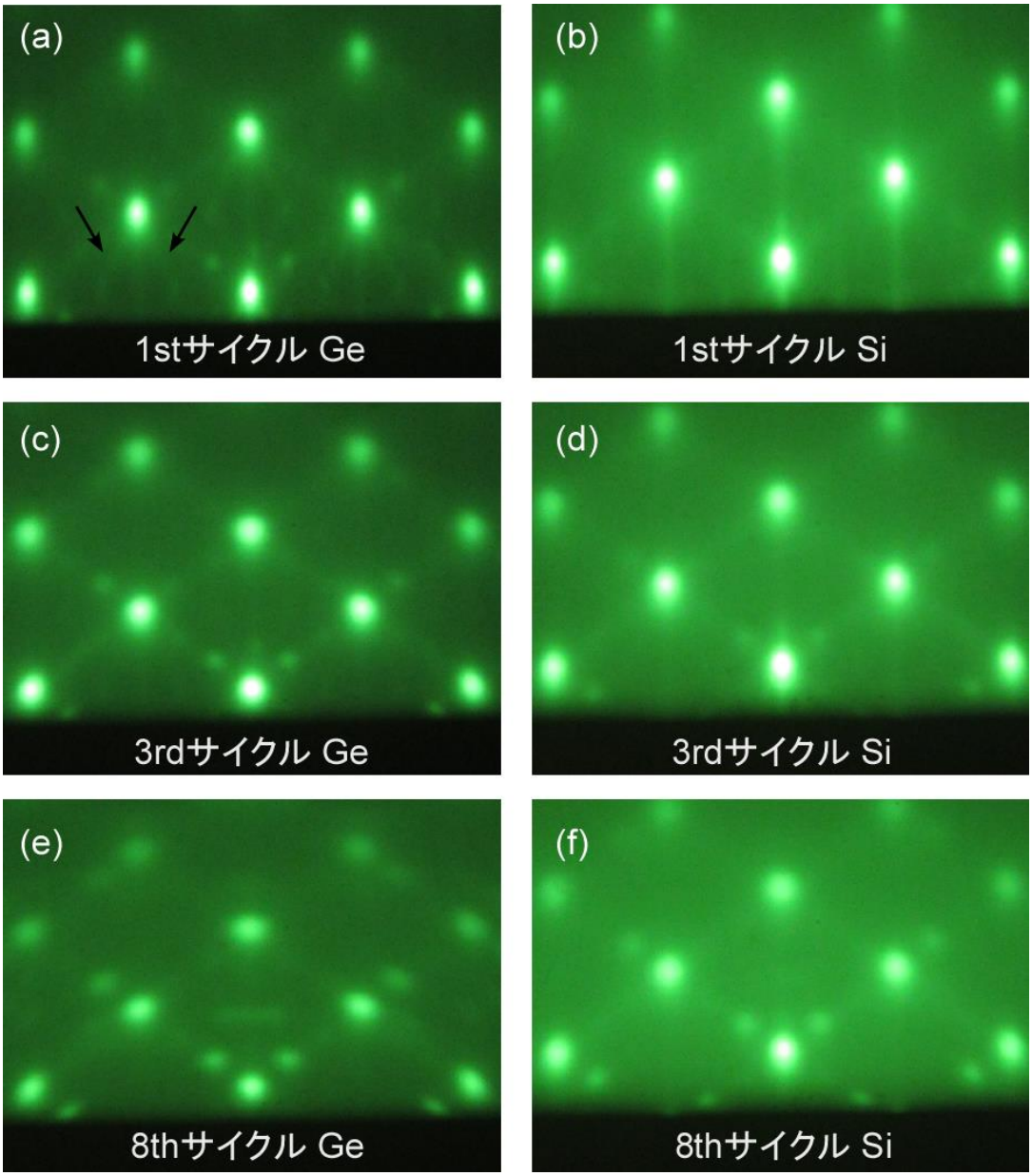

図 2-3-9: 40-nm/123-Si ML サンプルの RHEED パターン (a) 1 サイクル目の Ge ナノドット、(b) 1 サイクル目の Si 層、(c) 3 サイクル目の Ge ナノドット、(d) 3 サイクル目の Si 層、(e) 8 サイクル目の Ge ナノドット、(f) 8 サイクル目の Si 層。

ーンが見える。これは極薄 Si 酸化膜上の Ge ナノドットが、大きくなることでファセット構造を形成したと解釈できる。これは、Si 上の Ge ナノドットが大きくなると、{113}ファセット面を主とするアイランド構造を形成することと類似している[10]。図 2-

3-9(b)は 1 サイクル目の Si 層形成後の RHEED パターンである。5-nm NDs/96-ML Si サンプルと同様に、ストリーク気味のスポットが確認された。これは Ge ナノドットを覆う Si 層が、ある程度平坦性を持った形状になったことを示している。図 2-3-9(c)、(d)はそれぞれ 3 サイクル目の Ge ナノドット形成時、Si 層形成時における RHEED パターンである。5-nm NDs/96-ML Si サンプルと同様に、Si 層形成時のスポットのストリークが弱まっている。このことは、5-nm NDs/96-ML Si サンプルと同様に、ラフな Ge ナノドット上に Si 層を形成するプロセスを繰り返すことによる、表面形状のラフニングが進んだことによるものと考えられる。しかし、Si 層の平坦性は失われながらも図 2-3-9(e)、(f)の 8 サイクル目の Ge ナノドット形成時、および Si 層形成時の RHEED パターンがスポットであることから、全積層形成プロセスにおいてエピタキシャル成長を保っていることが確認できる。

図 2-3-10 に 40-nm NDs/123-ML Si サンプルの HAADF-STEM 像を示す。HAADF-STEM 像に、横方向サイズが~40 nm 程度の白く明るいコントラストの領域が確認され、その

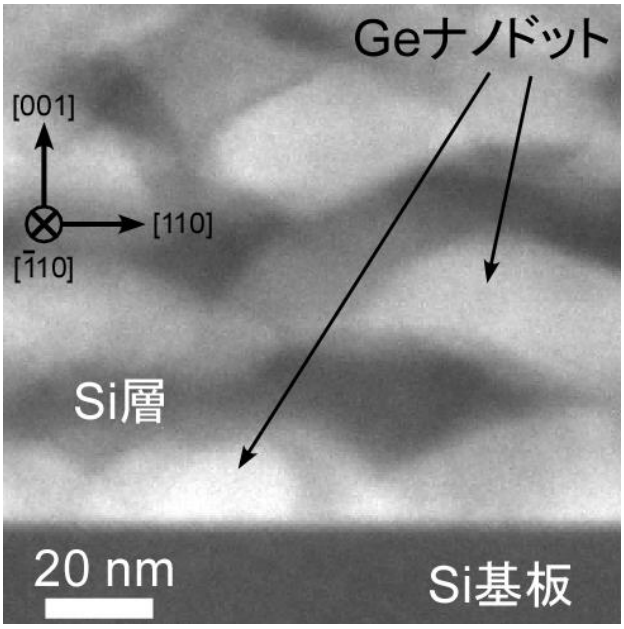

図 2-3-10: 40-nm NDs/123-ML Si サンプルの HAADF-STEM 像。

間に暗い部分が確認される。この明るい部分、暗い部分が 5-nm NDs/96-ML Si サンプルと同様に、それぞれ Ge ナノドットと Si 層に相当すると考えられる。横方向サイズが ~40nm 程度であることは 1 サイクル目よりも、2 サイクル目、3 サイクル目のほうが、確認が容易である。これは Si 層のラフネスから説明できる。Si 基板表面より、1、2、3、･･･サイクル目に形成した Si 層はラスネスが大きくなる。これは 5-nm NDs/96-ML Si サンプルにおいても確認されている。ラフネスを持った Si 層に Ge ナノドットを形成した方が、電子線入射方向 (奥行き方向) の Ge ナノドットの数が少なくなり、個々のナノドットが見やすくなるからである。以上より、図 2-3-11 に示されるような Ge ナノドット積層構造ができていると考えられる。

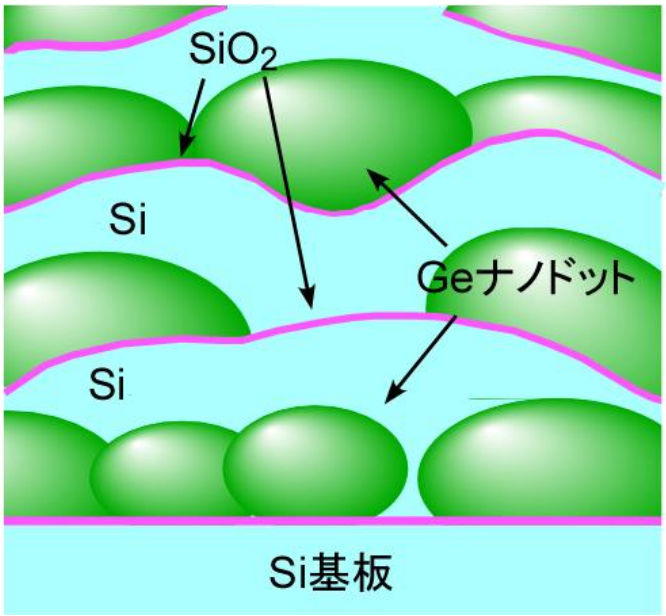

図 2-3-11: 40-nm NDs/123-ML Si サンプルの概念図。

また Ge ナノドットが大きい場合においても、積層構造のエピタキシャル関係を調べるために、40-nm NDs/123-ML Si サンプルの HAADF-STEM 像を用いて FFT 解析を行った。図 2-3-12 に Si 基板付近の HAADF-STEM 像、および解析した FFT パターンを示す。図 2-3-12(b)、(c)はそれぞれ、図 2-3-12(a)内の 1 サイクルの黒点線、1 サイクル目の黒四

角で囲われた部分に対応する FFT パターンである。5-nm NDs/96-ML Si サンプルと同様に、すべての FFT パターンにおいて Si 基板の FFT パターンと同じパターンが確認された。このことは RHEED 観察によって巨視的に見られたエピタキシャル関係が、Ge ナノドットが大きい場合においても、微小観察領域の FFT 解析によっても確認されたことを意味する。

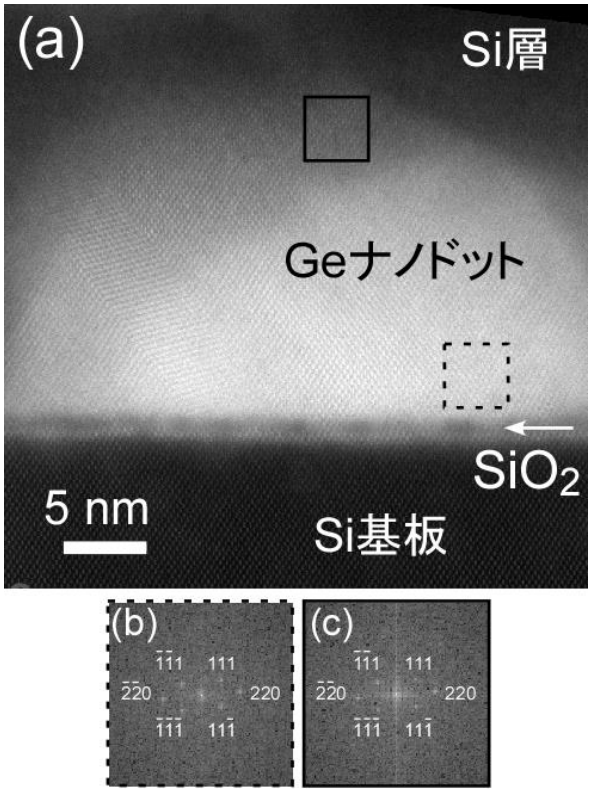

図 2-3-12: 40-nm NDs/123-ML Si サンプルの(a) Si 基板付近を拡大した HAADF-STEM 像、(b) 黒点線部の FFT パターン (c) 黒四角部の FFT パターン。

2.3.5　積層構造の Si 層蒸着量依存性

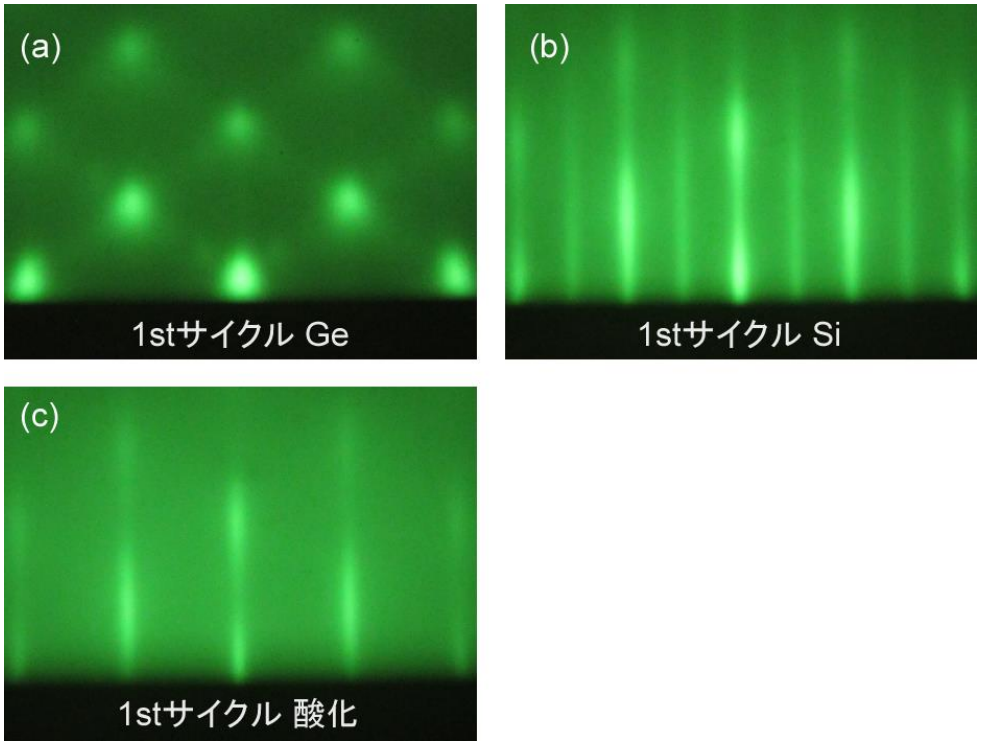

図 2-3-13: 8-nm NDs/376-ML Si サンプルの 1 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層 (c) Si 層酸化後。

前節において、Ge ナノドットサイズにかかわらず、Ge ナノドット積層構造がエピタキシャル成長していることを確認した。本節においては電気伝導層として働くと期待される Si 層の蒸着量が、Ge ナノドット積層構造の構造特性に与える影響について調べる。図 2-3-13 は 8-nm NDs/376-ML Si サンプルの 1 サイクル目における RHEED パターンである。図 2-3-13(a)は 1 サイクル目の Ge 蒸着後の RHEED パターンであり、これまでと同様にエピタキシャル成長した Ge ナノドットのスポットが確認できる。図 2-3-13(b)は 1 サイクル目の Si 蒸着後の RHEED パターンである。これまでの積層構造の Si 層の RHEED パターンとは異なり、Si(001)-(2×1)の表面再構成に相当したストリークパターンが観察された。また、図 2-3-1 に示すようなバッファ層作製時に観察された RHEED パターンとは異なり、スポットが縦に伸びたストリーク上になっている。このことから、

原子レベルでの平坦性は得られていないものの、Si(001)-(2×1)の表面再構成が起こるほど、Si 層の平坦性が強いことがわかる。図 2-3-13(c)に酸化後の RHEED パターンを示す。酸化後の RHEED パターンは、バッファ層を酸化した場合と同じく、再構成表面の RHEED パターンが消失した。

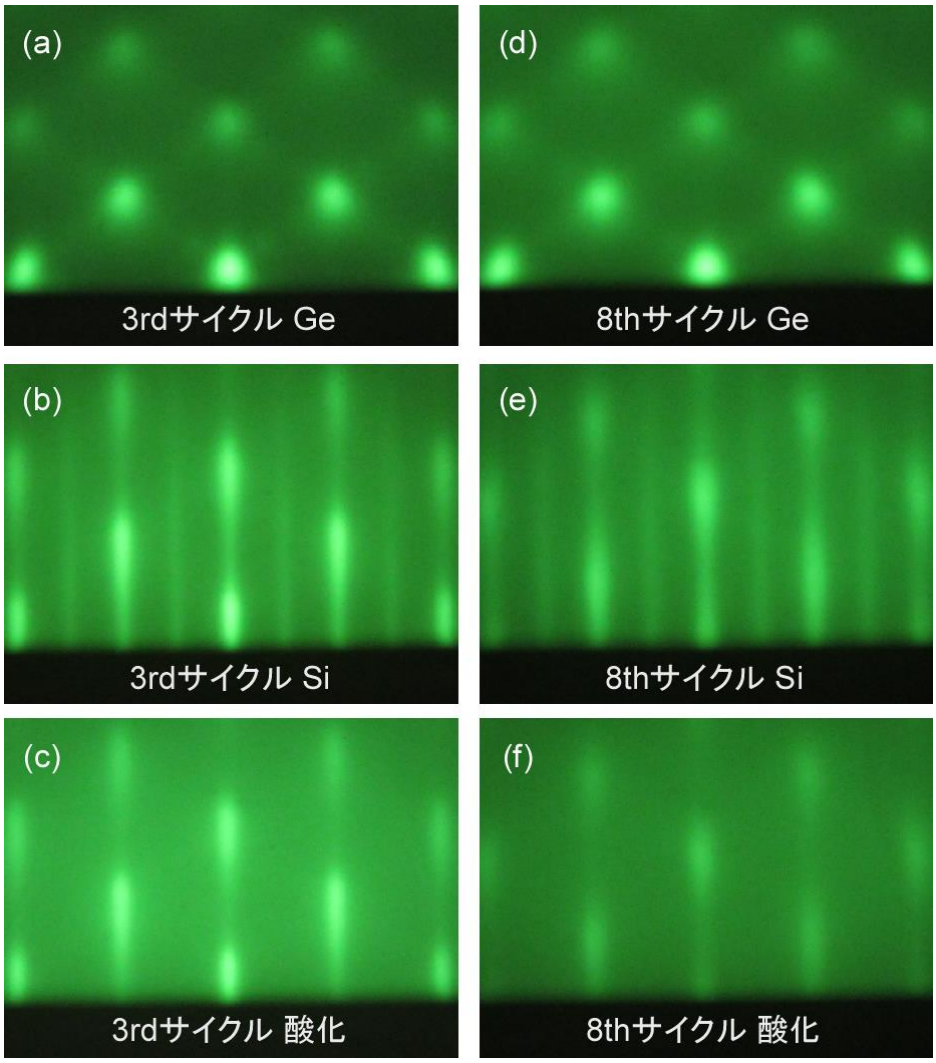

図 2-3-14: 8-nm NDs/376-ML Si サンプルの 3 サイクル目の RHEED パターン。(a) Ge ナノドット、(b) Si 層、(c)Si 層酸化後 RHEED パターン。また(d)、(e)、 (f)はそれぞれ 8 サイクル目における、Ge ナノドット、Si 層、Si 層酸化後の RHEED パターン。

図 2-3-14 は 8-nm NDs/376-ML Si サンプルの 3 サイクル目、8 サイクル目における RHEED パターンである。1 サイクル目と同様に Ge ナノドット、Si 層はすべてエピタキ

シャル成長しており、Si(001)-(2×1)の表面再構成が最終サイクルである 8 サイクル目においても起こっていることが確認できる。また 1 サイクルが~100 ML の Si の蒸着では、積層が進むにつれ、積層構造のラフネスが大きくなることが RHEED から確認されたが、Si の蒸着量が多い場合は、平坦性を保ったまま成長を続けることがわかった。

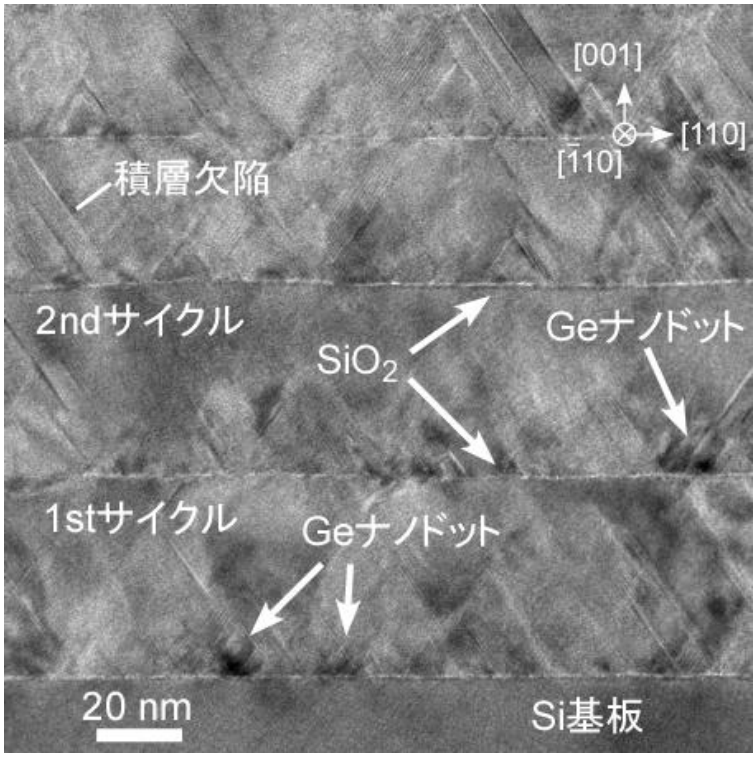

図 2-3-15: 8-nm NDs/376-ML Si サンプルの HRTEM 像。

図 2-3-15 に 8-nm NDs/376-ML Si サンプルの HRTEM 像を示す。RHEED パターンから確認されたように、Si 層の平坦性が非常に高いことが確認できる。各層を隔てている線状の白いコントラストは、極薄 Si 酸化膜と考えられる。また{111}方向にのびる線状コントラストが観察される。これはこれまでの RHEED パターンから観察できた、双晶からなる積層欠陥 (SF) であると考えられる。また極薄 Si 酸化膜の直上に黒いコントラストが見えるが、これは Ge ナノドットと考えられる。この黒いコントラストを調べる

ために、Si 基板付近を詳しく観察した。

図 2-3-16 に Si 基板付近を拡大した HRTEM 像を示す。Si 基板直上の白い線が極薄 Si 酸化膜であり、その直上に半球状の Ge ナノドットが確認できる。

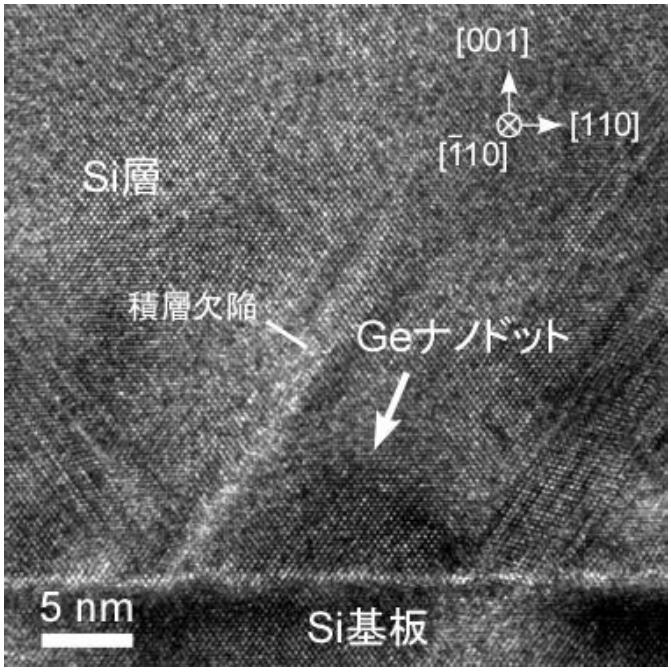

図 2-3-16: 8-nm NDs/376-ML Si サンプルの Si 基板付近の HRTEM 像。

またここでは示さないが、Si の蒸着量を 303 ML にした場合も同様の傾向が確認された。以上より、Si 層の蒸着量が多い場合においても Ge ナノドット積層構造が形成され、さらに Si 層が平坦になることを確認した。

次に Ge ナノドット積層構造の形成のために、必要な Si 蒸着量について議論する。図 2-3-17 は 5-nm NDs/13-ML Si サンプルの 1 サイクル目における RHEED パターンである。Si 蒸着量が~100 ML の場合に見られたストリーク気味のパターン、または>300 ML の場合に見られたストリークパターンとは異なり、Si 層の RHEED パターンにおいて、スポットのストリーク性が弱い。このことは Ge ナノドットを被覆する Si 層のラフネスが強いことを意味している。または、Ge ナノドットが完全に被覆されていない可能性

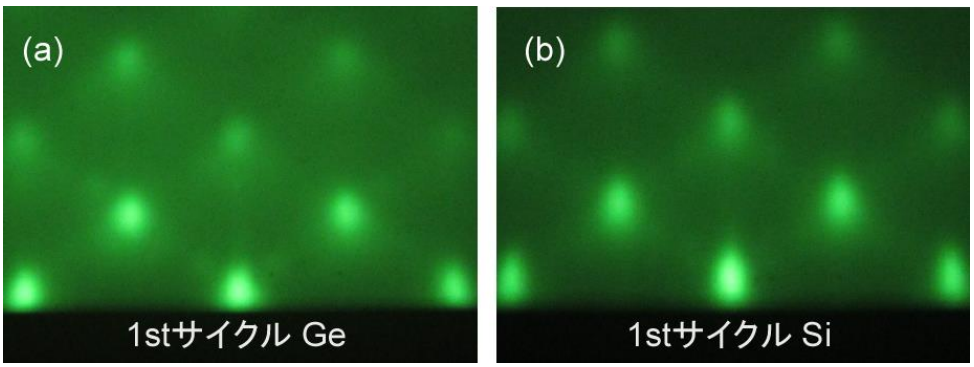

図 2-3-17: 5-nm NDs/13-ML Si サンプルの 1 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層。

も考えられる。この条件で積層を続けた場合の RHEED パターンを図 2-3-18 に示す。図 2-3-18(a)、(b)が示す 3 サイクル目に形成した Ge ナノドット、Si 層の RHEED パターンのいずれにおいてもスポットがぼやけ、結晶性が若干悪くなっていることが確認できる。

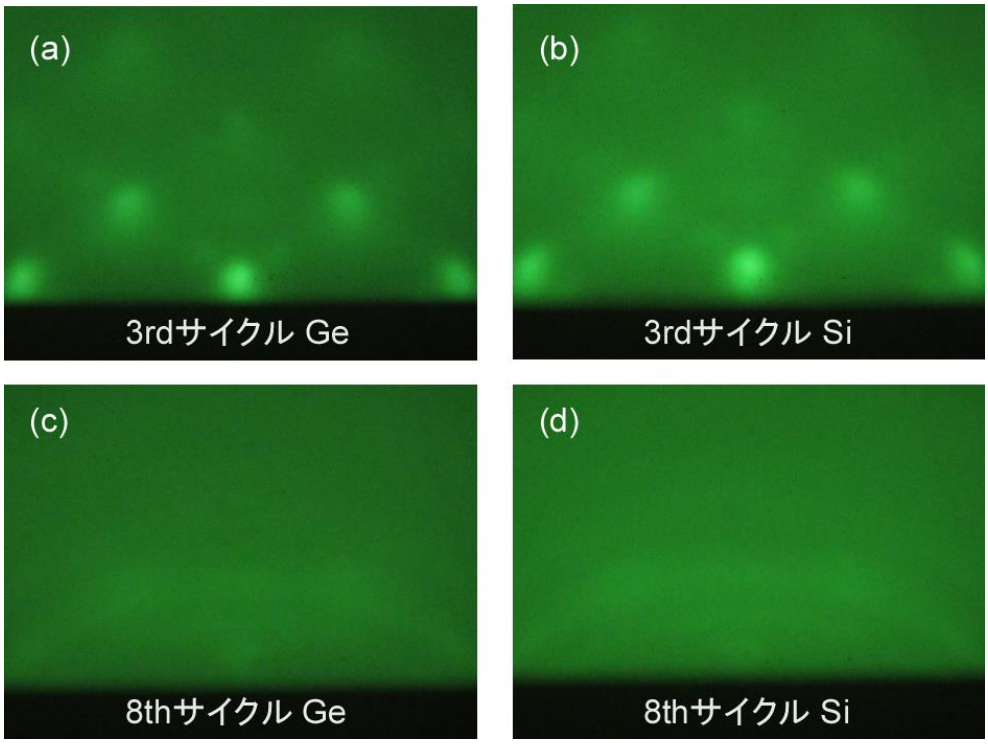

図 2-3-18: 5-nm NDs/13-ML Si サンプルの 3 サイクル目の RHEED パターン。それぞれ (a) Ge ナノドット (b) Si 層。8 サイクル目の RHEED パターン。それぞれ(c)Ge ナノドット (d)Si 層。

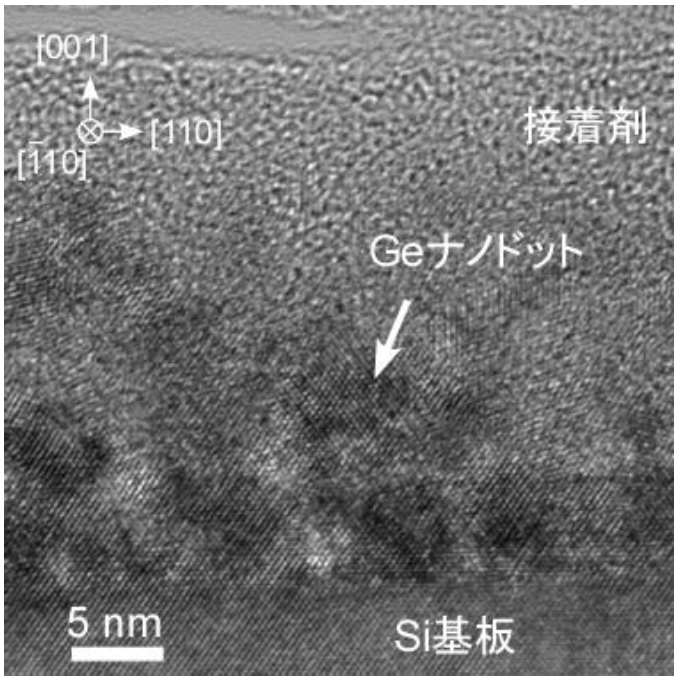

図 2-3-19: 5-nm NDs/13-ML Si サンプルの HRTEM 像。

また最終層である 8 サイクル目においては(c)、(d)が示す Ge ナノドット、Si 層のいずれにおいてもエピタキシャル成長が失われ、多結晶化していることが確認できる。

また図 2-3-19 に 5-nm NDs/13-ML Si サンプルの HRTEM 像を示す。黒のコントラストが Ge ナノドットに対応した領域であるが、Si 層中に導入されたような構造ではなく(Si)Ge ナノドットのコンポジット構造に近い構造となっている。この構造は RHEED から確認されたように、エピタキシャル成長をしていないだけではなく、電気伝導層として Si 層を用いるという当初のコンセプトからも外れる。よって冒頭で述べたような Ge ナノドット積層構造を作るためには、ある程度十分な量の Si が必要となることがわかった。

2.3.6 積層構造中の Ge ナノドットのミキシング

ナノドットにおけるミキシングの制御は、Si/Ge ナノドット界面における音響インピーダンスミスマッチによるフォノン散乱を制御するために、非常に重要と考えられる。

本節ではナノドットにおけるミキシングを調べる事を目的とする。

図 2-3-20 にラマン散乱のスペクトルを示す。300 cm^{-1} 付近に観察されるラマンピークは Ge-Ge の光学フォノンモードに関係しているスペクトルである。すべての積層構造において、ピークポジションはほぼ同位置の 299 cm^{-1} に存在している。先行研究によるとバルク Ge のラマンピークの値は 298.5 cm^{-1} から~300 cm^{-1} であり[11-13]、積層構造中の Ge ナノドットに由来するピークはすべて、エラーの範囲内でこの値内に収まる。また一般に、歪みによるピークシフトの影響も考える必要がある。しかしながら本構造で用いられている極薄 Si 酸化膜上にエピタキシャル成長した Ge ナノドットは、ミスフィット転位を導入することなく、弾性的に歪みが緩和することが先行研究において報告されている[14-16]。よって、ラマンのピークシフトから、ミキシングを評価することができる。またピークの低周波側に裾を引く非対称な形のスペクトルは、数十ナノメートルサイズのナノドットから典型的に観察されるスペクトルである[17,18]。これにより、積

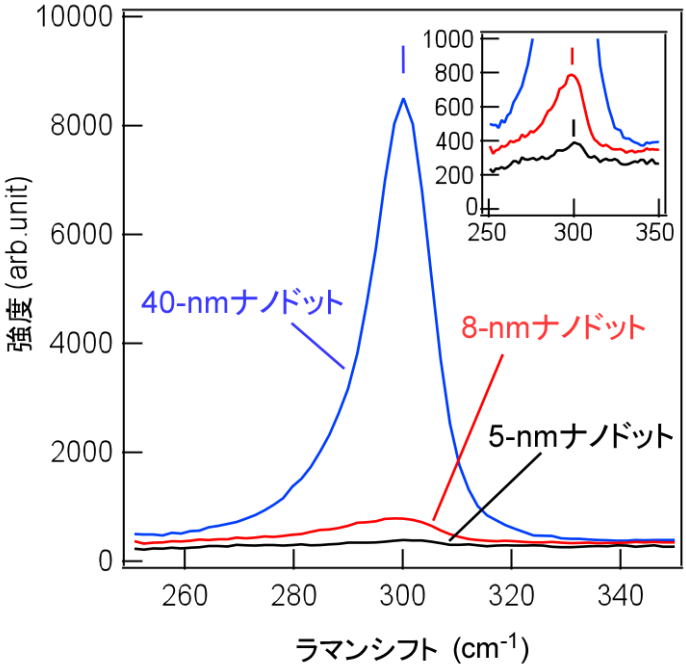

図 2-3-20: 積層構造におけるラマン散乱のスペクトル。

層構造中において、主となるナノドットは純粋な Ge から成っていると考えられる。

ところがこの低周波側に裾を引くスペクトルが、微少量の SiGe ミキシング由来のピークを隠してしまっている可能性がある。この場合、裾の部分に相当するミキシング量を換算すると、Ge ナノドット中の Si の割合は最大でも 2-4%と微少量であると見積もることができる[11]。従ってナノドットは純粋な Ge、あるいは最大でも 2-4%以下の SiGe ミキシングを有する Ge から成っていると考えられる。

2.4　小括

本章で得られた結果をまとめる。極小 (数ー十数ナノメートル)のフォノン散乱体 Ge ナノドットを Si 薄膜中にエピタキシャルに超高密度に導入した構造として、極薄 Si 酸化膜技術を用いた Ge ナノドット積層構造の作製手法を確立した。この構造において Ge ナノドット、Si 層は精密に制御されており、Ge ナノドットサイズ、面密度は Ge の蒸着量によって決定されることがわかった。また Si 層の厚さ、形状を Si の蒸着量によって制御することができた。また積層構造中において、Ge ナノドットの SiGe ミキシングが制御されていることがわかった。

2.5　参考文献

[1] J. Liu, H. J. Kim, O. Hul'ko, Y. H. Xie, S. Sahni, P. Bandaru, and E. Yablonovitch, *J. Appl. Phys*. **96**, 916 (2004).

[2] Q. Li, B. Pattada, S. R. J. Brueck, S. Hersee, and S. M. Han, *J. Appl. Phys*. **98**, 073504 (2005).

[3] 小川洋輝、堀池靖浩、「はじめての半導体洗浄技術」、工業調査会。

[4] H. Watanabe, K. Kato, T. Uda, K. Fujita, and M. Ichikawa, *Phys. Rev. Lett*. **80**, 345 (1998).

[5] N. Miyata, H. Watanabe, and M. Ichikawa, *Phys. Rev. Lett*. **84**, 1043 (2000).

[6] 難波進 (編)、「イオン注入技術」、工業調査会。

[7] 蒲生健次 (編)、「半導体イオン注入技術」、産業図書。

[8] A. A. Shklyaev, M. Shibata, and M. Ichikawa, *Phys. Rev. B* **62**, 1540 (2000).

[9] A.A. Shklyaev and M. Ichikawa, *Phys.-Usp*. **51**, 133 (2008).

[10] A.A. Shklyaev and A.E. Budazhapova, *Appl. Surf. Sci.* **360** 1023 (2016).

[11] J. C. Tsang, P. M. Mooney, F. Dacol, and J. O. Chu, *J. Appl. Phys*. **75**, 8098 (1994).

[12] J. L. Liu, J. Wan, Z.M. Jiang, A. Khitun, K.L. Wang, and D. P. Yu, *J. Appl. Phys*. **92**, 6804 (2002).

[13] O. Pagès, J. Souhabi, V. J. B. Torres, A. V. Postnikov, and K. C. Rustagi, *Phys. Rev. B* **86** 045201 (2012).

[14] Y. Nakamura, A. Masada, S.-P. Cho, N. Tanaka, and M. Ichikawa, *J. Appl. Phys*. **102**, 124302 (2007).

[15] Y. Nakamura, A. Murayama, and M. Ichikawa, *Cryst. Growth Des*. **11**, 3301 (2011).

[16] Y. Nakamura, R. Sugimoto, T. Ishibe, H. Matsui, J. Kikkawa, and A. Sakai, *J. Appl. Phys*. **115**, 044301 (2014).

[17] U. Serincan, G. Kartopu, A. Guennes, T.G. FInstad, R. Turan, Y. Ekinci, and S.C. Bayliss, *Semicond. Sci. Technol.* **19**, 247 (2004).

[18] M. Buljan, N. Radić, M. Ivanda, I. Bogdanović, M. Karlušić, J. Grenzer, S. Prucnal, G. Dražić, G. Pletikapić, V. Svetličić, M. Jerčinović, S. Bernstorff, and V. Holý, *J. Nanopart. Res*. **15**, 1485 (2013).

第 3 章　Ge ナノドット積層構造における伝熱特性

3.1　本章の主眼

第 1 章で述べたように、熱電材料の性能は無次元性能指数 $ZT=S^2\sigma T/\kappa$で表され、高性能熱電材料として、大きなパワーファクター$S^2\sigma$、小さなκを持つ材料が求められる。Si は材料的に元来、高い S 値とσ値を持ちながらも、その高いκ値 (~150 $Wm^{-1}K^{-1}$) のために、熱電材料として低性能であった背景をこれまでに述べた。従って、高性能 Si 系熱電材料の開発研究においては、κ の低減が本質となっており、多くの研究がなされてきた。本章では、第 2 章で作製手法を確立した Ge ナノドット積層構造が、従来の Si 系熱電材料と比べ、劇的なκ 低減効果を有することの実証、およびその低減のメカニズムを明らかにすることを目的とする。

3.2　2ω法を用いた薄膜の熱伝導率測定

3.2.1　2ω法の概要

本研究では 2ω法を用いて、Ge ナノドット積層構造の伝熱特性を測定した。本節ではその概要について説明する。2ω法は、周期加熱法とサーモリフレクタンス法[1]に基づいて、薄膜の面直方向のκを測定する技術である[2-4]。2ω法ではまず試料表面に金属薄膜を形成する。その後、金属薄膜を交流電流によって周期的に加熱する。このとき金属薄膜表面に温度変化が生じ、その温度変化を、金属薄膜表面からの反射率の変化によって検出する。試料が基板、基板上に存在する薄膜、およびその上の金属薄膜の 3 層で構成されている 3 層モデルにおいて、2ω法では、基板まで温度波が到達する状況下において測定を行う。図 3-2-1 にその概略図を示す。層 1 は試料表面に蒸着された金属薄膜である。試料はこの層 1 に流れる電流により加熱され、この層 1 からの反射光が検出され

る。また測定対象の試料は、κ がわかっていない薄膜 (層 2)、および熱物性が既知である基板 (層 3) から構成されている。

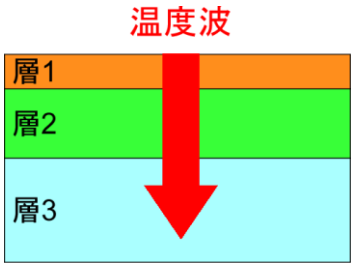

図 3-2-1: 3 層モデルにおける温度波が
完全に層 3 に到達しているときの概念図。

2ω法における典型的な実験系を図 3-2-2(a)に表す。角周波数ωの交流電流を金属薄膜 (層 1) に流すと金属薄膜が加熱され、後述するように角周波数 2ωに依存して金属薄膜表面は温度変化する。反射率測定のために、レーザー (635 nm, 5 mW) を金属薄膜表面に照射し、照射領域は 100 μm とする。反射光の強度 I_{th} は、金属薄膜表面の温度変化によって周期的に変化する成分であるサーモリフレクタンス信号を含んでいる。温度変化と反射光の強度の関係は、以下のように報告されている[1]。

$$I_{th} \approx I_{th0} + \frac{dI_{th}}{dT}\Delta T \tag{3-2-1}$$

$$\frac{1}{I_{th0}}\frac{dI_{th}}{dT} \approx 10^{-4}\ \ K^{-1} \tag{3-2-2}$$

反射光は Si フォトダイオードで検出され、そこに含まれるサーモリフレクタンス信号は検出光と参照光の差のうちの 2ω成分として検出される。そして 2ω成分を持つサーモリフレクタンス信号の強度 A と位相θ はロックインアンプで検出される。投入される電力は周期加熱信号によって校正される。このようにして測定された薄膜 (層 2) の熱物性はサーモリフレクタンス信号の角周波数依存性から評価される。

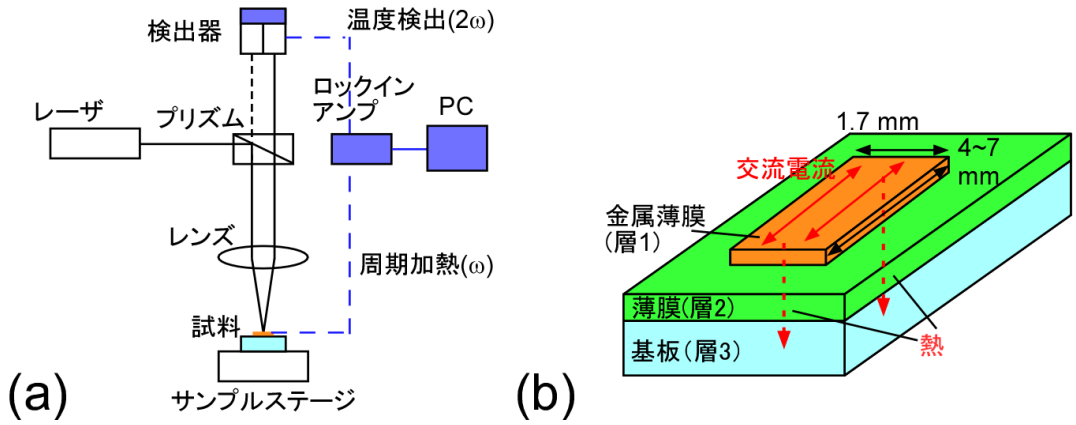

図 3-2-2: 2ω法で用いる測定用試料の概略図。

3.2.2　2ω法の原理

本節では 2ω法の原理について説明する。層 1 (金属薄膜) が、角周波数ωの交流電流によって周期的に加熱されたとき、金属薄膜表面の温度 $T_0(0,t)$は下記のように近似表現できる[2,3]。

$$T_0(0,t) = qd_0\left(\frac{1}{\sqrt{2C_3\kappa_3}}\frac{1}{\sqrt{2\omega}} + \left(1-\frac{C_2\kappa_2}{C_3\kappa_3}\right)\frac{d_2}{\kappa_2} + \left(\frac{1}{2}-\frac{C_1\kappa_1}{C_3\kappa_3}\right)\frac{d_1}{\kappa_1} - \frac{i}{\sqrt{2C_3\kappa_3}}\frac{1}{\sqrt{2\omega}}\right)e^{i2\omega t} \qquad (3\text{-}2\text{-}3)$$

ここで、$T_0(z,t)$は時間 t における表面からの距離 z での温度、q は体積当たりの熱量[Jm^{-3}]、ωは加熱角周波数[rad/s]、C は体積比熱容量[$Jm^{-3}K^{-1}$]、κは熱伝導率[$Wm^{-1}K^{-1}$]、d は厚さ[m]である。添え字の 1、2、3 はそれぞれ金属薄膜、測定したい薄膜、基板を表している。式(3-2-2)は実部 (in-phase amplitude)と虚部 (out-of-phase)に分けることができる。また、金属薄膜の表面温度 $T_0(0,t)$は振幅 A と位相θ を用いて

$$\begin{aligned} T_0(0,t) &= Ae^{i(2\omega t+\theta)} \\ &= (A\cos\theta + iA\sin\theta)e^{i2\omega t} \end{aligned} \qquad (3\text{-}2\text{-}4)$$

と表せる。ここで $A\cos\theta$ と $A\sin\theta$ はそれぞれ in-phase amplitude と out-of-phase amplitude である。測定はこの (3-2-3)と (3-2-4)を比較することにより行う。測定したい薄膜 (層

2) の熱物性は、金属薄膜 (層 1) と基板 (層 3) の膜厚 (基板厚さ) と熱物性が既知であれば評価することが可能である。式 (3-2-3)中の in-phase amplitude と out-of-phase amplitude は、$(2\omega)^{-0.5}$ の線形関数となる。このとき直線の傾きが基板 (層 3) の熱拡散率を表す。式 (3-2-3)中の in-phase amplitude は金属薄膜 (層 1)、測定したい薄膜 (層 2) からの寄与を含んでおり、測定したい薄膜の熱抵抗 R_2[m^2KW^{-1}]は下記のように表される[4]。

$$R_2 = \frac{d_2}{\kappa_2} = \frac{C_1 d_1 + C_2 d_2}{C_3 \kappa_3} - \frac{d_1}{2\kappa_1} + \frac{n}{m\sqrt{2C_3\kappa_3}} \qquad (3\text{-}2\text{-}5)$$

ここで n と m は線形関数の切片と傾きである。よって薄膜の熱伝導率κ_2 は、全ての層の体積比熱容量 (C_i)、金属薄膜と基板の熱伝導率 (κ_1 と κ_3)、金属薄膜と薄膜の膜厚 (d_1 と d_2)が既知であれば求めることが可能となる。

3.2.3　2ω法を用いた極薄膜試料における熱伝導率の測定

しかしながら、上述した 2ω法を本研究の Ge ナノドット積層構造のような~100 nm 程度の薄膜に応用させた場合、薄膜での熱抵抗が微少なため、金属薄膜/Ge ナノドット積層構造における界面熱抵抗が無視できなくなる。よってこの界面熱抵抗を考慮した上で、薄膜の伝熱特性を評価することが求められる。そこで本研究では、リファレンス試料を測定することにより、金属薄膜/Ge ナノドット積層構造の界面熱抵抗の影響を考慮した。以下に、実際に Ge ナノドット積層構造の熱伝導率を求める手順について説明する。

図 3-2-3 に測定用のリファレンス試料と、Ge ナノドット積層構造の概略図を示す。リファレンス試料は金膜(1) – 極薄 Si 酸化膜(2) – Si 基板(4)から構成されており、Ge ナノドット積層構造は金膜(1) – 極薄 Si 酸化膜(2) – Ge ナノドット積層構造(3) – Si 基板(4)から成っている。界面熱抵抗の影響を考慮し、本研究においては式(3-2-6)において、Ge ナノドット積層構造の熱抵抗を R_3 としたとき、下記のように拡張した。

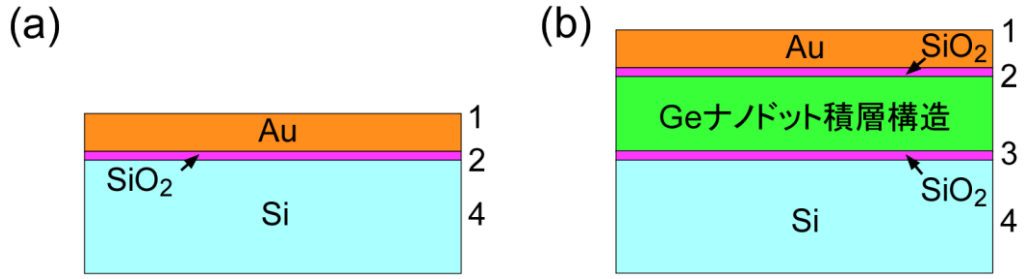

図 3-2-3: 測定試料の概略図 (a)リファレンス試料 (金膜(1) – 極薄 Si 酸化膜(2) – Si 基板(4))、(b) Ge ナノドット積層構造 (金膜(1) – 極薄 Si 酸化膜(2) – Ge ナノドット積層構造(3) – Si 基板(4))。Ge ナノドット積層構造は Si 基板との間にも存在する極薄 Si 酸化膜を含んでおり、また Ge ナノドット積層構造の上部と下部に界面を作る。

$$R_3 = \frac{d_3}{\kappa_3} = \frac{C_1 d_1 + C_2 d_2 + C_3 d_3}{C_4 \kappa_4} - \frac{d_1}{2\kappa_1} - \frac{d_2}{\kappa_2} + \frac{n}{m\sqrt{2C_4\kappa_4}} - R_{12} - R_{34} \qquad (3\text{-}2\text{-}6)$$

ここで 1、2，3，4 はそれぞれ金属薄膜、Si 酸化膜、Ge ナノドット積層構造、基板を表している。また R_{ij} は隣り合う層 i と層 j の界面熱抵抗である。図 3-2-3(b)の系で測定した薄膜の熱抵抗から、特に除去しなければならないものを考える、Au/SiO_2 界面熱抵抗 R_{12} は、測定系を作製した際に生まれたものであり、また、R_{34} もナノ構造薄膜由来とは考えられない。また、Si/Ge ナノドット/極薄 Si 酸化膜の周期構造を考えると、一つ分極薄 Si 酸化膜が多い。以上より、取り除かなければならない熱抵抗としては R_{12}(Au/SiO_2)、R_{34}(SiO_2/Si)、R_2(SiO_2)となる。つまり、図 3-2-3(a)のリファレンス試料の薄膜の熱抵抗に相当する。本研究においてはリファレンス試料を測定し、下記の式を当てはめることにより $R_{ref} \approx R_{12}+R_{34}+R_2$ を求めた。

$$R_{ref} = \frac{C_1 d_1 + C_2 d_2}{C_4 \kappa_4} - \frac{d_1}{2\kappa_1} - \frac{d_2}{\kappa_2} + \frac{n}{m\sqrt{2C_4\kappa_4}} \qquad (3\text{-}2\text{-}7)$$

下記に、本研究で用いた熱物性値の値をまとめる。

表 3-2-1: 2ω法で用いた熱物性値。

Structure	熱伝導率 κ ($Wm^{-1}K^{-1}$)	体積比熱容量 C ($Jm^{-3}K^{-1}$)	膜厚 d (m)
金膜(1)	200	2500000	1×10^{-7}
SiO_2(2)	1.38	1600000	4×10^{-9}
薄膜(3)	κ_3	1600000	d_3
Si 基板(4)	148	1660000	3×10^{-4}

3.3　Ge ナノドット積層構造の伝熱特性

3.3.1　積層構造の熱伝導率

図 3-3-1 は、Ge 含有量を関数として、室温環境下における Ge ナノドット積層構造のκのプロットである。リファレンスとして、従来法で作製された SiGe バルク結晶[5,6]、ナノ構造化 SiGe バルク合金[5,6]、SiGe 薄膜[7]、および SK SiGe ナノドット/Si 超格子構造[8,9]のκも同時にプロットした。ここで同一ナノドットサイズにおける Ge 含有率の増大は、Si 層の厚さの減少を意味している。

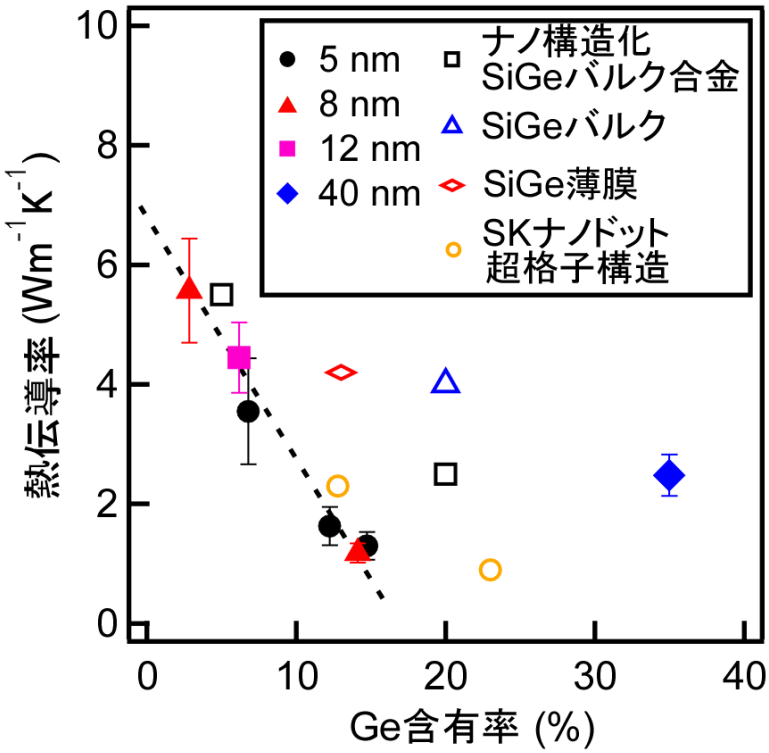

図 3-3-1: Ge ナノドット積層構造におけるκ (塗りつぶし)。κのリファレンスとしてナノ構造化 SiGe バルク合金 (白抜き四角) [5,6]、SiGe バルク (白抜き三角) [5,6]、SiGe 薄膜 (白抜きひし形)[7]、SK SiGe ナノドット/Si 超格子構造 (白抜き丸) [8,9]。

本研究において作製された Ge ナノドット積層構造において、κの値を~1.2 $Wm^{-1}K^{-1}$まで減少することに成功した (8-nm NDs/67-ML Si サンプル (Ge 含有量 ~10%))。~10%という少ない Ge 含有量にもかかわらず、Ge ナノドット積層構造のκの値は、Ge 含有量が~20%である従来法の SiGe バルク結晶、ナノ構造化 SiGe バルク合金と比較し、低い

値となった。先行研究によると、Ge ナノ粒子を Si 中に導入した単結晶体においてκの値は、$Si_{0.5}Ge_{0.5}$ 合金 (~5 $Wm^{-1}K^{-1}$) に達しうることが報告されている[10]。Ge ナノドット積層構造のκの値はその値を下回っており、このことは本研究における Ge ナノドット積層構造のκ低減効果が、合金化におけるκ低減効果の限界である、alloy limit 以上であることを実証している。また Ge ナノドット積層構造のκの値は、Ge 含有量が~10%の領域における SiGe 薄膜、SK SiGe ナノドット/Si 超格子構造のκと比較しても低く、~20%の Ge 含有量の SK SiGe ナノドット/Si 超格子構造のκの値と同等の値となった。これらの結果は、本研究で提案した Ge ナノドット積層構造が、数多く研究されてきた SiGe 材料の中で、最も効果的なκ低減効果を有することを意味している。一般的にナノ構造化によってκが低減する効果は、比較的大きな熱抵抗を持つ界面の材料中の密度の増大によるものと考えられている。ここで Ge ナノドット積層構造中におけるκ低減効果を考慮する際に、材料中の界面密度の上昇効果の寄与を除去するために、1 サイクル構造あたりの熱抵抗 (thermal resistance per cycle: TRC) について議論する。

3.3.2　積層構造における 1 サイクルあたりの熱抵抗 (TRC)

TRC は図 3-3-2(a)に示すように Ge ナノドット積層構造全体の熱抵抗を、積層回数で割ることによって求まる。図 3-3-2(b)は Ge ナノドット積層構造中において、1 サイクルあたりの Si 蒸着量を関数として、Ge ナノドットサイズが 5 nm、8 nm の際の TRC をプロットしたものである。同一のナノドットサイズにおいて TRC の値は一定の値を示しており、TRC が Si 蒸着量に依存しないことを意味している。第 2 章において、Si の蒸着量が Si 層の形状を決定するということを述べたが、Ge ナノドット積層構造中のラフネスを持った Si 層界面が、熱抵抗に寄与する可能性が考えられる。そこで Si の蒸着量における Si 層の形状を定量化するために、Si 層のアスペクト比の Si 層蒸着量依存性について調べた。

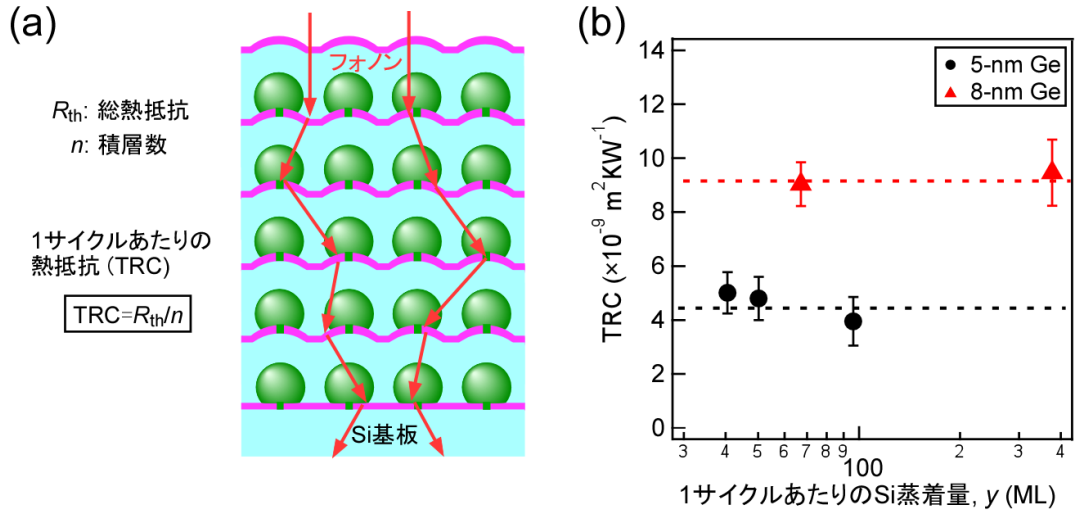

図 3-3-2: (a) 1 サイクルあたりの熱抵抗 (TRC) の求め方の概略図。 (b) Ge ナノドット積層構造における TRC。

図 3-3-3、およびその挿入図にその結果と概略図を示す。第 2 章でも述べたように、Si 層の蒸着量が増大するにつれ平坦性が増大し、アスペクト比が 0 へと近づくことがわかった。Si 層の形状に依らず、TRC が同一の Ge ナノドットサイズの際に一定の値を示すことから、Ge ナノドット積層構造中においては Si 層は熱伝導に寄与しないことがわかった。また TRC は 5 nm 時と 8 nm 時において、大きく異なっており、TRC の強い Ge ナノドットサイズ依存性を表している。このことは Ge ナノドット積層構造中においては、熱抵抗は Ge ナノドットによってのみ決定され、キャリア伝送層として働くと期待される Si 層は、熱抵抗に寄与しないことを示す重要な結果である。

第 2 章で述べたように、Ge ナノドット積層構造が積層欠陥を有しているために、主となるκ低減効果が積層欠陥による可能性も考慮しなければならない。しかしながらバルクの fcc 結晶においては、積層欠陥の線密度が 0.2 nm^{-1} と高密度のとき、積層欠陥によるκ低減効果は~30%程度と報告されている[11]。よって積層欠陥によるκ 低減効果は Ge ナノドット積層構造で達成されたκ低減効果と比べ小さいことがわかる。よってκの低減効果としては、積層欠陥が主となる原因ではないことが伺える。

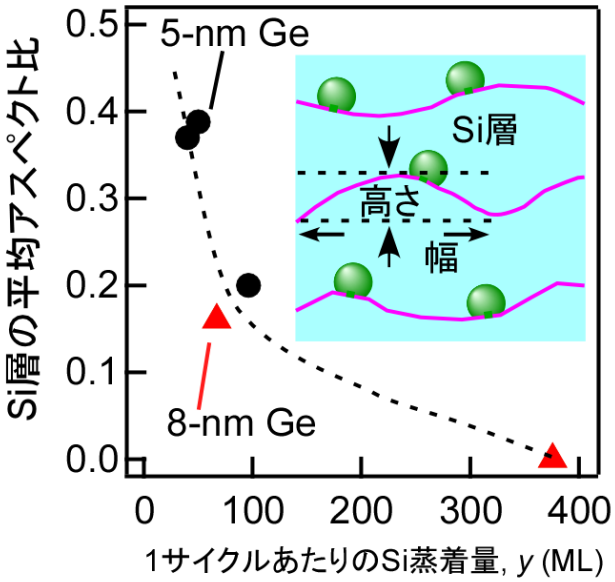

図 3-3-3: Si 層アスペクト比の Si 層蒸着量の依存性。挿入図はアスペクト比の概念図である。

また Ge ナノドット積層構造において、Si 層の形状が熱抵抗に寄与しないことは、Si ナノ結晶の連結構造 (CSN) における熱伝導の結果から考えることが可能である[12]。極薄 Si 酸化膜で覆われた CSN の熱伝導について調べた報告において、CSN の曲率半径が界面熱抵抗を決定するということが報告されている。Si ナノ結晶のサイズが 40 nm 以下の領域においては、極薄 Si 酸化膜/Si ナノ結晶界面における界面熱抵抗 (interfacial thermal resistance: ITR) は単調減少し、40 nm の Si ナノ結晶においてはその値が小さいことが報告されている (~ 1.5×10^{-9} m^2KW^{-1})。Ge ナノドット積層構造における Si 層は上で述べた Si ナノ結晶より大きいため、Ge ナノドット積層構造中の Si 層の ITR の値は、TRC の値に比べて十分小さいと考えられる。そのため、Si 層の TRC への寄与は少ないと考えられる。

結果として得られた Ge ナノドットの TRC の増大への巨大な寄与を詳細に調べるために、TRC のナノドットサイズ依存性についてプロットした。図 3-3-4 にその依存性を

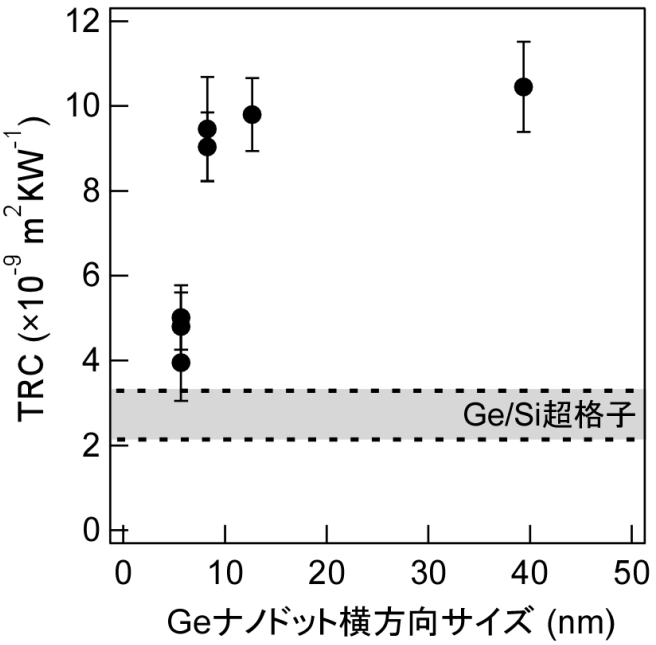

図 3-3-4: Ge ナノドット積層構造における TRC の Ge ナノドットサイズ依存性。点線で覆われた領域は、Ge/Si 超格子の ITR のリファレンスである。

示す。Ge ナノドットサイズの大きさに伴い、TRC も増大し、そして飽和していく様子が見える。

ここで、Ge ナノドットのサイズは、Si 基板上の Ge ナノドットの STM 観察により求めたサイズを用いている。しかしながら Si 層がラフネスを持っているために、Ge ナノドット積層構造中における Ge ナノドットサイズが、第 1 サイクルと第 2 サイクル以降で異なる可能性がある。そこで積層化による Ge ナノドットサイズの変化について調べた。図 3-3-5 は典型例として、8-nm NDs/67-ML Si サンプルの HAADF-STEM 像を用いた Ge ナノドットサイズの解析の様子である。HAADF-STEM 像中の緑、ピンク、黄色の線はそれぞれ、Ge ナノドットの高さ、横方向サイズ、そして射影したときの横幅を表している。またナノドットの定義によるサイズの見積もり誤差を考慮するため、ナノドットの定義を大きくした場合と、小さくした場合で解析を行った。赤と水色の点線は Ge ナノドットと Si 層との界面を、Ge ナノドットを小さめに見積もった場合と大きめに見積もった場合の、それぞれの場合におけるマークである。図 3-3-6 にその解析結果

を示す。Ge ナノドットサイズは積層化が進んでも、値はエラーの中に収まる事がわかる。よって Ge ナノドットサイズは STM 観察によって得られた第 1 サイクルの値を代表として用いても問題ないことがわかる。

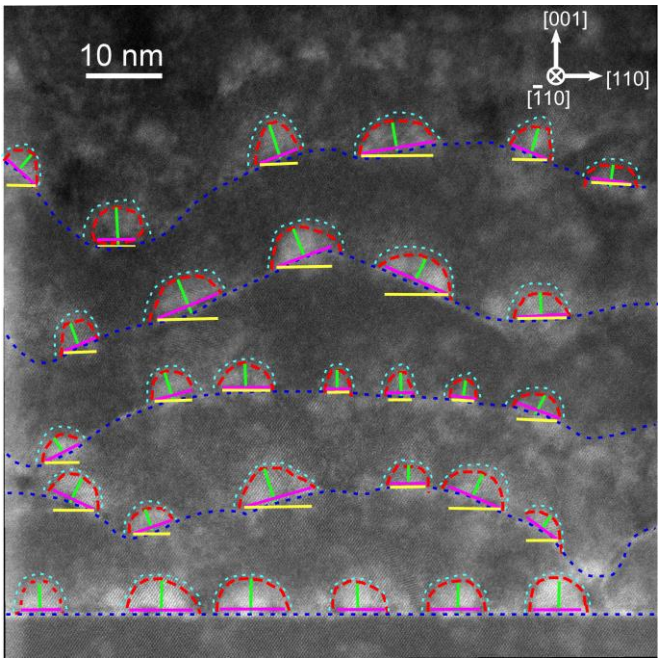

図 3-3-5: 8-nm NDs/67-ML Si サンプルにおける Ge ナノドットサイズの解析。
赤点線は Ge ナノドット/Si 界面を小さめに定義した場合、水色点線は大きめに定義。

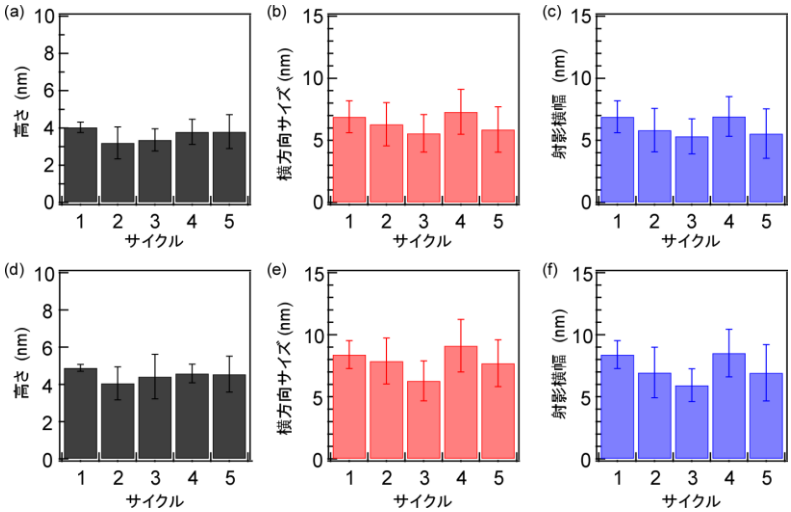

図 3-3-6: HAADF-STEM 像内の赤色の点線で定義された 8-nm NDs/67-ML Si サンプル Ge ナノドットサイズの解析結果。高さ(a)、横方向サイズ(b)、射影幅(c)。(d)-(f)は水色の点線で定義された Ge ナノドットサイズの解析結果。

3.3.3　Si/Ge ナノドットの界面面積

Ge ナノドット間でフォノンが散乱される場合、つまりフォノンの平均自由行程がナノドット間隔より短い場合、フォノンは Ge ナノドット散乱体を含む Si 中を拡散するような動きとなる。このときフォノン散乱には、ナノドットの界面面積（ナノドット表面積）が重要となる。一方、フォノンが積層構造中を容易に伝播するとき、（拡散ではなく準弾道的に伝播するとき）、フォノン断面積が重要となる。Ge ナノドット積層構造におけるフォノンの伝播の様子の違いを図 3-3-7 に示す。

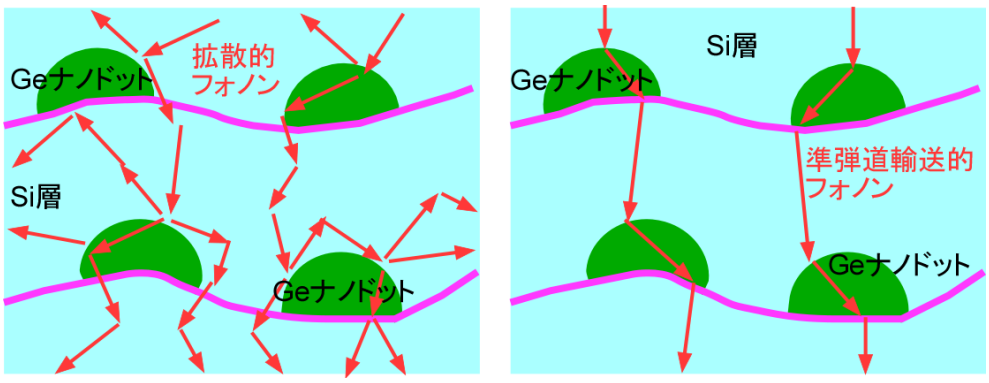

図 3-3-7: Ge ナノドット積層構造中のフォノン伝播の違いの概念図。左図は拡散的にフォノンが伝播するとき、右図は準弾道的にフォノンが伝播するとき[13]。

ここで、この TRC の Ge ナノドットサイズに対する依存性が、フォノン散乱体として働く Ge ナノドットの界面面積の依存性の表れであると仮定し、その妥当性を検討する。Ge ナノドットの界面面積を考える上で、図 3-3-8(a) に示すように。ナノドットは高さが h、半径が r の回転楕円体を半分に切ったものと考える。回転楕円体の半分の表面積は以下の式から求めることができる。

$$\pi\left[r^2+\left(rh\mathrm{Sin}^{-1}e\right)/e\right],\quad e=\sqrt{1-(r/h)^2},\qquad (h>r\text{のとき})$$
$$\pi\left[r^2+\left(h^2\tanh^{-1}e\right)/e\right],\quad e=\sqrt{1-(h/r)^2},\qquad (r>h\text{のとき})\qquad (3\text{-}3\text{-}1)$$

計算に用いたナノドットの高さと半径は、第 2 章で述べた Si 基板上に成長した Ge ナノ

ドットの STM 像より求めた。Si(001)面の単位面積当たりの Si/Ge ナノドットの界面面積θ は、回転楕円体の半分の表面積から求めることが可能である。またθ を Si(001)面に射影したものをθ_Pとする。

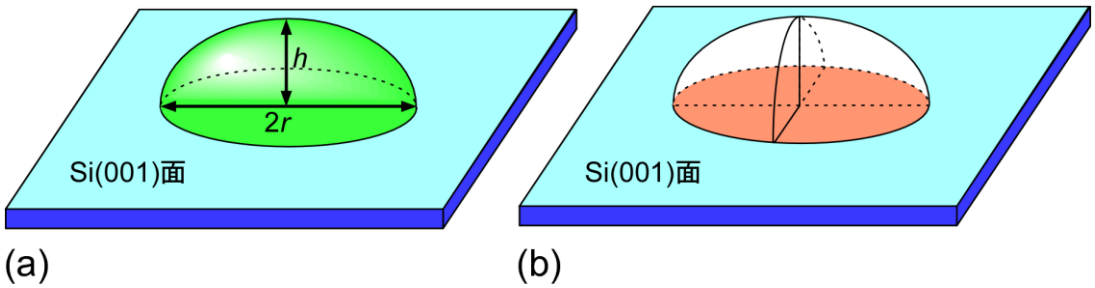

図 3-3-8: (a) Ge ナノドットの表面積の考え方、(b) Ge ナノドットの表面積を Si(001)面に射影したとき。

図 3-3-9 に Ge ナノドットサイズに対するθ とθ_Pのプロットを示す。図 3-3-9 より、この Ge ナノドットサイズ範囲内では、Ge ナノドットサイズによらず、θとθ_Pがほぼ一定の値を示していることがわかる。よって TRC の Ge ナノドットサイズ依存性は、Si/Ge ナノドット界面の界面面積では説明することができない。

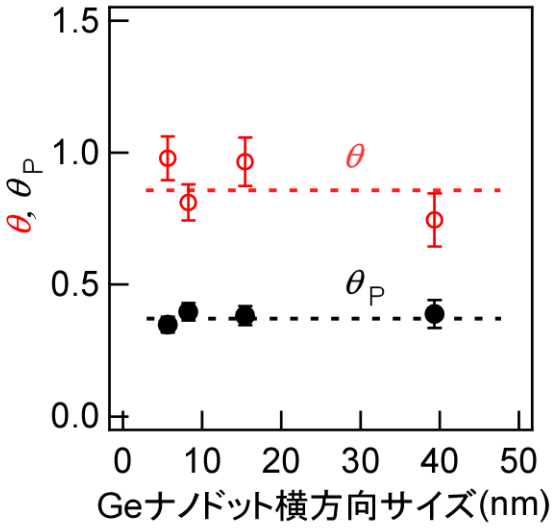

図 3-3-9: Si(001)面上の単位面積あたりの、Si/Ge ナノドット界面の界面面積 (θ: 白抜き)とθ を Si(001)面に射影したもの (θ_P: 塗りつぶし)。

3.3.4　積層構造中における巨大熱抵抗の起源

前節で Si/Ge ナノドット界面面積では TRC のナノドットサイズ依存性は説明できないことを述べた。ここで波動散乱の効果について考えたい。一般に波動散乱理論において、波動散乱は散乱体のサイズに依存する。散乱体のサイズが波長より大幅に小さいとき、レイリー散乱が起こることは知られている。一方、散乱体のサイズが波長程度以上の大きさとなったとき、光の散乱においてはミー散乱が起こる。レイリー散乱、ミー散乱を含む全散乱体サイズ領域における散乱効率は先行研究によって理論的になされている[14]。等方的形状の散乱体においては、散乱体の直径 (サイズ) ×π/波長、をサイズパラーメータχと定義したとき、χの上昇とともに散乱効率（散乱断面積/散乱体断面積面積）が増大し、図 3-3-10(b)に示すように、χが 6~10 のときにピークをもち、そして飽和することが報告されている。

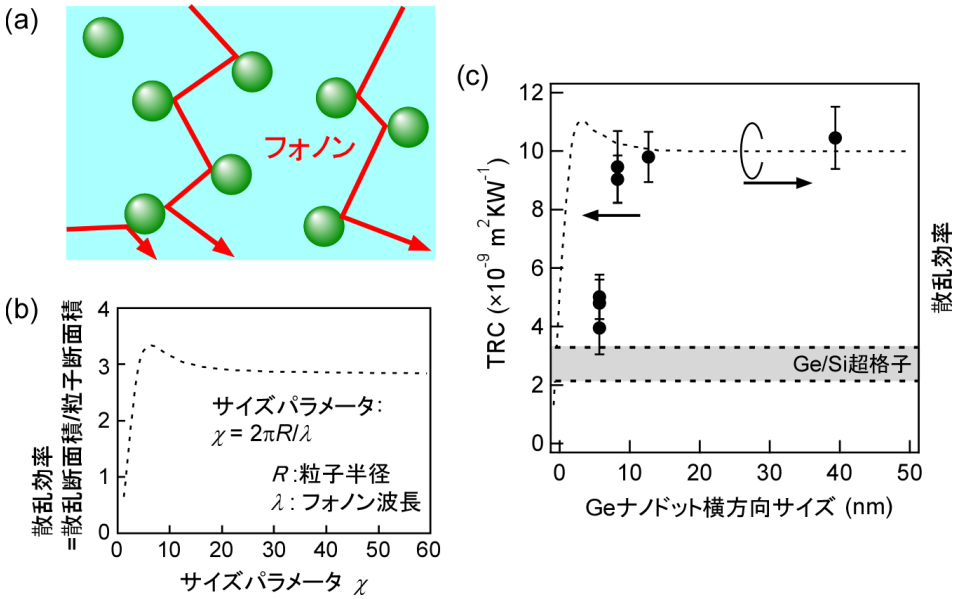

図 3-3-10: (a) 媒質中の粒子によるフォノン散乱の概念図。(b) サイズパラメータと散乱効率の関係[14]、(c)TRC と散乱効率の重ね合わせ（フォノン波長 1 nm のとき）。

このモデルによって、図 3-3-4 に示す Ge ナノドット積層構造中における TRC の Ge ナノドットサイズ依存性について考えてみる。なぜなら TRC は、散乱効率に直接的に関係するからである。今、仮に TRC が散乱効率に比例すると仮定して、議論したい。その場合、図 3-3-10(c)が示すように、TRC のナノドットサイズ依存性は、散乱効率で定性的に説明できる。しかしながら Si 中のフォノンの場合においては、代表的なフォノンの波長は~1 nm と報告されており[15,16]、このとき、飽和が始まる 6~10 のχに相当するナノドットサイズは 2~3 nm であり、TRC の飽和の始まり（~10 nm）と一致しないこととなる。しかし、実際は熱を運ぶフォノンは波長に幅を持ち、幅広い波長のフォノンが熱伝導に寄与する[17]。図 3-3-11 は、ある波長をもつフォノンがどの程度熱伝導に寄与するのかを表した累積熱伝導率である。Si においては、波長 1-2 nm 付近の変化が大きく、寄与が大きいことが分かる。また Ge ナノドット積層構造における Ge ナノドットは異方的な形状をしている。よって上記の波動散乱理論においては、このフォノンの波長の幅の効果と、Ge ナノドットの異方的形状の両方を加味して、波動散乱理論を考える必要がある。

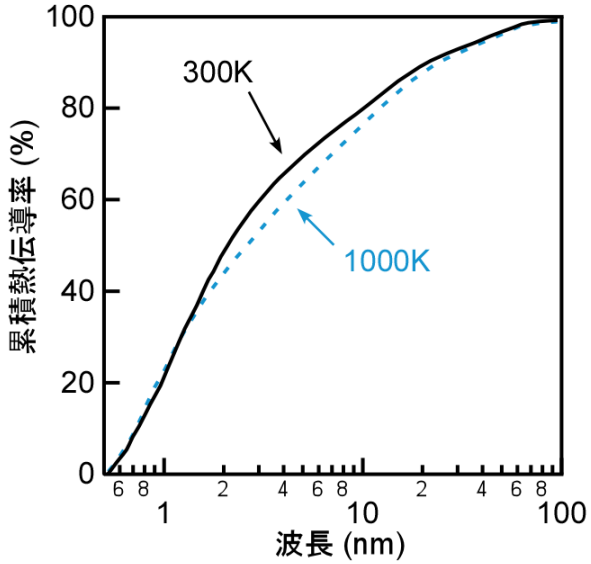

図 3-3-11: Si の累積熱伝導率とフォノン波長の関係[17]。

ここで上記効果を考慮した、厳密な波動散乱理論の計算を行う代わりに、形状の効果を単純なモデルで考えたい。図 3-3-12(a)に Ge ナノドットのアスペクト比のナノドットサイズ依存性を示す。アスペクト比 (高さ/横方向サイズ) の算出には、Si/Ge ナノドット界面の界面面積を求めた際に用いた値を用いた。この依存性より、Ge ナノドットはナノドットサイズの増大につれアスペクト比が減少し、平坦な形状になっていくことがわかる。図 3-3-12(b)にアスペクト比による、フォノンの散乱の方向の差異を表した概念図を示す。球状のナノドットに散乱されたフォノンの運動量における伝熱方向成分 ($[00\bar{1}]_{Si}$ 成分)は、平坦なナノドットに散乱されたフォノンと比較し多くなると考えられ

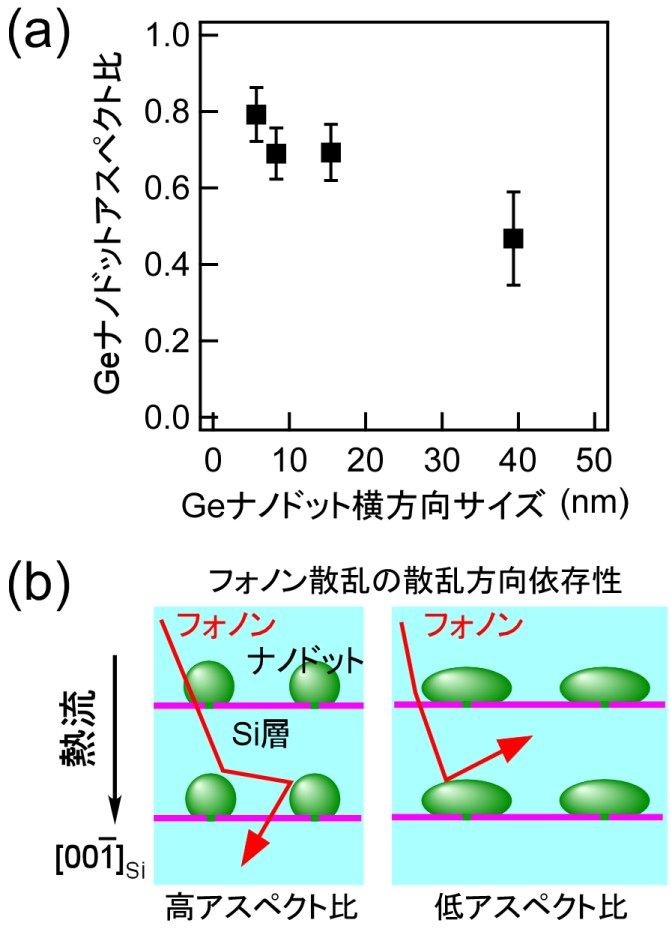

図 3-3-12: (a) Ge ナノドットのアスペクト比のナノドットサイズ依存性。 (b) アスペクト比の差による、フォノンの散乱方向の差の概念図。

る。すなわち$[00\bar{1}]_{Si}$においては、球状の Ge ナノドットはフォノン散乱体として弱い効果を持つと考えられる。粗い考察ではあるが、アスペクト比によるフォノンの散乱方向の差による説明は、TRC のナノドットサイズ依存性、およびまた波動散乱理論の定性的説明にも矛盾しない。

上記の議論においては、フォノンはヘテロ界面において、ある確率で散乱されると考えている。しかしながら、上に考察したような波動散乱理論においても、そもそもヘテロ界面における散乱の起源そのものについて、考慮する必要がある。

Si-Ge 界面における散乱の起源としては、Si-Ge のミキシングの影響とひずみの影響が考えられる。第 2 章で述べたように、Ge ナノドット積層構造においては、Ge ナノドットにおいて歪みは弾性的に緩和しており、またミキシングはないことがわかっている。よって、界面散乱の起源としては、音響インピーダンスミスマッチが考えられる。

ここで、3.3.2 節中で Si 層のラフネスの TRC への寄与の効果について議論した、ナノスケールのラフネスを持つ CSN における新規のフォノン散乱効果について考えたい。界面での曲率半径がナノスケールまで減少したとき、ITR が増大し、図 3-3-13(a)のような依存性を持つことが報告されており、図 3-3-13(b)の概念図で表されるような効果がある[12]。よって、Si/Ge ナノドット界面においても、CSN 中の Si ナノドット/Si ナノドット界面と異なってはいるものの、同様にナノスケールのラフネスを持つために、新規のフォノン散乱による ITR 依存性があると考えられる。しかしながら、Ge ナノドット積層構造においては、図 3-3-4 に示すように TRC の Ge ナノドットサイズ依存性は、この ITR とは逆となってしまっている。よって、Ge ナノドット積層構造においては、フォノンの散乱確率に影響を及ぼす、図 3-3-13(b)に示すような「曲率半径の効果」と、フォノンの散乱方向に影響を及ぼす、図 3-3-12(b)に示すような「形状効果」という、二つの効果が競合していると考えられる。Ge ナノドット積層構造における曲率半径の効果は、Ge 薄膜/Si 層の超格子構造における TRC との比較によって確認できる。Ge 薄膜/Si 層超

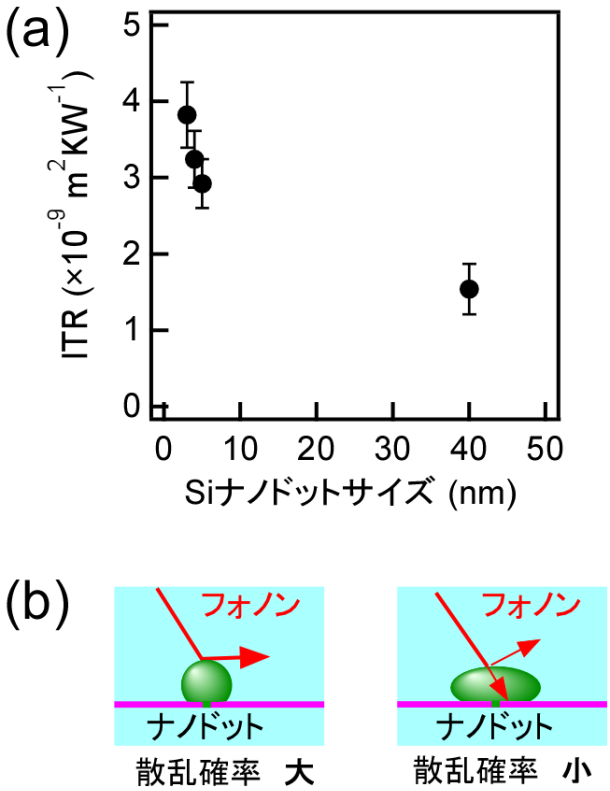

図 3-3-13: (a) CSN における Si ND サイズの ITR 依存性。(b) ナノドットサイズの差による、フォノン散乱確率の差異の概念図。

格子構造は、本研究における Ge ナノドットの平坦化の極限状態であり (すなわちアスペクト比が 0 に近づくとき)、この TRC が Ge ナノドット積層構造の TRC より小さいことが図 3-3-4 で示されている。図 3-3-4 の点線で覆われた灰色のバンドが Ge 薄膜/Si 層超格子構造の TRC であり、いくつかの理論計算、および実験による先行研究の値を用いた[9,18,19]。一方、Ge ナノドット積層構造における TRC の値が、Ge 薄膜/Si 層超格子構造の TRC の値よりも大きくなったことは、ナノドットの形状効果を考慮した波動散乱理論で考えた際には矛盾しているように思えるが、フォノン散乱のナノドット曲率半径効果も考慮することにより、説明が可能となる。この上記二つの効果のために、TRC のナノドットサイズ依存性が複雑となり、フォノンの伝播を妨げる最も効果的な Ge ナノドットサイズを理論的に推定することが困難になっている。しかしながら、今回実験的にそのサイズは、おおよそ数十ナノメートルであることがわかった。

3.4　小括

本章で得られた結果をまとめる。極薄 Si 酸化膜技術を用いた作製された、Ge ナノドット積層構造における伝熱特性について詳細に調べた。本構造において Ge の含有量が ~10%という少量において、ナノ構造化 SiGe バルク合金、SiGe バルク、SiGe 薄膜のκ を下回るκ を得ることができた。また Ge ナノドット積層構造中における 1 サイクルあたりの熱抵抗は SK SiGe ナノドット/Si 層超格子構造を上回った。また Ge ナノドット積層構造における熱抵抗は、Ge ナノドットに強く依存し、Si 層には影響されなかった。このことは Ge ナノドットの熱抵抗が、κ 低減の主となる起源であることを示しており、Si/Ge ナノドット界面における巨大な界面熱抵抗であると考察した。またキャリア伝導層として働くと期待される Si 層が、熱抵抗に寄与せずに、熱抵抗が Ge ナノドットに支配されていることは、σ とκ の独立制御という本研究の目的の達成における、最も重要な結果であると考えられる。

3.5 参考文献

[1] A. Rosencwaig, J. Opsal1, W. L. Smith and D. L. Willenborg, *Appl. Phys. Lett*. **46**, 1013 (1985).

[2] R. Kato, I. Hatta, *Int. J. Thermophys*. **26**, 179 (2005).

[3] R. Kato, I. Hatta, *Int. J. Thermophys*. **29**, 2062 (2008).

[4] T. Zhan, Y. Xu, M. Goto, Y. Tanaka, R. Kato, M. Sasaki, and Y. Kagawa, *Appl. Phys. Lett*. **104**, 071911 (2014).

[5] J. Joshi, H. Lee, Y. Lan, X. Wang, G. Zhu, D. Wang, R. W. Gould, D. C. Cuff, M. Y. Tang, M. S. Dresselhaus, G. Chen, and Z. Ren, *Nano Lett*. **8**, 4670 (2008).

[6] S. K. Bux, R. G. Blair, P. K. Gogna, H. Lee, G. Chen, M. S. Dresselhaus, R. B. Kaner, and J-P. Fleurial, *Adv. Funct. Mater.* **19**, 2445 (2009).

[7] G. Savelli, S. S. Stein, G. B-Granger, P. Faucherand, L. Montès, S. Dilhaire, and G. Pernot.

[8] G. Pernot, M. Stoffel, I. Savic, F. Pezzoli, P. Chen, G. Savelli, A. Jacquot, J. Schumann, U. Denker, I. Mönch, Ch. Deneke, O. G. Schmidt, J. M. Rampnoux, S. Wang, M. Plissonnier, A. Rastelli, S. Dilhaire, and N. Mingo, *Nature Mater*. **9**, 491 (2010).

[9] P. Chen, N. A. Katcho, J. P. Feser, W. Li, M. Glaser, O. G. Schmidt, David G. Cahill, N. Mingo, and A. Rastelli, *Phys. Rev. Lett*. **111**, 115901 (2013).

[10] R. Guo, and B. Huang, *Sci. Rep*. **5**, 9579 (2015).

[11] R. Aghababaei, G. Anciaux, J. F. Molinari, *Appl. Phys. Lett*. **105**, 194102 (2014).

[12] Y. Nakamura, M. Isogawa, T. Ueda, S. Yamasaka, H. Matsui, J. Kikkawa, S. Ikeuchi, T. Oyake, T. Hori, J. Shiomi, and A. Sakai, *Nano Energy* **12**, 845 (2015).

[13] B. Liao, and G. Chen, *MRS Bulletin* **40**, 746 (2015).

[14] W. Kim, and A. Majumdar, *J. Appl. Phys*. **99**, 084306 (2006).

[15] C. Dames, G. Chen, *J. Appl. Phys*. **95**, 682 (2004).

[16] J-K. Yu, S. Mitrovic, D. Tham, J. Varghese, and R. Heath, *Nature Nanotech*. **5**, 718 (2010).

[17] A. S. Henry, and G. Chen, *J. Comput. Theor. Nanos*. **5**, 1 (2008).

[18] D. Singh, J. Y. Murthy, and T. S. Fisher, *J. Heat Transfer* **133**, 122401 (2011).

[19] X. Li, and R. Yang, *Phys. Rev. B* **86**, 054305 (2012).

第 4 章　Ge ナノドット積層構造における電気特性

4.1　本章の主眼

第 2 章で作製手法を確立し、また第 3 章においてその伝熱特性について調べた Ge ナノドット積層構造は、劇的なκ低減効果を有しており、その低減効果は Ge ナノドット積層構造中の Si/Ge ナノドット界面におけるフォノン散乱による効果であることを明らかにした。しかしながら、フォノンの散乱を引き起こす Ge ナノドットが同様にキャリアを散乱させ、結果、σの低減を招く恐れは十分に考えられる。Ge ナノドット積層構造において、Ge ナノドットがフォノンのみを選択的に散乱させ、かつキャリア伝導に影響を及ぼさないことの実証は、κとσ の独立操作の達成にために必須である。一方、S においては、一般にナノ構造化の影響を受けにくいとされているが[1]、本 Ge ナノドット積層構造においても、そのことを確認する必要がある。そこで本章では、劇的なフォノン散乱効果を有する Ge ナノドットが、σ、および S に与える効果を詳細に調べることとする。

4.2　Ge ナノドット積層構造へのドーピング

4.2.1　積層構造へのイオン注入

イオン注入後の Ge ナノドット積層構造が破壊されていないことを、第一に確認する。図 4-2-1(a)は 8-nm NDs/376-ML Si サンプルのイオン注入/活性化アニール後の HRTEM 像であり、(b)は Ge ナノドット積層構造の模式図である。イオン注入条件は、P イオンを 110 keV で 4×10^{14} cm^{-2} で注入することとした。図 4-2-1(a)に示すように、図中の白矢印によって示されるような、直線状コントラストによる周期構造が確認できる。この直線状コントラストは、作製プロセスにより、極薄 Si 酸化膜であると考えられる。よってイオン注入しても、積層構造が破壊されてないことがわかった。

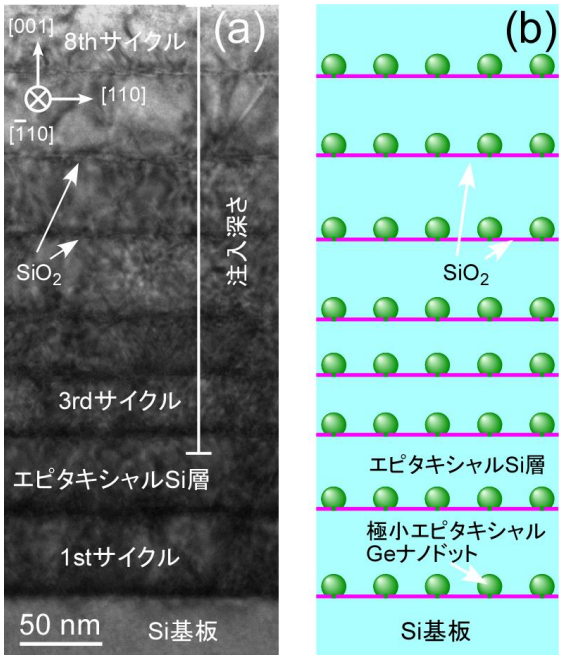

図 4-2-1: (a) P イオン注入後(110keV, 4×10^{14} cm^{-2})の 8-nm NDs/376-ML Si サンプルの HRTEM 像。および(b) イオン注入された Ge ナノドット積層構造の概略図。

また図 4-2-2 に、上記の試料に対する二次イオン質量分析法 (SIMS) による、深さ方向の組成分析結果を示す。Ge と O の深さプロファイルは、8 サイクルの積層構造に起因する 8 つのピークを示しており、またこれらのピークの位置は、図 4-2-1(a)の極薄 Si 酸化膜の位置に対応している。Ge と O のピークの位置が一致していることは、Ge ナノドットが極薄 Si 酸化膜の直上に存在していることを意味する。

ここで、Ge ナノドット積層構造に注入された P イオンの表面深さプロファイルについて議論したい。注入されたイオンは深さ方向にガウス分布することが知られている[2]。図 4-2-3 に SIMS で得られた P イオンの表面深さプロファイル (赤実線 : 図 4-2-2 と同じもの)と、Stopping and Range of Ions in Matter (SRIM) プログラム[3]によって計算された P イオンの表面深さプロファイル (黒実線) を示す。

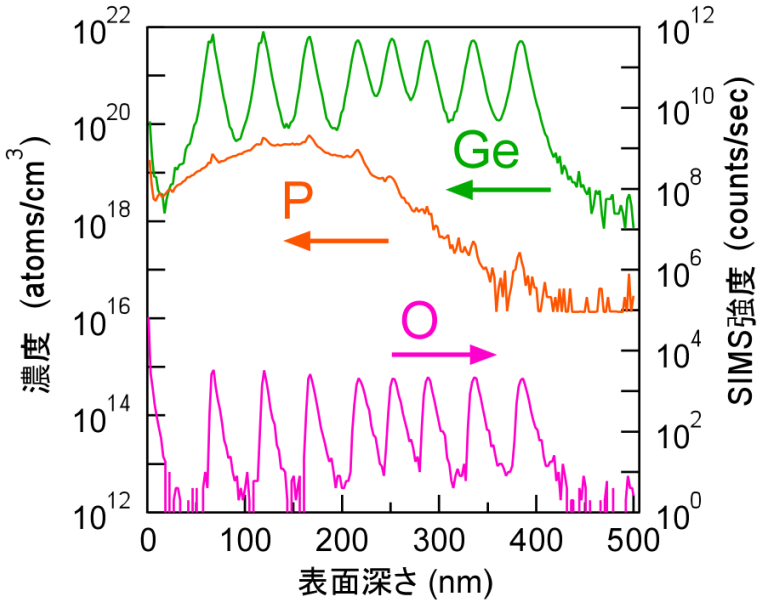

図 4-2-2: P イオン注入後の 8-nm NDs/376 ML Si サンプルの SIMS プロファイル。

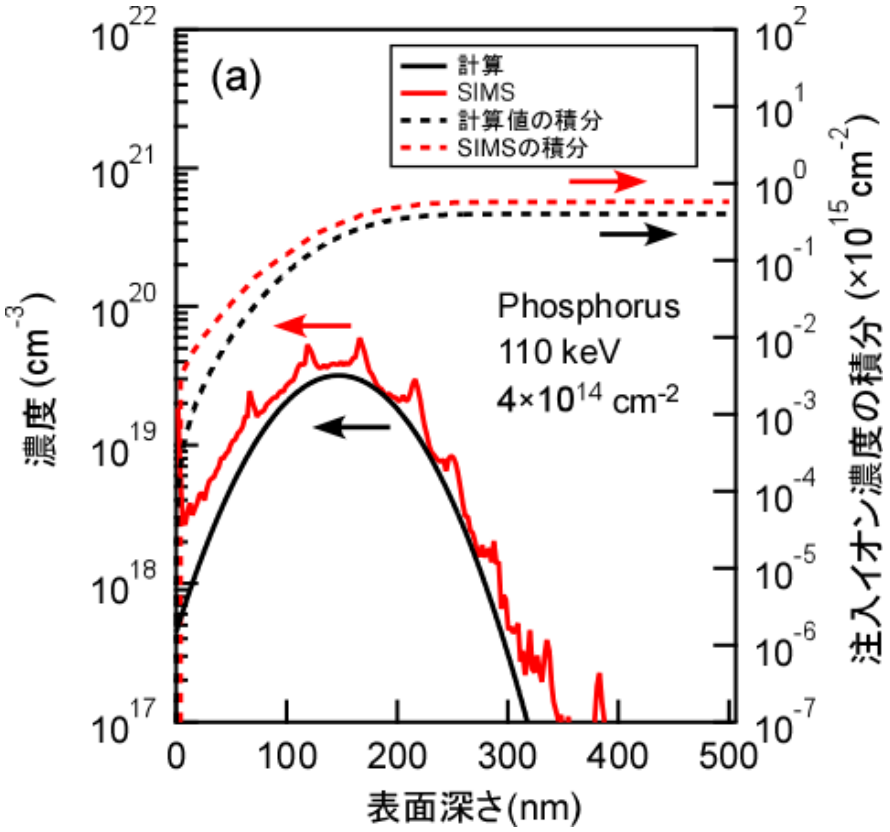

図 4-2-3: SIMS プロファイルと SRIM による計算の比較

SIMS プロファイル中の小さくシャープなピーク以外は、SIMS の結果と、SRIM による計算結果は非常に似ている。この P の小さなピーク位置は、図 4-2-2 より O のピーク位置と一致しており、これは積層界面での P イオンのトラップを表している[4,5]。図 4-2-3 中の赤点線と黒点線はそれぞれ、SIMS による表面深さプロファイルと、SRIM の計算による表面深さプロファイルを、表面から深さ方向に積分したものである。両方の積分の値は、深さが 276 nm の箇所において飽和し (~99.5%)、これはピークの中心から、標準偏差のおおよそ 2 倍ほどの距離の箇所となる。本研究においては、この位置を注入深さ (Implanted depth) とし、キャリア伝導層厚さと定義した。図 4-2-4 は上記議論の概念図である。注入深さが上記の様に定義されたとき、この注入深さ内の領域におけるキャリア密度が一様と仮定すると、図 4-2-4 に示す斜線のように考えることができる。この斜線部の面積は、ガウス分布を持つ注入プロファイルのピークの面積と一致している。

また上述のように、P イオンの積層界面でのトラップ効果によるピークを除けば、両者に差異はほとんど見られない。このことは SRIM による計算が、Ge ナノドット積層

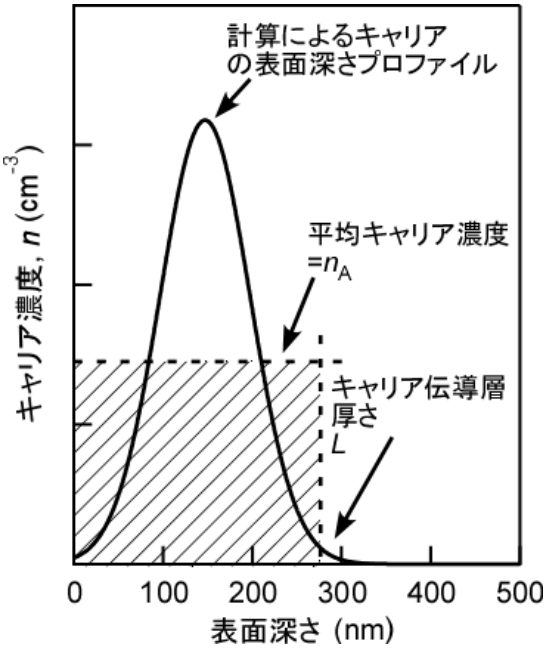

図 4-2-4: キャリア濃度表面深さプロファイルとキャリア伝導層厚さの概念図。

構造に適応可能であることを示している。表 4-2-1、表 4-2-2 に、他のイオン注入条件の場合における SRIM を用いて計算した結果、および Ge ナノドット積層構造の膜厚をまとめる。いずれのイオン注入条件の場合においても、Si 基板まで注入されたイオンが到達していないことがわかる。

上記計算においては、注入されたイオンの活性化率が一律な場合、キャリア密度 n がドナー密度 N に比例する。このとき、n は N と同様にある位置にピークを有する表面深さプロファイルとなる。キャリア移動度 μ は n と共に変化し、結果、電気伝導率 σ も変化する ($\sigma = q\mu n$、q は素電荷) [6]。図 4-2-5 に、σ の深さプロファイルと N の深さプロファイルの比較を示す。このとき、μ の n 依存性は、バルク Si のものを使用した[7]。

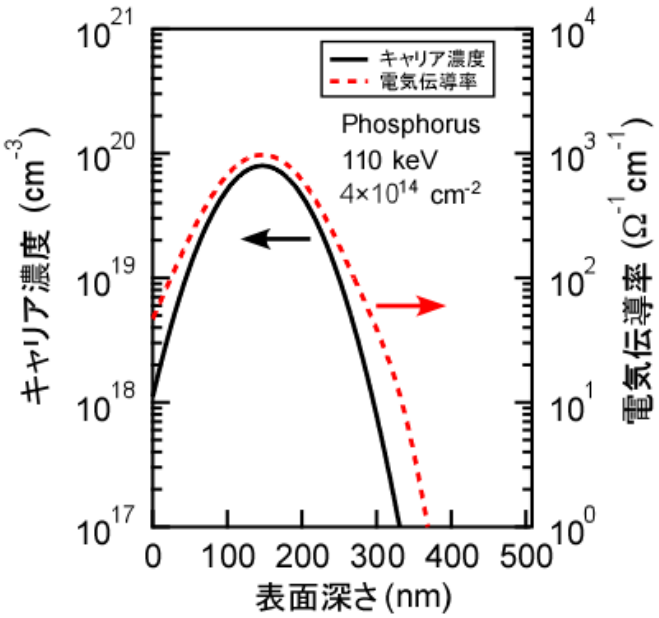

図 4-2-5: ドナー密度 N の深さ分布と、電気伝導率 σ の深さ分布の比較

図 4-2-5 より、両方の深さプロファイルが同様の形状をしていることが確認できる。これは μ の深さ方向の空間的な変化に比べて、n の深さ方向の空間的変化が大きいことを意味する。

次に、両者を積分することによって求まるキャリア伝導層厚さの比較を行いたい。σ の積分値が飽和する (~99.5%) 位置は、表面から 306 nm の位置であり、N の積分によって求めた注入深さ値に対して、~9.8%という小さなずれとなった（図 4-2-6 参照）。上記の比較は、P イオンを 110 keV で注入した結果であるが、その他の注入条件においても、このずれは~6-7%であった。以上よりキャリア伝導層の厚み ≈ 注入深さとして扱いうることを意味しており、本研究では、表 4-2-1、4-2-2 に示した値を用いる。また後述するように（4.2.3 節）、バルク Si に対してイオン注入した試料に対して、上記定義を用いて求められた$\sigma(n)$と$\mu(n)$はバルク Si の値と一致した。このことから、上記定義の確からしさが確認できる。

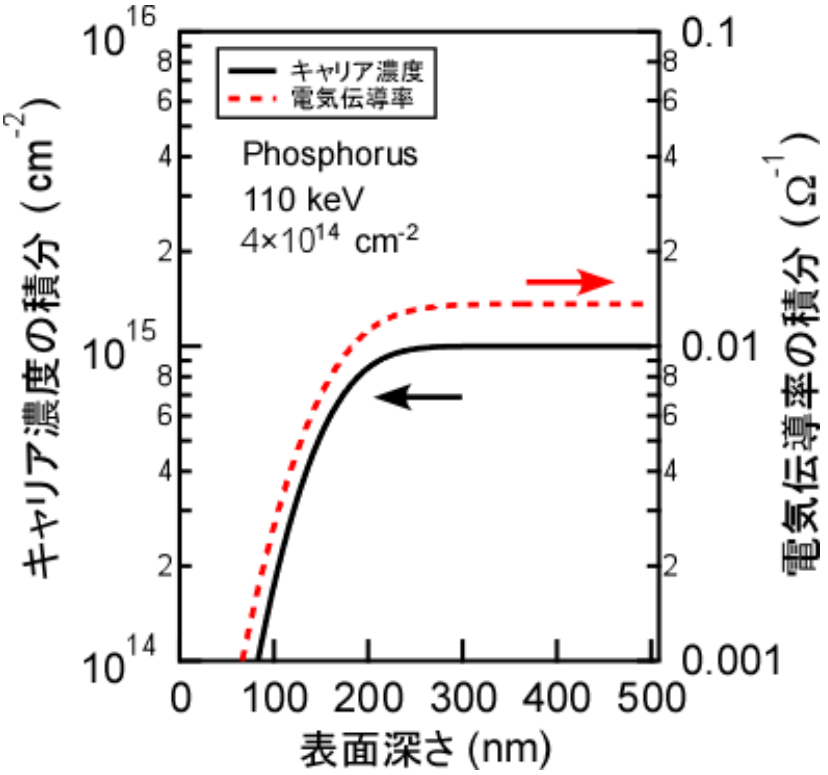

図 4-2-6: ドナー密度 N の積分と、電気伝導率σの積分の比較

表 4-2-1: Ge ナノドット積層構造の膜厚、P イオン注入条件、および注入深さ。

ID	Structure	Film Thickness (nm)	Ion energy (keV)	Ion dose (cm^{-2})	Projected range (nm)	Standard deviation (nm)	Implanted depth (nm)
1	8-nm NDs/ 67-ML Si	85	25	4×10^{14}	36.4	16.1	78
2	8-nm NDs/ 67-ML Si	85	25	7×10^{14}	36.4	16.1	78
3	8-nm NDs/ 67-ML Si	85	25	1×10^{15}	36.4	16.1	78
4	8-nm NDs/ 376-ML Si	422	110	4×10^{14}	147	50.3	276
5	8-nm NDs/ 376-ML Si	422	110	7×10^{14}	147	50.3	276
6	8-nm NDs/ 376-ML Si	422	110	1×10^{15}	147	50.3	276
7	12-nm NDs/ 303-ML Si	353	110	4×10^{14}	147	50.3	276
8	12-nm NDs/ 303-ML Si	353	110	7×10^{14}	147	50.3	276
9	12-nm NDs/ 303-ML Si	353	110	1×10^{15}	147	50.3	276

表 4-2-2: Ge ナノドット積層構造の膜厚、BF_2 イオン注入条件、および注入深さ。

ID	Structure	Film Thickness (nm)	Ion energy (keV)	Ion dose (cm^{-2})	Projected range (nm)	Standard deviation (nm)	Implanted depth (nm)
10	5-nm NDs/ 50-ML Si	63	25	1×10^{15}	28	11.1	56.8
11	8-nm NDs/ 376-ML Si	422	160	4×10^{14}	149	45.6	267
12	8-nm NDs/ 376-ML Si	422	160	7×10^{14}	149	45.6	267
13	8-nm NDs/ 376-ML Si	422	160	1×10^{15}	149	45.6	267
14	12-nm NDs/ 303-ML Si	353	160	4×10^{14}	149	45.6	267
15	12-nm NDs/ 303-ML Si	353	160	7×10^{14}	149	45.6	267
16	12-nm NDs/ 303-ML Si	353	160	1×10^{15}	149	45.6	267

4.2.2　イオン注入後の結晶構造

前節の冒頭において、イオン注入後の積層構造が破壊されてないことを簡単に確認した。本節ではその結晶構造も含めて、それを確認したい。図 4-2-7 に P イオン注入後の 8-nm NDs/376-ML Si サンプル (110 keV, 4×14 cm^{-2}) の 6-8 サイクル目を拡大した HRTEM 像を示す。図 4-2-7 中の黒矢印で示すように、半球状の黒いコントラストが極薄 Si 酸化膜の直上に確認できる。よって極小の Ge ナノドットがイオン注入によって破壊されていないことが確認できる。また第 2 章で示したように、積層欠陥（SF）は依然として多く確認できる。

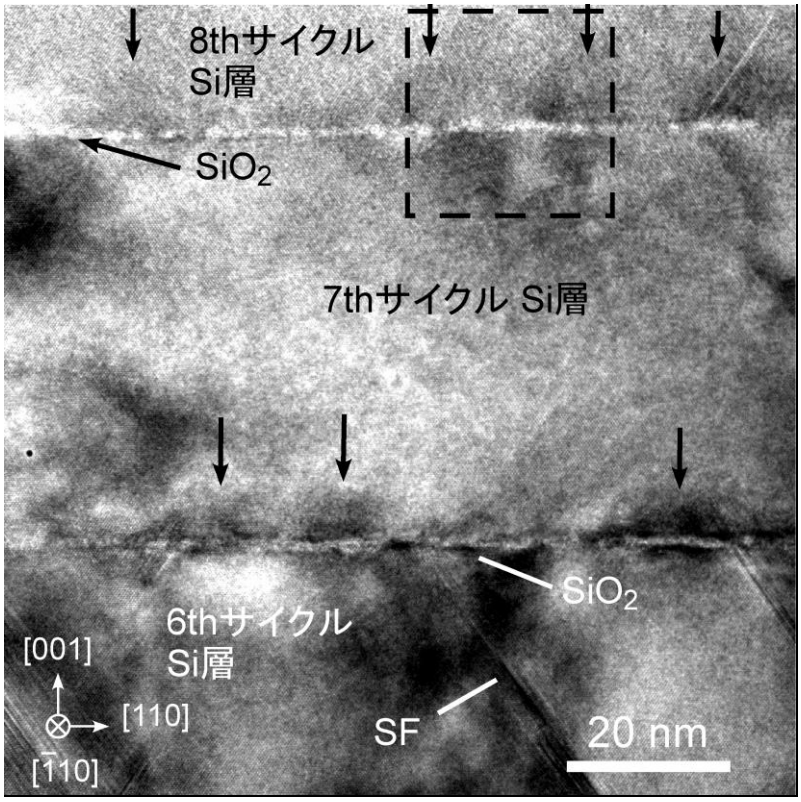

図 4-2-7: P イオン注入後 (110keV, 4×10^{14} cm^{-2}) の 8-nm NDs/376-ML Si サンプルの HRTEM 像。

図 4-2-7 中の黒点線で囲んだ領域の拡大図を、図 4-2-8(a)に示す。結晶格子像が確認できる。そこで、図中の緑点線、青点線で囲まれた領域に対して FFT 解析を行った。図 4-2-8(b)、(c)はその FFT パターンである。両者の FFT パターンは Si 基板と同じパターンを示し、イオン注入によって結晶構造が破壊されてないことがわかった。

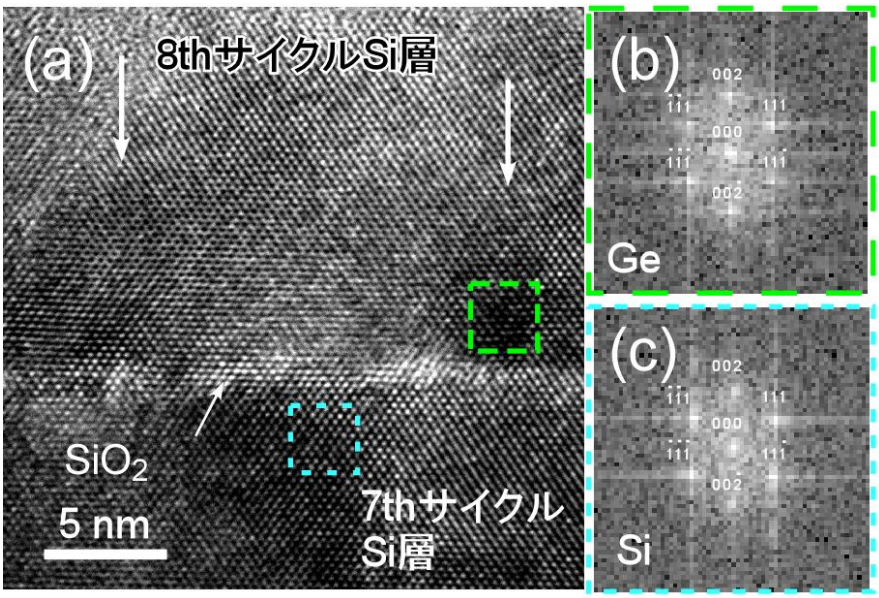

図 4-2-8: (a) P イオン注入後(110keV, 4×10^{14} cm^{-2})の 8-nm NDs/376-ML Si サンプルの HRTEM 像。(b)、(c)はそれぞれ(a)中の点線の領域に対する FFT パターン。

4.2.3 積層構造の電気特性

図 4-2-9 に Ge ナノドット積層構造のσ のキャリア密度依存性を示す。実線はバルク Si のσ である[7]。キャリア密度は室温でのホール効果測定により測定し、P イオンを注入したもの、B イオンを注入したものはそれぞれ *n* 型、*p* 型の電気伝導を示した。図 4-2-9(a)、(b)より、両方の伝導タイプにおいて、キャリア密度の増加に伴うσ の増加が広いキャリア密度の範囲で確認された。このσのキャリア密度依存性は、図中に示すようなバルク Si と同様の傾向を示している。また 1 サイクルにおいて Si 層が薄い試料

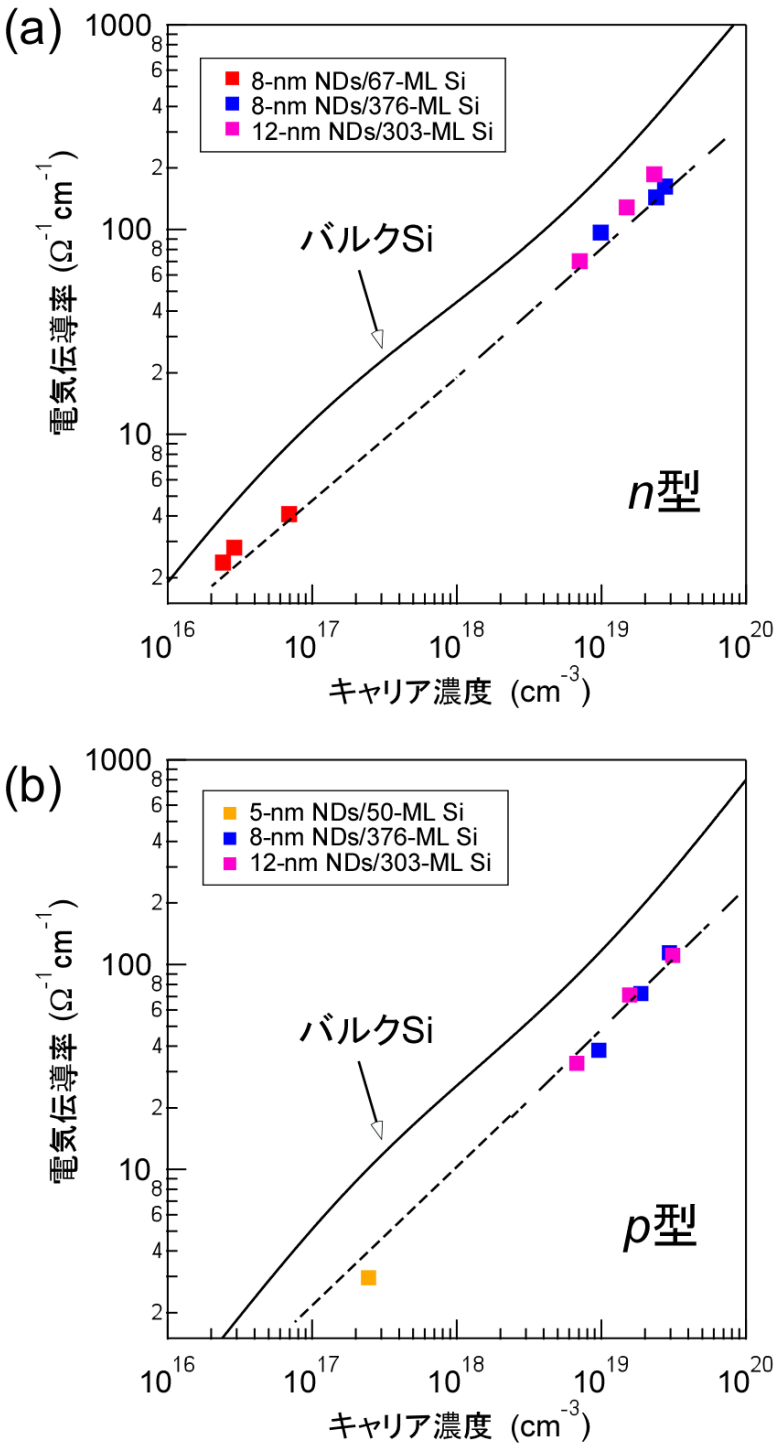

図 4-2-9: Ge ナノドット積層構造の電気伝導率 (a) *n* 型 (b) *p* 型。

においては、イオン注入量が同量にもかかわらずキャリア濃度が小さくなっている。これはドーパントの電気的不活性によると考えられる。そこで、Ge ナノドット積層構造中におけるキャリアの活性化率について調べた。図 4-2-10 に *n* 型の Ge ナノドット積層構造におけるキャリア活性化率の Si 層厚さ依存性を示す。

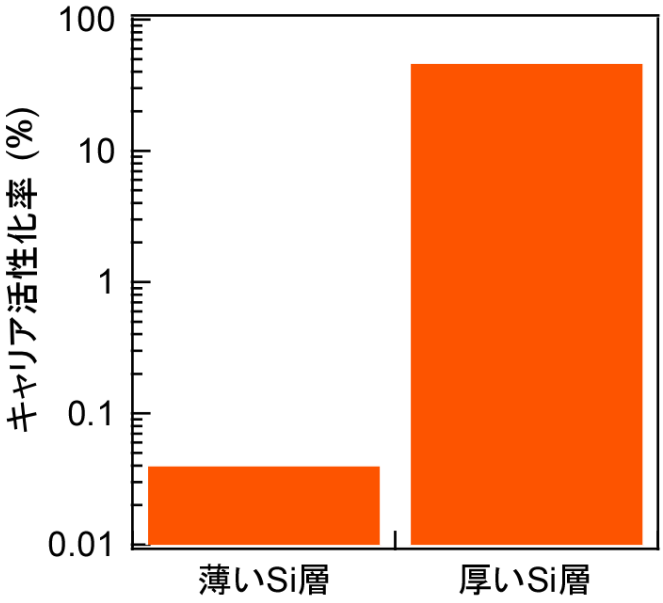

図 4-2-10: *n* 型 Ge ナノドット積層構造における
キャリア活性化率の Si 層厚さ依存性。

活性化率は SIMS による測定と、ホール効果測定による測定から求めた。Si 層が厚い場合においては (>300 ML)、活性化率は~50%に達したが、一方 Si 層が薄い場合においては (~70 ML)、活性化率は~0.04%と低い値となった。Si 層が薄い場合における低活性化率は、積層界面におけるドーパント原子のトラップ効果によるものと考えられる。

次に Ge ナノドット積層構造におけるキャリア伝導を調べるために、*n* 型、*p* 型の両タイプにおいて移動度を評価した。図 4-2-11 に *n* 型における電子移動度、*p* 型における正孔移動度のキャリア密度依存性を示す。またリファレンスとして、Si 基板上のエピタキシャル Si 薄膜の移動度をプロットし、バルク Si の依存性を実線で記載した[7-12]。*n* 型のグラフにおいては、ノンドープのバルク Si にイオン注入を行った際の測定結果もプロットした（菱形）。その結果はバルク Si の実線上に位置している。これは、4.2.1 節

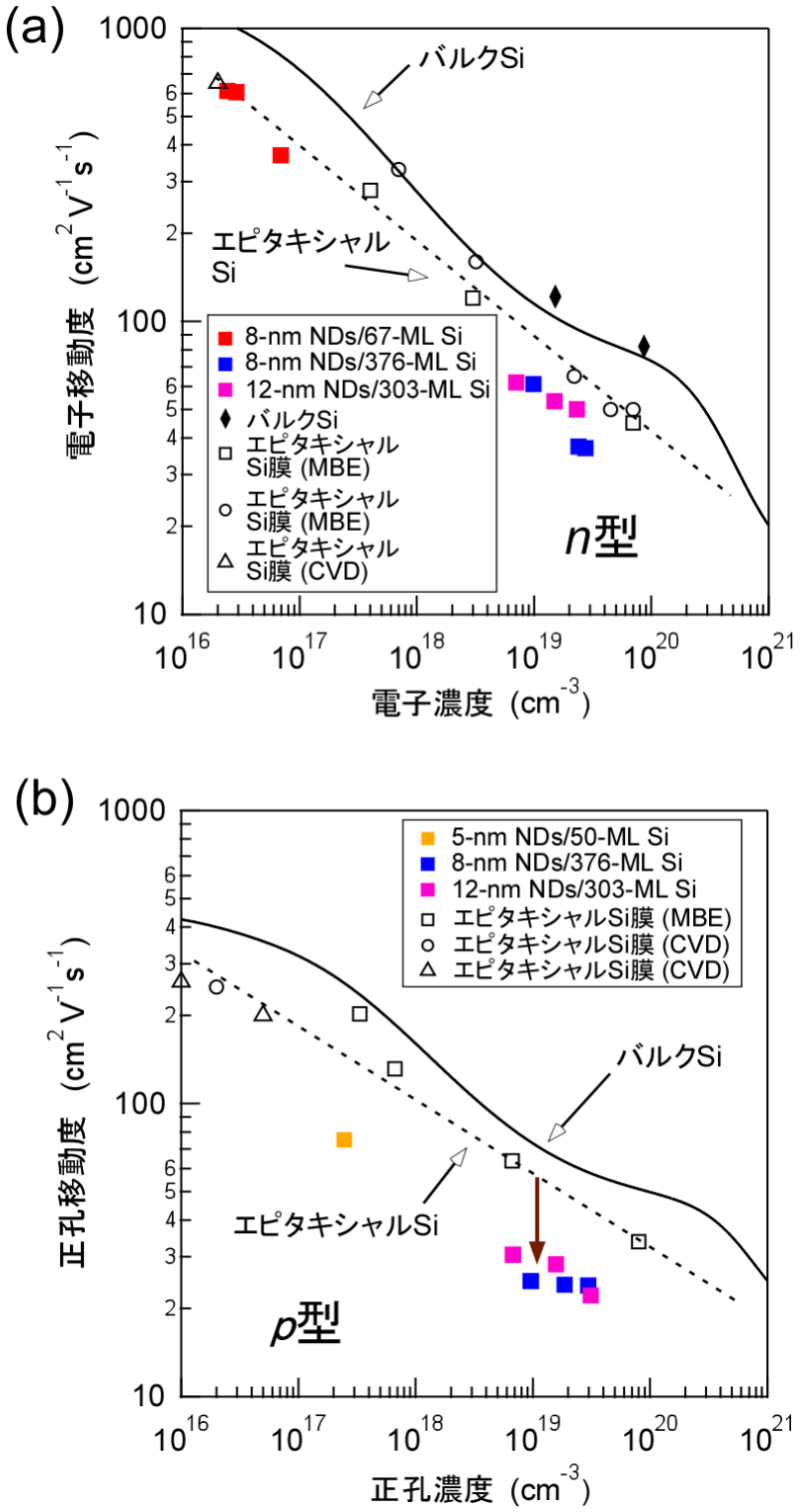

図 4-2-11: Ge ナノドット積層構造のキャリア移動度の
キャリア密度依存性 (a) *n* 型 (b) *p* 型。

で述べたように、本研究での伝導層厚さの定義による n やσ の求め方が有効であることを示している。n 型の Ge ナノドット積層構造においては、電子移動度の値が Si 上のエピタキシャル Si 薄膜の報告値とほぼ同程度となった。これは Ge ナノドットがキャリアの散乱体となっていないことを意味している。この理由について考えたい。Ge の電子親和力と Si の電子親和力がそれぞれ 4.0 eV、4.05 eV であるために[6]、n 型の Ge ナノドット積層構造においては Si/Ge ナノドット界面において伝導帯のバンドオフセットが小さい (~50 meV) と考えられる。室温での熱エネルギー（E_C~$3/2k_BT$ ~ 38 meV に相当）を考えると、~50 meV 程度のバンドオフセットを持つ Si/Ge ナノドット界面では、電子散乱が弱い可能性がある。p 型の PbS のマトリックス中にエンドタキシャルに（コヒーレントに）CdS を導入した先行研究において、バンドオフセットが小さい (~0.13 eV) と、正孔散乱が抑制されることが報告されている。また加えて、Si 中の積層欠陥を透過する電子の透過確率は先行研究により計算されており、上記の熱エネルギーを持つ電子においては~0.7 程度と高い値が報告されている。

次に、Si 中の Ge ナノドットの異方的配置からくる電気特性の異方性について考察したい。Si 層が薄い場合の Ge ナノドット積層構造においては、図 4-2-12 に示すように、Ge ナノドットは Si 層中にランダムに配置しており、Ge ナノドットを積層することから生じる構造的異方性は小さい。一方、Si 層が厚い Ge ナノドット積層構造においては、Ge ナノドットは積層し（図 2-3-15）、それから生じる構造的異方性を無視することができない。しかしながら両者とも、移動度は、Ge ナノドットを含まないエピタキシャル Si 薄膜と同等の値を示している。このことは Ge ナノドットによって引き起こされる構造的異方性が電気特性にそれほど影響を与えないことを暗示している。この電気伝導異方性の欠如は、Ge ナノドットが電子の伝導に対して、強い散乱体とならないことで説明可能であり、かつ上述した Ge ナノドット界面によるキャリア散乱の議論とも矛盾しない。

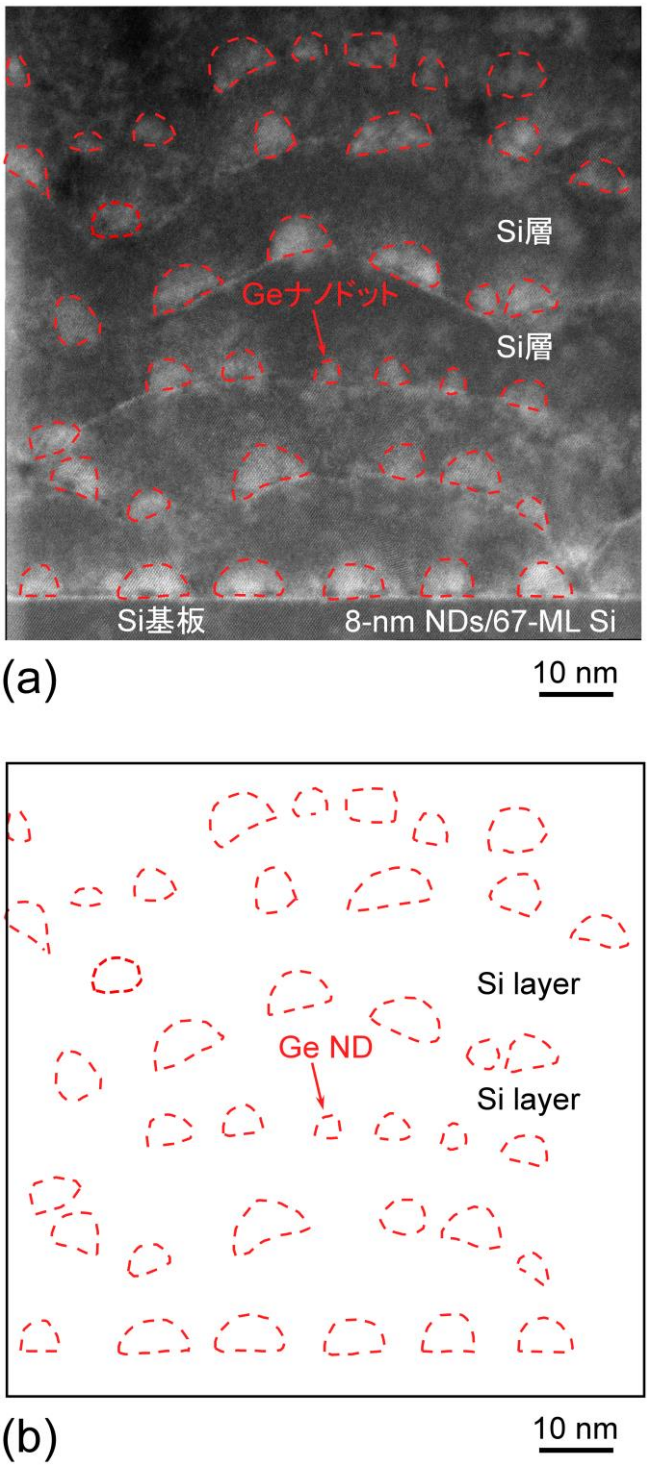

図 4-2-12: Si 層が薄い Ge ナノドット積層構造における Ge ナノドットの位置のランダム性。(a) HAADF-STEM 像 (b) Ge ナノドットのみを抜粋したもの。

一方、図 4-2-11(b)に示すように Ge ナノドット積層構造における正孔移動度は、Si 上のエピタキシャル Si 薄膜の正孔移動度の報告値と比較すると、低い値を示した。この理由については、現在実験的確証は得られていないが、*n* 型の Ge ナノドット積層構造中で議論されたバンドオフセットを考慮すると、*p* 型においては価電子帯のバンドオフセットが大きいためと考えられる。また、*p* 型の多結晶 Si 薄膜においては正孔移動度の値が *p* 型のバルク Si の値よりも小さくなり、その低減の具合が *n* 型と比較した際に大きいことが報告されている[13,14]。そのため、Ge ナノドット積層構造中に多数存在する積層欠陥のような界面において、正孔の散乱確率は電子よりも大きい可能性が挙げられる。この効果も *p* 型の移動度を下げる要因であると考えられる。

最後に、Ge ナノドット積層構造における電気特性が、イオン注入条件に依存しないことを調べたい。上述の議論で用いた、110 keV/ 1×10^{15} cm^{-2} でイオン注入したものとは別に、新たに 50 keV/ 5.1×10^{14} cm^{-2} のイオン注入試料を用意した。この変化は、注入深さを変化させたことを意味する (110 keV: 276 nm、50 keV: 141 nm)。この深さはそれぞれ 12-nm NDs/303-ML Si サンプルにおける積層の 7 サイクル分、4 サイクル分に相当する。σ と n のプロットにおいて、50 keV/5.1×10^{14} cm^{-2} のイオン注入試料も同様に、図 4-2-9 に示す eye-guide 線上に位置した（n ~5×10^{18} cm^{-3}、σ~35 $\Omega^{-1}cm^{-1}$）。これは積層構造の電気特性が、イオン注入条件によらず eye-guide 線が示す依存性を持つことを意味している。また、このことは同時に、電気特性が積層のサイクル数に依らないことを示しており、リークパスの電気特性ではなく、イオン注入した積層構造部分の電気特性を評価していることを意味している。

4.2.4　積層構造におけるゼーベック係数

図 4-2-13 に Ge ナノドット積層構造のゼーベック係数のキャリア密度依存性を示す。*n* 型のゼーベック係数はバルク Si[15,16]、バルク SiGe[16]、SiGe 薄膜[17]の報告値と同

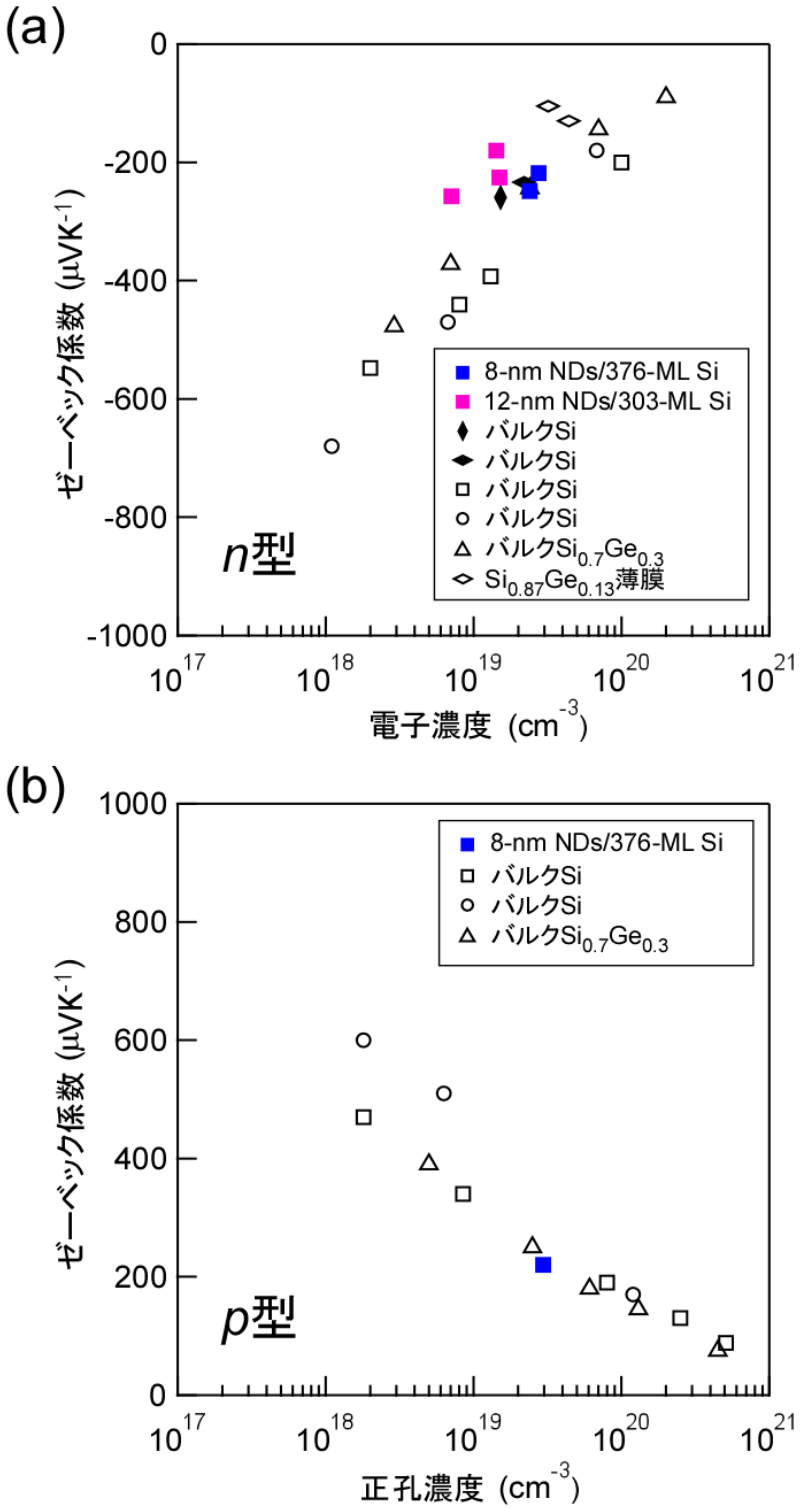

図 4-2-13: Ge ナノドット積層構造のゼーベック係数のキャリア密度依存性
(a) *n* 型 (b) *p* 型。

様の値を示した。これは Ge ナノドット積層構造中のナノ構造は、ゼーベック係数に与える影響が少ないことを意味している。一般に、量子効果が起こるようなケースを除き、ナノ構造化はゼーベック係数にあまり影響しないことが報告されており[1]、今回の結果も妥当と考えられる。また *p* 型のゼーベック係数もバルク Si、バルク SiGe の報告値と同様の値を示した。移動度については *n* 型、*p* 型で差が見られたが、ゼーベック係数においては両者の傾向は似ており、今後さらなる調査が必要と考えられる。

4.3　小括

本章で得られた結果をまとめる。極薄 Si 酸化膜技術を用いて作製された、Ge ナノドット積層構造における電気特性について詳細に調べた。イオン注入法を用いてドーピングを施した本構造において、σ のキャリア密度依存性は *n* 型、*p* 型の両者でバルク Si と同様の傾向を示した。

また *n* 型の Ge ナノドット積層構造においては、電子移動度は Si 上のエピタキシャル Si 薄膜の電子移動度とほぼ同程度の値を示し、Ge ナノドットが電子に対して強い散乱体とならないことがわかった。この理由を Si/Ge ナノドット界面のエネルギーバンドオフセットが小さいことと、積層欠陥の透過確率が高いことによって考察した。一方、*p* 型の Ge ナノドット積層構造においては、正孔移動度は Si 上のエピタキシャル Si 薄膜の正孔移動度よりも低い値を示した。またゼーベック係数においては *n* 型、*p* 型共に、バルク Si とバルク SiGe の報告値と同等の値を示した。以上の結果より、Ge ナノドットは、キャリアの強い散乱体とならないことがわかり、第 3 章で示したように Ge ナノドットは劇的なκ低減効果を有していることから、κとσ の独立制御の可能性を示したと言える。

4.4　参考文献

[1] A. I. Hochbaum, R. Chen, R. D. Delgado, W. Liang, E. C. Garnett, M. Najarian, A. Majumdar, and P. Yang, *Nature* **451**, 163 (2008).

[2] 生駒英明 (著)、「初心者のための「半導体の ABC」講座　プロセスコース、工学研研究社.

[3] J. F. Zieglera, M. D. Zieglerb, and J. P. Biersack, *Nucl. Instrum. Methods Phys. Res., Sect. B* **268**, 1818 (2010).

[4] M. M. Mandurah, K. C. Saraswat, C. R. Helms, and T. I. Kamins, *J. Appl. Phys*. **51**, 5755 (1980).

[5] F. Lau, L. Mader, C. Mazure, Ch. Werner, M. Orlowski, *Appl. Phys. A* **49**, 671 (1989).

[6] S. M. Sze, *Physics of Semiconductor Devices, 2nd Edition*, Wiley, New York, 1981.

[7] D. K. Schroder, *Semiconductor Material and Device Characterization, 3rd Edtition,* Wiley, Hoboken, 2006.

[8] K. D. Hobart, D. J. Godbey, and P. E. Thompson, *Appl. Phys. Lett*. **61**, 76 (1992).

[9] H. J. Gossmann, F. C. Unterwald, and H. S. Luftman, *J. Appl. Phys*. **73**, 8237 (1993).

[10] S. J. DeBoer, V. L. Dalal, G. Chumanov, and R. Bartels, *Appl. Phys. Lett*. **66**, 2528 (1995).

[11] J. M. A. Diaz, M. Sawayanagi, M. Kambara, and T. Yoshida, *Jpn. J. Appl. Phys*. **46**, 5315 (2007).

[12] J. Fukuda, M. Kambara, T. Yoshida, *Thin Solid Films* **519**, 6759 (2011).

[13] S. K. Bux, R. G. Blair, P. K. Gogna, H. Lee, G. Chen, M. S. Dresselhaus, R. B. Kaner, and J-P. Fleurial, *Adv. Funct. Mater.* **19**, 2445 (2009).

[14] M. Nomura, Y. Kage, D. Müller, D. Moser, and O. Paul, *Appl. Phys. Lett.* **106**, 223106 (2015).

[15] Y. Ohishi, J. Xie, Y. Miyazaki, A. Yusufu, H. Muta, K. Kurosaki, S. Yamanaka, N. Uchida, and T. Tada, *Jpn. J. Appl. Phys.* **54**, 071301 (2015).

[16] O. Yamashita, and N. Sadatomi, *Jpn. J. Appl. Phys.* **38**, 6394 (1999).

[17] G. Savelli, S. S. Stein, G. B-Granger, P. Faucherand, L. Montès, S. Dilhaire, and G. Pernot, *Nanotechnology* **26**, 275605 (2015).

第 5 章　Ge ナノドット積層構造の *ZT* 評価、およびその性能向上の展望

5.1　本章の主眼

劇的にフォノンを散乱させつつも、キャリアの散乱を抑えるような Si 系高性能ナノ構造熱電材料の開発が求められていることを第 1 章にて述べた。その目的へ向け、Ge ナノドット積層構造という新規 Si 系ナノ構造を提案し、第 3 章でその伝熱特性について、第 4 章でその電気特性について詳細に述べた。本章では上記で得られた知見を元に、Ge ナノドット積層構造におけるκとσ の独立制御の可能性を実証する。また Ge ナノドット積層構造における *ZT* の値を評価することで、Ge ナノドット積層構造の高性能熱電材料としての妥当性を示し、さらなる *ZT* 向上への展望について述べる。

5.2　Ge ナノドット積層構造の *ZT* 評価、および性能向上展望

第 3 章において、As-grown 試料 (non-doped 試料) の伝熱特性について詳細に述べた。フォノンの伝播を述べるには non-doped 試料は適していたが、実際に熱電材料として使われるドーピング領域 (10^{19}-10^{20} cm^{-3}) におけるκ 低減効果の実証は重要である。そこで、図 5-2-1(a)に示すような 2ω法の 5 層モデルを用いることで、ドープした Ge ナノドット積層構造のκを求め、図 5-2-1(b)に示すように non-doped 試料との比較を行った。ドープした試料は 8-nm NDs/376-ML Si サンプルと、12-nm NDs/303-ML Si サンプルであり、どちらもノンドープ試料と比較し、κ が低減した。ドーピングによるκの低減効果は他の Si 系熱電材料においても確認されており、ナノ構造化バルク Si においては、ドープした試料はノンドープ試料と比較し、75%も熱伝導率が低減することが報告されている (~50 $Wm^{-1}K^{-1}$ から~12 $Wm^{-1}K^{-1}$) [1]。

また SK Ge ナノドットを用いた積層構造においては、イオン注入法によるドーピングの後に、熱伝導率が 10-45 %低減することが報告されている (~7 $Wm^{-1}K^{-1}$ から 4 $Wm^{-1}K^{-1}$) [2]。よってドープ試料においても強いκ 低減効果が保持され、かつ 3 章で述べたように TRC が Ge ナノドットのサイズ・形状によって制御できることから、Ge ナノドット積層構造においてはκ とσ の独立制御の可能性が実証された。

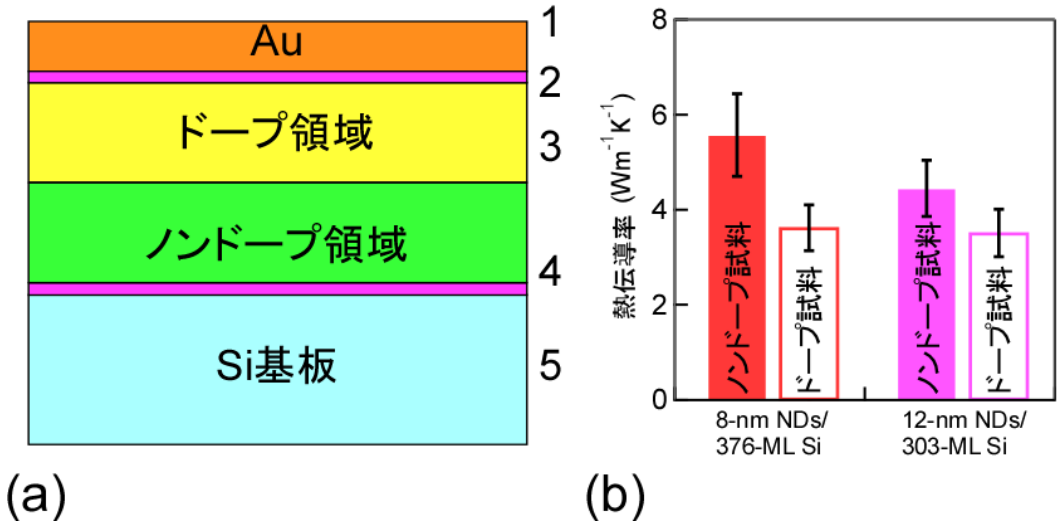

図 5-2-1: (a) 2ω法における 5 層モデル。(b) ドープした試料とノンドープ試料 (as-grown 試料) におけるκの比較。

ここで、上記のドープ試料におけるκ を用いて、ZT を求めたい。8-nm NDs/376-ML Si サンプル (Ge 含有量 ~3%) において、$S = |220|$ μVK^{-1}、$\sigma = 162$ $\Omega^{-1}cm^{-1}$、$\kappa = 3.6$ $Wm^{-1}K^{-1}$ の値を用いると、ZT の値は室温で~0.07 となる。この値は、図 5-2-2 内の solid bar で示されるように、室温におけるドープ量が最適化された Si バルクの値 (~0.01) より高く[1]、また同程度の Ge を含むナノ構造化バルク Si と同程度の値を示した[3]。また、バルク Si におけるパワーファクターが最大となるキャリア密度は、1-2×10^{20} cm^{-3} であり[4]、本研究で Ge ナノドット積層構造において、達成されたキャリア密度の最大値は ~3×10^{19} cm^{-3} であるために、Ge ナノドット積層構造のドーピングは最適化されていない

と考えられる。それにもかかわらず、上記 *ZT* の値が得られたことは、本研究で提案した Ge ナノドット積層構造が、高性能熱電材料となりうる可能性が示されたと言える。

次に、最適キャリア密度まで Ge ナノドット積層構造がドープされたと仮定した場合の *ZT* の値を検討したい。第 4 章で示したように、Ge ナノドット積層構造はバルク Si と同様のキャリア電導機構を有している。かつ、さらなるドーピングを施しても κ が一定であると仮定すると、上記パワーファクターが最適となるキャリア密度において、*ZT* は室温で~0.2 と見積もることができる (図 5-2-2 の赤白抜き)。これは室温での値としては非常に大きいものである。しかしながらイオン注入法によるこれ以上のキャリアドーピングは、構造が破壊されるために実施は困難と考えられる。今後 *in-situ* でドーピングを行う手法を開発することにより、上記のような、さらなる高性能化が見込めると考えられる。

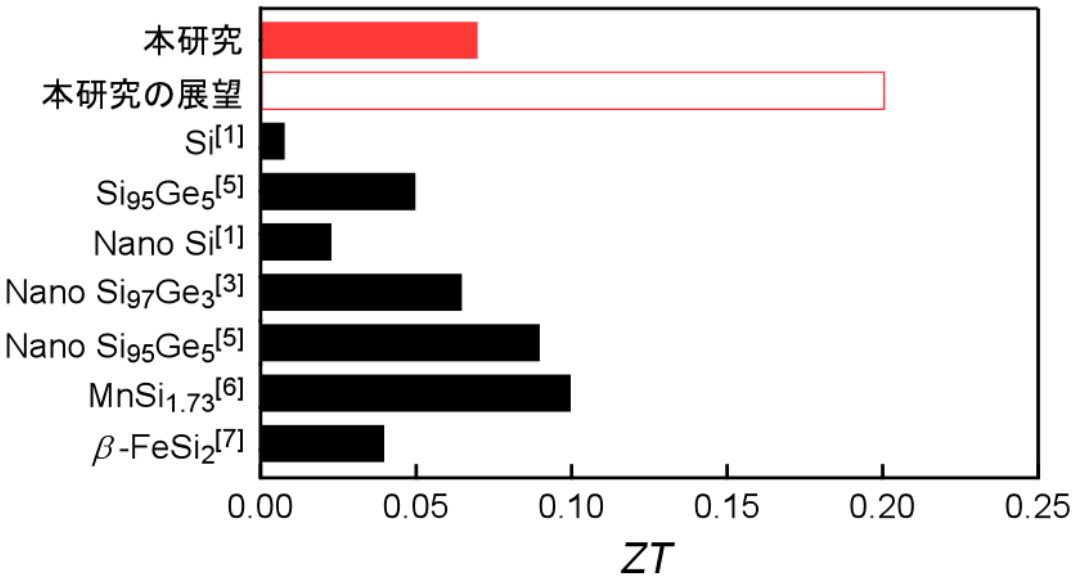

図 5-2-2: Ge ナノドット積層構造の *ZT*、および Si 系熱電材料との比較。

5.3 参考文献

[1] S. K. Bux, R. G. Blair, P. K. Gogna, H. Lee, G. Chen, M. S. Dresselhaus, R. B. Kaner, and J-P. Fleurial, *Adv. Funct. Mater.* **19**, 2445 (2009).

[2] H-T. Chang, S-Y Wang, and S-W Lee, *Nanoscale* **6**, 3593 (2014).

[3] A. Yusufu, K. Kurosaki, Y. Miyazaki, M. Ishimaru, A. Kosuga, Y. Ohishi, H. Muta, S. Yamanaka, *Nanoscale* **6**, 13921 (2014).

[4] Y. Ohishi, J. Xie, Y. Miyazaki, Y. Aikebaier, H. Muta, K. Kurosaki, S. Yamanaka, N. Uchida, and T. Tada, *Jpn. J. Appl. Phys.* **54**, 071301 (2015).

[5] G. H. Zhu, H. Lee2 Y. C. Lan, X. W. Wang, G. Joshi, D. Z. Wang, J. Yang, D. Vashaee, H. Guilbert, A. Pillitteri, M. S. Dresselhaus, G. Chen, and Z. F. Ren, *Phys. Rev. Lett.* **102**, 196803 (2009).

[6] X. Chen, S. N. Girard, F. Meng, E. L-Curzio, S. Jin, J. B. Goodenough, J. Zhou, L. Shi, *Adv. Energy Mater.* **4**, 1400452 (2014).

[7] E. Groβ, M. Riffela, and U. Stöhrer, *J. Mater. Res.* **10**, 34 (1995).

第 6 章　結論

本研究では、Si 系熱電材料のナノ構造化による高性能化の指針として、極小のフォノン散乱体エピタキシャル Ge ナノドットを超高密度に Si 中に導入した構造（Ge ナノドット積層構造）を提案した。その新規ナノ構造の作製手法を確立し、伝熱特性・電気特性について詳細に調べた。

第 2 章では、極薄 Si 酸化膜技術に着目し、Ge ナノドット積層構造の作製技術を確立した。作製した構造においては、極小（数ー十数ナノメートル）のフォノン散乱体 Ge ナノドットを、Si 薄膜中に超高密度に、エピタキシャル関係を持って導入することに成功した。また Ge の蒸着量によって Ge ナノドットサイズ・面密度を、Si の蒸着量によって Si 層の形状を制御して、積層構造が作製可能であることを明らかにした。また積層構造中において、ナノドットでの SiGe ミキシングが抑制されていることを示した。

第 3 章では Ge ナノドット積層構造における伝熱特性について詳細に調べた。本構造の熱伝導率は、ナノ構造化 SiGe バルク合金、SiGe バルク、SiGe 薄膜の熱伝導率を下回ることを示した。また Ge ナノドット積層構造中における 1 サイクルあたりの熱抵抗は SK SiGe ナノドット/Si 層超格子構造を上回り、その熱抵抗は Si/Ge ナノドット界面における巨大な界面熱抵抗から生じることがわかった。その界面熱抵抗をフォノンの界面散乱効果によって説明した。またキャリア伝導層として働く Si 層が、熱抵抗に寄与しない効果を示し、電気伝導率と熱伝導率の独立制御という本研究に目的の達成における、最も重要な結果を得た。

第 4 章では、Ge ナノドット積層構造における電気特性について詳細に調べた。イオン注入法を用いてドーピングを施した本構造において、電気伝導率のキャリア密度依存性はバルク Si と同様の傾向を示した。また *n* 型の Ge ナノドット積層構造においては、電子移動度は Si 上のエピタキシャル Si 薄膜とほぼ同程度の値を示し、フォノンに対し

て散乱体であったGeナノドットが、電子に対して強い散乱体とならないことを示した。この理由をSi/Geナノドット界面の微小エネルギーバンドオフセットと、積層欠陥における電子の透過確率が高いことによって考察した。一方、*p*型のGeナノドット積層構造においては、正孔移動度はSi上のエピタキシャルSi薄膜よりも低い値を示した。またゼーベック係数においては*n*型、*p*型共に、バルクSiとバルクSiGeの報告値と同程度の値を示した。以上の結果より、Geナノドットによってフォノンを選択的に散乱させることによる、熱伝導率と電気伝導率の独立制御の可能性を示した。

第5章では、Geナノドット積層構造における*ZT*の値について評価した。Geを少量含むGeナノドット積層構造において、*ZT*は室温で~0.07という値を示し、これはバルクSiの*ZT*を上回り、さらにGeを少量含むナノ構造化バルクSiと同等であった。*ZT*は最適なキャリア密度時において最大となるが、Geナノドット積層構造はキャリア密度が最適化されていないにもかかわらず、高い値を示し、今後ドーピング技術を発展させることでさらなる性能向上が期待できることを示した。

以上、本研究で得られた結果から、極小のフォノン散乱体エピタキシャルGeナノドットを、超高密度にSi中に導入した構造であるGeナノドット積層構造は、熱電材料の長年の課題であった熱伝導率と電気伝導率の独立制御が、構造制御によって達成可能であることを実証し、従来のナノ構造化熱電材料と比較しさらなる性能向上の可能性を示した。本研究で得られた、熱伝導と電気伝導の独立制御の知見は、ナノ構造化Si系熱電材料の重要なマイルストーンとなると考えられる。

謝辞

本論文は、大阪大学 大学院基礎工学研究科 システム創成専攻 電子光科学領域 教授 酒井朗先生、同領域教授 中村芳明先生のご指導の下、筆者が同領域博士後期課程在籍中に得た研究成果をまとめたものです。

酒井先生には、お忙しい中、終始懇切丁寧なご指導を賜りました。ここに深く御礼申し上げます。中村先生には日々の研究討論、実験装置の取り扱い方、研究者としての心構え等、ここには書き切れないほどのご指導を、御多忙の中、賜りました。ここに深く感謝の意と御礼を申し上げます。副査を引き受けて頂いた、大阪大学 大学院基礎工学研究科 教授 浜屋宏平先生および阿部真之先生からは、本論文の学術的価値を高めるご指摘およびコメントを数多く頂きました。感謝致します。

電子顕微鏡観察に関して、大阪大学 大学院基礎工学研究科 助教 竹内正太郎先生には大変お世話になりました。ありがとうございました。大阪大学 大学院 基礎工学研究科 助教 渡辺健太郎先生には、博士論文執筆に関しまして、構成・ディスカッション等、あらゆる面でお手数をおかけ致しました。心より感謝致します。大阪大学 大学院基礎工学研究科 技術専門職員 河崎清氏には超高真空装置のメンテナンス方法や、測定装置のトラブル対処法を数々教えて頂きました。深く感謝の意を表します。大阪大学 大学院基礎工学研究科 システム創成専攻 電子光科学領域　元助教（現物材機構 主任研究員）吉川純先生には、右も左もわからない研究室配属時において、博士過程進学の心構えを教えて頂きました。深く感謝致します。アドバンス理工 池内賢郎博士には、2ωによる熱伝導率測定の基本的なことから、深い考え方まで教えて頂きました。ここに厚く御礼を申し上げます。東京都市大学 工学部 電気電子工学科 准教授 澤野憲太郎先生には、試料へのイオン注入で大変お世話になりました。深く御礼申し上げます。

大阪大学 ナノサイエンスデザイン教育研究センター 特任准教授 市川聡先生には、実験のアドバイスから就職活動まで、多岐にわたる厚いご支援を頂きました。心からの感謝の意を表します。

事務補佐員 松本茉衣子氏、松田菜緒氏、武田綾子氏には、本研究の実施に当たり、快適な環境を整えて頂きました。ありがとうございました。

研究室同期の石部貴史氏、五十川雅之氏の両名には、日々の研究活動におきまして親身になって、様々なサポートをして頂きました。感謝します。いつも深夜まで実験を手伝ってくれた上田智広氏、ひたむきに実験をやり抜く姿勢を貫き通した松井秀紀氏、辛い顔を何一つ見せずに研究に取り組む坂根駿也氏には、様々なことを学びました。感謝の気持ちでいっぱいです。またここには書き切れませんが、諸先輩方、後輩の方々にも同様、心から感謝致します。

最後に、筆者が本論文を執筆するにあたり、終始暖かい支援をして下さった両親、叔父伯母夫妻、祖母へ、そして常にそばで励まし続けて下さった浦井千里氏に、厚い御礼を申し上げます。本当にありがとうございました。

業績一覧

査読付き原著論文 (学位論文に関係)

[1] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, Y. Yamaamoto, S. Arai, T. Tanji, N. Tanaka, and A. Sakai, “Fabrication of Si thermoelectric nanomaterials containing ultrasmall epitaxial Ge nanodots with an ultrahigh density”, *J. Electron. Mater*. **44**, 2015 (2015).

[2] Y. Nakamura, M. Isogawa, T. Ueda, S. Yamasaka, H. Matsui, J. Kikkawa, S. Ikeuchi, T. Oyake, T. Hori, J. Shiomi, and A. Sakai, “Anomalous reduction of thermal conductivity in coherent nanocrystal architecture for silicon thermoelectric material”, *Nano Energy* **12**, 845 (2015).

[3] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, and A. Sakai, “Phonon transport control by nanoarchitecture including epitaxial Ge nanodots for Si-based thermoelectric materials”, *Sci. Rep*. **5**, 14490 (2015).

[4] S. Yamasaka, K. Watanabe, S. Sakane, S. Takeuchi, A. Sakai, K. Sawano, and Y. Nakamura, “Independent control of electrical and heat conduction by nanostructure designing for Si-based thermoelectric materials”, *Submitted*.

査読付き原著論文 (関係論文)

[1] S. Yamasaka, Y. Nakamura, O. Yoshitake, J. Kikkawa, K. Izunome, and A, Sakai, “Improvement effect of electrical properties in post-annealed wafer-bonded Ge(001)-OI substrate”, *Phys. Status. Solidi. A* **211**, 601 (2014).

[2] K Minami, Y Nakamura, S Yamasaka, O Yoshitake, J Kikkawa, K Izunome, and A Sakai, “Electrical characterization of wafer-bonded Ge (111)-on-insulator substrates using four-point-probe pseudo-metal-oxide-semiconductor field-effect transistor method”, *Thin Solid Films* **520**, 3232 (2012).

[3] K. Tanaka, Y. Nakamura, S. Yamasaka, J. Kikkawa, T. Sakai, and A. Sakai, “Formation and optical properties of Ge films grown on Si (111) substrates using nanocontact epitaxy”, *Appl. Surf. Sci*. **325**, 170 (2015).

国際会議

[1] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, Y. Yamamoto, S. Arai, T. Tanji, N. Tanaka, and A. Sakai, “Introduction of Ge nanodots as phonon scatterers and the thermal conductivity reduction”, The 32nd International Conference on Thermoelectrics (ICT2013), Kobe, Japan, June-July/2013.

[2] S. Yamasaka, Y. Nakamura, T. Ueda. S. Takeuchi and A. Sakai, “Reduction effect of thermal conductivity by introduction of epitaxial Ge nanodots in Si”, 12th International Conference on Atomically Controlled Surface, Interfaces and Nanostructures in conjunction with 21st International Colloquium on Scanning Probe Microscopy (ACSIN-12 & ICSPM21), Tsukuba, Japan, November/2013.

[3] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, and A. Sakai, “Introduction of ultrahigh density Ge nanodots into Si films for Si based thermoelectric materials”, 1st KANSAI Nanoscience and Nanotechnology International Symposium, Osaka, Japan, February/2014.

[4] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, and A. Sakai, “Thermal and electrical properties of Si films including epitaxial Ge nanodot phonon-scatteres”, The 33th International Conference on Thermoelectrics (ICT2014), Nashville, USA, July/2014.

[5] S. Yamasaka, Y. Nakamura, S. Tsurusaki, S. Takeuchi, and A. Sakai, “Formation and thermoelectric properties of stacked β-FeSi2 nanodots on Si substrates”, ICSS-SILICIDE2014, Tokyo, Japan, July/2014.

[6] S. Yamasaka, Y. Nakamura, T. Ueda, S. Takeuchi, and A. Sakai, “Fabrication of ultrahigh

density Ge nanodots as phonon scatterers in Si films and their thermoelectric properties", The 1st International Symposium on Interactive Materials Science Cadet Program (iSIMSC), Osaka, Japan, November/2014.

[7] S. Yamasaka, Y. Nakamura, T. Takeuchi, and A. Sakai, "Phonon scattering control by structure of epitaxial Ge nanodots in Si", The 34th International Conference on Thermoelectics (ICT2015), Dresden, Germany, June-July/2015.

国内学会

[1] 山阪司祐人、中村芳明、上田智宏、竹内正太郎、酒井朗、「Si 系熱電材料におけるエピタキシャルナノドット散乱体の形成とその熱伝導率評価」、第 60 回応用物理学会春季学術講演会、神奈川工科大学、2013 年 3 月。

[2] 山阪司祐人、中村芳明、上田智宏、竹内正太郎、酒井朗、「Si 中エピタキシャル Ge ナノドット散乱体の熱伝導率低減効果」、第 74 回応用物理学会秋期学術講演会、同志社大学、2013 年 9 月。

[3] 山阪司祐人、中村芳明、上田智宏、竹内正太郎、酒井朗、「エピタキシャル Ge ナノドットを有する Si 熱電薄膜の電気特性評価」、第 61 回応用物理学会春季学術講演会、青山学院大学、2014 年 3 月。

[4] 山阪司祐人、中村芳明、鶴崎晋也、竹内正太郎、酒井朗、「エピタキシャル鉄シリサイドナノドット積層構造の熱電特性」、第 75 回応用物理学会秋期学術講演会、北海道大学、2014 年 9 月。

[5] 山阪司祐人、中村芳明、上田智宏、竹内正太郎、酒井朗、「Si 中エピタキシャル Ge ナノドットを用いた熱抵抗制御」、第 62 回応用物理学会春季学術講演会、東海大学、2015 年 3 月。

[6] 山阪司祐人、渡辺健太郎、澤野憲太郎、竹内正太郎、酒井朗、中村芳明、「エピタキ

シャル Ge ナノドット含有 Si 薄膜における熱電特性制御」、第 75 回応用物理学会秋期学術講演会、名古屋国際会議場、2015 年 9 月。

受賞

[1] 平成 24 年度 大阪大学大学院基礎工学研究科賞 (平成 25 年 3 月 25 日)。

[2] Best Poster Award, 1st KANSAI Nanoscience and Nanotechnology International Symposium, Osaka, Japan, February/2014.

[3] THE 2014 ITS OUTSTANDING POSTER AWARD, ICT2014, Nashville, USA, July/2014.

[4] Student Research Award, The 1st International Symposium on Interactive Materials Science Cadet Program (iSIMSC), Osaka, Japan, November/2014.