



Title	イオンビームのULSIへの応用に関する研究
Author(s)	黒井, 隆
Citation	大阪大学, 1999, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3155409
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

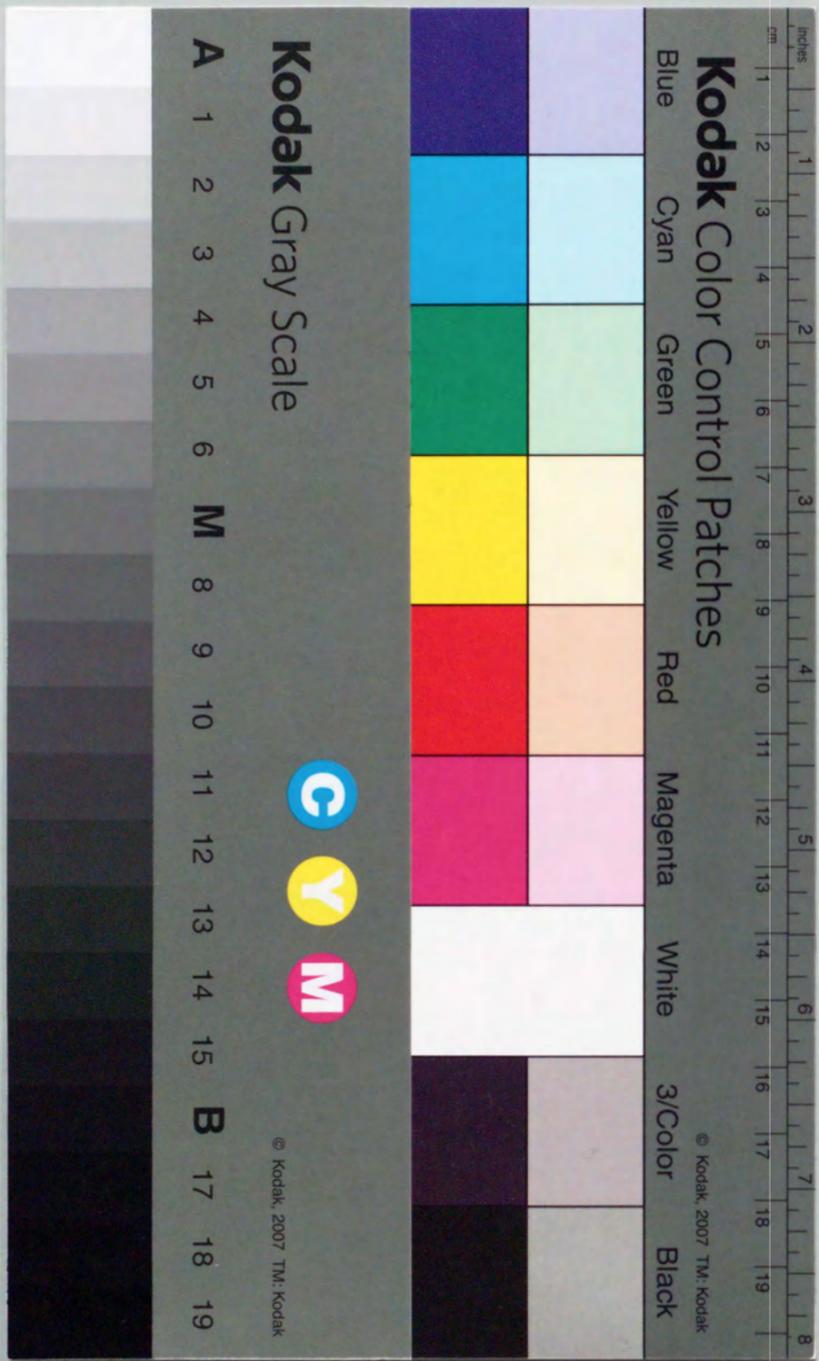
<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

イオンビームのULSIへの応用
に関する研究

1999年

黒井 隆



イオンビームのULSIへの応用 に関する研究

1999年

黒井 隆

内容梗概

本論文は、イオンビームのULSIへの応用に関する研究の成果をまとめたもので、本文は緒論、結論を含めて7章より構成されている。

以下、各章毎にその内容の概要を述べる。

第1章 緒論

本研究を行うに至った背景を述べ、本研究の目的及び、シリコン半導体技術における本研究の占める位置を明らかにした。本章では、急速に微細化、高性能化が進み、様々な技術的、物理的制約に直面しているULSI技術において、素子特性、信頼性の向上を実現するためにイオンビームを応用し、得られた新しい結果の概要を述べ、本論文の構成を説明した。

第2章 高エネルギーイオン注入技術

クォーターミクロンレベルのMOSトランジスタの高性能化には、基板不純物の制御が重要になる。そこで、高エネルギーイオン注入を用いた深さ方向にプロファイルをもつプロファイルドウェルの形成により、素子特性をほぼ独立に制御できる基板エンジニアリングを提案し、素子分離特性の向上、メモリーデバイスのソフトエラー耐性の向上が可能なことを実証した。

また、高エネルギーイオンの高濃度注入を実用化するに当たり、最大の課題である結晶欠陥が電気特性に与える影響を調べた。イオン注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると、接合リーク電流が急激に減少することを見だし、この現象は、注入に起因する2次欠陥がイオンの通過した位置に発生した微小欠陥をゲッターリングするセルフゲッターリング機構によることを明らかにした。

第3章 高エネルギーイオン注入によるゲッターリング

ULSI製造の熱処理低温化により従来のウエハ裏面でのゲッターリングは困難となっている。そこで、高エネルギーイオン注入によって素子形成領域に近接してゲッターリング層を形成する技術を提案した。高エネルギー注入によって形成したゲッターリング層により、イオン注入によって発生する微小欠陥および重金属がゲッターリングされることを実証した。また、ゲッターリング能力は、ボロン<炭素、酸素<フッ素<シリコン注入の順に強くなることが明らかにし、ゲッターリング効果のおよぶ範囲は、少なくとも $2 \mu\text{m}$ 以上であり、デバイス形成領域（表面）まで十分効果がおよぶこと確認した。

第4章 窒素注入によるゲート酸化膜の窒化

トランジスタの高性能、高信頼化を実現するためには、ゲート酸化膜の窒化が有効である。そこで、ゲート電極に窒素イオンを注入しゲート酸化膜に窒素を析出させることで窒化酸化膜を形成する技術を提案し、MOSトランジスタのホットキャリア耐性とゲート酸化膜の信頼性の向上が可能なことを確認した。さらに、デュアルゲート構造での最

大の課題であるボロンのゲート酸化膜の突き抜けを抑制できたことについて述べた。

第5章 窒素イオン注入による浅い接合の形成

トランジスタの短チャネル効果を抑制するための浅い接合形成が必須となっている。窒素を拡散層にイオン注入することで不純物の拡散を抑制する技術を提案し、浅い p^+ 拡散層、および浅い n^+ 拡散層の形成が可能なことを確認し、微細MOSトランジスタに適用した結果について述べた。

第6章 プラズマドーピングによる不純物導入

極低エネルギー、高濃度注入が可能であり、次世代のドーピング技術として期待されているプラズマドーピングをPMOSトランジスタへ適用し、窒素イオン注入技術と組み合わせることで信頼性の劣化がないことを確認した。

第7章 結論

第2章から第6章までの本研究によって得られた結果を総括した。

目次

第1章 緒論	1
1.1 研究の背景	1
1.2 イオンビームによる分析技術	2
1.3 イオン注入技術	4
2.4 本研究の目的	6
2.5 本研究の内容	6
第2章 高エネルギーイオン注入技術	11
2.1 緒言	11
2.2 高エネルギーイオン注入装置	12
2.2.1 静電加速器	12
2.2.2 RF線形加速器	13
2.2.3 高エネルギーイオン注入装置	14
2.3 高エネルギーイオンの注入分布	15
2.3.1 高エネルギーイオンの注入飛程	15
2.3.2 高エネルギーイオンのチャネリング	17
2.4 高エネルギーイオン注入による基板エンジニアリング	20
2.4.1 プロファイルドウエル	20
2.4.2 素子分離への応用	21
2.4.3 DRAMソフトエラーの抑制	23
2.5 高エネルギー注入による高濃度埋込層の形成	23
2.5.1 高エネルギー注入によって形成した埋込層の接合特性	24
2.5.2 注入損傷のセルフゲッターリング	27
2.5.3 炭素、酸素、フッ素追加注入による接合特性の改善	30
2.5.4 高濃度埋込層のMOSトランジスタへの適用	31
2.6 バイポーラトランジスタへの応用	33
2.6.1 試料作製	33
2.6.2 電気特性	34
2.7 結言	37
第3章 高エネルギーイオン注入によるゲッターリング	43
3.1 緒言	43
3.2 ゲッターリング技術	43
3.3 イオン注入損傷のゲッターリング	45
3.3.1 微小欠陥の導入	45

3.3.2	ゲッターリング効果のイオン種依存性	46
3.3.3	シリコン注入によるゲッターリング効果	48
3.4	重金属のゲッターリング	49
3.4.1	試料作製	49
3.4.2	SIMS、TEMによる評価	50
3.4.3	重金属汚染と接合特性	52
3.5	結言	54
第4章	窒素注入によるゲート酸化膜の窒化	56
4.1	緒言	56
4.2	窒素注入によるゲート酸化膜の窒化	57
4.2.1	窒素注入による窒化酸化膜の形成	57
4.2.2	トランジスタ特性	58
4.2.3	ホットキャリア耐性の向上	59
4.2.4	ゲート酸化膜信頼性の向上	62
4.3	ボロンのゲート酸化膜突き抜けの抑制	63
4.3.1	トランジスタへの影響	63
4.3.2	注入イオン種、熱処理条件依存性	64
4.4	ゲート電極不純物濃度の影響	66
4.4.1	試料作製	67
4.4.2	N ⁺ ゲート電極不純物濃度の影響	67
4.4.3	P ⁺ ゲート電極不純物濃度の影響	70
4.4.4	ゲート電極不純物濃度の動作速度に与える影響	71
4.5	ゲート酸化膜形成方法依存性	72
4.5.1	試料作製	72
4.5.2	キャリア移動度	73
4.5.3	ホットキャリア耐性	73
4.5.4	ゲート酸化膜信頼性	76
4.6	結言	79
第5章	窒素注入による浅い接合の形成	83
5.1	緒言	83
5.2	浅い接合形成技術	84
5.3	窒素注入による浅いp ⁺ /n接合形成	85
5.3.1	窒素によるボロンの拡散抑制	85
5.3.2	PMOSトランジスタのソースドレイン形成への適用	86
5.4	窒素注入による浅いn ⁺ /p接合形成	88
5.4.1	窒素による砒素の拡散抑制	88
5.4.2	0.15 μ m NMOSトランジスタへの適用	89

5.4.3	表面近接ゲッターリングによる接合改善	89
5.5	結言	91

第6章	プラズマドーピングによる不純物導入	94
6.1	緒言	94
6.2	プラズマドーピング技術	94
6.3	プラズマドーピングのMOSトランジスタへの適用	96
6.3.1	試料作製	96
6.3.2	ゲート電極へのドーピング	97
6.3.3	極浅接合の形成	98
6.4	結言	100
第7章	結論	102
謝辞		105
研究業績		106

第1章 緒論

1.1 研究の背景

1948年の Shockley らによるトランジスタの発明、1959年の Kilby らによる集積回路の発明以来、固体物性物理に基づく半導体技術は、その需要規模に牽引され他の技術分野に例を見ない程急速に発展してきた。図1-1に示すように半導体メモリの中でDRAM (Dynamic Random Access Memory)は、半導体技術のテクノロジードライバーとして3年ごとに4倍の率で大容量化が進展し、1971年の1kDRAMの発表からわずか30年足らずで100万倍の容量を有する1GDRAMが発表されている。マイクロプロセッサも、1971年に Intel から4004が発表されて以来、急速に性能が高められ、2001年には動作周波数1GHzに達すると予想される。この背景には、微細加工技術の進展が大きく寄与しているが、基本構成素子であるMOS(Metal Oxide Semiconductor)トランジスタの Dennard らによって提案されたスケールリング則[1]をガイドとした縮小も大きな役割を果たしている。

図1-2は、MOSトランジスタのゲート長に対する、主要パラメータを示している。トランジスタサイズのスケールリングほどに電源電圧は低くならないため、高駆動能力を達成するためにゲート酸化膜はますます薄膜化されている。薄膜化による信頼性の低下が懸念されるため、シリコン/シリコン酸化膜の界面制御技術が重要となってくる。また、ト

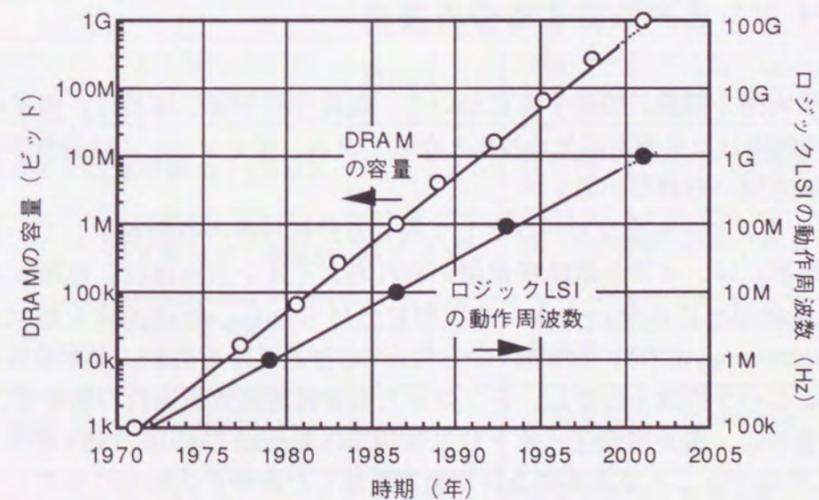


図1-1 DRAMの大容量化とロジックLSIの高性能化

表1-1 MOSトランジスタ技術のトレンド

ゲート長	0.35 μ m	0.25 μ m	0.18 μ m	0.13 μ m	0.10 μ m
電源電圧 (V)	3.3/2.5	2.5/1.2~1.8	1.2~1.8	1.2~1.5	<1.2
ゲート酸化膜厚 (nm)	7~12	4~6	4~5	3~4.5	<3
ソースドレイン深さ (μ m)	0.1~0.2	0.1~0.15	0.07~0.13	0.05~0.1	<0.07
基板表面濃度 (/cm ³)	10 ¹⁸	10 ¹⁸	10 ¹⁹	10 ¹⁹	10 ²⁰
許容重金属濃度 (at/cm ²)	5x10 ¹⁰	2.5x10 ¹⁰	1x10 ¹⁰	5x10 ⁹	2.5x10 ⁹
ウエハ中の微小欠陥 (/cm ²)	>5000	>1000	>500	>100	>100

ランジスタサイズの微細化により、しきい値電圧の低下、DIBL(Drain Induced Barrier Lowering)、パンチスルーなどの短チャネル効果が顕著となり、浅い接合形成技術は必要不可欠となる。表面基板濃度も高くなるために、ドレイン近傍の電界が増加することでホットキャリア注入による素子特性の劣化が問題となり、解決するためのドレインエンジニアリングおよび基板エンジニアリングが今後ますます重要となってくる。さらに、高歩留まりを達成するには、重金属汚染や欠陥密度は極力低減する必要がある。

以上述べた課題を克服するための有力な手段となるのがイオンビームである。イオンビームを用いた固体表面、界面の解析は、物理現象の解明に大きな役割を果たし、また、イオンビームによるシリコン中への正確な不純物導入は、トランジスタ構造設計の自由度を広げている。さらに、イオンビームによる界面制御も期待され、今後もイオンビームはULSIの発展に大きく寄与すると考えられる。

1. 2 イオンビームによる分析技術

半導体集積回路を開発、製造するにおいて、組成分析や構造解析は、素子の不良解析や物理現象の解明には必要不可欠な技術となっており、イオンビームは分析手法のプロープとして幅広く用いられている。

表1-2は、イオンビームをプローブとして用いる分析技術の特徴を示している。表面や界面の構造解析には、イオン散乱法が用いられる。イオン散乱法は、使用するプローブイオンのエネルギーにより、大きく3種類に分けられる。低速イオン散乱法(ISS: Ion Scattering Spectroscopy)[2]は、数100eVから数keVの加速電圧を用い、表面最外層に対して高感度であるという特徴を活かし、シリコン上の金属薄膜成長過程の解析等[3]に用いられている。さらに、直衝突低速イオン散乱法(ICISS: Impact Collision ISS)[4]は、散乱角を180度近くに設定することで直衝突条件で後方散乱した粒子を選択的に検出し、散乱過程を単純化することで直視的な構造解析を可能にし、飛行時間法(TOF: Time of Flight)と組み合わせることでSi(111)上の $\sqrt{3} \times \sqrt{3}$ -Ag構造の超構造の原子配列が明らかとなっている

[5]。中速イオン散乱法(MEIS: Medium Energy Ion Scattering Spectrometry)[6]は、数10keVから100keVの程度の加速電圧を用い、前述した低速イオン散乱法と後述するラザフォード後方散乱法の長所を取り入れた手法であり、深さ方向の情報が得られると同時に、静電型アナライザーを用いるために高い深さ分解能をもつ。この長所を生かして、ボロン注入によって発生した空孔の分布測定等が行われている[7]。ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)[8]は、数MeVの加速電圧を用いチャネリング現象[9]を利用することで、表面の変位原子の情報や、イオン注入によって発生した結晶欠陥の回復過程を観察することができる[10]。

組成分析法として、2次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)は、エネルギー粒子のスパッタ作用を利用する手法で、高い深さ分解能を有し、さらにppm~ppbの検出感度をもつと同時に多元素の測定が可能である。ラザフォード後方散乱法も、簡略に深さ数 μ mまでの定量的な情報を得ることができると同時に、非破壊分析でありプロセスのin-situモニタリングができる特徴を持っている。

半導体デバイスの界面状態および信頼性に大きな影響を与える水素の分析においてもイオンビームは用いられる。弾性反跳粒子検出法(ERDA: Elastic Recoil Detection Analysis)[11]は、半導体中の水素の定量分析[12]、表面吸着水素の検出[13]が可能であり、シリコ

表1-2 イオンビームを用いた分析技術

	分析手法	検出粒子	特徴
構造解析	低速イオン散乱法 (ISS)	散乱イオン	表面高感度、in-situ測定可、 表面構造解析可、非破壊分析
	直衝突低速イオン散乱法 (ICISS)	散乱イオン 中性粒子	
	中速イオン散乱法 (MEIS)	散乱イオン	表面数層の情報、in-situ測定可、 界面構造解析可、深さ分解能高い
組成分析	ラザフォード後方散乱チャネリング法 (RBS-channeling)	散乱イオン	表面変位原子情報、in-situ測定可、 結晶欠陥評価可、非破壊分析
	2次イオン質量分析法 (SIMS)	反跳イオン	検出感度高い、多元素測定可、 深さ分解能高い、破壊分析
水素分析	ラザフォード後方散乱法 (RBS)	散乱イオン	深さ方向解析容易、in-situ測定可、 非破壊分析
	低速イオン反跳粒子検出法 (LE-ERDA)	反跳イオン	表面高感度、in-situ測定可、 非破壊分析
	反跳粒子検出法 (ERDA)	反跳イオン	定量解析可、in-situ測定可、 非破壊分析、深さ分解能 小
	共鳴核反応法 (RNRA)	α 線、 γ 線	定量解析可、in-situ測定可、 非破壊分析、深さ分解能 大

ン中にイオン注入された水素の挙動観察などに用いられている。また、低速イオンを用いた弾性反跳粒子検出法(LE-ERDA:Low Energy ERDA)[14]は、表面水素の高感度分析が可能であり、水素終端表面上の薄膜成長過程の観察が可能となっている[5]。共鳴核反応法(RNRA:Resonance Nuclear Reaction Analysis)[15]は、深さ方向分解能が高いため、表面や界面の水素の高分解定量分析が可能である。

イオンビームは、以上のように組成分析、構造解析において有力な手段となり、本研究においても、各分析手法の特徴を利用し、新規現象の解明を行っている。

1. 3 イオン注入技術

イオン注入とは加速されたイオンを固体表面に照射し、固体表面の物性を制御する技術である。イオン注入を半導体電気特性改善のために利用した研究発表は1950年代前半から始まり、1960年頃J. Lindhardらが非晶質ターゲットに入射したイオン分布の簡単な理論式(LSS理論)を提案し[16]、J. F. Gibbonsらが、種々のターゲットにおける実際の注入イオンの飛程や分散を計算したことにより[17]、注入イオンの分布の基礎的な理解が得られた。その後、本格的な研究が続けられ、1970年代の初期に、MOSトランジスタのしきい値電圧制御技術としてチャネル領域へのイオン注入がまず半導体製造プロセスに取り入れられた。1980年前後には、注入装置が改良され大電流のイオンビームの引き出しが可

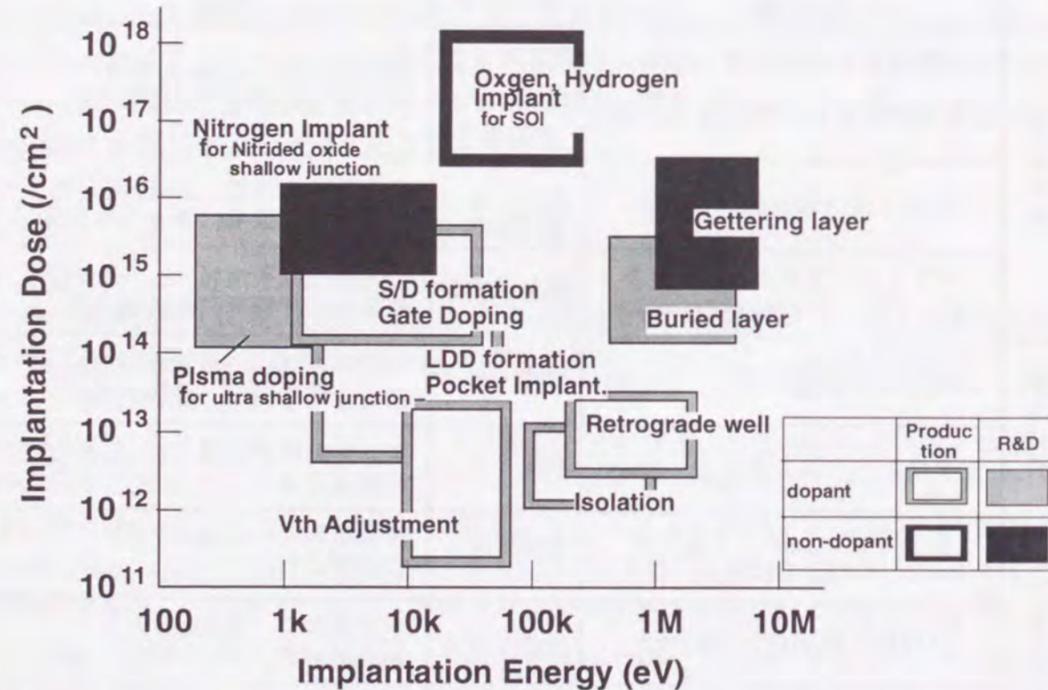


図1-2 イオン注入技術のULSI製造における適用分野

能となり、ソース・ドレイン形成などの高濃度注入に発展し、1990年前後になり、MeV領域の高エネルギーイオン注入が可能となり、現在ではLSIプロセスにおける基幹的なドーピング技術として定着している。

このように、イオン注入技術が、LSIプロセスのほとんどのドーピング工程に用いられるようになった理由は、イオン注入が、(1)不純物の深さは加速電圧の設定で正確に制御できる、(2)不純物濃度はビーム電流を測定することで正確に制御でき再現性が極めて高い、(3)注入するドーパントは質量分析器で分離されるため純度が非常に高い、(4)真空中でかつ室温で注入されるため雰囲気や炉側面からの汚染が極めて少ない、(5)低温で不純物ドーピングできるため、選択的ドーピングのマスク材料としてフォトリソ膜を用いることができる、(6)イオンはターゲット中ではほぼ直進し横方向への拡がり小さいため、マスク通りのドーピングパターンが得られる、といった、従来の熱拡散法では得難い特徴を有するためである。

図1-2は、ULSI製造工程におけるイオン注入の適用分野を本研究の新規対象工程を含めて示している。半導体へのイオン注入は、大きく分けてドナーやアクセプタなどのドーパントの注入と、特性改善のためのドーパント以外の元素注入に分けることができる。ドーパントイオン注入の低ドーズ領域の応用として、しきい値電圧の制御がある[18]。イオン打ち込み量に比例したしきい値電圧の変化が得られることより、注入量を適切に設定することで所望のしきい値が得られる。LDD(Lightly Doped Drain)構造[19]は、素子の微細化に伴うチャネル水平方向の電界を緩和する構造で、ソースドレイン構造に用いられる砒素よりも拡散係数の大きなリンイオンを低濃度で注入することで緩やかな不純物分布を実現できる。しかし、素子の微細化に伴いLDD領域の寄生抵抗が大きくなり電流駆動能力が劣化するという問題が発生した。その問題を解決する手段として考えられたのがn-領域をゲート電極下にまで伸ばしゲート電極からの垂直電界による電荷蓄積層を形成するゲートオーバーラップLDD構造である[20]。この構造を制御性良く実現するブレークスルー技術が回転斜めイオン注入技術である[21-23]。イオンをウエハに対して斜めから入射することで容易にゲート下に不純物を導入でき、ウエハを回転させながら注入することでゲート電極のシャドウイン効果を回避している。シャローポケット注入(SPI:Shallow Pocket Implantation)[24,25]は、ソースドレイン拡散層の周りに反対の導電型のドーパントを注入する技術である。極微細MOSトランジスタのパンチスルーを抑制するために行われ、同時にしきい値電圧の制御も行う技術も報告されている[26]。素子分離のための注入は、素子分離酸化膜下の不純物濃度を高めて分離能力を向上する目的で行われ、従来は素子分離酸化膜形成前に注入を行っていた。最近では、高エネルギーの注入が可能となったため、素子分離酸化膜越しの注入を行い、酸化時の不純物の拡散を抑制している[27]。MeV領域の高エネルギーのイオン注入技術も低ドーズ領域では、実用化が始まり、ウエル内部に高濃度領域を有するレトログレドウエルの形成は、従来の長時間の熱拡散によるウエル形成工程を非常に簡略化した[28]。ソースドレイン拡散層[29]やデュアルゲート電極へのドーピングには、注入量が 10^{15} から $10^{16}/\text{cm}^2$ の高濃度イオン打ち込みが必要となり、1から10mAの程度の大電流イオン注入機が用いられている。

ドーパント以外のイオン注入では、SOI(Silicon on Insulator)基板形成技術として、 $10^{18}/$

cm²程度の高濃度で酸素イオンをシリコン基板に注入し、高温熱処理を加えることでSOI層を形成するSIMOX(Separation by Implanted Oxygen)法[30,31]がある。高濃度の酸素注入を行うために、ビーム電流が100mA程度の超大電流酸素イオン注入機がSIMOX法には用いられている[32]。さらに、SOI基板の他の形成方法にウエハ張り合わせ技術がある。それに関連して水素イオンを高濃度に注入し、低温アニールを加えることで水素注入層が劈開できるという興味深い手法も報告されている[33]。

これらのイオン注入技術のULSI製造工程への適用に対し、筆者の取り組みはイオン注入技術の新しい適用分野に対する研究であり、加速エネルギーは、現状に対してより高エネルギー、またはより低エネルギー、注入量は、より高濃度化の応用範囲を対象とし、さらにドーパント以外の注入としては、窒素による特性改善を対象としている。

1. 4 本研究の目的

本研究は以上述べてきた工学的背景を基に、イオン注入技術の新規応用分野を検討し、集積回路の微細化に伴う問題点を解決するブレークスルーとなるように、以下に示す項目を目的として行われた。

- 1, 高濃度注入による高濃度埋込層の形成、ゲッターリング層の形成技術を確立する。
- 2, 窒素イオンによる窒化技術および、不純物拡散抑制技術の評価を行い、高信頼、かつ高性能なトランジスタが作成できることを実証する。
- 3, 極低エネルギーイオン注入を実現するためにプラズマドーピング技術の基礎評価を行う。

1. 5 本研究の内容

本論文は、イオンビームのULSIへの応用についての成果をまとめたものであり、図1-3に示すように、7章より構成されている。

第1章では、急激に高性能化、微細化するシリコン半導体におけるイオンビーム応用の技術動向について述べ、本研究に着手した動機並びにその目的と意義を明確にし、本論文の構成について記述する。

第2章では、高エネルギーイオン注入の原理、注入イオンの飛程等の基礎特性について述べるとともに、トランジスタの基板構造を最適化することで素子特性が大幅に向上できること、注入イオンのセルフゲッターリング機構により高濃度埋込層の実現が可能となったことについて述べる。

第3章では、LSIの高歩留まりを達成するためのゲッターリング技術として、高エネルギー注入によりデバイス形成領域に近接してゲッターリング層を形成する技術の評価した結果について述べる。

第4章では、トランジスタの高性能、高信頼化を実現するために、ゲート電極に窒素イオン注入を行い窒化酸化膜が形成できることについて述べ、トランジスタ特性、ゲ-

ト酸化膜信頼性について評価を行った結果について述べる。

第5章では、トランジスタの短チャネル効果を抑制するための浅い接合形成技術に関し、窒素注入を行うことで、接合特性を劣化させることなく浅い接合の形成が可能となったことについて述べる。

第6章では、次世代のドーピング技術であるプラズマドーピングをトランジスタに適用し、信頼性の評価を行った結果を述べる。

第7章は、イオンビームのULSIへの応用に関する研究の第2章から第6章までの研究成果を総括する。

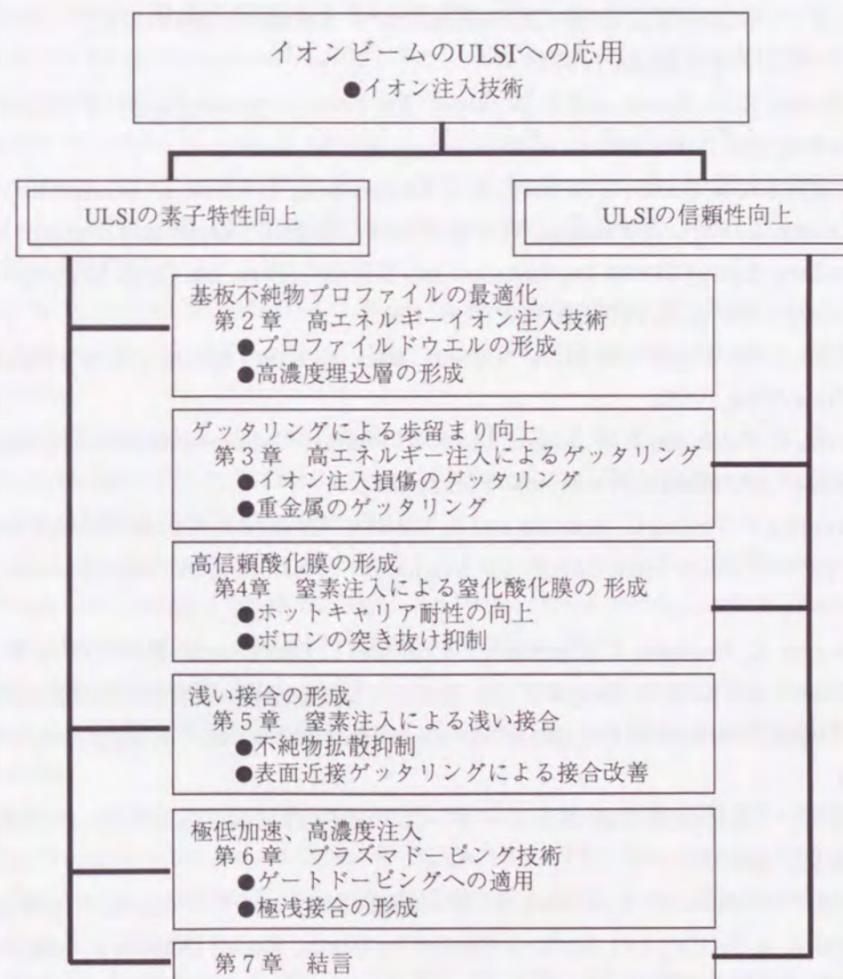


図1-3 本論文の構成

参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc; "Design of Ion Implanted MOSFET's with Very Small Physical Dimensions", IEEE J. Solid State Circuits, SC-9 p.256 (1974)
- [2] D. P. Smith; "Scattering of Low-Energy Noble Gas Ions from Metal Surfaces", J. Appl. Phys. 38 p. 340 (1967)
- [3] 齊藤光親 「低速イオン散乱法によるSi(111)表面上の金属薄膜成長過程に関する研究」 (大阪大学工学博士論文、1983)
- [4] M. Aono, C. Oshima, S. Zaima, S. Otani and Y. Ishizawa; "Quantitative Surface Atomic Geometry and Two-dimensional Surface Electron Analysis by a New Technique in Low-energy Ion Scattering", Jpn. J. Appl. Phys., 20 p. 829 (1981)
- [5] 住友弘二 「飛行時間型低速イオン散乱法による表面構造解析に関する研究」 (大阪大学工学博士論文、1991)
- [6] R. M. Tromp, R. G. Smek and F. W. Saris; "Ion Beam Crystallography of Silicon Surfaces", Surface Sci., 104 P. 13 (1981)
- [7] N. Hatzopoulos, S. Suder, J. A. Berg, S. E. Donnelly, C. E. Cook, D. G. Armour, M. Lucassen, L. Frey, D. Panknin, W. Fukarek, S. Moffatt; "Range and Damage Distribution in Ultra-Low Energy Boron Implantation into Silicon", Proc. Int. Conf. Ion Implantation Technology 1996, p. 527 (IEEE New York 1996)
- [8] W. K. Chu, J. W. Mayer and M. A. Nicolet; "Backscattering Spectrometry", (Academic Press, New York, 1978)
- [9] J. Leonard, C. Feldman, J. W. Mayer and S. T. Picraux; "Material Analysis by Ion Channeling", (Academic Press, New York, 1982)
- [10] A. Battaglia, F. Priolo, C. Spinella and E. Rimini; "Evaluation of Low-Fluence Heavy-ion Damage in Si Under High Energy Ion Irradiation", Nucl. Instrum. and Methods, 55 p. 611 (1991)
- [11] J. L'Ecuyer, C. Brassard, C. Cardinal, J. Chabbal, L. Deeschenes, J. P. Labrie, B. Terreault, J. G. Martel and R. G. St-Jacques; "An Accurate and Sensitive Method for the Determination of the Depth Distribution of Light Elements in Heavy Materials", J. Appl. Phys. 47 p. 492 (1979)
- [12] 梅澤憲司 「固体表面水素の高速イオンビーム分析に関する研究」 (大阪大学工学博士論文、1989)
- [13] K. Oura, J. Yamane, K. Umezawa, M. Naitoh, F. Shoji and T. Hanawa; "Hydrogen Adsorption on Si(100)-2x1 Surfaces Studied by Elastic Recoil Detection Analysis", Phys. Rev. B41 p. 1200 (1990)
- [14] K. Oura, F. Shoji and T. Hanawa; "Detection of Hydrogen on Solid Surfaces by Low-Energy Recoil Ion spectroscopy", Jpn. J. Appl. Phys., 23 p.694 (1984)
- [15] W. A. Lanford, H. P. Trautvetter, J. F. Zeigler and J. Keller; "New Precision Technique for Measuring the Concentration Versus Depth of Hydrogen in Solid", Appl. Phys. Lett., 28 p. 566 (1976)
- [16] J. Lidhard, M. Scharff and H. E. Schiott; "Range Concepts and Heavy Ion Ranges", Mat. Phys. Medd. Dan. Videns. Selsk., Vol.33 No.14 (1966)
- [17] J. F. Gibbons, W. S. Johnson and S. W. Myroie; Projected Range Statics, Semiconductor and Related Materials (John Wiley & Sons, New York, 1975)
- [18] T. Warabisako; "Properties of MOS Structures Prepared on substrates Having Ion Implanted Impurity Distribution Profile", Jpn. J. Appl. Phys. Vol.42 p. 18 (1973)
- [19] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow and J. F. Shepard; "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", IEEE Trans. Electron Devices, ED27, p. 1359 (1980)
- [20] R. Izawa, T. Kure, S. Iijima and E. Takeda; "The Impact of Gate-Drain Overlap LDD (GOLD) for Deep Submicron VLSI's", Tech. Dig. Int. Electron Devices Meet., 1987 p. 38 (IEEE New York 1987)
- [21] T. Eimori, H. Ozaki, H. Oda, S. Ohsaki, J. Mitsuhashi, S. Satoh and T. Matsukawa; "The Improvement of LDD MOSFET's Characteristics by the Oblique-Rotating Ion Implantation", Ext. Abst. 19th Conf. Solid State Devices and Materials 1987, p. 27 (日本学会事務センター, 1987)
- [22] T. Hori, K. Kurimoto, T. Yabu and G. Fuse; "A New Submicron MOSFET with Latid (Large-tilt-angle-implanted-drain) Structure", Dig. Symp. VLSI Technology, 1988 p. 15 (IEEE, New York, 1988)
- [23] M. Inuishi, K. Mitsui, S. Komori, M. Shimizu, H. Oda, J. Mitsuhashi and K. Tsukamoto; "Optimum Design of Gate/Overlapped LDD Transistor", Dig. Symp. VLSI Technology, 1989 p. 33 (日本学会事務センター 1989)
- [24] M. Rodder, A. Amerasekera, S. Aur and I. C. Chen; "A Study of Design/Process Dependence of 0.25 μ m Gate Length CMOS for Improved Performance and Reliability", Tech. Dig. Int. Electron Devices Meet., 1994 p. 71 (IEEE New York 1987)
- [25] T. Hori; "High Carrier Velocity and Reliability of Quarter-Micron SPI (Self-aligned Pocket Implantation) MOSFETs", Tech. Dig. Int. Electron Devices Meet., 1992 p. 699 (IEEE New York 1992)
- [26] Y. Okumura, M. Shirahata, A. Hachisuka, T. Okudaira, H. Arima and T. Matukawa; "Source-to Drain Nonuniformly Doped Channel (NUDC) MOSFET Structure for High Current Drivability and Threshold Voltage Controllability", IEEE Trans. Electron Devices, Vol. 39, p. 2541 (1992)
- [27] P. A. Plas, W. C. E. Snels, A. Stolmeijer, H. J. Blanken and R. Werdt; "Field Isolation Process for Submicron CMOS", Symp. VLSI Tech. Dig., 1987 p. 19 (IEEE New York 1987)
- [28] A. Stolmeijer; "A Twin-Well CMOS Process Employing High-Energy Ion Implantation", IEEE Trans. Electron Devices, ED33, p. 450 (1984)

- [29] Y. Wada and S. Nishimatsy; "Application of High Current Arsenic Ion Implantation to Dynamic MOS Memory LSIs", Jpn. J. Appl. Phys., Vo.18 p. 247 (1979)
- [30] M. Watanabe and A. Tooi; "Formation of SiO₂ Films by Oxygen Ion Bonbardment", Jpn. J. Appl. Phys., Vol.5 p. 737 (1966)
- [31] K. Izumi, M. Doken and H. Ariyoshi; "CMOS Devices Fabricated on Buried SiO₂ Layers Fomed by Oxygen Implantation into Silicon", Electronics Lett., vol.17 p.593 (1978)
- [32] K. Izumi; "Applications of SIMOX Technology to CMOS LSI and Radiation-hardened Devices", Proc Int. Conf. Ion Implat. Tech. 1986, p124 (IEEE New York,1986)
- [33] M. Bruel; "Silicon on Insulator Material Technology", Electronics Lett., vol.31 p. 1201 (1995)

第2章 高エネルギーイオン注入技術

2.1 緒言

従来のイオン注入は、実用上のエネルギーが200keVまでであり、おもに半導体基板表面への比較的浅い注入と、また必要ならその後熱拡散を行ってドーピング層を形成していた。最近MeV領域の高エネルギーイオン注入を用いて半導体基板のかなり深い位置に直接不純物をドーピングする技術が現実のものとなりはじめ、デバイス作製に新たな手段をもたらしつつある。高エネルギーイオンを用いることで、従来のイオン注入では得られなかった注入分布が実現でき、熱処理サイクルの低減をもたらすため、不純物導入技術の新しい局面を拓きつつあるといえる。

図2-1は、高エネルギーイオン注入のULSIプロセスにおける応用を、可能性も含めて示したものである。エネルギーとしては実用的な装置上の制約から当面3MeV以下での応用

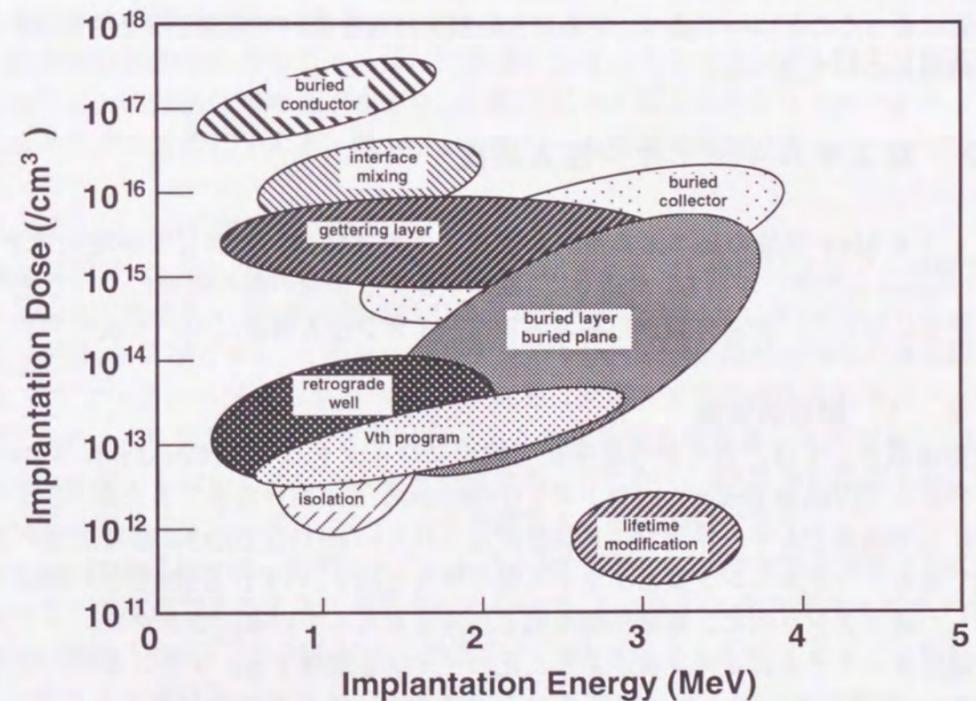


図2-1 高エネルギーイオン注入技術のULSIプロセスにおける応用分野

がおもに開発されており、注入量が $1 \times 10^{14}/\text{cm}^2$ 以下の比較的lowドーズ領域の応用分野であるレトログレードウェルの形成[1-5]、素子分離[6-8]、メモリーデバイスのソフトエラー防止用埋込層[9-10]などに実用化が始まっている。これらのlowドーズ領域の応用技術のCMOSトランジスタ構造における位置関係を図2-2に示している。

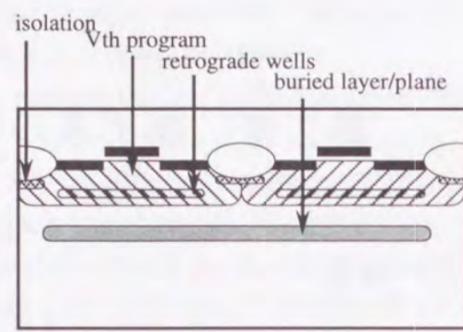


図2-2 CMOSFETへの高エネルギー注入の適用を示す断面図

$1 \times 10^{14}/\text{cm}^2$ 以上の高ドーズ領域では、ゲタリング層、バイポーラトランジスタの埋込コレクタ、高濃度埋込層の形成等の応用が考えられるが、イオン注入に伴う結晶欠陥の発生が課題となる。

ドーズ量が $1 \times 10^{16}/\text{cm}^2$ 以上の超高ドーズ領域においては、ミキシング効果による界面改質、埋込配線層の形成といった応用が考えられるが、高エネルギーで数10mA以上のイオンビームが必要となり、新しい概念の大電流装置の開発が期待される。

本章では、高エネルギーイオン注入装置の動作原理を述べた後、高エネルギーイオンの飛程、チャネリング現象などの基礎的問題、lowドーズ領域の応用である基板エンジニアリングによるMOSトランジスタの特性向上、高ドーズ領域の結晶欠陥の発生とその制御が可能になったことについて述べ、さらに欠陥制御技術を用いて高濃度埋込層をLSIに適用した結果について述べる。

2. 2 高エネルギーイオン注入装置

重イオンをMeV領域の高エネルギーに加速する方式には、大別して静電加速とRF(Radio Frequency)加速とがある。本節では、高エネルギー加速の動作原理について述べた後、本研究に用いた、半導体製造用高エネルギーイオン注入装置について説明する。

2. 2. 1 静電加速器

静電加速器としては、古くから原子核実験用にコッククロフト(Cockcroft-Walton)、ヴァンデグラフ(Van de Graaff)、ペレトロン(Pelletron)などが用いられてきたが、これらをベースにして高エネルギーイオン注入装置が造られている[11]。図2-3に静電加速の2つの方式であるシングルエンド型とタンデム型の構造を示す。いずれもSF₆などの絶縁ガスを充填した高圧タンク内に、高電圧発生部と加速管をもっている。シングルエンド型では、高電圧ターミナルにイオン源があり、正のイオンを加速する。イオン源の引き出し電圧をE₀、高電圧ターミナルの電圧をVとすると、n価イオンの加速エネルギーは、E₀+nqVとなる。

タンデム加速器では、2つの加速管の接続部が高電圧ターミナルになっており、負イ

オン源が高圧タンクの外にある。負イオンを高電圧ターミナルへ向けて加速し、高電圧ターミナルで、窒素、アルゴン等のガスと衝突させることで電子を剥ぎ取って正イオンとし、再び接地電位へ向けて加速する。こうしてn価イオンの最終的な加速エネルギーは、E₀+(n+1)qVとなり、発生した高電圧の2倍から4倍のエネルギーまで加速することができ、エネルギーの割に装置を小型化できる。イオン注入装置ではイオン源の交換頻度が高いため、イオン源を高電圧ターミナルに置く必要のないタンデム方式を採用している装置が多い。

静電加速方式は、エネルギー精度の高い直流イオンビームを得ることができる特長があるが、高電圧発生器の制約から出力ビーム量には限界がある。さらにタンデム型では荷電変換にともなうビーム輸送効率の低下もあり、比較的ビーム電流の大きなコッククロフト加速器でもタンデム方式にすると、数100μAのビーム電流が限度である。

2. 2. 2 RF線形加速器

MeV領域でmAオーダーのビーム電流を取り出すことは、静電加速器では困難であり、ビーム輸送効率の良いRF線形加速器の開発が進められている。図2-4にRF線形加速器の動作原理、およびビデレー(Wideroe)型、アレバレ(Alvarez)型線形加速器の構成図を示す[12]。ドリフトチューブ間のギャップでRF電界に同期させて加速するためビームはパルス状となる。ドリフトチューブ内にはビームを集束させる四重極レンズがあり、また、荷電変換を必要としないためビーム輸送効率は高い。しかし、RF電界に同期させて加速するため種々のイオンを可変エネルギーで加速することは困難であった。

Variable Phase Linacは、各ギャップにおけるRF電界の位相と振幅を変化させて、可変エネルギーで加速できるように考案されたもので、8から12個のRFキャビティをもつ、Variable Phase Linacで2~3MeVまで加速でき、mAオーダーのイオンビームが取り出せるといわれている[13]。

RF線形加速の新しい方式として、ビーム加速と集束を同時に行うRFQ(Radio Frequency Quadrupole)線形加速器が提案されている[14,15]。4個の羽根状電極(Vane)で電気的4重極を構成し、Vaneの縦方向の波型パターンによって軸方向の加速電界を作り出

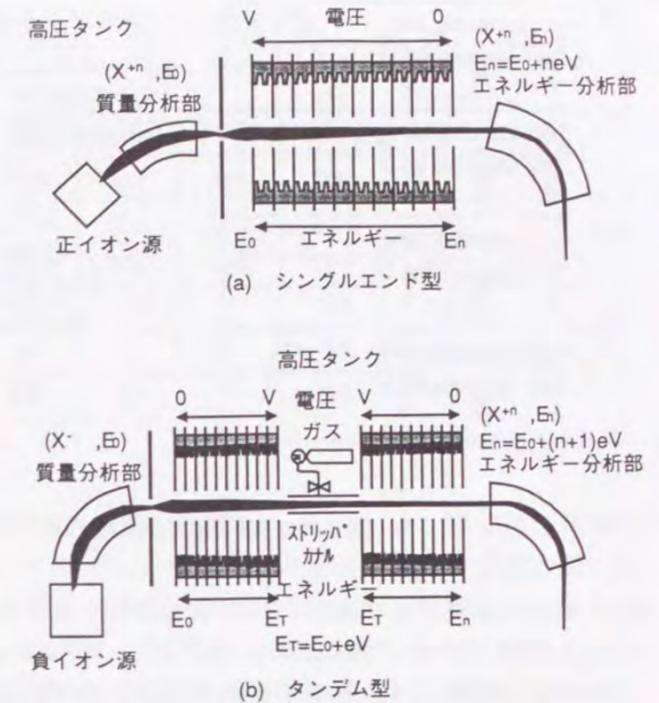


図2-3 静電加速器の構成

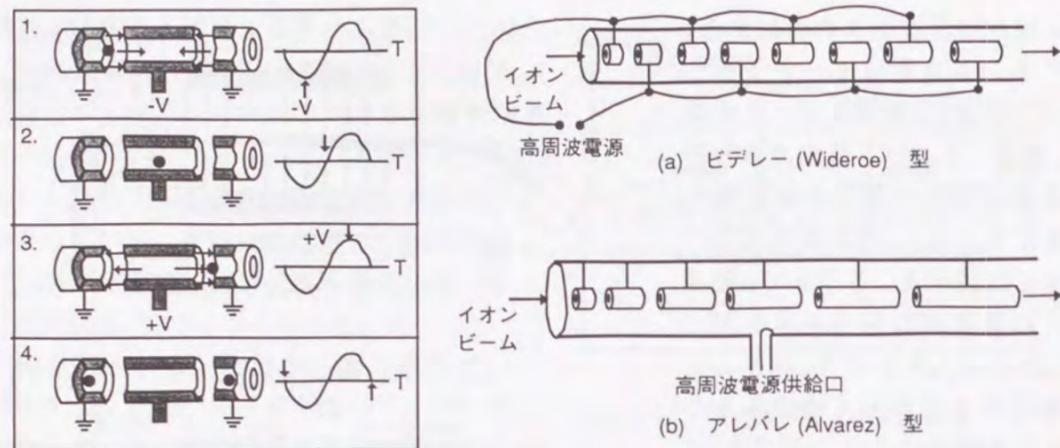


図2-4 RF線形加速器の動作原理と構成図

す。1.85mの加速管に70MHzのRFを印加し、核子当たり92keV(ボロンで1.012MeV、リンで2.852MeV)が得られており、加速管としてはコンパクトになっている。

RF線形加速器は、エネルギーの可変性やRF電力の利用率が低いなどの問題点があるが、大きなビーム電流が取り出せるため、将来的に大電流MeVイオン注入機を実現するものとして期待されている。

2. 2. 3 高エネルギーイオン注入装置

図2-5に本研究で用いた、LSI量産用高エネルギーイオン注入機(IX1500: Genus社製)の構成図を示す[16-18]。本装置はターミナル電圧750kVのコッククロフト型タンデム加速器を有している。イオン源は、BF₃、CO、SiF₄ガスイオンソース、リン、砒素の固体イオンソースを有し、ボロン、炭素、酸素、フッ素、シリコン、リン、砒素のイオンを取

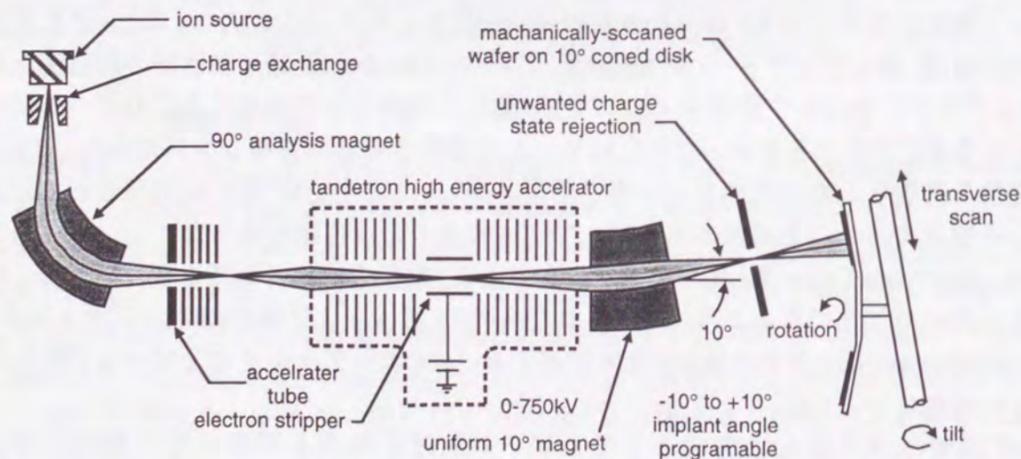


図2-5 高エネルギーイオン注入装置

表2-1 各種イオンのビーム電流一覧

ion	energy (keV)								
	200	500	800	1000	1400	1700	2000	2400	3000
B	83	105	112	105	93	94	101	111	19
P	212	296	325	316	271	232	244	283	111
As	101	93	138	190	200	201	72	80	15
C	38	50	53	49	-	-	39	41	8
O	25	32	35	37	-	-	25	26	8
Si	26	45	44	45	52	-	58	61	20

(particle μ A)

り出すことができる。イオン源からは、正のイオンを引き出し、イオン源直後の荷電変換部でマグネシウムの蒸気により負のイオンに変換する。90度偏向磁石で質量分析を行い所望のイオンのみを取り出した後、最大200kVまでの前段加速を行ってタンデム加速器に入射する。ターミナルまで加速された負イオンは、ストリッパガス(窒素)により正イオンに変換されて、接地電位に向け再び加速される。加速された1価、2価および3価のイオンは、10度偏向磁石で分離される。ターミナル電圧が最大750kVであるため、1価、2価、3価イオンの最大エネルギーは、各々1.7MeV、2.45MeV、3.2MeVになる。エンドステーションは、メカニカルスキャン方式であり、イオンビーム照射によるウエハ加熱を防ぐため、内部に冷却水を循環させる構造となっている。エンドステーションは、8インチウエハで13枚のウエハを同時に注入できるバッチ方式となっている。表2-1は、各種イオンについて、各エネルギー領域でのビーム電流を示している。最大300 μ A以上の電流が得られており、 $1 \times 10^{14}/\text{cm}^2$ 以下のドーズ量では、1バッチあたり数分の処理時間で注入できる。

2. 3 高エネルギーイオンの注入分布

2. 3. 1 高エネルギーイオンの注入飛程

イオン注入されたイオンは、ターゲットの構成物質との衝突により、エネルギーを失いながら進行し、やがて停止する。ターゲット物質との衝突には、電子衝突と原子核衝突の2つの機構があるが、電子との衝突では、電子の質量がイオンの数千分の一以下であるため、イオンは進路をほとんど変えることなくエネルギーを徐々に失っていく。それに対して原子核との衝突では、イオンは大きく進路を変え同時にターゲット原子を格子位置からはじき飛ばす。原子核との衝突断面積は、ほぼイオンエネルギーの2乗に逆比例するため、原子核との衝突はイオンエネルギーが小さい領域で急激に増加する。一方、電子との衝突断面積は、イオンのエネルギーにほぼ比例して大きくなる。したがって、高エネルギー領域での注入イオンは、最初は電子との衝突を繰り返してほぼ直線的に進むが、徐々にエネルギーを失いエネルギーが小さくなると、原子核との衝突が急速に

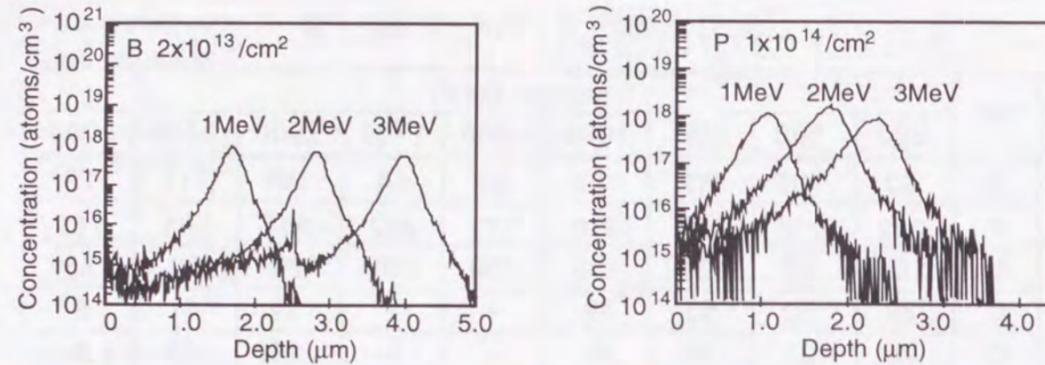


図2-6 シリコンへボロンイオン、およびリンイオンを1MeV、2MeV、3MeVの加速エネルギーで注入したときのSIMS分析による深さ方向濃度分布

増加しランダムな進み方をし停止する。

図2-6は、ボロン、およびリンイオンを1MeV、2MeV、3MeVの注入エネルギーでシリコン基板に注入したときの深さ方向分布をSIMSを用いて分析した結果を示している。3MeVのボロンイオンで深さ4μm程度まで不純物の導入が可能である。

図2-7は、モンテカルロシミュレータ"TRIMコード"[19]を用いてボロンおよびリンイオンのシリコン基板中での投影飛程 R_p (Projected Range)、および偏差 ΔR_p を示しており、同時に図2-6のSIMS測定結果より求めた R_p 値も示している。シミュレーションにより求めた R_p 値とSIMS結果は良い一致を示している。また、注入エネルギーが大きくなるにつれ R_p は単調に大きくなるが、 ΔR_p は飽和する傾向にある。これは、 ΔR_p が低エネルギー領域で支配的になる原子核衝突によるイオンの停止位置のばらつきを表す量であるため、最初の注入エネルギー値によらなくなるためである。

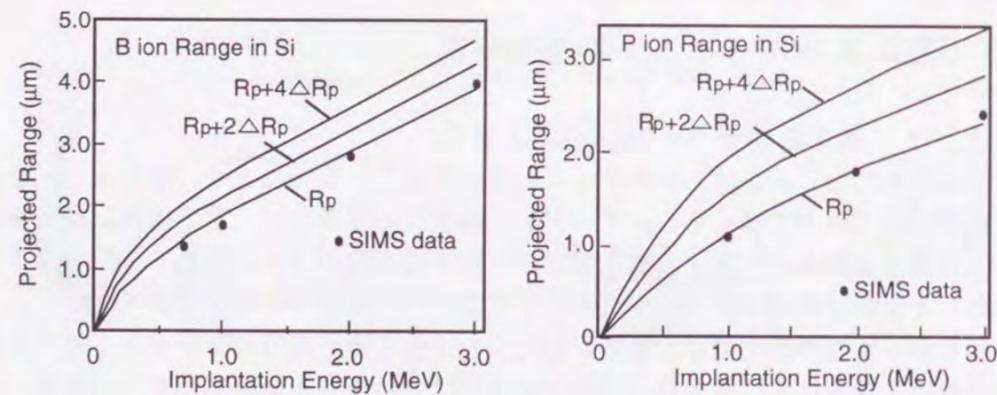


図2-7 モンテカルロシミュレーションから求めたシリコン中のボロンイオン、およびリンイオンの投影飛程 R_p 、および偏差 ΔR_p 。●は、SIMSより求めた実測値

このように、高エネルギー領域でのイオン注入においても注入飛程は容易に見積もることができ、従来の低エネルギーイオン注入技術と同様に精度良く不純物の導入が可能である。

2.3.2 高エネルギーイオンのチャネリング

結晶軸あるいは結晶面に平行な角度でイオンビームを単結晶シリコンに入射する場合、イオンの飛程が大きく変化するいわゆるチャネリング現象が起こる[20-22]。結晶軸、結晶面に平行な角度から、単結晶シリコンを眺めた場合、格子原子に囲まれた原子の存在しない空間いわゆるチャンネルが存在する。このようなチャンネルに対して平行に入射されたイオンは、格子点の原子と近接衝突することなく、チャンネル中を小角散乱を繰り返して通過し、深い位置まで進入する。

図2-8は、700keVのボロンイオンを(100)単結晶シリコン基板に対して、(1)軸チャンネルに平行(入射角0度、方位角55度)、(2)面チャンネルに平行(入射角7度、方位角45度)、(3)ランダム方向(入射角7度、方位角55度)に注入した場合の注入分布をSIMSで測定した結果を示している。チャンネルに平行に注入した場合、ランダム方向に注入した場合と比較して大きく分布が異なっている。チャンネル方向に注入した場合は、ランダム方向に注入した場合と同じピーク位置である1.4μm付近と、2.0μm付近に2つのピークが見られる。2.0μm付近のピークはチャネリングしたイオンに相当し、1.4μm付近のピークは、格子振動やイオンビームの広がりのためにディチャネリングしたイオンに相当する。

チャネリング現象を、結晶構造を取り扱うことのできるモンテカルロシミュレータ"MARLOWEコード"[23-26]を用いてシミュレートした。図2-9は、<100>軸チャネリングを計算した結果を示している。実際の注入条件に近づくために、300Kでのデバイモデルによる格子振動や、入射ビームの拡がり(1度)を含めて計算した。2つのピークの出現等図2-8に示したSIMSの結果をよく再現している。

イオンの入射条件により、どの程度チャネリングの影響が出るかの測定を行った。チャネリングの評価にはサーマルウエーブ法を用いた。チャネリングを起こすと、格子原子との衝突確率が小さくなり、格子欠陥が

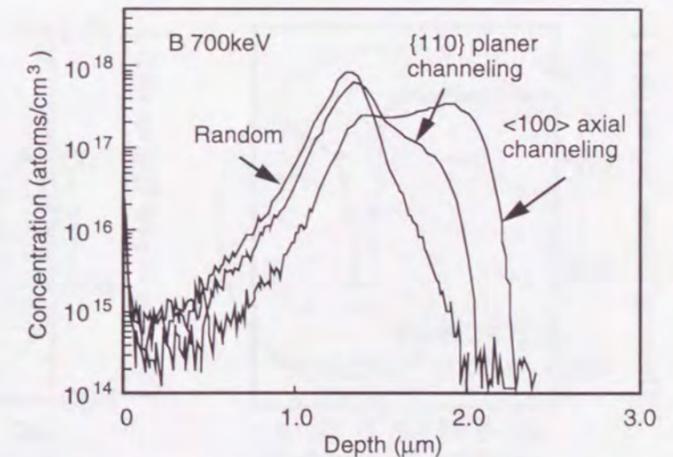


図2-8 700keVのボロンを<100>軸と平行方向(入射角0度、方位角55度)、{100}面と平行方向(入射角7度、方位角45度)、ランダム方向(入射角7度、方位角55度)に入射した場合の深さ方向分布

減少するため、結晶欠陥と相関のあるサーマルウェーブ信号をモニターすることでチャネリングを評価できる。図2-10に700keVのボロンイオンに対し、入射角 θ を変化させたときのサーマルウェーブ信号の変化を示す。 $\theta = 0$ 度(<100>軸のチャネル方位)でサーマルウェーブ信号が最小となり、軸チャネリングを起こしている。図2-11は、方位角 ϕ を変化させたときの面チャネリングの影響を示している。この時、軸チャネリングの影響を避けるために、入射角は $\theta = 7$ 度に固定し測定した。 $\phi = 45$ 度と $\phi = 90$ 度付近でサーマルウェーブ信号が極

小値をとり、それぞれ{100}面、{110}面の面チャネリングを起こしている。また、 $\phi = 67$ 度と $\phi = 75$ 度でも面チャネリングによるサーマルウェーブ信号の減少が見られるが、これらの高次の面においては面間距離が小さいためチャネリングの程度は小さい。

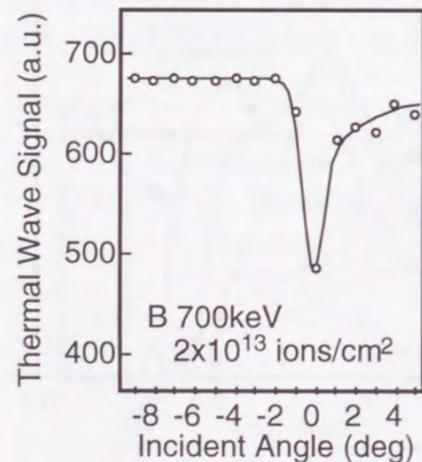


図2-10 ボロンイオンの軸チャネリングによるサーマルウェーブ信号の変化

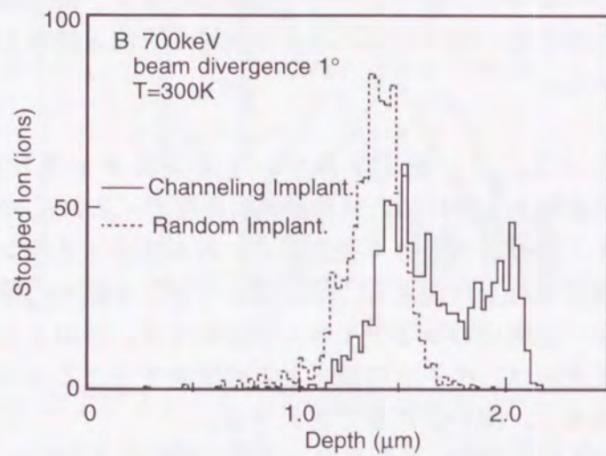


図2-9 700keVのボロンを<100>軸と平行(入射角0度)なチャネリング方向と、ランダム方向(入射角7度)に入射した場合のモンテカルロシミュレーション

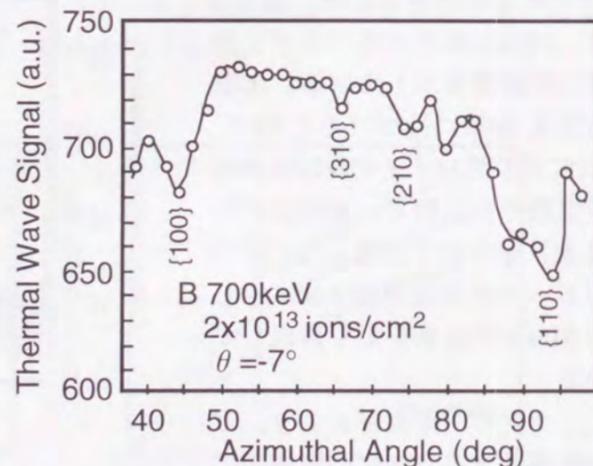


図2-11 ボロンイオンの面チャネリングによるサーマルウェーブ信号の変化

チャネリングが生じる臨界角 Ψ_c は、次式(2-1)で与えられる[27]。

$$\Psi_c = \frac{\Psi_1}{\sqrt{2}} \left(\ln \left[\left(\frac{Ca}{\delta} \right)^2 + 1 \right] \right)^{1/2} \quad (2-1)$$

$$\Psi_1 = \sqrt{2Z_1Z_2e^2/Ed} \quad (2-2)$$

ここで a は遮蔽長、 C は定数($=\sqrt{3}$)、 δ は熱振動項、 d は原子列の平均距離、 Z_1 は入射イオンの質量、 Z_2 はターゲット物質の質量である。図2-12は、ボロン、リンイオンの<100>軸チャネリングの臨界角について(2-1)式より計算した理論値と今回の実験値を示している。実験値は、サーマルウェーブ法で測定したチャネリングディップの半値角で定義している。サーマルウェーブ測定より求めた実験値は、理論値と良く一致し、注入エネルギーが高いほど、また注入イオンの質量が小さいほどチャネリングの臨界角は小さくなっている。

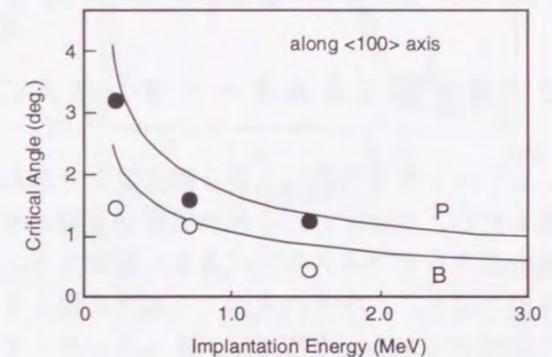
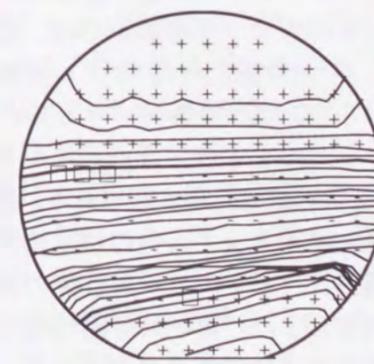
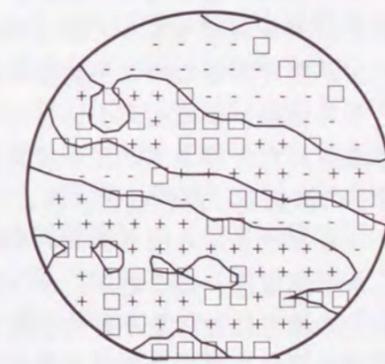


図2-12 高エネルギーボロンイオン、および、リンイオンの<100>軸チャネリングの臨界角の実測値と計算値



$\theta = 0^\circ \quad \phi = 90^\circ$
Ave. TW. Signal 576.5TW unit
Std. Dev. 9.52%
Cont. Int. 2%



$\theta = 7^\circ \quad \phi = 64^\circ$
Ave. TW. Signal 676.3TW unit
Std. Dev. 0.53%
Cont. Int. 2%

図2-13 700keVのボロンイオンをチャネリング方向とランダム方向で注入したときの6インチウエハにおけるサーマルウェーブ信号の分布

実際のイオン注入は、ビームをビーム径1cm程度で入射し、シリコンウエハをメカニカルスキャンさせて行われる。したがって、ウエハ面内で注入角度が多少変化するため、チャネリングが起こると注入分布の面内均一性が著しく悪くなる。図2-13は、チャネリングが起こる $\theta=0$ 度、 $\phi=90$ 度の注入条件とチャネリングを起こさないランダム注入条件でボロンを700 keVで 2×10^{13} ion/cm²注入したときのサーマルウエーブ信号の面内分布を示している。チャネリングが起こる条件ではシリコンウエハのスキャン方向に起因した面内均一性の劣化が観察される。

2.4 高エネルギーイオン注入による基板エンジニアリング

シリコン集積回路の主要な構成要素であるMOSデバイスは、キャリアが半導体表面を走るため、表面付近の不純物濃度が重要と考えがちであるが、実際には、基板内部の不純物濃度もデバイス特性に大きく影響する。高エネルギーイオン注入を用いることで、所望の深さに、所望の濃度で不純物を導入することが可能となり、デバイス構造設計の自由度が広がる。本節では、高エネルギーイオンの多段注入によるプロファイルドウエルの形成、素子分離特性向上のためのフィールド酸化膜越しイオン注入技術について述べ、DRAM(Dynamic Random Access Memory)へ適用した結果を示す。

2.4.1 プロファイルドウエル

従来のウエルは、低エネルギーのイオン注入と、それに続く高温長時間の熱処理により形成されてきたため、表面から深さ方向に濃度が低くなる不純物プロファイルを持っていた。それに対し、高エネルギーイオン注入によって形成されるウエルは、基板内部に濃度の高い領域があるため、熱拡散による従来型のウエルとは逆の濃度勾配を持つことからレトログレドウエルと呼ばれている。レトログレドウエルでは、高温長時間の熱処理が不要であるために不純物の横方向の広がりが抑制され、ウエル間隔の縮小化が可能となる結果、集積度向上に有効である。さらに、高エネルギーイオンの多段注入により形成された、深さ方向に不純物濃度プロファイルをもつプロファイルドウエルにより、素子の微細化、高性能化、および製造プロセスの簡略化が実現できる。図2-14は、プロファイルドウエルの深さ方向の不純物プロファイルと素子特性の相関関係を示している。しきい値電圧、接合耐圧、ラッチアップ耐性、ソフトエラー耐性等の多くの素子特性が特定の深さにおける不純物濃度で決定される。また、素子の分離特性も、特定の深さにおける不純物濃度に支配されている。従来の熱拡散によるウエルでは、基板濃度を高くすると表面濃度も上昇するため、濃度設定範囲が限定されるのに対し、プロファイルドウエルでは、基板内部の特定の領域の不純物濃度を独立に制御することにより、それに対応した素子特性をほぼ独立に向上させることが可能となる。図2-15は、ボロンの3段注入により形成したp-ウエルのSIMSによる深さ方向分布の一例を示している。3ヶ所にピークを持つプロファイルドウエルが形成できている。

高エネルギーイオン注入を用いれば、基板内部に図2-15で示したような複雑な不純物分

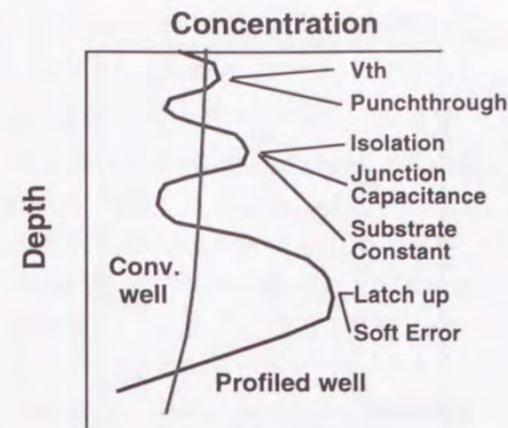


図2-14 ウエル不純物分布と素子特性の関係

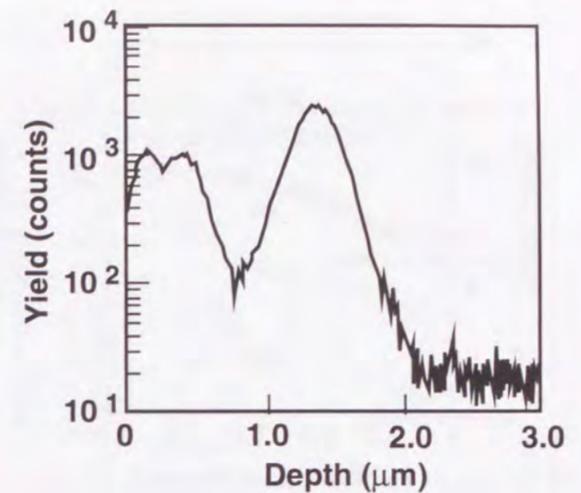


図2-15 ボロンイオンの3段注入により形成したプロファイルドpウエルのSIMS分析によって測定した深さ方向分布

布を容易に形成することができ、ほぼフラットな不純物プロファイルをもつ従来の基板と異なって、多くの素子特性をほぼ独立に最適化することができる。”基板エンジニアリング”とは、基板内の不純物分布を上記のような観点から最適化する手法を指し、高エネルギーイオン注入によって初めて可能となった。

2.4.2 素子分離への応用

LSIを構成する上でトランジスタ技術と同様に素子分離技術は重要な課題の1つである。種々の素子分離技術が提案されているにも関わらず現実に使用されているのはLOCOS(LOCAl Oxidation of Silicon)法であり[28]、このLOCOS法の延命に大きな役割を果たしているのが高エネルギーイオン注入を用いたフィールド酸化膜越しのチャネルカット領域形成技術である。従来のLOCOS法では、素子分離領域をパターンニングした後、チャネルカットのイオン注入を行い、高温での長時間の酸化により厚い酸化膜(フィールド酸化膜)を形成していた為、不純物の再分布が縦方向にも横方向にも発生する。一方、フィールド酸化膜形成後にフィールド酸化膜を通して高エネルギーイオン注入でチャネルカット層を形成した場合、チャネルカット層は高温熱処理を施されず不純物の再分布が縦方向にも横方向にも抑制される結果、素子間の分離間隔が縮小される[6-8]。図2-16は、NMOS、PMOS寄生フィールドトランジスタのソースドレイン耐圧(BVdf)としきい値電圧(Vth)を示している。LOCOS法とフィールド酸化膜越しのチャネルカット注入を用いて0.25 μ m分離が実現できている。

トランジスタのチャネル幅が狭くなるとチャネルカット領域の不純物の影響でしきい値電圧が上昇するナローチャネル効果も、フィールド酸化膜越しのイオン注入技術によ

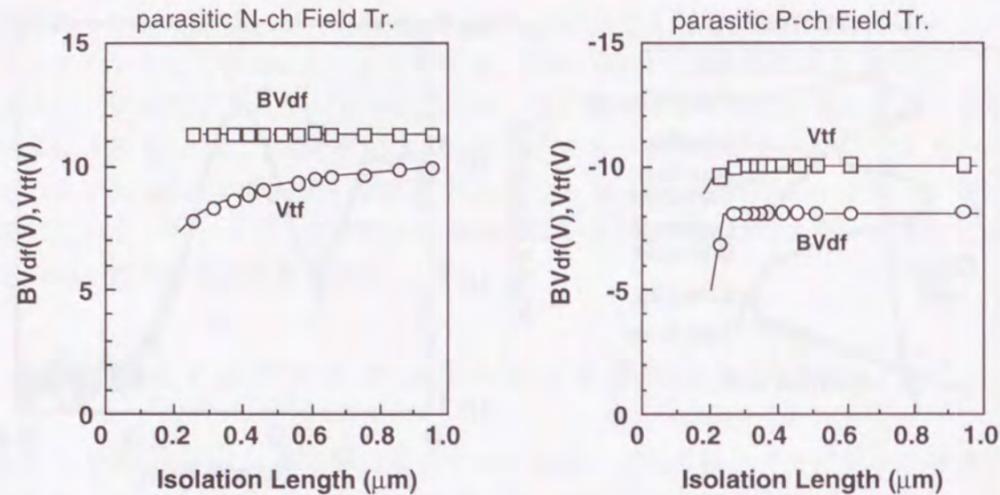


図2-16 フィールド酸化膜越しにチャンネルカットイオン注入を行った寄生NMOS、およびPMOSフィールドトランジスタのソースドレイン耐圧(BVdf)、しきい値電圧(Vtf)の分離幅依存性

り抑制される。これは、上述したようにチャンネルカット層形成後の高温熱処理が不要になるために、チャンネルカット層の不純物のチャンネル領域への拡散が抑制できるためである。図2-17は、ゲート長 $0.25\mu\text{m}$ のNMOSトランジスタのしきい値電圧のチャンネル幅依存性を示している。チャンネル幅の減少とともにしきい値電圧は上昇するが、チャンネル幅 $0.4\mu\text{m}$ (LOCOS法によるバースピーク長両側で $0.2\mu\text{m}$ を含む) までしきい値電圧の上昇が抑制されている。このように、酸化膜越しのイオン注入技術により、分離幅、チャンネル幅ともに縮小でき、素子の微細化が可能となる。

高エネルギーイオン注入によるフィールド酸化膜越しのチャンネルカット領域形成技術を用いることにより、分離長 $0.25\mu\text{m}$ 、活性領域幅 $0.4\mu\text{m}$ の $0.65\mu\text{m}$ ピッチの素子分離が可能となり、LOCOS法により64MDRAMの作製が可能となった。

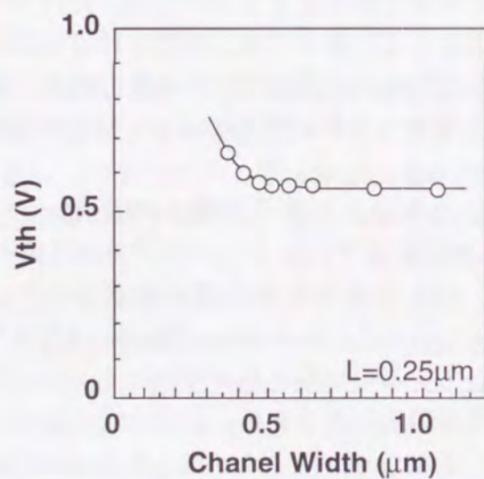


図2-17 フィールド酸化膜越しにチャンネルカットイオン注入を行ったゲート長 $0.25\mu\text{m}$ NMOSトランジスタのしきい値電圧のチャンネル幅依存性

2. 4. 3 DRAMソフトエラーの抑制

メモリーデバイスのソフトエラーは、LSIのパッケージ材料、および宇宙から降り注ぐ α 粒子によって発生した少数キャリアが、メモリーセルの拡散層に捕集されるために発生する[29]。基板内に埋め込まれた不純物層は、 α 粒子によって発生した電子の伝搬を抑え、またファネリング長を短くして、メモリーセルに電子が捕集されるのを抑制し、ソフトエラー耐性を大幅に向上させることができる[9-10]。プロファイルドウェルの最下層のレトログレード部が、埋込不純物層と同様の効果を持つと考えられるために、プロファイルドウェル構造をDRAMに適用しソフトエラー耐性の評価を行った。

4メガビットおよび16メガビットDRAMにプロファイルドウェルを適用した結果を図2-18に示す。ソフトエラー率をメモリーキャパシタ容量の関数として示してある。従来型のウェルと比べてソフトエラー率が2~3桁低下することができた。プロファイルドウェルは、このように非常に優れたソフトエラー耐性を示し、メモリーキャパシタについてはメモリーセル寸法の縮小に寄与し、DRAMの高集積化に大きく寄与することができた。

2. 5 高エネルギー注入による高濃度埋込層の形成

高エネルギー注入では、低エネルギー注入の欠陥分布と異なり、欠陥層が基板内部に埋め込まれ、その上部では欠陥が少ない。従来の低エネルギー高濃度注入では、表面から連続的に欠陥層が形成されるために、その後の熱処理で基板の単結晶領域からの固相成長により結晶回復しやすい。それに対し、高エネルギー注入で形成される埋め込まれた欠陥層では、熱処理による結晶性の回復が、欠陥層の上部と下部の両方から起きるため、欠陥層の中央部に転位等の2次欠陥が発生しやすい[30-34]。さらに、高エネルギーイオンが通過する埋込層上部の領域(素子形成領域)に発生する空孔や、格子間原子等の微小欠陥の回復についても注意しなければならない。また、ソース/ドレインのような浅い接合と異なり、空乏層がイオン注入領域に伸びるため、高エネルギーイオン注入後の熱処理による残留欠陥は接合特性を劣化させやすい。このように、高エネルギーイ

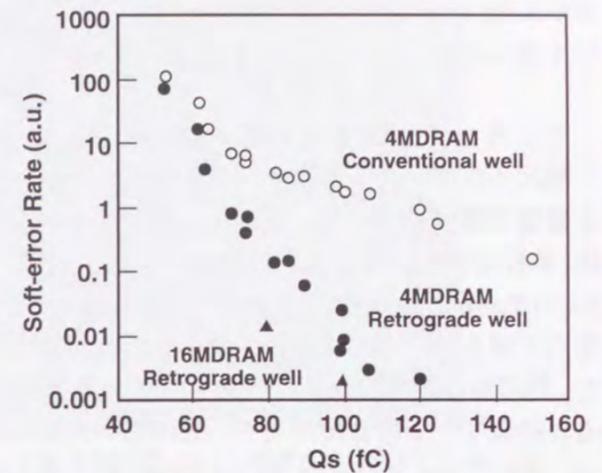


図2-18 熱拡散ウェルおよびプロファイルドウェルに形成された4MDRAM、16MDRAMのソフトエラー率。Amからの α 線($11\mu\text{Ci}$)を照射し、サイクルタイム T_c は $1\mu\text{s}$ で測定。

オン注入により高濃度の埋込層を形成する場合、結晶欠陥の制御が重要となる。本節では、高エネルギー注入によって発生する結晶欠陥が接合特性に与える影響を調べ、注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると接合リーク電流が急激に減少することを見いだしたことについて述べる。

2. 5. 1 高エネルギー注入によって形成した埋込層の接合特性

高エネルギー注入で発生した結晶欠陥の熱処理による回復と、接合リーク電流に与える影響を調べるために、埋込層の上部にPN接合を形成し評価を行った。P型 $10 \Omega \text{ cm}$ のCZ基板にボロンイオンを700keVで注入し、炉アニールあるいは、急速加熱処理(RTA: Rapid Thermal Annealing)を行った後、50keVで砒素を注入して形成したn⁺/p接合のリーク電流を図2-19に示している。注入後の結晶回復のための熱処理を炉アニールで行った場合、処理温度の高温化により接合リーク電流は低減するが、注入量が $3 \times 10^{13}/\text{cm}^2$ 以上になると接合リーク電流は増大し、1000℃の高温熱処理を加えても結晶欠陥が回復していない。それに対して、RTAを行った場合は、注入量を増加させても接合リーク電流はほとんど増加しない。図2-20は、ボロンを700keVで $3 \times 10^{14}/\text{cm}^2$ 注入した試料の注入直後、および900℃の炉アニール、あるいはRTAを行った場合の断面TEM写真を示している。注入直後の写真では、深さ $1.4 \mu\text{m}$ 付近にボロンの不純物層によるコントラストが見られるが、イオン注入の軌道に沿って発生する空孔や格子間シリコンによる微小欠陥はTEMの分解能では観察されない。それに対し、熱処理を行った試料では注入領域に2次欠陥が観察される。しかし、接合特性で大きな差があるにも関わらず炉アニールとRTA処理試料間において結晶欠陥形成には有意差は観察できなかった。田村らは、RTAによる2次欠陥の形成について詳細に調べ

たところ、RTAを行った場合は、炉アニールの場合と比較して転位の成長が抑制され2次欠陥が表面に伸びにくいことを報告している[34]。ボロンを700keVで注入した場合、深さ $1.4 \mu\text{m}$ 付近に2次欠陥層が形成されるため、TEMの視野には入らなかったが、炉アニールを行った試料では表面側に転位が成長している可能性がある。この注入条件では空乏層は表面から $1 \mu\text{m}$ 付近まで伸びるため、炉アニールを行った試料では、空乏層が成長した欠陥層まで到達し接合特性を劣化させている可能性がある。さらに、

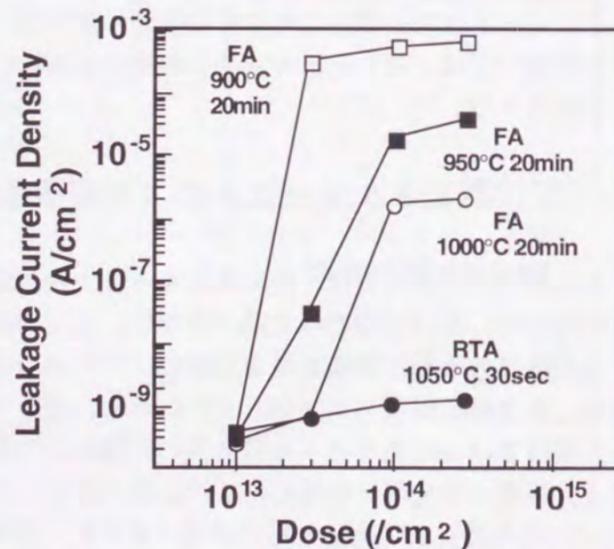


図2-19 700keVのボロン注入により形成した埋込層の上部のn⁺/p接合リーク電流の注入後の熱処理条件依存性

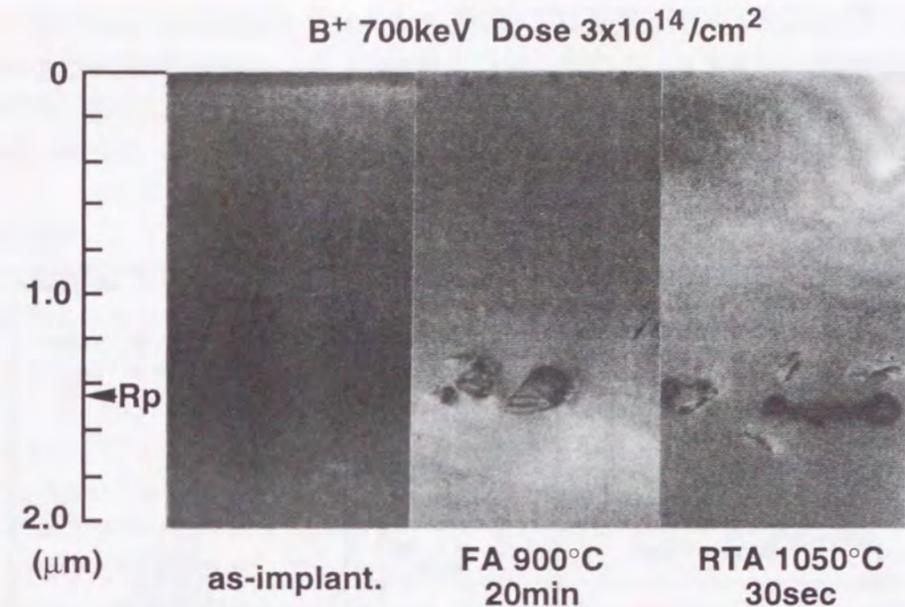


図2-20 700keVのボロンをシリコンに注入した試料の、(左)注入直後、(中)900℃の炉アニール後、(右)1050℃の急速加熱後の断面TEM写真

RTAは、炉アニールに比べて空孔の拡散速度が速いことも報告されており、表面付近の結晶性回復に効果があるとも考えられるが今回の実験では分離できていない。

次に埋込層形成する場合の注入エネルギー依存性を評価した。図2-21は、ボロンを0.7MeV(注入深さ $1.4 \mu\text{m}$)、1.5MeV(注入深さ $2.4 \mu\text{m}$)、2.4MeV(注入深さ $3.5 \mu\text{m}$)の注入エネルギーで注入し1000℃の1時間の熱処理を加えた試料のリーク電流の注入量依存性を示している。いずれの注入エネルギーでも注入量が $3 \times 10^{13}/\text{cm}^2$ までは、リーク電流の増加は見られず良好な接合特性を示している。2.4MeVで注入した場合は、欠陥領域が空乏層から離れているために $1 \times 10^{15}/\text{cm}^2$ の注入量まで接合リーク電流の増加は見られない。

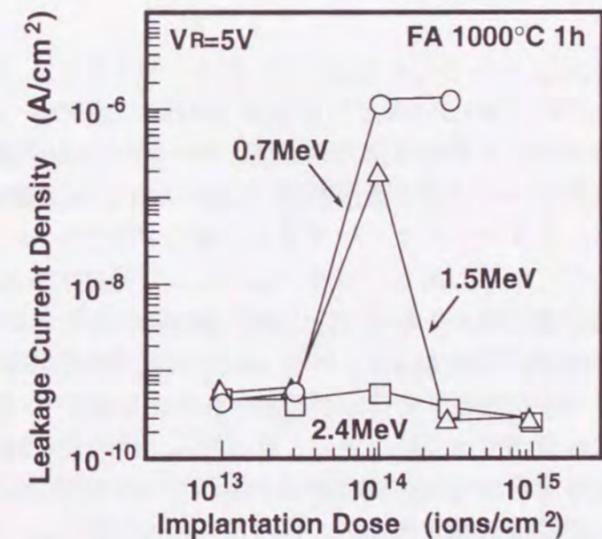


図2-21 ボロンイオンを0.7MeV、1.5MeV、2.4MeVの加速エネルギーで注入にすることより形成した埋込層の上部のn⁺/p接合リーク電流。逆バイアス電圧は5Vで測定。

それに対し、0.7MeVで注入した場合は、前述したように注入量が $3 \times 10^{13}/\text{cm}^2$ を越えるとリーク電流が急激に増加する。ここで、注目すべきことは、1.5MeVで注入した場合のリーク電流の挙動である。注入量が $3 \times 10^{13}/\text{cm}^2$ を越えるとリーク電流が急激に増加するが、 $3 \times 10^{14}/\text{cm}^2$ を越えるとリーク電流が急激に減少する。この現象について詳細に評価を行った。

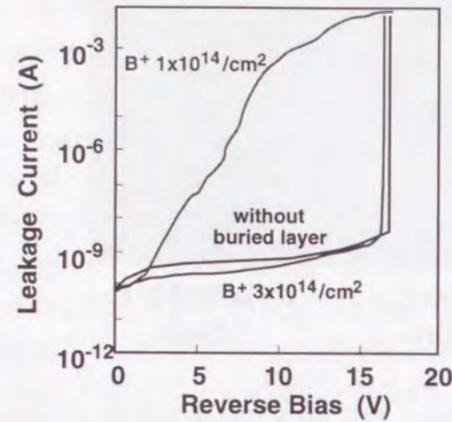


図 2-22 ボロン注入量が $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の埋込層を有するn+/p接合の電流-電圧特性

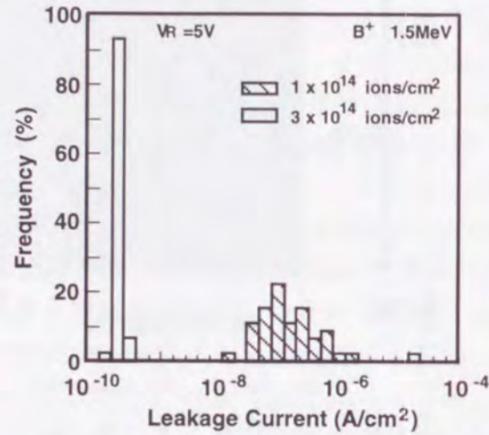


図 2-23 ボロン注入量が $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の埋込層を有するn+/p接合の逆バイアス電圧5Vでのウエハ面内分布

ボロンを1.5MeVで $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の注入量で注入したときの接合リーク電流の逆バイアス電圧特性、およびウエハ面内52点の逆バイアス電圧5Vにおける接合リーク電流のヒストグラムを図2-22、2-23に示す。注入量が $1 \times 10^{14}/\text{cm}^2$ では、逆バイアス電圧が小さいときから接合リーク電流の増加が観察され、注入による結晶欠陥が表面近傍にも存在している。高エネルギー注入により発生する欠陥については、フォトルミネッセンス法により高エネルギー注入独特の欠陥が存在すること[35]、陽電子消滅法により空孔のクラスターが存在すること[36]、あるいは、DLTS法により高エネルギー注入特有のディープレベルが存在することが確認されているが[37]、接合リーク電流を増加させる欠陥の同定にはまだ至っていない。これに対し、注入量が $3 \times 10^{14}/\text{cm}^2$ の場合は、接合降伏耐圧まで埋込層を形成しない場合とほぼ同じリーク電流に収まっており、注入に起因する結晶欠陥の影響は観察されない。さらに、この現象は、ウエハ面内すべてにわたり観察され再現性も確認できている。10Vの逆バイアス電圧での空乏層端の深さを容量-電圧特性から求めると、 $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の注入量に対して、おのおの $1.48 \mu\text{m}$ 、 $1.31 \mu\text{m}$ であった。空乏層幅は両者にほとんど差がなく、リーク電流の明確な差異の原因を空乏層幅に求めることはできない。また、空乏層の位置は、ともに、ボロンの注入飛程 $2.4 \mu\text{m}$ よりかなり浅い位置に存在し、接合リーク電流を増加させているのは、イオンの通過した位置に発生しているTEMでは観察できない微小欠陥と考えられる。

このような現象は、他のイオン種で埋込層を形成した場合にも観測されるかを評価した。n型のドーパントであるリンと砒素について、イオン種の影響を明確にするため注入飛程をそろえて実験を行った。ボロンはp型基板に、リン、砒素はn型基板に、おのおの注入飛程が $1.4 \mu\text{m}$ と $2.4 \mu\text{m}$ になるエネルギーで注入し、 1000°C で1時間の熱処理を加えた後、イオン注入層の上部におおのn+/p接合またはp+/n接合を形成して、接合リーク電流を評価した結果を図2-24に示す。リン注入の場合にも、ボロン注入の場合と同様に、注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると接合リーク電流が急激に減少することが分かる。さらに、ボロン注入では、接合リーク電流の低減が観察されなかった深さ $1.4 \mu\text{m}$ の比較的浅い位置に埋込層を形成した場合にもこの現象は観測される。また、砒素注入で埋込層を形成した場合は、注入量が増加しても接合リーク電流の増加は見られない。

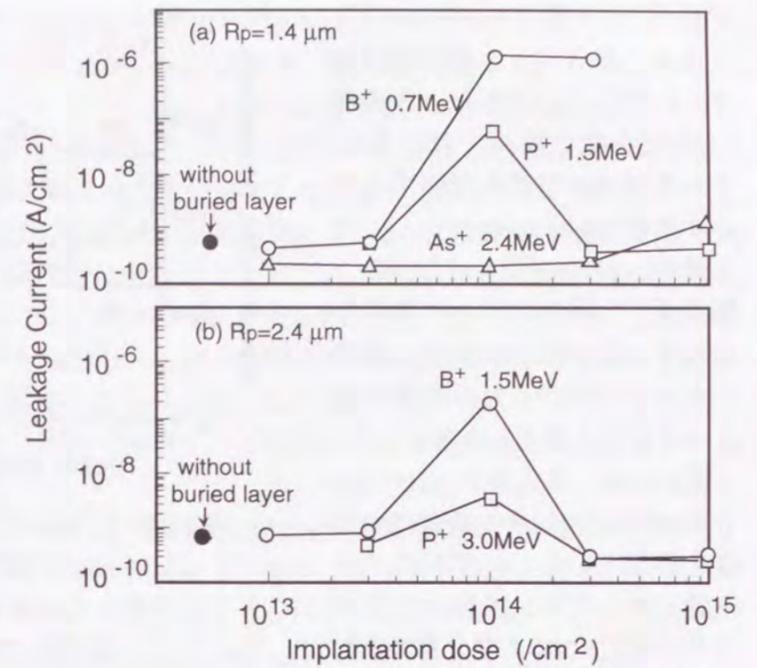


図 2-24 ボロン、リン、砒素埋込層の上部に形成したn+/p、またはp+/n接合リーク電流の注入量依存性。逆バイアス電圧は5Vで測定。

2. 5. 2 注入損傷のセルフゲッターリング

注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると接合リーク電流が急激に減少するという特異な現象を解明するために、SIMS法による深さ方向不純物濃度解析、TEM法による結晶欠陥観察を行った。図2-25は、1.5MeVのボロンを $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の注入条件で行った試料のボロン、酸素、炭素のSIMSによる深さ方向の不純物分布を示している。炭素の分布は両者に差がないが、リーク電流の減少した注入量が $3 \times 10^{14}/\text{cm}^2$ の試料では、埋込層の中央部に酸素が析出している。この酸素はシリコン基板中の酸素であり、酸素が析出することにより表面部の酸素濃度も低減されている。酸素の析出に関しては、他にもいくつか調べられており、2次欠陥領域に酸素が析出することや[38-40]、基板中の酸素濃度が高いと2次欠陥が発生しやすいことが報告されている[41]。酸素が析出することにより、表面酸素濃度が低くなり、表面部の微小欠陥の発生が抑制され接合リーク電流が減少することも考えられる。しかし、CZ基板よりも約1桁酸素濃度の低いMCZ基板、および酸素濃度が検出限界以下であるエピタキシャル基板を用いても、接合リーク電流の注入量依存性

が同一（注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると接合リーク電流が減少する）であることから、表面部の酸素濃度の低減では、接合リーク電流の挙動を説明することができない。したがって、注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると、酸素原子と同様にリーク電流を増加させる微小欠陥が注入領域にゲッターリングされる効果が起こっていると考えられる。

図2-26は、注入量が $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ の試料の断面TEM写真を示している。いずれのイオン種においても、表面から逆バイアス電圧10Vでの空乏層の深さ $1.31 \mu\text{m} \sim 1.48 \mu\text{m}$ の領域にはTEMによる結晶欠陥は観察され

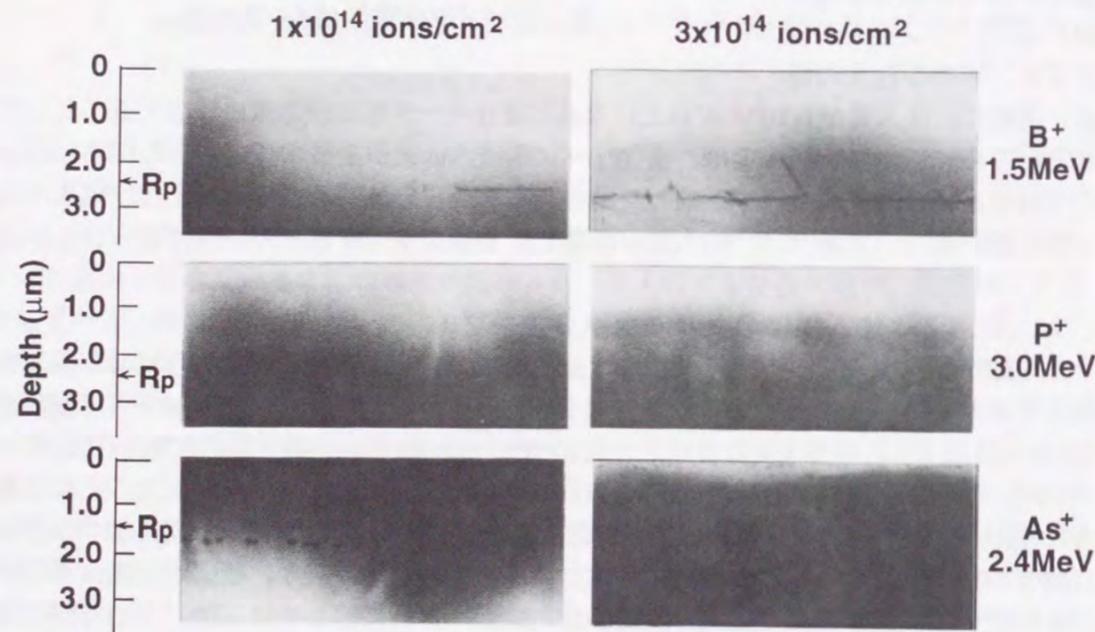


図2-26 1.5MeVのボロン、3.0MeVのリン、2.4MeVの砒素をおののおの $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ で注入し、 1000°C で1時間アニールした試料の断面TEM写真

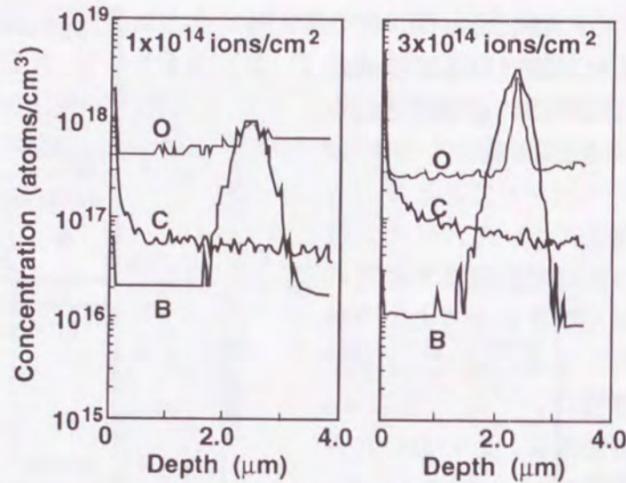


図2-25 1.5MeVのボロンを $1 \times 10^{14}/\text{cm}^2$ と $3 \times 10^{14}/\text{cm}^2$ で注入し、 1000°C で1時間アニールした試料のボロン、炭素、酸素の深さ方向SIMS分布

ず、TEMで観察できない微小欠陥が接合リーク電流を増加させている。ボロン注入とリン注入では、リーク電流の少ない $3 \times 10^{14}/\text{cm}^2$ の試料で、注入飛程の $2.4 \mu\text{m}$ 付近に、2次欠陥が連続的に高密度に発生している。一方、リーク電流の大きい $1 \times 10^{14}/\text{cm}^2$ の試料では、2次欠陥の密度が低いことが分かる。また、リーク電流の低かった砒素注入の場合は、注入量が $1 \times 10^{14}/\text{cm}^2$ でも、高密度の2次欠陥が発生している。このように、接合リーク電流の低減と2次欠陥発生との間には強い相関関係があり、2次欠陥が高密度に形成されると、注入に起因する微小欠陥をゲッターリングするため、接合リーク電流が低減できると考える。また、ボロン注入では、棒状の転位が表面側に伸びているのに対し、リン注入、砒素注入では転位ループを形成し、欠陥分布範囲が狭いことが分かる。深さ $1.5 \mu\text{m}$ 付近の比較的浅い位置に埋込層を形成した場合、 $3 \times 10^{14}/\text{cm}^2$ の注入量でのボロン注入では接合リークが低くならず、リン注入で接合リーク電流の低減が見られたのは、この欠陥分布に起因すると考えられる。

埋込不純物層を形成するためのドーパント注入が2次欠陥を発生させ、微小欠陥をゲッターリングする効果をもつことから、この現象を”セルフゲッターリング”と名付けた。高エネルギー注入のセルフゲッターリング機構により、注入に起因する接合リーク電流の増加を抑制でき、高濃度埋込層の形成が可能となった。

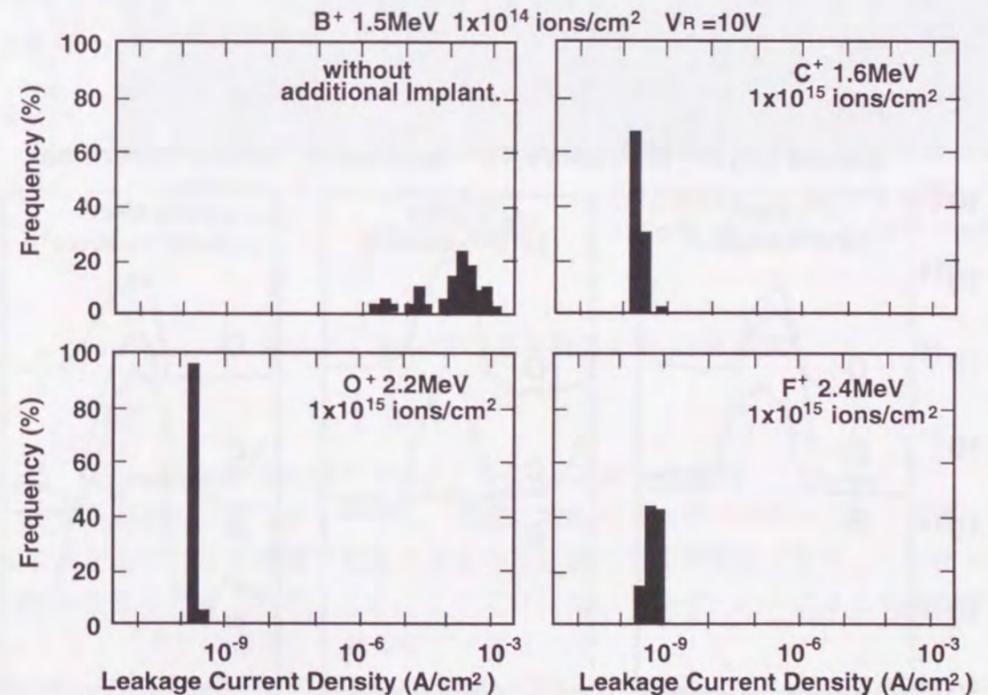


図2-27 1.5MeVのボロンを $1 \times 10^{14}/\text{cm}^2$ で注入し、さらに1.6MeVの炭素を $1 \times 10^{15}/\text{cm}^2$ 、2.2MeVの酸素を $1 \times 10^{15}/\text{cm}^2$ 、2.4MeVのフッ素を $1 \times 10^{15}/\text{cm}^2$ を追加注入した試料のn/p接合リーク電流のヒストグラム。

2. 5. 3 炭素、酸素、フッ素追加注入による接合特性改善

セルフゲタリング機構により、注入量が $3 \times 10^{14}/\text{cm}^2$ 以上では、接合リーク電流の増加なしに、埋込層の形成が可能となった。さらに、すべての濃度範囲において接合リーク電流の少ない埋込層形成が期待される。この課題を実現するために、電気特性に影響を与えないドーパント以外の元素を注入し微小欠陥に対してゲタリング能力を有する2次欠陥を形成することを試みた。2次欠陥を形成するためのイオン種として炭素、酸素、フッ素について評価した。実験は、リーク電流の増加する条件であるボロンを1.5MeVで $1 \times 10^{14}/\text{cm}^2$ 注入した試料に、ボロン注入と飛程を合わせて、炭素(1.6MeV)、酸素(2.2MeV)、フッ素(2.4MeV)を $1 \times 10^{15}/\text{cm}^2$ 追加注入し、1000°Cで1時間熱処理を行った後、埋込層の上部にn⁺/p接合を形成し接合特性を評価した。図2-27は、ウエハ面内52点の逆バイアス電圧10Vにおける接合リーク電流のヒストグラムを示している。前節で示したように、ボロンを1.5MeVで $1 \times 10^{14}/\text{cm}^2$ 注入した場合は、接合リーク電流が大きくウエハ面内分布もばらついているのに対し、炭素、酸素、フッ素の追加注入を行うことで、接合リーク電流は小さくなり、かつウエハ面内におけるリーク電流のばらつきも小さくなることから分かる。

図2-28は、図2-27で接合特性を示した試料のSIMSによる不純物分布を示している。炭素、フッ素の注入では、注入飛程付近に酸素の析出が明確に観察される。さらに、酸素注入を行った場合も、酸素ピーク濃度が $2 \times 10^{19}/\text{cm}^3$ となり基板中の酸素が析出していると考えられる。炭素、酸素、フッ素の追加注入で酸素原子をゲタリングできることから、微小欠陥も同様にゲタリングし、接合特性が改善されたと考えられる。

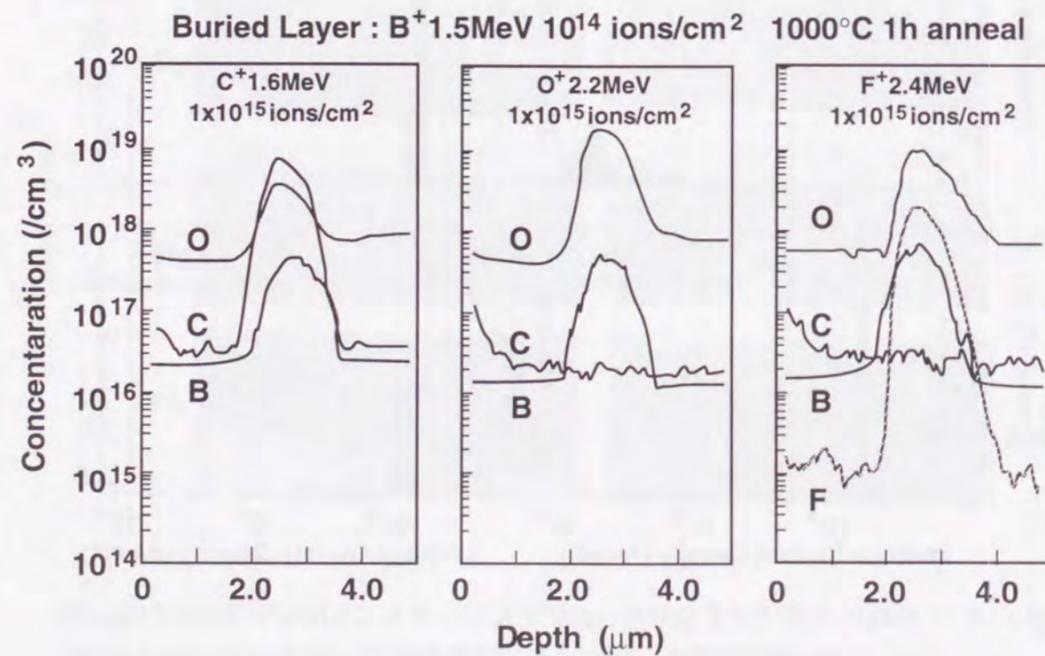


図2-28 図2-27の各試料の、ボロン、炭素、酸素、フッ素の深さ方向SIMS分布

図2-29は、断面TEM評価結果を示している。酸素注入とフッ素注入の場合では、イオン注入の飛程付近である深さ2.4μm付近に高密度の2次欠陥が観察される。これが微小欠陥のゲタリング源となり接合リーク電流の低減をもたらしていると考えられる。一方、炭素注入を行った場合、2次欠陥の発生は見られず、ボロン注入によりわずかに発生する2次欠陥まで消滅している。炭素注入による同様の現象は、Wong[40,43]、田村[41,42]らによって詳細に調べられている。イオン注入された炭素は、シリコンの格子位置に容易に入るが、炭素-シリコン結合距離は、シリコン-シリコン結合距離の82%しかなく、格子歪みが発生し、この歪みを緩和させる過程がゲタリングの機構とするモデルが提唱されている。また、イオン注入で発生する多量の格子間シリコンが凝集し、成長することも転位の発生の原因と考えられているが、格子間シリコンと炭素の相互作用により、転位の発生が抑制されることが報告されている。

以上説明したように、ドーパント以外の元素を埋込層と同じ位置に追加注入することで接合リーク電流が低減できることが明らかとなった。

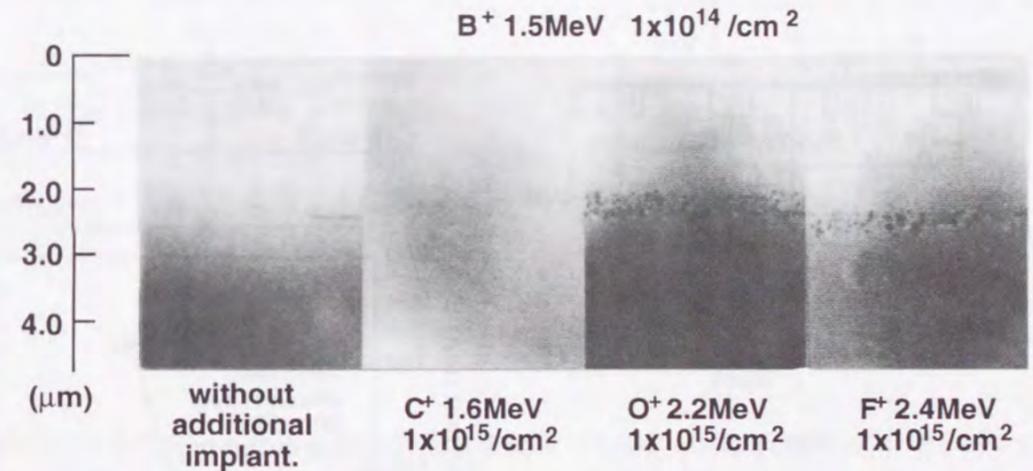


図2-29 図2-27の各試料の断面TEM写真

2. 5. 4 高濃度埋込層のMOSトランジスタへの適用

ドーパント自身のセルフゲタリング機構、あるいは、ドーパント以外の元素の追加注入によるゲタリング機構で任意の濃度の埋込層の形成が可能となり、デバイス構造設計の自由度を広げることができた。ここでは、高エネルギー注入による高濃度埋込層をMOSトランジスタに適用した結果について述べる。

高濃度埋込層をMOSトランジスタに適用して得られる効果の1つにラッチアップ耐性の向上がある[44-46]。CMOS回路は構造上、図2-30に示すように電源線と接地線の間寄生的に存在するサイリスタ構造があり、電源線や信号線のノイズによって、ターンオンし、素子を破壊するほどの過大電流が流れる(ラッチアップ現象)ことがある。図2-30の

等価回路に示すように、ラッチアップは寄生pnp型、nnp型のバイポーラトランジスタからなるサイリスタの導通であり、バイポーラトランジスタの電流増幅率を下げるか、ウェル抵抗を下げることによってラッチアップ耐性を向上できる。図2-31は、従来型ウェル、レトログレードウェル、ボロンを1.5MeVで $1 \times 10^{15}/\text{cm}^2$ 注入することで形成したp⁺埋込層を有するレトログレードウェルについてのラッチアップ耐性の指標の1つである保持電流を、n⁺-p⁺間の距離の関数として示している。レトログレードウェル構造の採用によりウェル抵抗R_w、および寄生nnpトランジスタの電流増幅率の低下により、ラッチアップ耐性が従来ウェルに比べて、若干向上するがその効果は小さい。それに対し、高濃度埋込層を有する構造では、ウェル抵抗、および寄生nnpトランジスタの電流増幅率の大幅な低下によりラッチアップ耐性が向上している。CMOS構造に高濃度埋込層を形成することで、n⁺-p⁺間の距離の縮小が可能となり、ウェル間分離幅を大幅に低減でき、チップ面積の縮小が可能となった。

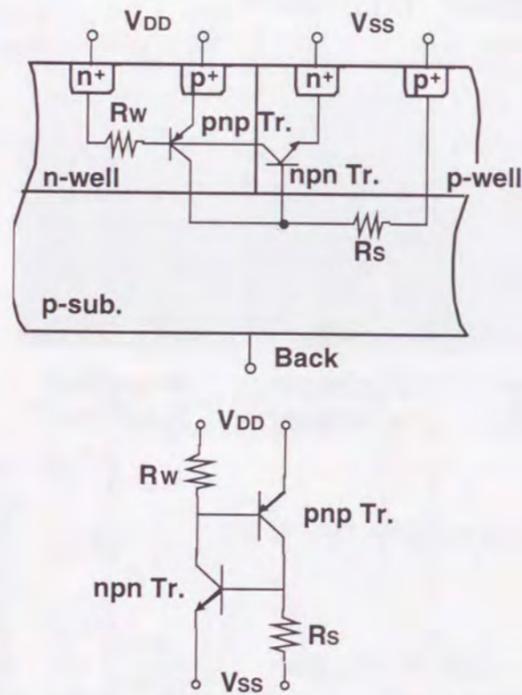


図2-30 CMOS構造に寄生的に存在するpnp、nnp型バイポーラトランジスタとウェル抵抗で形成されるサイリスタ構造と簡単な等価回路

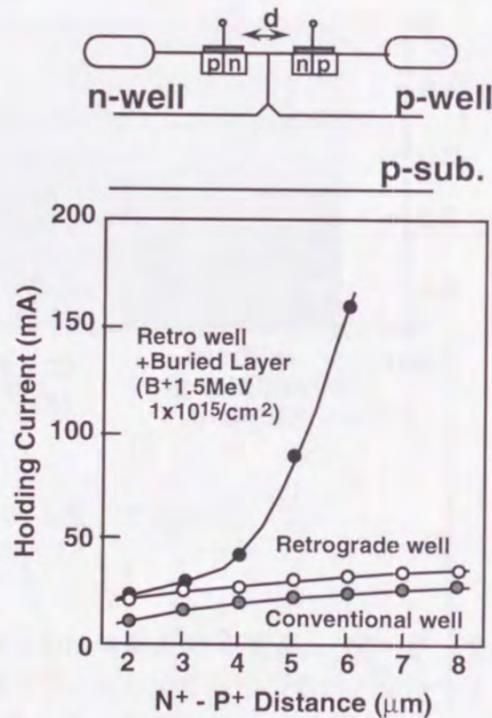


図2-31 従来型ウェル、レトログレードウェル、レトログレードウェル+1.5MeVのボロンを $1 \times 10^{15}/\text{cm}^2$ 注入した埋込層構造のラッチアップ保持電流とn⁺-p⁺間距離の関係

ボロン注入による高濃度埋込層を、DRAMのメモリセルに適用し、ソフトエラー耐性をさらに向上できることを図2-32に示す。 α 線を入射したときに、メモリセルに相当するn⁺拡散層に捕集される電荷量(C. C. E.: Charge Collection Efficiency)を、レトログレードウェル構造と、ボロンを1.5MeVで $1 \times 10^{15}/\text{cm}^2$ 注入することで形成したp⁺埋込層を有する構造と比較している。高濃度埋込層を形成することで、電荷捕集効率は約20%となり、ソフトエラー耐性が大幅に向上することが期待できる。これは、ポテンシャル障壁により、電子が到達しにくくなることに加え、高密度の2次欠陥が存在するため、埋込層中のキャリアのライフタイムが短くなり、空乏層内に到達する確率が減少するためと考えられる。

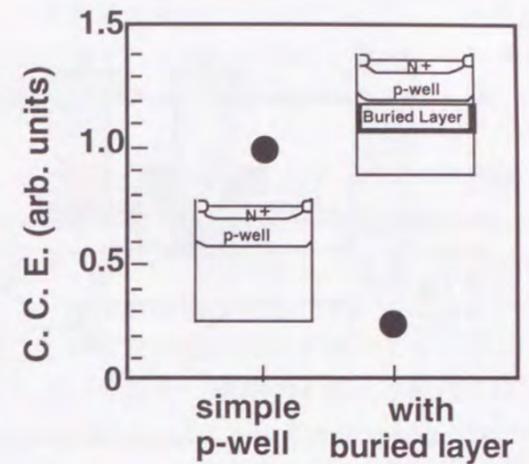


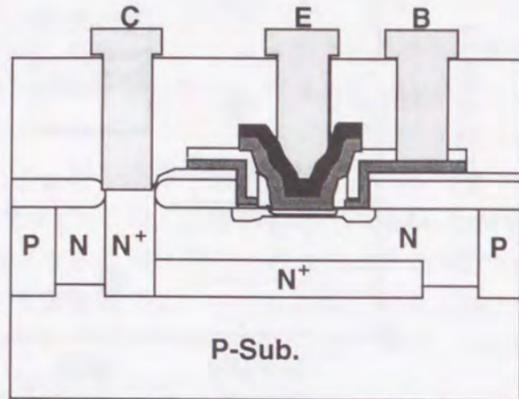
図2-32 レトログレードウェル構造と1.5MeVのボロンを $1 \times 10^{15}/\text{cm}^2$ 注入することで形成した埋込層を有するウェル構造の α 線入射に対する電荷捕集効率

2. 6 バイポーラトランジスタへの応用

高速動作を可能としながら低消費電力を実現するBiCMOSLSIが注目されている。すなわち、高速動作が可能なバイポーラトランジスタと消費電力の小さいCMOSトランジスタを使い分け両者の長所を引き出す回路構成を用いる技術である。バイポーラトランジスタの作成は、埋込層を形成するために、低エネルギーのイオン注入により拡散層を形成した後にエピタキシャル層を成長させる工程が必須となり、プロセスが複雑になると同時に、埋込層不純物の再分布等の問題があり、MOSトランジスタプロセスとの整合性が悪かった。高エネルギー注入のLSIへの応用として、エピタキシャル成長を用いずに、シリコン基板の所望の位置に埋込み不純物層を作成し、バイポーラトランジスタの埋込層を形成する技術が考えられる[46-49]。本節では、高エネルギー注入によりバイポーラトランジスタを作製し得られた知見を示す。

2. 6. 1 試料作製

図2-33に今回作製したバイポーラトランジスタの断面図と主要プロセスを示す。基板はP型10 Ω cmのCZ基板を用いている。微細化を阻害する埋込層不純物の再分布を抑制するために高温熱処理である素子分離のためのLOCOS形成、リンデポによるコレクタウ



- LOCOS formation
- Collector wall formation
- P⁺ isolation
- Collector formation
Multiple high energy B⁺ ion impla.
- Buried collector formation
Multiple high energy P⁺ ion impla.
- Rapid thermal annealing
1000°C 30sec
- ⋮ Double poly-Si emitter-base self-aligned bipolar process

図2-33 高エネルギー注入により作製したバイポーラトランジスタの断面概念図と主要プロセス工程

オールの形成はプロセスの最初に行っている。コレクタ間のPN分離のためのP層、およびコレクタは、それぞれボロンおよびリンの多段注入で形成している。続いてリンイオンの高エネルギー注入によりシリコン基板に直接N⁺埋込コレクタ層を形成した。注入エネルギーは0.8MeVから3.0MeVの範囲で変化させている。これは埋込コレクタ層の深さが1.0 μmから2.4 μmに相当している。注入量は1x10¹³/cm²から3x10¹⁴/cm²の範囲で評価した。続いて活性化を行うために1000°C30秒間の急速加熱(RTA)を行った。これは前述したように急速加熱により注入損傷が回復すると同時に、通常の炉アニールに比べて不純物の拡散が抑制されるためである。その後の、ベース、エミッタ等のバイポーラ電極の形成は通常のセルフアライン型ダブル poly-Si プロセスを用いている[50-52]。

2.6.2 電気特性

高エネルギー注入を用いて埋込コレクタを形成する場合、注入に起因する結晶欠陥による接合リーク電流を完全に抑制する必要がある。接合リーク電流を低減させる手法として、前述した3x10¹⁴/cm²以上の注入量に設定しセルフゲッターリング効果を利用する方法と、RTAを用いる

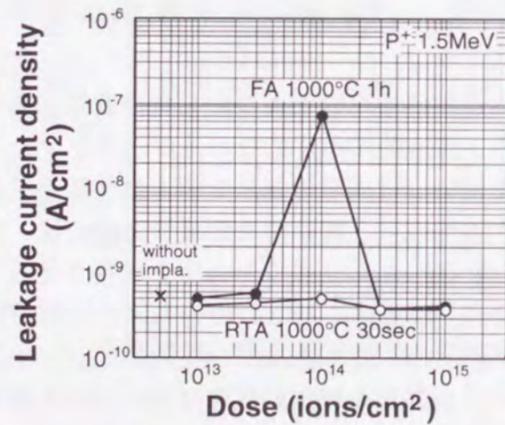


図2-34 1.5MeVのリン注入によって形成した埋込層の上部のp⁺/n接合リーク電流の注入量依存性。注入後の熱処理は1000°Cの炉アニールまたは、1000°Cの急速加熱を用いている。

方法がある。図2-34は、1.5MeVのリンイオンで埋込層を形成した場合の接合リーク電流の注入量依存性を示している。RTAを用いた場合、すべての注入領域で接合リーク電流の増加が見られないことに加え、不純物の活性化率が向上する。本評価では注入後の損傷回復法としてRTAを用いた。

バイポーラトランジスタの基本パラメータの一つであるベース-コレクタ間耐圧(BVCB0)の注入条件依存性を図2-35に示す。注入エネルギーを増加すると埋込層とベース拡散層の距離が離れて接合電界が緩和される結果、BVCB0は増加する。また、注入量を増加すると接合面の不純物濃度が高くなる結果、BVCB0は低下する。図2-36はコレクタのシート抵抗の注入条件依存性を示している。シート抵抗は注入量を増加すると小さくなる。ここで、2.3MeVと3.0MeVで埋込層を形成した場合にコレクタ抵抗が他の条件より小さくなっているのは、コレクタをN⁺領域にするために、それぞれ1.5MeV、および1.5MeVと2.3MeVのリンイオンを6x10¹³/cm²追加注入しているためである。LSIの製造を考慮した場合、注入エネルギーは小さく、注入量を少なくする方がスループットが上がる。図2-35、2-36の結果から埋込コレクタ形成の注入条件は1.5MeVで1x10¹⁴/cm²に設定した。このとき、BVCB0は8.8V、コレクタシート抵抗は180 Ω/□の値が得られた。このシート抵抗値は、従来用いていた低エネルギーのアンチモン注入とエピタキシャル成長を用いた場合と比較して約6倍となっているが、後述するように3.3V以下の低電圧動作においてトランジスタのAC、DC特性において問題にならないことが確認できている。

図2-37は、埋込コレクタ形成条件が1.5MeVで1x10¹⁴/cm²のバイポーラトランジスタの電流増幅率hFEのコレクタ電流依存性を示している。この時のコレクター-ベース間耐圧(BVCB0)、エミッター-ベース間耐圧(BVEB0)、コレクター-エミッター間耐圧(BVCE0)は、それぞれ8.9V、4.2V、5.0Vとなり、電源電圧3.3VのLSIを作成する上で十分な値である。コ

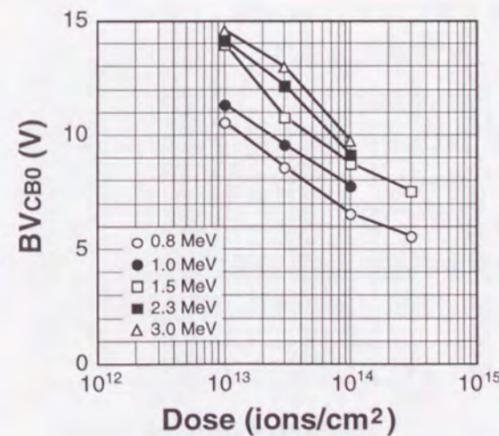


図2-35 コレクター-ベース間耐圧のリン注入量および注入エネルギー依存性

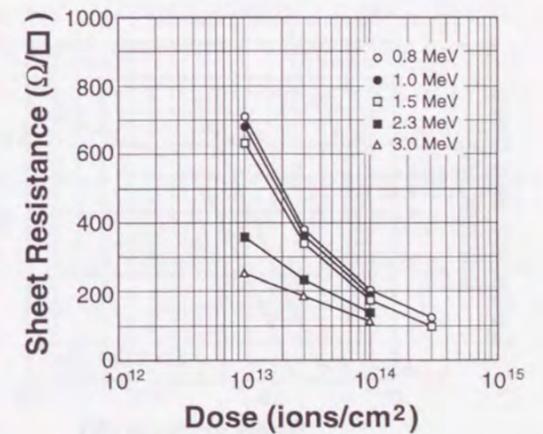


図2-36 コレクタシート抵抗のリン注入量および注入エネルギー依存性

レクタ電圧 2.5V で最大増幅率 155 が達成できており、さらにコレクタ電流が 1nA から 1mA の 6 桁の範囲にわたりほぼ等しい電流増幅率が得られている。従来の製法で形成したバイポーラトランジスタの特性と比較して遜色無い。

図 2-38 は、バイポーラトランジスタのガンメルプロットを示している。低電流領域においても生成-再結合リーク電流の発生は見られず、高エネルギー注入のダメージによる結晶欠陥の発生は完全に抑制できている。図 2-39 は遮断周波数のコレクタ電流依存性を示している。最大遮断周波数 17.3GHz と非常に大きな値を示し、高速動作可能である。最大遮断周波数の向上は、ベース-コレクタ間容量の低減で説明できる。

従来製法では、プロセスの最初の段階で埋込コレクタを形成するため、その後のエピタキシャル膜成長、素子分離、コレクタウオール形成のための高温熱処理により、埋込コレクタの不純物がエピタキシャル膜中に再分布する。その結果、ベース-コレクタ間の接合容量が増加する。それに対し、高温プロセスを行った後、高エネルギー注入により埋込コレクタを形成すると、注入後熱処理が低減され不純物の再分布が抑制される。

高エネルギー注入を用いることでバイポーラトランジスタ形成フローが CMOS 形成フローと共通化できる結果、従来非常に複雑であった BiCMOS プロセスが図 2-40 に示すよ

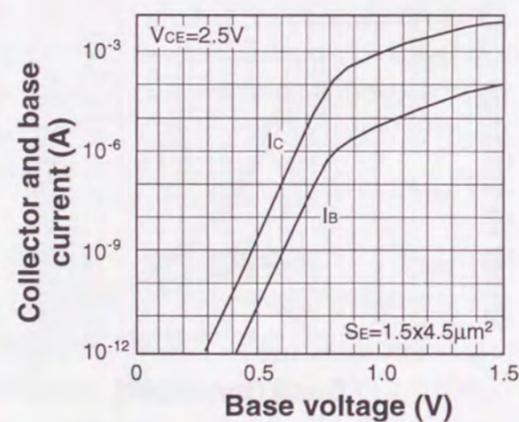


図 2-38 図 2-37 で示したバイポーラトランジスタのガンメルプロット

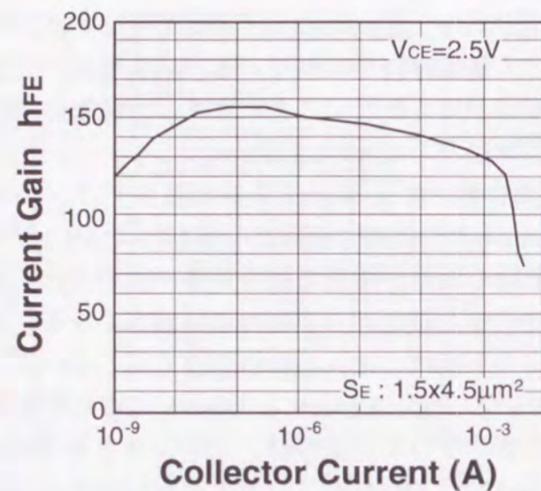


図 2-37 1.5MeV のリンを $1 \times 10^{14}/\text{cm}^2$ 注入することで埋込コレクタを形成したバイポーラトランジスタの電流増幅率 h_{FE} のコレクタ電流依存性

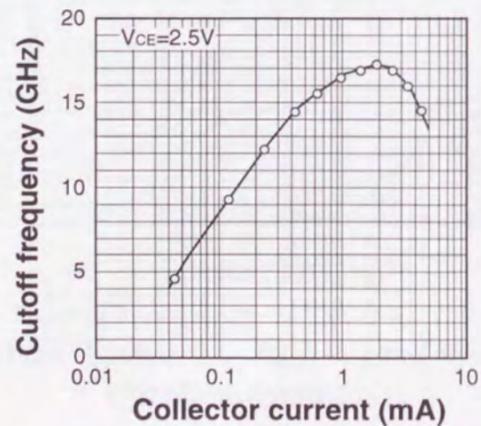
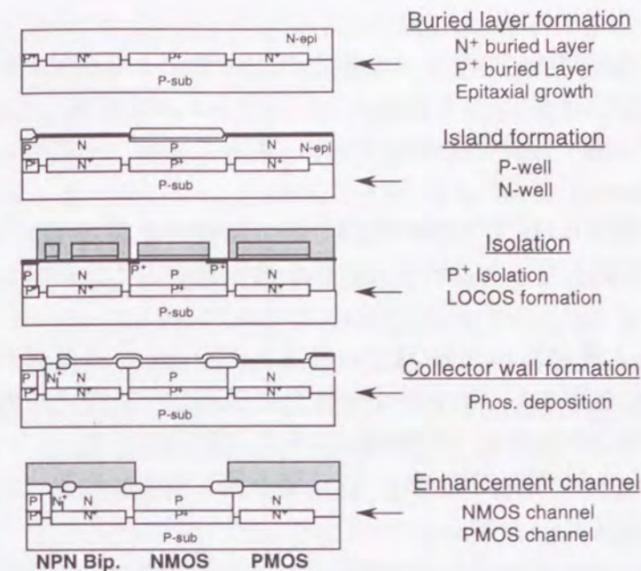


図 2-39 図 2-37 で示したバイポーラトランジスタの遮断周波数のコレクタ電流依存性

Conventional process



Novel process by High-Energy ion implantation

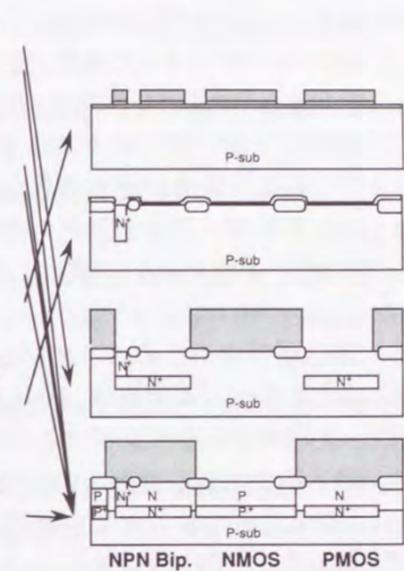


図 2-40 従来のフローと高エネルギー注入による基板エンジニアリング技術を用いた新規 BiCMOS プロセスフローの比較

うに大幅に簡略化できる。LOCOS 法による素子分離酸化膜形成、リンデポジション法によるコレクタウオールの形成の後、バイポーラトランジスタ領域と PMOS 形成領域に高エネルギーのリン注入により埋込 N^+ 層を形成する。この埋込層は、バイポーラトランジスタの埋込コレクタ、PMOS トランジスタのラッチアップ抑制埋込層として働く。続いて、バイポーラトランジスタの P^+ 分離領域と、NMOS 形成領域にボロンイオンの多段注入を行うことで PN 分離および NMOS トランジスタの p-ウエルを同時に形成する。次にバイポーラトランジスタ形成領域と PMOS 形成領域にリンイオンの多段注入を行うことで、バイポーラトランジスタのコレクタおよび PMOS トランジスタの n-ウエルを同時に形成する。その結果、高エネルギー注入を用いた新規プロセスフローでは、1 回のエピタキシャル成長、3 回の写真製版工程、8 回の CVD、酸化、拡散工程、数回のエッチングおよび洗浄工程が削減することが可能となる。

2.7 結言

本章では、高エネルギーイオン注入技術の基本特性、および注入損傷の電気特性に与える影響に関して検討を行うと同時に、高エネルギーイオン注入の ULSI への適用を検討した結果、以下の知見を得た。

(1) 高エネルギーで注入したイオンは、チャネリングを起こすと大きく飛程が変わり、注入分布を変化させるが、面方位、軸方位をチャネリング方位から避けて注入することで良好なウエハ面内分布を得た。

(2) 高エネルギー注入により、深さ方向にプロファイルをもつプロファイルドウェルの形成を可能とし、素子特性をほぼ独立に制御できる基板エンジニアリングを提案した。

(3) 基板エンジニアリングにより、素子分離特性の向上させ、さらにメモリーデバイスのソフトエラー耐性が向上できた。

(4) 高エネルギー注入が通過した位置には、TEM等の物理分析では観察できない微小欠陥が発生し、少数キャリアの生成-再結合中心となり接合特性を劣化させることが明らかとなった。

(5) 埋込層形成のためのイオン注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると、接合リーク電流が急激に減少する。この現象は、注入に起因する2次欠陥がイオンの通過した位置に発生した微小欠陥をゲッターリングするセルフゲッターリング機構によることがわかった。

(6) 埋込層を形成したときの接合リーク電流の増加は、埋込層と同じ位置に酸素、炭素、フッ素を注入することでも低減できた。

(7) 高エネルギー注入によりバイポーラトランジスタの埋込コレクタを形成し、電流増幅率155、最大遮断周波数17.3GHzの性能を達成できた。

参考文献

- [1] R. D. Rung, C. J. Dello'ca and L. G. Walker; "A Retrograde p-Well for Higher Density CMOS", IEEE Trans. Electron Devices, ED28, p. 1115 (1981)
- [2] S. R. Combs; "Scalable Retrograde P-Well CMOS Technology", Tech. Dig. Int. Electron Devices Meet., 1981 p. 346 (IEEE New York 1981)
- [3] J. Y. Chen, "Quadruple-well CMOS for VLSI Technology"; IEEE Trans. Electron Devices, ED31, p. 910 (1984)
- [4] Y. Taur, G. Hu, R. H. Dennard, L. Terman, C. Y. Ting and K. E. Petrillo; "A Self-Aligned $1\mu\text{m}$ -Channel CMOS Technology with Retrograde n-Well and Thin Epitaxy", IEEE J. Solid-State Circuits, SC20, p. 123 (1985)
- [5] A. Stolmeijer; "A Twin-Well CMOS Process Employing High-Energy Ion Implantation", IEEE Trans. Electron Devices, ED33, p. 450 (1984)
- [6] R. A. Martin, A. G. Lewis, T. Y. Huang and J. Y. Chen; "A New Process for One Micron and Finer CMOS", Tech. Dig. Int. Electron Devices Meet., 1985 p. 403 (IEEE New York 1985)
- [7] P. A. Plas, W. C. E. Snels, A. Stolmeijer, H. J. Blanken and R. Werdt; "Field Isolation Process for Submicron CMOS", Symp. VLSI Tech. Dig., 1987 p. 19 (IEEE New York 1987)
- [8] T. Nishihara, K. Tokunaga and K. Kobayashi; "A $0.5\mu\text{m}$ Isolation Technology Using Advanced Poly Silicon Pad LOCOS (APPL)", Tech. Dig. Int. Electron Devices Meet., 1985 p. 403 (IEEE New York 1985)
- [9] G. A. Sai-Halasz, M. R. Wordeman and R. H. Dennard, "Alpha-Particle-Induced Soft Error Rate in VLSI Circuits", IEEE Trans. Electron Devices ED29, p. 725 (1982)
- [10] Y. Matsuda, K. Tsukamoto, M. Inuishi, M. Shimizu, M. Asakura, K. Fujishima, J. Komori and Y. Akasaka, "MeV-Boron Implanted Buried Layer for Soft Error Reduction in Megabit DRAM", Ext. Abst. 19th Conf. Solid State Devices and Materials 1987, p. 23 (日本学会事務センター, 1987)
- [11] C. Makenna, C. Russo, B. Pedersen and D. Downey; "デバイスへの応用が始まったMeVイオン打ち込み技術", 日経マイクロデバイス, 1986年10月号, p. 139
- [12] H. Glavish, D. Bernhardt, P. Boisseau, G. Simcox and A. Denholm; "Linac MeV Ion Implanters", Nucl. Instrum. and Methods, B21 p. 264 (1987)
- [13] P. Boisseau, A. Dart, A. Denholm, H. Glavish, B. Libby and G. Simcox; "Production High-Energy Ion Implanter with Milliampere Beam Capabilities", Nucl. Instrum. and Methods, B37/38 p. 591 (1989)
- [14] A. Hirakimoto, H. Nakanishi, H. Fujita, I. Konishi, S. Nagamachi, H. Nakahara and M. Asari; "An RFQ Accelerator System for MeV Ion Implantation", Nucl. Instrum. and Methods, B37/38 p. 248 (1989)
- [15] A. Hirakimoto, H. Nakanishi and M. Asari; "The MeV ion implantation system "RFQ-1000" and its applications", Nucl. Instrum. and Methods, B55 p. 248 (1991)

- [16] N. Turner, K. H. Purser and M. Sieradzki; "Design Consideration of a VLSI Compatible Production MeV ion Implantation System", Nucl. Instrum. and Methods, B21 p. 285 (1987)
- [17] J. P. O'Connor, N. Tokoro, J. Smith and M. Sieradzki; "Performance Characteristics of the GENUS Inc. IX-1500 High Energy Ion Implantation System", Nucl. Instrum. and Methods, B37/38 p. 478 (1989)
- [18] N. Tokoro, J. P. O'Connor, A. Renau and M. E. Mack; "The Beam performance of the Genus G-1500 ion implanter", Nucl. Instrum. and Methods, B55 p. 434 (1991)
- [19] J. F. Ziegler, J. B. Biersack and V. Littmark; "The Stopping and Range of Ions in Solids", Pergamon Press, New York
- [20] M. I. Current, N. L. Turner, T. C. Smith and D. Crane; "Planer Channeling Effect in Si (100)", Nucl. Instr. and Meth., B6 p. 336 (1985)
- [21] K. Cho, W. A. Allen, T. G. Fisstad, W. K. Chu, J. Liu and J. J. Wormon; "Channeling Effect for Low Energy Ion Implantation", Nucl. Instrum. and Methods, B7/8 p. 265 (1985)
- [22] J. F. Ziegler and R. F. Lever; "Channeling of Ions Near the Silicon <100> Axis", Appl. Phys. Lett., 46(4) p. 358 (1985)
- [23] M. T. Robinson and I. M. Torrens; "Computer Simulation of Atomic-Displacement Cascades in Solids in the Binary-Collision Approximation", Phys. Rev., B9 p. 5008 (1974)
- [24] M. T. Robinson; "Computer Simulation of Collision Cascades in Monazite", Phys. Rev., B27 p. 5347 (1983)
- [25] K. Oura, H. Ugawa and T. Hanawa; "Computer Simulation of Reflection of P Ions from Si (100) Crystalline Targets in Grazing Incidence Ion Implantation", J. Appl. Phys., 64 p. 1795 (1988)
- [26] K. Oura, T. Kojima, F. Shoji and T. Hanawa; "Monte Carlo Simulation of Channeling Effects in High Energy (MeV) Phosphorus Ion Implantation into Crystalline Silicon Targets", Nucl. Instrum. and Methods, B37/38 p. 975 (1989)
- [27] L. C. Feldman, J. W. Mayer and S. T. Picraux; "Material Analysis by Ion Channeling", Academic Press, New York
- [28] J. A. Appelles, E. Kooi, M. M. Paffen, J. J. H. Scfatorje and W. H. C. G. Verkulen; "Local Oxidation of Silicon and its Application in Semiconductor-Device Technology", Philips Res. Repts., 25 p. 118 (1970)
- [29] C. P. Yang, P. Pattnaik and J. A. Seitchik; "Alpha-particle-induced Charge Transfer between Closely Spaced Memory Cells", IEEE Trans. Electron Devices, vol. ED-33 p. 828 (1986)
- [30] P. F. Byrne, N. W. Cheung and P. K. Sadana; "Damage Induced Through Megaelectron Arsenic Implantation into Silicon", Appl. Phys. Lett. 41(6) p. 537 (1987)
- [31] A. K. Rai and D. C. Ingram; "Damage Annealing of 3MeV Si⁺ implanted Silicon", Appl. Phys. Lett. 51(3) pp. 172~174 (1987)
- [32] M. Tamura, N. Natsuaki, Y. Wada and E. Mitani; "Depth Distribution of Secondary Defects in 2-MeV Boron Implanted Silicon", J. Appl. Phys., 59(1) p. 3417 (1986)

- [33] M. Tamura and N. Natsuaki; "Secondary Defects 2 MeV Phosphorus Implanted Silicon", Jpn. J. Appl. Phys., vol. 25 p. 474 (1986)
- [34] M. Tamura, N. Natsuaki, Y. Wada and E. Mitani; "MeV-Energy B⁺, P⁺ and As⁺ Ion Implantation into Si", Nucl. Instrum. and Methods, B21, p. 438 (1987)
- [35] Y. Niki, S. Nadahara and M. Watanabe; "Annealing of Defects by High Energy Ion Implantation", Ext. Abst. 20th Conf. Solid State Devices and Materials 1988, p. 101 (日本学会事務センター, 1988)
- [36] A. Uedono, L. Wei, C. Docho, H. Kondo, S. Tanigawa and M. Tamura; "Defects Induced by MeV-Energy Ion Implantation into Si Probed by a Monoenergetic Positron Beam", Jap. J. Appl. Phys., Vol. 30, p. 1597 (1991)
- [37] H. Sayama, M. Takai, Y. Yuba, S. Namba, K. Tsukamoto and Y. Akasaka; "Deep Levels Induced by High-Energy Boron Ion Implantation into p-Silicon", Appl. Phys. Lett., Vol. 61, p. 1682 (1992)
- [38] M. Tamura and T. Suzuki; "Damage Formation and Annealing of High Energy Ion Implantation in Si", Nucl. Instrum. and Methods, B39, p. 318 (1989)
- [39] N. W. Cheung, C. L. Liang, B. K. Liew, R. H. Multikainen and H. Wong; "Buried Dopant and Defect Layers for Device Structures with High-energy Ion Implantation", Nucl. Instrum. and Methods, B37/38, p. 941 (1989)
- [40] H. Wong, N. W. Cheung, K. M. Yu, P. K. Chu and J. Liu; "Proximity Gettering by Implanted Carbon in Silicon", Mater. Res. Soc. Symp. Proc. 147, p.97 (1989)
- [41] M. Tamura, T. Ando and K. Ohyu; "MeV Ion-Implanted Damage in Si and Its Annealing", Nucl. Instrum. and Methods, B59/60, p. 572 (1991)
- [42] H. Goto, M. Tamura and N. Natsuaki; "Reduction of High Energy P Implantation Induced Secondary Defects in Si by Additional C Implantation", Ext. Abst. 21st Conf. Solid State Devices and Materials 1989, p. 543 (日本学会事務センター, 1989)
- [43] H. Wong, J. Liu, N. W. Cheung, E. P. Kvam, K. M. Yu, D. A. Olson and J. Washburn; "Cross-section Transmission Electron Microscopy Study of Carbon-implanted Layer in Silicon", Appl. Phys. Lett., 57 p. 798 (1990)
- [44] K. W. Terrill, P. F. Byrne, H. P. Zappe, N. W. Cheung and C. Hu; "A New Method for Preventing CMOS Latch-Up", Tech. Dig. Int. Electron Devices Meet., 1984 p. 406 (IEEE New York 1984)
- [44] H. P. Zappe and C. Hu, "Characteristics of CMOS Devices in High-Energy Boron Implanted Substrate", IEEE Trans. Electron Devices Vol. 35, p. 1029~1034 (1988)
- [45] S. Odanaka, T. Yabu, N. Shimizu, H. Umimoto and T. Ohzone, "Self-Aligned Retrograde Twin-Well Structure with Buried p⁺ Layer", IEEE Trans. Electron Devices Vol. 37, p. 1735 (1990)
- [46] I. F. Ziegler; "High Energy Ion Implantation", Nucl. Instrum. & Methods B6 p. 270 (1985)
- [47] H. J. Bohm, L. Bernewitz, W. R. Borm and R. Kopl; "Megaelectronvolt Phosphorus Implantation for Bipolar Devices", IEEE Trans. Electron Devices ED-35 p. 1616 (1988)

- [48] A. Tamba, Y. Kobayashi, T. Suzuki and N. Natsuaki; "Characteristics of Bipolar Transistor with Various Depths of n^+ Buried Layers Formed by High-Energy Ion Implantation", Jpn. J. Appl. Phys 31 p. 156 (1992)
- [49] T. Maeda, K. Ishimaru and H. Momose; "Low Submicron FCBiMOS (Fully Complementary BiMOS) Process with RTP and MeV Implanted 5GHz Vertical PNP Transistor" Dig. Symp. VLSI Technology, 1990 p. 270 (IEEE, New York, 1990)
- [50] T. Yoshiyama, S. Yamada, T. Yamauchi, Y. Shimauchi and K. Inayoshi; "0.6 μ m High Speed BiCMOS Technology with Emitter-Base Self-Aligned Structure", Tech. Dig. Int. Electron Device Meet., 1989 p. 241 (IEEE, New York, 1989)
- [51] A. Watanabe, T. Nagao, S. Shukuri and T. Ikeda; "Future BiCMOS Technology for Scaled Supply Voltage", Tech. Dig. Int. Electron Device Meet., 1989 p. 429 (IEEE, New York, 1989)
- [52] H. Honda, K. Uga, M. Ishida, Y. Ishigaki, J. Takahashi, T. Shimoi, S. Ohbayashi and Y. Kohno; "A high Performance 0.6 μ m BiCMOS SRAM Technology with Emitter-Base Self-Aligned Bipolar Transistors and Retrograde Well for MOS Transistor", Dig. Symp. VLSI Technology, 1992 p. 34 (IEEE, New York, 1992)

第3章 高エネルギーイオン注入による ゲッターリング

3.1 緒言

ULSI製造工程において、イオン注入工程、ドライエッチング工程等のプロセス中に予期せぬ微量重金属が導入されウエハは汚染される。さらに、イオン注入による損傷、プラズマダメージ等の結晶欠陥もウエハに導入される。これらの重金属不純物や結晶欠陥は、接合リーク電流を増加させたり、ゲート絶縁膜の信頼性を低下させる結果、素子の歩留まりを低下させる。素子の微細化に伴い、これらの重金属不純物の影響が顕在化することに加え、プロセス工程数が増加し汚染機会は増加する傾向にある。汚染を低減するためのクリーン化技術が進行する一方、これらの重金属を素子形成領域から除去するゲッターリング技術も同時に開発されている。しかし、素子の微細化にともないトランジスタの短チャネル効果を抑制するために熱処理は低温化の一途をたどり、従来から広く用いられてきたウエハ裏面へのゲッターリングは困難になってきている。高エネルギー注入で形成される2次欠陥は、金などの重金属をゲッターリングする効果をもつことが報告されており[1,2]、前章で述べたように接合リーク電流低減にも効果的であることが明らかとなった。本章では、この効果を積極的に利用し、デバイス形成領域に近接してゲッターリング領域を形成する近接ゲッターリング技術について述べる。

3.2 ゲッターリング技術

従来のLSIに用いられてきたゲッターリング技術は、ウエハ裏面によるEG(Extrinsic Gettering)法とウエハ内部の酸素析出核を利用するIG(Intrinsic Gettering)法に大別することができる。EG法として、ウエハ裏面への粒子吹き付け損傷による格子歪みを利用するサンドブラスト法[3]、ウエハ裏面にイオン注入[4,5]やレーザー照射[6]を行い格子歪みを形成する手法、ウエハ裏面にpoly-Siを堆積し格子不整合による歪み場を形成するpoly-Siコーティング法[7]がある。サンドブラスト法は、広く用いられてきた技術であるが、裏面からのパーティクルの発生が問題となる。それに対し、イオン注入等により裏面に結晶欠陥を形成するゲッターリング法やpoly-Siコーティング法はクリーンな技術である。短所としてウエハプロセス中に結晶欠陥、格子歪み場が回復し効果が持続しない。これらの問題に加えてEG法の最大の課題は、LSIプロセスの低温化によりウエハ裏面でのゲッターリング効果が期待できなくなったことである。図3-1は、不純物のシリコン中での拡散係数を示している。ボロン、リン、砒素等のドーパントと比較して銅、鉄、ニッケル等の重金属

不純物は拡散係数が非常に大きい[8]。しかし、拡散係数は熱処理温度の低下とともに急峻に低下し、最も拡散係数の大きい銅においても熱処理条件を800℃で1時間とすると、拡散長は600 μ mとなり、この値は現在シリコンLSIに用いているウエハの厚み(約700 μ m)よりも小さい値となる。このことは、ウエハ表面における重金属汚染物がウエハ裏面においてゲッタリングできないことを示している。

IG法は、CZシリコンウエハ中に含まれる酸素の析出核を利用し、素子形成領域に欠陥が存在しないDZ(Denuded Zone)領域を形成する手法である[9,10]。DZ層の形成は、シリコンウエハに最初に1000℃以上の高温熱処理

を行うことでウエハ表面の酸素を外方拡散させることにより表面領域の酸素濃度を低減させる。続いて、700℃から800℃の低温熱処理を行ってウエハ内部に酸素析出核を形成し、再度900℃から1000℃の中温熱処理を加えることで酸素析出核を成長させることにより、厚さ10~50 μ mのDZ層を形成すると同時にウエハ内部に酸素析出核によるゲッタリング領域を形成する。この熱処理サイクルは、従来のCMOS形成プロセスと整合性が良く一部実用化されてきたが、LSIプロセス工程の変化と、熱処理の低温化により十分なゲッタリング能力を維持できなくなっている。従来のCMOSプロセスは、プロセスの最初の段階で、ウエル形成のための高温長時間熱処理、LOCOS法による素子分離のための高温長時間酸化処理が行われ、IG法の熱サイクルと良く一致していた。しかし、前章で述べたように、ウエルの形成は、高エネルギーイオン注入による多段注入で行われるためにウエル形成のための高温長時間熱処理が不要となり、また、素子分離には、溝を形成し酸化膜を埋め込むトレンチ分離が採用されるために高温長時間酸化処理が無くなる結果、プロセス中にDZ層を形成することが不可能となった。さらに、熱処理の低温化とともに、酸素析出核の形成、および成長が不十分となり、ゲッタリング能力が低下する。ゲッタリング能力を向上するには、CZ基板中の酸素濃度を高めることが有効であるが、酸素濃度の増加はウエハ強度を劣化するため、最適酸素濃度範囲が小さくなっているのが現状である。

これらの課題に対して考案した高エネルギー注入による近接ゲッタリングは、素子形成領域に近接してゲッタリング領域を形成するため、プロセス温度が低温化してもゲッ

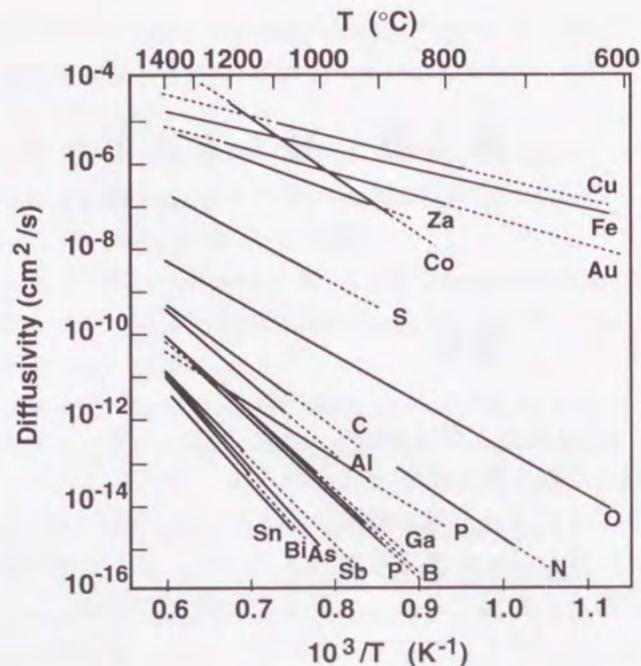


図3-1 不純物のシリコン中での拡散係数

タリング効果が期待でき、ゲッタリングサイトである2次欠陥は熱処理に対し安定であり回復することがないためゲッタリング効果が持続する。さらに、シリコンウエハの酸素濃度に依存しないため、今後のゲッタリング技術として期待できる。

3.3 イオン注入損傷のゲッタリング

イオン注入を行った場合、イオンの軌道に沿って空孔、格子間原子等の微小結晶欠陥が生成される。これらの結晶欠陥は、熱処理により回復するが、熱処理の低温化とともに回復が不十分となり重金属と結びついたり、シリコン基板中の酸素が析出する結果、少数キャリアの生成、再結合中心となり、接合リーク電流を増加させる。本節では、イオン注入によってシリコン基板内に導入された微小欠陥の高エネルギー注入によるゲッタリング効果について述べる。

3.3.1 微小結晶欠陥の導入

接合特性での評価を行うため結晶欠陥の導入は、電気的に影響を与えないシリコンイオンを用いた。図3-2は、モンテカルロシミュレータ"TRIM"コードを用いて700keVの加速エネルギーでシリコンイオンを注入した場合の注入分布と空孔の分布を示している。注入されたシリコンは深さ1.0 μ m付近に分布する。一方、空孔はシリコンの投影飛程にピークを持ち、表面から連続的に分布している。シミュレーションで用いた条件でイオン注入により欠陥層を導入し、欠陥層の上部にn⁺/pダイオード形成した場合の接合特性を図3-3に示す。欠陥を導入しない場合と比較して接合特性は劣化し、イオン注入によって導入された欠陥が空乏層内で少数キャリアの生成-再結合中心として働くことが分かる。本実験では、欠陥導入のためのシリコン注入量を1x10¹³/cm²から1x10¹⁴/cm²に変化させることで

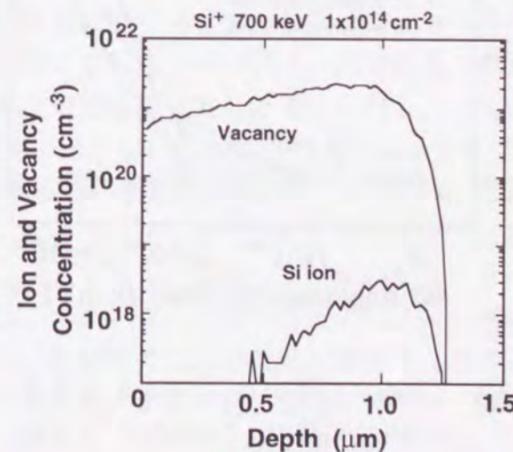


図3-2 シリコンを700keVで1x10¹⁴/cm²注入したときの空孔と注入イオン分布のモンテカルロシミュレーション

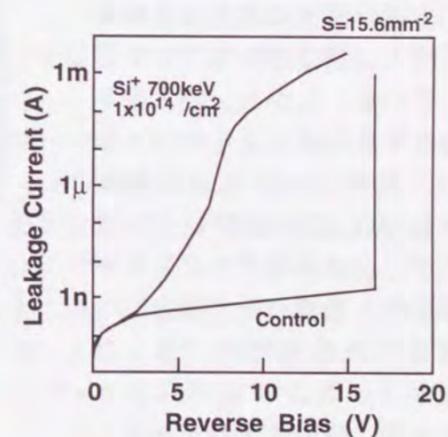


図3-3 n⁺/p 接合にシリコンを700keVで1x10¹⁴/cm²注入したときの逆バイアス電圧-電流特性

導入する欠陥量依存性を評価し、注入エネルギーを100keV($R_p=0.13\mu\text{m}$)から2.4MeV($R_p=2.07\mu\text{m}$)の範囲で変化させ、欠陥導入位置依存性の評価を行った。

試料の作製は、CZ基板にLOCOS法により素子分離を行った後、ゲッターリング層形成のための高エネルギーイオン注入を行っている。続いて、微小欠陥導入のためのシリコン注入を行い、1000°Cあるいは、900°Cの温度でアニールを加えている。 n^+p ダイオードの形成は、砒素イオンを50keVで $4\times 10^{15}/\text{cm}^2$ 注入し、900°Cで20分の熱処理を加えることで活性化している。

3. 3. 2 ゲッターリング効果のイオン種依存性

ゲッターリング効果の注入イオン種依存性を調べるために、ボロン、炭素、酸素、フッ素、シリコン注入によりゲッターリング層を形成し比較を行った。注入量はすべて $1\times 10^{15}/\text{cm}^2$ とし、加速エネルギーはゲッターリング層形成深さがすべて $2.8\mu\text{m}$ となるように、ボロン:1.5MeV、炭素:1.6MeV、酸素:2.2MeV、フッ素:2.4MeV、シリコン:2.8MeVに設定した。図3-4は、上記のイオンを用いてゲッターリング層を形成し、ゲッターリング層の上部にシリコン注入により欠陥を導入した場合の n^+p ダイオードの接合リーク電流を示している。結晶回復のためのアニールは1000°Cで1時間行った。逆バイアス電圧は10Vで測定している。シリコン注入により結晶欠陥を導入しない場合は、すべてのゲッターリング層形成条件で接合リーク電流の増加は見られない。このことは、ゲッターリング層の形成によ

って生成されるイオン注入損傷は、ゲッターリング層によりゲッターリングされていることを示している。ゲッターリング層を形成しない場合、欠陥導入のためのシリコン注入量が $1\times 10^{13}/\text{cm}^2$ では、接合特性に劣化は見られず、注入損傷は熱処理により回復している。しかし、注入量を増加させ欠陥導入量を増加させると、接合リーク電流は増加し、結晶欠陥は回復していない。ボロン注入でゲッターリング層を形成した場合は、接合リーク電流低減効果は殆ど見られず、ゲッターリング能力は小さい。炭素、酸素注入でゲッターリング層を形成した場合、欠陥導入のためのシリコン注入量が $5\times 10^{13}/\text{cm}^2$ ではゲッターリング効果により接合リーク電流は低減さ

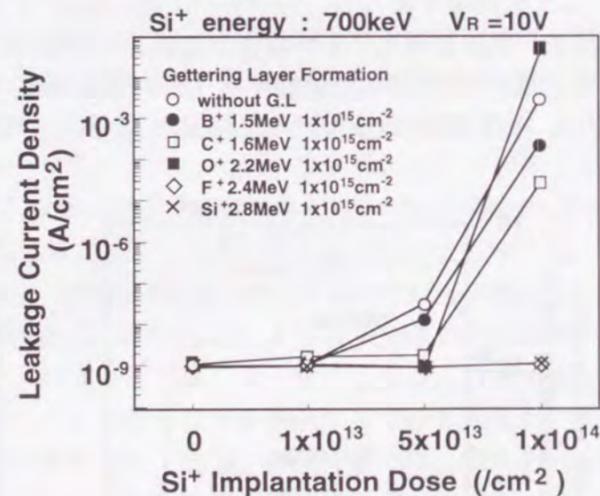


図3-4 1.5MeVのボロン、1.6MeVの炭素、2.2MeVの酸素、2.4MeVのフッ素、および2.8MeVのシリコンイオン注入で形成したゲッターリング層を有する試料に、700keVのシリコンで欠陥を導入した場合の接合特性

れているが、シリコン注入量が $1\times 10^{14}/\text{cm}^2$ では、ゲッターリングしきれなくなり接合特性は劣化している。それに対し、フッ素、シリコン注入でゲッターリング層を形成した場合は、欠陥導入のためのシリコン注入量を $1\times 10^{14}/\text{cm}^2$ にしても接合リーク電流の増加は見られず、ゲッターリング能力が強い。図3-5は、ゲッターリング効果の強かったフッ素とシリコンについてゲッターリング効果の熱処理依存性を示している。熱処理温度が1000°Cの場合は、前述したようにゲッターリング効果の差は見られないが、熱処理条件を900°C20分と低温化した場合、フッ素の場合は、接合リーク電流の増加が見られる。一方、シリコンの場合は熱処理を低温化しても接合特性の劣化は見られず、評価したイオン種の中で最も強いゲッターリング効果を有する。以上のことより、イオン注入損傷に対するゲッターリング能力は、ボロン<炭素、酸素<フッ素<シリコンの順に強くなることが明らかとなった。シリコンが最も強いゲッターリング効果を示すことより、高エネルギー注入によるゲッターリングは化学的作用でなく、2次欠陥による歪み場がゲッターリング源であると考えられる。また、ゲッターリング能力は、ゲッターリング層形成のためのイオン種の質量が大きくなると強くなっている。注入イオンの質量が大きくなると、注入飛程付近に発生する結晶欠陥が増加すると同時に分布が急峻となるため高密度の結晶欠陥が導入される。その結果、熱処理後にゲッターリング源となる2次欠陥が発生しやすくなることの原因であると考えられる。

図3-6は、図3-4で接合特性を評価した中で、欠陥導入のためのシリコン注入量が $1\times 10^{14}/\text{cm}^2$ の試料の断面TEM写真を示している。シリコンイオン注入によって導入した微小欠陥は、接合リーク電流を大幅に増加させているにも関わらず、TEMでは観察することができない。ボロン、酸素、フッ素、シリコンイオン注入でゲッターリング層を形成した試料では、イオン注入の飛程付近に転位ループ等の2次欠陥が観察される。炭素イオン注入を行った試料では2次欠陥が観察されない。炭素はシリコンの格子位置に入りやすく結合距離の違いにより格子歪みが発生し、微小欠陥のゲッターリングシンクとなっていると考えられる。また、2次欠陥の発生には、注入イオン種による差が見られる。ゲッターリング効果の小さかったボロンの場合は、2次欠陥密度が小さく、酸素の場合は酸素誘起欠陥が高密度に発生しているが転位の発生は小さい。これに対し、ゲッターリング効果の強かったフッ素、シリコンに関しては棒状、ループ状の転位が高密度に観察される。これは、イオンの質量数が大きいため、注入時に高密度の結晶欠陥が導入されるため熱処

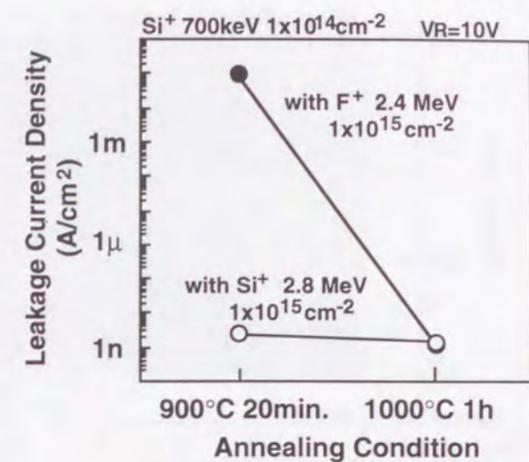


図3-5 2.4MeVのフッ素、および2.8MeVのシリコンイオン注入で形成したゲッターリング層による微小欠陥ゲッターリングの熱処理温度特性

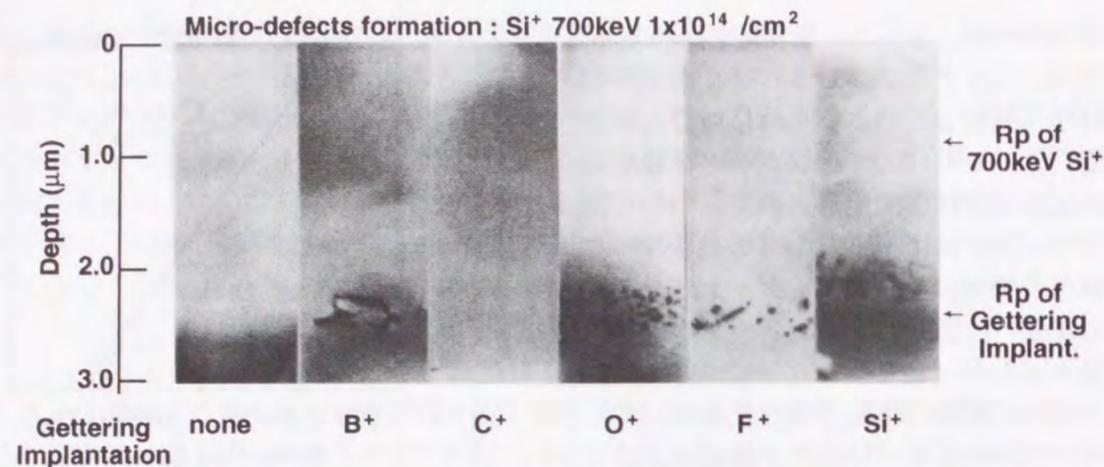


図 3-6 図 3-4 の各試料の断面 TEM 写真

理後にも高密度の 2 次欠陥が発生すると考えられる。ゲッターリング効果と 2 次欠陥密度の間には相関関係があり、欠陥密度が大きくなるとゲッターリング効果が強くなることが確認できた。

3. 3. 3 シリコン注入によるゲッターリング効果

前節で述べたようにシリコンイオン注入によるゲッターリング効果が最も強いいため、シリコンイオン注入によるゲッターリング効果について詳細に評価を行った。図 3-7 は、ゲッターリング形成のためのシリコンイオン注入の導入位置依存性を示している。Flow A は、ゲッターリング層を形成しない場合、Flow B は、シリコン注入後、素子分離形成のための 950°C での酸化処理により 2 次欠陥を形成し微小欠陥を導入した場合、Flow C は、ゲッターリング層形成のためのシリコン注入と微小欠陥導入を熱処理工程を加えず連続に行った場合を示している。Flow B と Flow C の両者において接合特性の回復が見られることによ

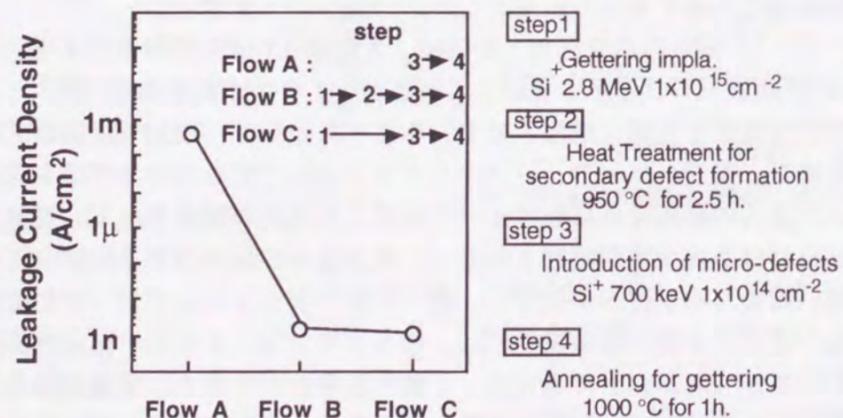


図 3-7 ゲッターリング層形成のためのシリコン注入導入位置依存性

り、ゲッターリング作用時に 2 次欠陥が形成できているかどうかには依存せず、ゲッターリング作用と 2 次欠陥の形成が同時に行われている。

図 3-8 は、ゲッターリング効果のおよぶ範囲を評価した結果を示している。深さ 2.5 μm の位置に、シリコン注入でゲッターリング層を形成した試料について、故意に導入する微小欠陥の位置を変えるために、シリコンイオン注入のエネルギーを 100keV (Rp=0.1 μm) から 2.4MeV (Rp=2.2 μm) 変化させた場合の接合リーク電流の評価を行っている。ゲッターリング層を形成しない場合は、接合リーク電流は、注入エネルギーの増加とともに増大している。これは、注入エネルギーが小さい場合は、基板の浅い位置に結晶欠陥が形成され、熱処理により表面側に固相成長し回復しや

すいことに加え、空乏層領域での欠陥数が少ないことに起因している。深さ 2.5 μm の位置にシリコンイオン注入でゲッターリング層を形成した場合、全ての条件に対して接合リーク電流の増加は見られない。この結果より、ゲッターリング効果のおよぶ範囲は、少なくとも 2 μm 以上であり、デバイス形成領域である表面まで十分効果が及んでいる。また、高エネルギーのボロン、砒素注入で発生する 2 次欠陥は、ソースドレイン注入によっての表面浅い位置に形成される 2 次欠陥の発生も抑制することが報告されており [11,12]、高エネルギー注入によって深さ数 μm の領域に形成したゲッターリング層は、デバイス形成領域である表面領域まで十分なゲッターリング効果を有する。

3. 4 重金属のゲッターリング

ULSI プロセス工程において、製造装置、材料ガス等から予期しない重金属が導入され、これらの重金属は、接合特性、酸化膜信頼性を劣化させる。本節では、重金属を強制汚染することで、重金属汚染に対する高エネルギー注入によるゲッターリング効果について得られた知見を示す。

3. 4. 1 試料作製

図 3-9 に重金属汚染のゲッターリング効果の評価に用いた試料の作製方法を示している。

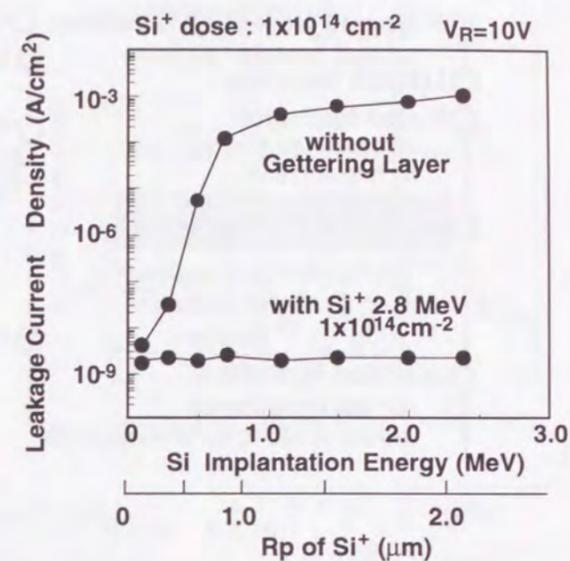


図 3-8 微小欠陥導入のためのシリコン注入エネルギーを変えた場合の接合特性の変化とゲッターリング層形成による接合リーク電流の低減

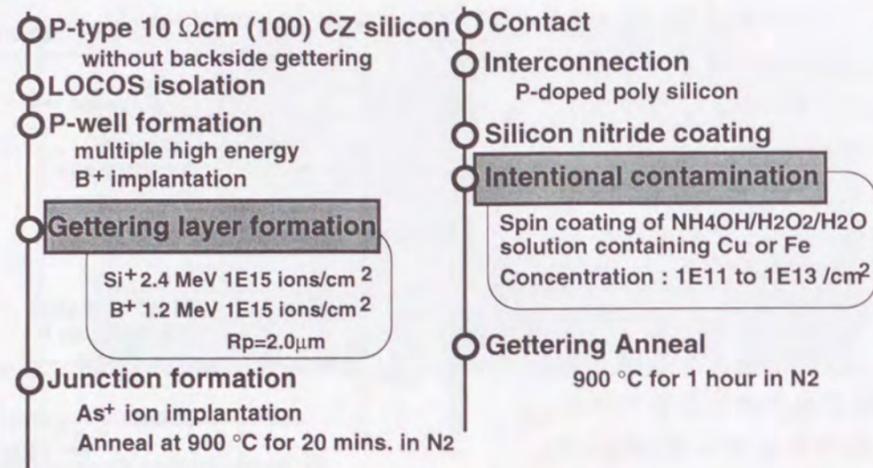


図 3-9 重金属強制汚染評価プロセスフロー

重金属汚染の素子への影響を評価するためにP-Nダイオードを作成した。基板としてP型のシリコンを用いた。近接ゲッタリングの評価を行うために、裏面処理等のEG(Extrinsic Gettering)は行わない基板を用いた。LOCOS法を用いて素子分離を行った後、イオン注入によりp-ウェルを形成した後に、高エネルギー注入によりゲッタリング層を形成した。イオン種としてはボロンとシリコンイオンを用い、注入量は $1 \times 10^{15} / \text{cm}^2$ とした。注入エネルギーは飛程が $2.0 \mu\text{m}$ となるようにそれぞれ 1.2MeV と 2.4MeV に設定した。As注入によりN⁺拡散層を形成した後、Pドープポリシリコンで配線することでP-Nダイオードを作成した。重金属の強制汚染は鉄あるいは銅を含んだ $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 溶液をウエハにスピンコートすることで行った。鉄および銅の汚染濃度は全反射蛍光X線(TRXF)で測定することで定量的に $1 \times 10^{11} / \text{cm}^2$ から $1 \times 10^{13} / \text{cm}^2$ の濃度で制御した。汚染後、接合評価用試料は 900°C の窒素雰囲気中で1時間のアニールを加えた。SIMSおよびTEM評価用の試料については 800°C から 1000°C の温度でアニールを行った。

3.4.2 SIMS、TEMによる評価

図3-10は、ボロンあるいはシリコンイオン注入でゲッタリング層を形成後、銅を強制汚染し、 800°C から 1000°C の温度範囲でアニールを加えた場合のSIMS法による深さ方向分布を示している。銅の汚染量は $2.8 \times 10^{12} / \text{cm}^2$ である。

ボロン注入でゲッタリング層を形成した場合、ボロンイオンの飛程であり、高密度の2次欠陥が発生している深さ $2.0 \mu\text{m}$ 付近に銅がパイルアップし、ゲッタリングされている。ゲッタリングされる銅の量は熱処理温度を低くすると減少し、分布も広がる傾向にあるが、比較的低温熱処理である 800°C においても銅のゲッタリングは明確に観察される。さらに、 1000°C の高温熱処理を行っても、銅は再分布することなく欠陥領域に分布していることより、高エネルギー注入により形成したゲッタリング層は強力なゲッタリングサイトであることが分かる。

シリコンイオン注入でゲッタリング層を形成した場合も、ボロン注入の時と同じよう

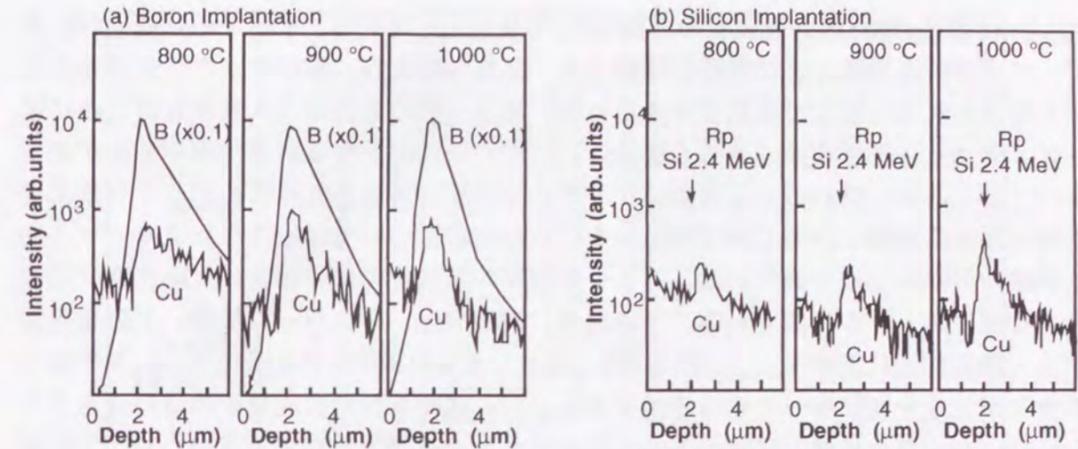


図 3-10 高エネルギー注入によって形成したゲッタリング層による銅のゲッタリングを示すSIMS分析結果。ゲッタリング層は(a) 1.2MeV のボロン注入および(b) 2.4MeV のシリコン注入により形成し、銅の強制汚染($2.8 \times 10^{12} / \text{cm}^2$)後、 800°C 、 900°C 、 1000°C の熱処理を加えている。

に注入飛程付近に銅のピークが見られる。SIMS観察では、銅のゲッタリング効果の注入イオン種の差異は見られない。

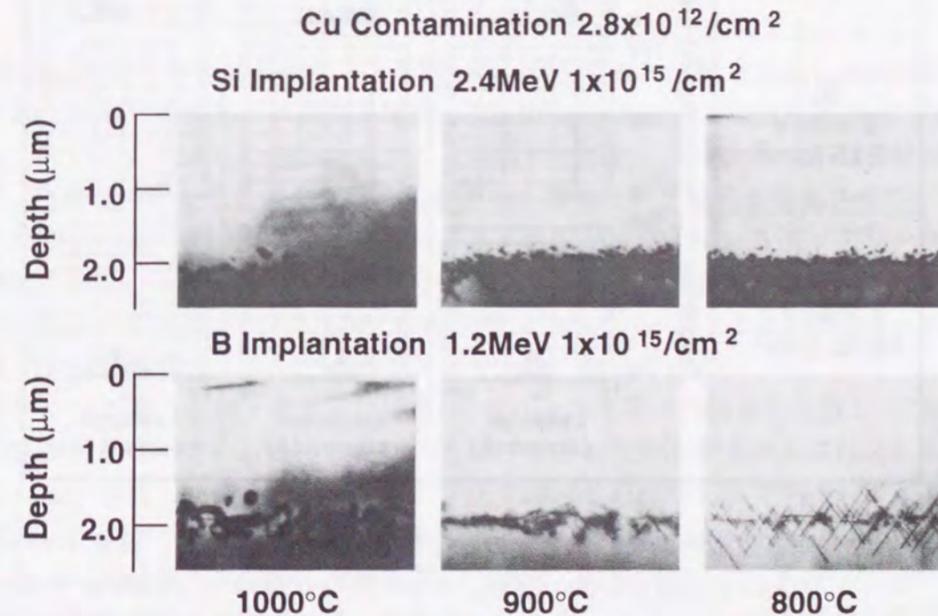


図 3-11 図 3-10 で評価した各試料の断面TEM写真

図3-11は前述のSIMS評価試料の断面TEM写真を示している。すべての処理条件において、イオン注入飛程付近に欠陥が観察され、これらの欠陥に銅がゲッターリングされていると考えられる。ここで注目すべきことは、結晶欠陥の発生は注入飛程近傍のみに観察され、デバイス形成領域である表面付近には銅汚染に起因する結晶欠陥の発生が見られないことである。強制汚染した銅はゲッターリング層に捕獲されるためデバイス形成領域で析出物を作らない。800℃でアニールを行った試料については小さな転位ループと同時に棒状の欠陥が形成されている。アニール温度の高温化に伴い棒状の欠陥密度は低減し大きな転位ループが形成される。その結果、高温アニールを行った場合、欠陥発生領域が注入飛程付近に集中する。このことが、前述したSIMS測定で高温化アニールの場合銅の分布がシャープになっている原因である。注入イオン種の欠陥発生の違いはあまり見られないがボロンイオンに比べてシリコンイオンの方が質量数が大きいので、欠陥密度は大きくなっている。

3. 4. 3 重金属汚染と接合特性

図3-12は、銅を $1 \times 10^{11}/\text{cm}^2$ から $1 \times 10^{13}/\text{cm}^2$ の範囲で強制汚染した場合の逆バイアス電圧5Vでの接合リーク電流のヒストグラムを示している。評価は面積 37.5mm^2 、分離エッジ

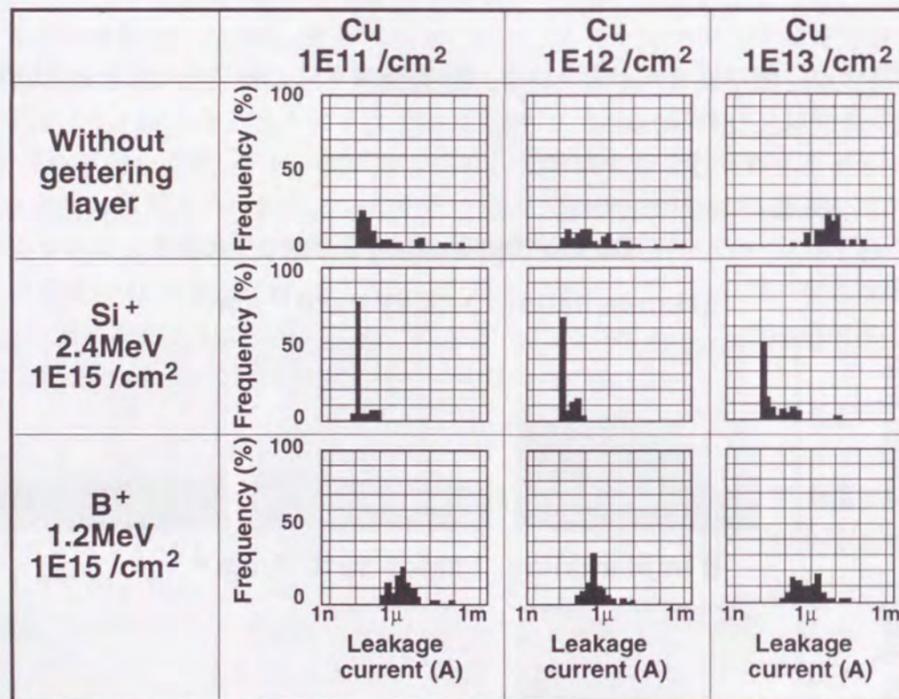


図3-12 銅を強制汚染をしたときのn/p接合に与える影響と、高エネルギー注入による接合特性の改善。ゲッターリング層は、1.2MeVのボロン注入、あるいは2.4MeVのシリコン注入により形成し、銅の強制汚染は $1 \times 10^{11}/\text{cm}^2$ から $1 \times 10^{13}/\text{cm}^2$ の範囲で変化させている。

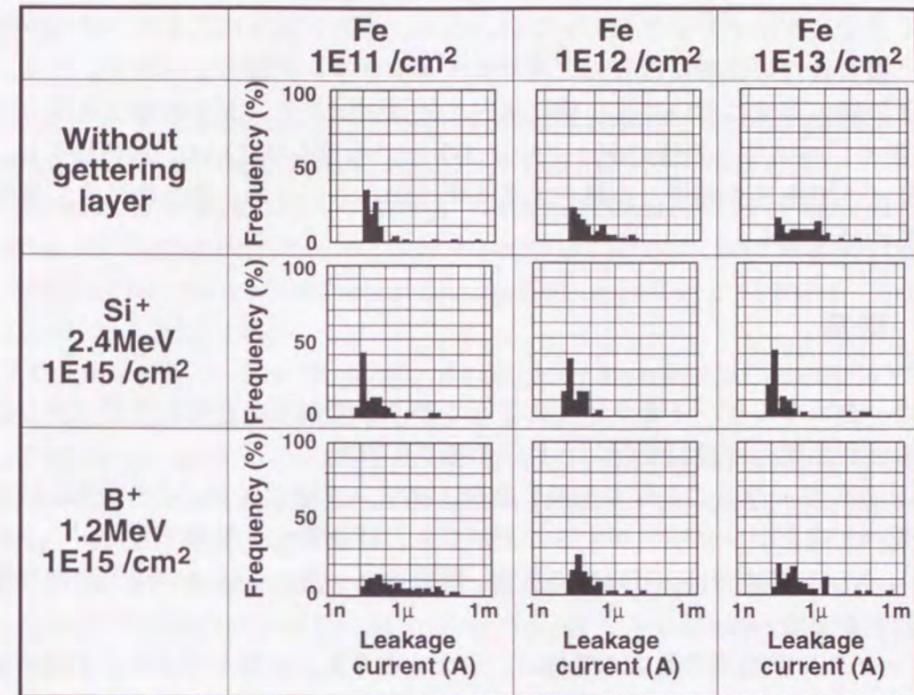


図3-13 鉄を強制汚染をしたときのn/p接合に与える影響と、高エネルギー注入による接合特性の改善。ゲッターリング層は、1.2MeVのボロン注入、あるいは2.4MeVのシリコン注入により形成し、鉄の強制汚染は $1 \times 10^{11}/\text{cm}^2$ から $1 \times 10^{13}/\text{cm}^2$ の範囲で変化させている。

長31300mmを有するテストパターンを用いた。ゲッターリング層を形成しない場合、汚染量の増加とともに接合リーク電流は増加し、 $1 \times 10^{13}/\text{cm}^2$ の汚染ではリーク電流は約3桁大きくなっている。汚染した銅は、シリコン基板中を拡散し、空乏層内部で少数キャリアの生成-再結合中心となる結晶欠陥を発生させ、接合リーク電流を増加させている。

銅汚染による接合リーク電流の増加は、高エネルギー注入によるゲッターリング層の形成で抑制される。シリコンイオン注入でゲッターリング層を形成した場合、リーク電流は汚染量に関わらず低減される。しかし、汚染量が $1 \times 10^{13}/\text{cm}^2$ になると、接合リーク電流の異常点が見られ、銅を十分にゲッターリングできなくなっている。

ゲッターリング層にボロンを用いた場合は、シリコンを用いた場合と比較して、接合リーク電流低減効果は小さい。このことは、図3-11で示した欠陥密度の差に起因していると考えられる。前述した微小欠陥のゲッターリング能力と同様にシリコン注入によるゲッターリングのほうがボロン注入よりも効果的である。

図3-13は、重金属汚染種として鉄を用いた場合の接合特性を示している。鉄の場合も銅と同様に接合特性を劣化させる。シリコン注入を行った場合、接合特性の改善が見られ、鉄に対してもゲッターリング能力があるが、銅の場合と比較してリーク電流のばらつ

きは大きく完全にゲッターリングしていない。また、ボロン注入によるゲッターリング層の形成では、接合特性の改善はほとんど見られずゲッターリング能力が小さい。イオン注入を用いた欠陥層の形成においては、銅に比べて鉄はゲッターリングが困難である。この現象は、EG法や、IG法などの他のゲッターリング手法でも見られ[13,14]、鉄の場合は、ゲッターリングサイトである欠陥層との結合エネルギーが小さいため、熱処理により容易に再放出されるためである。

3. 5 結言

本章では、高エネルギーイオン注入によって素子形成領域に近接してゲッターリング層を形成する技術に関して検討を行い、以下の知見を得た。

(1) 高エネルギー注入によって形成したゲッターリング層により、イオン注入によって発生する微小欠陥をゲッターリングすることができ、接合特性を改善できた。

(2) ゲッターリング能力は、ボロン<炭素、酸素<フッ素<シリコン注入の順に強くなることが明らかとなった。

(3) ゲッターリング効果のおよぶ範囲は、少なくとも $2\mu\text{m}$ 以上であり、デバイス形成領域である表面まで十分効果がおよぶことが分かった。

(4) 高エネルギー注入によるゲッターリング層は、接合特性を著しく劣化させる銅に対してもゲッターリング効果を有し、 800°C という比較的低温熱処理でも効果があることが分かった。

参考文献

- [1] H. Wong, N. W. Cheung and S. S. Wong; "Proximity Gettering with Megaelectron-volt Carbon and Oxygen Implantation", *Appl. Phys. Lett.*, 52(12) p. 1023 (1988)
- [2] H. Wong, N. W. Cheung and S. S. Wong; "Electronic Defects in Silicon Induced by MeV Carbon and Oxygen Implantation", *Nucl. Instrum. and Methods*, B37/38 p. 970 (1989)
- [3] R. Sawada; "Durability of Mechanical Damage Gettering Effect in Si Wafers", *Jpn. J. Appl. Phys.*, vol.23 p. 959 (1984)
- [4] H. J. Geipel and W. K. Tice; "Reduction of Leakage by Implantation Gettering in VLSI", *IBM J. Develop.* vol.24 p. 310 (1980)
- [5] A. G. Nassibian and B. Golja; "Comparison of Ar-, O-, and Cl-ion Implant-damage Gettering of Gold from Silicon Using Metal Oxide Silicon Technique", *J. Appl. Phys.*, 53(9) p.6168 (1982)
- [6] H. W. Lam, R. F. Pinizzotto and A. F. Tasch Jr.; "Single Crystal Silicon-on-Oxide by a Scanning CW Lazer Induced Lateral Seeding Process", *J. Electrochem. Soc.* vol.128 p. 1981 (1981)
- [7] M. C. Chen and V. J. Silvestri; "Post-Epitaxial Polysilicon and Si_3N_4 Gettering in Silicon", *J. Electrochem. Soc.*, vol.129 p. 1294 (1982)
- [8] M. Hourai, T. Naridomi, Y. Oka, K. Murakami, S. Sumita, N. Fujino and T. Shiraiwa; "A Method of Quantitative Contamination with Metallic Impurities of the Surface of a Silicon Wafers", *Jpn. J. Appl. Phys.*, vol.27 p.2361 (1988)
- [9] H. Tsuya, K. Ogawa and F. Shimura; "Improved Intrinsic Gettering Technique for High-Temperature Treated CZ silicon Wafers", *Jpn. J. Appl. Phys.* vol.20 p. 31 (1981)
- [10] D. Gilles, E. R. Weber and S. Hahn; "Mechanism of Internal Gettering of Interstitial Impurities in Czochralski-Grown Silicon", *Phys. Rev. Lett.*, vol.64 p. 196 (1990)
- [11] W. X. Lu, Y. H. Qien, R. H. Tian, Z. L. Wang, R. J. Schreutelkamp, J. R. Liefting and F. W. Saris; "Reduction of Secondary Defect Formation in MeV B Ion-implanted Si(100)", *Appl. Phys. Lett.*, 55 p.1838 (1989)
- [12] R. J. Schreutelkamp, W. X. Lu, J. R. Liefting, V. Raineri, J. S. Custer and F. W. Saris; "Reduction of Secondary Defect Formation in MeV As Ion-implanted Si(100)", *Nucl. Instrum. and Methods*, B59/61 p. 614 (1991)
- [13] M. Miyazaki, M. Sano, S. sadamitsu, S. Sumita, N. Fujino and T. Shiraiwa; "Dependence of Gettering Efficiency on Metal Impurities", *Jpn. J. Appl. Phys.* vol.28 p.519 (1989)
- [14] S. Sadamitsu, A. Sasaki, M. Hourai, S. Sumita and N. Fujino; "Transmission Electron Microscopy Observation of Defects Induced by Fe Contamination on Si(100) Surface", *Jpn. J. Appl. Phys.* vol.30 p.1591 (1991)

第4章 窒素注入によるゲート酸化膜の窒化

4.1 緒言

ULSIの基本構成要素であるMOSトランジスタは、Dennardらによって提唱されたスケールリング則をガイドラインとして縮小され[1,2]、いよいよクォータミクロンの領域を迎えようとしている。さらに、学会発表レベルでは、ゲート長 $0.15\mu\text{m}$ 以下のトランジスタ構造が議論され[3,4]、ゲート長 $0.04\mu\text{m}$ のトランジスタ動作が確認されるにいたっている[5]。しかしながら、比例縮小則に従わない因子により様々な物理的・技術的制約に直面していることも事実である[6]。

トランジスタ構造としては、従来、プロセスの簡略化の観点からNMOS、PMOSともに同一のゲート電極材料である n^+ 型のポリシリコンが用いられてきた。その結果、PMOSでは、しきい値電圧が高くなるために、 p 型の不純物でカウンタードープを行い表面に埋込層を形成して、しきい値電圧を小さくしていた。しかしながら、チャンネル長が短くなるとこの p 型の埋込層を通してパンチスルーしやすくなる[7]。これに対し、表面チャンネル型の方が埋込チャンネル型よりパンチスルー耐性が高い[8]。PMOSを表面チャンネル型にするには、ゲート電極として p^+ ポリシリコンを用いればよく、クォータミクロン領域では、PMOSの短チャンネル効果を抑制する目的で、NMOSのゲート電極に n^+ ポリシリコン、PMOSのゲート電極に p^+ ポリシリコンを用いるデュアルゲート構造が採用されようとしている[9-13]。デュアルゲート構造にするには、ゲート電極にイオン注入を用いて不純物を打ち分けてドーピングする必要があり、ゲート電極の空乏化の抑制が重要な課題となっている[14-16]。さらに、ポリシリコン中のボロンは容易にゲート酸化膜を突き抜けシリコン基板に拡散するため、ボロンの突き抜けを抑制する必要がある[17-19]。また、素子の微細化とともに電源電圧は、それに見合うほど低電圧化されなかった。その結果、素子の内部電界が増加し、ホットキャリア注入による素子特性の劣化は信頼性を決定する重要因子となっている。

これらの問題を解決するために、ゲート酸化膜を窒化することにより窒化酸化膜を形成し信頼性を向上させる技術が注目されている。従来の窒化は、ゲート酸化を行った後、 NH_3 雰囲気、あるいは N_2O 雰囲気での熱処理を加えることで行ってきた[20-23]。しかしながら、 NH_3 雰囲気での窒化を行うと、水素に起因した電子トラップによる特性劣化が起こるために、窒化した後、再酸化が必要となり複雑なプロセスとなる。また、 N_2O 雰囲気での窒化を行う場合は 1000°C 以上の高温熱処理が必要となる。さらに、両者とも固定電荷が発生することや、移動度が低下しトランジスタの駆動能力が低下することに加え、窒化により膜厚が変化し、膜厚制御が困難であるという問題がある。

本章では、窒素イオンをポリシリコンゲート電極に注入し、熱拡散によりゲート酸化

膜に析出させ窒化酸化膜の形成が可能であることを示し、ホットキャリア耐性の向上、ボロン突き抜けの抑制が可能であることを述べた後、ゲート電極中のドーパント濃度、およびゲート酸化膜形成方法依存性を評価した結果について述べる。

4.2 窒素注入によるゲート酸化膜の窒化

4.1節で述べた熱窒化による窒化酸化膜の問題を解決するために、ゲート電極に窒素注入を行うことで窒化酸化膜を形成する手法を開発した。本節では、窒素注入により形成した窒化酸化膜を有するMOSトランジスタの特性について述べる。

4.2.1 窒素注入による窒化酸化膜の形成

図4-1は、今回開発した窒素注入により作製した窒化酸化膜を有するデュアルゲートCMOSトランジスタの断面図を示している。従来のCMOS構造と異なる点は、PMOSには窒素とボロンが注入されたP⁺ゲート電極、NMOSには窒素と砒素が注入されたN⁺ゲート電極を有していることである。この新規CMOS構造の作製プロセスを次に説明する。基板はP型のCZシリコンを用い、LOCOS(LOCAl Oxidation of Silicon)法により素子分離を行っている。ウエルは、第2章で述べたプロファイルドウェル構造で、pウエルはボロンの3回の多段注入、nウエルはリンの3回の多段注入で形成している。ゲート酸化膜は外部燃焼方式のウェット酸化で8nmの厚さで形成し、ゲート電極となるアンドープのポリシリコン膜を200nmの厚さで堆積している。ゲート電極のパターニングは、KrFレーザーを用いたエキシマ露光技術と異方性エッチングで行っている。NMOSのドレイン電界を緩和するため、リンの回転斜めイオン注入技術でLDD(Lightly Doped Drain)領域を形成した後、酸化膜のサイドウォールを形成している。次に窒素イオンを全面に注入し、ゲート電極とソ-

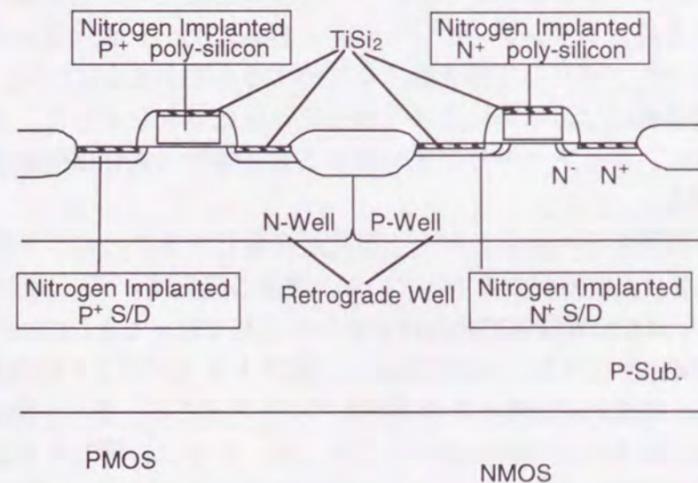


図4-1 窒素注入法により形成した窒化酸化膜を有するデュアルゲートCMOSトランジスタ構造

スドレイン領域に窒素をドーピングしている。ここで、窒素の注入飛程は、ゲート電極へのイオン損傷を避けるためにポリシリコンの表面付近に設定している。NMOSのソースドレインは砒素注入、PMOSのソースドレインはボロン注入で形成し、活性化のために800℃で熱処理を加えている。この熱処理時にポリシリコン中の窒素が拡散し、ゲート酸化膜に析出することで窒化酸化膜が形成できる。次に異なる導電型のゲート電極を接続すると同時にソースドレイン拡散層の低抵抗化をするために、2stepサリサイド(SALICIDE:Self-ALigned siliCIDE)法によりゲート電極とソースドレイン拡散層をチタンサリサイド化している。層間絶縁膜はCVD法により形成し、コンタクトホールを開口し、アルミ配線を行うことでCMOSトランジスタを完成させている。

図4-2は、SIMS法により測定したゲート電極、およびゲート酸化膜中の窒素プロファイルを示している。窒素注入量は $1 \times 10^{15}/\text{cm}^2$ で注入後の熱処理は800℃60分である。ゲート電極に注入された窒素がゲート酸化膜中に析出し、窒化酸化膜が形成されている。ゲート酸化膜に析出している窒素量は数atm%であり、熱窒化によって形成した窒化酸化膜と比較して少ない量となっている。

4.2.2 トランジスタ特性

図4-3は、NMOSキャパシタとPMOSキャパシタのq-CV(quasi-static Capacitance-Voltage)特性を示している。4.4節で詳細に述べるが、ゲート電極の空乏化が起こり、反転側での酸化膜容量が低下している。窒素注入により空乏化率がほとんど変わらないことに加え、

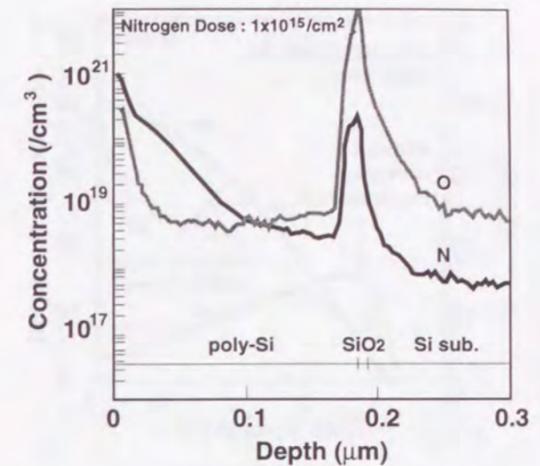


図4-2 窒素注入により形成した窒化酸化膜のゲート電極およびゲート酸化膜中の窒素濃度のSIMS分析結果。窒素は、ポリシリコン中に $1 \times 10^{15}/\text{cm}^2$ 注入し、800℃で60分の熱処理を行っている。

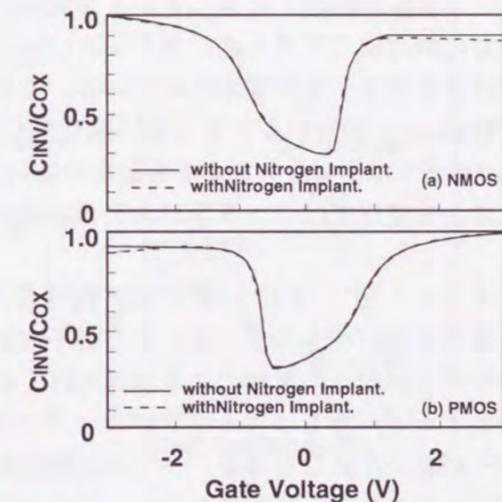


図4-3 ゲート電極に窒素注入を行ったNMOSキャパシタ、PMOSキャパシタのq-CV特性。実線は、窒素注入を行わない場合、破線は、窒素注入を $4 \times 10^{15}/\text{cm}^2$ 行った場合を示している。

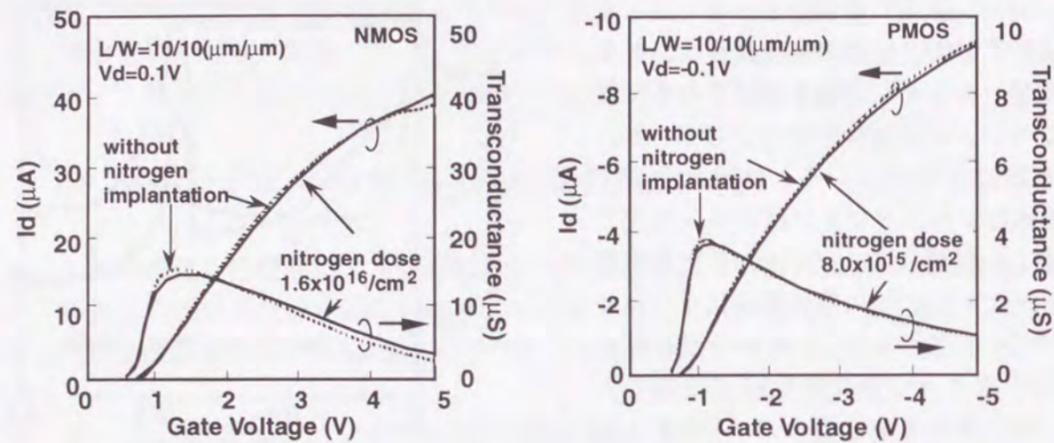


図4-4 NMOSおよびPMOSトランジスタのドレイン電流、トランスコンダクタンスのゲート電圧依存性。破線は窒素注入を行わない場合、実線は窒素注入を $4 \times 10^{15}/\text{cm}^2$ 行った場合を示している。

界面準位の発生も見られない。

図4-4は、NMOS、PMOSトランジスタのトランスコンダクタンス(gm)、ドレイン電流(Id)のゲート電圧依存性を窒素注入を行わない試料と比較して示している。NMOSでは、窒素注入を行った試料は最大移動度の若干の低下、高電界側での移動度の増加が見られゲート電圧が高いときにドレイン電流は増加する。この現象は、熱窒化により形成した窒化酸化膜でも見られ、ストレスに起因する移動度の低下、界面ラフネスによる移動度低下等のモデルが提案されている。窒素注入で窒化を行った場合、酸化膜中の窒素量が数atm%と少ないことより他の窒化酸化膜と比較して移動度の低下は小さい。また、PMOS側では窒素注入による移動度の劣化はほとんど見られない。このことより、窒素注入による窒化では、トランジスタの駆動能力の低下は起こらない。

4. 2. 3 ホットキャリア耐性の向上

素子寸法が小さくなると素子内部のチャネル方向の電界が強くなり、チャネルのキャリアがこの電界により加速されて高いエネルギーをもつようになる。このような高エネルギーをもつキャリアがホットキャリアである[24]。ホットキャリアは、エネルギーが高いためシリコン/シリコン酸化膜のエネルギー障壁を越えて容易にゲート酸化膜に注入される。注入されたホットキャリアは酸化膜中に捕獲されるかまたは界面準位を発生させてトランジスタ特性を変動させる。ホットキャリア注入には、ドレインアバランシェホットキャリア(DAHC: Drain Avalanche Hot Carrier)注入とチャネルホットキャリア(CHC: Channel Hot Carrier)注入の2つのモードがある。DAHC注入は、ドレイン近傍の高い水平電界によりキャリアが格子との衝突電離または、アバランシェ増倍によって電子-正孔対を生成し、高エネルギーな電子と正孔の一部がゲート酸化膜に注入されるモードであり、CHC注入は、チャネルのキャリアがチャネルの水平電界により高エネルギー

となり、そのままゲート酸化膜に注入されるモードである。これらのホットキャリア注入による素子特性の変動を抑制するために窒化酸化膜は効果的である。

図4-5は、NMOSトランジスタのDAHC注入によるしきい値電圧変化と、チャージポンピング電流変化量のゲート電極への窒素注入量依存性を示している。ストレスはドレイン電圧5V、ゲート電圧は最大基板電流となる電圧で1000秒間与えている。また、しきい値電圧は、劣化が最大となる3極管領域のリバースモード(ストレス印加方向と測定方向を逆にするモード)で測定している。ホットキャリア注入によるしきい値電圧の変動は窒素注入量が $2 \times 10^{15}/\text{cm}^2$ までは窒素注入を行わない場合と比較して変わらないが、注入量が $4 \times 10^{15}/\text{cm}^2$ になると急激に小さくなる。また、 $4 \times 10^{15}/\text{cm}^2$ 以上になるとしきい値電圧の変化量は窒素注入量の増加とともに小さくなっていく。さらに、チャージポンピング電流変化量も窒素注入量の増加とともに小さくなり窒化により界面準位の発生が抑制されている。ポリシリコン電極に注入された窒素は、注入後の熱処理によりゲート酸化膜に拡散し、酸化膜とシリコン基板の界面に存在するダングリンググボンダや不完全な結合をターミネートし、界面準位の発生が低減されホットキャリア耐性が向上すると考えられる。図4-6は、ホットキャリア注入によるしきい値電圧変化のストレスゲート電圧依存性を示している。窒素注入を行うことにより、図4-5で示した劣化の最も大きくなる最大基板電流を与えるゲート電圧でのストレスを初めとし

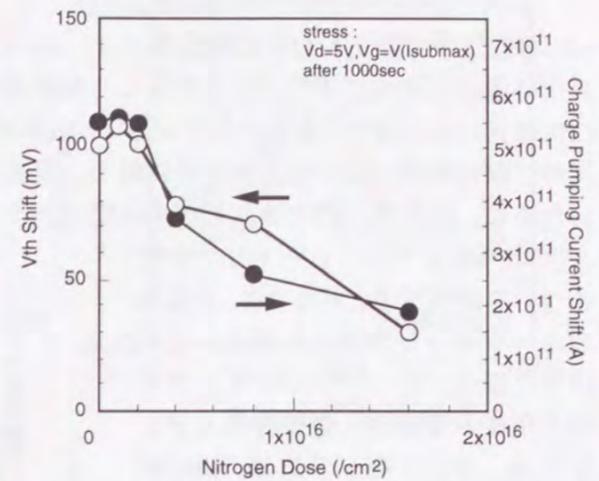


図4-5 ホットキャリア注入によるしきい値電圧およびチャージポンピング電流変化量の窒素注入量依存性(NMOSトランジスタ)。

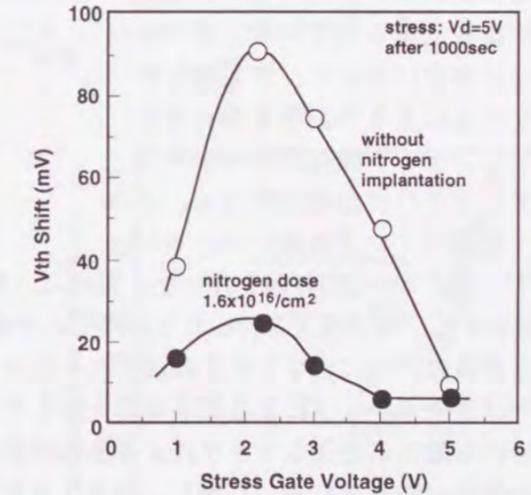


図4-6 NMOSトランジスタのホットキャリア注入によるしきい値電圧変化量のストレスゲート電圧依存性。○は窒素注入を行わない場合を示し、●は窒素注入を $1.6 \times 10^{16}/\text{cm}^2$ 行った場合を示している。

て、すべてのストレスゲート電圧に対しホットキャリア劣化が低減されている。一般にNH₃雰囲気中で窒化した窒化酸化膜では、V_d=V_gでの条件でCHC注入を行うと窒化を行わない場合に比べて劣化が増大することが報告されているが、窒素注入による窒化ではCHC注入による劣化も低減されている。NH₃雰囲気中で窒化では、NH₃中の水素も窒素と同時に酸化膜中に取り込まれるのに対し、窒素注入による窒化では、水素が導入されないために、酸化膜中の水素に起因する電子トラップの発生が起らない。

次にPMOSのホットキャリア劣化について説明する。図4-7は、PMOSのホットキャリア注入によるしきい値電圧変化とチャージポンピング電流変化量の窒素注入量依存性を示している。ホットキャリアは、DAHC注入条件、すなわち最大ゲート電流を与えるゲート電圧でストレスを1000秒間印加している。NMOSの場合と同様に、窒素注入によりホットキャリア劣化は抑制され、窒素注入量の増加とともにしきい値電圧の変化が抑制されると同時に、界面準位の発生によるチャージポンピング電流の変化量も低減されている。ホットキャリア劣化において、界面準位の発生とともに大きな影響を与える因子として、ゲート酸化膜中のトラップによるキャリアの捕獲がある。そこで、窒素注入による膜中のキャリアトラップについての評価を行った。図4-8は、PMOSキャパシタに2mA/cm²の定電流密度で基板側から電子注入を行ったときのゲート電圧の変化量を示している。ここで、ゲート電圧が負の方向にシフトするのは正孔トラップによる正孔捕獲を示し、正の方向へのシフトは電子トラップによる電子捕獲を示している。窒素注入の有無に関わらずいずれの場合にも最初に正孔トラップによる正孔捕獲が観察され、その後、電子トラップによる電子捕獲が観察される。しかし、窒素注入を行うことでゲート電圧の正方向へのシフト量が小さくなると同時に傾きも緩やかになっていることより電子トラップ密度が低減されている。また、窒素注入により電子注入直後の負方向への変化が大きくなっている。これは、正孔トラップが増加したのか、電子トラップが減少した結果、正孔捕獲が観察されやすくなったのか区別することはできない。

今回用いたゲート酸化膜はウェット雰囲気中で形成しているため、酸化膜中には水素に関連したSi-H結合によるトラップが存在する。これらのトラップは電気時には中性であるが、電子注入により電子トラップとして働く。ゲート電極への窒素注入により、窒素を

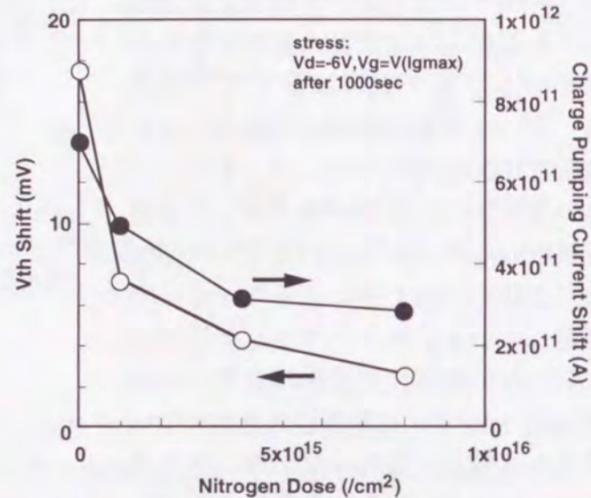


図4-7 ホットキャリア注入によるしきい値電圧およびチャージポンピング電流変化量の窒素注入量依存性(PMOSトランジスタ)。

酸化膜中に拡散させることにより、水素が窒素により置換されSi-H結合が減少してきたと考えられる。

ゲート電極に窒素を注入することによって窒化酸化膜を形成することで、界面準位の発生が抑制できると同時に、ゲート酸化膜中の電子トラップ密度を低減できる結果ホットキャリア耐性が向上できることが明らかとなった。

4.2.4 ゲート酸化膜信頼性の向上

次に、窒素注入によって形成したゲート酸化膜の信頼性向上について述べる。図4-9は、n⁺ポリシリコンゲートキャパシタとp⁺ポリシリコンゲートキャパシタの定電流ストレスTDDB特性を示している。電子注入は、n⁺ゲートキャパシタではゲート電極から、p⁺ゲートキャパシタでは基板から0.1A/cm²の条件で行っている。破壊に至るまでの電荷量(QBD)の50%不良の値は窒素注入を行うことによりほとんど変化しない。熱窒化による窒化酸化膜ではQBDが向上するのに対し、QBDが変化しないのは、酸化

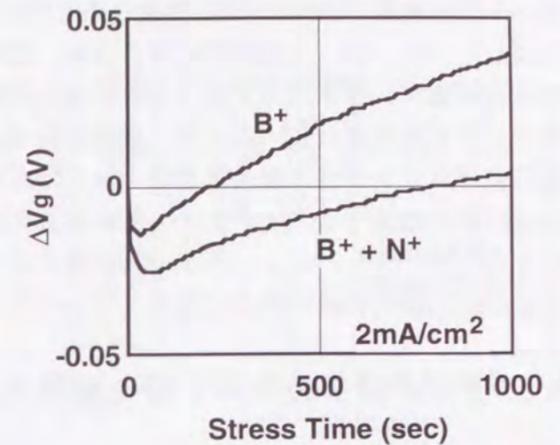


図4-8 窒素注入を行ったPMOSキャパシタと窒素注入を行わないPMOSキャパシタに2mA/cm²の定電流電子注入を行った場合のゲート電圧の変化

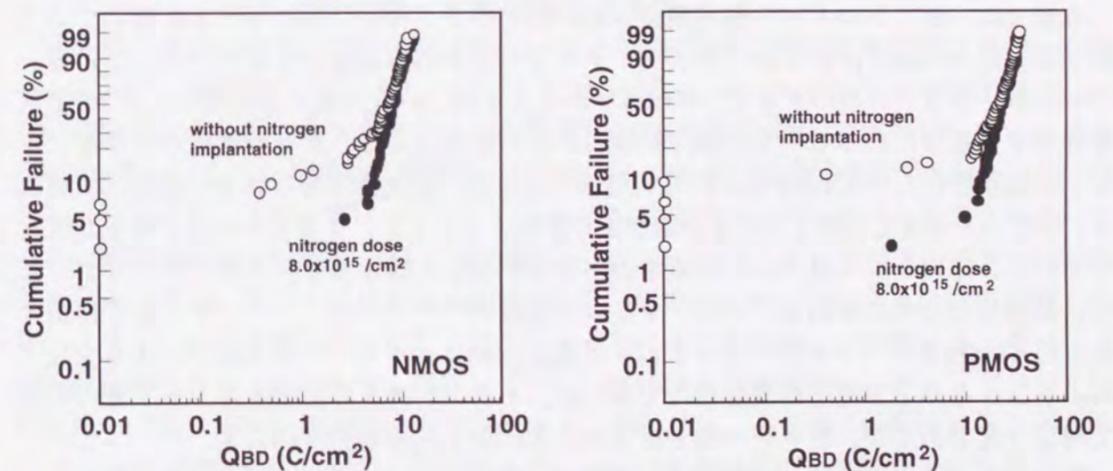


図4-9 NMOSキャパシタとPMOSキャパシタの定電流ストレスTDDB特性。○は窒素注入を行わない場合を示し、●は窒素注入を1.6x10¹⁶/cm²行った場合を示している。

膜中の窒素濃度が数atm%程度であり熱窒化法と比較して1桁近く窒素量が少ないことに起因している。ここで注目すべきことは、窒素注入を行わないサンプルで見られる偶発故障の増加が、窒素注入を行うことにより抑制できることである。偶発故障の増加の原因は、まだ解明されていないが、偶発故障は、後述するようにゲート電極に注入する砒素およびボロンの注入量の増加とともに増大することや、ボロンのゲート絶縁膜を突き抜けにより増加することがわかっている。窒素注入を行うと、ゲート酸化膜に窒素が析出するため、ドーパントの析出が抑制されると同時に、ボロンの突き抜けが抑制できることが酸化膜信頼性の向上に関係していると考えている。

4.3 ボロンのゲート酸化膜突き抜け抑制

デュアルゲートCMOS構造を採用するにあたり、解決しなければならない課題の1つにp⁺ポリシリコンゲートからのボロンのゲート酸化膜突き抜けがある。p⁺ポリシリコン中のボロンはその後の熱処理によりゲート酸化膜を突き抜けシリコン基板に簡単に拡散しトランジスタのしきい値電圧を変動させる。ボロンの突き抜けは、浅い接合の形成のために用いられるBF₂⁺イオン中のフッ素の存在、層間膜平坦化工程でのウェット雰囲気中での熱処理における水素の存在によりより増速される。これらの問題を解決するために、BF₂⁺イオンの代わりにBCl⁺イオン注入を用いたり[25]、ゲート電極として窒素をin-situにドーピングしたポリシリコン膜[26,27]、微小粒径をもつポリシリコン膜[28]、アモルファスシリコンとポリシリコン膜の積層膜[29]を用いる技術等が提案されている。本節では、ゲート電極への窒素イオン注入によるボロンの突き抜けの抑制について述べる。

4.3.1 トランジスタへの影響

本節では、ボロンのゲート酸化膜突き抜けがトランジスタ特性に与える影響について述べる。図4-10は、p⁺ポリシリコンゲートキャパシタの高周波C-V特性を示している。ゲートポリシリコンへのドーピングはボロン注入で行い、注入後の熱処理は800℃の窒素雰囲気中で行った。ボロン突き抜け抑制のための窒素注入は、ゲート電極の表面部にボロンと飛程を合わせて4x10¹⁵/cm²の注入条件で行った。窒素注入を行わない場合は、窒素注入を行った場合と比較してC-V曲線が正の方向にシフトし、フラットバンド電圧が変化している。このシフトはゲート電極中のボロンがゲート酸化膜を突き抜けてシリコン基板に拡散したことに起因している。シリコン基板中でボロンはアクセプタとして作用するためにMOSキャパシタのフラットバンド電圧(V_{fb})は、ボロンの突き抜けにより変化する。フラットバンド電圧の変動だけであれば、トランジスタのチャネルドーパ量の設定で補正可能であるが、ボロンの突き抜けは、次に示す問題を引き起こす。

図4-11は、図4-10で示した試料と同じ作製条件で形成したPMOSトランジスタのウエハ面内9点のしきい値電圧のゲート長依存性を示している。窒素注入を行わない場合は、ゲート長1μmの長チャネルトランジスタでは、フラットバンド電圧の変化量に対応し0.1V程度しきい値電圧は低下している。問題となるのは、短チャネルトランジスタである。短チャネルトランジスタではしきい値電圧がばらつくと同時に、短チャネル効果に

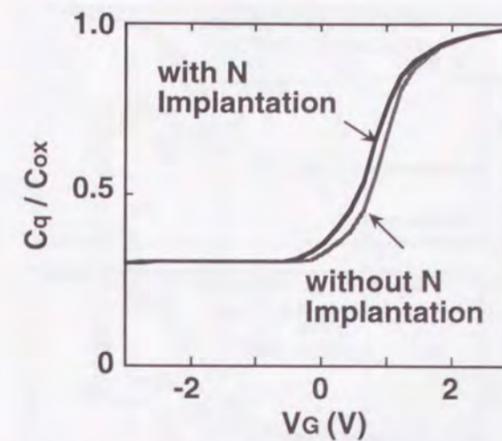


図4-10 窒素注入を行った場合と行わない場合のPMOSキャパシタの高周波C-V特性

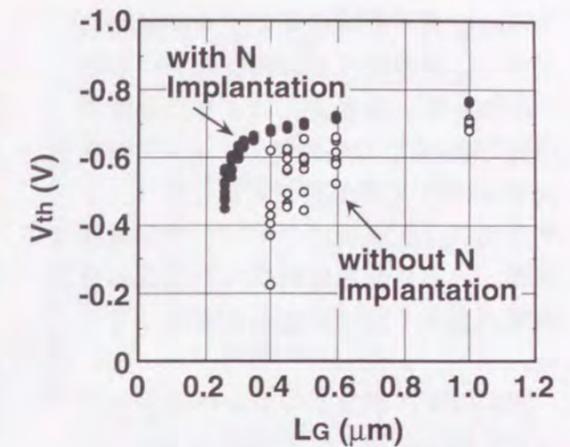


図4-11 PMOSトランジスタのしきい値電圧のゲート長依存性。各Lgでウエハ面内9点を測定している。

よるしきい値電圧の低下量が増大している。ボロンの突き抜けは、ゲート酸化膜全面にわたって均一に起こるわけでないため、不均一にシリコン基板に進入する。その結果、キャリア数の少ない短チャネルトランジスタではばらつきが大きくなる。また、ボロンはアクセプタであるため、PMOSの短チャネル効果を増加させパンチスルー耐性を劣化させる。ボロンの突き抜けによるしきい値電圧の変動は、ゲート電極に窒素注入を行うことで完全に抑制される。

4.3.2 注入イオン種、熱処理条件依存性

窒素注入によるボロンの突き抜けについて詳細に評価した結果を本節では述べる。図4-12は、ゲート電極への注入を2フッ化ボロン(BF₂)注入、あるいはボロン注入で行い、ボロンの突き抜けが起こりやすいウェット雰囲気中の850℃と900℃で熱処理を行った場合のPMOSキャパシタの高周波C-V特性を示している。図中の破線は窒素注入を行わない場合を示しており、実線はポリシリコン中に4x10¹⁵/cm²窒素イオンを注入した場合を示している。熱処理温度の高温化に伴いC-V曲線が正方向にシフトして、ボロンの突き抜けが顕著となる。また、ゲート電極の注入にBF₂を用いた場合、ボロンの突き抜けが顕著となり、フラットバンド電圧の変化量が大きくなっている。これは、フッ素によりボロンの拡散が増速されるためである。ボロンのゲート酸化膜の突き抜けは、ゲートポリシリコン電極への窒素イオン注入により抑制される。図4-13は、高周波C-V特性から求めたフラットバンド電圧の変化量の、熱処理温度、および熱処理雰囲気依存性を示している。フラットバンド電圧シフト量は熱処理温度の増加とともに増加しており、特に窒素雰囲気よりもウェット雰囲気中で大きくなる。これは、ウェット雰囲気中の水素がボロンの拡散を増速させるためである。さらに、前節で示したように窒素注入を行わないと800℃の窒素雰囲気中での熱処理でも突き抜けが起こっている。それに対し、ポリシリコンゲー

トへの窒素イオン注入により効果的にボロンの突き抜けが抑制されていることがわかる。窒素注入により、窒素雰囲気では850℃の熱処理、ウェット雰囲気では820℃の熱処理が可能となり、トランジスタ形成後のキャパシタ絶縁膜形成、および配線層間膜の平坦化の自由度が大きく広げることが可能となった。

図4-14は、ポリシリコンへのドーピングをBF₂注入、およびボロン注入で行い900℃のウェット雰囲気中で1時間熱処理を加えた後のSIMSによる不純物深さ方向分布を示している。窒素注入を行った場合は、ボロンの拡散が抑制されるために、窒素がドーピングされている表面部のボロン濃度が高くなっており、ポリシリコン中の不純物は均一となる。それに対し、窒素注入を行わない場合は、ポリシリコン中のボロン濃度は、ゲート酸化膜側のほうが高くなる。さらに、窒素注入を行った場

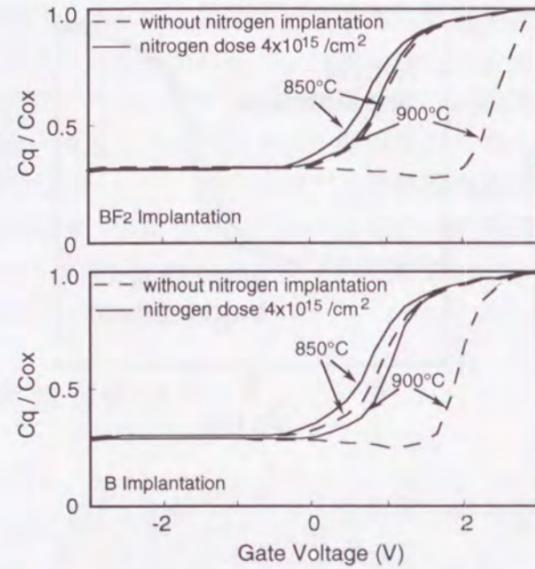


図4-12 ゲート電極にBF₂あるいはB注入を行ったPMOSキャパシタの高周波C-V特性の熱処理条件依存性。熱処理はウェット雰囲気で行っており、破線は窒素注入を行わない場合、実線は窒素を4x10¹⁵/cm²注入した場合を示している。

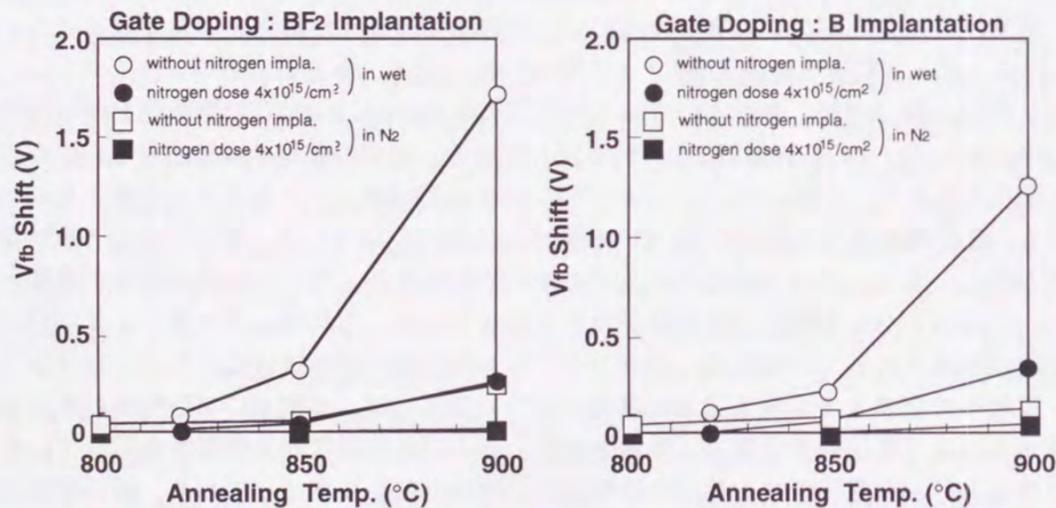


図4-13 ゲート電極にBF₂あるいはB注入を行ったPMOSキャパシタの高周波C-V特性より求めたフラットバンド電圧変化量の熱処理条件依存性

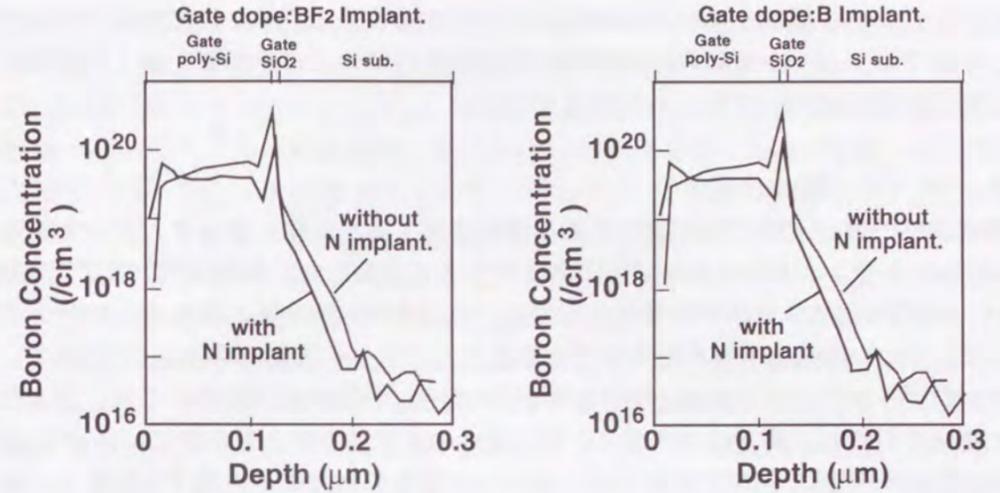


図4-14 ゲート電極にBF₂あるいはB注入を行ったPMOSキャパシタのゲート電極、ゲート酸化膜およびシリコン基板中のSIMS法による窒素分布。注入後、900℃のウェット雰囲気中で30分間の熱処理を行っている。

合は、ゲート酸化膜中に析出するボロン量が少なくなっている。シリコン基板への突き抜けに関しては、窒素注入を行うことで、抑制されているようにも見えるが、このような積層膜における、SIMS法の深さ方向分解能を考慮すると明確な差があるかどうかは検出できていない。

窒素注入によるボロンのゲート酸化膜突き抜けの抑制は2つの機構で説明できる。1つは、ポリシリコン中で窒素がボロンの拡散を抑制することである。窒素の拡散係数はボロンよりも約5倍大きく、その結果ボロンのポリシリコン中での実効拡散係数が低下すると考えられる。このことは、SIMS測定からも明らかである。もう1つの理由は、窒素がゲート酸化膜に析出し、拡散バリアとして働くことである。これは、熱窒化で形成した窒化酸化膜にも見られる現象である。窒素イオン注入で窒化酸化膜を形成した場合、以上の2つの効果があるためボロンの突き抜け抑制に対して非常に効果的である。

4.4 ゲート電極不純物濃度の影響

デュアルゲート構造では、NMOSゲート電極にはN型のドーパント、PMOSゲート電極にはP型のドーパントをイオン注入で打ち分ける必要があり、ゲート電極の不純物の制御が重要となる。ゲート電極の不純物濃度が低いと、ゲート電圧を印加した場合ゲート電極側にも空乏層が広がりゲート電極が空乏化する。ゲート電極の空乏化は、実効酸化膜容量を低下させると同時に、ゲート酸化膜中の電界を小さくするために、しきい値電圧を上昇させ、トランジスタの駆動能力が低下する。それゆえに、低電圧で高速動作を実現するためには、ゲート電極の空乏化の抑制が必須となる。ゲート電極の空乏化の抑制には、ゲート電極へのイオン注入量を増加させることが有効であるが、高濃度にイオン

注入されたゲート電極を有するMOSFETについては十分に調べられていないのが現状である。本節では、ゲート電極の不純物濃度が電気特性におよぼす影響、および窒素注入による窒化の効果について得られた知見を示す。

4.4.1 試料作製

電気特性のゲート酸化膜形成方法依存性を評価するために、デュアルゲート構造を有するCMOSトランジスタ、およびMOSキャパシタを作製した。基板はP型のCZシリコンを用い、LOCOS法により素子分離を行った後、リンとボロンの高エネルギーイオンの多段注入によりnウエル、pウエルをそれぞれ形成した。ゲート酸化膜厚は6nmに設定し、アンダーのポリシリコンを200nmの厚さで堆積した後、一部の試料については、窒素注入により窒化を行った。窒素の注入量は、酸化膜への析出量を変えるために、 $1 \times 10^{15}/\text{cm}^2$ から $8.0 \times 10^{15}/\text{cm}^2$ の範囲で変化させている。N⁺ゲート電極の形成には砒素イオン注入、P⁺ゲート電極の形成にはボロンイオン注入を用い、ゲート電極の不純物濃度を変化させるために、注入量は $1 \times 10^{15}/\text{cm}^2$ から $1.2 \times 10^{16}/\text{cm}^2$ の範囲で変化させた。ゲート電極のパターンニングを行った後、N⁺ソースドレイン、P⁺ソースドレインを形成し、MOSトランジスタを作製した。ゲート電極に注入した不純物の活性化は、ソースドレインの活性化のための熱処理で兼用し、最高熱処理は850℃とした。

4.4.2 N⁺ゲート電極の不純物濃度の影響

ゲート電極の不純物濃度と空乏化の相関について評価するために、ゲート電極への砒素注入量を変化させたNMOSキャパシタのq-CV特性の評価を行った。図4-15は、規格化し

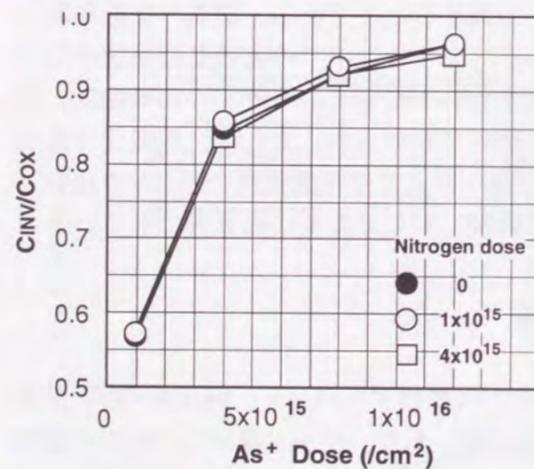


図4-15 NMOS キャパシタの反転側容量のゲート電極への砒素注入量および窒素注入量依存性

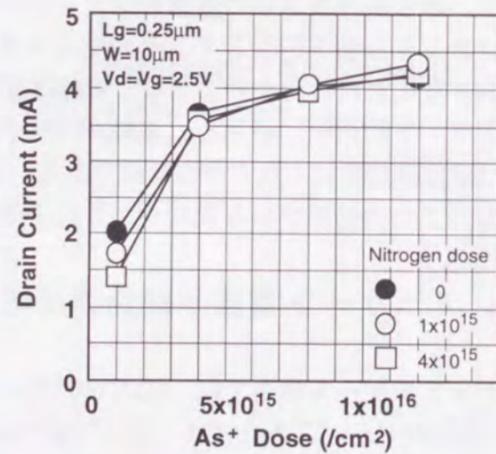


図4-16 ゲート長0.25 µmのNMOSトランジスタのドレイン電流のゲート電極への砒素注入量および窒素注入量依存性

た容量（反転側容量を蓄積側容量で規格化した値）のゲート電極への砒素注入量依存性を示している。砒素注入量が $1 \times 10^{15}/\text{cm}^2$ の場合、規格化容量は0.57程度となり、空乏化により酸化膜容量が約半分となっている。注入量の増加とともに規格化容量は増加し、規格化容量を0.9以上にするには砒素注入量が $8 \times 10^{15}/\text{cm}^2$ 程度必要である。また、窒素注入を行った場合、若干空乏化が加速されている。次に、ゲート電極の空乏化がトランジスタの駆動能力に与える影響を評価した。図4-16は、ゲート長 $0.25 \mu\text{m}$ のNMOSトランジスタの電源電圧2.5Vにおけるドレイン電流を示している。ゲート電極への注入量が少ないと、前述した空乏化の影響を受け酸化膜容量が低下するためにドレイン電流が少なくなる。ドレイン電流は、ゲート電極への砒素注入量を増加させ、空乏化を抑制することで増加できる。しかし、空乏化が抑制され酸化膜容量が増加する割合に対してドレイン電流の増加量は小さい。これは、ゲート電極が空乏化するときい値電圧も上昇するためである。また、窒素注入を行った場合、砒素注入量が少ないと、ドレイン電流の低下が見られる。これは、窒素により砒素の拡散が抑制されることに加え、砒素の活性化率が低下するためである。一方、砒素注入量を増加させると、窒素注入量依存性は小さくなる。

以上のようにトランジスタの駆動能力を向上させるためには、ゲート電極の高濃度化が必須であるが、ゲート電極を高濃度化したときの問題について次に述べる。図4-17は、定電流ストレスTDDDB特性のゲート電極への砒素注入量依存性を示している。電子は、基板から $0.1 \text{A}/\text{cm}^2$ の電流密度で注入している。砒素注入量が $1 \times 10^{15}/\text{cm}^2$ の場合、ゲート酸化膜の劣化は見られないが、砒素注入量を増加させるにしたがって、TDDDB特性における偶発故障が増加している。この原因は明確になっていないが、砒素注入量の増加とともにゲート酸化膜に析出する砒素も増加し、酸化膜信頼性を劣化させていると考えている。図4-18は、偶発故障が多かった、ゲート電極への砒素注入量が $8 \times 10^{15}/\text{cm}^2$ の試料について、窒素注入を行った場合のTDDDB特性を示している。窒素注入を行うことで偶発故障の発生が完全に抑制されている。窒素注入量依存性はなく、 $1 \times 10^{15}/\text{cm}^2$ の注入量で偶発故障の発生は見られなくなる。

図4-19は、窒素注入を行った試料（注入量は $8 \times 10^{15}/\text{cm}^2$ ）と行わない試料のSIMS法によって測定した深さ方向不純物分布を示している。窒素注入により酸化膜に窒素が析出

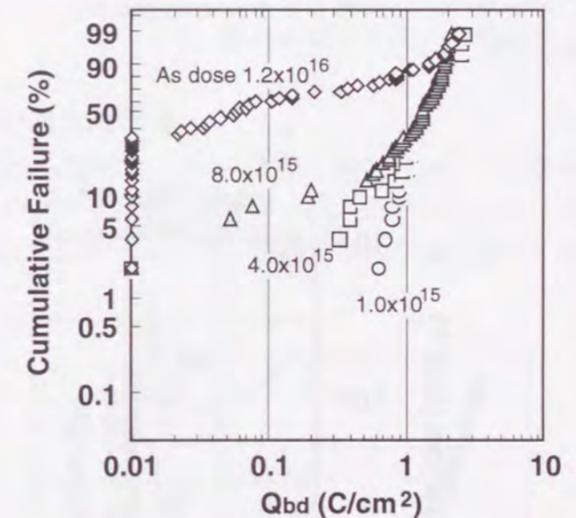


図4-17 NMOS キャパシタの定電流ストレス TDDDB 特性のゲート電極への砒素注入量依存性

していることが明確に観察される。窒素注入を行った場合、窒素が存在する表面付近の砒素の濃度が高く、砒素の拡散が抑制されている。その結果、ゲート電極/酸化膜界面の砒素濃度も低下している。このことにより、窒素注入を行うことで若干空乏化が加速されることが説明できる。さらに、窒素注入を行うことで、酸化膜中の砒素濃度が低下している。酸化膜中の砒素と信頼性の関係は、明確になっていないが、窒素注入により酸化膜の信頼性が向上するのは、砒素の酸化膜中への析出が抑制されることも影響していると考えられる。

窒素注入を用いることで、ゲート電極の高濃度化が可能となり、高信頼で高駆動能力のNMOSFETが実現できることが明らかとなった。

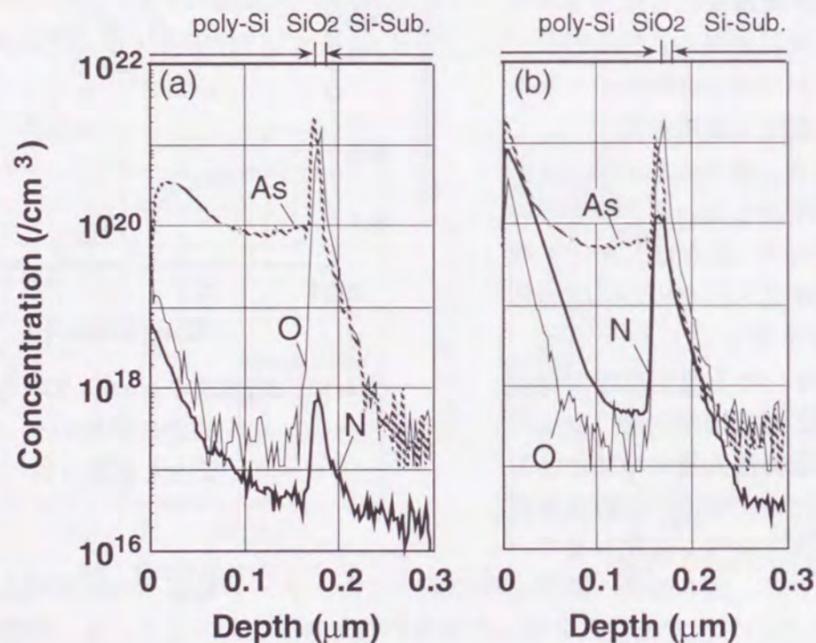


図 4-19 SIMS 法による NMOS ゲート電極およびゲート酸化膜中の窒素、砒素分布。(a)窒素注入を行わない場合、(b)ゲート電極に窒素を $4 \times 10^{15}/\text{cm}^2$ 注入した場合

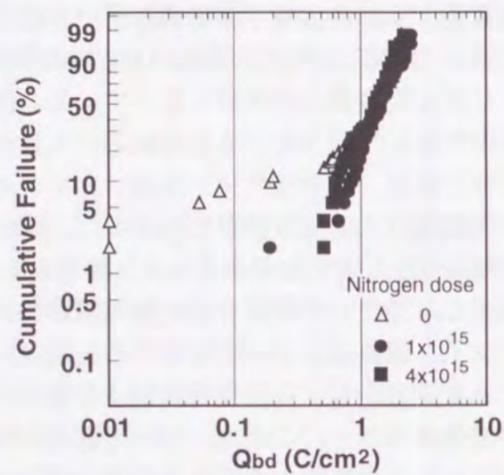


図 4-18 NMOS キャパシタの定電流ストレス TDDB 特性のゲート電極への窒素注入量依存性。ゲート電極への砒素注入量は偶発故障の増加する $8 \times 10^{15}/\text{cm}^2$ 。

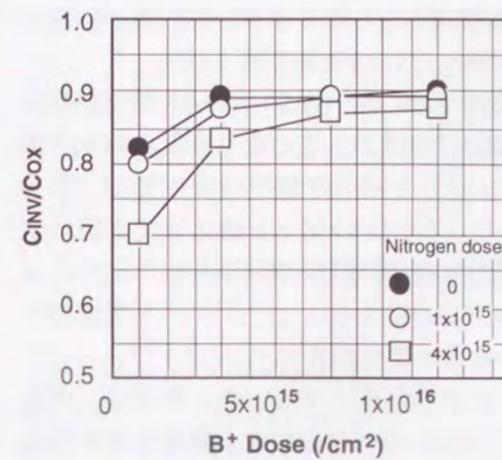


図 4-20 PMOS キャパシタの反転側容量のゲート電極へのボロン注入量および窒素注入量依存性

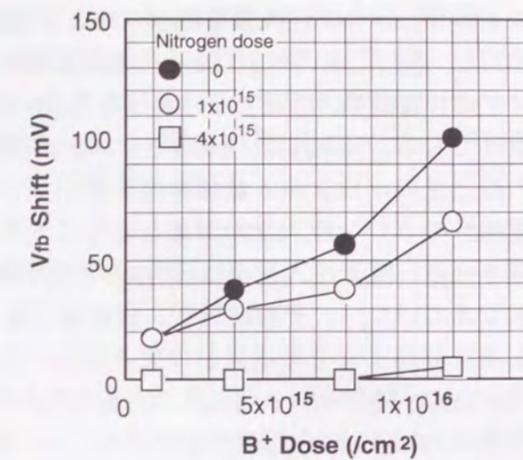


図 4-21 高周波 C-V 特性により求めたフラットバンド電圧変化量のゲート電極へのボロン注入量および窒素注入量依存性

4. 4. 3 P+ゲート電極の不純物濃度の影響

P+ゲート電極の不純物濃度の影響を調べるために、ゲート電極へのボロン注入量依存性を評価した。図4-20は、規格化した容量のゲート電極へのボロン注入量依存性を示している。窒素注入量を行わない場合、注入量が $1 \times 10^{15}/\text{cm}^2$ では、規格化容量が 0.52 程度となり空乏化が顕著に見られるが、注入量が $4 \times 10^{15}/\text{cm}^2$ 以上になると 0.9 程度の値で飽和している。N+ゲート電極に比べて注入量依存性が小さいのは、ボロンが砒素に比べて拡散係数が大きいためゲート電極中に容易に拡散するためである。また、規格化容量が飽和するのは、ボロンのシリコン中での固溶度が砒素に比べて小さいことに起因している。窒素注入により窒素化を行った場合、窒素注入量が $1 \times 10^{15}/\text{cm}^2$ では、規格化容量はほとんど変わらないが、注入量を $4 \times 10^{15}/\text{cm}^2$ にすると、ボロン濃度が低いときはゲート電極の空乏化が加速される。これは、窒素が導入されることでボロンの拡散が抑制されると同時に活性化率が低下するためである。

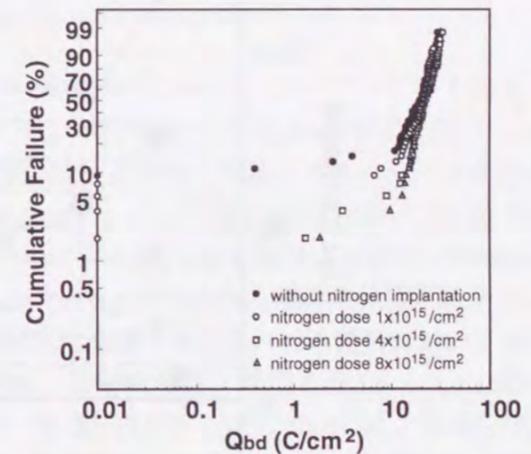


図 4-22 PMOS キャパシタの定電流ストレス TDDB 特性のゲート電極への窒素注入量依存性。ゲート電極へのボロン注入量は $8 \times 10^{15}/\text{cm}^2$ 。

る。しかし、ボロン注入量を増加させると窒素の影響は小さくなりボロン注入量が $8 \times 10^{15}/\text{cm}^2$ では、空乏化率の増加は2~3%程度に抑えられる。

P+ゲート電極で、注意しなければならないのは前節で示したボロンのゲート酸化膜の突き抜けである。図4-21は、MOSキャパシタの高周波C-V特性から求めたフラットバンド電圧の変化量のボロン注入量依存性を示している。フラットバンド電圧の変化量は、ゲート電極へのボロン注入量の増加とともに大きくなり、ボロンのゲート酸化膜突き抜けが加速される。窒素注入量が $1 \times 10^{15}/\text{cm}^2$ ではボロンの突き抜けは抑制されるものの完全には抑制できていない。それに対し、窒素注入量を $4 \times 10^{15}/\text{cm}^2$ にすることで、ゲート電極のボロン濃度を高くしてもボロンの突き抜けが完全に抑制できている。

図4-22は、PMOSキャパシタの定電流ストレスTDDDB特性を示している。電子は、ゲート電極から $0.1 \text{ A}/\text{cm}^2$ の電流密度で注入している。窒素注入を行わないと、偶発故障が見られる。これは、ボロンのゲート酸化膜の突き抜けが寄与していると考えられる。それに対し、窒素注入を行うことで、NMOSと同様に偶発故障の発生が完全に抑制できる。

以上のように、PMOSにおいても、窒素注入を行うことで、ボロンの突き抜け、およびゲート酸化膜の劣化が抑制でき、ゲート電極に高濃度でのボロン注入が可能となることがわかった。

4.4.4 ゲート電極不純物濃度の動作速度に与える影響

窒素注入技術を用いることで、ゲート電極への高濃度注入が可能となったため、空乏化抑制効果が回路動作速度に与える影響を評価した。図4-23は、ゲート長 $0.25 \mu\text{m}$ のCMOSインバータリングオシレータの遅延時間を示している。ゲート電極への窒素注入量

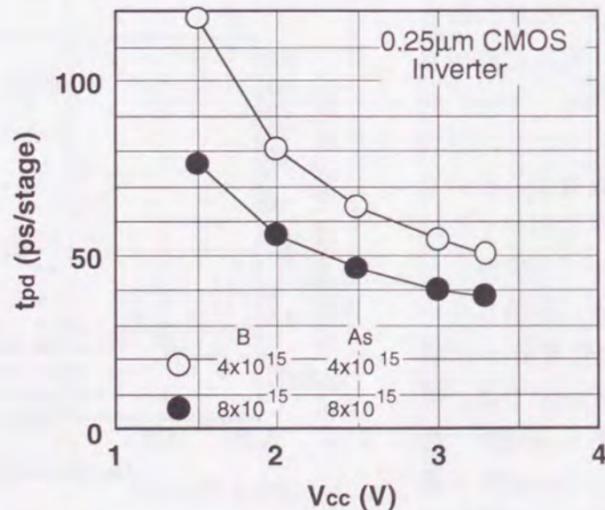


図4-23 0.25 μm CMOS インバータリングオシレータの遅延時間の電源電圧依存性。○はゲート電極への不純物注入量が $4.0 \times 10^{15}/\text{cm}^2$ の場合、●は $8.0 \times 10^{15}/\text{cm}^2$ の場合を示している。

は $4 \times 10^{15}/\text{cm}^2$ で、ドーパント注入量が $4 \times 10^{15}/\text{cm}^2$ と $8 \times 10^{15}/\text{cm}^2$ の場合について比較を行っている。ドーパント注入量を $8 \times 10^{15}/\text{cm}^2$ と高濃度化することにより、ゲート電極の空乏化が抑制され、2.5V動作で約30%の高速化が可能となっている。さらに、電源電圧が低くなると、遅延時間の差が大きくなっている。これは、ゲート電極が空乏化した場合、しきい値電圧が上昇するためである。

4.5 ゲート酸化膜形成方法依存性

シリコンの熱酸化の方法を大きく分けると、水蒸気または水蒸気を含んだ酸素による酸化（ウェット酸化）と、水分を含まない乾燥酸素による酸化（ドライ酸化）になる。MOSトランジスタのゲート酸化膜形成方法としても、上記の酸化法のどちらかが採用され、現在に至っている。しかし、素子の微細化に伴い、素子分離端の応力が増大する結果、素子分離端のゲート酸化膜厚が薄膜化し信頼性を低下させることが問題となっている。また、トランジスタの駆動能力を向上させるためにゲート酸化膜はますます薄膜化され、素子分離端のゲート酸化膜の薄膜化の影響が大きくなっている。さらに、熱酸化は、表面の清浄度の劣化、パーティクルの発生等により、ピンホールが発生しやすく、薄膜化した場合、ピンホールが耐圧不良を引き起こす問題もある。これらの問題を解決する手法として、CVD(Cheical Vapor Deposition)法によるゲート酸化膜形成技術が提案されている[30]。しかし、CVD法で酸化膜を形成した場合、酸化膜/シリコン界面での準位の発生が問題となる。そこで、熱酸化膜とCVD酸化膜の両者の長所を生かす方法として、熱酸化膜とCVD酸化膜の積層構造にすることが考えられる[31-34]。本節では、酸化膜信頼性の酸化膜形成方法依存性について述べると同時に、窒素注入による窒化の効果について述べる。

4.5.1 試料作製

電気特性のゲート酸化膜形成方法依存性を評価するために、デュアルゲート構造を有するCMOSトランジスタ、およびMOSキャパシタを作製した。基板はP型のCZシリコンを用い、LOCOS法により素子分離を行った後、リンとボロンの高エネルギーイオンの多重注入によりnウェル、pウェルをそれぞれ形成した。ゲート酸化膜の形成には、熱酸化として、 820°C でのウェット酸化と 900°C でのドライ酸化の2種類、TEOS (Tetraethyl orthosilicate)を原料とする 680°C でのLP (Low Pressure)-CVD法、積層酸化膜形成方法として、ウェット酸化後にLP-CVD法により酸化膜を堆積する手法の計4種類について評価した。ゲート酸化膜厚はすべて10nmに設定し、積層構造は、熱酸化膜5nm、CVD酸化膜5nmの膜厚構成となっている。CVD酸化膜、および積層酸化膜については、膜形成後に焼成工程として、 850°C の窒素雰囲気中で20分の熱処理を加えている。ゲート酸化膜の窒化には、前述した窒素注入法を用い、ゲート電極となる多結晶シリコンを堆積した後に窒素イオン注入を10keVで $4 \times 10^{15}/\text{cm}^2$ の条件で行っている。窒素注入後のデュアルゲートCMOSトランジスタ作製工程は、5.2節で述べたフローと同じであるので説明は省略する。

4. 5. 2 キャリア移動度

図4-24は、各種形成方法のゲート酸化膜を有するMOSFETの実効電子移動度、および実効正孔移動度の実効電界依存性を示している。電子移動度、正孔移動度ともにウェット酸化膜、ドライ酸化膜、積層構造酸化膜の間では、差異はない。それに対し、CVD酸化膜をゲート酸化膜として用いた場合は、移動度の低下が見られる。これは、ゲート酸化膜/シリコン界面が平坦でないために、表面散乱の影響を受けていると考えられる。窒素注入により窒化を行った場合、すべての酸化膜において移動度の変化は見られない。これは、窒素注入によって窒素を導入した場合、他の熱酸化法に比べて酸化膜に導入される窒素量が少ないためである。

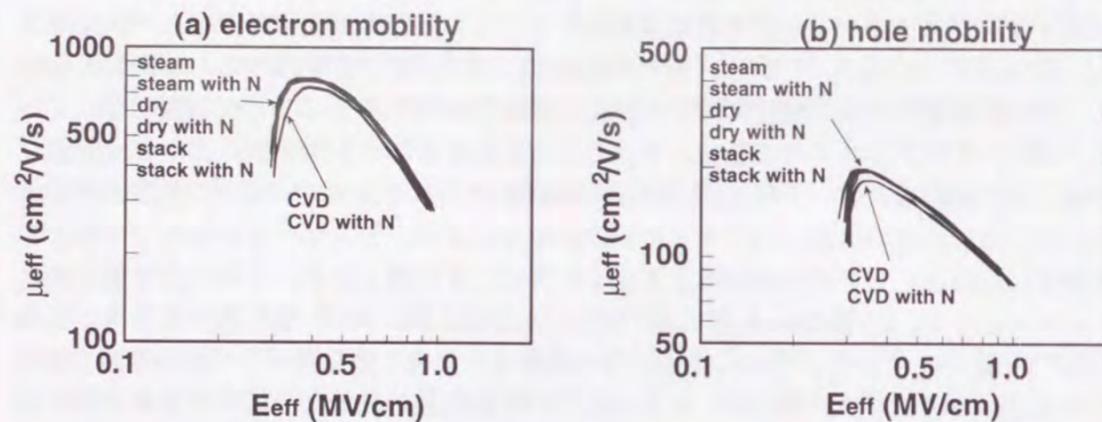


図4-24 ウェット酸化、ドライ酸化、CVD法、ウェット酸化+CVD法により形成したゲート酸化膜を有するMOSトランジスタの実効電子移動度および実効正孔移動度の垂直電界依存性

4. 5. 3 ホットキャリア耐性

図4-25は、窒素注入を行わない場合について、NMOSトランジスタのホットキャリア注入によるしきい値電圧の変化を示している。ゲート長は $0.25\mu m$ で、ストレスはドレイン電圧4V、ゲート電圧は最大基板電流を示す電圧(DAHC注入条件)を印加している。しきい値電圧は、最も変化量の大きかった線形領域の変化量を示している。ドライ酸化によって形成した酸化膜が最も変化量が小さく、ホットキャリア耐性が強いことが分かる。ウェット酸化を用いた場合、ホットキャリア耐性は、ドライ酸化に比べて若干劣化する。これは、ウェット酸化では、電子トラップとして作用するSi-H結合が酸化中に導入されるためである。CVD酸化膜、および、熱酸化膜とCVD酸化膜の積層酸化膜では、ホットキャリア耐性は著しく劣化する。この劣化は、後述するCVD酸化膜中に含まれる多量の電子トラップが原因と考えられる。積層構造でもホットキャリア劣化が改善されないのは、ホットエレクトロンの平均自由行程は $7.3nm$ であり[35]、容易に熱酸化膜を通り抜け

CVD酸化膜に注入されるためである。

次に、窒素注入によるホットキャリア耐性の向上について述べる。DAHC注入条件で1000秒間ストレスを印加した後の、しきい値電圧の変化量を図4-26に示す。窒素注入を行わない場合、積層構造が最も変化量が大きくなっている。しかし、CVD酸化膜は、図4-24に示したように移動度が小さくドレイン電流が他の酸化膜と比較して少ないため、ホットエレクトロン注入量は他の場合と比較して少なくなっている。基板電流を揃えて比較した場合、しきい値電圧変化量はCVD酸化膜が最も大きく、ホットキャリア耐性が最も低いと考えられる。窒素注入で窒化を行うことで、すべての酸化膜に対してホットキャリア耐性が向上している。特に、CVD酸化膜、積層酸化膜で改善効果が大きい。図4-27は、線形領域のドレイン電流の変化量を示している。傾向は、しきい値電圧変化量と同じであり、窒素注入により劣化量は小さくなる。ホットキャリア劣化の要因の1つである界面準位を評価するために、チャージポンピング電流の変化量を調べた結果を図4-28に示す。窒化をしない場合、CVD酸化膜は、他の酸化膜と比べてチャージポンピング電流の変化量が大きくなっている。これは、CVD酸化膜/シリコン基板界面に、ダングリングボンドや不完全な結合が多く界面準位密度が高いことに起因している。積層構造は、ホットキャリア劣化は大きかったものの、チャージポンピング電流の変化量は、熱酸化膜と比較して差は小さい。これは、界面は熱酸化膜で形成されて

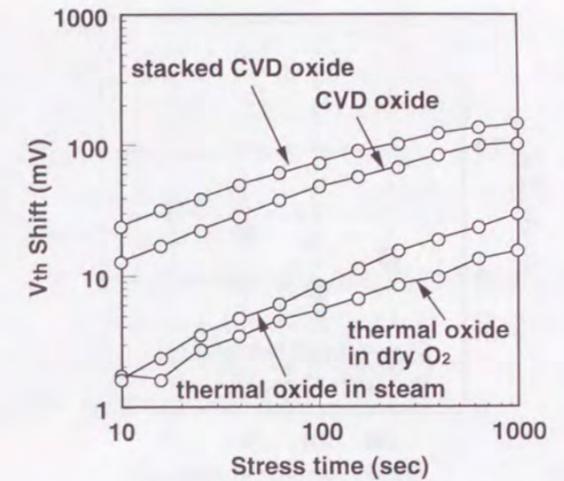


図4-25 各種形成法で作製したゲート酸化膜を有するNMOSトランジスタのDAHC注入によるしきい値電圧の変化

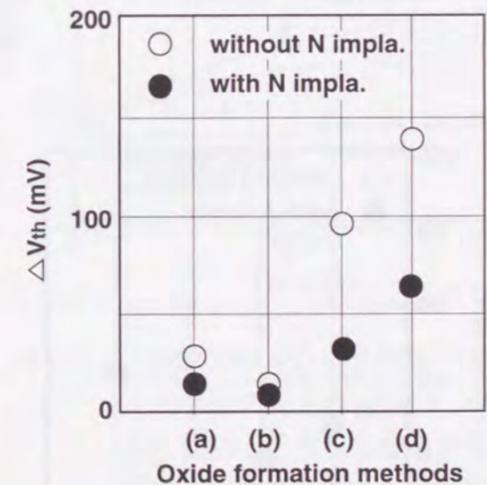


図4-26 NMOSトランジスタに1000秒間DAHC注入を行ったときのしきい値電圧変化。ゲート酸化膜は(a)ウェット酸化、(b)ドライ酸化、(c)CVD法、(d)ウェット酸化+CVD法により形成しており、○は窒素注入を行わない場合、●は窒素注入を $4.0 \times 10^{15}/cm^2$ 行った場合を示している。

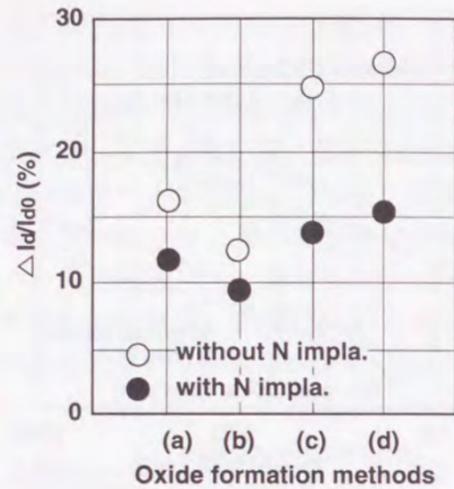


図4-27 図4-26で示した試料のドレイン電流の変化

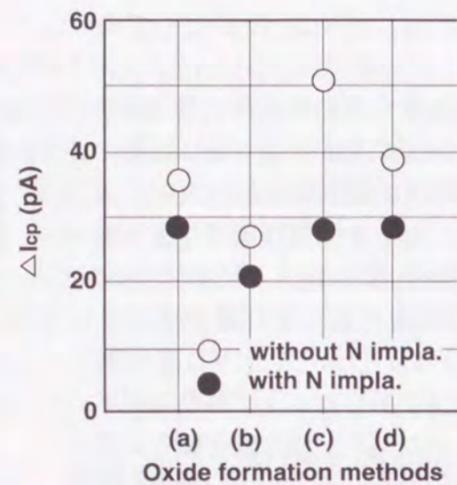


図4-28 図4-26で示した試料のチャージポンピング電流の変化

いるため、界面準位の生成は低減されていると考えられる。窒素注入を行うことで、すべての酸化膜においてチャージポンピング電流の変化量は小さくなり、さらに、CVD酸化膜でも熱酸化膜と同等の値を示していることから、窒素注入による界面準位発生低減効果は大きい。

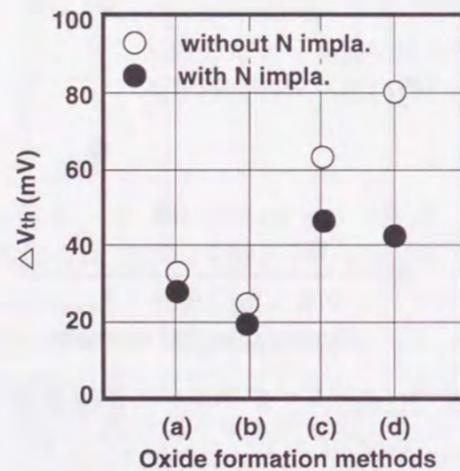


図4-29 PMOS トランジスタに1000秒間 DAHC 注入を行ったときのしきい値電圧変化。(a)ウェット酸化、(b)ドライ酸化、(c)CVD法、(d)ウェット酸化+CVD法

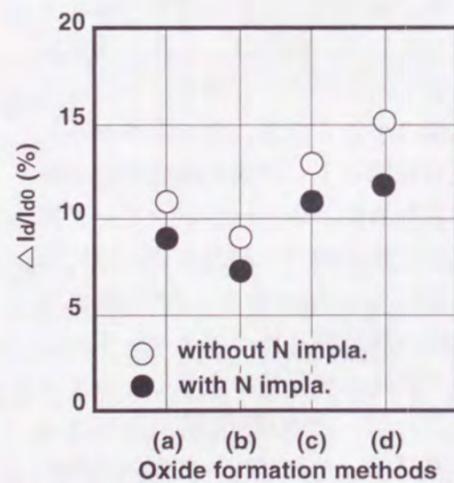


図4-30 図4-27に示した試料のチャージポンピング電流変化量

図4-29、および図4-30は、PMOSトランジスタにホットキャリア注入を行った場合のしきい値電圧、ドレイン電流の変化量をそれぞれ示している。ストレスは、ドレイン電圧は-5Vで、ゲート電圧はゲート電流が最大となるゲート電圧の条件で1000秒間印加している。PMOSトランジスタの場合の挙動も、前述したNMOSトランジスタの場合と同じであり、CVD酸化膜、積層酸化膜のホットキャリア劣化量が大きく、さらに、すべての酸化膜形成条件において窒素注入による窒化が効果的である。

以上のことより、窒素注入によるホットキャリア耐性の向上は、酸化膜形成方法に関わらず観測される。この効果は、窒素がダングリングボンドを終端させたり、界面の不完全な結合に窒素が入り安定化させることによって界面準位の発生を抑制することに加え、後述する酸化膜中の電子トラップを低減することに起因する。

4.5.4 ゲート酸化膜信頼性

ホットキャリア耐性、および酸化膜信頼性には酸化膜中のキャリアトラップが大きな影響を与えるため各種酸化膜中のトラップ量について評価を行った。図4-31は、MOSキャパシタに基板から2mA/cm²の定電流の電子注入を行ったときのゲート電圧変化を示している。ウェット酸化とドライ酸化を比較すると、ドライ酸化の方がゲート電圧の変化量が小さく電子トラップが少ないことがわかる。これは、ドライ酸化では、水素に関連するトラップが生成されないためであると考えられる。これに対し、CVD酸化膜では、ゲート電圧変化量が著しく大きく、膜中に多量の電子トラップが含まれていることが分かる。CVD酸化膜と熱酸化膜の積層膜構造にすることにより、膜中のトラップは、低減されるが、熱酸化膜と比較するとトラップ量は多い。

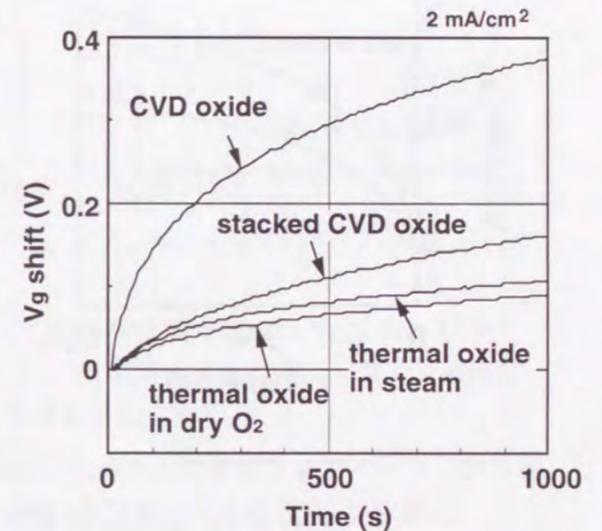


図4-31 4種類の形成方法で作製したゲート酸化膜を有するMOSキャパシタに2mA/cm²の電流密度で電子を注入した場合のゲート電圧変化

図4-32は、窒素注入による窒化の効果を示している。窒化により、すべての酸化膜形成条件に対して、電子トラップが低減される。特に、CVD酸化膜と熱酸化膜の積層膜構造では、低減効果が大きく熱酸化膜と同レベルにまで電子トラップ量を低減することが可能である。電子トラップとして作用する酸化膜中のSi-H結合、Si-OH結合が窒化によりSi-N結合となる結果、電子トラップが低減されると考えられる。

図4-33は、MOSキャパシタにゲート正バイアスで0.1A/cm²のストレスを与えたときの定電流TDDDB特性を示している(キャパシタ面積0.25mm²、サンプル数100個)。真性領域に

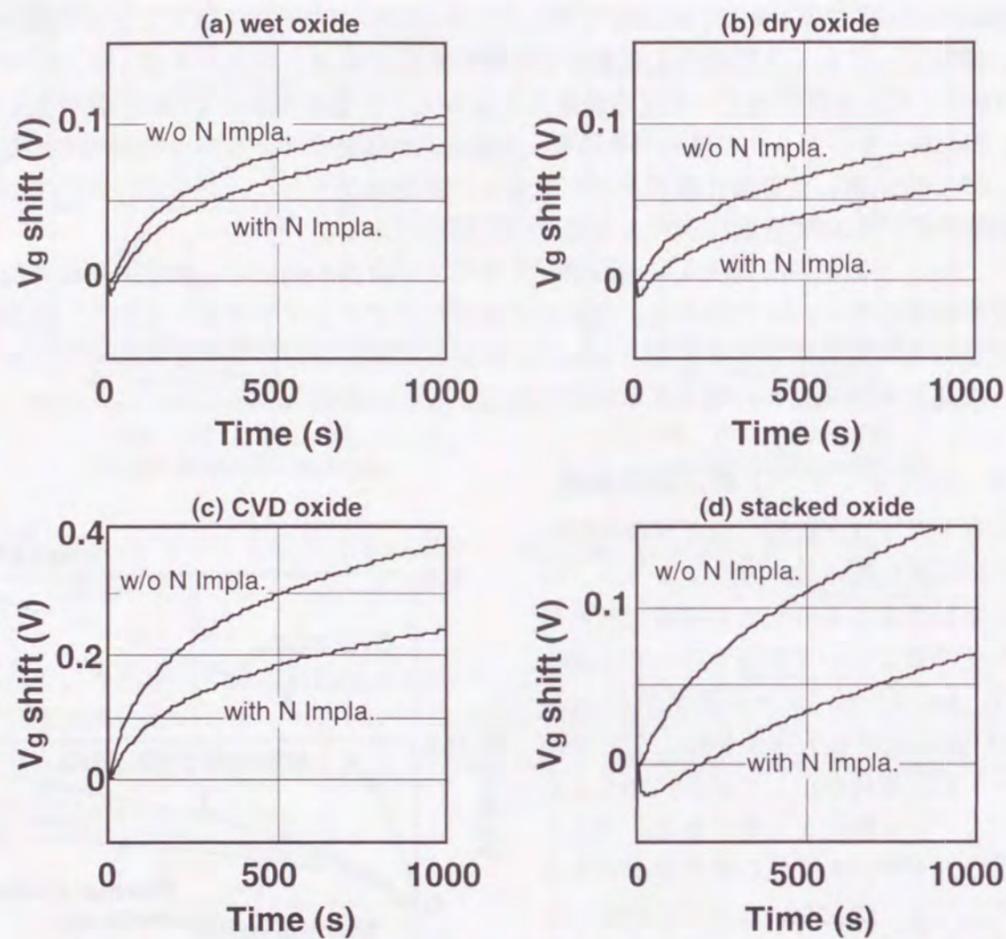


図 4-32 ゲート電極に窒素注入を行うことによる電子トラップの減少を示す図。測定は MOS キャパシタに $2\text{mA}/\text{cm}^2$ の電流密度で電子を注入している。

おける破壊にいたるまでの電荷量 Q_{bd} は、熱酸化膜、積層膜では、有意差は見られないが CVD 膜では、約 1 桁小さくなっている。これは、前述した多量の電子トラップに起因していると考えられる。また、窒素注入による窒化では、酸化膜中に導入される窒素量が少ないため、窒化により Q_{bd} 値は変化しない。

偶発故障の発生については、酸化膜形成方法により依存性が見られる。ウェット酸化膜の場合は、10% 程度の偶発故障が見られる。この不良は、5.4 節で述べたようにゲート電極をイオン注入によりドーピングしたときに見られる不良であり、ドーパントのゲート酸化膜への拡散が原因であると考えている。そのためゲート電極に窒素イオン注入を行いゲート電極中のドーパントの拡散を抑制することで低減されている。ゲート酸化をドライ酸化で行った場合、ウェット酸化に比べて偶発故障の増加が見られる。この不良は、ドライ酸化では欠陥が発生しやすいことや、界面の凸凹が大きいことで説明されている。また、これらの不良に対しては、窒素注入による窒化の効果は見られない。ゲ-

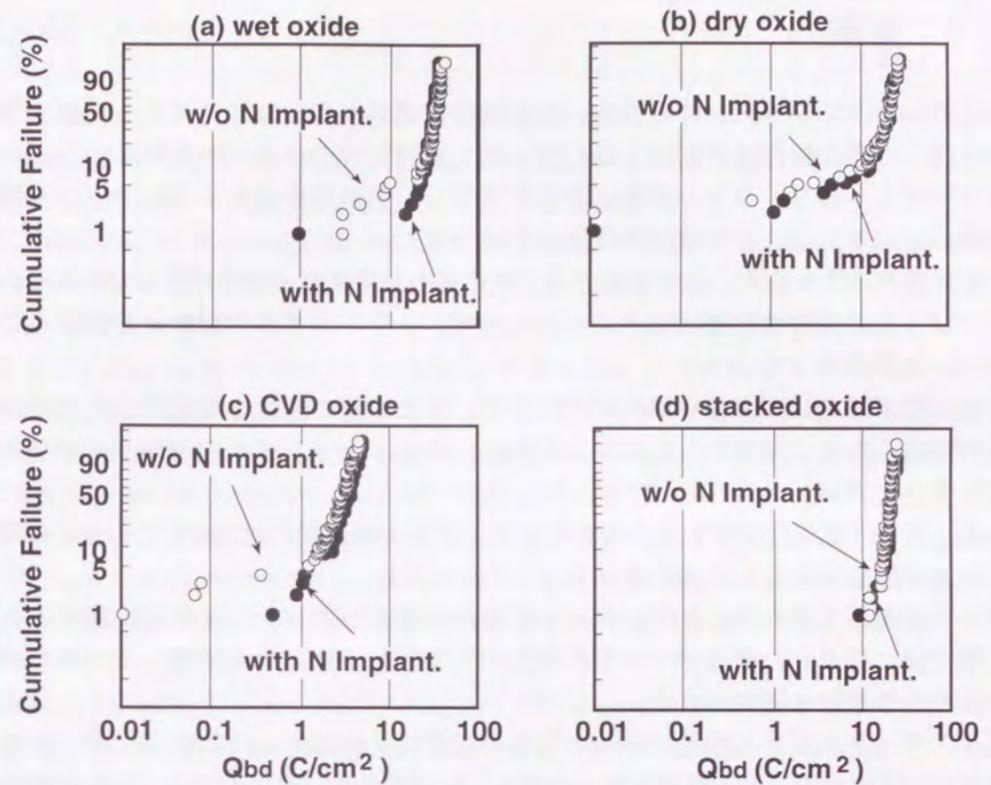


図 4-33 4 種類の形成方法で作製したゲート酸化膜を有する MOS キャパシタの定電流ストレス TDDB 特性。○は窒素注入を行わない場合、●は窒素注入を $4.0 \times 10^{15}/\text{cm}^2$ 行った場合を示している。

ト酸化膜を CVD 酸化膜で形成した場合は、真性領域の Q_{bd} 値が熱酸化に比べて著しく低下することに加え、偶発故障も見られる。しかし、偶発故障については窒化により改善されている。一方、熱酸化膜と CVD 酸化膜の積層膜でゲート酸化膜を形成した場合、良好な TDDB 特性を示している。

熱酸化膜は、ゲート酸化膜として用いる場合、界面準位、膜中のトラップが少なく信頼性の高い膜であるが、今後薄膜化が進むにつれ熱酸化では避けることのできないストレスによるエッジ部の薄膜化が問題になると予想される。この問題を解決するには、CVD 系の酸化膜をゲート酸化膜として用いることが有効であるが、膜中に多量に含まれる電子トラップ、界面の不整合に起因する界面準位の発生が酸化膜の信頼性を著しく低下させる。窒素注入による窒化は、CVD 膜においても界面準位の発生を抑制すると同時に膜中の電子トラップ密度を低減させることが可能である。ゲート酸化膜を熱酸化膜と CVD 酸化膜の長所を組み合わせることのできる積層構造とし、さらに窒素注入による窒化を行うことで高信頼なゲート酸化膜が形成できると考えられる。

4. 6 結言

本章では、トランジスタの高性能、高信頼化を実現するために、ゲート電極に窒素イオンを注入し窒化酸化膜を形成する技術に関し検討を行い、以下の知見を得た。

(1) ゲートポリシリコン電極に窒素を注入し、熱処理を加えることでゲート酸化膜に窒素を析出させることで窒化酸化膜が形成できた。

(2) 窒素イオン注入による窒化では、酸化膜中に含まれる窒素は数%であるため、電子および正孔の実効移動度はほとんど劣化せず、トランジスタの駆動能力の観点では問題ないことが分かった。

(3) 窒素注入による窒化酸化膜の形成で、界面準位の発生を抑制すると同時に、酸化膜中の電子トラップ密度を低減できる結果、MOSトランジスタのホットキャリア耐性が向上できた。

(4) ゲート電極に窒素を注入することで、ゲート酸化膜のTDDB特性における偶発故障の増加が抑制できることが分かった。

(5) 窒素注入を行うことで、ゲート電極中の窒素がボロンの拡散を抑制すると同時に、酸化膜に析出した窒素がボロンの拡散バリアとして作用する結果、ボロンのゲート酸化膜の突き抜けを抑制できた。

(6) デュアルゲート構造でゲート電極の空乏化を抑制するためには、ゲート電極の高濃度化が必要であるが、高濃度化した場合、NMOSトランジスタでは、ゲート酸化膜の劣化、PMOSトランジスタではゲート酸化膜の劣化に加えてボロンの突き抜けが問題となる。この問題は、窒素注入によって解決できた。その結果、高濃度ゲート電極の形成が可能となり、低電源電圧でも高速動作が実現できた。

(7) 窒素注入による窒化は、ゲート酸化膜形成方法に依らず信頼性向上効果が得られ、特にCVD法によって形成したゲート酸化膜のホットキャリア耐性を大幅に向上できた。

参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc; "Design of Ion Implanted MOSFET's with Very Small Physical Dimensions", IEEE J. Solid State Circuits, SC-9 p.256 (1974)
- [2] G. Baccarani, M. R. Wordeman and R. H. Dennard; "Generalized Scaling Theory and Its Application to a 1/4 Micrometer MOSFET Design", IEEE Trans. Electron Devices, ED-31 p. 452 (1984)
- [3] G. A. Sai-Halasz, M. R. Wordeman, D. P. Kern, E. Ganin, S. Rishton, D. Z. Zicherman, H. Schmid, M. R. Polcari, H. Y. Ng, P. J. Pestle, T. H. Chang and R. H. Dennard; "Design and Experimental Technology for 0.1- μ m Gate Length Low-Temperature Operation FETs", Tech. Dig. Int. Electron Devices Meet., 1987 p. 397 (IEEE New York 1987)
- [4] T. Hashimoto, Y. Sudou, H. Kurino, A. Narai, S. Yokoyama, Y. Horiike and M. Koyanagi; "3V Operation of 70nm Gate Length MOSFET with New Double Punchthrough Stopper Structure", Ext. Abst. 24th Conf. Solid State Devices and Materials 1992, p. 490 (日本学会事務センター, 1992)
- [5] M. Ono, M. Saito, T. Yoshitomi, C. Fiegna, T. Ohguro and H. Iwai; "Sub-50 nm Gate Length N-MOSFETs with 10 nm Phosphorus Source and Drain Junctions", Tech. Dig. Int. Electron Devices Meet., 1993 p. 119 (IEEE New York 1993)
- [6] 犬石、光井、清水、塚本、赤坂; 「サブハーフミクロンCMOSトランジスタ」、半導体研究、Vol. 34、超LSI技術[15] (西澤潤一編)、工業調査会、p. 1 (1991)
- [7] K. M. Cham and S. Y. Chiang; "Device Design for the Submicrometer p-Channel FET with n⁺ Polysilicon Gate", IEEE Trans. Electron Devices, Vol. ED31, p. 964 (1984)
- [8] J. Zhu, R. A. Martin and J. Y. Chen; "Punchthrough Current for Submicrometer MOSFET's in CMOS VLSI", IEEE Trans. Electron Devices, Vol. ED35, p. 145 (1984)
- [9] S. J. Hillenius, R. Liu, G. E. Georgiou, R. L. Field, D. S. Williams, A. Kornblit, D. M. Boulin, R. L. Johnston and W. T. Lynch; "A Symmetric submicron CMOS Technology", Tech. Dig. Int. Electron Devices Meet., 1986 p. 252 (IEEE New York 1986)
- [10] B. Davari, W. H. Chang, M. R. Wordeman, C. S. Oh, Y. Taur, K. E. Petrillo, D. Moy, J. J. Bucchignano, H. Y. Ng, M. G. Rosefield, F. J. Hohn and M. D. Rodriguez; "A High Performance 0.25 μ m CMOS Technology", Tech. Dig. Int. Electron Devices Meet., 1988 p. 56 (IEEE New York 1988)
- [11] M. Inuishi, K. Mitsui, S. Kusunoki, M. Shimizu and K. Tsukamoto; "A High Performance and Highly Reliable Dual Gate CMOS with Gate/N⁻ Overlapped LDD Applicable to the Cryogenic Operation", Tech. Dig. Int. Electron Devices Meet., 1989 p. 773 (IEEE New York 1989)
- [12] W. H. Chang, B. Davari, M. R. Wordeman, Y. Taur, C. C. Hsu and M. D. Rodriguez; "A High-Performance 0.25 μ m CMOS Technology : I Design and Characterization", IEEE Trans. Electron Devices, Vol. 39, p. 959 (1992)

- [13] B. Davari, W. H. Chang, K. E. Petrillo, C. Y. Wong, D. Moy, Y. Taur, M. R. Wordeman, J. Y. Sun and C. C. Hsu; "A High-Performance 0.25 μ m CMOS Technology : II Technology", IEEE Trans. Electron Devices Vol. 39, p. 967 (1992)
- [14] C. Y. Wong, J. Y. Sun, Y. Taur, C. S. Oh, R. Angelucci and B. Davari; "Doping of N⁺ and P⁺ Polysilicon in a Dual-gate CMOS Process", Tech. Dig. Int. Electron Devices Meet., 1988 p. 238 (IEEE New York 1988)
- [15] M. Iwase and S. Takagi; "Effects of Depleted Poly-Si Gate on MOSFET Performance", Ext. Abst. 24th Conf. Solid State Devices and Materials 1990, p. 271 (日本学会事務センター, 1990)
- [16] R. Rios, D. Arora and C. L. Huang; "An Analytic Polysilicon Depletion Effect Model for MOSFET's", IEEE Electron Device Lett., vol.15 p.129 (1994)
- [17] J. Y. C. Sun, C. Wong, Y. Taur and C.H. Hsu; "Study of Boron Penetration Through Thin Oxide with P⁺ polysilicon Gate", Symp. VLSI Tech. Dig., 1987 p. 17 (日本学会事務センター, 1987)
- [18] F. K. Baker, J. R. Pfister, T. C. Mele, H. H. Tseng, P. J. Tobin, J. D. Hayden, C. D. Gunderson and L. C. Parrillo; "The Influence of Fluorine on Threshold Voltage Instability in P⁺ Polysilicon Gated p-Channel MOSFETs", Tech. Dig. Int. Electron Devices Meet., 1989 p. 443 (IEEE New York 1989)
- [19] J. M. Sung, C. Y. Lu, M. L. Chen and S. J. Hillenius; "Fluorine Effect on Boron Diffusion of P⁺ Gate Devices", Tech. Dig. Int. Electron Devices Meet., 1989 p. 447 (IEEE New York 1989)
- [20] T. Hori and H. Iwasaki; "Ultra-thin Re-oxidized Nitrided-oxides Prepared by Rapid Thermal Processing", Tech. Dig. Int. Electron Devices Meet., 1987 p. 570 (IEEE New York 1987)
- [21] H. Momose, T. Morimoto, Y. Ozawa, M. Tsuchiaki, M. Ono, K. Yamabe and H. Iwai; "Very Lightly Nitrided Oxide Gate MOSFETs for Deep Submicron CMOS Devices", Tech. Dig. Int. Electron Devices Meet., 1991 p. 359 (IEEE New York 1991)
- [22] A. B. Joshi, G. O. Lo, D. K. Shin and D. -L. Kwong; "Effect of Rapid Thermal Reoxidation on the Electrical Properties of Rapid Thermally Nitrided Thin-Gate Oxides", IEEE Trans. Electron. Devices, vol. 39, p. 883 (1992)
- [23] H. Fukuda, T. Arakawa and S. Ohno; "Highly Reliable Thin Nitrided SiO₂ Films Formed by Rapid Thermal Processing in an N₂O Ambient", Jap. J. Appl. Phys., Vol. 29 p. 2333 (1990)
- [24] P. Heremans, R. Bellens, G. Groseneken, A. V. Schwern and H. E. Maes; Hot Carrier Design Consideration for MOS Devices and Circuit, ed. C. T. Wang, (Van Nostrand Reinhold, New York 1992) chap. 1 p. 1
- [25] K. Oikawa, S. Ando, N. Ando, H. Horie, Y. Toda, T. Tanaka and S. Hijiya; "p⁺ Polysilicon Gate P-MOSFETs Using BCl Implantation", Tech. Dig. Int. Electron Devices Meet., 1991 p. 79 (IEEE New York 1991)
- [26] S. Nakayama; "A P⁺ Poly-Si Gate with Nitrogen-doped Poly-Si Layer for Deep Submicron PMOSFETs" 1991 ECS Spring Meeting, Proc. Int. Symp. ULSI Science and Tech., p. 9

- [27] Y. Okazaki, S. Nakayama, M. Miyake and T. Kobayashi; "Characteristics of Sub-1/4- μ m Gate Surface Channel PMOSFET's Using a Multilayer Gate Structure of Boron-Doped Poly-Silicon Thin Nitrogen-Doped Poly-Si", IEEE Trans. Electron Devices 39 p. 2369 (1994)
- [28] H. H. Tseng, P. J. Tobin, F.K. Baker, J. R. Pfister, K. Evans and P. L. Fejes; "The Effect of Silicon Gate Microstructure and Gate Oxide Process on Threshold Voltage Instabilities in p⁺-Gate p-Channel MOSFET's with Fluorine Incorporation", IEEE Trans. Electron Devices 39 p. 1687 (1992)
- [29] S. L. Wu, C. L. Lee and T. F. Lei; "Suppression of Boron Penetration into an Ultra-Thin Gate Oxide (<7nm) by Using a Stacked-Amorphous-Silicon (SAS) Film", Tech. Dig. Int. Electron Devices Meet., 1993 p. 329 (IEEE New York 1993)
- [30] G. H. Kawamoto, G. R. Magyar and L. D. Yau; "Hot-Electron Trapping in Thin LPCVD SiO₂ Dielectrics", IEEE Trans. Electron Devices 34 p. 2450 (1987)
- [31] P. K. Roy, R. H. Doklan, E. P. Martin, S. F. Shive and A. K. Sinha; "Synthesis and Characterization of High Quality Ultrathin Gate Oxides for VLSI/ULSI Circuits", Tech. Dig. Int. Electron Devices Meet., 1988 p. 714 (IEEE New York 1988)
- [32] H. H. Tseng and P. J. Tobin; "Thin CVD Stacked Gate Dielectrics for ULSI Technology", Tech. Dig. Int. Electron Devices Meet., 1993 p. 321 (IEEE New York 1993)
- [33] R. Moazzami and C. Hu; "A High-Quality Stacked Thermal /LPCVD Gate Oxide Technology for ULSI", IEEE Electron Device Lett., p. 72 (1993)
- [34] H. H. Tseng, P. J. Tobin, D. Hayden, K. M. Chang and J. W. Miller; "A Comparison of CVD Stacked Gate and Thermal Gate Oxide for 0.5- μ m Transistors Subjected to Process-Induced Damage", IEEE Trans. Electron Devices 40 p. 613 (1993)
- [35] C. Hu; Advanced MOS Device Physics, ed. N. G. Einspruch and G. Gildenblat (Academic Press., San Diego, 1989) Vol. 18, chap. 3 p. 138

第5章 窒素イオン注入による浅い接合の形成

5.1 緒言

微細MOSトランジスタの形成において、短チャネル効果を抑制するために必然的に浅い接合形成が要求される。図5-1は、デザインルールと接合深さの関係を示している。デザインルールのスケールと比較して、接合深さはやや緩やかに推移している。これは、LDD構造の採用によりソースドレインの形成がサイドウォールの外からのイオン注入で行われるようになったためである。しかし、 $0.2\mu\text{m}$ ルールのデバイスにおいては $0.1\mu\text{m}$ 以下の接合深さが必要となる。浅い接合形成の基本的な考え方は、イオン注入分布をいかに浅くするかということと、注入後のアニールに伴う再分布の抑制の2つに要約される。したがって、現在まで浅い接合形成のアプローチとして、注入エネルギーの低加速化と注入後の熱処理の低温化という方法が検討され実用化されてきた。しかしながら、注入エネルギーの低加速化は、イオン注入機のスルーputを極端に低下させるために製造コスト増大という問題を引き起こす。熱処理の低温化については、DRAMにおいては、通常のスタックセルでは、拡散層形成後にキャパシタを形成するため酸化工程が必須となり低温化には限界がある。ロジックデバイスでは、トランジスタ形成後の熱処理は、CMP(Chemical Mechanical Polishing)を用いた低温平坦化プロセス等により低温化されているが、低温化により不純物の活性化率が低下し拡散層抵抗が上昇するという問題がある。また、両者に共通した課題として、熱処理の低温化により結晶欠陥の回復が不十分となり、接合リーク電流が増加するという問題がある。

本章では、窒素を拡散層に注入することで、ドーパントの拡散を抑制し浅い接合の形成が可能となることについて述べ、この技術を $0.25\mu\text{m}$ PMOSトランジスタ、および $0.15\mu\text{m}$ NMOSトランジスタに適用し動作を確認したこと、さらに、窒素の欠陥層のゲッ

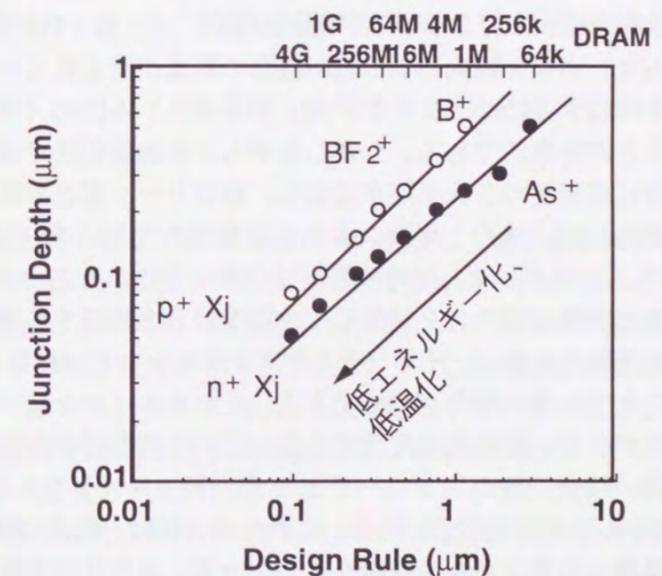


図5-1 LSIのデザインルールと接合深さの関係

タリング効果により接合リーク電流が低減できることについて述べる。

5.2 浅い接合形成技術

イオン注入により浅い接合を形成する際に、 n^+ 層の形成は、砒素注入の低エネルギー化と注入後の熱処理の低減により比較的容易に浅い不純物分布を実現できる。砒素イオンは、質量数が75と大きいため、注入エネルギーが30keVから50keVという現在のイオン注入機の実用範囲で浅い分布を実現できる。さらに、チャネリングによる分布の裾引きも質量数が大きいため起こりにくい。しかし、熱処理を低減した場合、結晶回復が不十分となり接合特性が劣化する。浅い n^+/p 接合形成の課題は、接合特性の劣化を抑制することである。

浅い接合形成において問題となるのは p^+ 層形成である。図5-1からも分かるように p^+ 接合深さは、 n^+ 接合深さよりも深く、PMOSトランジスタの微細化がNMOSに比べて遅れるという結果をもたらしている。これは、 p^+ 層形成に用いられるボロンが軽元素であるために注入飛程が大きく、またチャネリングの影響を受けやすく浅い注入分布が得られにくいことと、拡散係数が大きく熱処理時に拡散しやすいことによる。ボロン注入でも注入エネルギーを低エネルギー化することで浅い接合の形成は可能であるが、現状の注入装置では加速エネルギーの低下とともにビーム電流も低下するために実使用は困難である。

ボロンの注入飛程を小さくするには、質量数の大きい BF_2^+ イオンを用いることが効果的である[1-3]。 BF_2^+ イオン注入では、同一加速エネルギーの B^+ イオン注入に比べて注入深さは1/4になり実質的な低加速注入が実現でき、非晶質層が形成されやすいことによりチャネリングも抑制される。しかし、第4章で述べたように BF_2^+ イオンに含まれるフッ素がボロンのゲート酸化膜の突き抜けを加速すること、また、拡散層を抵抗化するために拡散層をチタンでシリサイド化する場合、フッ素とTiが反応し抵抗が上昇するという課題があり、ボロン注入による浅い接合の形成が望まれている。ボロン注入時のチャネリングを抑制するには、シリコン[4]、ゲルマニウム[5]のイオン注入により基板を非晶質化することが効果的である。しかしながら、非晶質化法では、非晶質層と単結晶層との界面近傍に高密度の2次欠陥が発生し、接合リーク電流の増加を引き起こしやすいという問題がある[6]。また、ボロンよりも質量数の大きいインジウムを用いて非晶質化する方法や[7]、ボロンとは、反対の導電型であるアンチモンイオンを注入しチャネリングを抑制すると同時にボロンを補償して急峻な接合を形成する技術が提案されている[8]。

質量数の大きい、インジウムやアンチモンをドーパントとして直接 p^+ 層や n^+ 層を形成することでも浅い接合が形成できる。これらのイオンはシリコン中の固溶度が低く、活性化率が小さいため高濃度化できないという問題点がある。

浅い接合の他のアプローチとして、ドーパントを含むポリシリコン膜[9,10]や酸化膜[11]からの固層拡散法がある。これらの方法は、結晶欠陥の発生がないため、結晶回復の熱処理を必要としない長所をもつ。一方、界面状態が拡散量に大きな影響を与えることに加え、イオン注入のようにビーム電流をモニターできないため不純物導入量を正確に設定することができないという大きな短所を有する。

以上のような課題を解決する手法として、熱処理時のドーパント拡散を抑制することが効果的である。シリコン中の窒素は、ドーパントの拡散を抑制するため、熱処理を行った後も、注入分布の拡がりを小さくすることが期待できる。

5.3 窒素注入による浅い p^+/n 接合形成

本節では、 p^+ 層形成においてボロンと同時に窒素を注入することで、浅い接合を形成できることを明らかにし、この技術を0.25 μ mPMOSFETに適用し短チャネル効果が抑制できること、および、接合特性の劣化が回避できることについて述べる。

5.3.1 窒素によるボロンの拡散抑制

図5-2は、ボロン注入の前に窒素を注入した場合の熱処理前と900 $^{\circ}$ Cで30分間熱処理を加えた後のSIMSによるボロンの深さ方向分布を示している。比較のため、窒素注入を行わない場合についても同時に示している。窒素は、30keVの加速エネルギーで $1 \times 10^{16}/\text{cm}^2$ 注入し、ボロンは、10keVで $5 \times 10^{15}/\text{cm}^2$ 注入している。窒素の投影飛程は、0.096 μ m、ボロンの投影飛程は0.033 μ mであるため、ボロンを窒素が覆う構造

となっている。注入直後の分布を比較すると、ボロンのピーク濃度は、窒素注入の有無により変わらないが、分布のテール部は、窒素注入を行うことで拡がりが抑制されている。これは、窒素注入量が $1 \times 10^{16}/\text{cm}^2$ と多いため、窒素注入時にシリコン基板が非晶質化されボロンイオンのチャネリングが抑制されているためである。900 $^{\circ}$ Cの熱処理を加えた後の分布では、窒素注入を行わない場合は、ボロンが0.2 μ m以上拡散しているのに対し、窒素注入を行うことでボロンの拡散が抑制され注入直後と比較して分布が変わっていない。このように、窒素は、ボロンの拡散を効果的に抑えることができることが明らかとなった。しかし、ボロンを窒素が覆う構造であると、窒素注入による結晶欠陥が p^+ 拡散層の外に形成され、逆バイアス電圧を印加した場合に空乏層内が欠陥領域に到達するため、接合特性の劣化を引き起こす。

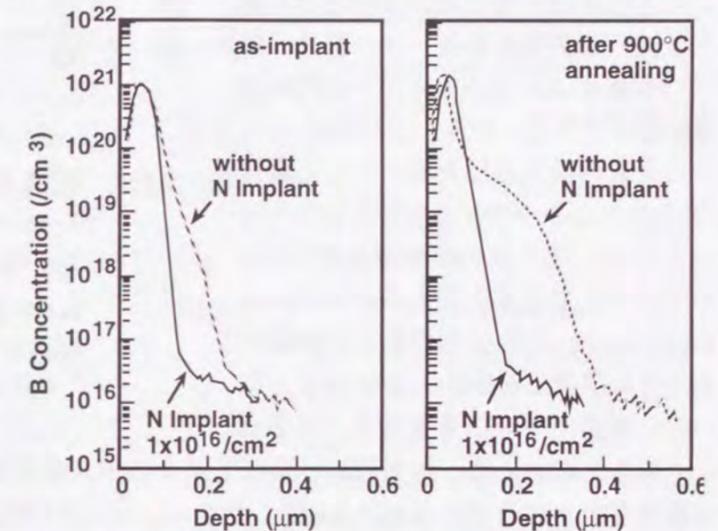


図5-2 窒素注入によるボロンの拡散抑制を示すSIMS深さ方向分布。注入直後と900 $^{\circ}$ Cで熱処理を行った時を示しており、窒素は30keVで $1 \times 10^{16}/\text{cm}^2$ 注入している。

この課題を解決するために、ボロンと窒素の投影飛程を同じにしてボロン拡散層内に窒素を導入することを試みた。この場合、窒素注入によって発生する欠陥層はp⁺拡散層に存在するため接合特性を劣化させることはない。しかし、窒素によりボロンの活性化が抑制されるために、p⁺拡散層のシート抵抗の上昇を抑えるためには窒素注入量を低減する必要があり、その結果、図5-2で示したようなチャネリング抑制効果は期待できなくなる。図5-3は、ボロンと窒素の投入飛程を同一にした場合のSIMSによるボロン深さ方向分布を示している。注入後の熱処理温度は800℃でボロンと窒素の注入エネルギーは10keVとし、活性化率の低下を抑制するために窒素注入量は4x10¹⁵/cm²としている。窒素がボロンを覆うように形成

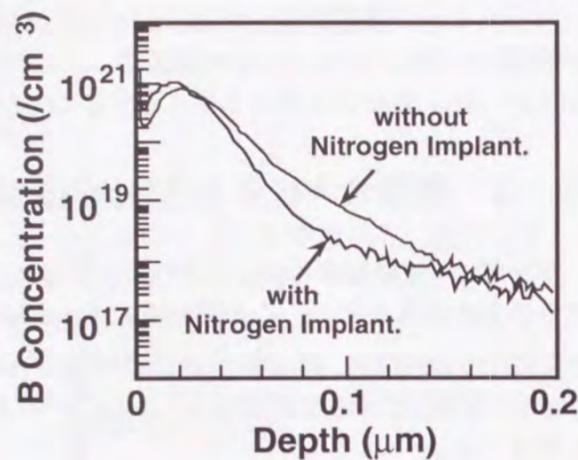


図5-3 窒素とボロンの投影飛程を同じにした場合のボロンのSIMS深さ方向分布。窒素とボロンイオンは10keVで4x10¹⁵/cm²注入し、800℃で30分の熱処理を加えている。

した場合と比較して、拡散抑制効果は低減するが、窒素注入を行うことでボロンの拡散は抑制され、接合深さは0.02μm浅くなり0.1μm深さの接合形成が可能となっている。

これは、窒素とボロンのシリコン中の拡散はともに空孔を介して行われるが、拡散係数は、窒素の方が大きいため、ボロンよりも窒素が先に拡散経路を占有し、結果として実効的なボロンの拡散係数が低減できるためであると考えられる。

5.3.2 PMOSトランジスタのソースドレイン形成への適用

窒素注入により、浅い接合形成が可能になったことが明らかになった。この技術を用いてPMOSトランジスタを作製し評価を行った。トランジスタ構造はP⁺ゲート電極を有する表面チャネル型PMOSトランジスタで、ゲート酸化膜厚は8nm、ソースドレイン形成後の最高熱処理は800℃とした。ソースドレイン形成条件として、ボロン注入のみの場合、窒素注入を10keVで4x10¹⁵/cm²の条件でボロン注入の前に行う場合、20keVで4x10¹⁵/cm²の条件でシリコン注入により非晶質化しボロン注入を行う場合の3種類について評価した。ボロンの注入条件はすべて加速エネルギー10keV、注入量4x10¹⁵/cm²と同一にした。図5-4は、3種類の接合形成条件で試作したPMOSトランジスタのソースドレイン間耐圧(BVds)としきい値電圧(Vth)のゲート長依存性を示している。ボロン注入のみで接合を形成した場合、接合が深くなる結果、短チャネル効果によるしきい値電圧の低下が大きく、ソースドレイン間耐圧もゲート長0.25μmで低下し、パンチスルーが起こっている。それに対し、窒素注入による拡散抑制、あるいは、シリコン注入によるチャネリングの抑制を行った場合は、浅い接合が形成される結果、短チャネル効果によるしきい値電圧の低下が抑

制されると同時に、ゲート長0.2μmまでパンチスルーが抑制されている。窒素注入、あるいはシリコン注入を用いることで、接合形成にボロン注入を用いてもゲート長0.25μmのトランジスタを形成可能である。

浅い接合を形成した場合の課題は、接合リーク電流の増加である。図5-5は、前述の3種類の方法で形成したp⁺拡散層とnウェル間の接合リーク電流のウエハ面内52点のヒストグラムを示している。逆バイアス電圧は-5Vである。ボロン注入のみでp⁺拡散層を形成した場合は、接合が深いために、リーク電流は小さく、かつウエハ面内の分布も揃っており良好な接合特性を示している。それに対し、シリコン注入で非晶質化を行った場合は、シリコン注入による残留欠陥の影響でリーク電流が増加し、かつ、ウエハ面内のばらつきも大きくなる。一方、窒素注入を行った場合は、浅い接合が形成されているにも関わらず、リークレベルの上昇は

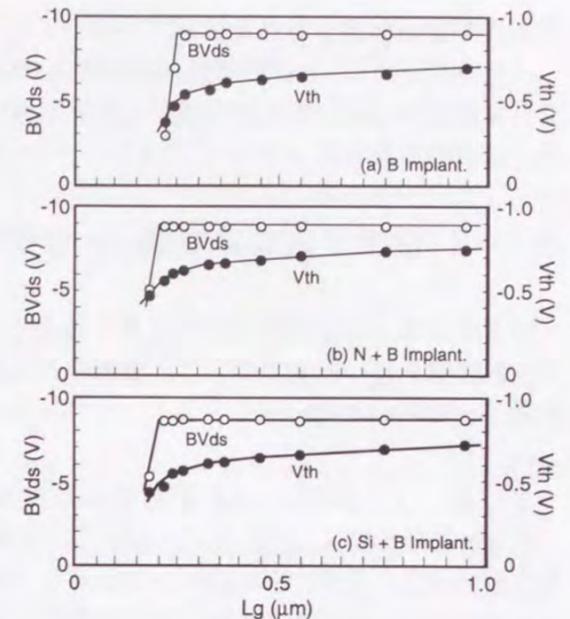


図5-4 ソースドレインを(a)10keVのボロン注入のみ、(b)10keVの窒素注入と10keVのボロン注入、(c)20keVのシリコン注入と10keVのボロン注入で形成したPMOSトランジスタのしきい値電圧とソースドレイン間耐圧のゲート長依存性

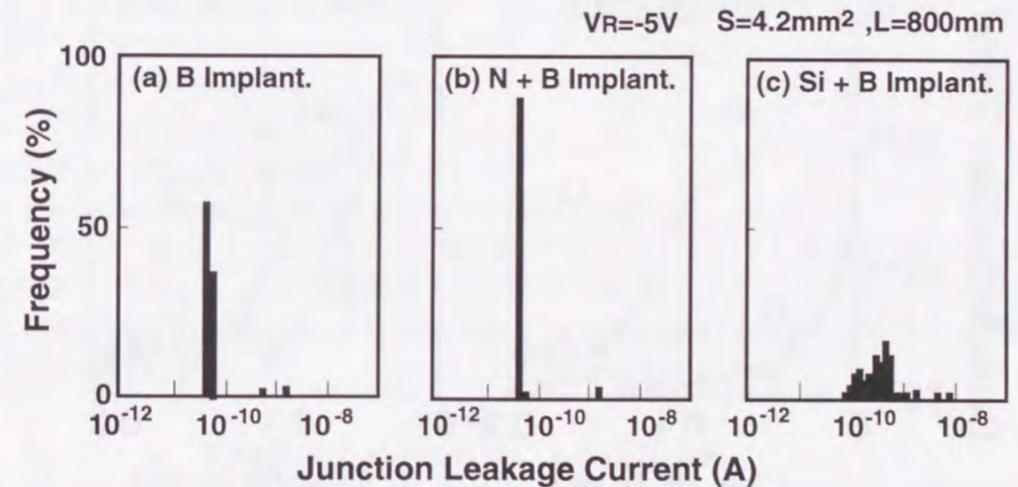


図5-5 ソースドレインを(a)10keVのボロン注入のみ、(b)10keVの窒素注入と10keVのボロン注入、(c)20keVのシリコン注入と10keVのボロン注入で形成したp⁺/n接合リーク電流のヒストグラム

見られず良好な接合特性を示している。

以上のことより、 p^+ 拡散層内に窒素注入により窒素を導入することで、接合特性の劣化を引き起こさず浅い接合の形成が可能となり、 $0.25\mu\text{m}$ のPMOSトランジスタが形成できることが明らかとなった。

5.4 窒素注入による浅い n^+/p 接合形成

窒素はボロンの拡散抑制効果を有することを前節で述べた。本節では、ボロンと同様の拡散機構を持つ砒素について、窒素注入により拡散を抑制し浅い n^+/p 接合形成が実現できることについて述べる。

5.4.1 窒素による砒素の拡散抑制

n^+ 拡散層の形成は、注入イオン種として質量数の大きい砒素を用いるため浅い注入分布を比較的容易に形成できる。しかしながら、NMOSトランジスタにおいても短チャネル効果を抑制するためにより浅い接合の形成が望まれている。そこで p^+ 拡散層形成と同様に、拡散層内部に窒素を導入し砒素の拡散抑制を試みた。図5-6は、SIMSにより測定した砒素の深さ方向分布を示している。砒素の注入条件は 50keV で $4\times 10^{15}/\text{cm}^2$ で、窒素は接合リーク電流を抑制するため砒素の投影飛程と同じになるように 10keV で $4\times 10^{15}/\text{cm}^2$ 注入している。注入後の活性化のための熱処理は、 $0.15\mu\text{m}$ トランジスタに対応するため 750°C と低温化している。窒素を注入することで砒素の拡散は抑制され、濃度が $1\times 10^{18}/\text{cm}^3$ で接合深

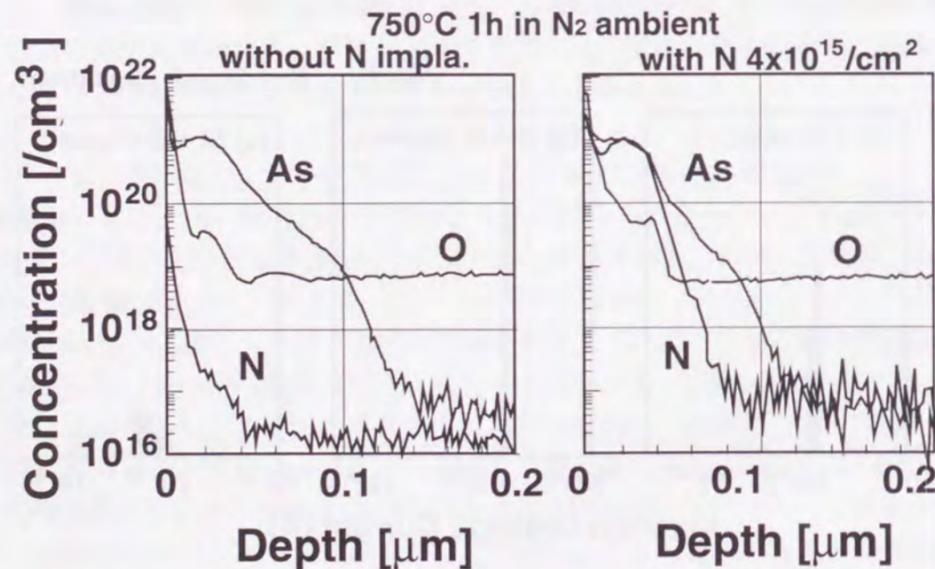


図5-6 窒素注入による砒素の拡散抑制を示す、砒素、窒素、酸素のSIMS深さ方向分布。窒素は 10keV で $4\times 10^{15}/\text{cm}^2$ 注入しており、 750°C の熱処理を加えている。

さを定義すると $0.02\mu\text{m}$ 浅くなっている。ボロンの場合と同様に、シリコン中での拡散係数の大きい窒素を導入することで砒素の実効的拡散係数が小さくなっている。さらに、窒素注入を行わない場合は、砒素のピーク付近に加えて、深さ $0.07\mu\text{m}$ 付近にブロードな酸素のピークが見られる。このピークは、後述する砒素注入の2次欠陥による酸素の析出である。窒素注入を行うことでこのピークはなくなり、表面付近の酸素濃度が高くなっており、2次欠陥の形成が異なることが予測される。2次欠陥の形成については、詳細に後述する。

5.4.2 $0.15\mu\text{m}$ NMOSトランジスタへの適用

窒素注入による浅い接合形成技術を $0.15\mu\text{m}$ NMOSトランジスタに適用した結果を述べ

る。トランジスタ構造は、ゲート酸化膜厚 4nm 、ソースドレイン形成後の最高熱処理は短チャネル効果を抑制するために 750°C と低減している。ソースドレイン拡散層形成条件は、窒素を 10keV で $4\times 10^{15}/\text{cm}^2$ 注入した後に、砒素を 50keV で $4\times 10^{15}/\text{cm}^2$ の条件で注入している。比較のために窒素注入を行わない試料を同時に作製した。図5-7は、ソースドレイン間耐圧のゲート長依存性を示している。窒素注入を行うことで、浅い接合が形成できる結果、パンチスルー限界ゲート長が $0.03\mu\text{m}$ 小くなり、 $0.12\mu\text{m}$ までパンチスルーが起らず $0.15\mu\text{m}$ トランジスタに適用可能なことが分かる。図5-8は、窒素注入を行ったゲート長 $0.15\mu\text{m}$ トランジスタの電流-電圧特性、およびサブスレッショルド特性を示している。 2V 動作で $0.42\text{mA}/\mu\text{m}$ 、 1.5V 動作で $0.26\text{mA}/\mu\text{m}$ の高駆動能力が実現できている。さらに、窒素注入により浅い接合が形成できていることによりDIBL(Drain Induced Barrier Lowering)によるオフ電流も抑制できている。

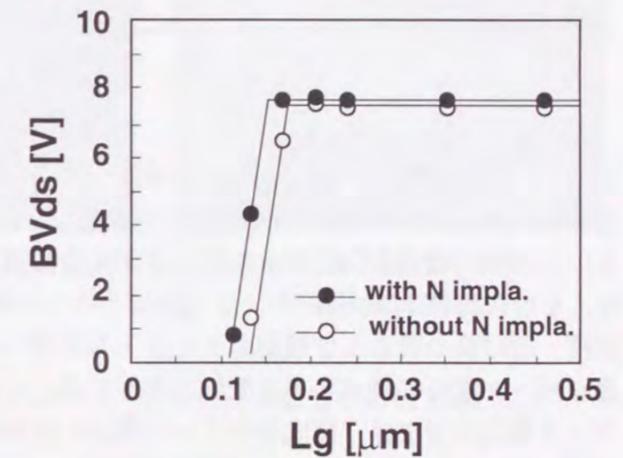


図5-7 ソースドレインの形成を砒素注入のみ、および窒素注入と砒素注入で形成したNMOSトランジスタのパンチスルー特性

5.4.3 表面近接ゲッターリングによる接合改善

浅い接合を形成したときの問題は、接合特性の劣化である。図5-9は、窒素注入を行った場合と、行わない場合の逆バイアス電圧 5V における、ウエハ面内52点の接合リーク電流のヒストグラムを示している。窒素注入は、砒素注入の前に $4\times 10^{15}/\text{cm}^2$ の注入量で行っており、飛程は砒素と同じ位置になるように設定している。両者ともに砒素注入後に 750°C

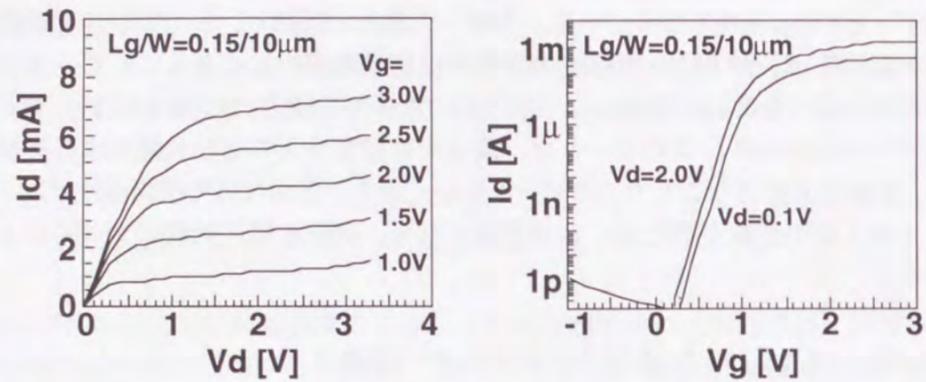


図 5-8 ソースドレイン領域に窒素注入を行ったゲート 0.15 μ mNMOS トランジスタの電流-電圧特性、サブスレッショルド特性

で1時間の熱処理を行っている。750°Cという低温熱処理の結果、窒素注入を行わない場合は、接合リーク電流が増大すると同時に、ウエハ面内のばらつきが大きくなっている。これは、砒素注入による結晶欠陥が完全に回復していないためである。一方、窒素注入を行った場合は、接合リーク電流は小さく、かつばらつきも見られない。図5-10は、面積、周辺長の異なる2種類のダイオードを用いて抽出した、面成分、周辺エッジ成分接合リーク電流の逆バイアス電圧依存性を示している。窒素注入を行わない場合の接合リーク電流の増加は、面成分のリーク電流の増加である。

この現象を解析するために、上記の試料について断面TEM観察を行った結果を図5-11に

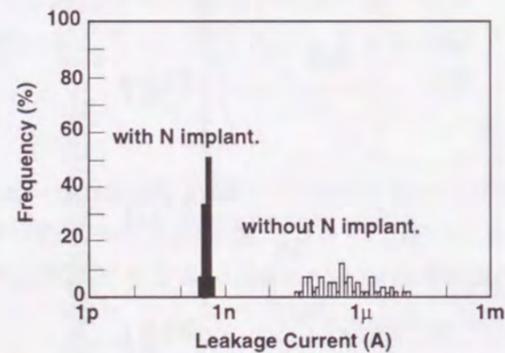


図 5-9 ソースドレイン領域に窒素注入を $4 \times 10^{15}/\text{cm}^2$ 行った場合と窒素注入を行わない場合の n^+/p 接合の逆バイアス電圧 5V におけるリーク電流のウエハ面内分布

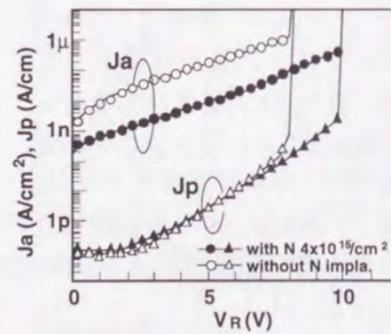


図 5-10 図 5-9 で示した n^+/p 接合の面成分と周辺エッジ成分リーク電流の逆バイアス電圧依存性

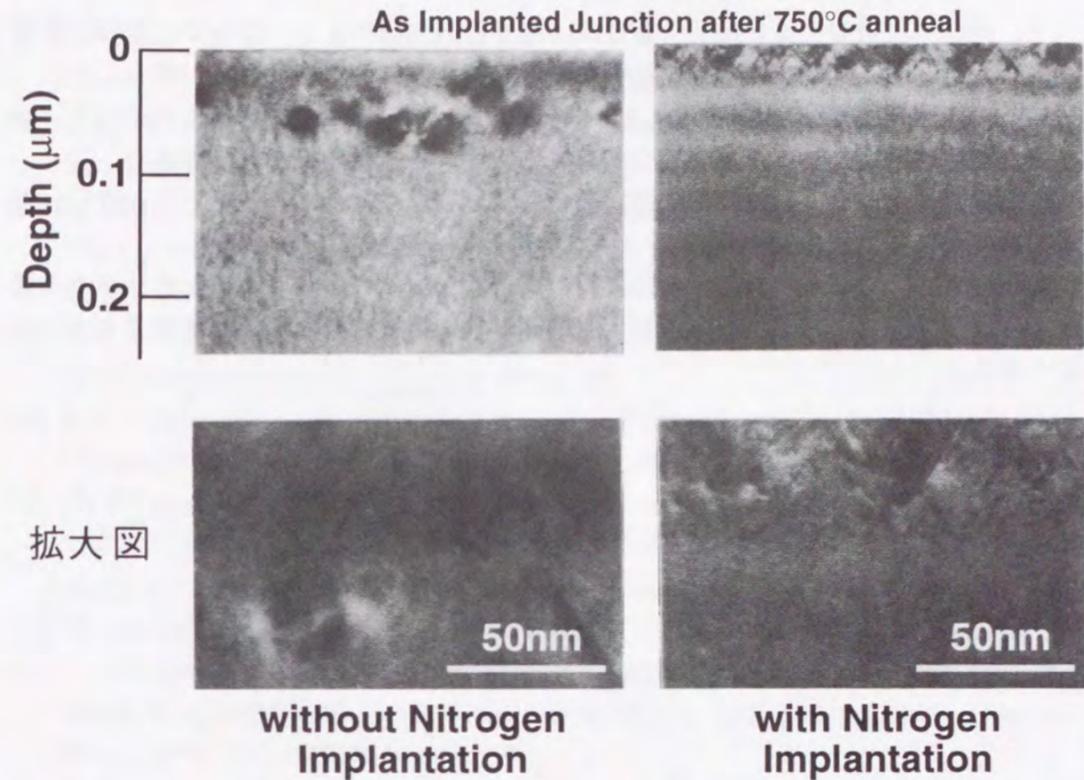


図 5-11 窒素注入を行った場合と行わない場合の n^+ 拡散層の断面 TEM 写真

示す。砒素注入のみの試料では、深さ70nm付近に転位ループが発生している。この転位ループは、EOR(End of Range)欠陥と呼ばれ、砒素注入によって形成される非晶質層と単結晶層との界面に相当する位置に発生する欠陥である。この欠陥が、空乏層が伸びる領域に位置するために接合リーク電流の増大をもたらしている。一方、窒素注入を行った試料では、空乏層が伸びる領域に砒素注入で発生していた転位ループが見られない。そのかわりに深さ30nmの極表面領域に高密度の棒状の2次欠陥が発生している。この欠陥領域は、高濃度 n^+ 層の内部にあり、空乏層が伸びることがないため接合リーク電流を増加させることはない。窒素注入により発生する高密度の欠陥による格子歪みが、ゲッタリング作用をもち、接合近傍に発生するEOR欠陥の発生が抑制できている。このように、拡散層内に欠陥領域を形成し、表面近接ゲッタリング源とすることは、プロセスの低温化に対する新しいゲッタリング法として期待される。

5. 5 結言

本章では、トランジスタの短チャネル効果を抑制するための浅い接合形成技術に関し、窒素を拡散層にイオン注入することについて検討を行い、以下の知見を得た。

(1) 浅いp+拡散層形成に関し、ボロンよりも拡散係数の大きい窒素を拡散層にイオン注入することで、ボロンの実効拡散係数を低減させ浅い接合の形成を可能とした。

(2) 窒素注入技術を0.25 μ mルール of PMOSトランジスタの拡散層形成に適用し、接合リーク電流の増加なしに、浅い接合が形成でき短チャネル効果が抑制できた。

(3) 窒素注入による不純物の拡散抑制効果は、砒素に対しても確認でき、浅いn+拡散層の形成が確認でき、0.15 μ mトランジスタの動作が確認できた。

(4) 窒素注入によって発生する極表面の高密度な結晶欠陥層は、ゲッタリング効果を有し、砒素注入による2次欠陥の発生を抑制できる結果、接合特性が改善できることが分かった。

参考文献

- [1] R. G. Wilson; "Boron, Fluorine, and Carrier Profiles for B and BF₂ Implants into Crystalline and Amorphous Si", J. Appl. Phys., p.6879 (1983)
- [2] M. Miyake, T. Kobayashi, S. Horiguchi, K. Iwadate and K. Kurihara; "Subquarter-micron P-channel MOSFET's with 80nm S/D Junctions", Symp. VLSI Tech. Dig.,1987 p. 91 (日本学会事務センター,1987)
- [3] T. E. Seidel; "Rapid Thermal annealing of BF₂ Implanted, preamorphized Silicon", IEEE Electron Device Lett., Vol. EDL-4, p. 353 (1983)
- [4] A. C. Ajmera and G. A. Rozgonyi; "Elimination of End-of-range and Mask Edge Lateral Damage in Ge⁺ Preamorphized, B⁺ Implanted Si", Appl. Phys. Lett., 49(19), p.1269 (1986)
- [5] M. C. Ozturk, J. J. Wortman, C. M. Osburn, A. Ajmera, G. A. Rozgonyi, E. Frey, W. K. Chu and C. Lee; "Optimization of the Germanium Preamorphization Conditions for Shallow-Junction Formation", IEEE Trans. Electron Devices, Vol. 35, p. 659 (1988)
- [6] A. Tanaka, T. Yamaji, A. Uchiyama, T. Hayashi, T. Iwabuchi and S. Nishikawa; "Optimization of Amorphous Layer Thickness and Junction Depth on The Pre-Amorphization Method for Forming Shallow-junction in Silicon", Tech. Dig. Int. Electron Devices Meet.,1989 p. 785 (IEEE New York 1988)
- [7] E. Ganin, G. Scilla, T. O. Sedgwick and G. A. Sai-Halasz; "Effects of Indium Preamorphization on Boron Implanted Silicon Annealed by RTA", Mat. Res. Soc. Symp. Proc. Vol.74 p. 717 (1987)
- [8] B. Davari, E. Ganin, D. Haramé and G. A. Sai-Halasz, "A New Preamorphization Technique for Very Shallow P⁺/N Junctions", Symp. VLSI Tech. Dig.,1989 p. 27 (日本学会事務センター,1989)
- [9] M. Shimizu, M. Inuishi, H. Miyatake, H. Morita, K. Tsukamoto and Y. Akasaka; "A Novel Polysilicon Source/drain Transistor with Self-aligned Silicidation", Symp. VLSI Tech. Dig.,1988 p. 11 (IEEE New York 1988)
- [10] M. Togo, T. Mogami, K. Uwasawa and T. Kunio; "Novel Deep Sub-Quarter Micron PMOSFETs with Ultra-Shallow Junctions Utilizing Boron Diffusion from Poly-Si/Oxide (BDSOX)", Symp. VLSI Tech. Dig.,1994 p. 21 (IEEE New York 1994)
- [11] M. Saito, T. Yoshitomi, M. Ono, Y. Akasaka, H. Nii, S. Matsuda, H. S. Momose, Y. Katsumata, Y. Ushiki and H. Iwai; "An SPDD P-MOSFET Structure Suitable for 0.1 and Sub 0.1 Micron Channel Length and Its Electrical Characteristics", Tech. Dig. Int. Electron Devices Meet.,1992 p. 897 (IEEE New York 1992)

第6章 プラズマドーピングによる不純物導入

6.1 緒言

0.1 μm 以下のCMOSを作製する上で、様々な製造限界、物理限界に打ち勝つ目的で新規プロセス技術が提案され、性能、信頼性、コストパフォーマンスの観点から精力的な研究が行われている。不純物導入技術の課題の1つとして、極低加速エネルギーでの高ドーズドーピング技術がある。従来の半導体製造工程における不純物導入は前章までに述べてきたようにイオン注入機を用いて行われてきている。しかしながら、従来のイオン注入機では、加速エネルギーの低下とともにビーム電流が急激に減少しスルーputが低下するという問題点がある。加速エネルギーが小さくなるとイオンソースと引き出し電極間のエネルギー勾配が小さくなるため十分なビーム電流を得られないことに加え、低エネルギーで高密度のイオンビームはイオン同士の相互作用により収束が困難になるという空間電荷効果の影響が顕在化することが原因である。さらに、長い加速管を通る間のイオンビーム損失もビーム電流低下の要因となっている。これらの問題を解決する手段として、プラズマ中のイオンを収束させず、かつ質量分析器も通さず直接引き出し注入するプラズマドーピング技術がある[1-4]。本章では、プラズマドーピングをMOSトランジスタのドーピング工程に適用した場合の電気特性に与える影響について述べる。

6.2 プラズマドーピング技術

図6-1は、本研究に用いたプラズマドーピング装置を示している。プラズマチャンバー内にガスを導入し、RF波によりプラズマを生成し引き出し電極によりイオンビームをプラズマ中より取り出し試料に注入する機構を用いている。従来のイオン注入機と比較して、加速管がなくイオン源とウエハ間の距離が短い結果、イオンビームの輸送効率が上がる。さらに、静電レンズ、静電マグネット等のイオンビームを収束させる機構がなく、大面積ビームを取り出

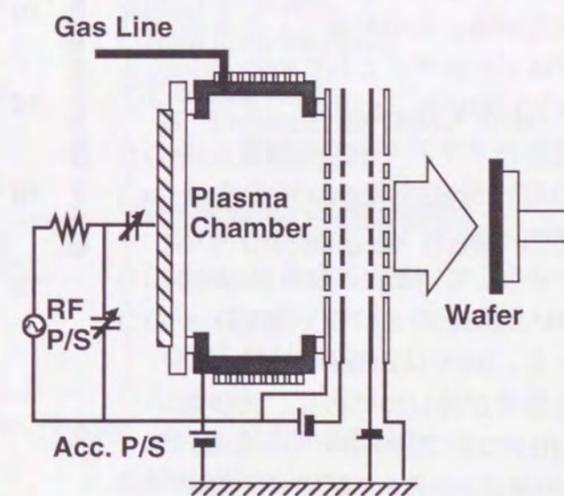


図6-1 本研究に用いたプラズマドーピング装置

すことが可能となり、電流密度を低減できる結果ウエハでのチャージアップを抑制できる利点がある。その反面、質量分析器を有していないため、所望のイオンのみを注入するイオン注入の最大の利点が活かさない。質量分析器がない場合の懸念点の1つとして、重金属の汚染がある。プラズマチャンバーの構成物質がイオン化されたり、引き出し電極の構成物質がスパッタされウエハに導入される問題が生じる。その対策として、プラズマチャンバー構成物質の高純度化、および、引き出し電極

のSi電極化を適用し、重金属汚染を低減している。第2の問題点は、ソースガスの様々な解離形態のイオンが導入されるということである。一般にボロンを注入する場合、BF₃ガスが用いられる。BF₃ガスをプラズマドーピングに用いた場合、B⁺、BF⁺、BF₂⁺、F⁺、F₂⁺のイオンが注入される。フッ素

が導入されると同時に、BはB⁺、BF⁺、BF₂⁺の3形態で注入される。この中でB⁺とBF₂⁺は、存在確率がほぼ等しく、質量数は4倍以上異なるため、結果としてボロンの分布は広がる。この対策として本研究ではソースガスとしてB₂H₆（ジボラン）を用いた。B₂H₆ガスを用いた場合のプラズマ中での解離イオンの存在分布を図6-2に示す。B₂H_x⁺、BH_x⁺、H₃⁺、H₂⁺等のイオンが分布している。この中で、BはB₂H_x⁺とBH_x⁺の2つの形態で注入される。BH_x⁺はB₂H_x⁺と比較して存在確率が約1/20であり、大多数はB₂H_x⁺の形で注入される。B₂H_x⁺のxの値は0から6の範囲で分布する。水素の質量が小さいため、注入分布が広がる効果は小さく、さ

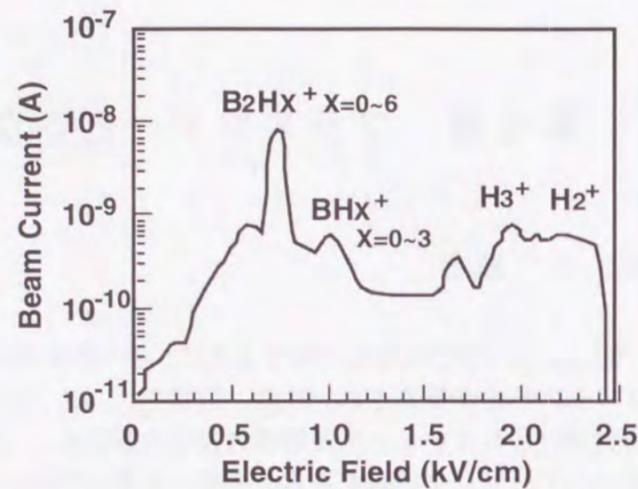


図6-2 B₂H₆ ガスを用いた場合のプラズマ中の解離イオンの存在分布

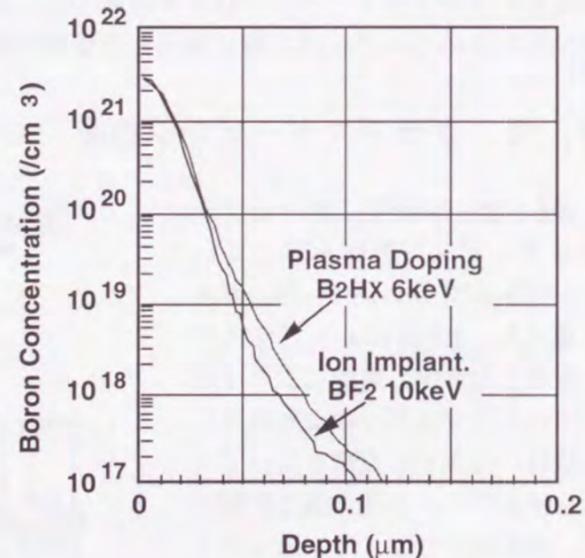


図6-3 プラズマドーピングで6keVのB₂H_xイオンを注入したときと通常のイオン注入法で10keVのBF₂イオンを注入したときのSIMS分析による深さ方向分布

らに、B₂H₅⁺の形態が最も安定し存在確率も大きいことが分かっている。また、B₂H_x⁺はBのダイマーの形態で存在するために、B⁺の形で注入する場合と比較して注入量が2倍、加速電圧を2倍に設定することが可能となり、スループットが向上する。図6-3はB₂H_x⁺を6keVで加速して注入した場合のボロンのSIMS測定により求めた分布を、ほぼ投影飛程が同じである10keVのBF₂⁺を従来のイオン注入機で注入した場合と比較して示している。プラズマドーピングを用いた場合でも、従来のイオン注入と比べて同様のプロファイルを示している。その反面、ボロンと同時に大量の水素が同時に注入される。配線層間膜のリフロー工程の水素、パッシベーション膜中に含まれる水素の存在は、ゲート絶縁膜中に電子トラップを形成し、信頼性を劣化させたり、ホットキャリア耐性を劣化させることが報告されている[5,6]。また、P⁺ゲート電極中のボロンのゲート酸化膜突き抜けを増速することも報告されている。しかし、Si基板に注入された水素はSi表面方向に拡散するが[7]、ボロンと同時に導入された場合の挙動、およびMOSトランジスタの電気特性に与える影響はまだ解明されていない。そこで、PMOSトランジスタの製造工程にプラズマドーピングを適用し、電気特性を評価した。

6.3 プラズマドーピングのMOSトランジスタへの適用

6.3.1 試料作製

図6-4は、プラズマドーピングを用いて作製したPMOSトランジスタの断面図と主要製造工程を示している。プラズマドーピングは、ゲート電極の空乏化を抑制するためのゲートドーピング工程と、極浅S/D-Extensionドーピング工程に適用している。前者は、ゲート酸化膜に水素が導入されやすく、酸化膜信頼性、ホットキャリア劣化に影響を与えると

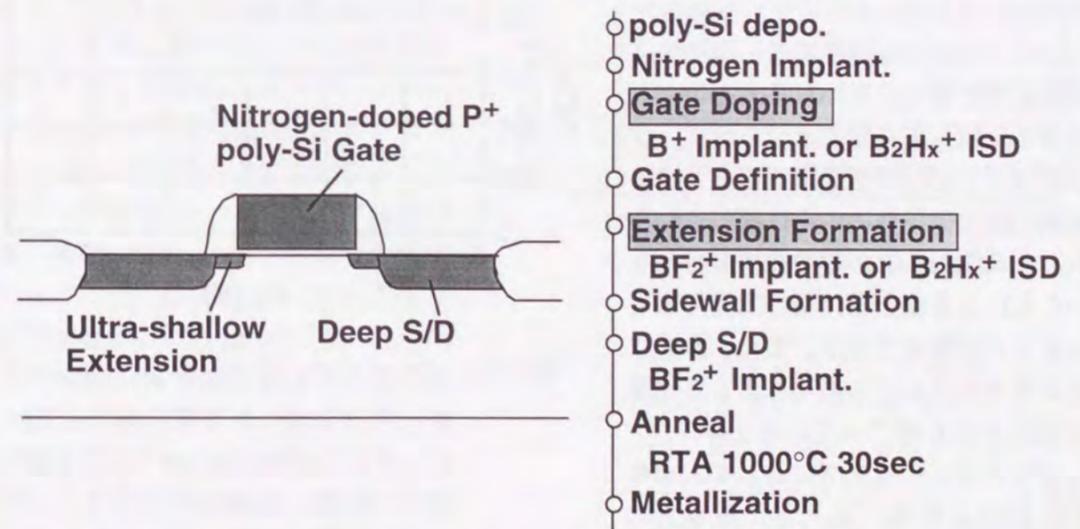


図6-4 評価したPMOSトランジスタの断面構造と主要プロセス工程

予測される。後者は、ゲート電極端のゲート絶縁膜に水素が導入されやすいためホットキャリア耐性に影響すると考えられる。

PMOSトランジスタ作製において、基板はN型のCZシリコンを用い、LOCOS法により素子分離を行った後、Pの多重注入によりnウエルを形成した。続いて6nm厚のゲート酸化膜を形成した後、ゲート電極となる多結晶シリコンを堆積している。次に、ボロンの突き抜けの抑制、ホットキャリア劣化の抑制のために第5章で述べたように窒素イオン注入を10keVで $2 \times 10^{15}/\text{cm}^2$ の条件で行った。ゲートドーピングは、20keVの B_2H_x^+ を $8 \times 10^{15}/\text{cm}^2$ 注入した。比較として前者と同一プロファイルを有する10keVの B^+ をイオン注入法を用いて注入した。その後、ボロンを活性化するために850°Cで20分間アニールを行った。次にドライエッチングによりゲート電極をパターンニングし、3keVの B_2H_x^+ を $2 \times 10^{14}/\text{cm}^2$ 注入し極浅S/D-Extension拡散層を形成した。比較として20keVの BF_2^+ をイオン注入により注入した試料も作製した。次にゲート電極のサイドウォールを形成した後、 BF_2^+ イオン注入によりS/D拡散層を形成し、1000°C30秒間の急速加熱を行うことでPMOSトランジスタを作製した。

6. 3. 2 ゲート電極へのドーピング

素子の微細化とともに、ゲート電極高さも後工程の平坦性を確保するためにスケーリングされている[8]。その結果、ゲート電極への低エネルギー注入も重要な課題となっている。本節では、プラズマドーピングをゲートドーピング工程に用いた場合の結果を最初に述べる。図6-5は、PMOSキャパシタの高周波C-V特性を示している。プラズマドーピングを用いた場合とイオン注入を用いた場合でC-V曲線に有意差は見られず、水素の影響による P^+ ゲート電極からのボロンの突き抜けは発生していない。

基板から電流密度 $0.1\text{A}/\text{cm}^2$ の条件で電子注入を行った定電流ストレスTDDDB特性を図6-6に示す。50%の不良が起る真性破壊電荷量、偶発故障発生頻度ともに、イオン注入を用いた場合と比較して有意差は見られず、プラズマドーピングを適用することによる酸化膜の信頼性の劣化は観察されない。このことより、質量分析を行わないことによる重金属汚染は回避できていることが確認できる。また、水素による電子トラップの増加による酸化膜信頼性劣化も起こっていない。

プラズマドーピングにおいて、ボロンと同時に多量に導入される水素のホットキャリア劣化に対する影響を図6-7に示す。評価はゲート長 $0.25\mu\text{m}$ の

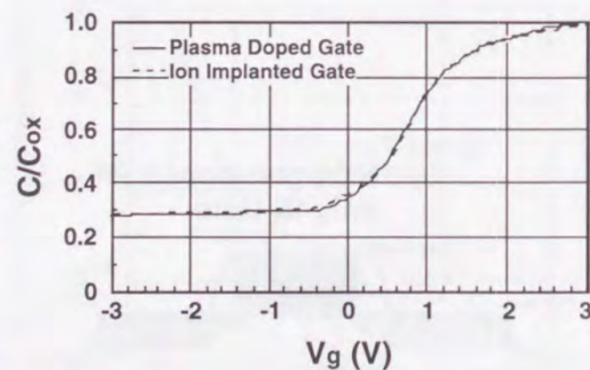


図6-5 プラズマドーピングおよび従来のイオン注入でゲート電極にボロンドーピングしたPMOSキャパシタの高周波C-V特性。実線はプラズマドーピング、破線はイオン注入によってドーピングした場合を示している。

PMOSトランジスタにDAHC(Drain Avalanche Hot-Carrier)条件で1000秒間ホットキャリア注入を行い、しきい値電圧とドレイン電流の変化量を調べた。ドレイン電圧は-4Vで、ゲート電圧は最大基板電流を示す電圧を印加している。しきい値電圧、ドレイン電流ともに、イオン注入を用いた場合とプラズマドーピングを用いた場合で変化量に差はなく、ホットキャリア劣化の増速は観察されない。

以上のことより、ゲートドーピング工程にプラズマドーピングを用いても、ゲート酸化膜の信頼性は劣化しないことが確認できた。これは、ゲート電極に導入された水素が、外方拡散しゲート酸化膜に導入されにくいことに加え、ゲート電極に導入した窒素が、水素による劣化を抑制していると考えられる。

6. 3. 3 極浅接合の形成

極低エネルギーでの注入が可能であるプラズマドーピングは、S/D-Extension拡散層の形成への適用に期待される。PMOSトランジスタのS/D-Extension拡散層形成にプラズマドーピングを用いたときのホットキャリア耐性について本節では述べる。極浅S/D-Extension拡散層の形成には、プラズマドーピングにより3keVの B_2H_x^+ を $2 \times 10^{14}/\text{cm}^2$ 注入している。比較として飛程がほぼ同じとなる5keVの BF_2^+ をイオン注入した試料を用意した。図6-8は、プラズマドーピングをS/D-Extensionの形成に用いた場合の、DAHC条件におけるホットキャリア劣化を示している。ホッ

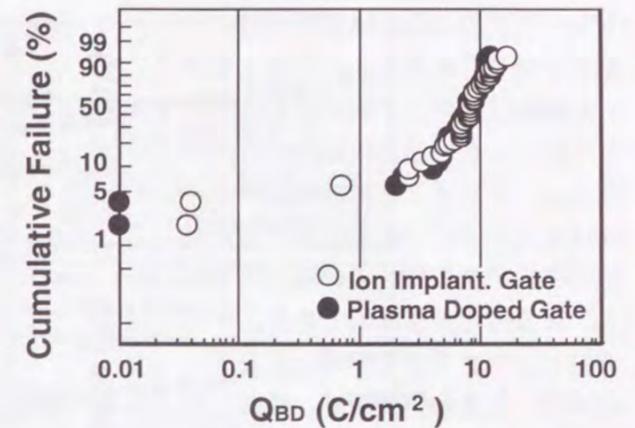


図6-6 プラズマドーピングおよび従来のイオン注入でゲート電極にボロンドーピングしたPMOSキャパシタの定電流ストレスTDDDB特性

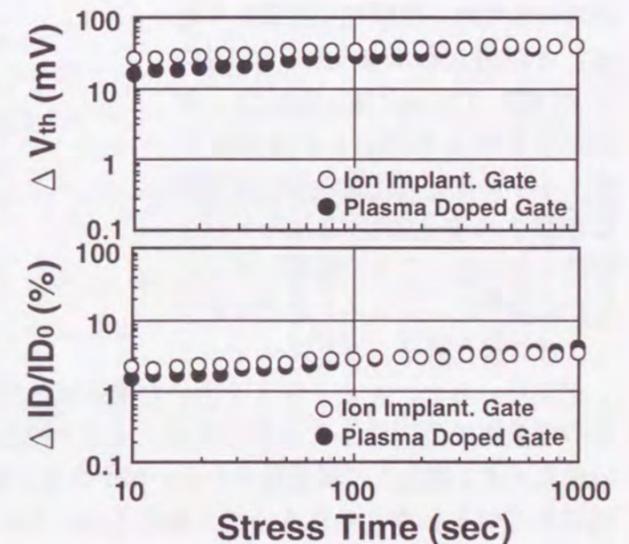


図6-7 PMOSトランジスタにDAHC注入を行ったときのしきい値電圧およびドレイン電流の変化。●はプラズマドーピング、○はイオン注入でゲート電極にボロンをドーピングした場合を示している。

トキャリア加速条件は前節で用いた条件と同じである。イオン注入を用いた場合は、ホットキャリア注入とともに、しきい値電圧は正の方向に変化し、ドレイン電流は増加する。DAHC注入では、電子と正孔が同時に注入されるが、この場合電子注入による劣化が支配的である。それに対し、プラズマドーピングを用いた場合、しきい値電圧は、最初、負の方向に変化し、その後正の方向に変化している。さらに、ドレイン電流はホットキャリア注入とともに減少している。このことは、ホットキャリア劣化において、正孔注入の影響が支配的になることを示している。S/D-Extension形成にプラズマドーピングを用いた場合、ゲート電極端の酸化膜の信頼性に影響を与えることが明らかになった。図6-9に示すCHH (Channel Hot-Hole)注入条件で正孔のみを注入した場合にもホットキャリア劣化量の違いは明確に観察される。CHH注入ストレス時間とともに、しきい値電圧は正の方向に変化し、ドレイン電流は減少し、その変化量は、プラズマドーピングを用いると、イオン注入を用いた場合に比べて大きくなっている。この現象は次の2つの理由で説明することができる。イオン注入を用いる場合、浅い接合を形成するため注入イオン種として質量数の大きいBF₂を用いるために、フッ素によって界面準位が低減されていると考えられる。フッ素原子は、ドレイン端においてダングリングボンドを終端させたり、SiO結合間に入ることにより格子不整合を緩和する効果を持つためである[9-10]。もう1つの理由は、プラズマドーピングを用いた場合に多量に導入される水素がドレイン端において界面準位やホールトラップを増加させていることである。

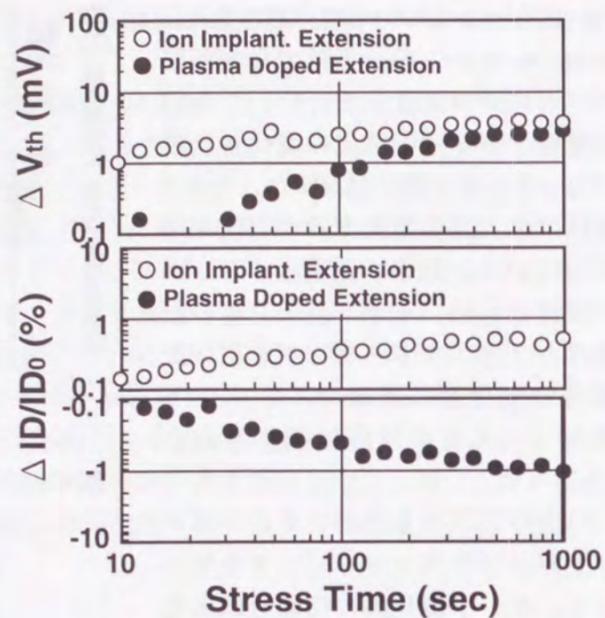


図6-8 プラズマドーピングおよび従来のイオン注入でソースドレインエクステンション層を形成したPMOSトランジスタにDAHC注入を行ったときのしきい値電圧およびドレイン電流の変化。●はプラズマドーピング、○はイオン注入でゲート電極にボロンをドーピングした場合を示している。

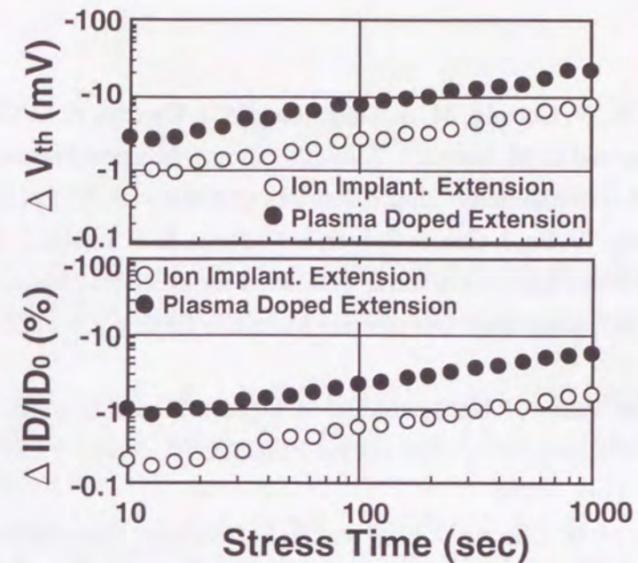


図6-9 図6-8で示したPMOSトランジスタにCHH注入を行ったときのしきい値電圧およびドレイン電流の変化。

6.4 結言

本章では、極低エネルギーでの注入が可能であり、次世代のドーピング技術として期待されているプラズマドーピングをPMOSトランジスタへ適用することについて検討を行い、以下の知見を得た。

- (1) B₂H₆ガスを用いたプラズマドーピングにより極浅のボロンプロファイルを実現できた。
- (2) ゲート電極にプラズマドーピングを用いた場合、窒素イオン注入と組み合わせることで、ゲート酸化膜の信頼性劣化、およびホットキャリア耐性の劣化は観察されなかった。
- (3) プラズマドーピングをソースドレインエクステンション層に用いた場合、従来

参考文献

- [1] X. Y. Qian, N. W. Cheung, M. A. Lieberman, M. I. Current, P. K. Chu, W. L. Harrington, C. W. Magee and E. M. Botnich; "Sub-100 nm p⁺/n Junction Formation Using Plasma Immersion Ion Implantation", Nucl. Instrum. and Methods, B55 p. 821 (1991)
- [2] N. W. Cheung, W. En, J. Gao, S. S. Iyer, E. C. Jones, B. P. Linder, J. B. Liu, X. Lu, J. Min and B. Shieh; "Plasma Immersion Ion Implantation for Electronic Materials Applications", Ext. Abst. Int. Conf. Solid State Devices and Materials 1995, p.351 (日本学会事務センター、1995)
- [3] B. Mizuno, M. Takase, I. Nakayama and M. Ogura; "Plasma Doping of Boron for Fabricating the Surface Channel Sub-quarter micron PMOSFET", Symp. VLSI Tech. Dig., 1996 p. 66 (IEEE, New York, 1996)
- [4] E. C. Jones, N. W. Cheung, J. Shao and A. S. Denholm; "Source/drain Profile Engineering with Plasma Implantation", Proc. Int. Conf. Ion Implantation Technology 1996, p. 745 (IEEE, New York 1996)
- [5] J. W. Lyding, K. Hess and I. C. Kizilyalli; "Reduction of Hot-Electron Degradation in MOS Transistors by Deuterium Annealing", Appl. Phys. Lett., 68 p. 2526 (1996)
- [6] Z. Chen, J. Lee, W. Lyding and K. Hess; "Deuterium Process of CMOS Devices : New Phenomena and Dramatic Improvement", Symp. VLSI Tech. Dig., 1998 p. 180 (IEEE, New York, 1998)
- [7] K. Umezawa, J. Yamane, T. Kuroi, F. Shoji, K. Orua and T. Hanawa; "Nuclear Reaction Analysis and Elastic Recoil Detection Analysis of the Retention of Deuterium and Hydrogen Implanted into Si and GaAs Crystals", Nucl. Instrum. and Methods, B33 (1988) p. 638
- [8] D. W. Greenwell and R. L. Brown; "Ion Implant Related Trends in Device and Process Engineering", Proc. Int. Conf. Ion Implantation Technology 1996, p. 1 (IEEE, New York 1996)
- [9] P. J. Wright and K. C. Saraswat; "The Effect of Fluorine in Silicon Dioxide Gate Dielectrics", IEEE Trans. Electron Devices 36 p. 879 (1989)
- [10] T. Mogami, L. E. G. Johansson, I. Sakai and M. Fukuma, "Hot-Carrier Effects in Surface-Channel PMOSFETs with BF₂- or Boron-implanted Gates", Tech. Dig. Int. Electron Devices Meet., 1991 p. 533 (IEEE New York 1991)

第7章 結論

イオンビームのULSIへの応用に関する研究について第2章から第6章にわたって述べてきた。本章では、本研究で得られた結果について総括する。

第2章では、高エネルギーイオン注入技術の基本特性、および注入損傷の電気特性に与える影響に関して検討を行うと同時に、高エネルギーイオン注入のULSIへの適用を検討した結果、以下の知見を得た。

(1) 高エネルギーで注入したイオンは、チャネリングを起こすと大きく飛程が変わり、注入分布を変化させるが、面方位、軸方位をチャネリング方位から避けて注入することで良好なウエハ面内分布を得た。

(2) 高エネルギー注入により、深さ方向にプロファイルをもつプロファイルドウェルの形成を可能とし、素子特性をほぼ独立に制御できる基板エンジニアリングを提案した。

(3) 基板エンジニアリングにより、素子分離特性の向上させ、さらにメモリーデバイスのソフトエラー耐性が向上できた。

(4) 高エネルギー注入が通過した位置には、TEM等の物理分析では観察できない微小欠陥が発生し、少数キャリアの生成-再結合中心となり接合特性を劣化させることが明らかとなった。

(5) 埋込層形成のためのイオン注入量が $3 \times 10^{14}/\text{cm}^2$ 以上になると、接合リーク電流が急激に減少する。この現象は、注入に起因する2次欠陥がイオンの通過した位置に発生した微小欠陥をゲッターリングするセルフゲッターリング機構によることがわかった。

(6) 埋込層を形成したときの接合リーク電流の増加は、埋込層と同じ位置に酸素、炭素、フッ素を注入することでも低減できた。

(7) 高エネルギー注入によりバイポーラトランジスタの埋込コレクタを形成し、電流増幅率155、最大遮断周波数17.3GHzの性能を達成できた。

第3章では、高エネルギーイオン注入によって素子形成領域に近接してゲッターリング層を形成する技術に関して検討を行い、以下の知見を得た。

(1) 高エネルギー注入によって形成したゲッターリング層により、イオン注入によって発生する微小欠陥をゲッターリングすることができ、接合特性を改善できた。

(2) ゲッターリング能力は、ボロン<炭素<酸素<フッ素<シリコン注入の順に強くなることが明らかとなった。

(3) ゲッターリング効果のおよぶ範囲は、少なくとも $2 \mu\text{m}$ 以上であり、デバイス形成領域である表面まで十分効果がおよぶことが分かった。

(4) 高エネルギー注入によるゲッターリング層は、接合特性を著しく劣化させる銅に対

してもゲッターリング効果を有し、800℃という比較的低温熱処理でも効果があることが分かった。

第4章では、トランジスタの高性能、高信頼化を実現するために、ゲート電極に窒素イオンを注入し窒化酸化膜を形成する技術に関し検討を行い、以下の知見を得た。

(1) ゲートポリシリコン電極に窒素を注入し、熱処理を加えることでゲート酸化膜に窒素を析出させることで窒化酸化膜が形成できた。

(2) 窒素イオン注入による窒化では、酸化膜中に含まれる窒素は数%であるため、電子および正孔の実効移動度はほとんど劣化せず、トランジスタの駆動能力の観点では問題ないことが分かった。

(3) 窒素注入による窒化酸化膜の形成で、界面準位の発生を抑制すると同時に、酸化膜中の電子トラップ密度を低減できる結果、MOSトランジスタのホットキャリア耐性が向上できた。

(4) ゲート電極に窒素を注入することで、ゲート酸化膜のTDDDB特性における偶発故障の増加が抑制できることが分かった。

(5) 窒素注入を行うことで、ゲート電極中の窒素がボロンの拡散を抑制すると同時に、酸化膜に析出した窒素がボロンの拡散バリアとして作用する結果、ボロンのゲート酸化膜の突き抜けを抑制できた。

(6) デュアルゲート構造でゲート電極の空乏化を抑制するためには、ゲート電極の高濃度化が必要であるが、高濃度化した場合、NMOSトランジスタでは、ゲート酸化膜の劣化、PMOSトランジスタではゲート酸化膜の劣化に加えてボロンの突き抜けが問題となる。この問題は、窒素注入によって解決できた。その結果、高濃度ゲート電極の形成が可能となり、低電源電圧でも高速動作が実現できた。

(7) 窒素注入による窒化は、ゲート酸化膜形成方法に依らず信頼性向上効果が得られ、特にCVD法によって形成したゲート酸化膜のホットキャリア耐性を大幅に向上できた。

第5章では、トランジスタの短チャネル効果を抑制するための浅い接合形成技術に関し、窒素を拡散層にイオン注入することについて検討を行い、以下の知見を得た。

(1) 浅いp⁺拡散層形成に関し、ボロンよりも拡散係数の大きい窒素を拡散層にイオン注入することで、ボロンの実効拡散係数を低減させ浅い接合の形成を可能とした。

(2) 窒素注入技術を0.25 μ mルールのPMOSトランジスタの拡散層形成に適用し、接合リーク電流の増加なしに、浅い接合が形成でき短チャネル効果が抑制できた。

(3) 窒素注入による不純物の拡散抑制効果は、砒素に対しても確認でき、浅いn⁺拡散層の形成が確認でき、0.15 μ mトランジスタの動作が確認できた。

(4) 窒素注入によって発生する極表面の高密度な結晶欠陥層は、ゲッターリング効果を有し、砒素注入による2次欠陥の発生を抑制できる結果、接合特性が改善できた。

第6章では、極低エネルギーでの注入が可能であり、次世代のドーピング技術として期待されているプラズマドーピングをPMOSトランジスタへ適用することことを検討し、以下の知見を得た。

(1) B₂H₆ガスを用いたプラズマドーピングにより極浅の不純物プロファイルを実現できた。

(2) ゲート電極にプラズマドーピングを用いた場合、窒素イオン注入と組み合わせることで、ゲート酸化膜の信頼性劣化、およびホットキャリア耐性の劣化を抑制できた。

(3) プラズマドーピングをソースドレインエクステンション層に用いた場合、従来のBF₂イオンをイオン注入した試料と比較してホットキャリア耐性の劣化が観察された。ボロンと同時に導入された水素が、界面準位やホールトラップを増加させている可能性があることが分かった。

謝辞

本論文をまとめるにあたり、終始御懇切なる御指導と御鞭撻を賜った大阪大学大学院工学研究科電子工学専攻 尾浦憲次郎教授に衷心より御礼申し上げます。

また、本論文の作成にあたり御懇篤なる御検討と御教示を賜った大阪大学大学院工学研究科電子情報エネルギー工学専攻 谷口研二教授に厚く御礼申し上げます。

本論文の作成にあたり御懇篤なる御指導と御助言を賜った大阪大学大学院工学研究科電子工学専攻 吉野勝美教授、浜口智尋教授、森田清三教授、西原浩教授に厚く御礼申し上げます。

本研究の遂行にあたり、御懇篤なる御指導を賜った大阪大学大学院工学研究科電子工学専攻 片山光浩講師、綿森道夫助手に心から感謝の意を表します。

さらに、筆者が大阪大学大学院工学研究科電子工学専攻に在学中、御指導を賜った前大阪大学工学部電子工学科 塙輝雄教授（現大阪大学名誉教授）に厚く御礼申し上げます。

本研究の遂行にあたり、終始御懇切なる御指導と御鞭撻を賜り、また研究の機会を与えていただいた三菱電機株式会社 ULSI技術開発センター センター長 安岡晶彦博士、元ULSI開発研究所所長 小宮啓義博士、ULSI技術開発センター 副センター長 三好寛和博士、半導体基盤技術統括部 統括部長 塚本克博博士、元LSI研究所部長 坪内夏朗博士、平尾正博士、赤坂洋一博士（現アプライドマテリアルジャパン社長）に深く感謝いたします。

本研究の遂行および論文作成において、種々の御指導と有益な議論をいただいた三菱電機株式会社 ULSI技術開発センター 部長 西村正博士、ULSI技術開発センターグループマネージャー 犬石昌秀博士、同 井上靖朗博士に厚く御礼申し上げます。

本研究の期間中、御協力と終始有益な議論を頂いた三菱電機株式会社 ULSI技術開発センター 奥村喜紀氏、清水雅裕氏、尾田秀一氏、小森重樹氏、白畑正芳氏、村上隆志氏、川崎洋司氏、酒井舞子女史、佐山弘和博士、山下朋弘氏 三菱電機株式会社 メモリ事業統括部 清水悟氏に深く感謝いたします。

末筆ながら本研究の期間中、終始有益な議論と協力を頂いた、大阪大学大学院工学研究科量子界面工学領域講座の各位、三菱電機株式会社ULSI技術開発センターの各位に深く感謝いたします。

研究業績目録

[原著論文]

1. K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka; "High Energy Ion Implantation for ULSI.", Nucl. Instrum. and Methods, B59/60 (1991) p. 584 (第2章)
2. K. Tsukamoto, T. Kuroi, S. Komori and Y. Akasaka; "High Energy Ion Implantation for ULSI : Well Engineering and Gettering.", Solid State Technology June (1992) p. 49 (第2章)
3. T. Kuroi, Y. Kawasaki, S. Komori, M. Inuishi, K. Tsukamoto, H. Shinyashiki and T. Shingyoji; "Proximity Gettering of Heavy Metals by High Energy Ion Implantation.", Jpn J. Appl. Phys. Vol. 32 (1993) p. 303 (第3章)
4. T. Kuroi, Y. Kawasaki, Y. Ishigaki, Y. Kinoshita, M. Inuishi, K. Tsukamoto and N. Tsubouchi; "Bipolar Transistor with a Buried Layer Formed by High-Energy Ion Implantation for Subhalf-Micron Bipolar-complementary Metal Oxide Semiconductor LSIs.", Jpn J. Appl. Phys. Vol. 33 (1994) p. 541 (第2章)
5. T. Kuroi, M. Kobayashi, M. Shirahata, Y. Okumura, S. Kusunoki, M. Inuishi and N. Tsubouchi; "The Impact of Nitrogen Implantation into Highly Doped Polysilicon Gates for Highly Reliable and High Performance Sub-Quarter Micron Dual Gate CMOS.", Jpn J. Appl. Phys. Vol. 34 (1995) p. 771 (第4章)
6. T. Kuroi, M. Shirahata, Y. Okumura, S. Shimizu, A. Teramoto, M. Anma, M. Inuishi and T. Hirao; "Clarification of Nitridation Effect on Oxidation Method", Jpn. J. Appl. Phys. Vol. 35 (1996) p. 1454 (第4章)
7. S. Shimizu, T. Kuroi, S. Kusunoki, Y. Okumura, M. Inuishi and H. Miyoshi; "Impact of Nitrogen Implantation on Highly Reliable Sub-Quarter-Micron Metal Oxide Field-Effect Transistors (MOSFETs) with Lightly Doped Drain Structure", Jpn. J. Appl. Phys. Vol.35 (1996) p. 802 (第4章)
8. T. Yamshita, S. Komori, T. Kuroi, M. Inuishi and H. Miyoshi; "Substrate Engineering for Reduction of Alpha-Particle-Induced Charge Collection Efficiency", Jpn. J. Appl. Phys. Vol.35 (1996) p. 869 (第2章)
9. A. Yasuoka, T. Kuroi, S. Shimizu, M. Shirahata, Y. Okumura, Y. Inoue, M. Inuishi, T. Nishimura and H. Miyoshi; "The Effects on Metal Oxide Semiconductor Field Effect Transistor Properties of Nitrogen Implantation into p+ Poly-Silicon Gate.", Jpn J. Appl. Phys. Vol.36 (1997) p. 152 (第4章)
10. T. Murakami, T. Kuroi, Y. Kawasaki, M. Inuishi, Y. Matsui and A. Yasuoka; "Application of Nitrogen Implantation to ULSI", Nucl. Instrum. and Methods B121 (1997) p. 257 (第5章)

11. Y. Kawasaki, T. Murakami, T. Kuroi, Y. Ohno and Y. Matsui; "Application of non-mass analyzed ion implanter to sub-quarter micron MOSFETs", *Materials Chemistry and Physics* 54 (1998) p. 17 (第6章)
12. T. Kuroi, S. Shimizu, M. Shimizu, Y. Kawasaki, Y. Inoue, M. Inuishi, T. Nishimura and K. Oura; "Novel NICE (Nitrogen Implantation into CMOS Gate Electrode and Source-Drain) Structure for Highly Reliable and High Performance 0.25 μ m Dual Gate CMOS." submitted to *IEEE Transactions on Electron Devices* (第4章)

[解説、総説]

1. 塚本克博, 小森重樹, 黒井隆, 赤坂洋一; 「高エネルギーイオン注入技術の半導体デバイスへの応用」, *応用物理* 第60巻 p. 1087 (1991) (第2、3章)
2. 塚本克博, 黒井隆, 小森重樹; 「高エネルギーイオン注入技術」, *イオン工学* 第1巻 p. 19 (1992) (第2、3章)
3. 黒井隆, 小森重樹, 塚本克博; 「高エネルギーイオン注入技術の応用」, *Semiconductor World* 1992.7号 p. 90 (1992) (第2章)
4. 黒井隆, 清水悟, 井上靖朗, 犬石昌秀; 「微細MOSFET高性能化に向けた窒素イオン注入技術」, *応用物理* 第66巻 p. 381 (1997) (第4、5章)

[著書]

1. 塚本克博, 小森重樹, 黒井隆, 赤坂洋一; 「高エネルギー(MeV)イオン注入技術」, *超LSI技術14—デバイスとプロセスその4—半導体研究* 第32巻 p. 63 (西澤潤一編 工業調査会, 1990) (第2、3章)
2. 黒井隆, 清水悟, 奥村喜紀, 犬石昌秀, 平尾正; 「イオン注入によるクオータマイクロンCMOS構造設計」; *超LSI技術20—デバイスとプロセスその10—半導体研究* 第42巻 p. 45 (西澤潤一編 工業調査会, 1996) (第4、5章)

[その他発表論文]

1. K. Umezawa, T. Kuroi, J. Yamane, F. Shoji, K. Oura and T. Hanawa; "Quantitative Hydrogen Analysis by Simultaneous Detection of $^1\text{H}(^{19}\text{F}, \alpha \gamma)^{16}\text{O}$ at 6.46MeV and ^{19}F -ERDA", *Nucl. Instrum. and Methods*, B33 (1988) p. 634
2. K. Umezawa, J. Yamane, T. Kuroi, F. Shoji, K. Oura and T. Hanawa; "Nuclear Reaction Analysis and Elastic Recoil Detection Analysis of the Retention of Deuterium and Hydrogen

Implanted into Si and GaAs Crystals", *Nucl. Instrum. and Methods*, B33 (1988) p. 638

3. T. Kuroi, K. Umezawa, J. Yamane, F. Shoji, K. Oura and T. Hanawa; "Ion Beam Analysis of the Concentration and Thermal Release of Hydrogen in Silicon Nitride Films Prepared by ECR Plasma CVD Method", *Jpn. J. Appl. Phys.* Vol.27 (1988) p. 1406
4. F. Shoji, T. Kuroi, M. Watamori, K. Oura and T. Hanawa; "Capture of Ag Atoms in Defects Produced by Low-Energy Ar Ion Bombardment on the Si(111) Surface", *Appl. Surf. Sci.* 33/34 (1988) p. 58
5. F. Shoji, M. Watamori, T. Kuroi, K. Oura and T. Hanawa; "A Study of Ag Adsorption on Si (111) Surface by a Compact Arrangement of Na ISS and LEED", *J. Phys. D* 22 (1989) p.169
6. M. Shirahata, Y. Okumura, Y. Abe, T. Kuroi, M. Inuishi and H. Miyoshi, "Reliability of Source-to-Drain Non-Uniformly Doped Channel (NUDC) MOSFETs for Sub-Quarter-Micron Region" *Jpn. J. Appl. Phys.* Vol.35 (1996) p.871
7. Y. Nishida, H. Sayama, S. Shimizu, T. Kuroi, A. Furukawa, A. Teramoto, T. Uchida, Y. Inoue, and T. Nishimura; "High Performance 0.2 μ m Dual Gate Complementary MOS Technologies by Suppression of Transient-Enhanced-Diffusion using Rapid Thermal Annealing" *Jpn J. Appl. Phys.* Vol.37 (1998) p.1054
8. M. Shimizu, T. Kuroi, M. Inuishi, H. Arima, H. Abe and C. Hamaguchi; "Subquarter-micrometer Dual Gate Complementary Metal Oxide Semiconductor Field Effect Transistor with Ultra-thin Gate Oxide of 2nm", *Jpn. J. Appl. Phys.*, Vol.37 (1998) p.5926

[国際学会発表]

1. T. Kuroi, S. Komori, H. Miyatake, K. Tsukamoto and Y. Akasaka; "Characteristics of Junction Leakage Current of Buried Layer Formed by High Energy Ion Implantation.", in *Ext. Abst. Solid State Devices and Materials*, (Sendai) p. 441 (1990) (第2章)
2. K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka; "High Energy Ion Implantation for ULSI." in *Ext. Abst. Ion Beam Modification of Materials*, (Knoxville, TN) p. 303 (1990) (第2章)
3. T. Kuroi, S. Komori, H. Miyatake, Y. Mashiko and K. Tsukamoto; "Self-Gettering and Proximity Gettering for Buried Layer Formation by MeV Ion Implantation.", in *Tech. Dig. IEEE IEDM (San Francisco)* p. 261 (1990) (第2章)
4. K. Higashitani, T. Kuroi, K. Suda, M. Hatanaka, S. Nagao and N. Tsubouchi; "Submicron CBiCMOS Technology with New Well and Buried Layer Formation Formed by Multiple Energy Ion Implantation.", in *Proc. IEEE CICC (San Diego)* (1991) (第2章)

5. K. Tsukamoto, T. Kuroi, S. Komori and Y. Akasaka; "High Energy Ion Implantation in ULSI Technology.", in Proc. European MRS (Strasbourg, France) C-I-2 (1991) (第2章)
6. K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka; "High Energy Ion Implantation in VLSI Technology.", in Ext. Abst. Micro-Process Conference (Kanazawa) p. 94 (1991) (第2章)
7. T. Kuroi, S. Komori, K. Fukumoto, Y. Mashiko, K. Tsukamoto and Y. Akasaka; "Proximity Gettering of Micro-defects by High Energy Ion Implantation.", in Ext. Abst. Solid State Devices and Materials, (Yokohama) p. 56 (1991) (第3章)
8. T. Kuroi, Y. Kawaski, S. Komori, K. Fukumoto, M. Inuishi, K. Tsukamoto, H. Shinyashiki and T. Shingyoji; "Proximity Gettering of Heavy Metals by High Energy Ion Implantation.", in Ext. Abst. Solid State Devices and Materials, (Tsukuba) p. 398 (1992) (第3章)
9. T. Kuroi, Y. Kawaski, Y. Ishigaki, Y. Kinoshita, M. Inuishi and N. Tsubouchi; "Bipolar Transistor with a Buried Layer Formed by High Energy Ion Implantation for Subhalf-Micron BiCMOS LSI.", in Ext. Abst. Solid State Devices and Materials, (Chiba) p. 461 (1993) (第2章)
10. T. Kuroi, T. Yamaguchi, M. Shirahata, Y. Okumura, Y. Kawasaki, M. Inuishi and N. Tsubouchi; "Novel NICE (Nitrogen Implantation into CMOS Gate Electrode and Source-Drain) Structure for Highly Reliable and High Performance 0.25 μ m Dual Gate CMOS.", in Tech. Dig. IEEE IEDM (Washington D.C.) p. 325 (1993) (第4章)
11. T. Kuroi, S. Kusunoki, M. Shirahata, Y. Okumura, M. Kobayashi, M. Inuishi and N. Tsubouchi; "The Effects of Nitrogen Implantation into p+ Poly-Silicon Gate on Gate Oxide Properties.", in Dig. Symp. VLSI Tech. (Honolulu) p. 107 (1994) (第4章)
12. S. Komori, T. Yamashita, T. Kuroi, M. Inuishi and N. Tsubouchi; "A Novel Double Well with Buffer N- and P+ Gettering Layers for Suppression of Soft Error Rate (DOWNSER).", in Dig. Symp. VLSI Tech. (Honolulu) p. 41 (1994) (第2章)
13. M. Kobayashi, T. Kuroi, M. Shirahata, Y. Okumura, S. Kusunoki, M. Inuishi and N. Tsubouchi; "The Impact of Nitrogen Implantation into Highly Doped Polysilicon Gates for Highly Reliable and High Performance Sub-Quarter Micron Dual Gate CMOS.", in Ext. Abst. Solid State Devices and Materials, (Yokohama) p. 709 (1994) (第4章)
14. S. Shimizu, T. Kuroi, M. Kobayashi, T. Yamaguchi, T. Fujino, H. Maeda, T. Tsutsumi, Y. Hirose S. Kusunoki, M. Inuishi and N. Tsubouchi; "0.15 μ m CMOS Process for High Performance and High Reliability.", in Tech. Dig. IEEE IEDM (San Francisco) p. 67 (1994) (第4章)
15. T. Kuroi, S. Shimizu, A. Furukawa, S. Komori, S. Kusunoki, Y. Okumura, M. Inuishi, N. Tsubouchi and K. Horie; "Highly Reliable 0.15 μ m MOSFETs with Surface Proximity Gettering (SPG) and Nitrided Oxide Spacer Using Nitrogen Implantation.", in Dig. Symp. VLSI Tech. (Kyoto) p. 19 (1995) (第5章)
16. T. Kuroi, M. Shirahata, Y. Okumura, S. Shimizu, A. Teramoto, M. Anma, M. Inuishi and T. Hirao; "Clarification of Nitridation Effect on Oxidation Method", in Ext. Abst. Solid State Devices and Materials, (Osaka) p. 37 (1995) (第4章)
17. S. Shimizu, T. Kuroi, S. Kusunoki, Y. Okumura, M. Inuishi and T. Hirao; "Impact of Nitrogen Implantation on Highly Reliable Sub-Quarter Micron LDD MOSFETs", in Ext. Abst. Solid State Devices and Materials, (Osaka) p. 219 (1995) (第4章)
18. M. Shirahata, Y. Okumura, Y. Abe, T. Kuroi, M. Inuishi and T. Hirao; "Reliability of Non-Uniformly Doped Channel (NUDC) MOSFETs for Sub-Quarter-Micron Region", in Ext. Abst. Solid State Devices and Materials, (Osaka) p. 878 (1995)
19. T. Yamashita, S. Komori, T. Kuroi, M. Anma, M. Inuishi and T. Hirao; "Substrate Engineering for Reduction of alpha-Particle-Induced Charge Collection Efficiency", in Ext. Abst. Solid State Devices and Materials, (Osaka) p. 872 (1995) (第2章)
20. S. Shimizu, T. Kuroi, M. Sakai, T. Fujino, H. Maeda, T. Tsutsumi, Y. Hirose, S. Kusunoki, M. Inuishi and T. Hirao; "0.15 μ m CMOS Process for High Performance and High Reliability", in Ext. International Workshop on Advanced LSI's, (Korea) p. 51 (1995) (第4章)
21. S. Shimizu, T. Kuroi, Y. Kawasaki, S. Kusunoki, Y. Okumura, M. Inuishi and H. Miyoshi; "Impact of Surface Proximity Gettering and Nitrided Oxide Sidewall Spacer by Nitrogen Implantation on sub-quarter Micron CMOS LDD FETs", in Tech. Dig. IEEE IEDM (Washington D.C.) p. 859 (1995) (第5章)
22. T. Kuroi, S. Shimizu, S. Ogino, A. Teramoto, M. Shirahata, Y. Okumura, M. Inuishi and H. Miyoshi; "Sub-Quarter-Micron Dual Gate CMOSFETs with Ultra-thin Gate Oxide of 2nm.", in Dig. Symp. VLSI Tech. (Honolulu) p. 210 (1996)
23. S. Shimizu, T. Kuroi, Y. Kawasaki, T. Tsutsumi, H. Oda, M. Inuishi and H. Miyoshi; "Advanced Ion Implantation and Rapid Thermal Annealing Technologies for Highly Reliable 0.25 μ m Dual Gate CMOS", in Dig. Symp. VLSI Tech. (Honolulu) p.64 (1996) (第5章)
24. A. Furukawa, Y. Abe, S. Shimizu, T. Kuroi, Y. Tokuda and M. Inuishi; "Channel Engineering in Sub-quarter-micron MOSFETs Using Nitrogen Implantation for Low Voltage Operation", in Dig. Symp. VLSI Tech. (Honolulu) p. 62 (1996)
25. H. Sayama, T. Kuroi, S. Shimizu, M. Shirahata, Y. Okumura, M. Inuishi and H. Miyoshi; "Low Voltage Operation of Sub-Quarter Micron W-Polycide Dual Gate CMOS with Non-Uniformity Doped Channel", in Tech. Dig. IEEE IEDM (San Francisco) p. 583 (1996)
26. T. Yamashita, T. Kuroi, T. Uchida, S. Komori, K. Kobayashi, M. Inuishi and H. Miyoshi; "The Impact of High Pressure Dry O₂ Oxidation on Sub-Quarter Micron Planarized LOCOS" in Tech. Dig. IEEE IEDM (San Francisco) p. 821 (1996)

27. S. Shimizu, T. Kuroi, H. Sayama, A. Furukawa, Y. Nishida, Y. Inoue and T. Nishimura "Gate Electrode Engineering by Control of Grain Growth for High Performance and High Reliable 0.18 μ m Dual Gate CMOS" in Dig. Symp. VLSI Tech. (Kyoto) p.107 (1997)
28. M. Nishida, H. Sayama, S. Shimizu, T. Kuroi, A. Furukawa, A. Teramoto, T. Uchida, Y. Inoue and T. Nishimura; "High Performance 0.2 μ m Dual Gate CMOS by Suppression of Transient-Enhanced-Diffusion Using Rapid Thermal Annealing Technologies", in Ext. Abst. Solid State Devices and Materials, (Hamamatsu) p. 506 (1997)

[国内学会発表]

1. 黒井隆, 小森重樹, 塚本克博, 益子洋治, 赤坂洋一; 「Si (100) への高エネルギーイオン注入のチャネリング効果」 応用物理学会, 春季 (東京), 2a-ZF-7, p. 688 (1989)
2. 小森重樹, 黒井隆, 塚本克博, 赤坂洋一; 「高エネルギーイオン注入によるレトログレドウエルの形成」 応用物理学会, 春季 (東京), 2a-ZF-9, p.689 (1989)
3. 佐山弘和, 小森重樹, 黒井隆, 塚本克博, 高井幹夫, 赤坂洋一, 難波進, 「高エネルギーイオン注入によるリーク電流の評価」 応用物理学会, 春季 (東京), 2a-ZF-10, p. 689 (1989)
4. 黒井隆, 小森重樹, 塚本克博, 赤坂洋一 「高エネルギーイオン注入によるリーク電流の評価 (I I)」 応用物理学会, 秋季 (福岡), 30a-C-10, p. 669 (1989)
5. 黒井隆, 小森重樹, 塚本克博, 赤坂洋一 「高エネルギー炭素, 酸素イオン注入による接合リーク電流低減効果」 応用物理学会, 春季 (千葉), 31a-ZF-5, p. 676 (1990)
6. 黒井隆, 小森重樹, 塚本克博, 赤坂洋一 「高エネルギー注入による埋込層の近接ゲッタリング効果」 応用物理学会, 春季 (神奈川), 31a-X-10, p. 737 (1991)
7. 小森重樹, 黒井隆, 塚本克博, 赤坂洋一 「MeV注入で形成された埋込み層による拡散電流の低減」 応用物理学会, 春季 (神奈川), 31a-X-11, p. 738 (1991)
8. T. Kuroi, S. Komori, K. Tsukamoto and Y. Akasaka; "MeV Ion Implantation in ULSI Technology.", in proc. Ion Source and Ion-Assisted Technology, p. 357 (1991)
9. 須田核太郎, 東谷恵市, 黒井隆, 畑中正宏, 長尾繁雄, 坪内夏朗 「多重高エネルギー注入によるサブミクロンC-Bi CMOS対応の基板構造」 電子情報通信学会 研究会 (沖縄) (1991)
10. 黒井隆, 小森重樹, 東谷恵市, 犬石昌秀, 塚本克博 「高エネルギー注入による埋め込みコレクタの形成」 応用物理学会, 春季 (千葉), 30p-ZK-5, p. 718 (1992)
11. T. Kuroi, S. Komori, M. Inuishi and K. Tsukamoto; "MeV Ion Implantation for Si ULSI Devices", The 3rd Symposium on Beam Engineering of Advanced Material Syntheses p. 301 (1992)
12. 小林舞子, 黒井隆, 奥村喜紀, 内田哲也, 本田和仁, 犬石昌秀, 坪内夏朗 「基板リセス型LOCOSによる0.3 μ m素子分離」 応用物理学会, 秋季 (北海道), 28a-x-5, p. 685 (1993)
13. 黒井隆, 山口偉久, 白畑正芳, 奥村喜紀, 犬石昌秀 「窒素注入を用いた高信頼、高性能デュアルゲートCMOS」 応用物理学会, 春季 (東京), 29p-Zg-18, p. 676 (1994)
14. T. Kuroi, and M. Inuishi; "The Impact of Proximity Gettering on Junction Characteristics", The 22nd Symposium on ULSI Ultra Clean Technology p. 333 (1994)
15. 黒井隆, 小林舞子, 白畑正芳, 奥村喜紀, 楠茂, 犬石昌秀 「窒素注入による高信頼窒化酸化膜の形成」 応用物理学会, 秋季 (名古屋), 19a-ZC-8, p. 607 (1994)
16. 山下朋弘, 小森重樹, 黒井隆, 犬石昌秀, 坪内夏朗 「 α 線誘起電荷捕集効率のウェル構造依存性」 応用物理学会, 秋季 (名古屋), 20p-ZG-14, p. 690 (1994)
17. 清水悟, 黒井隆, 小林舞子, 藤野毅, 前田容志, 堤聡明, 広瀬幸範, 楠茂, 犬石昌秀, 坪内夏朗 「0.15 μ m MOSFETの高性能、高信頼化プロセス」 応用物理学会, 春季 (神奈川), 29a-R-8, p. 752 (1995)
18. 白畑正芳, 奥村喜紀, 黒井隆, 阿部雄次, 犬石昌秀, 坪内夏朗 「NUDC(Non Uniformly Doped Channel) MOSFETに関するホットキャリア劣化の解析」 応用物理学会, 春季 (神奈川), 28p-R-13, p. 697 (1995)
19. 佐山弘和, 藤澤雅彦, 清水悟, 黒井隆, 奥村喜紀, 犬石昌秀, 平尾正 「デュアルゲートCMOS用ポリサイドゲート電極構造開発」 応用物理学会, 秋季 (金沢), 26p-ZW-14 p. 632 (1995)
20. 清水悟, 黒井隆, 川崎洋司, 楠茂, 奥村喜紀, 犬石昌秀, 三好寛和 「窒素注入を用いた高信頼性サブクォータミクロンCMOS」 応用物理学会, 春季 (東京), 27p-E-3, p. 690 (1996)
21. 山下朋弘, 黒井隆, 小森重樹, 内田哲也, 小林清輝, 犬石昌秀, 三好寛和 「高圧ドライ酸化による0.25 μ m LOCOS分離」 応用物理学会, 春季 (東京), 27p-N-10, p. 728 (1996)
22. 川崎洋司, 高橋武人, 村上隆志, 黒井隆, 神原恭子, 松井安次 「プリ窒素注入のMOSFETへの適用」 応用物理学会, 春季 (東京), 27a-P-5, p. 732 (1996)
23. 佐山弘和, 黒井隆, 清水悟, 白畑正芳, 奥村喜紀, 犬石昌秀, 三好寛和 「0.25 μ m WポリサイドデュアルゲートCMOSの開発」 応用物理学会, 秋季 (福岡), 8p-R-2 p.664 (1996)

24. 酒井舞子, 黒井隆, 内田哲也, 安田徹, 小森重樹, 奥村喜紀, 犬石昌秀, 三好寛和
「改良リセストLOCOSによる256MDRAM対応の素子分離」 応用物理学会, 秋季
(福岡), 8a-H-2, p. 622 (1996)
25. 古川章彦, 阿部雄次, 清水悟, 黒井隆, 徳田安紀, 犬石昌秀「チャネル窒素注入に
よる微細MOSFETの低V_{th}化」 応用物理学会, 秋季 (福岡), 8p-R-14, p. 668 (1996)
26. 西田征男, 清水悟, 黒井隆, 犬石昌秀, 三好寛和「ホットキャリア劣化のゲート酸
化膜厚依存性」 応用物理学会, 秋季 (福岡), 8p-R-16, p. 669 (1996)
27. 川崎洋司, 村上隆志, 黒井隆, 神原恭子, 松井安次「非質量分析型イオン注入機
を用いたMOSFETの形成」 応用物理学会, 春季 (千葉), 28a-G-10, p. 667 (1997)
28. 黒井隆, 清水悟, 井上靖朗, 西村正「ゲート多結晶Siへの窒素イオン注入による
ゲート酸化膜の高信頼化」 応用物理学会, 秋季 (秋田) (1997)
29. 堀田勝之, 黒井隆, 酒井舞子, 井上靖朗, 西村正「シャロートレンチ分離の接合特
性」 応用物理学会, 秋季 (秋田), 2a-K-7, p. 748 (1997)

