



Title	高速スイッチング電源の高精度損失予測法に関する研究
Author(s)	山村, 英穂
Citation	大阪大学, 2010, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/57520
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

【115】				
氏 名	やま	むら	ひで	ほ
	山	村	英	穂
博士の専攻分野の名称	博 士（工 学）			
学 位 記 番 号	第 2 3 8 3 3 号			
学 位 授 与 年 月 日	平 成 22 年 3 月 23 日			
学 位 授 与 の 要 件	学位規則第4条第1項該当 工学研究科マテリアル生産科学専攻			
学 位 論 文 名	高速スイッチング電源の高精度損失予測法に関する研究			
論 文 審 査 委 員	(主査) 教 授 佐藤 了平 (副査) 教 授 藤本 公三 教 授 平田 好則 准教授 岩田 剛治			

論 文 内 容 の 要 旨

近年、地球温暖化防止、省エネ、電子機器の消費電力削減のために、電子機器に搭載するスイッチング電源の電力効率向上の要求が急速に高まってきた。これに伴って、電源の損失計算の精度向上と、実際の電源回路設計への適用が急務となってきた。

現状でのスイッチング電源の損失計算の問題は、多用されている回路シミュレータでは部品の損失の周波数依存性が扱えない点と、従来のパルス電流に対する損失量（パルス損失）の計算法では対象がトランスの理論計算損失に限られ、また計算が複雑な点にある。

本研究は、これらの問題を解決し、スイッチング電源の高効率化を目指して、パルス損失計算の適用範囲をトランスのみから半導体素子や配線などに拡大し、また、実際の設計作業における部品の比較選定作業や部品改良結果の比較作業の迅速化のために、パルス損失の計算時間を高速化し、回路動作条件一組あたり10ms以下にすることを課題とした。

まず、新たな部品の損失モデルを導出した。この損失モデルは、表皮効果や近接効果による周波数依存性を表現し、トランス、半導体素子、配線などの部品の周波数依存データから損失パラメータを回帰計算により同定可能な式の形とした。この損失モデル式を3種の部品（トランス、MOS FET、プリント基板配線）に適用し、平均誤差約6％と実用上十分な精度で損失の周波数依存性を表現することを証明した。

次に、パルス損失計算法を導出した。ここでは、損失パラメータと回路動作条件（電流値、周期、立上時間、温度）を変数とした初等関数の陽解法の式を導出し、式中のsummationを消去して計算を1000倍以上高速化した。このパルス損失計算法をスイッチング電源に適用し、パルス損失の計算値と、実測した損失値と照合して、損失モデル化を含めて誤差9.5%と実用上十分な精度を有することを証明した。

これらの過程で、損失モデルの回帰計算によるモデル化時間が2～3秒と十分短く、また、パルス損失計算は回路動作条件一組あたり10ms以下と十分高速であることを確認し、その結果、多種多様な部品のパルス損失計算が容易に実施できること、各部品のパルス損失のスイッチング周波数依存性や立上り時間依存性などの比較や性格付けが迅速に行えること、パルス損失マップ等の等高線を描くような従来では多大な時間を要する性質分析が可能になったことを示した。

- 以上の結果をスーパーコンピュータ用スイッチング電源に適用し、以下の設計ができた：
- (1) 約50種の試作トランスにおけるパルス損失を高速計算し、パルス損失を比較して、スイッチング電源の回路動作条件下で最低損失のトランスを選択、
 - (2) 2種のMOSFETにおけるパルス損失を高速計算し、回路動作条件下で最低損失のMOSFETを選択し、その並列個数

を設計、

(3) プリント基板配線におけるパルス損失を高速計算し、低損失な多層配線構造を採択、

これらを用いて設計した新高速スイッチング電源の損失は、従来の1/2～1/5に低減し、スーパーコンピュータの消費電力を15%削減することができた。また、損失設計が高精度で実現したため、再設計を回避し、労力、時間、費用を削減することができた。

以上、パルス損失計算の適用範囲を拡大し、計算を高速化した結果、実際の設計過程への主要部品の損失の周波数依存性の適用が実現し、スイッチング電源の高精度損失計算および低損失回路の設計が可能となった。

論文審査の結果の要旨

近年、地球温暖化防止、省エネ、電子機器の消費電力削減のために、電子機器に搭載するスイッチング電源の電力効率向上の要求が急速に高まって来ている。これに伴い、電源の損失計算の精度向上を図り、電力効率の優れた電源回路設計への適用が期待されている。

本研究では、従来の回路シミュレータでは扱えなかった損失の周波数依存性と、トランスの理論計算に限られていたパルス電源におけるパルス損失計算法を明らかにし、高電力効率の電源回路設計法の確立を行い、低消費電力設計を目指した。

まず、損失の周波数依存性を扱える損失モデルを導出した。この損失モデルは、表皮効果や近接効果による周波数依存性を考慮して、電源回路の主要な部品、トランス、半導体素子、配線などの周波数に依存した回帰式を導出し、十分実用可能な精度(約6%)を有していることを明らかにした。

次に、パルス損失計算法を導出した。ここでは、損失パラメータと回路動作条件(電流値、周期、立上時間、温度)を変数とした初等関数の陽解法の式を導出し、計算を1000倍以上高速化した。このパルス損失計算法をスイッチング電源に適用し、パルス損失の計算値と、実測した損失値と照合して、損失モデル化を含めて誤差9.5%と実用上十分な精度を有することを明らかにした。

以上の結果をスーパーコンピュータ用スイッチング電源に適用し、以下の設計ができた。

(1) 約50種の試作トランスにおけるパルス損失を高速計算し、パルス損失を比較して、スイッチング電源の回路動作条件下で最低損失のトランスを選択、

(2) 2種のMOSFETにおけるパルス損失を高速計算し、回路動作条件下で最低損失のMOSFETを選択し、その並列個数を設計、

(3) プリント基板配線におけるパルス損失を高速計算し、低損失な多層配線構造を採択。

これらを用いて設計した新高速スイッチング電源の損失は、従来の1/2～1/5に低減し、スーパーコンピュータの消費電力を15%削減できている。

以上、周波数に依存した損失モデルとパルス損失計算法を導出し、高速で、高精度なスイッチング電源の損失を予測し、消費電力の大幅な低減が出来ることを明らかにしている。これらの結果は、本系に限らず、多くのスイッチング電源回路の低消費電力設計に多大な知見を与えるものであり、工業的かつ学術的に大きな意義を与えるものである。よって本論文は博士論文として価値があるものと認める。