



Title	A Study on Robust Subthreshold Circuit Design to Manufacturing and Environmental Variability
Author(s)	更田, 裕司
Citation	大阪大学, 2010, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/57615">https://hdl.handle.net/11094/57615</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href="https://www.library.osaka-u.ac.jp/thesis/#closed">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

【13】	
氏 名	更 田 裕 司
博士の専攻分野の名称	博 士（情報科学）
学 位 記 番 号	第 2 3 9 1 7 号
学 位 授 与 年 月 日	平 成 22 年 3 月 23 日
学 位 授 与 の 要 件	学位規則第4条第1項該当 情報科学研究科情報システム工学専攻
学 位 論 文 名	A Study on Robust Subthreshold Circuit Design to Manufacturing and Environmental Variability  （製造ばらつきと環境変動を許容するサブスレッショルド回路設計に関する研究）
論 文 審 査 委 員	（主査） 教 授 尾 上 孝 雄  （副査） 教 授 今 井 正 治    教 授 佐 藤 寿 倫（福岡大学）  准教授 橋 本 昌 宜

論 文 内 容 の 要 旨

This thesis discusses ultra-low-voltage CMOS (complementary metal oxide semiconductor) digital circuits which are called “subthreshold circuits.” Subthreshold circuits operate at a lower supply voltage than the threshold voltage of MOSFETs (metal oxide semiconductor field effect transistors), which is, for example, 0.3–0.4 V in a 90-nm CMOS process, and their features are slow speed yet ultra low power. Therefore subthreshold circuits are suitable to severely energy-constrained devices whose performances are not a critical concern such as processors for sensor networks and medical applications.

On the other hand, subthreshold circuits have a serious problem that their performances are significantly sensitive to manufacturing variability and environmental variability such as temperature and supply voltage variations. Furthermore, they are vulnerable to soft errors which are induced by radiation particles such as alpha particles and neutrons on the earth. Thus the conventional worst-case design and operation with guardbanding considering such large variations extremely deteriorate the energy efficiency, which spoils the advantage of subthreshold circuits. This issue is one of the most severe obstacles that prevent subthreshold circuits from being widely used in practical applications. This thesis aims to overcome the above mentioned issue and to demonstrate energy-efficient subthreshold circuits.

To accomplish this goal, this thesis first focuses on the impact of manufacturing variability on delay variations. To establish the modeling of variations in subthreshold circuits, a device array circuit, which consists of a number of transistors and ROs (ring oscillators), is fabricated in a 90-nm CMOS process. Using the device array, I-V characteristics of transistors and RO frequencies are measured, and the correlation between the transistor-level variations and the delay variations in subthreshold circuits is confirmed. Measurement results reveal that the transistor-level variations in subthreshold region are well characterized with threshold voltage and subthreshold swing parameter. On the other hand, measurement results also show that random and uncorrelated threshold voltage variation is dominant for estimating delay variations in subthreshold circuits.

This thesis then examines the soft error immunity in subthreshold circuits. When an alpha particle emitted from packaging materials or a neutron from the cosmic ray hits on sequential circuits or SRAM (static random access memory), an upset occurs, which may result in critical

errors. Because the energy to cause the upsets is reduced as the supply voltage is lowered, subthreshold circuits are much more vulnerable to soft errors than circuits operating at the nominal supply voltage. In this thesis, the alpha-particle-induced SER (soft error rate) is measured on silicon using a newly designed SRAM which functions over a wide range of the supply voltage from 1.0 V to 0.3 V in a 65-nm CMOS process. Measurement results show that the SER at 0.3 V increases by eight times compared to the SER at 1.0 V. In addition, measurement results reveal that the conventional ECC (error checking and correction) technique is still effective in subthreshold region.

Next, techniques to overcome manufacturing and environmental variability are explored. This thesis proposes the adaptive speed control with “canary FF (flip-flop)” for subthreshold circuits. Canary FF is a sensor to predict the occurrence of timing errors, which is used with the normal flip-flop in a sequential circuit. Whereas the adaptive speed control with canary FF is superior in its simple structure, it is difficult to eliminate the occurrence of timing errors completely unless the canary FF is well configured. First, this thesis establishes a framework to quantitatively evaluate the timing error rate and the power dissipation. This framework is experimentally validated using 32-bit adders, and the results present the trade-off relation between the timing error rate and power dissipation.

Finally, this thesis demonstrates the adaptive speed control with canary FF using a test chip fabricated in a 65-nm CMOS process. In this test chip, a 32-bit Kogge-Stone adder is controlled adaptively with body-biasing. Measurement results indicate that the adaptive speed control can compensate manufacturing and environmental variability and reduce power dissipation by 46% compared to the worst-case design and operation with guardbanding.

## 論文審査の結果の要旨

本論文は、製造ばらつきと環境変動を許容する超低電力サブスレッショルド回路設計に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

### (1) サブスレッショルド回路における製造ばらつきの影響評価とソフトエラー率の測定

サブスレッショルド回路とは、0.3Vなどの極めて低い電源電圧で動作する回路のことで、低速・超低電力という特徴を有する。このため、センサネットワーク用プロセッサなど性能よりも電力が制約条件となるアプリケーションへの適用が期待されている。一方で、製造ばらつきや環境変動に弱いといった問題があり、実用化を妨げる原因となっている。本論文ではまず、製造ばらつきによるトランジスタ個々の特性変動がサブスレッショルド回路の性能へ与える影響について評価を行った。その結果、サブスレッショルド回路の遅延ばらつきは、トランジスタの閾値電圧ばらつきの影響が支配的であるという知見を得た。また、近年、アルファ線などの放射線による回路誤動作、所謂ソフトエラーが問題となっており、特に電源電圧の低下に伴うソフトエラー率の上昇が懸念されている。そこで、幅広い電源電圧範囲で動作するSRAMを設計し、アルファ線ソフトエラー率の電源電圧依存性を測定した。その結果、0.3Vにおけるソフトエラー率は通常電源電圧に比べ8倍程度増加することが明らかになった。一方で、既存のエラー訂正技術であるECCがサブスレッショルド領域でも有用であることも確認された。

### (2) 製造ばらつきや環境変動を許容する回路の実装と評価

サブスレッショルド回路の性能は、製造ばらつきや環境変動に対して大きく変化するため、これらの最悪条件を前提にした回路動作では非効率である。従って、現在の回路状態を検出し、動的に性能補償する回路が求められる。本論文では、カナリアFFと呼ばれる、タイミングエラーの発生を事前に予測可能なセンサーを回路内に埋め込み、その予測に応じて適応的に性能補償を行う回路の提案を行った。しかしながら、提案性能補償回路ではタイミングエラーの可能性を完全に取除けないという問題があるため、まずエラー発生頻度の定量的評価手法を開発した。また、本定量評価手法を用いて、エラー頻度と消費電力の間にトレードオフの関係があることを示した。さらに、加算器を対象とした評価回路を設計・チップ試作し、カナリアFFによる適応的性能補償を適用することで、従来の製造ばらつきワースト条件を前提にした動作に比べ消費電力を46%削減できることを示した。

以上のように、本論文で述べた製造ばらつきと環境変動を許容するサブスレッショルド回路設計に関する研究は、製造ばらつきと環境変動に弱いというサブスレッショルド回路の実用化を阻害する要因に対し、一つの解決法を示したという点で非常に有用である。これにより、センサネットワークなどの超低電力アプリケーションの普及に貢献するものと期待できる。よって、博士（情報科学）の学位論文として価値のあるものと認める。