

Title	デジタル支援技術を用いたCMOSテレビチューナICに関する研究
Author(s)	鎌田, 隆嗣
Citation	大阪大学, 2010, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/58325
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

【33】

氏名	鎌田 隆嗣
博士の専攻分野の名称	博士(工学)
学位記番号	第 24204 号
学位授与年月日	平成 22 年 9 月 22 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科電気電子情報工学専攻
学位論文名	デジタル支援技術を用いた CMOS テレビチューナ IC に関する研究
論文審査委員	(主査) 教授 谷口 研二 (副査) 教授 八木 哲也 准教授 松岡 俊匡 情報科学研究科准教授 橋本 昌宜 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 尾崎 雅則 教授 榎原 敏明 教授 近藤 正彦 教授 森田 清三

論文内容の要旨

本論文は、「デジタル支援技術を用いた CMOS テレビチューナ IC」に関する研究成果をまとめたものであり、以下の 6 章で構成した。

イル放送受信に代表される狭帯域受信との違い、および目的について述べた後、本論文の構成の概略を述べた。

第 2 章では、ワイドバンド受信を可能にするためのワイドバンドチューニング可能な VCO (電圧制御発振器) に対する要素技術を、デジタル支援技術を含めた手法で提案した。実験は、0.25 μ m RF-CMOS プロセスを用いて検証を行い、2 個のコイルをチップ上に配置し、VCO 本体を形成した。VCO 単体での出力周波数は最大 2.024 GHz となり、チューニングレンジは 1.084 GHz を達成した。かつ、1/2 分周器を直列に接続したブロック構成で出力ノードを切り替えることで、テレビチューナ用 IC に適した周波数可変範囲を実現し、出力周波数は 58.8 MHz ~ 1012 MHz となった。これは、178%と広範囲な出力周波数が得られたことになり、近年の論文発表されている中でも突出したものとなった。

第 3 章では、シングルコンバージョン方式でのワイドバンド受信に必要な入力レンジを確保するため、RC ポリフェーズフィルタを使用した IF イメージ除去フィルタ部で、歪み特性の性能指標である IIP3 の改善を目指した。ポリフェーズフィルタ 2 段のみの構成で、内部バッファの適切な電流配分を定量的に求め、ストップバンドでは帯域 6 MHz 以上の減衰量を有し、パスバンドでは低歪みとなる回路構成を提案した。また、デジタル支援技術によりポリフェーズフィルタに必要な素子である抵抗と容量の製造ばらつきを抵抗アレーによって調整した。実験には、0.25 μ m RF-CMOS プロセスを用い、作製した IC チップにて IF 出力でのイメージ除去比は、RF 部における高次フィルタと IF イメージ除去フィルタ部を合わせて 60 dB 以上の減衰量を確保した。RF フロントエンド部でのイメージ周波数での減衰量は、> 20 dB を達成したことから、このイメージ除去フィルタ単体ブロックにては、> 40 dB を達成したこととなった。イメージ除去フィルタ単体のシミュレーションにおける IIP3 は、136 dB μ V となり、このブロックが全体のチューナ IC の歪み特性に影響を与えない結果が得られた。

第 4 章では、ワイドバンド受信を可能にするためのチューナ IC としての要素技術である RF フロントエンド用フィルタ部の設計手法を提案した。低雑音増幅器を用いず、計 6 次のバンドパスフィルタを構成し、大信号の入力、いわゆる強入力耐性のあるブロック構成とした。また、種々のアナログ部での自動調整に用いるデジタル支援技術について言及し、シングルコンバージョン方式を用いたワイドバンドテレビチューナ用 IC としての性能を評価した。実験は、0.25 μ m RF-CMOS プロセスを用いて検証を行い、作製した IC チップにてイメージ周波数での減衰量は > 20 dB を達成した。また、集積化したチューナ IC 全体での特性として、UHF 帯で最大ゲイン時に NF (雑音指数) = 5.0 ~ 5.5 dB を達成した。

第 5 章では、ゼロ IF 方式を用いたワイドバンドチューナ IC を提案した。外部素子を低減するため、前述のシングルコンバージョン方式で使用した外部 SAWF (表面弾性波フィルタ) や外部コイルと等価な機能を、提案したシステムと回路構成に置き換えた。デジタル支援技術を用い、各フィルタを構成する抵抗や容量素子などの製造ばらつきを補正した。消費電力の 1/3 以上を占めるベースバンドフィルタに使用したオペアンプを簡略化し低消費電力とし、その副作用としての帯域リップルのばらつきをデジタル的に補正し補うことで、528 mW の低消費電力化を達成した。また、RF フロントエンド部で 2 つの仕様の異なる低雑音増幅器を切り替えることで、強入力耐性に強い 92 dB と広範囲な入力レンジを達成した。外部部品点数も、水晶発振子、コンデンサ、チップコイルを含め 18 個以下に抑えた。低コスト化を実現するためにも、微細なプロセスは使用せず、0.25 μ m RF-CMOS プロセスを用いて従来の缶タイプのチューナモジュールに匹敵、あるいはそれを超える特性となった。64QAM, CR (コードレート) = 3/4 時には、感度 -80 dBm と強入力耐性として +12 dBm を達成した。

第 6 章では、本論文で取り上げた各研究課題に関する成果についてまとめた。

論文審査の結果の要旨

従来、テレビ用チューナ機能は、ディスプレイ部品で構成されたモジュールなどが主流であった。近年、テレビ放送のデジタル化が日本を含め各国で進んでいることから、チューナ IC による小型化、低消費電力化、低コスト化などの要求がますます増加してくる。特に CMOS プロセスを使用したチューナ IC の研究開発は、近年の研究のなかでも低コストに結びつくことから、盛んになっている。RF フロントエンド部を含むチューナ機能の集積化は、デジタル支援技術を用いることで実現可能となり、回路技術の向上も含めて達成可能となった。この新しい発想によりシングルコンバージョン方式やゼロ I 方式などを用いた集積化を達成している。

その主要な成果は以下のとおりである。

ワイドバンド受信を可能にするためのワイドバンドチューニング可能な VCO (電圧制御発振器) に対する要素技術を、デジタル支援技術を含めた手法で提案している。実験は、0.25 μ m RF-CMOS プロセスを用いて検証を行い、2 個の

コイルをチップ上に配置し、VCO 本体を形成している。VCO 単体での出力周波数は最大 2.024 GHz となり、チューニングレンジは 1.084 GHz を達成し、かつ、1/2 分周器を直列に接続したブロック構成で出力ノードを切り替えることで、テレビチューナ用 IC に適した周波数可変範囲を実現し、出力周波数は 58.8 MHz ~ 1012 MHz となっている。これは、178%と広範囲な出力周波数が得られたことになり、近年の論文発表されている中でも突出したものとなっている。

シングルコンバージョン方式でのワイドバンド受信に必要な入力レンジを確保するため、RC ポリフェーズフィルタを使用した IF イメージ除去フィルタ部で、歪み特性の性能指標である IIP3 の改善を目指している。ポリフェーズフィルタ 2 段のみの構成で、内部バッファの適切な電流配分を定量的に求め、ストップバンドでは帯域 6 MHz 以上の減衰量を有し、パスバンドでは低歪みとなる回路構成を提案している。また、デジタル支援技術によりポリフェーズフィルタに必要な素子である抵抗と容量の製造ばらつきを抵抗アレーによって調整している。実験には、0.25 μ m RF-CMOS プロセスを用い、作製した IC チップにて IF 出力でのイメージ除去比は、RF 部における高次フィルタと IF イメージ除去フィルタ部を合わせて 60 dB 以上の減衰量を確保している。RF フロントエンド部でのイメージ周波数での減衰量は、 > 20 dB を達成したことから、このイメージ除去フィルタ単体ブロックにては、 > 40 dB を達成している。イメージ除去フィルタ単体のシミュレーションにおける IIP3 は、136 dB μ V となり、このブロックが全体のチューナ IC の歪み特性に影響を与えない結果が得られている。

ワイドバンド受信を可能にするためのチューナ IC としての要素技術である RF フロントエンド用フィルタ部の設計手法を提案している。低雑音増幅器を用いず、計 6 次のバンドパスフィルタを構成し、大信号の入力、いわゆる強入力耐性のあるブロック構成としている。また、種々のアナログ部での自動調整に用いるデジタル支援技術について言及しており、シングルコンバージョン方式を用いたワイドバンドテレビチューナ用 IC としての性能を評価している。実験は、0.25 μ m RF-CMOS プロセスを用いて検証を行い、作製した IC チップにてイメージ周波数での減衰量は > 20 dB を達成している。また、集積化したチューナ IC 全体での特性として、UHF 帯で最大ゲイン時に NF (雑音指数) = 5.0 ~ 5.5 dB を達成している。

ゼロ IF 方式を用いたワイドバンドチューナ IC を提案している。外部素子を低減するため、前述のシングルコンバージョン方式で使用した外部 SAWF (表面弾性波フィルタ) や外部コイルと等価な機能を、提案したシステムと回路構成に置き換えている。デジタル支援技術を用い、各フィルタを構成する抵抗や容量素子などの製造ばらつきを補正している。消費電力の 1/3 以上を占めるベースバンドフィルタに使用したオペアンプを簡略化し低消費電力とし、その副作用としての帯域リップルのばらつきをデジタル的に補正し補うことで、528 mW の低消費電力化を達成している。また、RF フロントエンド部で 2 つの仕様の異なる低雑音増幅器を切り替えることで、強入力耐性に強い 92 dB と広範囲な入力レンジを達成している。外部部品点数も、水晶発振子、コンデンサ、チップコイルを含め 18 個以下に抑えている。低コスト化を実現するためにも、微細なプロセスは使用せず、0.25 μ m RF-CMOS プロセスを用いて従来の缶タイプのチューナモジュールに匹敵、あるいはそれを超える特性となっている。64QAM, CR (コードレート) = 3/4 時には、感度 -80 dBm と強入力耐性として +12 dBm を達成している。

以上のように、デジタル支援技術を用いたことでチューナ IC の高集積化への科学技術進展への貢献は大きい。更に本研究は、本論文は MOS スイッチや 製造ばらつき補正のためのバイアス回路など新たな回路技術を提案し、ゼロ IF 方式における低消費電力化をも提案し実現させており、チューナ IC の新たな設計指標にも貢献する成果であると考えられる。

よって本論文は博士論文として価値あるものと認める。