



Title	A/D D/A変換器に用いるデルタシグマ変調回路の低消費電力・小面積化に関する研究
Author(s)	兼本, 大輔
Citation	大阪大学, 2011, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/58329
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	兼 業	本 職	大 学	研 究 科	研 究 室	
博士の専攻分野の名称	博 士	(工 学)				
学位記番号	第 24596	号				
学位授与年月日	平成23年3月25日					
学位授与の要件	学位規則第4条第1項該当 工学研究科電気電子情報工学専攻					
学位論文名	A/D D/A変換器に用いるデルタシグマ変調回路の低消費電力・小面積化に関する研究					
論文審査委員	(主査)					
	教授	谷口 研二				
	(副査)					
	教授	八木 哲也	准教授	松岡 俊匡	准教授	橋本 昌宜
	教授	伊藤 利道	教授	森 勇介	教授	片山 光浩
	教授	尾崎 雅則	教授	栖原 敏明	教授	近藤 正彦
	教授	森田 清三				

論文内容の要旨

本論文ではA/D D/A変換器のための低消費電力・小面積デルタシグマ変調回路の要素回路技術ならびにクロックジッタの影響に関する研究をまとめた。

第1章では本研究の背景と目的について述べた。またデルタシグマ変調器の基礎理論について説明した。

第2章では連続時間型デルタシグマ変調器に用いるアクティブRC積分器の低消費電力設計が可能になるフィードフォワード充電法を提案した。この技術では既存のフィードバックD/A変換器に対して、相補的な動作をするフィードバックD/A変換器をオペアンプの出力に配置することで、オペアンプの必要とする電力を削減できた。

第3章では集積回路の製造工程上避けることが困難な連続時間型デルタシグマ変調器の時定数シフトを有効的に補正する新しい手法を提案した。提案手法ではプログラマブル電流源のみの追加で実現可能である。本論文ではプログラマブル電流源の面積と従来手法のキャパシタバンクが占める面積を解析により見積もった。その結果、高精度用途は特に、本提案手法を用いると従来手法より小面積でレイアウト可能なデルタシグマ変調器が実現できることを確認した。

第4章では一つのオペアンプを三次のループフィルタに用いるための新しいアンプシェアリング技術を提案した。ノイズの伝達特性を考慮すると、負荷容量のスケーリングが可能である。前段のオペアンプを後段の積分器に用いると必要なホールドモード時間を短縮できることに着目し、1クロックの間に三段の積分器間でオペアンプを共有する技術の理論提案をした。

第5章ではアンプシェアリング技術を用いた高精度・低消費電力のオーディオ用デルタシグマ変調器に関する研究をまとめた。180nm CMOSプロセスで実装したデルタシグマ変調器はアナログ部分の電力消費部分が一つのオペアンプと二つの量子化器のみで構成できた。この変調器は帯域20kHzでSNR101.1dB、DR101.5dBで消費電力が7.5mWであり、100dB以上の精度を有したオーディオ用デルタ

シグマ変調器の中では最もFOMが高いことが分かった。本アンプシェアリング技術を用いた試作チップは世界最小消費電力で動作していることを証明した。

第6章ではPLLのクロックジッタのオーディオデルタシグマ型D/A変換器への影響について解析を行った。ジッタから発生するエラー成分はPLLのクロックジッタスペクトラムと変調器の出力信号スペクトラムとの畳み込み積分で表現できることを表した。また得られた解析式から、ノイズシェーピング帯域が広帯域であることや量子化レベルの増加により量子化雑音が減少することで、ジッタエラーを低減できることが分かった。

以上のように、本論文では近年注目を集めているデルタシグマ変調器回路の低消費電力化、小面積化の要素回路技術を提案・開発を行った。またクロックジッタによる影響を定量的に評価・低減する手法を提案した。

論文審査の結果の要旨

本論文ではA/D D/A変換器として近年注目を集めているデルタシグマ変調器回路の低消費電力化ならびに小面積化を可能にする要素回路技術の開発、また変調回路に与えるクロックジッタの影響に関する研究をまとめている。

第1章ではデルタシグマ変調回路の低消費電力化ならびに小面積実装技術が現代社会にとって重要な技術であることを説明し、それに関連した世界の技術動向を説明している。

第2章では連続時間型デルタシグマ変調器に用いるアクティブRC積分器の低消費電力設計が可能になるフィードフォワード充電法を提案している。この技術では既存のフィードバックD/A変換器に対して、相補的な動作をするフィードバックD/A変換器をオペアンプの出力に配置することで、オペアンプの必要とする電力を75%削減できている。

第3章では集積回路の製造工程上避けることが困難な連続時間型デルタシグマ変調器の時定数シフトを有効的に補正する新しい手法を提案している。提案手法ではプログラマブル電流源のみの追加で実現可能である。本技術を携帯電話の規格であるGSM(Global System for Mobile Communications)を対象にした場合、従来キャパシタバンクが占める面積を約65%削減することに成功している。

第4章では一つのオペアンプを三次のループフィルタに用いるための新しいアンプシェアリング技術を提案している。前段のオペアンプを後段の積分器に用いると必要なホールドモード時間を短縮できることに着目し、本章では1クロックの間に三段の積分器間でオペアンプを共有する技術の理論提案をしている。

第5章ではアンプシェアリング技術を用いた高精度・低消費電力のオーディオ用デルタシグマ変調器に関する研究を説明している。180nm CMOSプロセスで実装したデルタシグマ変調器はアナログ部分の電力消費部分が一つのオペアンプと二つの量子化器のみで構成できている。測定の結果、SNR(Signal-to-Noise Ratio) 101.1dB、DR(Dynamic Range) 101.5dB消費電力7.5mWであり、100dB以上の精度を有したオーディオ用デルタシグマ変調器の中では最もFOMが高い。アンプシェアリング技術を用いた試作チップは世界最小消費電力で動作していることを証明している。

第6章ではPLLのクロックジッタのオーディオデルタシグマ型D/A変換器への影響について解析を行っている。ジッタから発生するエラー成分はPLLのクロックジッタスペクトラムと変調器の出力信号スペクトラムとの畳み込み積分で表現できることを解析により導いている。また得られた解析式から、ノイズシェーピング帯域が広帯域であることや量子化レベルの増加により量子化雑音が減少することで、ジッタエラーを低減できることを明らかにしている。

本論文で述べた回路技術はデルタシグマ変調回路の低消費電力化ならびに小面積化を可能にし、エレクトロニクス産業の発展に大きく寄与するものである。よって本論文は博士論文として価値あるものと認める。