

Title	固体撮像素子に用いるA/D変換器の低消費電力設計に関する研究
Author(s)	大倉, 俊介
Citation	大阪大学, 2010, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/58373
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	おおくら しゅんすけ 大 倉 俊 介
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 24205 号
学位授与年月日	平成22年9月22日
学位授与の要件	学位規則第4条第1項該当 工学研究科電気電子情報工学専攻
学位論文名	固体撮像素子に用いるA/D変換器の低消費電力設計に関する研究
論文審査委員	(主査) 教 授 谷口 研二 (副査) 教 授 八木 哲也 准教授 松岡 俊匡 情報科学研究科准教授 橋本 昌宜 教 授 伊藤 利道 教 授 森 勇介 教 授 片山 光浩 教 授 尾崎 雅則 教 授 栖原 敏明 教 授 近藤 正彦 教 授 森田 清三

論 文 内 容 の 要 旨

本論文は固体撮像素子に用いるA/D変換器の低消費電力設計に関する研究成果をまとめたもので、以下の6章で構成した。

第1章では、まず固体撮像素子の発展の歴史的経緯について述べた後、デジタルカメラなどへの応用を想定し、固体撮像素子の低消費電力化の手法に関する過去の使用実績とその技術的背景について述べた。

第2章では、CCDイメージセンサとCMOSイメージセンサの概要について説明し、それぞれの製造プロセスの特徴に応じた低消費電力の読み出し回路を紹介した。CCDセンサでは回路構成上、画素データを直列に読み出すため、変換速度の大きなバイプラインAD変換器が用いられる。一方、画素データのランダムな読み出しができる並列的な読み出しが特長のCMOSイメージセンサでは、占有面積の小さな積分型A/D変換器が多数使用される。また、章の後半ではA/D変換器の重要な要素回路であるコンパレータの動作モデルの重要性について説明した。

第3章では、CCDセンサに使用するバイプラインA/D変換器の低消費電力化について述べた。バイプライン型A/D変換器全体の消費電力は入力用のサンプル/ホールド(S/H)回路と基準電圧バッファ回路が大きな割合を占めている。特にマルチビット技術を用いたバイプライン型A/D変換器のなかで消費電力の大きな基準電圧バッファ回路に着目し、低消費電力化への新しい手法を提案した。この手法はサブA/D変換器の出力コードに応じてサブD/A変換器の負荷容量を効率的に駆動するセトリングブースト技術である。入力信号に応じて適切な電荷を負荷容量に供給して基準電圧レベルのセトリング応答を改善し、基準電圧バッファ回路に用いるオペアンプの消費電力を低減する技術である。0.35 μ m CMOSプロセスにもとづくシミュレーション設計の結果から、基準電圧バッファ回路の消費する電力が33%、A/D変換器全体で14%減少することを確認した。

第4章では、CMOSセンサに用いる列並列積分型A/D変換器の低消費電力設計を行った。本研究では、積分型A/D変換器で電力消費の大半を占めるDフリップフロップ回路の低消費電力化に重点を置いた。高速の入出力信号を処理するDFF回路としてマスター/スレーブ構成のダイナミックラッチを使用し、極低消費電力を実現した。さらに、DFFを駆動するカウンタバッファ回路に、NMOSとCMOSを組み合わせた低消費電力のバッファ回路を提案した。0.35 μ m CMOSプロセスにもとづくシミュレーション設計の結果から、A/D変換器のラッチ部の消費する電力が63%減少することを確認した。

第5章では、クロックコンパレータの動作モデルを提案した。全てのA/D変換器に共通するコンパレータはA/D変換器の比較精度と動作速度に大きな影響を与える重要な要素回路であり、設計に際して正確な動作モデルが必要とされる。入力信号のサンプリングと比較を同時に行うクロックコンパレータを取り上げ、小信号等価回路を用いて再生動作(regeneration)時の入力信号の経時変化が判定結果に及ぼす影響を解析し、高速コンパレータの周波数応答モデルを提案した。また、トランジスタレベルの回路を用いて提案するモデルとシミュレーション結果の比較結果より、提案するモデルの妥当性を確認した。この高周波数の入力信号に対する応答を正確に模擬するモデルは高速コンパレータの設計に役立つものである。

第6章では、本論文をまとめた。

論文審査の結果の要旨

固体撮像素子はデジタルカメラなどバッテリー駆動の携帯機器で広く用いられており、その低消費電力化が重要となる。半導体プロセスの微細化によって電源電圧の低下が進みデジタル回路は消費電力が低下しているが、アナログ回路は広い信号振幅を確保するため電源電圧が下げ止まっており、回路技術による省電力化が強く求められる。本研究は、アナログ領域のセンサ信号とデジタル回路の橋渡しを行う A/D 変換器に着目し、代表的な固体撮像素子である CCD センサと CMOS センサに用いるそれぞれの A/D 変換器の低消費電力化に関する新しいアプローチを含んでいる。その主要な成果は以下のとおりである。

CCD センサに用いる低消費電力 A/D 変換器に関して、マルチビット技術を用いたバイプライン型 A/D 変換器のなかで消費電力の大きな基準電圧バッファ回路に着目し、低消費電力化への新しい手法を提案している。この手法はサブ A/D 変換器の出力コードに応じてサブ D/A 変換器の負荷容量を効率的に駆動するセトリングブースト技術である。入力信号に応じて適切な電荷を負荷容量に供給して基準電圧レベルのセトリング応答を改善し、基準電圧バッファ回路に用いるオペアンプの消費電力を低減している。0.35 μm CMOS プロセスにもとづくシミュレーション設計の結果から、基準電圧バッファ回路の消費する電力が 33%、A/D 変換器全体で 14%減少することを確認している。

CMOS センサに用いる列並列積分型 A/D 変換器に関して、積分型 A/D 変換器で電力消費の多くを占める D フリップフロップ回路の低消費電力化について述べている。高速の入出力信号を処理する DFF 回路としてマスター/スレーブ構成のダイナミックラッチを使用し、極低消費電力を実現している。さらに、DFF を駆動するカウンタバッファ回路に、NMOS と CMOS を組み合わせた低消費電力のバッファ回路を提案している。0.35 μm CMOS プロセスにもとづくシミュレーション設計の結果から、A/D 変換器のラッチ部の消費する電力が 63%減少することを確認している。

A/D 変換器のさらなる低消費電力設計のために、クロックコンパレータの動作モデルを提案している。全ての A/D 変換器に共通して用いられるコンパレータは A/D 変換器の比較精度と動作速度に大きな影響を与える重要な要素回路であり、設計に際して正確な動作モデルが必要とされる。入力信号のサンプリングと比較を同時に行うクロックコンパレータを取り上げ、小信号等価回路を用いて再生動作(regeneration)時の入力信号の経時変化が判定結果に及ぼす影響を解析し、高速コンパレータの周波数応答モデルを提案している。この高周波数の入力信号に対する応答を正確に模擬するモデルは高速コンパレータの設計に役立つものである。

以上のように、本論文は新たな回路技術を提案し A/D 変換器の低消費電力化を実現しており、固体撮像素子に用いる A/D 変換器の科学技術進展への貢献は大きい。更に本研究は、A/D 変換器の主要素回路の正確な動作モデルも提案しており、A/D 変換器の新たな設計指標にも貢献する成果であると考えられる。

よって本論文は博士論文として価値あるものと認める。