

Title	BiC-DMOS技術におけるDMOSトランジスタのESD耐性及びホットキャリア耐性の向上に関する研究
Author(s)	畑迫, 健一
Citation	
Issue Date	
Text Version	none
URL	http://hdl.handle.net/11094/58388
DOI	
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

氏名	畑 迫 健 一
博士の専攻分野の名称	博士(工学)
学位記番号	第 24579 号
学位授与年月日	平成23年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科マテリアル生産科学専攻
学位論文名	BiC-DMOS技術におけるDMOSトランジスタのESD耐性及びホットキャリア耐性の向上に関する研究
論文審査委員	(主査) 教授 藤原 康文 (副査) 教授 掛下 知行 教授 山下 弘巳

論文内容の要旨

バイポーラ、CMOS、高耐圧の各トランジスタを1チップ上に形成できるBiC-DMOSデバイスは、システムの小型化、パワー制御の効率化、低コスト化、等への優位性を活かして、車載用ASIC、表示ドライバ、電源、等の分野において、システムLSIとして発展してきた。また、微細加工技術の進展により、更なる高密度化、高集積化が進行してきた。しかしながら、微細化によるデバイスサイズの縮小はパワーデバイスの使用電圧が変わらないため、デバイス内部の電界の上昇や電流密度の増加を引き起こしており、信頼性上の問題が懸念された。本研究では、このような背景の中で、信頼性上の問題として厳しい条件になってきたBiC-DMOS技術におけるDMOSトランジスタのESD (Electrostatic Discharge) 耐性とホットキャリア耐性の調査、改善について論じた。

本論文は以下の7章で構成した。

第1章では、本研究の目的と意義を述べた。

第2章では、BiC-DMOSデバイスの構造やプロセスフローについて説明を行った後、ESD耐性やホットキャリア耐性の改善に至った理由について説明し、BiC-DMOS技術への要求に対する位置付けについてまとめた。

第3章では、BiC-DMOSデバイスに内蔵するVDMOSトランジスタの高ESD化対策を実施した例について説明した。VDMOSトランジスタのドレイン電圧が上昇して、スナップバックを行う時に電流集中が発生し、デバイス破壊が発生していたが、これをデバイス構造の変更により、高い二次降伏電流を持つ高ESD化トランジスタへと改善した。

第4章では、第3章で改善を行ったVDMOSトランジスタが高いESD耐性を有していることについて、その原因を調査した。電圧印加によるVDMOSトランジスタのESD応答シミュレーションを行った結果、VDMOSトランジスタは通常状態だけではなく、スナップバック後においても、電流集中の起こりにくい構造であることが明らかになった。これらは、VDMOSトランジスタが他のトランジスタでは保有していない高ESD化デバイスとしての優れた機能を有していることを示唆した。

第5章では、LDMOSトランジスタの高ESD化対策の実施例について説明した。このLDMOSトランジスタにおいても、第3章で述べたVDMOSトランジスタと同様に、スナップバック時に電流集中が発生していたが、局所的な電界の上昇に対して、寸法の変更による電界緩和を実施することにより、高ESD化デバイスに改善した。また、VDMOSトランジスタとLDMOSトランジスタとは二次降伏電流のゲート電圧依存性が異なることが判明した。

その原因についても調査した結果、電流の均一性にゲート電圧の依存性があることが明らかになった。これらについて考察し、VDMOSトランジスタとLDMOSトランジスタの二次降伏電流のゲート電圧依存性の違いを明らかにした。

第6章では、LDMOSトランジスタのホットキャリア劣化について調査を行った。LDMOSトランジスタはストレス試験を実施すると、ホットキャリアの影響により、閾値電圧 V_{th} の上昇とドレイン電流 I_{ds} の減少というトランジスタの電気特性の変動が発生した。これらの現象について調査を実施し、そのメカニズムとして V_{th} の変動はゲート下の界面準位の増加に、また、 I_{ds} の減少はLOCOS酸化膜下の界面準位の増加に、それぞれ依っていることを明らかにした。また、その対策として、電流の抑制や電界の緩和を行い、ホットキャリア変動の抑制に成功した。

第7章では、本研究で得られた成果を総括した。

論文審査の結果の要旨

バイポーラ、CMOS、高耐圧の各トランジスタを1チップ上に形成できるBiC-DMOS (Bipolar-CMOS-DMOS) デバイスは、システムの小型化、パワー制御の効率化、低コスト化等への優位性を活かして、車載用ASIC、表示ドライバ、電源等の分野において、システムLSIとして発展している。また、微細加工技術の進展により、更なる高密度化、高集積化が進行している。しかしながら、微細化によるデバイスサイズの縮小はパワーデバイスの使用電圧が変わらないため、デバイス内部の電界の上昇や電流密度の増加を引き起こしており、信頼性上の問題が懸念されている。本論文は、このような背景の中で、信頼性上の問題として厳しい条件になってきたBiC-DMOS技術におけるDMOSトランジスタのESD (Electrostatic discharge) 耐性とホットキャリア耐性の調査、改善について纏めたものであり、以下の知見を得ている。

- (1) BiC-DMOS デバイスに内蔵するVDMOSトランジスタにおいて、ドレイン電圧を増加させてスナップバックを行う時にデバイス破壊が発生する。ドレイン横のソース位置にソースを形成しない等、デバイス構造を変更することにより、高い二次降伏電流を有する高ESD化トランジスタへと改善している。
- (2) 改善型VDMOSトランジスタについてESD応答シミュレーションを行い、通常状態だけではなく、スナップバック後においても、電流集中の起こりにくい構造であることを明らかにしている。
- (3) LDMOSトランジスタにおいても、VDMOSトランジスタと同様に、スナップバック時に電流集中が発生していたが、局所的な電界の上昇に対して、寸法の変更による電界緩和を実施することにより、高ESD化デバイスに改善している。また、VDMOSトランジスタとLDMOSトランジスタでは二次降伏電流のゲート電圧依存性が異なることを見出し、それが電流均一性のゲート電圧依存性に起因することを明らかにしている。
- (4) LDMOSトランジスタはストレス試験時に、ホットキャリアの影響により、閾値電圧 V_{th} の上昇とドレイン電流 I_{ds} の減少というトランジスタの電気特性の変動が発生する。そのメカニズムとして、 V_{th} の上昇はゲート下の界面準位の増加に、 I_{ds} の減少はLOCOS酸化膜下の界面準位の増加に、それぞれ依っていることを明らかにしている。一方、その対策として、電流の抑制や電界の緩和を行い、ホットキャリア変動の抑制に成功している。

以上のように、本論文は次世代BiC-DMOS技術におけるDMOSトランジスタのESD耐性とホットキャリア耐性について、その指針を明らかにするとともに、特性改善に成功する等、新しい知見を与えていることから、材料工学分野に寄与するところが大きい。

よって本論文は博士論文として価値あるものと認める。