



Title	BiC-DMOS技術におけるDMOSトランジスタのESD耐性及びホットキャリア耐性の向上に関する研究
Author(s)	畑迫, 健一
Citation	大阪大学, 2011, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/58388
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	はた ぎこ けん いち 畑 迫 健 一
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 2 4 5 7 9 号
学 位 授 与 年 月 日	平 成 23 年 3 月 25 日
学 位 授 与 の 要 件	学位規則第4条第1項該当 工学研究科マテリアル生産科学専攻
学 位 論 文 名	BiC-DMOS技術におけるDMOSトランジスタのESD耐性及びホットキャ リア耐性の向上に関する研究
論 文 審 査 委 員	(主査) 教 授 藤 原 康 文 (副査) 教 授 掛 下 知 行 教 授 山 下 弘 巳

論 文 内 容 の 要 旨

バイポーラ、CMOS、高耐压の各トランジスタを1チップ上に形成できるBiC-DMOSデバイスは、システムの小
型化、パワー制御の効率化、低コスト化、等への優位性を活かして、車載用ASIC、表示ドライバ、電源、等の
分野において、システムLSIとして発展してきた。また、微細加工技術の進展により、更なる高密度化、高集積化
が進行してきた。しかしながら、微細化によるデバイスサイズの縮小はパワーデバイスの使用電圧が変わらない
ため、デバイス内部の電界の上昇や電流密度の増加を引き起こしており、信頼性上の問題が懸念された。本研究
では、このような背景の中で、信頼性上の問題として厳しい条件になってきたBiC-DMOS技術におけるDMOSト
ランジスタのESD (Electrostatic Discharge) 耐性とホットキャリア耐性の調査、改善について論じた。

本論文は以下の7章で構成した。

第1章では、本研究の目的と意義を述べた。

第2章では、BiC-DMOSデバイスの構造やプロセスフローについて説明を行った後、ESD耐性やホットキャリ
ア耐性の改善に至った理由について説明し、BiC-DMOS技術への要求に対する位置付けについてまとめた。

第3章では、BiC-DMOSデバイスに内蔵するVDMOSトランジスタの高ESD化対策を実施した例について説明し
た。VDMOSトランジスタのドレイン電圧が上昇して、スナップバックを行う時に電流集中が発生し、デバイス
破壊が発生していたが、これをデバイス構造の変更により、高い二次降伏電流を持つ高ESD化トランジスタへと
改善した。

第4章では、第3章で改善を行ったVDMOSトランジスタが高いESD耐性を有していることについて、その原因
を調査した。電圧印加によるVDMOSトランジスタのESD応答シミュレーションを行った結果、VDMOSトランジ
スタは通常状態だけではなく、スナップバック後においても、電流集中の起こりにくい構造であることが明らか
になった。これらは、VDMOSトランジスタが他のトランジスタでは保有していない高ESD化デバイスとしての優
れた機能を有していることを示唆した。

第5章では、LDMOSトランジスタの高ESD化対策の実施例について説明した。このLDMOSトランジスタにお
いても、第3章で述べたVDMOSトランジスタと同様に、スナップバック時に電流集中が発生していたが、局所
的な電界の上昇に対して、寸法の変更による電界緩和を実施することにより、高ESD化デバイスに改善した。ま
た、VDMOSトランジスタとLDMOSトランジスタとは二次降伏電流のゲート電圧依存性が異なることが判明した。

その原因についても調査した結果、電流の均一性にゲート電圧の依存性があることが明らかになった。これらに
ついて考察し、VDMOSトランジスタとLDMOSトランジスタの二次降伏電流のゲート電圧依存性の違いを明らか
にした。

第6章では、LDMOSトランジスタのホットキャリア劣化について調査を行った。LDMOSトランジスタはスト
レス試験を実施すると、ホットキャリアの影響により、閾値電圧 V_{th} の上昇とドレイン電流 I_{ds} の減少というトラ
ンジスタの電気特性の変動が発生した。これらの現象について調査を実施し、そのメカニズムとして V_{th} の変動は
ゲート下の界面準位の増加に、また、 I_{ds} の減少はLOCOS酸化膜下の界面準位の増加に、それぞれ依っていること
を明らかにした。また、その対策として、電流の抑制や電界の緩和を行い、ホットキャリア変動の抑制に成功し
た。

第7章では、本研究で得られた成果を総括した。

論 文 審 査 の 結 果 の 要 旨

バイポーラ、CMOS、高耐压の各トランジスタを1チップ上に形成できるBiC-DMOS (Bipolar-CMOS-DMOS)デバ
イスは、システムの小型化、パワー制御の効率化、低コスト化等への優位性を活かして、車載用 ASIC、表示ドライバ、
電源等の分野において、システム LSI として発展している。また、微細加工技術の進展により、更なる高密度化、高
集積化が進行している。しかしながら、微細化によるデバイスサイズの縮小はパワーデバイスの使用電圧が変わらな
いため、デバイス内部の電界の上昇や電流密度の増加を引き起こしており、信頼性上の問題が懸念されている。本論
文は、このような背景の中で、信頼性上の問題として厳しい条件になってきた BiC-DMOS 技術における DMOS トラン
ジスタの ESD (Electrostatic discharge) 耐性とホットキャリア耐性の調査、改善について纏めたものであり、以下の知
見を得ている。

- (1) BiC-DMOS デバイスに内蔵する VDMOS トランジスタにおいて、ドレイン電圧を増加させてスナップバックを
行う時にデバイス破壊が発生する。ドレイン横のソース位置にソースを形成しない等、デバイス構造を変更する
ことにより、高い二次降伏電流を有する高 ESD 化トランジスタへと改善している。
- (2) 改善型 VDMOS トランジスタについて ESD 応答シミュレーションを行い、通常状態だけではなく、スナップバ
ック後においても、電流集中の起こりにくい構造であることを明らかにしている。
- (3) LDMOS トランジスタにおいても、VDMOS トランジスタと同様に、スナップバック時に電流集中が発生してい
たが、局所的な電界の上昇に対して、寸法の変更による電界緩和を実施することにより、高 ESD 化デバイスに
改善している。また、VDMOS トランジスタと LDMOS トランジスタでは二次降伏電流のゲート電圧依存性が異
なることを見出ししており、それが電流均一性のゲート電圧依存性に起因することを明らかにしている。
- (4) LDMOS トランジスタはストレス試験時に、ホットキャリアの影響により、閾値電圧 V_{th} の上昇とドレイン電流
 I_{ds} の減少というトランジスタの電気特性の変動が発生する。そのメカニズムとして、 V_{th} の上昇はゲート下の界
面準位の増加に、 I_{ds} の減少は LOCOS 酸化膜下の界面準位の増加に、それぞれ依っていることを明らかにしてい
る。一方、その対策として、電流の抑制や電界の緩和を行い、ホットキャリア変動の抑制に成功している。

以上のように、本論文は次世代 BiC-DMOS 技術における DMOS トランジスタの ESD 耐性とホットキャリア耐性に
ついて、その指針を明らかにするとともに、特性改善に成功する等、新しい知見を与えていることから、材料工学分野に寄
与するところが大きい。

よって本論文は博士論文として価値あるものと認める。