

Title	A Study on Statistical Timing Analysis under Power Supply Noise and Its Application to Timing-Driven Optimization of Power Distribution Network
Author(s)	榎並, 孝司
Citation	大阪大学, 2011, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/58470
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について https://www.library.osaka-u.ac.jp/thesis/#closed をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	榎 並 孝 司
博士の専攻分野の名称	博士 (情報科学)
学位記番号	第 24650 号
学位授与年月日	平成 23 年 3 月 25 日
学位授与の要件	学位規則第 4 条第 1 項該当 情報科学研究科情報システム工学専攻
学位論文名	A Study on Statistical Timing Analysis under Power Supply Noise and Its Application to Timing-Driven Optimization of Power Distribution Network (電源ノイズを考慮した統計的タイミング解析とその電源分配網最適化への応用に関する研究)
論文審査委員	(主査) 教授 尾上 孝雄 (副査) 教授 中前 幸治 准教授 橋本 昌宜 富士通株式会社 塩田 哲義

論文内容の要旨

This thesis discusses problems of on-chip power supply noise focusing on timing. As CMOS technology has advanced, power supply noise is having a more significant influence on timing. Power supply noise is predicted to be more serious in the future due to increasing current consumption and decreased power supply voltage. For continuously enhancing circuit performance by eliminating an excessive design margin, timing analysis is required to take into account delay variation due to power supply noise. At the same time, it is also a requisite to design a power distribution network (PDN) which mitigates noise-induced delay variation.

In the past, timing analysis under power supply noise has been studied. There has been, however, a profound problem that power supply noise fluctuates according to the input patterns whose combinational space is tremendously vast. Although a rigorous analysis on the worst-case is almost impossible, designers have to quantitatively ensure that the designed circuit will operate at the target frequency before they fabricate it. Therefore, this thesis takes a statistical approach and regards the fluctuation of power supply noise as a probability distribution.

This thesis statistically models power supply noise and applies the model to the existing statistical static timing analysis (SSTA). When noise-aware timing analysis is performed, the correlation of power supply noises is a key factor to be considered. Therefore in the statistical modeling, the spatial and temporal correlation of power supply noises must be contained. For efficiently modeling such correlations, principal component analysis (PCA) is adopted as an orthogonalization method in the modeling, which successfully facilitates the correlation-aware timing analysis. In addition, thanks to the strong correlation of power supply noises, PCA provides another advantage that the fluctuation of power supply noise can be approximated by only a small number of random variables. Moreover, PCA enables us to treat manufacturing variability and power supply noise in a unified manner.

When SSTA is performed for industrial circuits, another problem comes up. The existing SSTA discards the structural correlation information of random variation components. On the other hand, a circuit with the clock distribution network faces the structural correlation problem, because two paths including clock buffers have a high possibility to share common clock buffers. This thesis proposes a simple yet effective assignment of random variables for overcoming the drawback of the existing SSTA. In an experiment, only ten additional variables decreased the estimation error within 0.1 ps difference from that with more than 2,000 variables.

Now that the statistical noise model and SSTA algorithm are available, the next problem is how to incorporate the statistical noise model in SSTA calculation. The difference of power supply noise from manufacturing variability is time-variant property. Therefore, the proposed timing analysis computes the delay of a gate according to not only its location but also its switching timing. Experimental results demonstrated that the proposed SSTA could accurately estimate delay. Thanks to PCA, SSTA with less than 1% of the originally assigned random variables also attained accurate estimation and its difference was within 1% from that of SSTA with all PCs. Moreover, experiments with industrial processors revealed that timing analysis with constant DC voltage drop pessimistically estimated the worst setup slack by over 500 ps.

The remaining problem is designing a power distribution network which mitigates noise-induced delay variation. By applying noise-aware SSTA, this thesis proposed a timing-aware PDN modification method. Although most of the existing PDN modification methods separately handle timing and PDN resource due to the difficulty in associating PDN resource with timing, PDN modification with the proposed method explicitly aims at timing improvement. The proposed method computes the timing sensitivity to decoupling capacitance (decap) and wire width considering dynamic noise behavior and noise dependence on input patterns, and then modifies PDN based on the sensitivity. The sensitivity calculation is efficiently performed with an approximation and adjoint sensitivity analysis. Experimental results showed the proposed method reduced the increased delay by 3.13% on average with only 40.04% of the decap amount. As for power wire expansion, the proposed method required 11.54% less wire resources to attain the same circuit delay.

論文審査の結果の要旨

本論文は、電源ノイズを考慮した統計的タイミング解析とその電源分配網最適化への応用に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

(1) 電源ノイズの統計的モデル化手法と電源ノイズを考慮した統計的タイミング解析手法の提案

近年のVLSIでは、電源ノイズが回路性能、すなわちタイミングに与える影響が増大してきている。電源ノイズによるタイミング変動を厳密に解析することは事実上不可能であるが、設計時には電源ノイズの影響を考慮しなければならないため、タイミング変動量を推定する必要がある。本論文では、統計的な観点からこの問題に取り組んだ。まず、電源ノイズを統計的に取り扱うモデル化手法を提案した。その中で電源ノイズが空間的、時間的に強い相関を持つことを見出し、主成分分析によるモデル化が有効に作用することを示した。そして、統計モデルと既存のタイミング解析アルゴリズムを用いて、電源ノイズを考慮したタイミング解析を実行する手法を提案した。実験により、提案手法が遅延を正確に推定できることを確認した。また、主成分分析によるモデル化の利点を利用することで、遅延推定誤差を1%以下に抑えつつ、計算量を99%以上削減することができた。回路のタイミングは電源ノイズだけではなく、製造ばらつきにも影響される。提案タイミング解析手法は電源ノイズと製造ばらつきを同時に取り扱うことが可能であることを、実験により示した。また、クロックツリーにおけるタイミング解析誤差をごく僅かな計算量の追加で改善する手法を提案した。ある回路に対する実験では、厳密に解析する場合との誤差を0.1ps以下に抑えた。

(2) タイミング改善に向けた電源分配網の最適化手法の提案

同時に、電源ノイズがタイミングに与える影響を緩和する電源分配網の実現も、VLSI設計上の課題である。これまでの電源分配網最適化手法は、主に電源ノイズの緩和を目的としており、タイミング自体に与える影響は殆ど考慮されていなかった。本論文では(1)のタイミング解析手法を応用して、電源分配網とタイミングとを関連付け、電源分配網を構成するデカップリング容量と電源配線を修正する手法を提案した。デカップリング容量を最大限配置する場合と比較して、提案手法による配置では平均して40%の容量で遅延増加の3.13%を削減した。また、11.5%少ない電源配線量で、均一に電源配線を引く場合と同じ遅延を達成した。

以上のように、本論文で述べた電源ノイズを考慮した統計的タイミング解析とその電源分配網最適化への応用に関する研究は、微細化に伴い深刻となる電源ノイズを設計時に対処するうえで非常に有用である。これにより、回路性能の継続的な向上や設計期間の短縮への貢献が期待される。よって、博士（情報科学）の学位論文として価値のあるものと認める。