

| | |
|--------------|---|
| Title | 雑音と素子特性ミスマッチの統計性を用いた微弱信号検出方式とその集積回路化に関する研究 |
| Author(s) | Ham, Hyunju |
| Citation | 大阪大学, 2012, 博士論文 |
| Version Type | |
| URL | https://hdl.handle.net/11094/59210 |
| rights | |
| Note | 著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。 |

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

【140】

| | |
|------------|---|
| 氏名 | ハム ヒョンジュ Ham Hyunju |
| 博士の専攻分野の名称 | 博士 (工学) |
| 学位記番号 | 第 25531 号 |
| 学位授与年月日 | 平成 24 年 3 月 22 日 |
| 学位授与の要件 | 学位規則第 4 条第 1 項該当 工学研究科電気電子情報工学専攻 |
| 学位論文名 | 雑音と素子特性ミスマッチの統計性を用いた微弱信号検出方式とその集積回路化に関する研究 |
| 論文審査委員 | (主査) 准教授 松岡 俊匡 (副査) 教授 高井 重昌 教授 尾上 孝雄 招聘教授 谷口 研二 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 尾崎 雅則 教授 栖原 敏明 教授 近藤 正彦 教授 大森 裕 教授 森田 清三 教授 八木 哲也 |

論文内容の要旨

本論文は、著者が大阪大学大学院工学研究科在学中に電気電子情報工学専攻量子電子デバイス工学部門集積機能デバイス領域において行った雑音と素子特性ミスマッチの統計性を用いた微弱信号検出方式とその集積回路化に関する研究の結果をまとめたものであり、以下の 7 章で構成されている。

第 1 章

本論文の導入として、研究の背景と目的を述べた。

第 2 章

雑音の統計性を用いた微弱信号検出方式を提案した。閾値応答素子を N 個用いて、閾値や雑音より小さい信号を検出する方法を考えた。また、閾値を雑音に対して最適に設定することで、より微弱な信号が検出できるようになった。この微弱信号検出器の感度を表す数式を導き、シミュレーションで確認した。

第 3 章

微弱信号検出方式を通信用受信システムとして実装するための検討を行った。提案方式を受信機として実現する場合、予想される誤差成分を集合平均を基準に分類した。分類された各誤差成分のシステムへの影響を考察した。回路化のために、提案方式の統計処理部の簡易化を行い、その有効性を確認した。以上のことを考慮し、受信システムとして性能評価を行った。

第 4 章

微弱信号検出方式を Λ/D 変換器に適用し、オフセット以下の信号が検出可能な並列型確率的 Λ/D 変換器について述べた。理想的な並列型確率的 Λ/D 変換器において発生する誤差成分を整理し、量子化誤差について検討を行った。また、統計処理部の簡易化を行う場合発生する非線形成分について検討を行った。

第 5 章

並列型確率的 Λ/D 変換器の非線形性低減技術を提案した。並列型確率的 Λ/D 変換器の回路化のために、統計処理部の簡易化を行うと、入力信号範囲に制限が発生する。オフセットの確率密度分布を平坦化し、非線形成分を低減する方法を提案した。非線形性低減技術を用いることにより、入力信号範囲を拡大できることをシミュレーションで確認した。また、応答するコンパレータ数の増加により、最大入力振幅における SNDR の向上が得られた。

第 6 章

並列型確率的 Λ/D 変換器の集積回路化を行った。65 nm CMOS プロセスを用いてオフセット以下の信号に対して分解能を持つ並列型確率的 Λ/D 変換器を設計した。回路シミュレーション結果により、5 章で述べたシステムレベルシミュレーションの有効性を確認した。また、チップ測定により非線形性低減技術の有効性を確認した。

第 7 章

本論文で取り上げた各研究での成果についてまとめた。

論文審査の結果の要旨

本論文は、「雑音と素子特性ミスマッチの統計性を用いた微弱信号検出方式とその集積回路化に関する研究」に関する研究成果をまとめたものであり、以下の 7 章で構成されている。

第 1 章では、本論文の導入として、研究の背景と目的を述べている。

第 2 章では、雑音の統計性を用いた微弱信号検出方式を提案している。この方式は、多数の閾値応答素子を用いて、閾値や雑音より小さい信号を検出する方法であり、閾値を雑音に対して最適に設定することでより微弱な信号を検出することを可能とする。この微弱信号検出器の感度を表す数式を導出し、シミュレーションで確認している。

第 3 章では、微弱信号検出方式を通信用受信システムとして実装するための検討を行っている。第 2 章の提案方式を受信機として実現する場合に予想される誤差成分をエルゴート性の観点より分類し、各々の誤差成分のシステムへの影響を考察している。回路実装のために、提案方式の統計処理部の簡易化を行い、その有効性を確認している。これらを考慮し、受信システムとして性能評価を行い、実現可能性を示している。

第 4 章では、微弱信号検出方式を Λ/D 変換器に適用し、オフセット以下の信号が検出可能な並列型確率的 Λ/D 変換器について述べている。理想的な並列型確率的 Λ/D 変換器において発生する誤差成分を整理し、量子化誤差について検討している。また、統計処理部の簡易化を行う場合に発生する非線形成分についても理論的に検討を行っている。

第 5 章では、並列型確率的 Λ/D 変換器の非線形性低減技術を提案している。並列型確率的 Λ/D 変換器の回路化のために統計処理部の簡易化を行う場合、入力信号範囲に制限が生じる。そこで、オフセットの確率密度分布を平坦化し、非線形成分を低減する方法を提案している。この非線形性低減技術により、入力信号範囲を増加できることをシミュレーションで確認している。応答するコンパレータ数の増加により、最大入力振幅における SNDR の向上が得られることを示している。

第 6 章では、並列型確率的 Λ/D 変換器の集積回路化について述べている。65 nm CMOS プロセスを用いて、オフセット以下の信号に対して分解能を持つ並列型確率的 Λ/D 変換器を設計している。回路シミュレーション結果により、第 5

章で述べたシステムレベル・シミュレーションの有効性を確認している。また、試作した集積回路の測定により、非線形性低減技術の有効性を確認している。

第7章では、本論文で取り上げた各研究での成果についてまとめ、提案した技術の展望についても示している。

以上のように、1) 雑音と素子特性ミスマッチの統計性を用いた微弱信号検出方式、2) 並列型確率的 A/D 変換器とその非線形性低減技術、を提案し、集積回路の微細化、低電源電圧化に伴う雑音と素子特性ミスマッチの影響の増大を解決するアプローチの1つを示唆している。これらの研究成果および本論文で述べた技術は、集積回路の技術発展へ貢献し、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。