



Title	$\Delta\Sigma$ 型D/A変換器のためのダイナミック・エレメント・マッチングの高性能化に関する研究
Author(s)	田村, 悠
Citation	大阪大学, 2012, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/59217
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について https://www.library.osaka-u.ac.jp/thesis/#closed をご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	た田村 悠
博士の専攻分野の名称	博士 (工学)
学位記番号	第 25528 号
学位授与年月日	平成 24 年 3 月 22 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科電気電子情報工学専攻
学位論文名	ΔΣ型 D/A 変換器のためのダイナミック・エレメント・マッチングの高性能化に関する研究
論文審査委員	(主査) 准教授 松岡 俊匡 (副査) 教授 舟木 剛 教授 尾上 孝雄 招聘教授 谷口 研二 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 尾崎 雅則 教授 栖原 敏明 教授 近藤 正彦 教授 大森 裕 教授 森田 清三 教授 八木 哲也

論文内容の要旨

本論文は ΔΣ型 D/A 変換器のためのダイナミック・エレメント・マッチング (DEM) の高性能化に関する研究成果をまとめたもので、以下の 6 章で構成した。

第 1 章では本研究の背景と目的について述べた。また、ΔΣ型 D/A 変換器の信号処理フローと DEM の基礎について説明した。

第 2 章では ΔΣ型 D/A 変換器に用いる循環型部分的 DWA (RPDWA) 手法を提案した。提案する RPDWA では、既存手法において固定されていた非選択アナログ素子を循環させることで、大振幅信号入力時であっても入出力信号の線形な関係を維持した。さらに、インクリメンタル・アクションによって特定の入力列が連続した場合に発生するトーンを抑制した。3 次、9 レベル出力構成の ΔΣ変調器を用いたシミュレーション結果から、既存手法と比較して最大振幅信号入力時に SNDR を 32.8 dB 改善、帯域内最大トーンを 45.4 dB 低減できることを確認した。

第 3 章では 2 ステージ構成 DEM のモデル化を行い、各ステージのミスマッチ・ノイズ低減を表す式を導出した。そして、導出した式の妥当性をシミュレーションにて確認した。まず第 1 ステージ DEM ブロックのモデル化を行い、続いて第 2 ステージ DEM ブロックのモデル化を行った。そしてそれらの結果を統合して 2 ステージ構成全体のモデル式を導出した。得られた式は、第 1 ステージと第 2 ステージの性能が独立して記述されているため、本章で導出した式を用いることで各 DEM ステージの性能を個別に確認可能となった。

第 4 章では小振幅信号入力時にマルチステージ構成の 2 次ループフィルタを備えた DEM の帯域内ミスマッチ・ノイズ低減効果を向上させる 2 つの手法について紹介した。4.3 節では、DEM ブロック内部のループフィルタの出力信号に応じて ΔΣ変調器のディザークゲインを制御することでループフィルタの飽和状態を抑制し、小振幅信号入力時におけるミスマッチ・ノイズ低減効果を向上した。そして 2 ステージ構成のカスケード DEM を用いた場合の参照値 S と追加ディザークゲイン G の設計例を示した。既存手法と比べて、-100 dB 入力時の THD+N 性能を 30.7 dB 向上できることを確認した。4.4 節では、余りが 0 の場合であっても、DEM ブロック内部で計算された選択優先度に応じて次ステージの DEM ブロックを選択する動作へと変更を行った。その結果として、帯域内のミスマッチ・ノイズ低減効果を大幅に向上した。既存手法と比べて、-100 dB 入力時の THD+N 性能を 33.7 dB 向上できることを確認した。4.5 節では、

上記 2 つの手法を用いた場合の性能比較を行った。また、モンテカルロ・シミュレーションを行うことで、単位アナログ素子の様々なミスマッチに対しても高い性能を実現できることを示した。

第 5 章ではマルチステージ構成 DEM の最終ステージ DEM ブロックに用いる動的次数制御手法を提案した。提案手法では、問題が発生する「全てのノードを選択する場合」と「全てのノードを選択しない場合」に最終ステージ DEM ブロック内のループフィルタの次数を変更することで効率良く各ノード選択の平均化を行った。これにより、既存手法と比べて帯域内のミスマッチ・ノイズの影響を抑えることが可能となった。例として、2 ステージ構成 DEM に提案手法を適用する場合について示し、パワースペクトルを確認することで提案手法によってミスマッチ・ノイズ低減効果の劣化が抑制されていることを示した。また、シミュレーションから、最大振幅信号入力時に 17 dB の THD+N の改善を確認した。さらに、2% 程度の大きなミスマッチに対しても十分な効果が期待できることを示した。

第 6 章では、本論文をまとめた。

論文審査の結果の要旨

本論文は、「ΔΣ型 D/A 変換器のためのダイナミック・エレメント・マッチングの高性能化に関する研究」に関する研究成果をまとめたものであり、以下の 6 章で構成されている。

第 1 章では、本研究の背景、ΔΣ型 D/A 変換器における課題と本研究の目的について述べた後、本論文の構成の概略を述べている。ΔΣ型 D/A 変換器は主にオーディオ用 LSI に適用されており、内部に有するアナログ素子のミスマッチが引き起こす性能劣化を低減するために、一般的にダイナミック・エレメント・マッチング (DEM) が用いられており、これは高精度な ΔΣ型 D/A 変換を実現するには欠かせない技術である。ここでは、ΔΣ型 D/A 変換器全体の性能向上のための DEM の高性能化技術としての本研究の位置付けを示している。

第 2 章では、DEM の 1 つとして広く用いられている Data Weighted Averaging (DWA) を発展させた循環型部分的 DWA 手法を提案している。提案手法では、既存手法において固定されていた非選択アナログ素子を循環させることで、大振幅信号入力時であっても出力信号の線形性を維持できる。さらに、インクリメンタルアクションによって特定の入力列が連続した場合に発生するトーンを抑制している。3 次、9 レベル出力構成の ΔΣ変調器を用いたシミュレーション結果から、既存手法と比較して最大振幅信号入力時に SNDR を 32.8 dB 改善、帯域内最大トーンを 45.4 dB 低減できることを確認している。

第 3 章では、より高性能な DEM である 2 ステージ構成 DEM のモデル化を行い、各ステージのミスマッチ・ノイズ低減を表す式を導出しており、導出した式の妥当性をシミュレーションにて確認している。まず第 1 ステージ DEM ブロックのモデル化を行った後、第 2 ステージ DEM ブロックのモデル化を行っている。そしてそれらの結果を統合して 2 ステージ構成全体のモデル式を導出している。得られた式を用いることで第 1 ステージと第 2 ステージの性能が独立して記述されるため、各 DEM ステージの性能を個別に確認することを可能としている。

第 4 章では、小振幅信号入力時にマルチステージ構成の 2 次ループフィルタを備えた DEM の帯域内ミスマッチ・ノイズ低減効果を向上させる 2 つの手法を紹介している。第 1 の手法は、DEM ブロック内部のループフィルタの出力信号に応じて ΔΣ変調器のディザークゲインを制御することでループフィルタの飽和状態を抑制し、小振幅信号入力時におけるミスマッチ・ノイズ低減効果を向上する手法である。そして 2 ステージ構成のカスケード DEM を用いた場合の参照値 S と追加ディザークゲイン G の設計例を示している。既存手法と比べて、-100 dB 入力時の THD+N 性能を 30.7 dB 向上できることを確認している。第 2 の手法は、余りが 0 の場合であっても、DEM ブロック内部で計算された選択優先度に応じて次ステージの DEM ブロックを選択する動作へと変更する手法である。その結果として、帯域内のミスマッチ・ノイズ低減効果を大幅に向上している。既存手法と比べて、-100 dB 入力時の THD+N 性能を 33.7 dB 向上できることを確認している。最後に、上記 2 つの手法を用いた場合の性能比較を行っている。第 1 の手法に比べて、第 2 の手法の方が -100 dB 入力時の THD+N 性能を 3 dB より多く向上できることを示している。また、モンテカルロ・シミュレーションを行うことで、単位アナログ素子の様々なミスマッチに対しても高い性能を実現できることを示している。

第 5 章では、マルチステージ構成 DEM の最終ステージ DEM ブロックに用いる動的次数制御手法を提案している。提案手法では、問題が発生する「全てのノードを選択する場合」と「全てのノードを選択しない場合」に、最終ステ

ジ DEM ブロック内のループフィルタの次数を変更することで効率良く各ノード選択の平均化を行っている。これにより、既存手法と比べて帯域内のミスマッチ・ノイズの影響を抑えることが可能となる。例として、2 ステージ構成 DEM に提案手法を適用する場合について示し、パワースペクトルを確認することで提案手法によってミスマッチ・ノイズ低減効果の劣化が抑制されることを示している。また、シミュレーションから、最大振幅信号入力時に 17dB の THD+N の改善を確認している。さらに、2%程度の大きなミスマッチに対しても十分な効果が期待できることを示している。

第 6 章では、本論文で取り上げた各研究課題に関する成果についてまとめている。

以上のように、1) 現在最も用いられている DEM である DWA の発展型、2) マルチステージ構成 DEM のモデル化と性能向上を実現する手法、を提案し、 $\Delta \Sigma$ 型 D/A 変換器の高性能化への有効性を明らかにしている。これらの研究成果および本論文で述べた技術は、DEM とそれを用いる $\Delta \Sigma$ 型 D/A 変換器の技術発展へ貢献し、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。