



Title	A Study on Accurate Delay Estimation Considering Process and Supply Voltage Variations
Author(s)	奥村, 隆昌
Citation	大阪大学, 2011, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/59315">https://hdl.handle.net/11094/59315</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href="https://www.library.osaka-u.ac.jp/thesis/#closed">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	おくむらたかあき 奥村隆昌
博士の専攻分野の名称	博 士 (情報科学)
学 位 記 番 号	第 2 4 9 2 1 号
学 位 授 与 年 月 日	平成 23 年 9 月 20 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 情報科学研究科情報システム工学専攻
学 位 論 文 名	A Study on Accurate Delay Estimation Considering Process and Supply Voltage Variations (プロセス・電圧ばらつきを考慮した高精度タイミング解析に関する研究)
論 文 審 査 委 員	(主査) 教 授 尾上 孝雄 (副査) 教 授 中前 幸治 准教授 橋本 昌宜

## 論 文 内 容 の 要 旨

This thesis discusses the modeling and estimation methods for gate delay variation due to manufacturing variability and power supply noise. As the LSI (Large Scale Integrated Circuit) process technology advances and the device feature size scales, process variation is becoming a primal concern, and estimating and mitigating the impact of process variation have become a critical issue in designing LSI products. In addition, current density in a chip has been increasing because of higher operating frequency and larger power consumption, which causes larger temporal power supply noise due to IR and Ldi/dt drops. Decrease in supply voltage intensifies the concern about noise induced performance fluctuation, since it makes the gate delay sensitive to the voltage fluctuation. Traditionally, the performance fluctuation due to these process and supply voltage variations are managed with timing margins empirically assigned in the conventional corner-based timing analysis, which often results in inaccurate and over-constrained designs. Coping with the variations is a key issue for the successful chip design in recent technologies.

For estimating the performance fluctuation due to process variation, SSTA (Statistical Static Timing Analysis) is expected to be a fundamental solution and intensively studied. SSTA calculates and propagates probability distributions of signal arrival times, instead of deterministic worst-case values, in a statistical manner according to the statistics of process parameter variations. It can eliminate excessive timing margin involved in conventional corner-based analysis, and then many researchers have focused on its gate delay modeling and estimation methods for the statistical distribution. Conventionally, linear sensitivities to the parameter variations are widely used in the gate delay modeling. On the other hand, the transition-times at gate inputs and outputs have not been discussed earnestly so far, though the input transition-time of a gate varies owing to process variation and the variation of the transition-time affects the gate delay distribution. To accurately estimate delay variations due to process variations, this research tackles with the variation of output transition-time under process variations. First, the variation of output transition-time  $s$  investigated under threshold voltage fluctuation as representative process parameters. The investigation shows that conventional linear sensitivity based modeling induces a considerable inaccuracy in the estimated transition-time variations, particularly for specific combinations of input transition-time and output load. Instead, quadratic relations between the transition-time and threshold voltage margin, which is defined as a difference between PMOS and NMOS threshold voltages, are observed in these cases. This thesis proposes an estimation method of the output transition-time variation that combines the linear and

quadratic relations. Experiments for accuracy clarification show that the proposed method could improve the estimation errors of conventional method at least 60% at maximum and 40% in

In contrast to the process variations, the impact of supply voltage fluctuations on gate delay has not been comprehensively studied, and its estimation method has not been well established yet. In current industrial design flow, the dynamic nature of the supply voltage fluctuation is ignored, and the average voltage within a cycle time, i.e. static IR-drop, is used to take into account the impact of supply noise on circuit delay. However, the meaning of static noise based timing estimation has not been clarified. This work firstly discusses the effectiveness and limitation of static IR-drop based analysis and shows that it appropriately estimates the fluctuations for paths with large stages, i.e. setup critical paths. On the other hand, it is not appropriate for short paths. Thus, this thesis presents an estimation method of the stage delay fluctuation under given dynamic noise waveforms, which overcomes problems found in reviewing conventional method at 45nm technology. The proposed method considers not only gate delay increase but also the decrease due to supply voltage drop, similarly to the conventional method, and estimates gate delay fluctuation coping with higher nonlinearity and sensitivity unique to advanced technology. The evaluation results show that the proposed method estimates stage delay fluctuations within 1% on average with 2.7% standard deviation.

In digital CMOS circuits, setup and hold times of Flip-Flops, in addition to propagation delay of combinational gates, also play important roles in timing analysis, and hence the dependencies of setup and hold times on the dynamic voltage waveforms are also investigated. Experimental evaluation shows that the setup time is sensitive to voltage drop waveform, and the dependence should be taken into consideration. On the other hand, it also reveals that the hold time is less sensitive as long as it is characterized with an ordinary configuration of industry practice, and the dependence is not necessary to be explicitly considered. According to these observations, this thesis also improves the proposed gate delay estimation so as to estimate Flip-Flop setup time and shows that the setup time fluctuations under the dynamic power supply noise can be estimated with 5% error on average.

## 論 文 審 査 の 結 果 の 要 旨

本論文は、プロセス・電圧ばらつきを考慮したタイミング解析に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

## 1. プロセスばらつき下での出力遷移時間ばらつき

LSI製造プロセスの微細化に伴う加工ばらつきの増大により、従来の最悪遅延に基づく静的タイミング解析(STA)での設計収束性悪化が課題となっており、統計的静的タイミング解析(SSTA)が注目されている。SSTAでは、遅延をデバイスパラメータに対する線形感度でモデル化し、その統計分布を計算するが、ゲートの出力遷移時間ばらつきについては、十分な検討が行われていなかった。本研究では、線形感度を用いた出力遷移時間ばらつきの見積もり精度が悪化する条件では、NMOS、PMOSトランジスタ閾値電圧差に対して二次の感度を持つことを見出した。また、この二次感度と従来の線形感度を組み合わせることにより、線形感度単体での最大見積もり誤差が60%以上改善できることを、65nmプロセスでの評価実験により示した。

## 2. 電圧ばらつき下でのゲート遅延ばらつき

LSIの高速化、高集積化により、ゲート動作に伴って発生する電圧レベルの時間的な変動(電源ノイズ)量が増大している。さらに、テクノロジー進化に伴う給電電圧の低下により、ゲート遅延の電源ノイズに対する感度が増している。しかしながら、電源ノイズを考慮したゲート遅延の見積もり手法は、未だ確立されていない。本研究では、45nmプロセスでの従来見積もり手法の評価を通じ、先端世代での見積もり高精度化には、電圧-遅延特性の非線形性および、電源-閾値電圧差縮小の考慮が必要であることを示した。また、これら要素を考慮した見積もり手法を提案し、評価回路での平均見積もり誤差が1%と良好な結果を得た。

## 3. 電圧ばらつき下でのセットアップ、ホールドタイムばらつき

タイミング解析では、フリップフロップのセットアップ、ホールドタイムがゲート遅延同様、重要な役割を演

じるが、電源ノイズ下でのこれら見積もり手法は、従来検討されていなかった。本研究では、セットアップ、ホールドタイムの電源ノイズ依存性について調査し、セットアップタイムの電圧ばらつきに対する感度は高く、電源ノイズを考慮した見積もりが必要であること、および、ホールドタイムの感度は低く、標準電圧での値を使用可能との知見を得た。この結果に基づき、2. でのゲート遅延見積もり手法をセットアップタイムに対して拡張し、平均見積もり誤差が5%と良好な結果を得た。

以上のように、プロセス・電圧ばらつきを考慮したタイミング解析に関する研究は、プロセス世代の進化に伴い増大する遅延ばらつきを克服する手段として非常に有用であり、これにより、深刻化しつつあるタイミング収束性の向上に貢献するものと期待できる。従って、博士（情報科学）の学位論文として価値のあるものと認める。