The University of Osaka
Institutional Knowledge Archive

| | |
|---|---|
| Title | GaAs MESFET の高性能化と高速LSIへの応用に関する研究 |
| Author(s) | 野田, 実 |
| Citation | 大阪大学, 1993, 博士論文 |
| Version Type | VoR |
| URL | https://doi.org/10.11501/3072892 |
| rights | |
| Note | |

*The University of Osaka Institutional Knowledge Archive : OUKA*

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【 60 】

| | |
|---|---|
| 氏　　名 | 野（の）　田（だ）　実（みのる） |
| 博士の専攻分野の名称 | 博　士（工　学） |
| 学 位 記 番 号 | 第　1 0 9 5 8　号 |
| 学位授与年月日 | 平成 5 年 10 月 20 日 |
| 学位授与の要件 | 学位規則第 4 条第 2 項該当 |
| 学 位 論 文 名 | GaAs MESFET の高性能化と高速 LSI への応用に関する研究 |
| 論 文 審 査 委 員 | （主査）<br>教 授　浜川　圭弘<br>（副査）<br>教 授　蒲生　健次　　教 授　小林　猛　　教 授　奥山　雅則 |

## 論 文 内 容 の 要 旨

本論文は著者が1984年以来三菱電機株式会社 LSI 研究所，光・マイクロ波デバイス研究所において行ってきた GaAs MESFET の高性能化と高速 LSI への応用に関する研究成果をまとめたもので，6 章より構成されている。

最初に GaAs LSI，特に GaAs LSI の基本素子である MESFET についての研究の歴史的背景，及び現在に至るまでの開発動向を概観し，本研究の目的，意義を明らかにしている。本研究は主に実用レベルの GaAs SRAM（集積度16k ビット，アクセス時間 5 ns以下）の実現を目指して行ったもので，当時 GaAs SRAM は 1 k ビットでさえ完全動作していない状況であったが上記目標を実現する上での技術的課題を，MESFET については Vth の均一化，FET 動作の高速化であることを明らかにしている。また LSI 用配線としては微細化かつ平坦化された多層配線，あるいは高速化のための低容量配線の必要性，回路設計としては実システム搭載時での完全動作を維持するための温度電源電圧マージン，ソフトエラー耐性の必要性を明らかにしている。

次に n チャネル下に部分的に非空乏化した高濃度 p 型埋め込み層を有する新しい WSiX セルフアラインゲート FET 構造を提案し，短チャネル効果と Vth 均一性が大幅に改善（$\sigma$Vth= 9 mV）されること，電流駆動能力と FET 動作速度が向上（tpd～20ps）することを実証している。短チャネル効果の点では，p 層はその中に中性領域が発生する程度に高濃度であることが必要であり，従来用いられていた寄生容量低減に有効な完全空乏化条件では不十分であることを示している。Vth 均一性の点では，短チャネル効果の抑制により Vth 均一性は向上すること，短チャネル効果が十分抑制されていない場合に約15 $\mu$m 径の単独点として Vth が正側に数10mV 以上シフトする異常点が存在することを示している。FET 動作速度の点では，p 層中の寄生容量より n チャネル真性容量の影響が大きいこと，p 層高濃度化に伴う速度劣化は約10%以下であることを示している。

さらに先に提案下 FET の LDD（Lightly Doped Drain）化を初めて行い，上記 FET 特性を一層向上（$\sigma$Vth= 7 mV, tpd～15ps）できることを実証している。LDD 化によりドレイン電圧特性が改善（Vth 変動量～1/10），短チャネル効果が改善されてさらに Vth 均一性が向上することを明らかにしている。FET 動作速度の点では，LDD 化によりゲート端寄生容量が低減し，ゲート長短縮に伴いゲート容量が一層低減すること，そしてゲート遅延時間は

先に提案したFETに比べて約65％に低減することを明らかにしている。

次にSpin On Glass膜形成＋エッチバックからなる低温形成（400℃以下）平坦化Au多層配線プロセスを初めて提案し，本プロセスが16kb SRAMの実用動作化に寄与したことを明らかにしている。本プロセスにおいてAuヒロックの発生を発見し，昇温プロセスによる圧縮応力を緩和するためにAuが自己拡散すると推定している。本ヒロック発生頻度は上層絶縁膜低温化により低減することを明らかにしている。さらに本章ではLSIに初めて高速化のためにエアブリッジ配線を適用しており，配線遅延を50％低減，4kb SRAMを20％高速化できることを示している。

最後に高温時回路動作劣化を抑制する新しいDCFLゲート回路（DCFL後段にソースフォロワ回路を付加）を提案し，高温時の論理レベル，振幅の劣化を改善できることを示している。さらに記憶ノード部にダイオード容量を有する新メモリセルを提案し，Si ECL SRAMと同等以上のソフトエラー耐性が実現できることを明らかにしている。そして上述の要素技術の成果を総合した結果，世界初の実用動作可能なGaAs SRAM（特に最大集積規模の16kb SRAM）が実現できたことを明らかにしている。

以上，本研究ではMESFETの高性能化を中心に，LSI用Au系配線技術，実用動作を可能とする新回路技術を確立し，GaAs LSI実用動作を達成した。

## 論文審査の結果の要旨

近年，情報処理容量の巨大化にともない，半導体集積化回路の高密度化ならびに高速信号処理化へのニーズは益々高まりつつあり，集積密度についてはLSI→VLSI→ULSIへの技術の遷移はよく知られている。一方，高速化については，高速密度が上がるにつれて，回路ならびに素子間の浮遊度量が増加し，これが高速化への大きな障害となり，素子構造の改善が望まれている。本研究はGaAs半導体がSiに比べて，電子の移動度が5倍以上も大きく，一方，半絶縁性GaAs基板を用いることにより，寄生容量を大幅に低減できることに注目し，GaAs半導体を用いたMESFET（Metal-Semiconductor Field Effect Transistar）を開発し，アクセス時間は1.5ns，消費電力700mWでP・T積にして世界最小の高速LSIの実用化に成功した。本論文はこの高速LSI新型開発の一連の基礎研究をまとめたものである。

論文では，まず高濃度p形埋め込み層を有する新しいWSixセルフアラインゲートFET構造を提案し，試作した素子において短チャネル効果が抑えられ，しきいゲート電圧が均一になり，電流駆動能力と動作速度が向上することを実証した。さらに，ドレイン領域の一部を軽くドープしたFETによりしきい電圧の変動を約1/10程度に減少した上，寄生容量やゲート容量の低減化により遅延時間を約65％に小さくできた。次に，エアブリッジ構造の金属配線を実現して寄生容量の低減化することにより，配線遅延を50％まで落した。回路の改良としては，まず，直接結合FETロジックにソースフォロワを組み合わせた回路を採用することにより論理レベルを高温時にも安定化できた。また，FET下部のp層の形成やダイオード容量の付加により，$\alpha$線に起因するソフトエラー率を4桁程度改善できた。これらの研究に基づいた素子構造の改良を行うことによって16kB GaAs SRAMを製作し，世界に先駆けて全ビット動作および実用動作を達成することができた。

以上のように，本研究はGaAs半導体を用いたMESFETを開発しデバイス物理に多くの知見をもたらすとともに，16kB SRAMの実用化に成功して高速高集積化GaAsデバイスに大きな進歩をもたらしたもので，博士（工学）として価値あるものと認める。