OUKA
The University of Osaka
Institutional Knowledge Archive

Title	GaAs MESFET の高性能化と高速LSIへの応用に関する研究
Author(s)	野田, 実
Citation	大阪大学, 1993, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3072892
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

GaAs MESFETの高性能化と高速LSIへの応用に関する研究

1993年

野田　実

内容梗概

本論文は著者が１９８４年以来三菱電機株式会社ＬＳＩ研究所，光・マイクロ波デバイス研究所において行ってきたGaAs MESFETの高性能化と高速LSIへの適用に関する研究成果をまとめたもので，６章より構成されている。以下各章の概要を示す。

第１章　序　論

GaAs LSIの基本素子であるMESFETについての研究の歴史的背景，及び現在に至るまでの開発動向を概観し，本研究の目的，意義を明らかにする。

第２章　GaAs LSI用 p層埋め込み高融点金属シリサイドSAGFETの研究開発

ゲート材料として高融点金属シリサイドであるWSi_xを選択し，WSi_x/GaAsショットキー特性，およびWSi_xのRIE加工特性の検討を行い，ショットキー特性についてはWSi_x/GaAs界面付近のSi組成が重要であること，RIEではカソードカップリングによる異方性モードにより良好な矩形状に加工できることを確認した後，WSi_xセルフアラインゲート（Self - Aligned Gate）MESFETの構造と作製プロセスの最適化を図る。その中でｎチャネル下基板リークの抑制とｎチャネルの薄層化を図るために，本WSi_xゲートMESFETにおいて，初めてｎチャネル直下にｐ層を埋め込み，短チャネル効果とVth均一性の改善，並びに電流駆動能力の向上とFET動作速度について検討した結果を示し，本ｎチャネル下ｐ層埋め込みがWSi_xゲートMESFETの特性向上に有効であることを示す。

第３章　p層埋め込み型GaAs SAGFETのLDD化による高性能化に関する研究

前章で開発したｐ層埋め込み型WSi_xゲートSAGFETにおいて，ゲート・n^+層間オーバーラップ容量の低減，およびより一層の短チャネル効果の抑制を図るために，Lightly Doped Drain構造を適用する。LDD化に際しては，ｎ’中間層形成条件を最適化することで，ソース抵抗の低減（電流駆動能力の向上）と短チャネル効果の抑制とを同時に達成できることを示し，これにより，Vthの均一性向上，ゲート端寄生容量の低下によりFET動作速度の大幅向上が実現できることを示す。さらにLSI動作を高速化するために，短チャネル効果を十分抑制しつつ電流駆動能力を増加するには，ｎ’中間層長（ゲート・n^+層間距離）の増大，n^+層，ｎ’中間層の高濃度薄層化が有効であることを示す。

第4章　GaAs LSI用多層化配線

GaAs LSIを構成する配線技術として，GaAsプロセス特有となるAu系多層配線プロセス技術，および高速化に有利なAuエアブリッジ配線プロセス技術についての検討結果を述べる。特にAu配線イオンミリング加工においては，イオンビームの斜め入射によって加工形状の矩形化，Au再付着の抑制が可能であることを示すとともに，昇温プロセスによるAu配線段差部でのヒロック発生とその低減方法を明らかにする。エアブリッジ配線においては，LSIの最上層電源配線のエアブリッジ化を可能とする500μm長スパンエアブリッジ構造についての検討結果を述べる。さらにGaAs LSIの動作速度と配線遅延の関係について，集中定数あるいは分布定数RC線路モデルによる配線遅延の計算，および実測による定量的解析を行い，16-kb SRAMの集積度では配線の分布定数的取扱いが必要であることを示す。そして多層化による配線長の短縮，並びにエアブリッジ化による配線容量の低減によって，配線遅延を大幅に低減でき，GaAs LSIの高速化が可能となることを明らかにする。

第5章　GaAs LSI設計技術とSRAM，マルチプレクサー／デマルチプレクサーへの応用

前章までに検討したMESFET技術，およびAu配線技術を用いて，4-Kb / 16-Kb SRAMなどのメモリLSI，2.5 Gb/s 16:1マルチプレクサー／デマルチプレクサーなどのロジックLSIを設計，試作，評価を行った結果について述べる。基本論理回路としてDCFLが高速・低消費電力動作に有利であることを示した後，各LSIの実用動作を図る上で不可欠な，SRAMではMESFETの高温動作時の特性劣化の抑制，メモリセルのソフトエラー耐性の向上を実現する回路技術の検討，マルチプレクサー／デマルチプレクサーではクロック動作マージンが大きいシフトレジスタ型構成の採用について検討を行った結果，両LSI共実システム搭載可能なレベルでの高速，低消費電力，かつ広動作マージンを有する回路動作が実現されていることを明らかにする。

第6章　総括

本章では第2章から第5章までの研究成果を総括した後，本研究で得られた主要な結論について述べる。

目　次

第１章　序論

１．１　関連分野の技術的背景

１．２　問題点の概要と本研究の目的

（参考文献）

第２章　GaAs LSI 用 p層埋め込み高融点金属シリサイド SAGFET の研究開発

２．１　緒言

２．２　p層埋め込み型 WSix ゲートGaAs SAGFET (BP-FET) の構造

２．３　p層埋め込み型 WSix ゲートGaAs SAGFET (BP-FET) の作製プロセス

２．４　高融点金属シリサイドゲート電極の作製

２．４．１　高融点ゲート材料の選択

２．４．２　WSi_x / GaAs ショットキー界面特性の検討

２．４．３　WSi_x ゲートの加工

２．５　イオン注入層形成条件の最適化

２．５．１　n型チャネル層形成条件の考察

２．５．２　n^+層形成条件の考察

２．５．３　p型埋め込み層形成条件の考察

２．６　p層埋め込みGaAs SAGFET高性能化の検討

２．６．１　Vth 制御性向上

２．６．２　短チャネル効果の抑制

２．６．３　Vth 均一性向上

２．６．４　スパイク状Vth 異常の抑制

２．６．４．１　転位とVth 変動の相関

２．６．４．２　微小領域でのVth変動とその原因の考察

２．６．５　p層埋め込みSAGFETの電流駆動能力の向上

２．６．６　ゲート容量

２．６．７　ゲート遅延時間

２．７　結言

（参考文献）

第３章　ｐ層埋め込み型 GaAs SAGFETのLDD化による高性能化に関する研究
３．１　緒言
３．２　ゲート・n^+層分離の検討　―　オフセットゲート構造 SAGFET
３．２．１　ゲート端での注入プロファイル
３．２．１．１　１次元注入プロファイル
３．２．１．２　２次元注入プロファイル
３．２．２　短チャネル効果
３．２．２．１　Ng のゲート長依存性
３．２．２．２　チャネル厚変調パラメータ
３．２．２．３　Ids - Vgs 依存性
３．２．３　ソース直列抵抗
３．３　LDD構造の検討―ｎ’中間層形成条件と電流駆動能力（ソース直列抵抗）との関係―
３．４　ｐ層埋め込み型LDD構造 SAGFET (BPLDD) の構造
３．５　ｐ層埋め込み型LDD構造 SAGFET (BPLDD) の作製プロセス
３．６　ｐ層埋め込み型LDD構造 SAGFET (BPLDD) 特性の検討
３．６．１　短チャネル効果
３．６．２　Vth 均一性
３．６．２．１　ｐ層用Mg^+イオン注入ドーズ依存性
３．６．２．２　ｎ’層用Si^+イオン注入ドーズ依存性
３．６．３　微小領域でのVth 分布
３．６．４　電流駆動能力
３．６．５　ゲート容量
３．６．５．１　ゲート容量の構成
３．６．５．２　ゲート端寄生容量の解析
３．６．６　遮断周波数
３．６．７　ゲート遅延時間
３．７　BPLDD構造FETにおける電流駆動能力と速度性能の改善
３．７．１　FET構造の再検討
３．７．２　プロセス技術の改善
３．７．２．１　SiO / SiON ２層サイドウォールプロセス
３．７．２．２　回転イオン注入

3．7．2．3　電子サイクロトロン共鳴プラズマエッチングによるWSi_xゲートの形成
3．7．3　サイドウォールプロセスに伴うn^+層、n'層形成条件の再検討
3．7．4　短チャネル効果とVth均一性
3．7．5　電流駆動能力の改善
3．7．6　p層とn^+層のオーバーラップ容量のf_Tへの影響
3．7．7　ゲート遅延時間の改善
3．8　結言
（参考文献）

第4章　GaAs LSI用多層化配線
4．1　緒言
4．2　Au系多層化配線プロセス技術
4．2．1　イオンミリングによるAu配線形成技術
4．2．2　層間絶縁膜形成技術　—　平坦化・平滑化技術
4．2．3　コンタクトホール形成技術
4．2．4　多層配線プロセスフロー
4．2．5　Auヒロックの発生とその低減
4．3　Auエアブリッジ配線プロセス技術
4．4　LSI動作速度と配線遅延の関係
4．4．1　LSI高速化における配線容量低減の重要性
4．4．2　16-kb SRAMの3層配線化における速度トレードオフ
4．4．3　エアブリッジ化による配線遅延の低減
4．5　結言
（参考文献）

第5章　GaAs LSI設計技術とSRAM，マルチプレクサー／デマルチプレクサーへの応用
5．1　緒言
5．2　基本論理回路
5．2．1　ＤＣＦＬ
5．2．2　ＳＣＦＬ
5．2．3　ＤＣＦＬゲートの負荷駆動特性

５．３　メモリＬＳＩ（SRAM）設計技術
５．３．１　GaAs MESFET 高温動作時の劣化に基づく回路上の問題
５．３．１．１　DCFL インバータ特性の劣化
５．３．１．２　リーク電流の増加によるビットライン電位，メモリセル安定性の低下
５．３．２　ソフトエラー耐性の問題
５．３．３　回路設計での対策
５．３．３．１　ソースフォロア回路の適用
５．３．３．２　メモリセル配置
５．３．３．３　ロウ選択回路
５．３．３．４　ソフトエラー耐性を向上したメモリセル
５．３．４　SRAM における回路構成
５．４　SRAM の性能評価
５．４．１　16-kb SRAM
５．４．１．１　新回路技術によるSRAM動作特性の改善
５．４．１．２　新メモリセルによるソフトエラー耐性の改善
５．４．２　4-kb SRAM
５．４．２．１　FET技術によるアクセス時間の改善
５．４．２．２　多層配線技術によるアクセス時間の改善
５．４．２．３　第３層電源用エアブリッジ配線を用いた4-kb SRAMの評価結果
５．５　ロジックＬＳＩ（マルチプレクサー(ＭＵＸ)／デマルチプレクサー(ＤＥＭＵＸ)）設計
５．５．１　広帯域ＩＳＤＮ通信システムにおけるＭＵＸ／ＤＥＭＵＸ
５．５．２　シフトレジスタ回路の検討
５．６　ＭＵＸ／ＤＥＭＵＸの動作機能とその性能評価
５．６．１　ＭＵＸの誤り率，出力データ波形，最高動作周波数
５．６．２　ＤＥＭＵＸの入力位相余裕度，最高動作周波数
５．７　結言
（参考文献）

第６章　総括

謝辞

研究業績目録

略語対照表

略語	名称
ＡＥＳ	Auger Electron Spectroscopy
ＢＦＬ	Buffered FET Logic
Ｂ－ＩＳＤＮ	Broadband Integrated Services Digital Network
ＢＬ	Bit Line
ＢＰ－ＦＥＴ	Buried P-layer FET
ＢＰＬＤＤ－ＦＥＴ	Buried P-layer Lightly Doped Drain FET
ＣＣＩＴＴ	Comité Consultatif International Télégraphique et Téléphonique
C_{gs}	ゲート・ソース間容量
C_{gd}	ゲート・ドレイン間容量
ＣＭＯＳ	Complementary MOS
ＣＶＤ	Chemical Vapor Deposition
ＤＣＦＬ	Direct Coupled FET Logic
ＤＦＦ	Delay Flip - Flop
ＤＬ	Data Line
ＥＣＬ	Emitter Coupled Logic
ＥＣＲ	Electron Cyclotron Resonance
Ｅ／Ｄ	Enhancement / Depletion
ＦＩ	Fan - In
ＦＩＢ	Focused Ion Beam
ＦＩＴ	Failure Unit
ＦＬＯＰＳ	FLoating point Operations Per Second
ＦＯ	Fan - Out
f_T	遮断周波数
Ｇｂ／ｓ	Gigabits per Seconds
g_m	相互コンダクタンス
ＨＢＴ	Hetero Bipolar Transistor

HEMT	High Electron Mobility Transistor
I_{sub}	サブスレッショルド電流
K	K値
LAN	Local Area Network
LCC	Leadless Chip Carrier
LDD	Lightly Doped Drain
LEC	Liquid Encapusulated Czochralski
LSS	Lindhard, Sharff, Schiott
LSI	Large Scale Integration
MESFET	MEtal - Semiconductor Field-Effect Transistor
MIM	Metal - Insulator - Metal
MIS	Metal - Insulator - Semiconductor
MOSFET	Metal - Oxide - Semiconductor Field-Effect Transistor
MSI	Medium Scale Integration
MUX／DEMUX	Multiplexer / Demultiplexer
Ng	サブスレッショルド因子
NMOS	N - type MOS
PMSS	Silylated poly-methyl silsequioxane
PRBS	Pseudo Random Bit Sequence
PSG	Phosphosilicate Glass
RIE	Reactive Ion Etching
SAGFET	Self - Aligned Gate FET
SAINT	Self - Aligned ion - Implantaion for N^+ - layer Technology
SCFL	Source Coupled FET Logic
SDFL	Schottky Diode FET Logic
SDH	Synchronous Digital Hierarchy
SEM	Scanning Electron Microscopy
SIMS	Secondary Ion Mass Spectroscopy
SOG	Spin - On - Glass
SR	Shift Resistor
SRAM	Static Random Access Memory

ＳＳＩ	Small Scale Integration
ＳＳＲ	Selector - Shift resistor
ＳＴＭ－Ｎ	Synchronous Transfer Module level N
t_{di}	真性ゲート遅延時間
ＴＥＧ	Test Element Group
t_{pd}	ゲート遅延時間
V_{ds}	ドレイン・ソース間電圧
V_{gs}	ゲート・ソース間電圧
ＶＬＳＩ	Very Large Scale Integration
V_{th}	しきい値電圧
ＷＬ	Word Line

第1章　序　論

1．1　関連分野の技術的背景

今日，高速信号処理，特に高速デジタル信号処理のニーズは未だかつてないほど増大しつつある。デジタル化のメリットは，高度な信号処理を行えること，ノイズの少ない高品質な信号伝送が可能であること等である。例えば，コンピュータ分野のうち計算機シミュレーションにおいては，10～100 G FLOPS（FLoating point Operations Per Second）（1秒あたりの浮動小数点演算回数）以上の高速計算性能を有するスーパーコンピュータが要求されている [1]。通信分野のうち移動体通信においては，回線数を増やすために周波数は 800 MHz 帯から1.5 GHz 帯へ，さらに1.9 GHz 帯へと使用周波数帯は拡大の一途を辿っている [2]。光ファイバー通信では，その伝送速度は現在 10 Gb/s が実用開発レベルであり，20 Gb/s 以上が研究レベルとなっている [3]。また画像伝送のデジタル化のために，400 Mb/s 以上の高速伝送が要求されている[4]。上記の動作速度は低消費電力と両立して要求される場合が通常であり，現在の最高速 Si ECL 技術でも達成困難な状況になってきている [5]。このような状況から，高速デジタル IC への期待，なかでも，高速かつ消費電力の低いGaAs デジタル IC に対する期待が急速に高まってきている。

従来より GaAs はSi に比べてその物性的特徴から高速動作が可能であると言われているが，主な理由は次の通りである [6]。

1）GaAs中の電子の移動度は Si 中の電子に比べて 3 ～ 5 倍速い。

2）半絶縁性基板を用いることが可能なため寄生容量を低減出来る。

3）良質なヘテロ接合が形成可能なために，HEMT, HBT といった新しい動作原理に基づく高速デバイスが実現できる。

高速動作に対する上記の利点を踏まえ，１９６０年代にGaAs デバイスのうちMESFETの研究は開始された。GaAs デジタルデバイスとなる MESFET が Mead により１９６６年に初めて報告された後 [7]，１９６０年代後半から１９７０年代初頭にかけての日米メーカーの精力的な研究の結果，MESFET の動作周波数はマイクロ波帯に向上した [8]。その後 Jutzi は１９７１年に，ノーマリーオフ形MESFET を用いたスタティックメモリセルをハイブリッド構成し [9]，ついに１９７４年にTuyl とLiechti から最初のGaAs MESFET を用いた論理ゲートIC の報告がなされた [10]。以後現在に至るまでGaAs デジタル IC は多くの精力的な開発により進展することになる。その進展の様子を、ICの集積規模と技術的特徴について図1－1に示す。

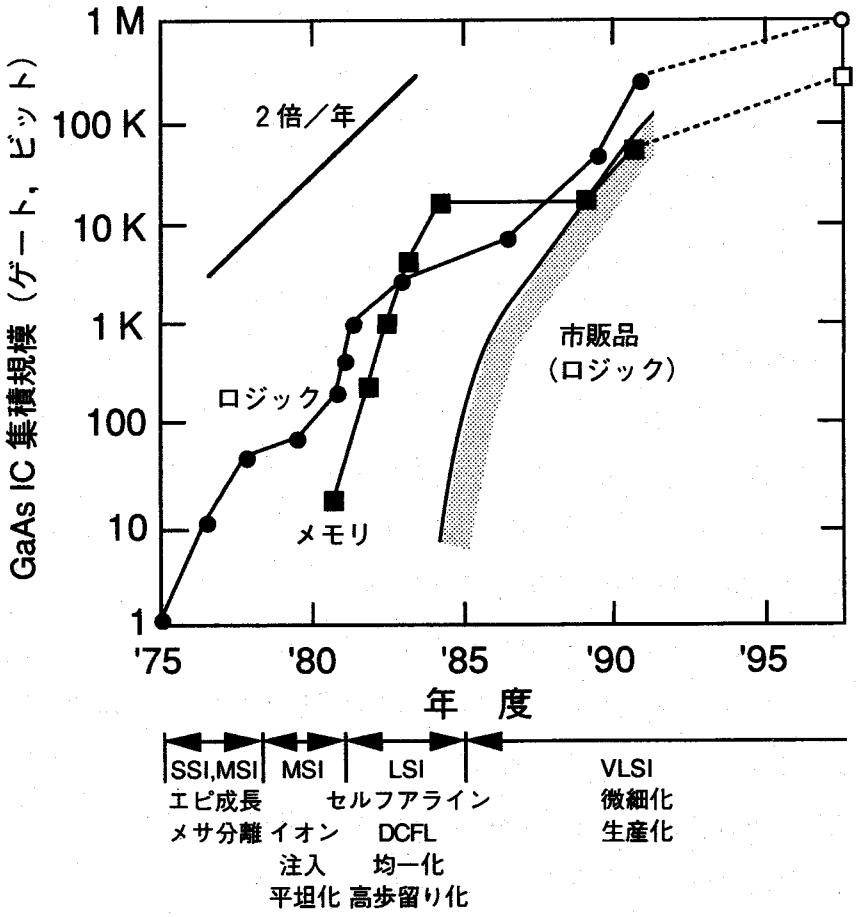


図１—１　GaAs IC の集積規模と各世代の技術的特徴の経緯

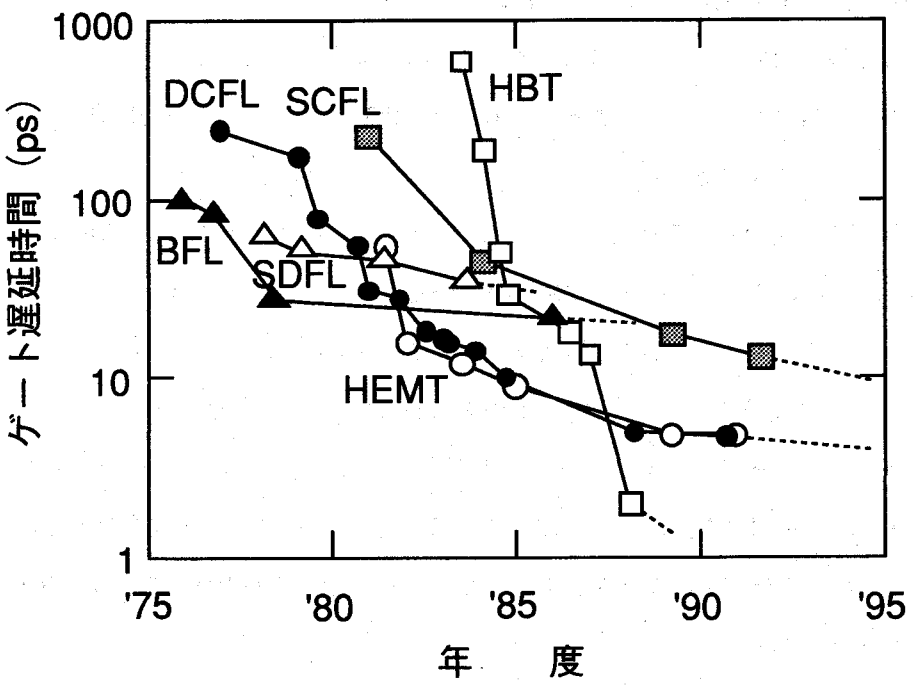


図１—２　GaAs 論理ゲート遅延時間の経緯

GaAsデジタルICの開発の歴史は，その技術上の特徴から４つの段階に分けられる。第１世代（１９７４年から１９７７年）は，従来からのマイクロ波MESFETの製作技術であるエピタキシャル結晶，メサ素子間分離を用いた集積規模の増大期，第２世代（１９７７年から１９８１年）は，選択イオン注入を適用したプレーナ技術による集積回路への適用期，第３世代（１９８１年から１９８４年）は，各種LSI用セルフアライン型FETによる論理、記憶回路LSIの研究期，そして第４世代は現在に至るGaAsデジタルICの実用期である。

１９９３年現在、GaAsデジタルICはゲートアレイの集積規模で350Kゲートと CMOS並みに高集積化され[11]，同LSIをCPU, μP（マイクロプロセッサー）サポート用デバイスとして搭載したスーパーコンピュータが完成して既に製品化されている[12]。また超高速大容量光通信用のキーパーツ標準品として，マルチプレクサー／デマルチプレクサー等が多くのシステムに適用されている[13]。今後これら以外の画像処理，計測器，あるいは軍事といった分野も含め，ますますその需要は増加するものと考えられる。

次に高速化の観点からGaAsデジタルICの性能推移の一例を図１－２に示す。縦軸は無負荷時のゲート遅延時間（FI = FO = 1）で，消費電力に無関係に各時点での最高速値をプロットしている。図中DCFL, SCFL, BFL, SDFLはMESFET回路の論理形式である。デプレッションモードのBFL, SDFLなどにより開発の初期から100 ps / gateを切る高速動作が得られていたが，ゲート当たりの素子数が多く寄生効果の低減が難しいこと，高集積化のために小型化，低消費電力化に研究が注力されたことなどにより以後の高速化は必ずしも順調ではない。一方，エンハンスメントモードのDCFLはインバータが２素子より構成され，回路が単純で寄生効果が小さいため，ゲート長の短縮，セルフアライン構造による寄生直列抵抗の低減などが直ちに高速化に反映し，１９８４年には10 ps / gateを切る高速動作を達成した[14]。また１９８０年，１９８２年には，HEMT, HBT等の新デバイスが出現し，HEMTでは１９８５年に8.5 psを，HBTでは１９９０年に1.9 psが達成された[15], [16]。１９９３年現在で最高速のSi ECLが20 ps弱であることから[17]，現実的にもGaAsデバイスはSiデバイスに比べ高速動作が可能であると言える。

現在まで高速LSIにはSi ECL技術が用いられてきたが，ECLはBipolar Tr.を用いるCurrent Mode Logicであるために消費電流，即ち消費電力が大きい。例えば標準負荷付き（FI=FO=2, 配線長2mm）ゲート遅延時間／消費電力が0.7 μmゲート長のGaAs MESFETで100 ps / 1.2 mWであるのに対し，0.8 μmベースSi ECLでは　120 ps / 4.9 mWとSi ECLの消費電力はGaAs MESFETに比べて約４倍大きい。高速LSIのシステム搭載時の強制水冷限界は約40 Wであるが，ECLでは上記の速度性能を犠牲に消費電力の低減を図ったとしても約80 Kゲートが限界と考えられる。システム簡易化のために，冷却が空冷（冷却限界は約10 W）に限定された場合はさらに使用可能ゲート数は減少する。これに対して，

GaAs MESFET IC では現在既に10 Gb/s 以上の高速動作が可能でかつ上述のように消費電力はECL の約 1/4 である。従って現在 0.5 μ mベースSi ECL で10 Gb/s 動作のSSI が報告され [18]，速度的には同一寸法のGaAs MESFET を10 ps 弱の差で追随しているものの，10 Gb/s 前後の動作速度で少なくとも約80 Kゲート以上のLSI は現在GaAs でないと実現できない。

GaAs MESFET LSI を正常動作させる上で最も重要なことは，Vth の均一性を向上することである。特に高速・低消費電力でLSI 向きのDCFL（Direct Coupled FET Logic）を基本論理回路に用いる場合，論理振幅はMESFET のショットキーバリア高さの約0.7 V 以下となるため，通常 5 V振幅を有するSi MOSFET に比べて，Vth 均一性は数倍重要になる。DCFL 構成のGaAs SRAM における許容Vth ばらつき（σ Vth）は，1-Kb で30 mV [19], [20]，16-Kb で5 mV [21] との回路シミュレーション結果の報告がある。さらに σ Vth の低減によりSRAM内のアクセス時間分布も改善されて高速化される。同じく回路シミュレーションにより，素子数が10000個で σ Vth が 60, 40, 30 mVと低下するにつれ，その中で構成されるDCFLインバータの平均遅延時間は 200, 100, 75 ps と低下することが報告されている [22]。

これらを目安にVth の均一化が結晶，プロセス，FET構造の各観点から図られ，σ Vth は幾つかの技術イベントにより改善されてきた。１９６０年代MESFET開発初期のｎ型エピ層をチャネルに用いたFETでは，1 μ m以上の長ゲートでも σ Vth ＞100 mV であり，上記のLSI には適用できなかったが，まず第１のイベントとして，イオン注入によるｎチャネル形成により1 μ mゲートFETで σ Vth は40～100 mV に改善された。続く第２のイベントとして，イオン注入FETにセルフアラインゲート構造，プロセスを採用することで，同じく1 μ mゲートFETで σ Vth は 30～60 mV にまで低下した。以上のFETプロセスの技術イベントと平行してGaA基板結晶も改善された。第３のイベントは，従来のアンドープLEC基板にIn を添加して低転位化，無転位化が可能となったことである。これにより上述の1 μ mゲートセルフアラインFETで σ Vth は25～40 mV に低下した。同様にアンドープLEC基板のインゴットアニールにより有転位ではあるものの，σ Vth はIn ドープ基板と同程度に低下できた。σ Vth ＜30 mV では 4-Kb SRAM の正常動作も予想されるが，In ドープ基板で同SRAM の全ビット動作が確認された[23], [24]。第４，５のイベントとしては，Vth ばらつきの原因となる短チャネル効果を抑制するために，ｎチャネル下にｐ層を埋め込み，あるいはLDD（Lightly Doped Drain）化することによりチャネル下基板リークを抑制し，サブミクロンゲートでも σ Vth は30～40 mV に維持できた。

LSI の正常動作が可能となるVth 均一性が得られた段階では，LSI の配線負荷を高速に駆動するため高い電流駆動能力 g_m が必要となるが，上述のVth 均一性を改善するFET技術の進展に伴ってg_m も向上した。g_m についての第１のイベントはセルフアラインゲート構造によるソース抵抗の低下であり，1 μ mゲートFETで100～200 mS/mm に改善した。第２のイベントはｐ層埋め込み，LDD化等での短チャ

ネル効果を抑制することで可能となる短ゲート化，同時に第３のイベントとしてｐ層埋め込みによるｎチャネルの薄層化が挙げられる。第２，３のイベントでg_mは200～300 mS/mmにまで増加できた。

１．２　問題点の概要と本研究の目的

前節に述べた様に，筆者が本研究に着手した時点ではGaAs LSIを実現する上でのσVth，g_mは改善されてきてはいたが，4-Kb SRAMより大規模の，例えば16-Kb SRAM以上の集積規模のLSIを正常動作させるにはσVthはまだ大きく，それらの完全な動作は確認されていなかった。Vth均一性を向上させる手法として，ｎチャネル下へのｐ層の埋め込み，LDD化は，それ自体が短チャネル効果の抑制に有効であることは確認されたが，どこまでσVthを低減しうるか―16-Kb SRAMの正常動作を可能とする予測値σVth≦5 mV（チップ内）が実現できるのか―，短チャネル効果，σVthを改善するためには何が必要で何が最適な形成条件かについての定量的な検討がなされていなかった。またLSIレベルでは動作速度もSi ECLと同等以下であり，さらにg_mを向上させる必要があった。g_mを向上する手法であるセルフアラインゲート構造は，各研究機関より種々の作製プロセスが提案されたが，例えばウエハ面内でσVth≦25mVを確保できるゲート長ではg_mは200 mS/ mm程度であり，16-Kb SRAMレベルのLSIをSi ECLと同等以上の動作速度で形成することはできなかった。またｎチャネル下ｐ層埋め込みは，チャネルの薄層化により明らかにg_mを増加させるが，同時に発生する寄生容量によりどれくらいFET動作が劣化するか定量的な検討がなされていなかった。さらにg_mの向上と共にLSIの高速化を図る手法として配線遅延時間の低減があるが，LSIにおける配線遅延の重要性については長谷川らによって指摘されたものの[25]，現実には今までFET開発に研究が集中してしまい，配線遅延低減を図るGaAs LSI用配線構造については殆ど検討がなされていなかった。

筆者は本研究において，上述のVth均一性を改善する手法であるｎチャネル下ｐ層埋め込み，及びLDD構造についてその形成条件を詳細に検討し，特にゲート寄生容量が大きく増加せず，g_m，FET動作速度が劣化しないように短チャネル効果を十分抑制するためのFET構造，作製プロセスの最適化を行った。その結果，ｐ層は中性領域が発生する程度の高濃度化が必須であり（例えばBe注入で70 KeV，2×10^{12} cm^{-2}以上），ｐ層中性領域による寄生容量が発生しない完全空乏化条件を満たす低濃度では短チャネル効果は抑制できないことを明らかにした。さらにその中性領域が発生してもFET動作速度は殆ど劣化しないことを実証した。また0.7μmゲートｐ層埋め込みLDD構造SAGFETにおいて，３インチウエハ面内でσVth～20 mV，SRAMチップ面積に相当する3 mm角内でσVth =7 mVなる高いVth均一性を実現できた。

またg_mを向上する手法であるセルフアラインゲート構造，あるいはｎチャネル下ｐ層埋め込みについては，前述の改善されたVth均一性を劣化させないことを前提にして，セルフアラインゲート化に

よるソース抵抗の低下とp層埋め込みによるnチャネルの薄層化を検討した。この結果，前述のp層形成条件で，p層無しの場合と比べて，nチャネル厚を約 2/3 に薄層化し，g_m を約30 %増加できた。またLDD構造でn'中間層濃度をnチャネル濃度の約2倍にすることで，LDD化しない構造と比べて短チャネル効果をより抑制しつつソース抵抗を同等に低下すること，さらにn'中間層，n^+層を高濃度薄層化してソース抵抗を一層下げ，その際増大する短チャネル効果をゲート・n^+層間距離（n'中間層長）を増加することにより，0.5 μ mゲート時，σ Vth～20 mV で g_m = 500 mS/mm なる高g_m，同時に無負荷ゲート遅延時間は本ゲート長のGaAs MESFET で世界最高速の 7 ps / 2.5 mW を実現した。

次に配線容量を低下する方法として，GaAs プロセス特有のAu 系配線の多層化を進め，配線長の短縮，及びAu エアブリッジ配線構造のLSI への導入を初めて検討した。その結果，2層配線構造の16-Kb SRAM の3層配線化を達成し，配線長，チップサイズを各々69 %, 58 %に縮小して配線遅延を2層配線時の70 %に短縮した結果，アクセス時間を7 ns から 5 ns に高速化できた。またAu エアブリッジ構造をLSI の最上層電源配線に初めて適用して，配線容量，配線遅延，標準負荷付きゲート遅延をエアブリッジ構造を用いない多層配線 LSI での場合の10 %, 50 %, 60 % に各々低減できた。

最後に以上のFET，配線技術を用いてメモリLSI として 4-Kb / 16-Kb SRAM，ロジックLSI として 2.5 Gb/s 16:1 マルチプレクサー／デマルチプレクサー（MUX / DEMUX）を設計するに際し，SRAM ではMESFET の高温動作時の劣化，ソフトエラー耐性を改善しうる回路技術として，ソースフォロワ回路の適用，非選択メモリセルのアクセス Tr. でのリーク電流の抑制と新構造メモリセルを，MUX / DEMUXでは安定動作を図る回路技術として，シフトレジスタ型回路構成を検討して，それらのLSI を試作，評価した。この結果，温度範囲 25～100℃，1.8±0.1 V の単一電源でアクセス時間 5 ns，消費電力 2 W を有し，かつ市販Si ECL SRAM と同等以上のソフトエラー耐性を有する16-Kb SRAM，またアクセス時間 1.5 ns，消費電力 700 mW で速度・電力積として世界最小の 4-Kb SRAM，そして誤り率 10^{-11} 以下，入力位相余裕 220° の 2.5 Gb/s 16:1 MUX / DEMUX を各々1.3 W という低消費電力で実現することができた。

図1—3に本論文の構成を示す。第2章では筆者が開発したLSI 用p層埋め込み型WSi_x ゲートGaAs SAGFET（BP - FET）の構造と作製プロセスについて述べ，WSi_x ゲート電極，イオン注入層形成条件を検討した後，p層形成条件の最適化によるBP - FET の高性能化について述べる。第3章ではBP - FET の高性能化を図る上で，ゲート電極とn^+層間の分離，及びLDD化におけるn'中間濃度層がFET 特性に及ぼす影響について明らかにした後，LDD化による各種FET特性（短チャネル効果，Vth 均一性，電流駆動能力，ゲート容量，遮断周波数，ゲート遅延時間）の特性改善について述べる。第4章では Si 配線プロセスと整合が困難なGaAs プロセスにおいて，独自に開発したGaAs LSI 用Au 系多層配線プ

ロセス技術，及びLSI用Auエアブリッジ形成技術を構成する各要素技術（Au配線，層間絶縁膜，コンタクトホール）を検討した後，LSIの高速化において配線容量を低減する重要性を指摘し，多層化，エアブリッジ化による配線容量の低減，及びそれによる配線遅延の低減，更にはLSI全体としての動作速度の向上を実証する。第５章ではGaAs MESFET LSI用基本論理回路としてDCFLを選択した後，SRAMの設計を行い，MESFET高温動作時の劣化とソフトエラー耐性の問題を指摘してこれらへの回路設計上の対策を示す。またマルチプレクサー／デマルチプレクサーの設計を行い，安定な高速動作（2.5 Gb/s）を実現するための回路構成としてシフトレジスタ型構成について述べる。そして第２～４章でのFET技術，配線技術と共に実現されたGaAs LSIの評価結果を示し，Si LSIと比べて高速かつ低消費電力であるGaAs LSIの動作性能を明らかにする。第６章では第２章から第５章までの結果を総括し，結論を述べる。

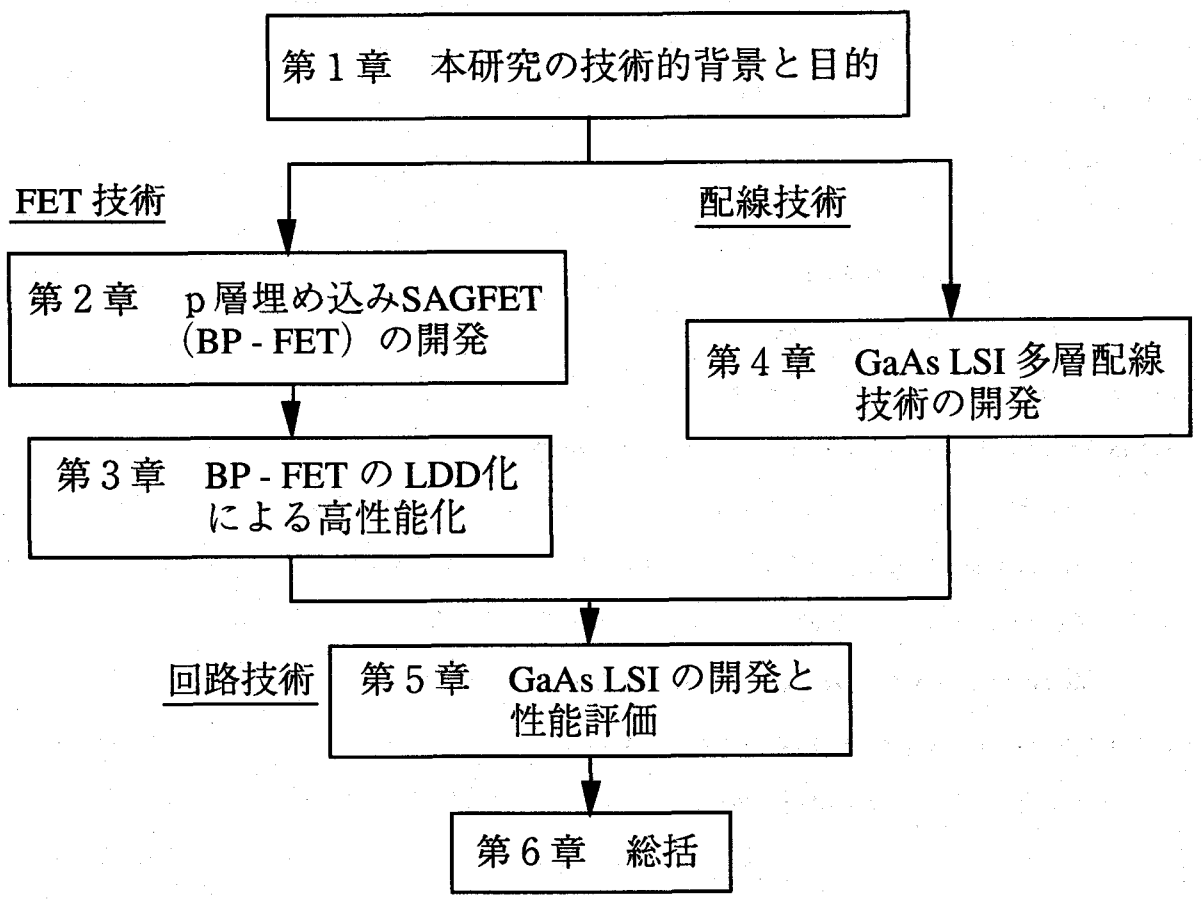


図１－３　本論文の構成

参考文献

[1] 例えば，浅見，宮崎　日経エレクトロニクス，1992年9月28日号，no. 564, pp.100-102.

[2] F. Ivanek, "Progress and Change in Microwave Radio Communications", in *MWE '92 Microwave Workshop Digest*, pp.3-11.

[3] N. A. Olsson, P. A. Andrekson, "Optical techniques for beyond 10-Gbits/s systems", in *OFC '92 Tech. Dig.*, pp.46-47.

[4] BIS Strategic Decisions; *Gallium Arsenide Industry Review*, May 1992.

[5] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.

[6] 大森　正道　「超高速化合物半導体デバイス」培風館, 1986.

[7] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor", *Proc. IEEE*, vol. 54, No. 2, 1966, pp.307-308.

[8] P. Greiling, "The Historical Development of GaAs FET Digital IC Technology", IEEE *Trans.*, MTT-32, No.9, 1984, pp. 1144-1156.

[9] W. Jutzi, "Direct Coupled Circuits with Normally-off GaAs-MESFET's at 4.2 K", *AEU*, vol. 25, No.12, 1971, pp.595-598.

[10] R. Van Tuyl and C. A. Liechti,"High-Speed Integrated Logic with GaAs MESFETs", *ISSCC* Dig. Tech. Papers, 1974, pp.114-115, 237.

[11] VITESSE 1991 Product Data Book

[12] BIS Strategic Decisions; Monthly Report, 1991.

[13] BIS Strategic Decisions; *Gallium Arsenide Industry Review*, May 1992.

[14] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-layer SAINT for very high speed GaAs LSI's with submicrometer gate length", *IEEE Trans. Electron Devices*, vol. ED-32, Nov. 1985, pp.2420-2425.

[15] N. C. Cirillo, Jr. and J. K. Abrokwah, "8.5-Picosecond Ring Oscillator Gate Delay with Self-Aligned Gate Modulation-Doped n^+-(Al,Ga)As/GaAs FETs", *Device Research Conf.*, 1985, II A-7.

[16] T. Ishibashi *et al.*, "A possible near-ballistic collection in an AlGaAs/GaAs HBT with a modified collector structure", IEEE *Trans. Electron Devices*, vol. 35, No. 4, Apr., 1988, pp.401-404.

[17] 小川他　「21 GHz シリコンバイポーラ分周器」電子情報通信学会春季全国大会, 1991, C-603.

[18] 早田他　「10 Gbit/s 光通信用 Si - IC」電子情報通信学会春季全国大会, 1992, B-992.

[19] B. Gabillard, T. Ducourant, C. Rcher, M. Prost, and J. Maluenda, "A 200-mW GaAs 1K SRAM with 2-ns cycle time", IEEE *J. Solid-State Circuits.*, vol. SC-22, Oct. 1987, pp.693-694.

[20] M. Ino *et al.*,"Design of GaAs 1K Bit Static RAM", IEEE *Trans. Electron Devices*, ED-31, No. 9, Sept.,

1984, pp.1139-1144.

[21] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Ciruits*, vol. SC-22, Oct. 1987, pp.699-703.

[22] M. Ino *et al.*,"Threshold Voltage Margin of Normally-off GaAs MESFET in DCFL Circuit", IEEE *Trans. Electron Devices Lett.*, EDl-2, No. 6, Jun., 1981, pp.144-146.

[23] M. Ida *et al.*, "A 2 ns GaAs 4kb SRAM Using a Dislocation Free LEC Crystal",in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, LD-5-9.

[24] H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A 7 ns / 850 mW GaAs 4Kb SRAM fully operative at 75 ℃," in *IEEE GaAs IC Symp.* Tech. Dig., 1988, pp.71-74.

[25] 長谷川，関「超高速LSI / VLSI とその基本素子特性に関する一考察」電子情報通信学会研究会資料 ED84-127, 1984, pp.61-68.

第２章　GaAs LSI用 p層埋め込み高融点金属シリサイドSAGFETの研究開発

２．１　緒言

１９７０年中頃に始まったGaAs MESFETの開発初期には，n型エピ層をチャネル層に用い，メサエッチングにより素子間分離を図る個別FETの製作技術が適用された[1]。本方法でMSIレベルの8ビットマルチプレクサーが一応試作はされたが[2]，メサ分離による0.3～1μm前後の段差は配線段切れを発生すること，また当時のエピ技術ではウエハ面内均一性，再現性が不十分であること，さらに単一エピ層しか利用できないので回路構成上の制限が大きかった。

次の段階としては，GaAs基板上に選択的に，かつ容易にチャネル層，抵抗層を形成できるイオン注入法を用いた集積化に非常に有利なプレーナ構造FETの試作が行われ，LSIレベルの1Kゲート8×8並列乗算器が作製されるに至った[3]。しかしながら本FET作製プロセスでは，注入層アニール後にゲート電極を形成しなければならず，その時のマスク合わせずれによりゲートがオーミックn^+層からずれた際に表面空乏層の影響でソース抵抗は増大および大きく変動して，その結果FET特性がばらつくという問題があった。1μmゲートFETでのVthばらつき（σVth）を40～100 mV以下に低下することはできなかった。

このソース抵抗の増加，ばらつきを抑制するために，n層上にn^+層を形成してゲート直下のみn^+層をリセスエッチしてゲート形成を行うリセスゲート構造が開発された[4]。この構造ではゲート・オーミックn^+層間表面はほぼn^+層で覆われており，ソース抵抗を低減できる。実際本FETで1Kb SRAMが試作はされたが[4]，リセスエッチングの制御は難しく，均一性，再現性の点でLSI用FETとしては不十分であった。

以上のように上記のFET構造を用いてMSI, LSIが試作はされたものの，FET性能，FET特性の均一性，再現性は不十分で，それらに適用できる段階にはなかった。

ソース抵抗の増加，ばらつきを抑制するには，ゲートとオーミックn^+層がを十分に近接させてかつその距離が十分制御することが必要になるが，これを実現する極めて有効な方法としてSi MOSFETで開発されたセルフアラインゲート構造がある[5]。本作製プロセスでは先に形成したゲート電極自体をマスクとしてオーミックn^+層等の他のFET構成要素を作製するため，写真製版マスク合わせに比べて高精度の位置合わせが可能となる。

GaAsセルフアラインゲート（Self - Aligned Gate: SAG）MESFETの先駆的な開発例としては，'82頃の横山らによる高融点金属シリサイドであるWSi_xをゲートに用いたSAGFETがある[6]。この構造ではアニール後にも安定なショットキー特性を示す上記シリサイドをゲート電極とし，これをマスクにセルフアラインにn^+層のイオン注入を行うため，図２－１に示すようにn^+層をゲート電極に隣接でき

る（実際にはn^+層アニール時にさらに横方向拡散によりn^+層はゲート電極下に食い込む）ので，ソース・ゲート間の表面空乏層による寄生抵抗を低減することができ、電流駆動力を増大できるという利点がある。しかしながら，上記構造では開発初期ということもありWSi_xのショットキー特性についてはかなり検討されているもののWSi_xの加工形状，n，n^+層の最適形成条件，あるいはn^+層アニール時のn^+層用ドーパントの横方向拡散のFET各種特性に与える影響についてほとんど検討されておらず，短チャネル効果，Vth均一性において使用可能な最小ゲート長は1.5 μmであり，その時のゲート遅延時間は40 psで十分高速とは言えなかった。

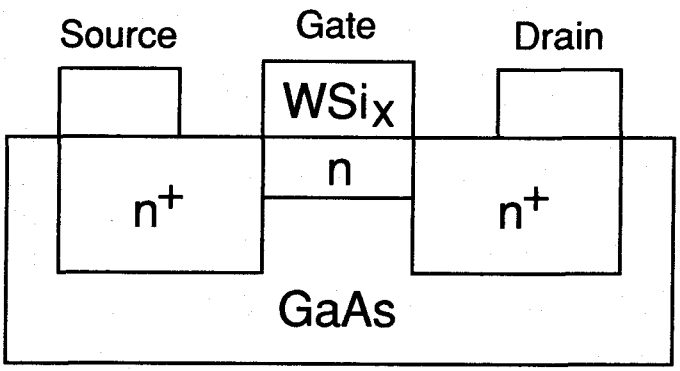


図2－1　WSi_xゲートSAGFETの構造断面図

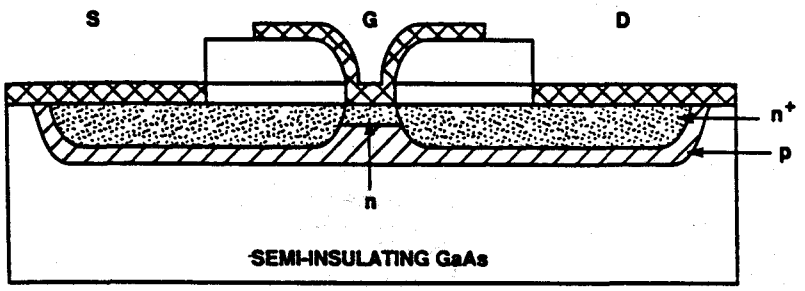


図2－2　BPSAINTの構造断面図

上記のSAGFET特性を改善するFETの新構造として，'84頃の山崎らによるnチャネル下p層埋め込み型SAGFET（Buried P-layer Self-Aligned ion-Implantation for N^+-layer Technology: BPSAINT）がある[7]。

このFETは高融点材料ゲートを用いていない。この構造では図２－２に示すように，ｐ層をｎチャネル下に埋め込むことによりそれらの間のビルトイン電圧により電気的障壁が発生し，近接して対峙するソース・ドレインｎ$^{+}$層間の半絶縁性基板を通しての基板漏れ電流を抑制できる。これにより短チャネル効果は緩和され，かつ前記ビルトイン電圧によりｎチャネルは薄層化されるので電流駆動力が増加するという利点がある。しかしながら、本構造での短チャネル効果の改善度は不十分（例えばゲート長が1.0 μｍから0.5 μｍへの短縮に伴い600 mV以上 Vth は負側にシフトしている）であるし，LSI用素子として最も重要なVth均一性についてFET構造の形成条件での検討が少ないないためその状態でLSIに用いるのは未だ無理がある。また高速化の点でｐ層は完全空乏化するように形成すべきことを主張しているが，ｐ層のFET特性に及ぼす詳細な検討，それに伴う種々のFET構成要素（特にイオン注入層）の検討がなされておらず，多くの検討余地を残すものと考えられる。

ここで筆者は，GaAs LSI用FETとして期待される上述のWSi_xゲートSAGFETに短チャネル効果抑制に有効なｐ層埋め込みを当時初めて適用し，本FET構造における各イオン注入層の一層の最適化を図って高速LSI実現を目指す中，得られた知見を明らかにすることを目的とした。

本章，及び次章では上記の先駆的に開発されたGaAs SAGFETのより一層の特性向上を図るため，各FET構成要素の検討を詳細に行い，上記構造を検討した後，FET構造の改良を行う。特に本章ではWSi_xゲートSAG FET構造に初めてｎチャネル下ｐ層埋め込みを適用し，SAG構造形成の核となるWSi_xゲートの作製方法とFET高性能化を狙った各イオン注入層形成条件を明らかとした後，GaAs LSIを正常動作させるのに最も重要であるVth均一性の向上と同時にLSI高速動作を実現するための電流駆動能力の増大，ゲート容量の低減についてｐ型埋め込み層形成条件との関連を検討した結果について述べる。

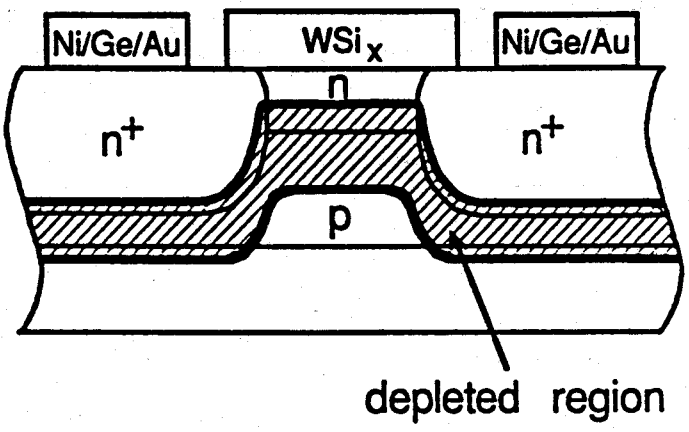


図２—３　ｐ層埋め込み型WSi_xゲートSAGFET（BP - FET）の構造断面図

2．2　p層埋め込み型WSi_xゲートGaAs SAGFET (BP-FET) の構造

本章ではWSi_xゲートを用いたSAGFETのnチャネル直下にp層を埋め込んだFET構造を世の中に先駆けて開発し，その諸特性について検討を行った結果について述べる。

図2－3に上記p層埋め込み型WSi_xゲートGaAs SAGFET (Buried P-layer - FET: BP-FET) の構造断面図を示す。前節2．1のBPSAINTと異なり，p層は完全空乏化しておらず，部分的に非空乏化，即ち一部p型中性領域が残るように形成している。この理由は後節2．6で述べる。n^+層はソース抵抗（Rs）を下げ、電流駆動能力を増加させるために，n^+層用アニール時の横方向拡散によりゲート下に一部食い込ませている。

本構造ではゲートとn^+層が分離された構造，例えばLightly Doped Drain (LDD) 構造 [8]，あるいは前節のSAINTと比較して，以下に示す欠点を有している。

1）短チャネル効果が増大しやすい。

2）ゲートとn^+層の重なり部分によるゲート寄生容量が発生する。

しかしながら本構造では上記n^+層横方向拡散により実効ゲート長が短縮すること，ソース抵抗が低減することにより電流駆動能力が向上する。特にLSIではその動作速度は配線容量で律速されるために，FETは高い電流駆動能力（g_m）を有することが非常に重要である。さらに本構造では，p層はn型チャネル層，n^+層を完全に囲むように形成している。その理由は次の通りである。

1）互いに隣接したFETのn^+層間リークを低減する [9]。

2）サイドゲート効果を低減する [10]。

3）メモリ（SRAM）を構成した際に、ソフトエラー耐性を向上する [11]。

2．3　p層埋め込み型WSi_xゲートGaAs SAGFET (BP-FET) の作製プロセス

筆者が開発した本BP-FET構造の作製プロセスフローを図2－4に示す。GaAs基板にはウエハー面内でのFET特性の均一化が期待されるInドープ低転位LEC基板 [12] を用いた。この3インチ径の基板をHF水溶液で表面洗浄した後，

1）スルー注入膜用のSiO膜をプラズマCVD法により約300Å形成する。

2）上記スルー注入膜を通して，p層用$^9Be^+$イオン，n層用$^{29}Si^+$イオンを続けてチャネル領域に注入する。

3）上記SiO膜をキャップしたままAsH_3雰囲気中，800℃，30分のチャネル層用アニールを行う。

4）アニール後上記SiO膜をHF水溶液で除去した後，WSi_x膜を約3000Å スパッタ法により形成する。

5）上記WSi_x膜をCF_4, O_2の混合ガスを用いた反応性イオンエッチング（RIE）によりゲート形状に加工する。

6）加工されたWSi_xゲートパターンをマスクにn^+層用$^{29}Si^+$イオンをn^+層領域に注入する。

7）AsH_3雰囲気中，800℃，30分のn^+層用キャップレスアニールを行う。

8）SiON膜をウエハー全面に形成した後，ソース・ドレインオーミック電極相当部の開口を，上記CF_4, O_2の混合ガスを用いた反応性イオンエッチング（RIE）により行う。

9）Ni, Ge, Au を順に連続して蒸着法により成膜した後，レジストのリフトオフにより上記SiON膜開口部内にオーミック電極パターンを形成する。

10）H_2雰囲気中，380℃の熱処理により上記オーミック電極のアロイ化を行う。

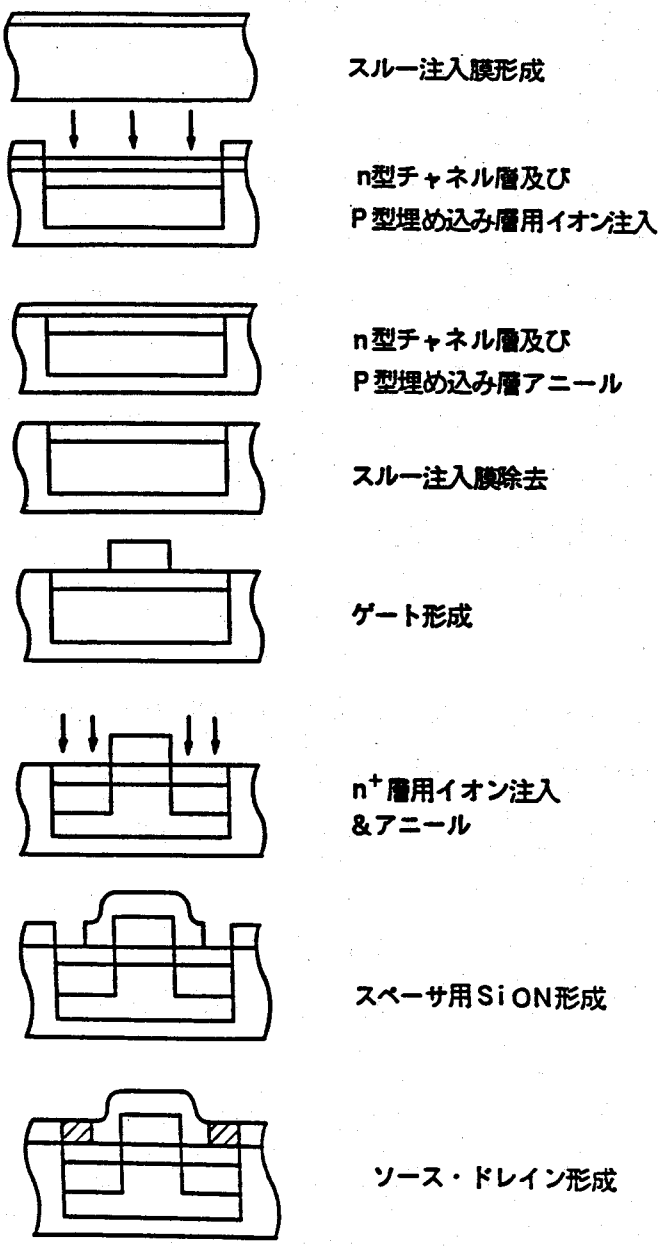


図2—4　BP - FETの作製プロセスフロー

以上により本BP-FET構造の作製プロセスは完了するが，本プロセス中で特に重要な高融点材料ゲート，及び各イオン注入層の作製について後節で説明する。

2．4　高融点金属シリサイドゲート電極の作製

2．4．1　高融点ゲート材料の選択

従来，GaAs MESFETゲート電極用にはTi-W, Ti-W-Si, W-Si が横山らにより主に報告されているが[13], [14]，これ以外にも単体金属ではW, Ta, Mo, Ti 等，シリサイドではTi-Si, Ta-Si, Mo-Si, Ti-Ta-Si 等，その他 Ti-Ta 等があり，また近年W-N [15], W-Al [16], W-Si-N [17] 等も検討されている。MESFETゲート電極材料に要求される項目は，良好なショットキー界面特性，低抵抗性，そして加工の容易性である。その中でも特にショットキーバリア高さ（ϕ_B）が十分大きい（ゲート材料の仕事関数が大きい）必要があるが，実際にはGaA表面に存在する高密度の表面準位により表面でのフェルミ準位がピンニングされ，それによりϕ_Bが決まる [18]。GaAs では，その固定位置は禁制帯中央よりも価電子帯に近いため，ϕ_Bは0.7～0.9 eVである。ϕ_B以外の高融点材料の選択基準としてはまず熱安定性，即ちできるだけ融点が高く熱処理後での界面特性が劣化しないことである。表２－１に主な高融点材料の融点を示す。この表より，Ti, Mo系よりもW, Ta系が高融点であると言えるため，表中のW, Ti-W, Ti-Ta, W-Si, Ta-Si, Ti-W-Si, Ti-Ta-Si を候補として選定した。

表２—１　主な高融点材料の融点

高融点材料	融　点（℃）
W	3380
Ta	2996
Mo	2625
Ti	1690
WSi	2180
TaSi	2200
MoSi	2030
TiSi	1540

注）　シリサイドはMSi_2型である。

次に熱処理に伴うGaAsとの界面反応を調べるため，上記各材料をArスパッタ法により半絶縁性GaAs基板上に2000Å形成した後，610, 810, 860℃で30分の熱処理をH_2雰囲気中で行い，その試料の表面状態の熱処理前の状態からの変化を観察した。その結果を表２－２に示す。860℃まで良好な表面状態を維持したのはW-Si, Ta-Si, Ti-W-Si であった。表面状態の変化の原因としてはGaAsとの界面反応以外に，GaAs基板との熱膨張係数の差，材料中の不純物の影響等が考えられる。特にWについては，GaAsの熱膨張係数 6.5×10^{-7} /℃に比べ，3.5×10^{-7} /℃と小さく，スパッタ後に膜の剥離が観察されることがあるため，熱膨張係数の差が主原因と考えられる。

表２—２　熱処理後の表面状態

材　料	表　面　状　態		
	５１０℃	８１０℃	８６０℃
W	○	△	×
TiW	○	×	×
TiTa	○	△	×
WSi	○	○	○
TaSi	○	○	○
TiWSi	○	○	○
TiTaSi	○	△	×

次に上記860℃まで良好な表面状態を維持したW-Si, Ta-Si, Ti-W-Siの各試料についてオージェ電子分光分析による試料深さ方向の元素プロファイルを熱処理の前後で測定した。図２－５にその元素プロファイルを示す。熱処理後には各材料とも基板からのGaとAsが外方拡散しており，GaAsとの界面にはO がパイルアップしていることがわかる。また各材料とも膜中にO が存在しているが，特にTa-Si, Ti-W-Siでは顕著である。これはTi, Ta がWに比べてスパッタ雰囲気中の残留酸素と親和しやすいこと，あるいはTa-Si, Ti-W-Siターゲットの表面吸着酸素量，ターゲット中の含有酸素量が多いことに対応する。特にTiが残留酸素と親和しやすいことについては大西らも指摘している [14]。

ゲート界面にOがパイルアップすると純粋なショットキー界面特性を示さなくなり，また界面不安定性が増大すること，またOはGaAsバルク中に深い準位を形成するのでFET動作時の信頼性を損なうことにより，極力Oの混入は避ける必要がある。また3元化合物より2元化合物の方が組成制御が容易である。以上の理由から上記3者の中ではW-Siが最適と考えられる。

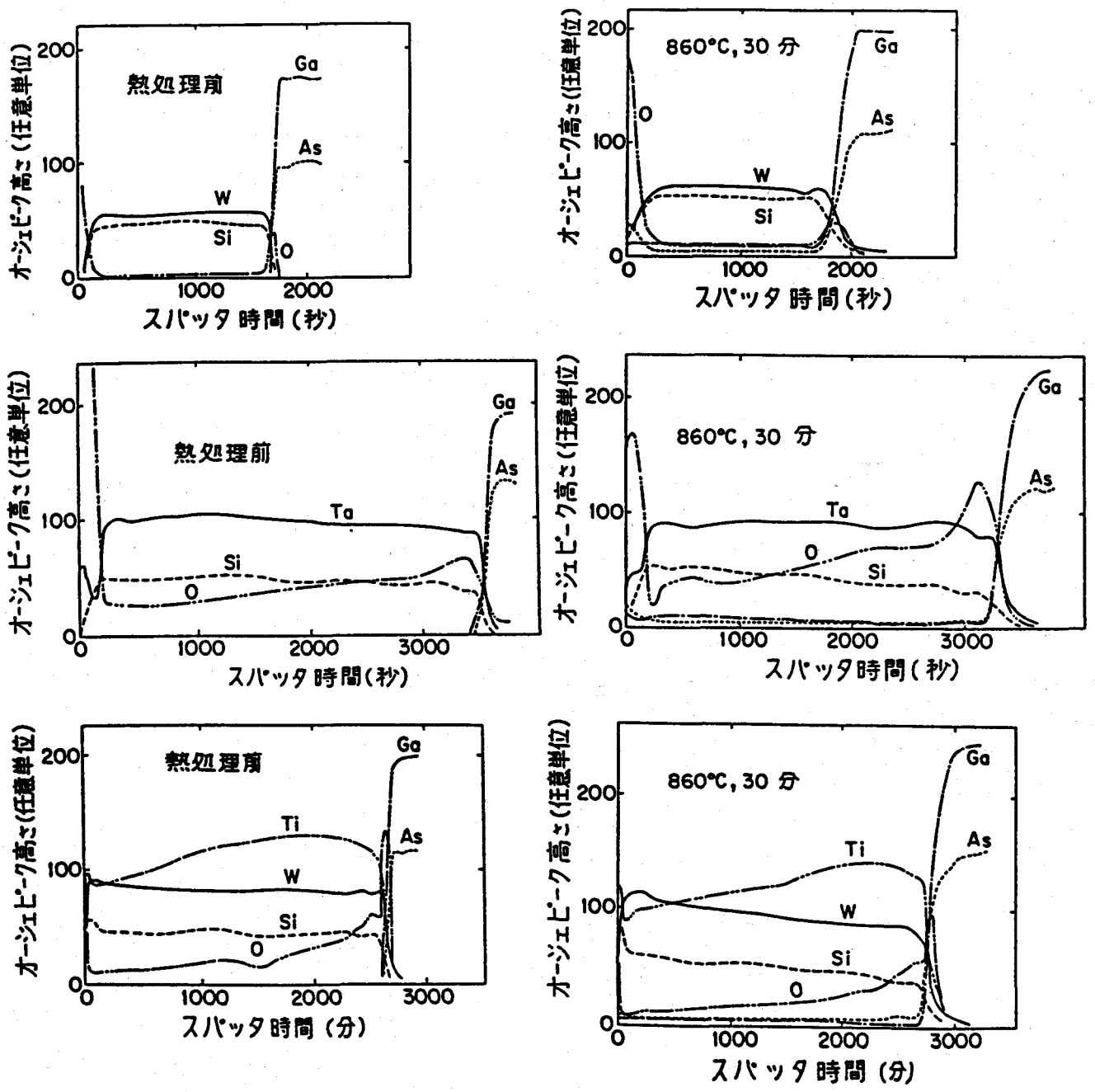


図2—5　熱処理後のW-Si, Ta-Si, Ti-W-SiのAES深さ方向分析による元素プロファイル

2．4．2　WSi_x / GaAs ショットキー界面特性の検討

次にW-Si / GaAsの熱処理前後でのショットキー特性を図２－６に示すダイオードを作製して測定した。図２－７にゲート順方向電圧－電流特性を示す。順方向電流範囲10^{-7} ~ 10^{-3} A で評価したがこの範囲では次に示すショットキーバリアでの順方向電流の理論式（2．1）[19] に合致する。

$$I = I_0 \cdot \left(\exp\left(\frac{qVgs}{kT}\right) - 1\right) \cong I_0 \cdot \exp\left(\frac{qVgs}{nkT}\right) \qquad (2.1)$$

$$I_0 = A^{**}T^2S \cdot \exp\left(-\frac{q\phi_{Bn}}{kT}\right)$$

I：ゲート順方向電流，q：電荷素量，Vgs：ゲート電圧，k：ボルツマン定数，T：絶対温度，n：n値，A**：リチャードソン定数，S：ゲート面積，ϕ_B：ショットキー障壁高さ

10^{-3} A近くになると直線関係からのずれが生じているが，これは測定系を含め，ゲート電極とオーミック電極間の直列抵抗に起因するものである。表２－３にW-Si / GaAsの熱処理（H_2 雰囲気中，860℃）前後でのショットキー特性の結果をまとめる。熱処理前後でショットキー特性の大きな劣化は見られず，前述した表面ピンニング効果から予想される ϕ_B が得られている。また熱処理後に ϕ_B はかえって向上しているが，これはW-Siのスパッタ時にGaAs基板表面付近に導入されたダメージが上記熱処理により回復するためと考えられる。

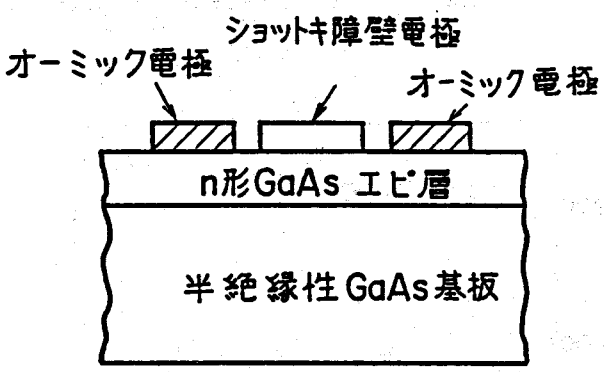


図２―６　W-Si / GaAs ショットキー特性の評価用ダイオード構造

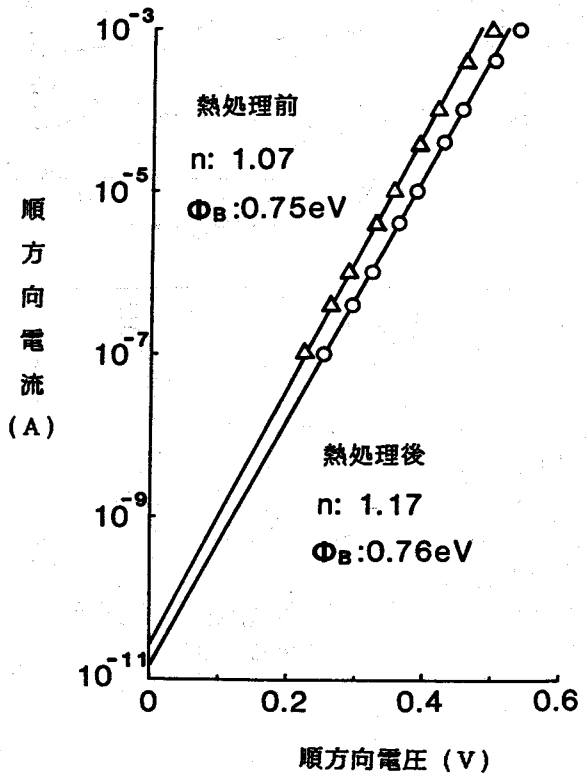


図２―７　W-Si / GaAs ショットキーダイオードのゲート順方向電圧―電流特性

表２—３　W-Si / GaAs の熱処理前後でのショットキー特性の結果

障壁材料	熱処理前		熱処理後	
	n　値	φb(eV)	n　値	φb(eV)
WSi	1.03	0.71	1.17	0.74
TaSi	1.11	0.61	1.10	0,74
TiWSi	1.02	0.65	1.11	0.75

熱処理温度　８６０℃

従来W-Si はその組成により膜の材料特性が異なり，それによりショットキー特性が変化するので，組成を制御して成膜する目的でCo - Sputter 法（同一チャンバー内に設置された複数の異なる材料のターゲットからスパッタする方法）が用いられていた [14], [20]。即ちWとSiを別々のターゲットからスパッタする方法であるが単一ターゲットからのスパッタに比べ制御因子が多く成膜の制御性，均一性，再現性の点で不利である。WSi_x の組成は単一ターゲットであってもスパッタ条件（スパッタガス圧，スパッタ電力）によりある程度制御できるので，本研究では単一ターゲットを用いたWSi_x スパッタ成膜を検討した。

マグネトロンＤＣスパッタ装置を用い，組成比 x = 0.5 の焼結ターゲットをスパッタしてWSi_x を成膜した。まず印加スパッタ電力を 450 W に固定して，Ar スパッタガス圧により組成を変化させた。尚，組成比は蛍光Ｘ線装置により測定した。図２－８に組成比 x のスパッタガス圧依存性を示す。このガス圧力範囲では組成比はターゲット組成 x = 0.5 よりも小さくなっている。ガス圧 を0.7 Pa から3.4 Pa まで増加すると，x は0.12 から0.30 へと増大する。これは被スパッタ原子の放射角度がW原子に比べてSi原子の方が小さく，Ar原子との衝突確率の小さい低ガス圧下ではSi原子の方がGaAs基板への付着確率が低いため組成比が小さくなり，ガス圧の増大につれAr原子との衝突確率が増え，軽元素であるSi原子がさらに散乱されてGaAs基板への付着確率が増加するので組成比が増大するものと考えられる [21]。

次にArガス圧を2.7 Pa 一定とした場合の組成比 x のスパッタ印加電力依存性を図２－１０に示す。印加電力を450 W から650 W へ増加すると組成比は単調に減少し，650 W 以上では飽和している。これはスパッタされた重元素であるWが印加電力の増大によりさらに運動エネルギーを得て飛びやすくなっていることに対応する。

以上の様に，単一ターゲットではあってもある範囲で組成比を制御できることがわかった。組成比の設定量がより高い場合は，より組成比の高いWSi_x ターゲットを用いればよく，例えばWSi_2（ダイシリサイド）を用いると，x = 1.0 付近の組成を得ることができた。

WSi_x 組成に関連して問題となる膜ストレスについて測定した。WSi_x ゲートのストレスはピエゾ効果 [22] を発生し，FET特性，特にVth に影響を与えるという問題がある [23]。図２－９，及び図２－１０に膜ストレスのArガス圧依存性，印加電力依存性を各々示した。図２－９より，膜ストレスはガス圧の増加（即ち，組成比の増加）に伴い，AsH_3 雰囲気中，800℃, 30 分のアニール前後ともtensile成分が増大することが分かる。またアニールを行うことによってcompressive 成分が増大する。結果としてアニール後は，ガス圧 0.7 Pa から2.7 Pa への増加に伴い，25 MPa（compressive）から -40 MPa（tensile）へ単調に変化する。Arガス圧増加に伴うtensile側へのシフトはスパッタ膜中の含有Ar量の減少に対応するとするHoffman ら，あるいは伊藤らの報告と一致する（「杭打ち効果」[24] として説明できる）。またアニールに伴うcompressive側へのシフトはグレインサイズの増大によって説明できる [25]。

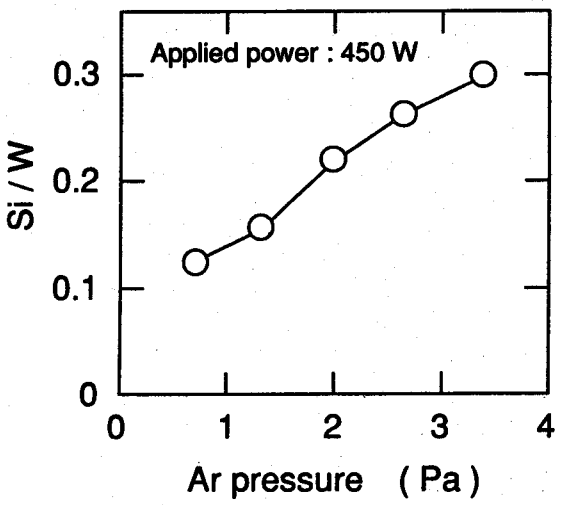


図２—８　WSi_x の組成比 x のAr スパッタガス圧依存性

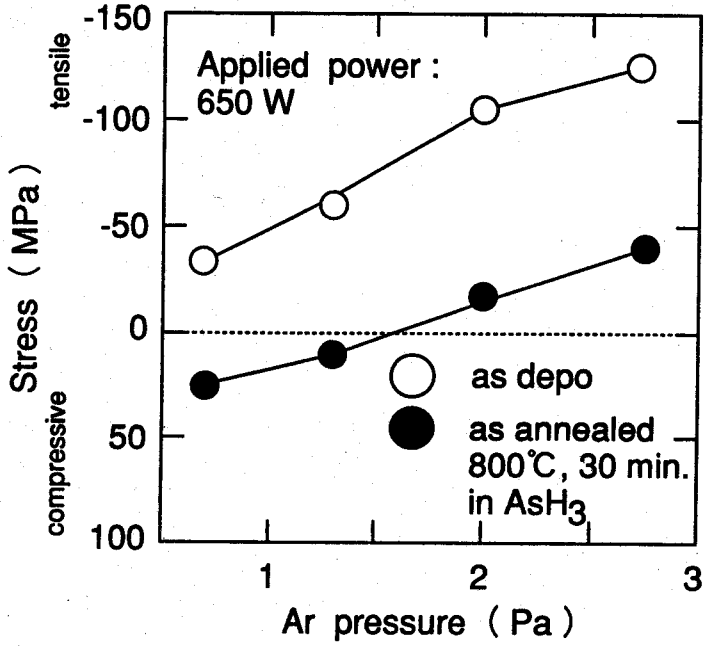


図２—９　WSi_x 膜ストレス のAr スパッタガス圧依存性

図２－１０に示す膜ストレスの印加電力依存性から，印加電力の増加（即ち，組成比の減少）に伴い膜ストレスがcompressive側へ単調にシフトしていることがわかる。この傾向は先の図２－９の結果と一致している。

次に上記の単一$WSi_{0.5}$ ターゲットから得られるWSi_X のWSi_x / GaAs ショットキー特性について検討した。図２－１１にWSi_x / GaAs ショットキーダイオードにおける ϕ_B, n 値 の組成比依存性を示す。

ショットキーダイオードはイオン注入層（$^{29}Si^{+}$, 50 KeV, 5E12 cm^{-2}）上にLg/Wg = 7 μm/20 μmのWSi_xゲートを有するFETのゲート・ソース間として構成した。組成比はArガス圧力の調整により制御した。組成比 x = 0.15 から0.28 の範囲で ϕ_B=0.71 eV, n＝1.07 という良好なショットキー特性が得られている。別のWSi_2（ダイシリサイド）をスパッターゲットとして用いた同様の実験結果を合わせて図２－１１に示しているが，x = 1.0 付近では ϕ_B=0.5 eV, n＝1.9 程度に劣化しており，リークの大きいオーミック的な特性になっている。

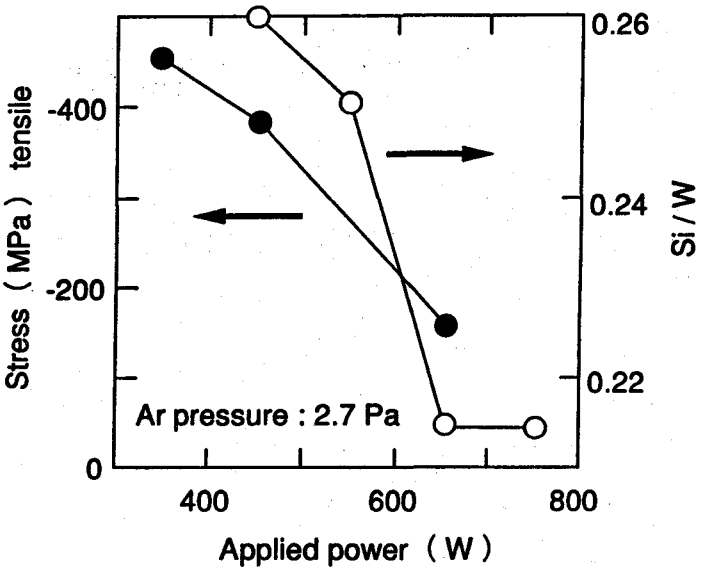


図２—１０
WSi_x の組成比 x および膜ストレス の
Ar スパッタ印加電力依存性

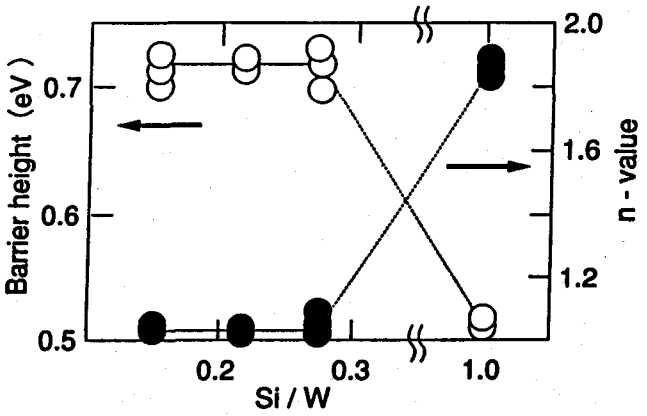


図２—１１
WSi_x / GaAs ショットキーダイオードに
おける Φ_B、n 値の組成比 x 依存性

ここでWSi_x / GaAs ショットキー特性のWSi_x 組成比依存性について考察する。

WSi_x / GaAs ショットキー特性の組成比依存性については大西ら[14]と金森ら [20]の報告があり，さらにW / GaAs界面にSiの薄層（20Å程度）を挿入した栗山ら[26]の報告がある。WSi_x スパッタ形成については，本研究のみ単一ターゲットからのスパッタで，大西ら，栗山らはWとSi，金森らはWSiとSiのターゲットを用いたCo - Sputterである。x～1.0 付近では本結果は大西ら，金森らの結果と一致しており，良好なショットキー特性は得られていない。x ＜0.3 では本結果は金森ら，あるいは栗山らの結果と一致する（即ち，良好なショットキー特性は得られる）と考えられるが，大西らの結果とは一致しない。即ち，大西らはx ＜0.5 でショットキー特性は劣化し，さらにWSi_x は引っ張り（tensile）応力により「しわ」が発生するとしている。一方，栗山らはW / GaAsショットキー 界面は，そのままでは

ϕ_B=0.55 eV と低く界面でのキャリア濃度の低下が観測され，界面特性は良好ではないが，界面にSi層が20Å程度あれば$WSi_{0.6}$/GaAs と同等のショットキー特性が得られると報告している。つまりWSi_x/GaAs 界面にはSiがどの程度存在しているかがショットキー特性を決定するということである。Co-Sputter では単一スキャンでのスパッタ膜厚等の条件が明示されていないため，GaAs最表面でW, Siのどちらが何Å形成されているかが不明であるが，本実験，あるいは金森らの場合は必ずGaAs最表面にSiがスパッタされるという共通点がある。これに対して大西らはWを先にスパッタしている可能性がある。前記の大西らのx＜0.5 での「しわ」は，WSi_xがWリッチになりWに固有の引っ張り応力が大きい性質が現れると考えられるが，同様の現象を金森らは，より組成比の小さいx＜0.2 で観測している。この事実は上記の考察を支持するものである。

以上，単一組成のWSi_xターゲットを用いてもスパッタ条件によりWSi_x組成をある程度制御でき，良好な WSi_x/GaAs ショットキー特性が得られることを確認した。またWSi_x膜全体の組成とショットキー特性とは一意的に関係づけるのは難しく，実際のWSi_x/GaAs ショットキー界面特性に影響を与えるのは，WSi_x膜全体としての組成比というより界面付近の組成，さらにはGaAs最表面の層がSi, Wのどちらでどの程度の厚さがあるのかということだと考えられる。

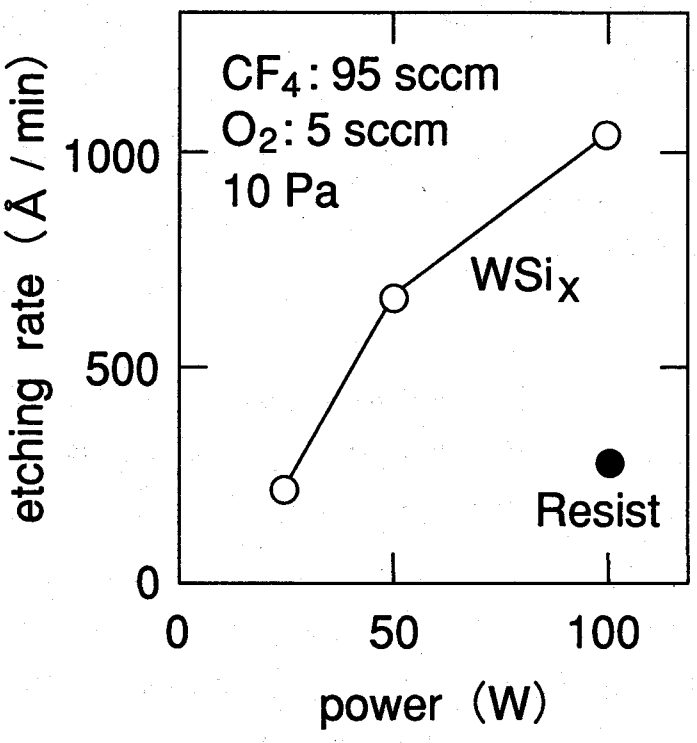


図2—12　RIE エッチングレートのRF 電力依存性

2．4．3　WSi_xゲートの加工

従来Siプロセスにおいて高融点金属，あるいはそのシリサイドはCF_4, SF_6, NF_3 等のフッ化ガスを用いた反応性イオンエッチング（RIE）で加工されている[27], [28]。本研究では$CF_4 + O_2$ を用いて上記WSi_x の加工を行った。ゲート寸法制御において，WSi_x のレジストに対するエッチングの選択比をできるだけ大きくすることが重要と考え，選択比の大きいエッチング条件を選定した。その一例としてエッチングレートのRF 電力依存性を図２－１２に示す。RF 電力 100 W 時，選択比として 4 以上が得られている。レジストとのエッチング選択比を十分大きくとることは，エッチングによるレジストパターン長の低減を相対的に抑制することであり，加工寸法制御上重要であるが，その時の加工形状は図２－１５に示すようにくびれ形状となり，特にゲート長がサブμmになると逆にゲート長変動の主要因となる。上記くびれ形状はRIE における等方性エッチングモード（中性フッ素ラジカル F^* でのエッチング）でのサイドエッチングにより生じるため[29]，エッチングの異方性をより高める必要がある。

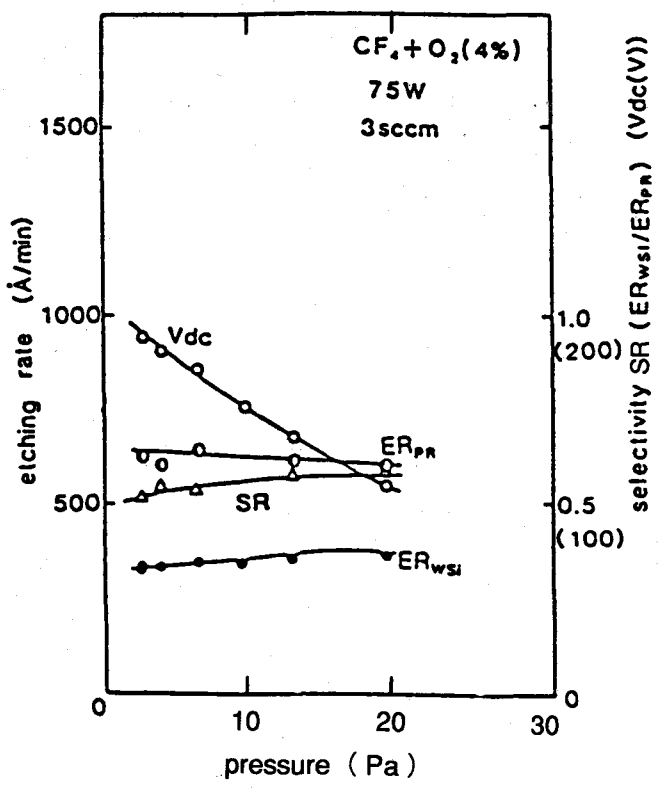


図２—１３
WSi_x，レジストのエッチングレート，
プラズマ自己バイアス電圧 Vdc の
エッチングガス圧依存性

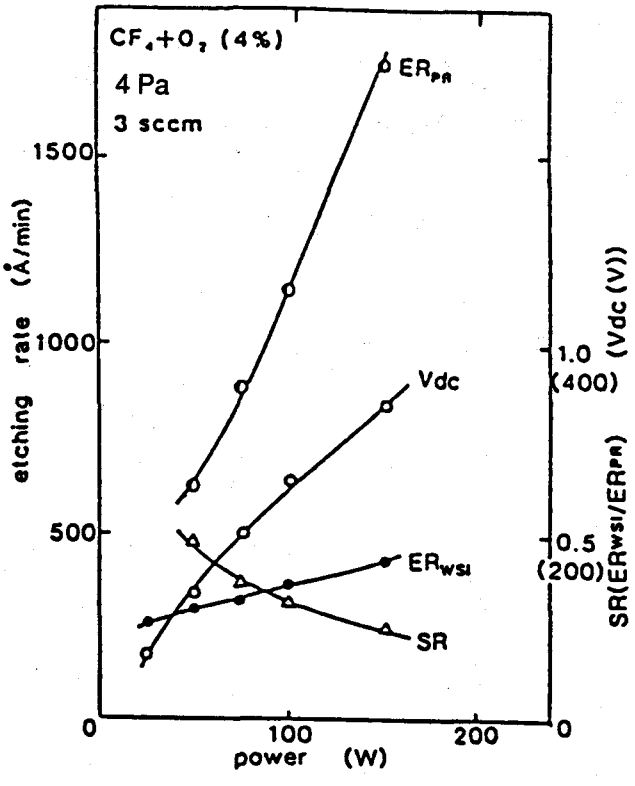


図２—１４
WSi_x，レジストのエッチングレート，
プラズマ自己バイアス電圧 Vdc の
RF 電力依存性

一般に上記CF_4等のフッ化ガスによるRIEにおいて異方性を増大するには，プラズマイオンシース中での反応性イオン（CF_3^+, CF_2^+ 等）の運動方向をウエハに垂直に，かつその平均自由工程を長くすればよい。よってエッチングガス圧をさらに低下することが有効となる。図２－１３にWSi_x，レジストのエッチングレート，及びプラズマの自己バイアス電圧 Vdc（反応性イオンをウエハに垂直な方向に加速する電圧）のエッチングガス圧依存性を示す。両者のエッチングレートはガス圧にあまり依存しないが，これはガス流量が 3 sccm と低く，エッチングが活性種（フッ素ラジカル F^*, CF_3^+, CF_2^+ 等）の供給律速段階であるためと考えられる。一方，Vdc は明らかに低ガス圧になるに従い増加している。この異方性の強いエッチング条件での問題点は，前述の選択比であり，図２—１２に示したエッチング条件に比べて選択比は約 1/8の0.5 とかなり低下することである。しかしながらレジストはWSi_x の厚み（通常約0.5 μm以下）に比べ1～2 μm程度には容易に形成できるので，レジストのサイドエッチ量が小さければ大きな問題にはならない。次にWSi_x，レジストのエッチングレート，及びVdc のエッチングRF電力依存性を図２－１４に示す。エッチングレートは両者ともRF電力の増大とともに増えるが，レジストのエッチングレートが著しく増加するため，選択比がさらに低下する。Vdc はRF電力の増大とともに増える。前の図２－１２に比べ，十分少ないガス流量 3 sccm, 低いガス圧 4 Pa，及びRF電力 75 Wの条件で形成したWSi_x 加工形状を図２－１５に示す。図２－１２の条件での加工形状に比べ，くびれはなく矩形状に近い断面が得られている。

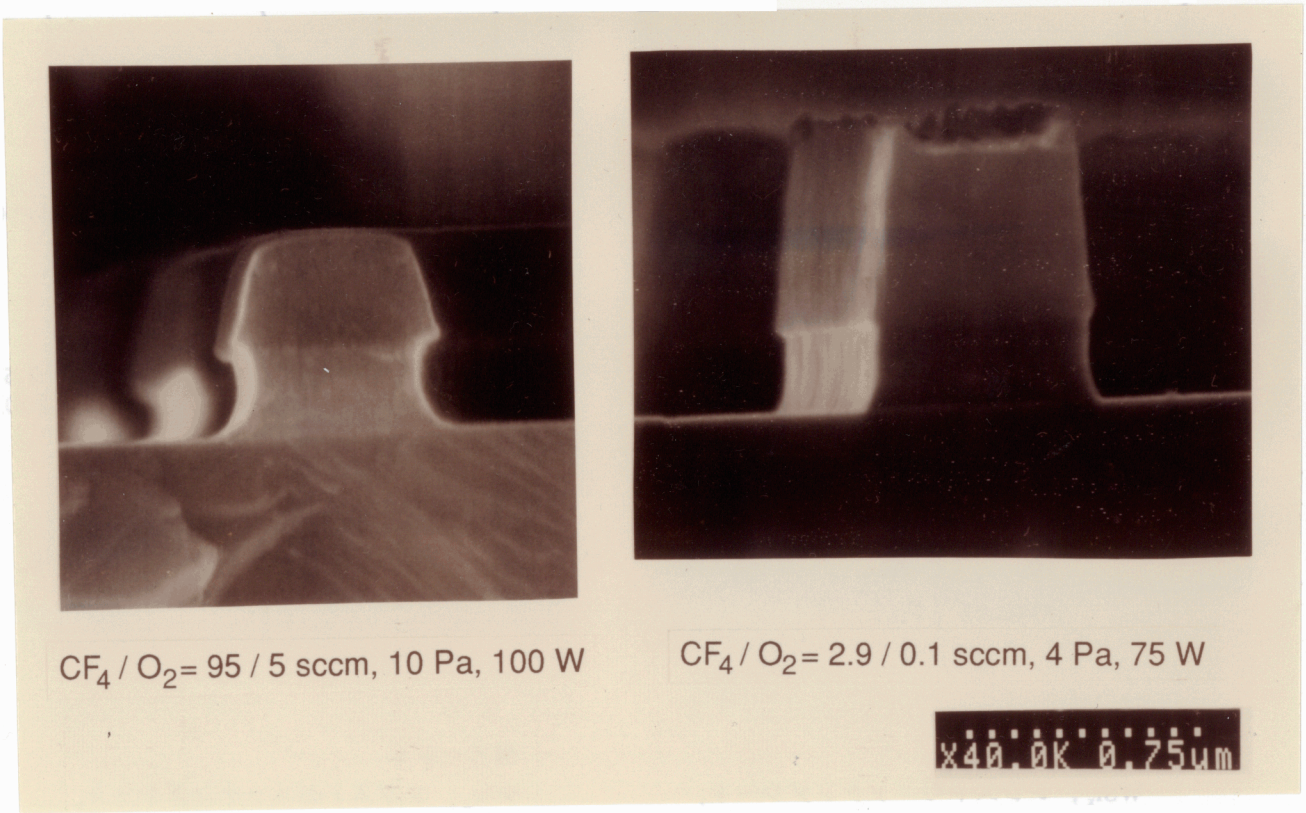


図２—１５　RIE によるWSi_x の加工形状

レジストのサイドエッチに一部伴うWSi_xのサイドエッチングによるWSi_xゲート加工長のパターンシフトを図２－１６に示す。前述のRIE条件（3 sccm, 4 Pa , 75 W）では，エッチング終点以前では150 Å / 分，エッチング終点以後では600Å / 分のサイドエッチング速度であり，終点到達以後その速度は約４倍に増大している。これはウエハ全面のWSi_xの垂直方向のエッチングに消費されていたエッチングの活性種が，終点到達以後サイドエッチングに寄与するからである。これらの結果より0.5 μm 程度の仕上がりゲート長を10％程度の精度で得るには，分オーダのエッチング時間の制御が必要となる。

WSi_xのエッチング終了後，GaAs表面もエッチングされるので，GaAs基板オーバーエッチングのFET特性に与える影響についても検討した。そのレートは上記RIE条件では30Å/分であった。オーバーエッチングを2.5分まで行った時の従来型WSi_xゲートFET（Lg/Wg=1 μm/10 μm）のK値，ゲート・ソース間耐圧Vgsoの変化を図２－１７に示す。2.5分のオーバーエッチであれば約80Å n^+層形成予定部表面がエッチングされるが，両因子とも大きな変化はない。エッチングされた表面はその後のn^+層用注入後のアニールで十分回復するものと考えられる。

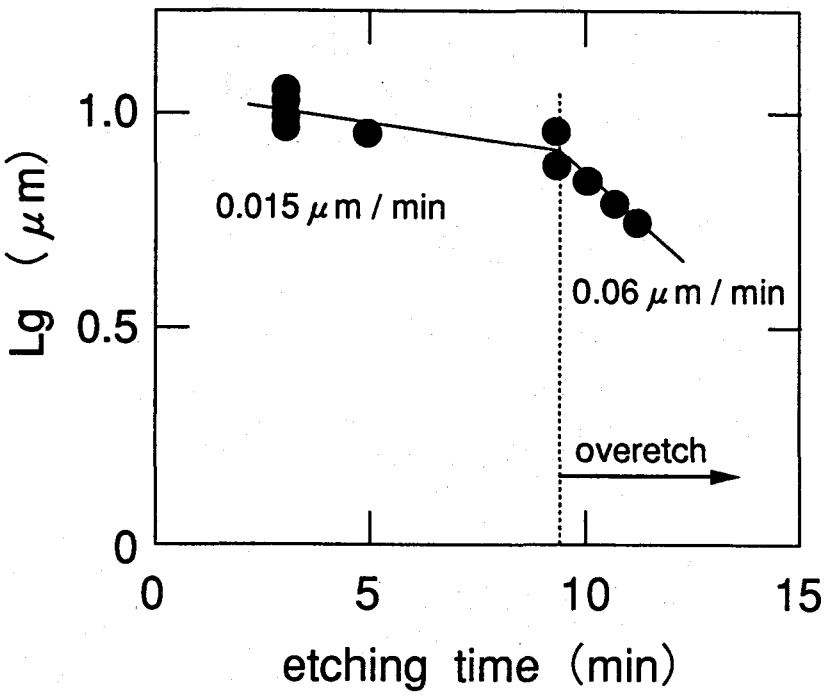


図２—１６　WSi_xのサイドエッチによるWSi_xゲート加工長のパターンシフト

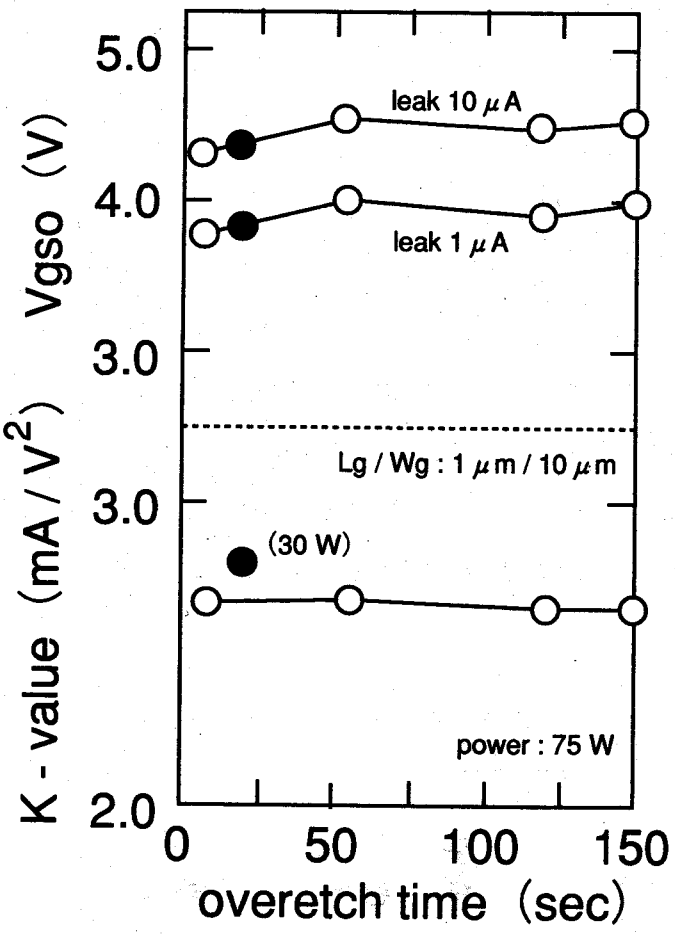


図２—１７　K値、ゲート・ソース間耐圧 Vgso のWSi_x RIE オーバーエッチ時間依存性

2．5　イオン注入層形成条件の最適化

2．5．1　n型チャネル層形成条件の考察

高速LSI用FETとして重要なことは，負荷容量の大半を占める配線容量を駆動するため電流駆動能力が高いことである。MESFETの相互コンダクタンスg_mは速度飽和モデルにより次式で表現できる[30]。

$$g_m = \frac{\partial Ids}{\partial Vgs} = \frac{v_s \varepsilon_s Wg}{a}\sqrt{\frac{Vp}{Vbi - Vgs}} = v_s Wg\sqrt{\frac{qN_D\varepsilon_s}{2(Vbi - Vgs)}} \qquad (2.2)$$

Ids：ドレイン電流，Vgs：ゲート電圧，v_s：キャリアの実効飽和速度，ε_s：GaAsの誘電率，

a：チャネル厚，Wg：ゲート幅，Vp：ピンチオフ電圧，Vbi：ビルトイン電圧（ショットキーバリア高さ），N_D：ドナー濃度

式（2.2）より，電流駆動能力を増大するためには，電子飽和速度向上の他に，チャネルの高濃度化，あるいは薄層化が有効であることがわかる。但しnチャネルの過剰な高濃度化はショットキー界面での鏡像力効果によるϕ_Bの低下[31]，あるいはゲート容量の増大により上限がある。特にϕ_Bの低下は第5章で述べるMESFET論理回路の論理振幅，マージンの低下をもたらす。一方，チャネルの薄層化はVth均一性の向上に有効であるとの笠原らの計算解析結果の報告がある[32]。よって本研究では，特にチャネル薄層化に着目し，1）ベア注入（GaAs基板表面を露出して注入）でのnチャネル用注入エネルギーの低減，2）スルー注入（GaAs基板表面に形成した薄膜を通して注入）の適用を検討した。

（1）n層形成用イオン種

GaAsでのn層形成用イオン種としては，$^{28}Si^+$, $^{29}Si^+$, $^{80}Se^+$, $^{120}Sn^+$, $^{130}Te^+$等があるが，Si^+は比較的質量数が小さいため，低エネルギーでも深い注入層が得られるとともに，導入損傷が少なく室温注入でも高い活性化率が得られるため，最も広く用いられている。但しIV族元素で，GaAsに対しては両性不純物であるためIII族のGaと置換してはじめてドナーとして働く。注入ドーズが低い領域では，優先的にGaサイトを占有してドナーとなるが，高濃度になるとAsサイトを占有しだし，p型（補償）不純物となる（自己補償），あるいはSi_{Ga}との複合欠陥を形成するために活性化率は低下する。$^{28}Si^+$はバックグランドの$^{28}N_2^+$と同じ質量なのでその影響を受けやすく$^{29}Si^+$の方が精密制御に適しているため，本研究では$^{29}Si^+$を用いた。

（2）注入層のアニール

III-V族化合物半導体では一般にV族元素の蒸気圧がIII族のそれよりも高い。例えば850℃でのGaAsにおけるGaとAsの平衡蒸気圧は各々，1×10^{-7} Torrおよび1.5×10^{-6} Torrであり，As圧が約1桁高い。

これは熱処理に伴いAsがGaAs表面から抜け，GaAs組成（ストイキオメトリ）が変化し，注入イオン活性化率等の各種GaAs結晶特性が変動する。よって，アニールを，1）より解離性の高い構成原子（As）の蒸気圧下で行う（キャップレスアニール），あるいは2）構成元素の外部への拡散を防止しうる保護膜で表面を被覆して行う（キャップアニール）方法がある。本研究ではn層用$^{29}Si^{+}$注入イオン，また次節で述べるp層用$^{8}Be^{+}$，あるいは$^{24}Mg^{+}$注入イオンの活性化を一回のアニールで済ませたいために，両者の活性化を十分行える条件として，AsH_3雰囲気中800℃，30分のアニールを，ベア注入の場合はキャップレスで，SiOスルー注入の場合は同スルー注入膜を除去しないで行った（キャップアニール）。

2．5．1．1　ベア注入での注入エネルギーの低下

GaAs LEC基板に$^{29}Si^{+}$イオンを注入エネルギー50, 30, 25, 20 KeVでベア注入した場合の，C - V法により測定したキャリアプロファイルを図2－18に示す（尚，測定にはLg/Wg = 7 μm/20 μmの従来型WSi_xゲートMESFETのゲート・ソース間ダイオードを用いた）。低エネルギー注入になるほどプロファイルはGaAs表面寄りになっており，n層の薄層化が実現されている。但し次節に示す図2－30のLSS理論曲線に比べてプロファイルは，かなり尾を引いている。また20 KeVと25 KeVとではほとんど差は見られない。また各注入エネルギーで形成したFETのVthを一定にして評価を行いたいために，浅い注入ほど注入ドーズを増加させているが，キャリアピークはそれに対応して増加しておらず，活性化率ηは減少していることがわかる。

注入プロファイルとして，活性化率ηの深さ方向依存性を考慮せずにガウス分布を仮定すると[33]，Vthは次式で近似される。

$$Vth \cong \phi_B - Vp = \phi_B - \eta \cdot N \cdot \frac{q}{\sqrt{2\pi}\cdot\varepsilon_s\cdot\sigma p}\int_0^a x\cdot\exp\left(-\frac{Rp^2}{2\sigma p^2}\right)dx$$

$$= \phi_B - \eta \cdot N \cdot \frac{q}{\varepsilon_s}\left[\frac{\sigma p}{\sqrt{2\pi}}\exp\left(-\frac{Rp^2}{2\sigma p^2}\right) + \frac{Rp}{\sqrt{\pi}}Erfc\left(-\frac{Rp}{\sqrt{2}\sigma p}\right)\right] \qquad (2.3)$$

$$\left(Efrc(x) \equiv \int_x^{\infty}\exp(-t^2)dt\right)$$

Vp：ピンチオフ電圧，η：Si^{+}注入イオンの活性化率，N：注入ドーズ，a：nチャネル層厚，

Rp：注入イオン飛程，σp：注入イオン飛程の標準偏差

上式（2.3）より，Vth－注入ドーズ（N）特性は，Vth軸切片をϕ_Bとする直線となる。nチャネル用注入エネルギー50 KeV, 30 KeVの場合について，従来型WSi_xゲートMESFET（Lg/Wg = 1 μm /

10 μm）を作製し，Vthの注入ドーズ（N）依存性を測定した結果を図２－１９に示す。本図からわかるように，実データでもVth－注入ドーズ（N）間にはほぼ直線関係が見られ，そのVth軸切片も ～0.70～0.75 eV と ϕ_B に近いことから，本プロセスにおける従来型WSi_xゲートMESFETでは，（2.3）式の関係はほぼ満たされていると言える。30 KeVの場合，（2.3）式から換算した活性化率ηは約70％であった。また（2.3）式からn層用注入エネルギーが小さい程，即ち，nチャネル層が薄い程，Vthの注入ドーズに対する傾きは小さくなるが，図２－１９の結果からも確認できる。このことは注入ドーズや活性化率のばらつきがVthのばらつきに与える影響が小さいことを意味し，前述した短チャネル効果，電流駆動能力といったFET性能の向上以外に，Vth制御性の向上についても有利となる。

次に上述の注入エネルギー条件（20, 25, 30, 50 KeV）で従来型WSi_xゲートMESFETを作製し，短チャネル効果，及び電流駆動能力(K値)についてゲート長依存性を求めた。Vth近傍のドレイン電流Idsは次式で表現される [34]。

$$Ids = Idso \cdot \exp\left(\frac{qVgs}{Ng \cdot kT}\right) \qquad (2.4)$$

ここでIdsoは定数である。上式でNgはサブスレッショルド因子と言われ，1に近いほど短チャネル効果は良好となる。このNgのゲート長依存性を図２－２０に示す。この図よりnチャネル層50KeV注入と30 KeV以下の注入ではNgは明らかに30 KeV以下の方が小さく（1に近く），短チャネル効果は抑制されていることがわかる。30 KeV以下の20, 25, 30 KeVでは顕著な差は見られないため，本結果は先のキャリアプロファイル（図２－１８）の結果と対応していると考えられる。次に図２－２１にK値のゲート長依存性を示す。K値はSchockleyのgradual channel近似[35]によるドレイン飽和電流I_{dsat}の式をVgs = Vth近傍でテイラー展開した次の近似式において表される。

$$Ids = \frac{\mu \varepsilon_s Wg}{2aLg}(Vgs - Vth)^2 \equiv K \cdot (Vgs - Vth)^2 \qquad (2.5)$$

ここでμはnチャネル中の電子移動度である。因みに相互コンダクタンスg_mは次式の様になる。

$$g_m = \frac{\partial Ids}{\partial Vgs} = 2K \cdot (Vgs - Vth) \qquad (2.6)$$

nチャネル層30 KeV以下の注入では50 KeV注入に比べ，同一ゲート長でのK値が増大していることがわかる。これはn層形成用注入エネルギー低下によるn層薄層化のためである。先のNgの結果（図２－２０）と同様，30 KeV以下の注入エネルギーでは顕著なK値の差は見られず，K値の大小も図２－１８のキャリアプロファイルの結果に対応しているものと考えられる。

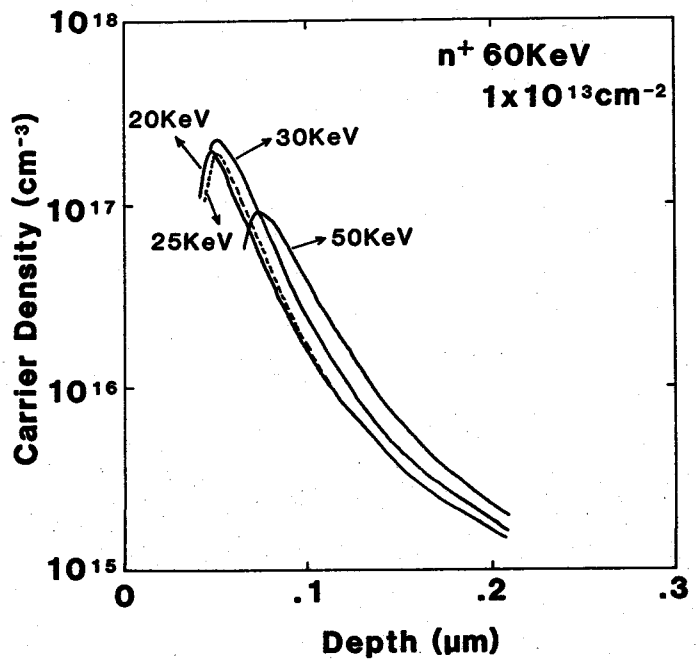


図２—１８　nチャネル層のキャリアプロファイル（パラメータ：Si^+ イオン注入エネルギー）

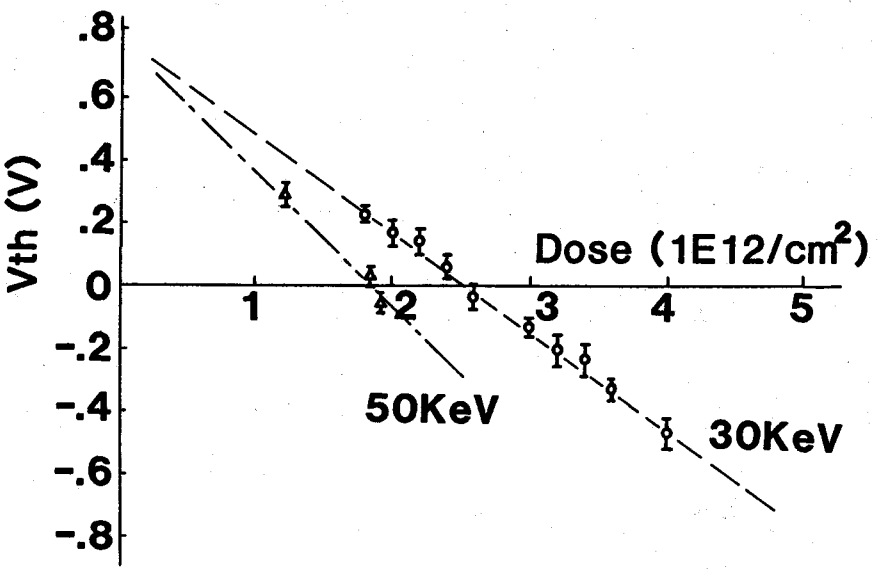


図２—１９　Vthのnチャネル層用注入ドーズ依存性（パラメータ：Si^+ イオン注入エネルギー）

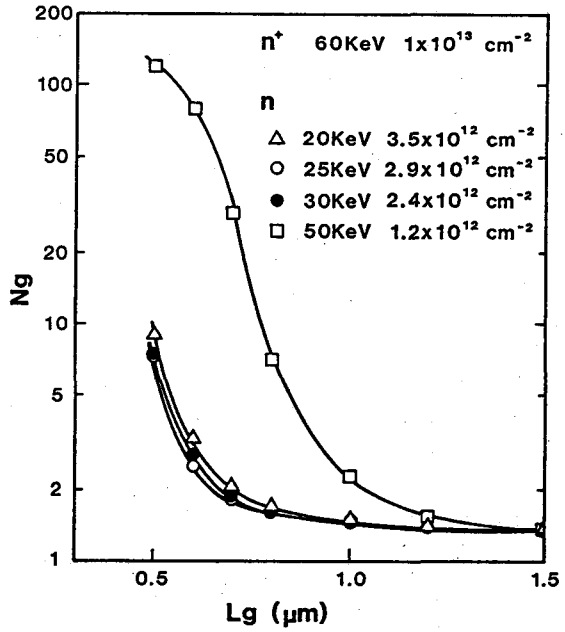


図２—２０　Ngのゲート長依存性（パラメータ：Si^+イオン注入エネルギー）

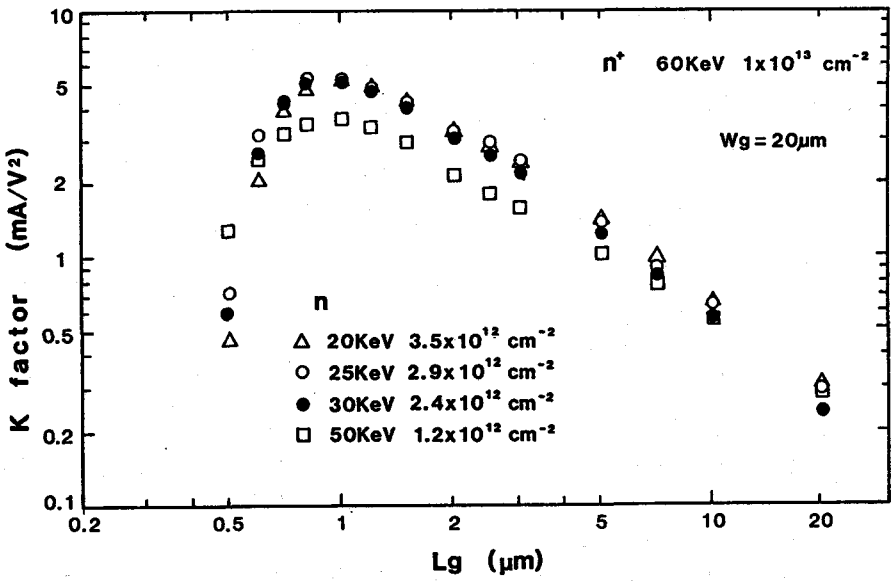


図２—２１　K値のゲート長依存性（パラメータ：Si^+イオン注入エネルギー）

２．５．２．２　スルー注入法の適用

前記のように，ベア注入での注入エネルギーの低下によりFET性能，Vth制御性の向上を図れたが，ベア注入には以下の問題点があった。

１）Vthがベア注入後の基板表面処理状態，あるいは表面汚染に依存し，Run To Runでばらつく。

２）軸チャネリング，面チャネリングを抑制するように注入角度を設定しているにもかかわらず，ウエハー面内でVth片流れが発生しやすい。

FET特性を決定するｎチャネルの表面を露出したままプロセスを進めることは，ｎチャネル表面の汚染，エッチングを招くためFET特性の均一性，再現性を著しく劣化させる。従って次のスルー注入法の適用は，特にLSIプロセスでは不可欠であると考えられる。スルー注入法の利点は，上記ベア注入の欠点の回避を含め次の様になる。

1）GaAs基板表面をプロセスフロー中の汚染，エッチングから保護する。

2）ｎチャネル形成用注入イオンビームをスルー膜通過時にランダム化してチャネリング現象を一層抑制し，形成チャネル層の均一性を向上する。

3）注入飛程 Rp をGaAs基板表面に移動させて高濃度薄層チャネルの形成を可能とする。

（1）スルー注入プロセス

本研究ではスルー注入膜として，低ストレス，及び次に述べる高活性化率の観点からプラズマCVD法による 300ÅのSiO$_x$N$_y$（屈折率 1.5）を用いた。本スルー注入膜はイオン注入後，そのままキャップアニール膜としても用いる。本SiO$_x$N$_y$ は組成比でSiO 寄りであり（Si : O : N = 45 : 45 : 10），前述の800℃, 30 分のアニール後には膜中へのGaの外部拡散が生じ，GaAs基板表面付近にはGa空孔が発生するのでGaサイトのSiが増加し，活性化率が向上すると考えられる[33]。図２－２２に３種類の組成比のSiO$_x$N$_y$ でキャップアニールした後のSiO$_x$N$_y$ / GaAs のSIMS分析結果を示す。SiO に最も近い，屈折率1.54 でのSiO$_x$N$_y$ 膜中にはAs と比べ 1 桁程度高濃度のGa の外部拡散が認められる。実際，活性化率は70 % 以上であり，屈折率 1.91 のSiN 膜を用いたキャップアニールに比べ 15～20 % 向上している。注入エネルギーは，ベア注入時にFET特性が最高であった 30 KeV とほぼ同等のチャネル厚を実現するために，300ÅのSiO$_x$N$_y$ スルー注入では 50 KeV とした。

本スルー注入法によるFET特性の改善結果を以下に示す。図２－２３はゲート長1 μmの従来型WSi$_x$ゲートMESFET の２インチウエハー面内での σ Vth のVth 依存性をベア注入と比較して示す（ｎ層用注入エネルギーは両者とも 50 KeV）。上記スルー注入の利点１），２）を反映してスルー注入での σ Vth はベア注入に比べ，かなり改善されている。図２－２４，２－２５にサブスレッショルド因子Ng，K値のゲート長依存性を各々示す。同一注入エネルギーを用いたので，ｎチャネル層はスルー注入の方が薄くなり，かつ注入時スルー膜に食われる分注入ドーズを上げているが，チャネルの薄層化により短チャネル効果はより抑制されて Ng は小さく，また（2.5）式よりK値は大きいと予想され，実際本結果ではそのようになっている。スルー注入では上記の様に短チャネル効果がより抑制されるため，短ゲート長時にK値がベア注入ほど劣化していないこともわかる。

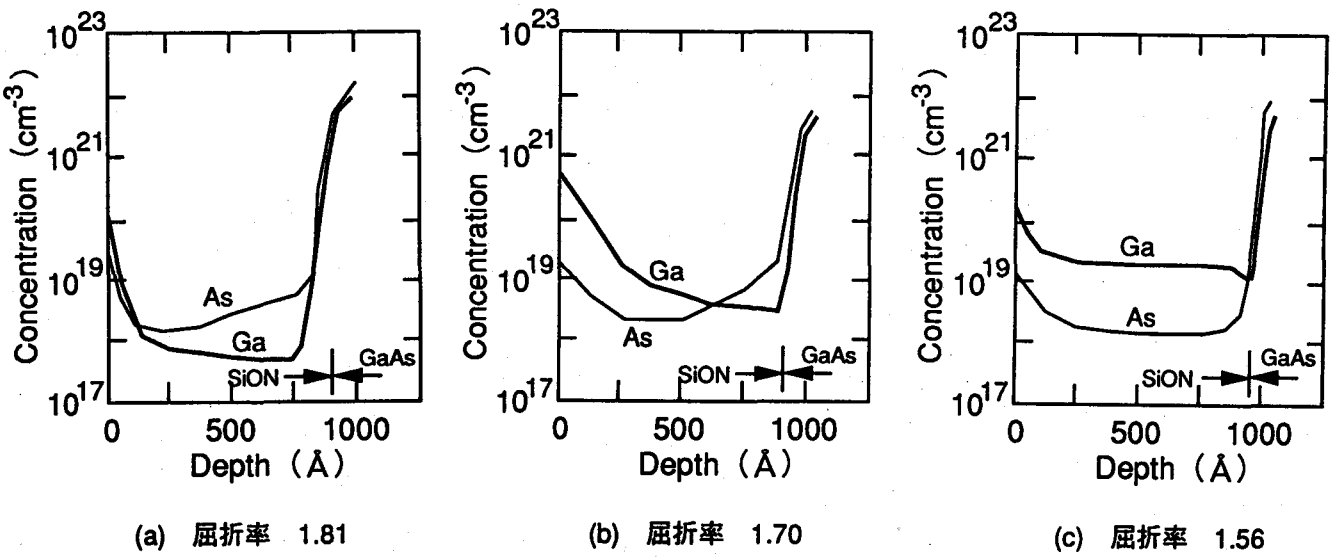


図２—２２　SiO_xN_y / GaAs のSIMS 分析結果

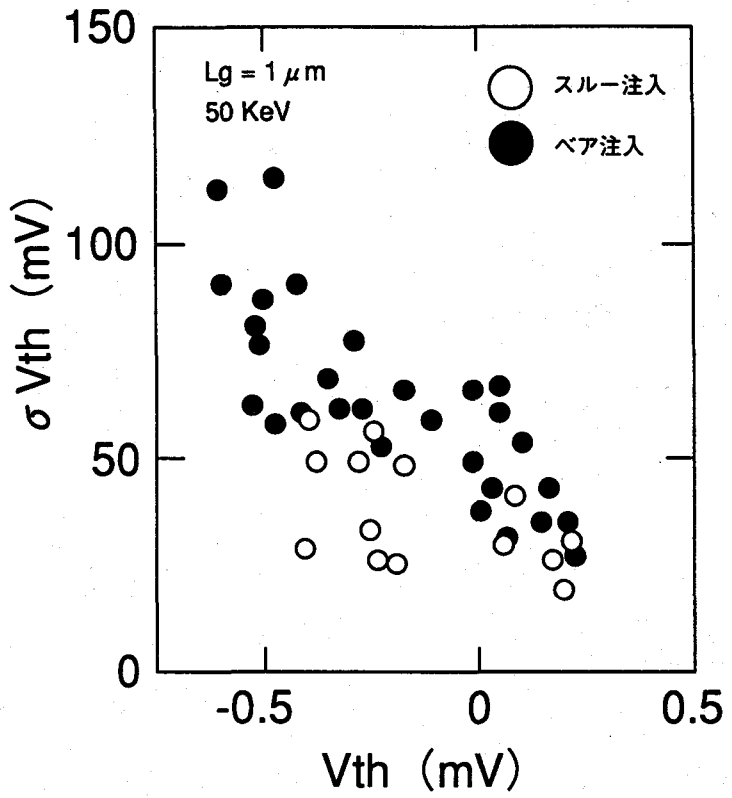


図２—２３　σ Vth のVth 依存性（ベア注入とスルー注入）

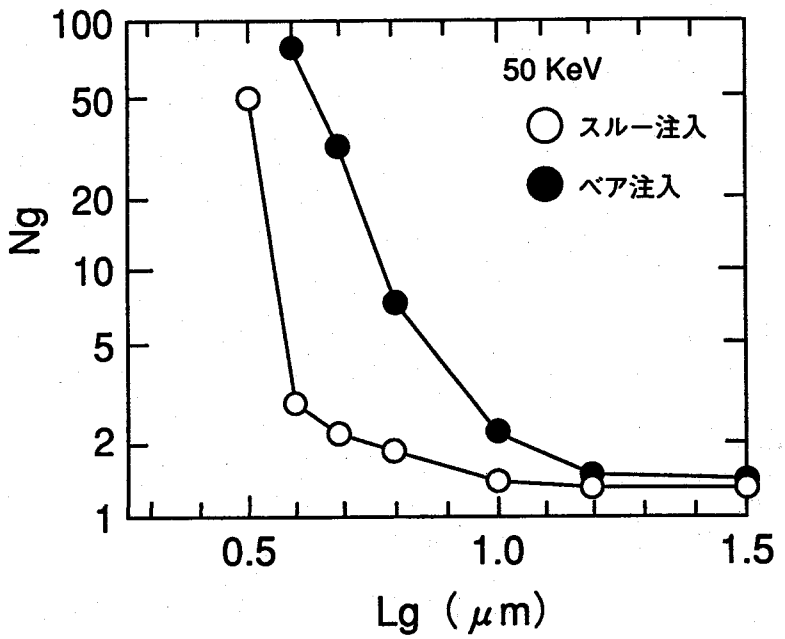


図２—２４　Ngのゲート長依存性（ベア注入とスルー注入）

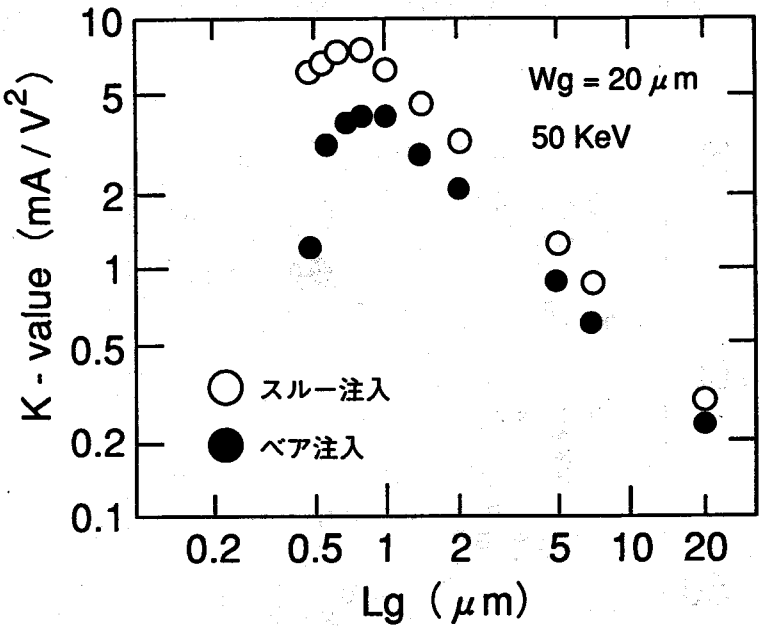


図２—２５　K値のゲート長依存性（ベア注入とスルー注入）

２．５．２　n^+層形成条件の考察

従来型WSi_xゲートMESFET構造では，WSi_xゲート自体をマスクにn^+層形成用のイオン注入を行う。注入層のアニールはAsH_3雰囲気中800℃のキャップレスアニールを用いることにした。その理由は，特にゲート電極形成後のゲート電極端で発生するストレスの影響を，上部に形成するキャップ膜でさらに増長する危険を除去すること，また前述したキャップ材料とGaAs基板とのアニール時の反応の影

響を除外するためである。シートキャリア濃度とアニール時間の関係を調べた結果を図２－２６に示す。$^{29}Si^{+}$ イオンを注入エネルギー 150 KeVで注入し，AsH_3 雰囲気中 800℃ でアニールした。注入ドーズ $1\times10^{13}\,cm^{-2}$ までは15分で活性化量はほぼ飽和値に達し，60分までは一定である。$5\times10^{13}\,cm^{-2}$ まで高ドーズ化すると60分でも完全には飽和していない。図２－２７にシートキャリア濃度と注入ドーズの関係を示す（注入エネルギー 150 KeV）。$3\times10^{13}\,cm^{-2}$ 以上の高ドーズではアニール時間60分で活性化がシートキャリア濃度 $2\times10^{13}\,cm^{-2}$ 近くで飽和し出しており，図２－２６での注入ドーズ $5\times10^{13}\,cm^{-2}$ でのシートキャリア濃度も60分以上のアニールで飽和するものと考えられる。FETの電流駆動能力向上のため，n^{+}層の低抵抗化が必須であり，本注入ドーズとしては活性化後のシートキャリア濃度が安定で十分高濃度の$1\times10^{13}\,cm^{-2}$ を用いることにした。n^{+}層アニール時に横方向拡散が発生するため，アニール時間は極力短くすべきであるが，アニールのRun To Run での再現性を考慮して30分とした。n^{+}層間リーク測定により本アニール条件では約 0.15 μm／30分の速度で横方向拡散していることを確認している。

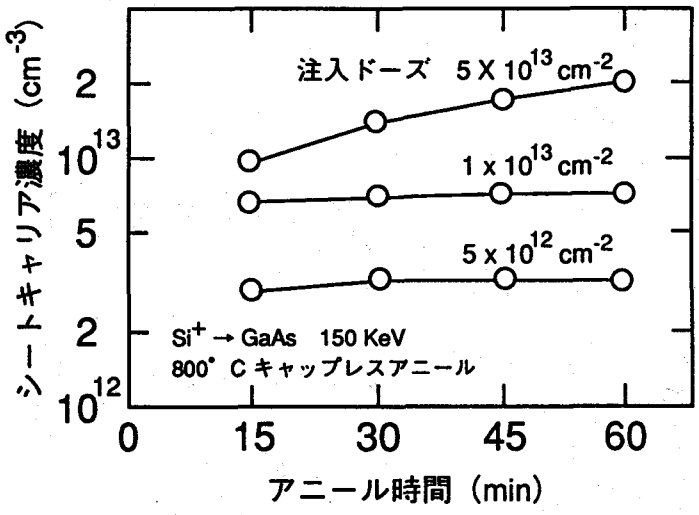


図２—２６　シートキャリア濃度とアニール時間の関係

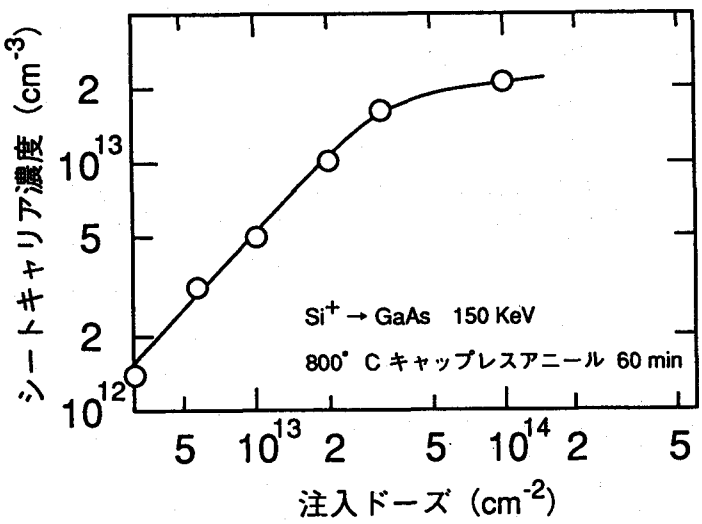


図２—２７　シートキャリア濃度と注入ドーズの関係

FET高性能化には前述の短チャネル効果の抑制が必須であるが，その主要因であるソース・ドレイン n^+層間の基板リークの低減が必要であり，それには n^+層の薄層化が有効である[36]。図２－２８にVthのゲート長依存性を n^+層用注入エネルギーをパラメータとして示す。本図より明らかに n^+層用注入エネルギーの低下につれ，Vthの負側へのシフト（即ち短チャネル効果）は抑制されている。これは図２－２９に示すサブスレッショルド因子Ngのゲート長依存性においてより明らかとなる。n^+層形成60 KeV注入と30～40 KeV注入とでは特にサブミクロンゲート長で相違が顕著に現われる。ところが図２－３０に示すK値のゲート長依存性では，50 KeV注入においてかなりのK値の低下が認められ，ソース抵抗Rsの増加が対応するものと考えられる。

短チャネル効果の度合いとK値を考慮して最適注入エネルギーを選択する必要があるが，従来型の WSi_x ゲートMESFETでは60 KeVが短ゲート長時のVthシフト，K値の劣化の点で妥当であると考えられる。

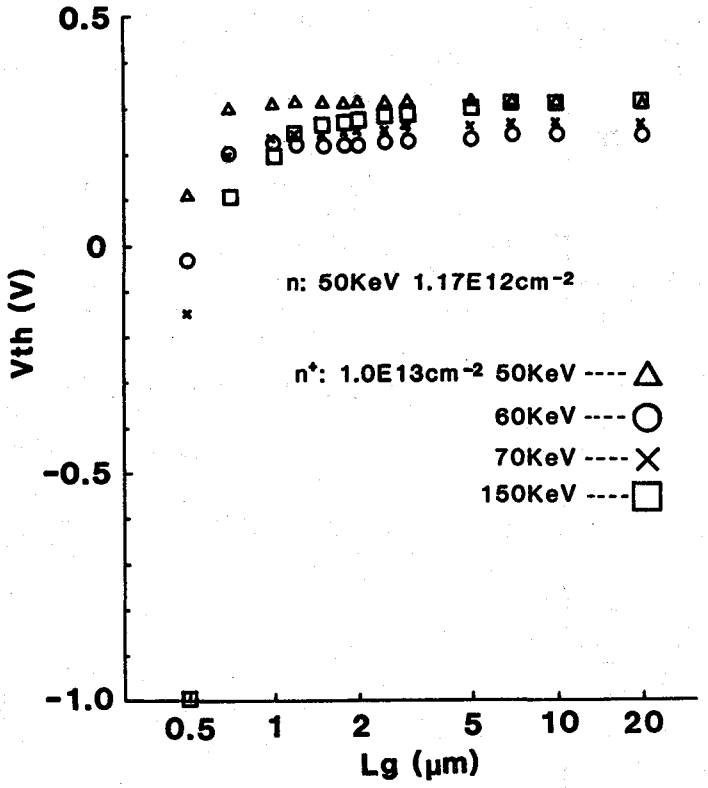


図２—２８　Vthのゲート長依存性（パラメータ：n^+層注入エネルギー）

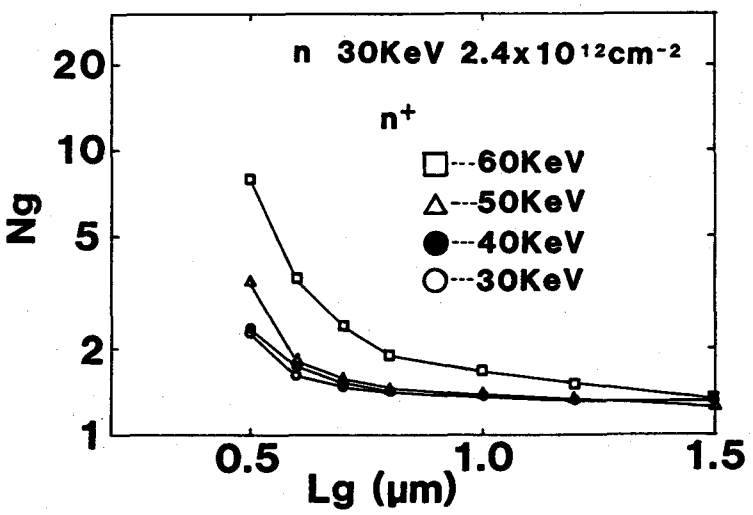


図２—２９　Ngのゲート長依存性（パラメータ：n^+層注入エネルギー）

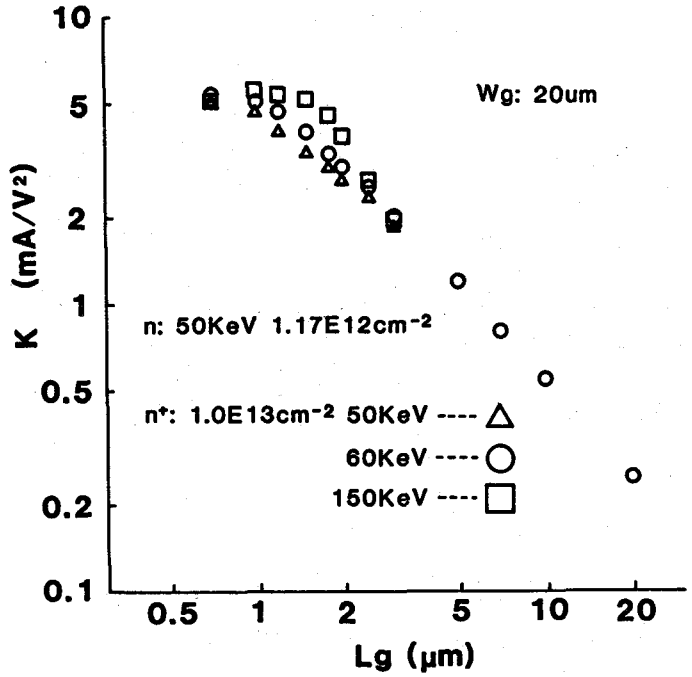


図２—３０　K値のゲート長依存性（パラメータ：n^+層注入エネルギー）

2．5．3　p型埋め込み層形成条件の考察

（1）p型埋め込み層形成の目的

MESFETのn型チャネル直下に逆導電層であるp層を形成する目的は，

1）nチャネルー基板界面をpn接合として，その界面で発生するビルトインポテンシャルバリアによりnチャネルからのキャリア（電子）の基板側への漏れを抑制する[7], [37]。

2）nチャネル／p層界面空乏層でのnチャネル側の空乏層をより伸ばし，nチャネルを薄層化する。

3）GaAs基板中に存在する残留アクセプタ濃度（10^{15} cm^{-2} オーダー）の変動の影響を緩和する[38]。

の3点が主に考えられる。

nチャネル／p層接合界面での上記ビルトイン電圧 Vbi，及びビルトイン電界 Ebi は，階段接合近似モデル[19] により各々次式のように近似される。

$$Vbi = \frac{kT}{q} \ln \frac{N_A \cdot N_D}{n_i^2} \qquad (2.7)$$

$$Ebi = \sqrt{\frac{2q \cdot N_A \cdot N_D \cdot Vbi}{\varepsilon_s \cdot (N_A + N_D)}} \qquad (2.8)$$

N_A: アクセプタ濃度，N_D: ドナー濃度，n_i : 真性キャリア濃度

第1に式（2.7），（2.8）よりN_A の増加に伴い Vbi, Ebi 共に増加するため，短チャネル効果が抑制されるが，逆に増加しすぎると空乏化していないp層中の中性領域のホール濃度が増え，ゲート寄生容量が増大する（詳細は後節2．6．6で述べる）。

第2にnチャネルの薄層化により，前節2．5．1で述べた電流駆動力の向上，さらに短チャネル効果の抑制[39]，Vth の均一性向上[32] が図れる。

第3にGaAs LEC 基板成長時に導入される残留アクセプタとしては，通常 C 等が10^{15} cm^{-3} オーダーで存在し，さらに高融点ゲート材料のスパッターゲットに含まれる Fe, Cr 等の重金属が，スパッタ時にGaAs 基板を汚染する可能性がある。10^{15} cm^{-2} オーダーで存在する残留アクセプタの影響を抑制するためには，1桁高い10^{16} cm^{-3} 以上のアクセプタ濃度を有するp層が必要と考えられる。

（2）　p型埋め込み層の形成方法

現在までGaAs MESFET用p層形成イオン種としては，Be^+, Mg^+, C^+, O^+ 等が報告されている[7], [37],

[40]。このうちC, Oは深いアクセプタとなるため，FET特性のドリフト，ヒステリシス，1/f雑音等の問題が懸念される。これに対してBe, Mgは浅いアクセプタで軽元素であるため，数多く検討され，MESFETに多用されている。特にBeは質量が非常に小さいのでプロファイルがLSSモデル等によく合うことが報告されている[41]。その反面，発ガン性物質で危険物であるために実使用上その取り扱い，安全管理が難しいという問題がある。上述のイオン種以外にもZn, Cdがあるが原子番号，即ち質量数が大きく，LSS理論によると注入深さは質量数に反比例するため，注入エネルギーを数百KeV以上にする必要がある。これにより注入表面のnチャネル付近で多大な注入損傷が生じる恐れがある。以上の観点から，Be, Mgをp層用イオン種として検討することにした。

図２－３１にBe, Mg, Si各イオン種のLSS理論曲線による注入プロファイルを示す（SiO 300Åをキャップ膜としてスルー注入，活性化率は100％として計算）。n型チャネル層を前節で決めた50KeVの注入エネルギーで形成する際には，n／p界面付近で10^{16} cm^{-3}オーダーのp層を形成する場合，Beでは50～150 KeV，Mgでは200～400 KeV程度の注入エネルギーが，10^{13} cm^{-2}弱の注入ドーズで形成するのに適していると考えられる。図２－３１でのn／p界面近傍は注入深さで高々2000Å以下であり，この注入深さでの注入イオン，キャリア分布が問題になる。

図２－３２にBe, Mgのイオン注入プロファイルをSIMS分析した結果を示す。LSS理論曲線でフィッティングすると，注入テイル側は両イオン種とも合わずブロード化しているものの，3500Å以下のピーク付近ではよく合っている。

デバイス動作の点では注入イオンプロファイルよりキャリアプロファイルの方が重要なので，Be, Mgのキャリアプロファイルを C - V法により求めた。その結果を図２－３３に示す。Beは80 KeV, 5×10^{13} cm^{-2}，Mgは200 KeV, 5×10^{13} cm^{-2}で注入し，アニールはAsH_3雰囲気中800℃, 45分で行った。図２－３３よりBeは従来報告されているように，少なくとも注入深さ1000～9000Åの範囲で平坦なプロファイルを有しており，上記　n／p界面近傍となる5000Å以下の領域では良好な分布となることがわかる。一方，MgはBeに比べ，本アニール条件での活性化率は，図２－３３において約30％程度低い。またプロファイルはダブルピーク形状で表面側が平均的に高い。これはDealらが述べるdamage enhanced diffusionに起因すると考えられる[42]。即ち，MgはBeに比べ質量数が大きいため，5×10^{13} cm^{-2}の高ドーズでは注入損傷による表面付近の空孔，interstitialな欠陥の密度が高く，その損傷領域を介してアニール後にMgが表面側にゲッタリングされると考えられる[41], [42], [43]。Mgは，Beと異なり1×10^{13} cm^{-2}以下のドーズ量では平坦性の良いキャリアプロファイルが得られることを確認しているが，5×10^{13} cm^{-2}までの高ドーズ化はp層形成上好ましくないと言える。

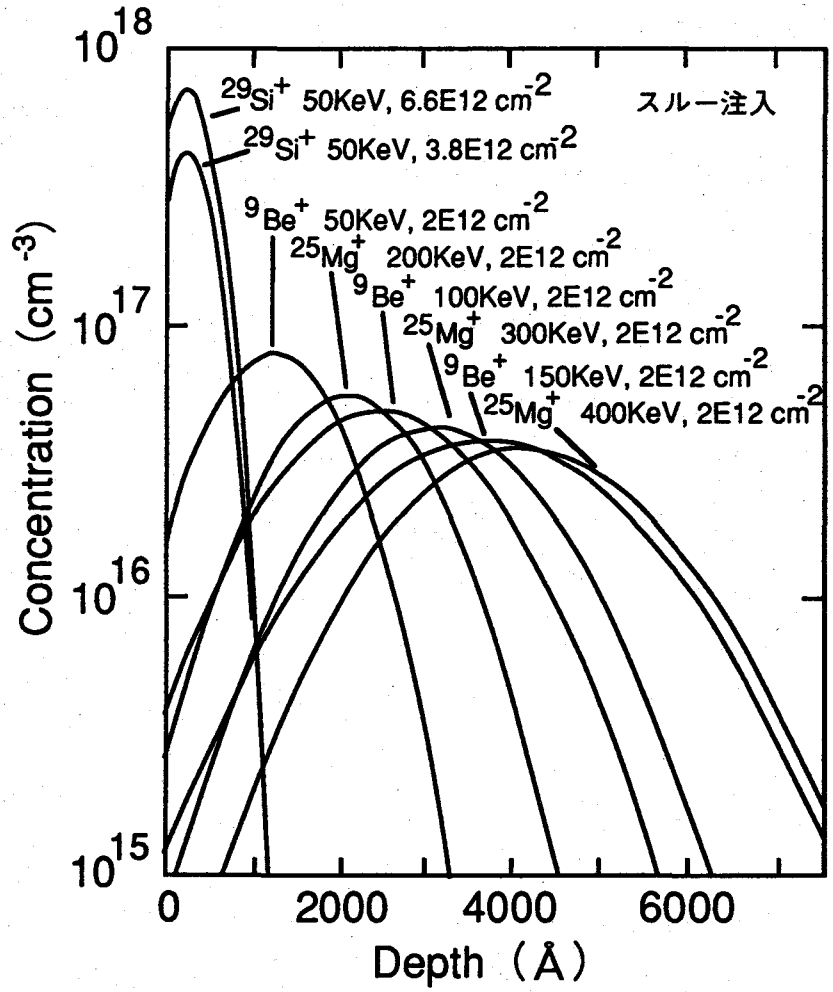


図2—31　Be, Mg, Si 各イオン種のLSS理論曲線による注入プロファイル

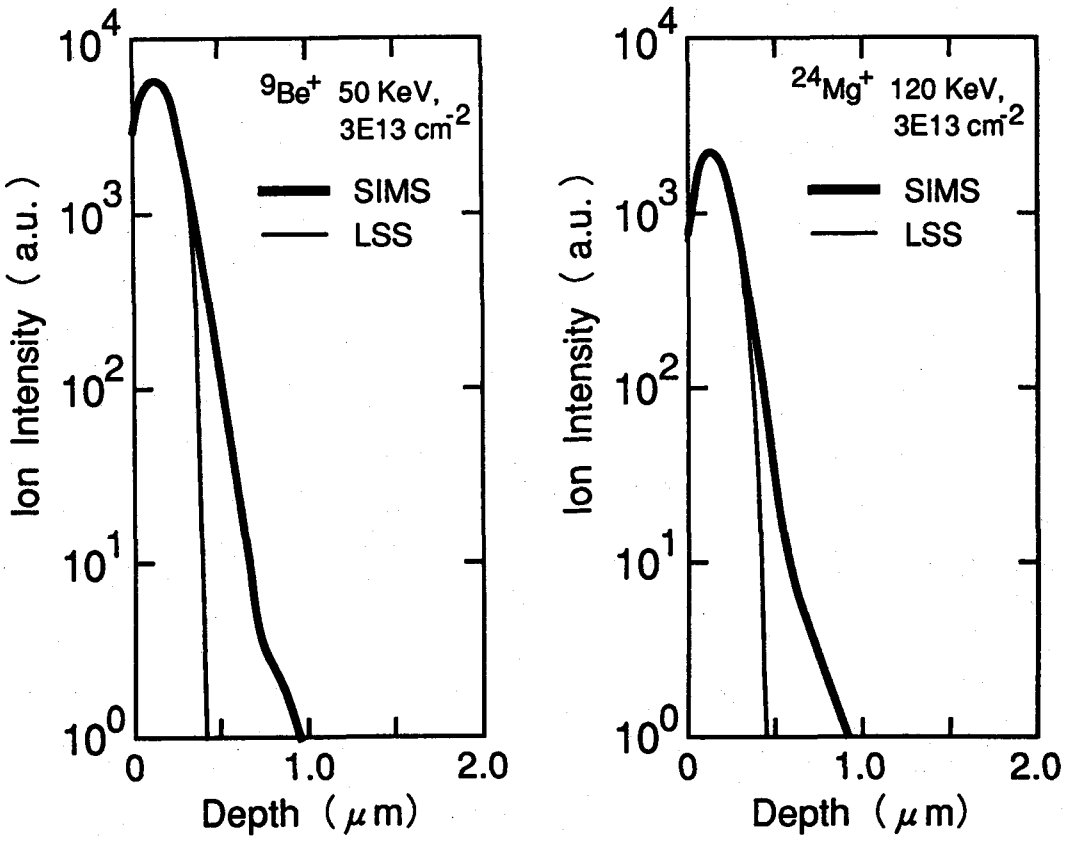


図2—32　Be, Mg イオン注入プロファイルの SIMS 分析結果

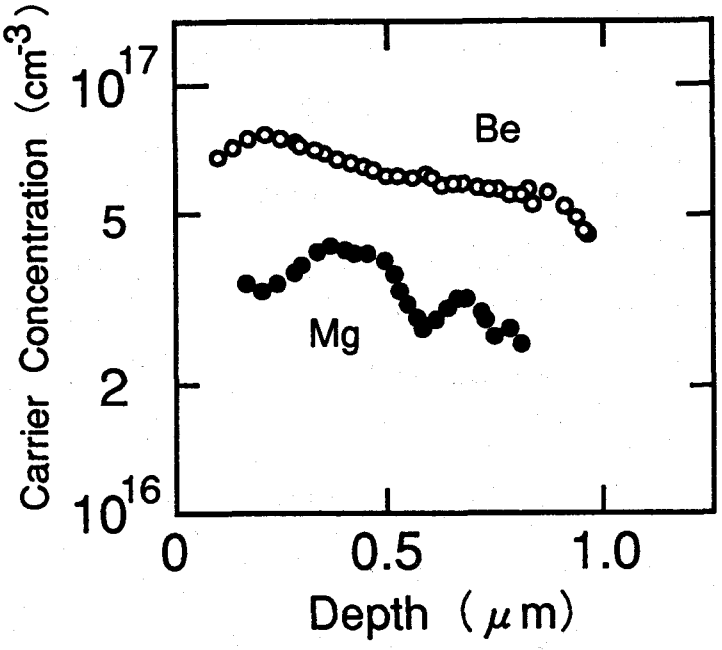


図2—33　Be, Mg イオン注入によるキャリアプロファイル

2．6　p層埋め込みGaAs SAGFET 高性能化の検討

2．6．1　Vth 制御性向上

GaAs LSI，特にDirect Coupled FET Logic (DCFL) で設計されたLSI の性能は，Vth 等のFET パラメータがどれだけ設計通りに実現されているかに強く依存する。その理由はSi LSI に比べて論理振幅が小さく（Si MOSFET 約5 V, GaAs MESFET 約0.7 V），この分ノイズマージンが小さくなるからである。MESFET のVth は通常ｎチャネル層用注入ドーズで制御されるが，制御性の点からはVth はドーズ量にあまり敏感でないことが好ましい。Vth と上記ドーズとの関係は前述の（2.3）式で示されるが，同式より，注入ドーズに対するVth の傾き（ΔVth /ΔN）はチャネル厚が薄いほど小さい。前項2．5．3で述べた様に，ｎチャネル下ｐ層埋め込みによるｎ／ｐ界面のビルトイン電圧 Vbi 発生に伴うｎチャネル側への界面空乏層の拡がりによりｎチャネルは薄層化されるため，上記ΔVth /ΔN は低下することが予想される。図２－３４にｐ層用 Be^+ イオン注入ドーズをパラメータとしたBP - FET のVth のｎチャネル層用Si^+ イオン注入ドーズ依存性を示す。Be^+ ドーズの増加につれ，ΔVth /ΔN は明らかに低下しており，ｎチャネル層用注入ドーズによるVth の制御性は向上していると言える。ｐ層無しの場合に比べ，Be^+ ドーズ $2\times10^{12}\ cm^{-2}$ の場合，傾きは約１／３に低減し，制御性は約３倍向上している。

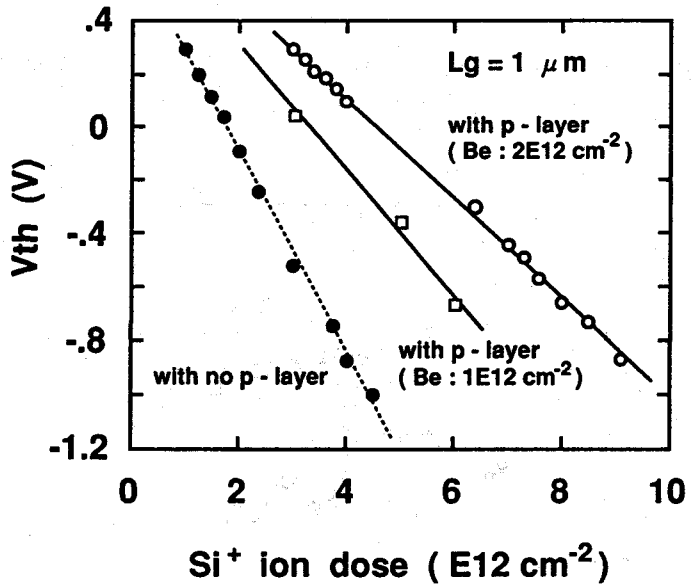


図２—３４　Vth のｎチャネル層用注入ドーズ依存性
（パラメータ：ｐ層用Be^+ イオン注入ドーズ）

2．6．2　短チャネル効果の抑制

前項の２．５．３，２．６．１で述べた様に，ｎチャネル下ｐ層埋め込みによるｎ／ｐ界面のビルトイン電圧 Vbi の発生によるチャネル内電子の基板側への漏れの抑制，及びVbi 発生に伴うｎチャネ

ル側への界面空乏層の拡がりによるnチャネルの薄層化によるゲート電界の2次元的効果の低減により，p層埋め込みWSi_xゲートMESFET（BP - FET）は短チャネル効果の抑制に有効と考えられる。

図2－35(a)にp層用注入ドーズをパラメータとするBP - FETのVthのゲート長依存性を示す（Be^+イオン注入エネルギー70 KeV）。Be^+イオン注入ドーズの増加につれ，短ゲート長時のVthの負側へのシフトは抑制されている。上記負側へのシフトを抑制するには，Be^+ドーズとして1.4 ～ 2.0×10^{12} cm^{-2}が必要である。短チャネル効果を表すサブスレッショルド因子Ngのゲート長依存性（図2－35(b)）はVthのゲート長依存性と全く同じ傾向を示している。Be^+ドーズが2.0×10^{12} cm^{-2}の時，ゲート長0.5 μmでもNgは1.3と十分低く，短チャネル効果は良く抑制されていると言える。

Be^+ドーズの大小がp層のどういう状態に対応しているか検討するために，山崎らがその必要性を強調している完全空乏化条件[7]を満たすBe^+ドーズの近似計算と実際のゲート寄生容量の実測を行った。モデル計算はイオン注入プロファイルを深さ方向均一濃度の矩形状プロファイルに近似して行った。その近似の様子を図2－36に示す。計算手順を以下に述べる。

1）矩形状プロファイルの厚みaを次式で近似する。

$$a = Rp + \sqrt{\frac{8}{\pi}}\sigma p \qquad (2.9)$$

ここで，Rp：注入イオン飛程，σRp：Rpの標準偏差

2）（注入ドーズ）／a　をキャリア濃度Nとする。

3）nチャネル層形成条件は$^{29}Si^+$, 50 KeV, 3.8×10^{12} cm^{-2}，p層形成条件は$^{9}Be^+$, 70 KeV, [Be] cm^{-2}として[Be]を求める。

4）300ÅのSiOスルー注入を考慮したLSS理論曲線から，$^{29}Si^+$イオンではRp= 239 Å，σRp= 254 Å，$^{9}Be^+$イオンではRp= 1718 Å，σRp= 901 Åとなり，これらよりSi, Be対するa，Nを計算すると，a_{Si}= 886 Å，a_{Be}= 4012 Å，さらに$N_{Si}=4.29\times10^{17}$ cm^{-3}，$N_{Be}=2.49\times10^{4}\times$[Be] cm^{-3}となる。

5）Si，Beの活性化率ηは各々η_{Si}～70 %，η_{Be}～60 %であったのでSi，Beによるn層，p層各々のドナー濃度N_D，アクセプタ濃度N_Aは，$N_D=\eta_{Si}\cdot N_{Si}=3.0\times10^{17}$ cm^{-3}，

$$N_A=\eta_{Be}\cdot N_{Be}=1.50\times10^{4}\times[Be]\ cm^{-3} \qquad (2.10)$$

となる。

6）n層／p層間接合はn層側を$N_D - N_A$のドナー濃度とN_Aのアクセプタ濃度の階段接合として計算する。本接合での全空乏層厚Wは

$$W=\sqrt{\frac{2\varepsilon_s}{q}\frac{N_D}{N_A(N_D-N_A)}Vbi} \qquad (2.11)$$

であり，Wのうち，n層，p層側の空乏層厚x_D，x_Aは電荷中性条件より，

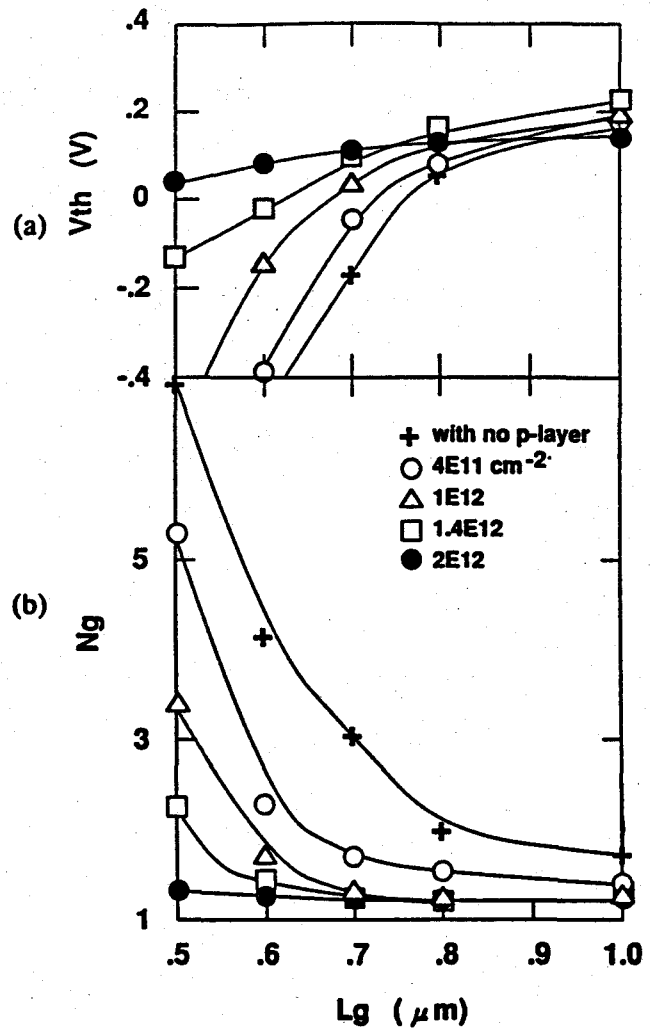


図２—３５（ａ）Vth のゲート長依存性（パラメータ：ｐ層用Be^+イオン注入ドーズ）
（ｂ）Ng のゲート長依存性（パラメータ：ｐ層用Be^+イオン注入ドーズ）

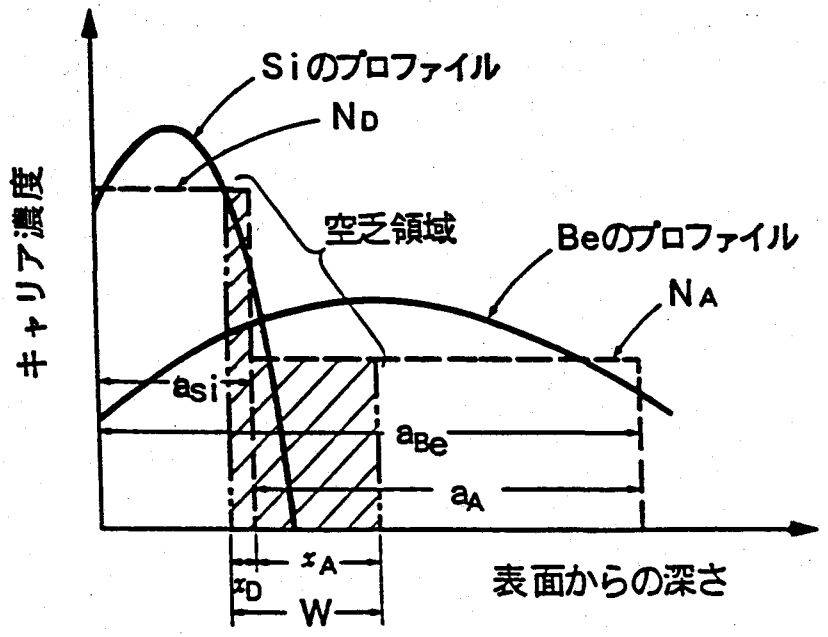


図２—３６　BP - FET のｎ層／ｐ層界面付近での矩形状プロファイル近似の様子

$$N_A \cdot x_A = (N_D - N_A) \cdot x_D \qquad (2.12)$$

となる。

7）p層が完全空乏化する臨界状態では

$$x_A = a_{Be} - a_{Si} \qquad (2.13)$$

であり，（2．10）～（2．13）式よりN_A，さらに[Be]を解くと，

$N_A = 1.74\times10^{16}\,cm^{-3}$，$[Be] = 1.16\times10^{12}\,cm^{-2}$という計算結果が得られる。

本近似法は非常に簡単ではあるが，Be^+ドーズとして約$1\times10^{12}\,cm^{-2}$からp型中性領域が発生すると見積もられる。

上記計算結果を検証する意味で，まず活性化率ηを考慮してSi, Be注入のLSS理論曲線を描き，n層，p層の接合位置（同一濃度位置），p層の基板側のおおよその終端（ピーク濃度の1/100の位置，約$1\times10^{15}\,cm^{-3}$に相当）を求めると，各々829Å，4262Åとなり上記結果とほぼ一致した。さらにp層中の中性領域発生によりゲート寄生容量が発生するかどうかBP-FETのゲート容量を実測した。解析の詳細は後項2．6．6で述べるが，実験結果としてはBe^+ドーズ4×10^{11}～$1\times10^{12}\,cm^{-2}$以上で上記中性領域が発生している。つまり上記近似計算結果と実測結果とはほぼ一致していると言える。

以上の結果，BP-FET構造で短チャネル効果を十分抑制するためのBe^+ドーズはp層中に中性領域を発生させる程度高濃度である必要があり，FET動作高速化に寄与すると考えられるp層完全空乏化条件とは両立しないことが明らかとなった。

比較的高濃度のp層で短チャネル効果を抑制したBP-FET構造における$Lg/Wg = 1\,\mu m/10\,\mu m$の$I_{ds}$-$V_{gs}$特性を，p層を有しない場合と比較して$V_{ds} = 0.7, 1.6$ Vの2水準について図2－37に示す。ログプロットにおけるVth近傍の直線部分の傾きがサブスレッショルド因子Ngに対応する。p層を有する場合，サブスレッショルド領域でのI_{ds}（サブスレッショルド電流I_{sub}）はp層無しの場合と比べて1桁以上低い数nAオーダーであり，基板リークがp層により低減されていることがわかる。またV_{ds}を0.7 Vから1.6 Vに増加すると，I_{sub}は増加し，同時にVthも負側にシフトしている。これはn^+層アニール時にゲート電極ドレイン端直下にドレインn^+層が食い込みドレイン端での実効チャネル厚が増加したために，V_{ds}の増加でゲート電極ドレイン端側に寄ったゲート空乏層がより拡がることに対応する。p層が有る場合，Vthシフト量は小さいが，これは実効的に厚くなったゲート電極ドレイン端のnチャネルを流れる電子が深さ方向に拡がろうとするのを，n層／p層間バリアの空乏層が押し戻すためと考えられる。VthのV_{ds}に対する傾き（$\Delta Vth/\Delta V_{ds}$）はFETモデリングにおけるγパラメータとして用いられるが，本結果よりp層を有する場合のγは0.0044，p層が無い場合のγは0.084と計算され，p層の導入によりγパラメータは約1／20に低減されていることになる。

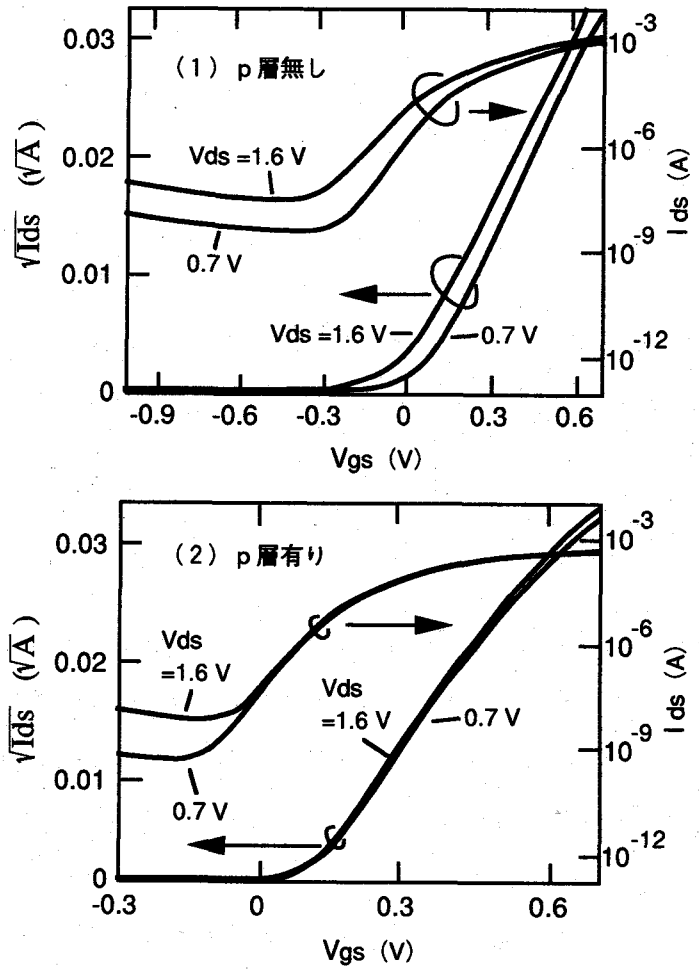


図2—37　Ids - Vgs特性（p層の有無）

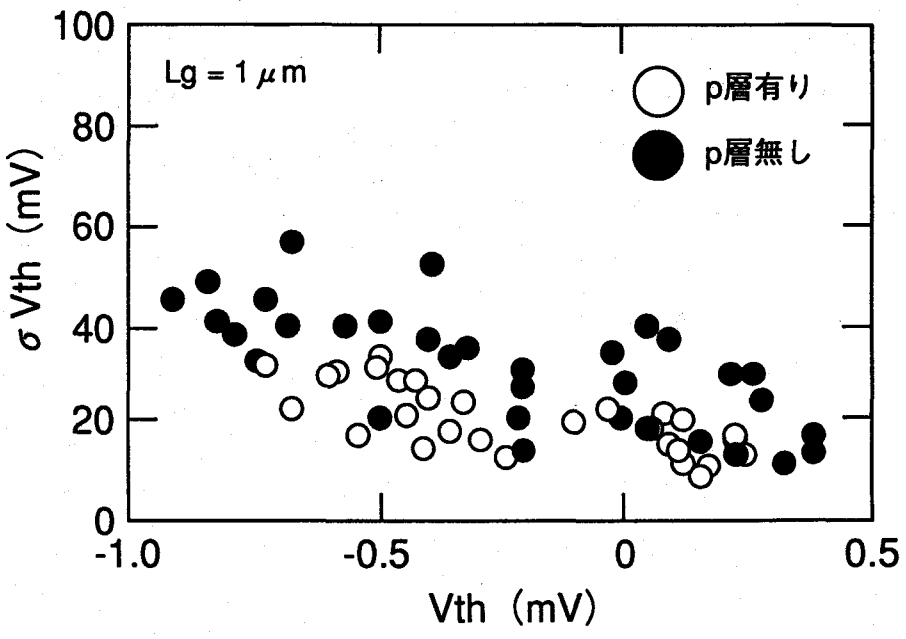


図2—38　σVthのVth依存性（p層の有無）

2．6．3　Vth均一性向上

LSI用FETにおいてVth均一性は，LSIを完全動作させるため，またその歩留りを十分高くするために最も重要な制御因子の1つである。例えば，1-Kb SRAMについては完全動作チップを得るためにσ Vth ≦30 mV [44]，あるいは16-Kb SRAMではσ Vth ≦5 mV [45]が必要であるという報告がある。GaAs LSIは基本的に高速である必要があるが，それ以前に完全なLSI動作を実現するためには，まずVth均一性を十分良好なレベルにする必要がある。

ウエハー面内のマクロなVth分布を表すσ Vth（3インチウエハー面内で2～3 mm間隔で測定）のVth依存性をp層の有無をパラメータとして図2－38に示す（Lg/Wg = 1μm/10μm，p層形成条件：$^{9}Be^{+}$, 70 KeV, 2×10^{12} cm^{-2}）。尚，使用した基板は半絶縁性In dope低転位LEC基板である。Vthはゲートショットキー順方向リークが発生し出すϕ_B以上にはならないので，Vth ～ ϕ_B（～0.7 V）ではσ Vth ～0 Vとなる。図中の1点は1ウエハーに対応し，本データはp層有り，p層無し各々の場合とも複数のインゴットからの測定値をプロットしたものである。同一Vthに対するσ Vthはp層有りの方が平均的に低減されており，さらに異なるウエハー間でのばらつきも減っている。前者は短チャネル効果の改善に対応すると考えられ，後者は前節2．6．1のp層埋め込みの目的3）で指摘したGaAs基板の残留アクセプタ濃度のウエハー，インゴット間ばらつきの影響をp層埋め込みで低減していることに対応すると考えられる。p層を有する場合，Vth ～150 mVでσ Vth ～10 mVという非常に良好な均一性も得られている。図2－38においてはLgが1μmで，図2－35からわかるようにp層の有無による短チャネル効果の差があまり見られないゲート長であるため，p層の有無によるσ Vthの差はそれほど明白ではない。図2－35 (a), (b)に対応したσ Vthのゲート長依存性を図2－39に示す。使用した基板は図2－38の場合と同様3インチ径半絶縁性In dope低転位LEC基板で，ウエハー全面で127個のFETを測定した。ゲート長の短縮に伴い，σ Vthは単調に増加している。本結果は図2－35 (a), (b)のVth，Ngのゲート長依存性とほぼ同じ傾向である。即ち，短チャネル効果の増大（Vth負側シフト，あるいはNgの増大）につれ，σ Vthは単調に増加している。つまり本BP - FET構造では，Vthのばらつきは主に短チャネル効果の大小により決まると考えられる。特にBe^{+}イオン注入条件70 KeV, 2×10^{12} cm^{-2}の場合には，短チャネル効果が十分抑制され（Ng = 1.3），Lg = 0.5μmでもσ Vth ～25 mVという良好なVth均一性が得られている。

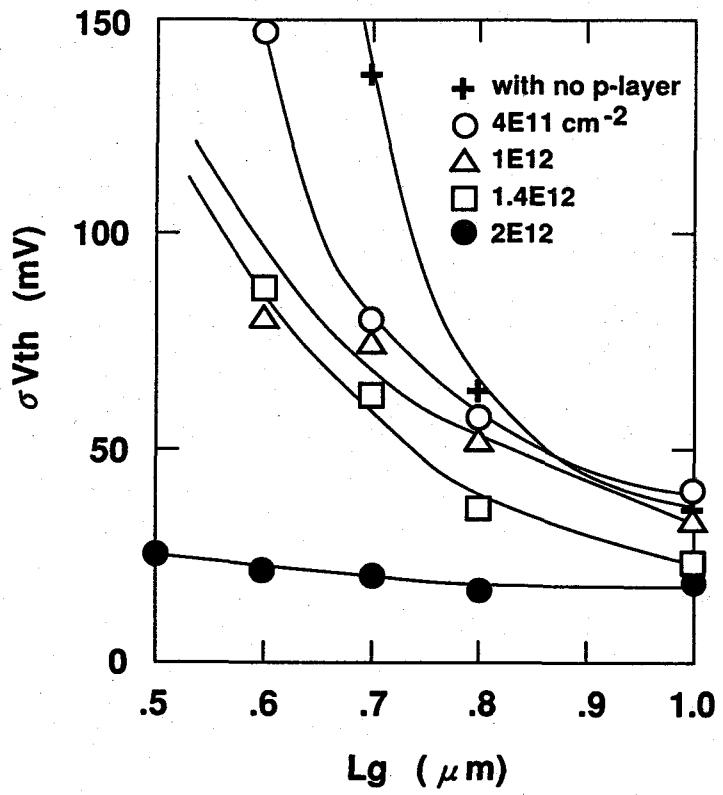


図２—３９　σVthのゲート長依存性（パラメータ：p層用Be^+イオン注入ドーズ）

上述のBe^+イオン注入条件（70 KeV, 2×10^{12} cm^{-2}）で短チャネル効果，並びにVth均一性はかなり改善された。それは単調にp層濃度を増加したことに対応するが，前項２．６．２で述べた様にp層中にさらに中性領域を増やすとゲート寄生容量が増え，逆に高速動作が損なわれる。しかしながらp層高濃度化によりどこまでVth均一性が向上するか，またp層の形成位置—p層注入深さの影響については１９８６～８８年当時はほとんど検討されていなかったので，本BP - FET構造でさらなるp層の高濃度（高注入ドーズ）化とp層の厚み（注入深さ）のVth均一性に及ぼす影響をさらに検討した。

厚いp層は短チャネル効果抑制に有効であるとのMESFET動作の２次元計算機解析結果の報告があるが[46]，そこではnチャネル層，p層は矩形状プロファイルである。p層が矩形状プロファイルであれば，ソース・ドレイン間基板リークの基板表面から深い位置を経路とするリークはp層が厚い方が減ることは理解できるが，本研究のイオン注入プロファイルの場合は深さ方向に濃度が変化しているために上記計算機解析結果と一致しない可能性が高い。そこで１μmゲートBP - FETについてBe^+イオン注入ドーズを2×10^{12} cm^{-2}に固定して注入エネルギーを70 KeVから350 KeVまで増加させた場合，サブスレッショルド因子Ng，即ち短チャネル効果は注入エネルギーの増加につれて増大した。つまりnチャネル下のさらに深い位置にp層を形成しても短チャネル効果は抑制されず，かえって増大する。あるいは同一注入ドーズで注入エネルギーを増加するとnチャネル付近のp層の濃度は低下するが，

この時 Ng は増加する。一方，Ng は図２－３５(b) からわかるようにBe^+イオン注入が同一注入エネルギーの時（70 KeV），注入ドーズの増加で大幅に低減される。つまりｐ層はｎチャネル付近がある程度高濃度であることが有効なのであり，ｐ層のうちｎチャネルから離れた深い位置にある部分は短チャネル効果の抑制には効果が少ないと判断できる。図２－４０に３インチ In dope LEC基板上の 0.8 μmゲートBP - FETにおけるσ Vth のｐ層用Be^+イオン注入ドーズ依存性を注入エネルギーをパラメータ（70～350 KeV）として示す。Be^+ドーズを 5×10^{12} cm^{-2} まで増加するにつれ，どの注入エネルギーでもσ Vth は単調に減少している。σ Vth の注入エネルギーに対する依存性は，先の Ng の注入エネルギーに対する依存性と同じ傾向であり，前述の通りVth 均一性（σ Vth ）は短チャネル効果と一意的に対応していると言える。Be^+イオン注入エネルギーが 70 KeVの時，Be^+ドーズが 2×10^{12} cm^{-2} 以上でσ Vth は最小値 20 mVに達する。2×10^{12} cm^{-2} 以上ではσ Vth は 20 mVほぼ一定となり，それ以上の過剰なBe^+ドーズの増加は不必要となる。

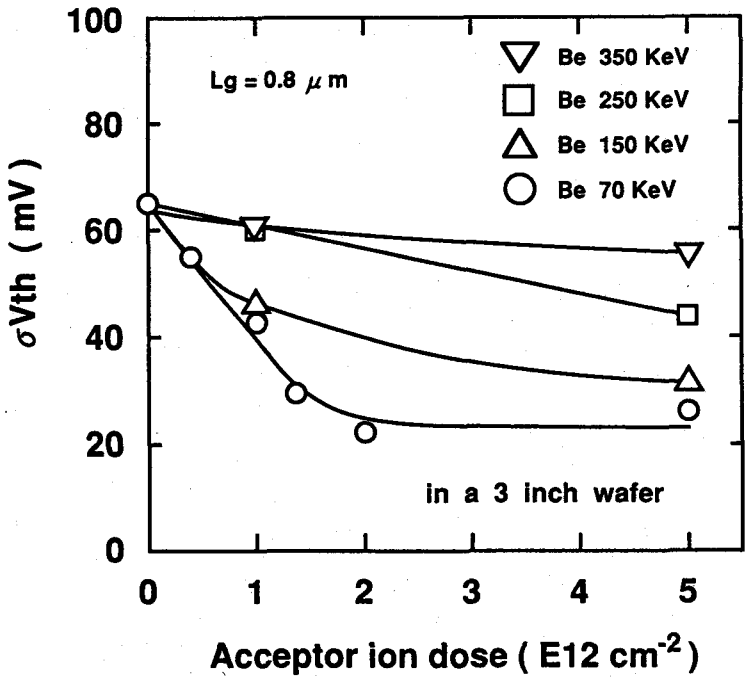


図２—４０　σ Vth のｐ層用Be^+イオン注入ドーズ依存性
（パラメータ：ｐ層用Be^+イオン注入エネルギー）

２．６．４　スパイク状Vth 異常の抑制

GaAs LSI の歩留りを上げるための真の意味でのVth 均一性を議論するためには，LSI を構成するFET 密度（例えば4-Kb SRAM であれば 10 μm 程度でFET が近接している）に極力近い微小間隔で高

密度に集積したFETアレイのVthデータからVthばらつき因子（σVth, Vthばらつきの形態等）を評価する必要がある。ここでは高密度なFETアレイ（60μmピッチ，及び15μmピッチ）を数mm角の領域に形成して，GaAs LSIと同じオーダーの面積でのVthミクロ分布の形態を評価した。図２—４１に本高密度微細FETアレイ測定パターンを示す（ゲート長は1.0μm）。

２．６．４．１　転位とVth変動の相関

従来よりGaAs MESFETのVthばらつきは，主に基板中の転位との関連で研究されてきた[47]。転位はそれ自身直接的であれ間接的であれ，Vthを変動させるという報告が数多くある[48]。このような転位によるVth変動の影響を低減するために，GaAs基板としては低転位密度（10～100 cm^{-2}） In dope LEC基板を用いることにした。まずゲート長1.0μmの従来型SAGFETのVthと，同FETのゲートと最近接転位との距離に相関が見られるかどうか調べるために，同1.0μmゲート従来型SAGFETで前記60μmピッチの微細FETアレイを構成してVth分布を測定した後，KOHエッチングで転位に対応するエッチピットを形成して，FETのゲートと最近接エッチピットとの距離を測定した。図２—４２に上記Vthと転位（エッチピットに対応）の分布を示す。図２—４２においては以下の３種類の状態に分類されている。即ち，１）ゲートが転位の真上にある場合，２）ゲートと最近接転位との距離が1μm以上30μm未満の場合，３）同距離が30μm以上の場合，である。図中のVth測定結果より，１），２），３）各々の場合におけるVthの平均値は，各々 -138 mV, -103 mV, -105 mV となる。これよりVthは，そのFETチャネル部（ゲートと同一位置）が転位の真上であれば平均的に約30 mV負側にシフトするが，同距離が1μm以上あればシフトしないと言える。

この実験結果は次の様に考えられる。従来，Vthと，そのFETチャネル部と転位との距離の相関については精力的に研究されている[48] - [52]。それらをまとめると，As圧下アニールでない，あるいは低As圧下アニールでAs空孔が生じやすく基板表面付近がGa - richの場合，Vthは転位からの距離と良い相関があり，転位直上にFETチャネルがある時は最大300 mVも負側にシフトするが[49]，逆に高As圧下アニール，あるいはSiO_2キャップアニールでAs_i，あるいはGa空孔が多くAs - richの場合は上記依存性が見られなくなる[50]-[52]，ということが定性的には多くの報告の共通した結果である。

そこで本研究での基板表面付近がGa - rich, As - richのどちらの状態になっているか検討するために，FETのチャネル層キャップアニール後のSiOキャップ膜中の不純物プロファイルをSIMS分析した。そのSIMS分析結果を図２—４３に示す。SiO膜中にはGa, Asが各々 7×10^{18} cm^{-3}，及び 2×10^{18} cm^{-3} 厚さ方向にほぼ一定に拡散していることがわかる。即ち，GaAs基板からはAsよりGaがより多量に抜け出している。

これは前項２．５．１で述べた結果と一致している。使用しているIn dope基板はstoichiometricであるため，本研究でのGaAs基板表面付近はAs - richになっていると考えられる。本研究ではFETチャネルと転位との距離が1μm以上では，そのVthと距離との間に相関は見られず従来の共通した結果と一致している。但しFETチャネルが転位の直上にある場合に若干（約30 mV）負側にシフトするのは，むしろGa - richでの結果に似ており，本研究でのAs - richの度合いは従来報告例のAs - richの状態に比べ小さいとも考えられる。

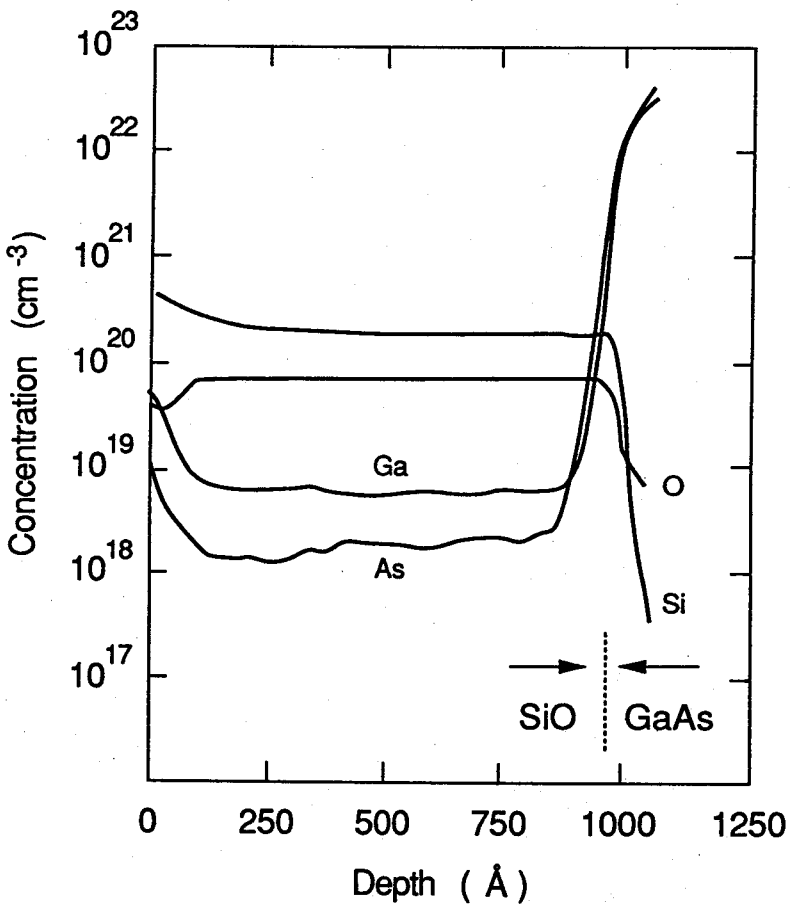


図２—４３　アニール後のSiOキャップ膜中の不純物プロファイルのSIMS分析結果

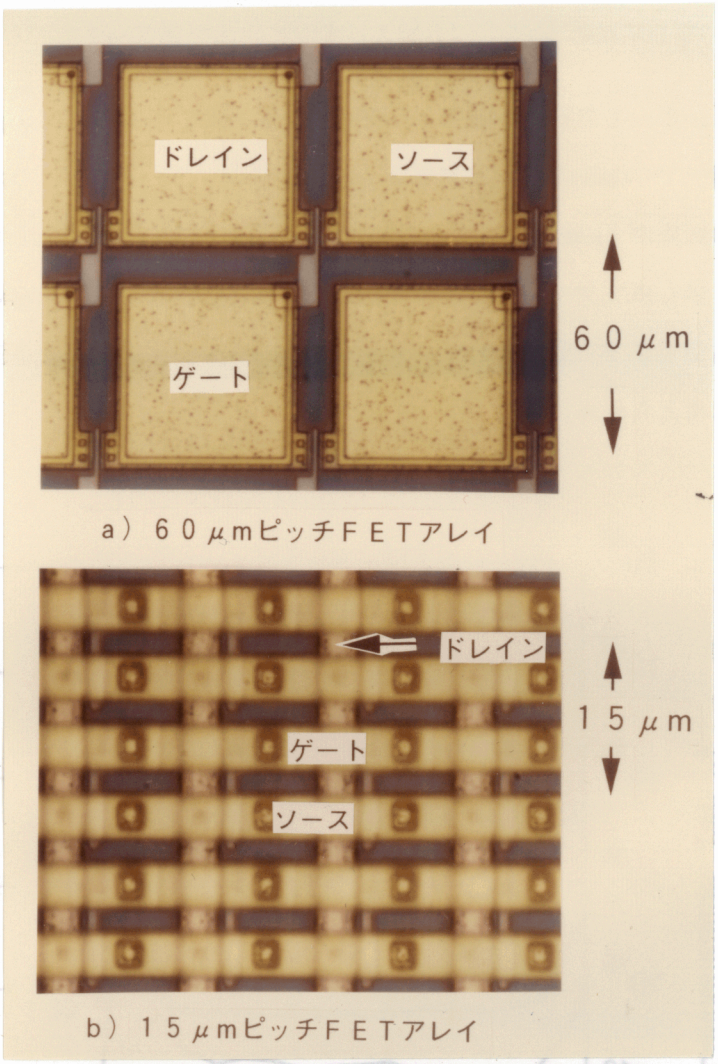


図2—41　高密度微細FETアレイ測定パターン（ゲート長1μm）

-97	-94	-84	-139	-122	-78	-106	-100	-105
-102	-103	-101	-132	-101	-84	-118	-124	-95
-103	-98	-111	-89	-75	-102	-135	-126	-108
-120	-96	-104	-28	-69	-116	-141	-132	-62
-113	-96	-107	-121	-121	-117	-104	-96	-77
-108	-117	-144	-92	-117	-110	-117	-79	-111
-83	-134	-130	-79	-92	-92	-86	-84	-140
-109	-154	-112	-99	-73	-90	-75	-125	-157
-103	-163	-102	-99	-80	-68	-100	-114	-154
-98	-156	-107	-73	-100	-65	-107	-87	-119
-103	-116	-125	-111	-105	-74	-108	-69	-99
-145	-127	-152	-119	-102	-113	-80	-92	-136

ゲートが転位の真上

ゲートと最近接転位との距離が1μm以上30μm未満

Vth異常点

従来型 SAGFET（p層埋め込み無し，Lg＝1μm）

図2—42　Vthと転位の分布（60μmピッチ）

2．6．4．2　微小領域でのVth変動とその原因の考察

（1）Vth異常点

一方，p層を有していない従来構造のWSi_xゲートMESFETを最小15μmピッチで形成した場合，周辺のFETに比べ数十mV以上単独点としてVthが大きい異常点が，特に基板の種類（アンドープ，Inドープ，インゴットアニールの有無）にも依らず存在することを確認している[53]。その評価結果の一例として15μmピッチ高密度FETアレイでのVthミクロ分布を図2—4 4に示す。本アレイは22ヶ×22ヶ構成であり，従来型1μmゲートWSi_x SAGFET（p層無し）を用いている。50～100 mV程度正側にVthがシフトしている異常点が本領域内に数個見られる。さらにVth異常点の例を図2—4 2に合わせて示す。使用基板はInドープLECであるが，Vth異常点は転位とは直接的に相関していないことがわかる。この異常点はGaAs LSIでも特にSRAMの場合，不良ビットを発生させるのでその密度，あるいはそのVthシフト量を十分に低減しなければならない。従来このVth異常点の存在については，Vth微小領域評価により数件の報告がなされているが[54]-[56]，それらの報告はVthとGaAs基板結晶特性，あるいはVthとアニールプロセスとの相関についての研究であり，VthとFET構造との相関についてはなされていなかった。本研究では微小領域でのVth分布（Vthミクロ分布）を60μmピッチFETアレイを用いて，p層埋め込みの有無，第3章で述べるLightly Doped Drain (LDD) 構造適用の有無，あるいはゲート長の短縮というFET構造の観点から検討を行った。

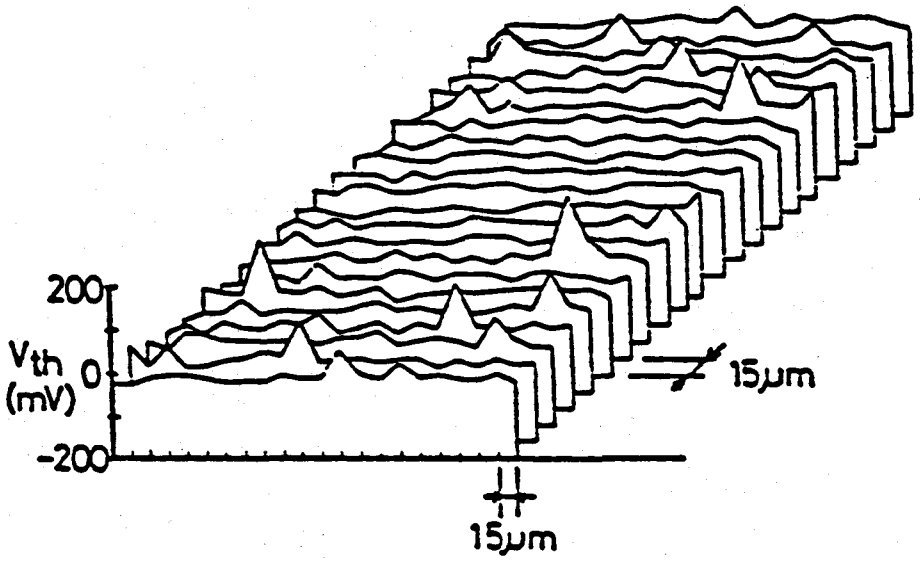


図2—4 4　15 μmピッチ高密度FETアレイでのVthミクロ分布

まず，3 mm×3 mmの領域に60μmピッチで形成されたゲート長1μmの従来型WSi_xゲートSAGFETを総数2500個測定するが，a) p層の無い場合，b) p層をBe^+イオン注入70 KeV, 4×10^{11} cm^{-2}で形成

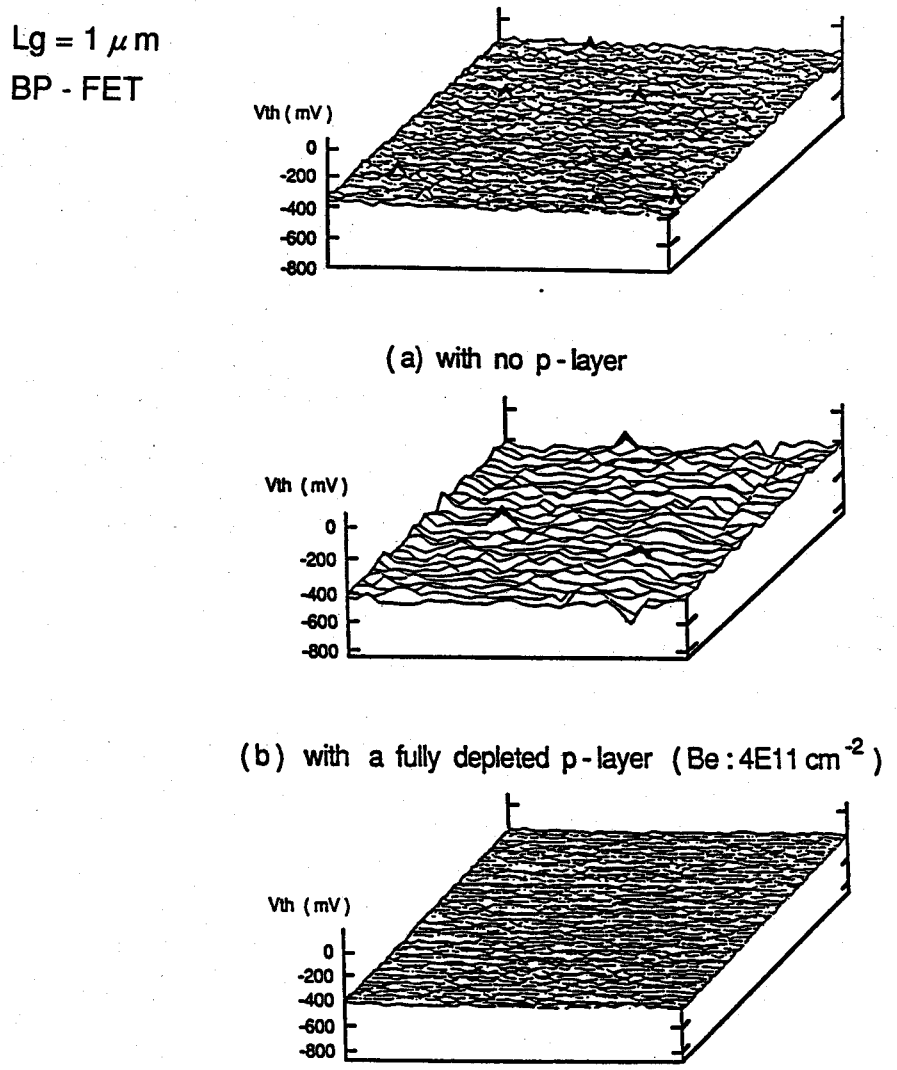


図２—４５　60 μmピッチでのVth ミクロ分布（パラメータ：ｐ層用Be^+ イオン注入ドーズ）

した場合（ｐ層完全空乏化条件），c) ｐ層をBe^+ イオン注入 70 KeV, 2×10^{12} cm^{-2} で形成した場合（ｐ層部分空乏化条件）の３種のFET構造について測定した。尚，この３者の評価結果の比較を行うため，各Vth の平均値はほぼ同一の約 -400 mV になるようにｎチャネル層用注入ドーズを調整した。この３種のFET構造における 60 μmピッチでのVth ミクロ分布の評価結果を図２—４５に示す。

a) ｐ層の無い場合，上記Vth 異常点が多く存在しており，その密度は約10個／～10 mm^2 = 約 1個／mm^2 である。b) Be^+ ドーズ 4×10^{11} cm^{-2} の場合（ｐ層完全空乏化条件），a) に比べ異常点の数は減っているものの未だ異常点は存在しており，その周辺のVth もばらついている。即ち，このVth ミクロ分布均一性の点でも，ｐ層完全空乏化条件では十分な均一性が得られないことが明らかとなった。これらに対し，c) Be^+ ドーズ 2×10^{12} cm^{-2} の場合（ｐ層部分空乏化条件），異常点の数は極端に減り，図２

—4 5 (c) では異常点は全く見られなくなる。この時本領域での σ Vth は a) の場合の17 mV から 9 mV と非常に減少する。この値は前節２．６．３に述べたSRAM正常動作に必要な σ Vth （1-Kb で 30 mV, 16-Kb で 5 mV）から，ほぼ4-Kb SRAMレベルまでは正常動作できるレベルに達していると考えられる。

（２）Vth 異常点の起源についての考察

まず上記異常点ではゲート・ショットキー特性は周辺の正常点での特性と同様で良好であり，本不良には対応しないことを確認している。次に本Vth 異常点はFETの短チャネル効果が十分抑制されている場合，見られなくなる。これは上記Vth 異常点での正側へのシフト量は，同一FET構造でも短チャネル効果がより大きく発生しているVth が低いFETの方が大きいことにも対応する。またｐ層無しだが第３章で検討するLDD化により短チャネル効果を抑制した1 μ mゲートFETを用いた場合には上記の異常点は見られないことを確認している。第３章で述べるが，LDD構造FETではｐ層無しの従来構造FETに比べ短チャネル効果はより改善されている。あるいはｐ層無しの従来型FETでもゲート電極の形成方位を変えて（$<1\bar{1}0>\rightarrow<110>$）（ピエゾ効果が変化する），Vth 負側シフト量，即ち短チャネル効果を小さくするとVth 異常点は低減することも確認している。ｐ層を有していない従来型FETでの上記 60 μ mピッチVth ミクロ分布を，ゲート長をパラメータとして（2.0, 1.0, 0.8 μ m）図２—４６に示す。使用基板は前記と同様に In dope LECである。これらのFETアレイは同一基板上に隣り合わせて形成されており，イオン注入条件も同一である。ゲート長が短くなり短チャネル効果が増加するにつれ，異常点でのVth 正方向シフト量は増加していること，あるいは異常点の数が増えていることがわかる。以上の測定結果から，上記異常点は，ｐ層の有無には関係なく短チャネル効果が十分に抑制された場合に発生しなくなるものと考えられる。

図２—４７にｐ層の無い従来型 1 μ mゲートSAGFETの異常点，及びその周辺の正常な点での I_{ds} - V_{gs} 特性を示す。本図よりまず異常点での I_{ds} - V_{gs} 曲線はFETとして正常であると言える。Vth 異常点でのFETのサブスレッショルド電流 I_{sub} は，正常FETに比べ１桁弱小さい。これらの現象について以下の様に考察した。

異常点では，

１）FETのｎチャネル下の基板抵抗が増加している[57]。

２）FETのソース，ドレインｎ$^+$層間距離が増加している。

３）GaAs基板上の電極，絶縁膜から基板表面に与えられるストレスが何らかの原因で変動して，特に短ゲート長FETでその寄与が増大するピエゾ効果が変動している。

（ゲート電極及び絶縁膜からのストレスによって，ゲート電極端を分布の中心としてピエゾ電荷が発生し，短ゲート化に伴って両ゲート電極端の効果が重畳され，Vth シフトを引き起こす。）

２）については，異常点，その周辺の正常点でのFETのWSi_x ゲート長を実際に測定したところ両者

の差は平均値に対して１％以下であり，ゲートパターン長の差は原因となっていないことが明らかとなった。よってソース，ドレインn$^+$層間距離の増加要因としては，n$^+$層用注入ドーパント（Si$^+$イオン）のアニール時横方向拡散長が低下したことが考えられる。３）についてはWSi$_x$ゲート電極に隣接した絶縁膜（SiON）をエッチング除去する前後で，異常点及び周辺の正常点でのVthがどのように変動するかを測定した。本実験ではWSi$_x$ゲートはtensile，SiON膜はcompressiveであり，ピエゾ効果としてはVthをより負側にシフトさせる方向である[58]。従ってSiON膜除去後にはVthは正方向にシフトすることが予想される。測定の結果，両者のVthの絶対値が正方向にシフトしたのみで，異常点の分布，正常点に対する異常点でのVthシフト量はほとんど変わらなかった。つまりピエゾ効果は本異常点の発生原因にはなっていない。

結論として，現段階では本Vth異常点の起源は明白ではない。しかしながら転位を除外した基板結晶特性がnチャネル下の基板抵抗，あるいはn$^+$層用注入ドーパントの横方向拡散長の局所的減少をもたらすことが主要な原因と考えられる。上記の基板抵抗の変動は残留アクセプタ（C, Cu, Mn等）の濃度変化に対応することも考えられる。しかしながら残留アクセプタ濃度の変化により有効な量の実効チャネルキャリア濃度の変化は生じていない。何故ならばnチャネル濃度の変化が生じれば，短チャネル効果が生じていなくてもVthは相応にシフトするはずであるが，短チャネル効果の抑制につれてVth異常点でのVthシフト量は，前述の測定結果の通り低減していくからである。

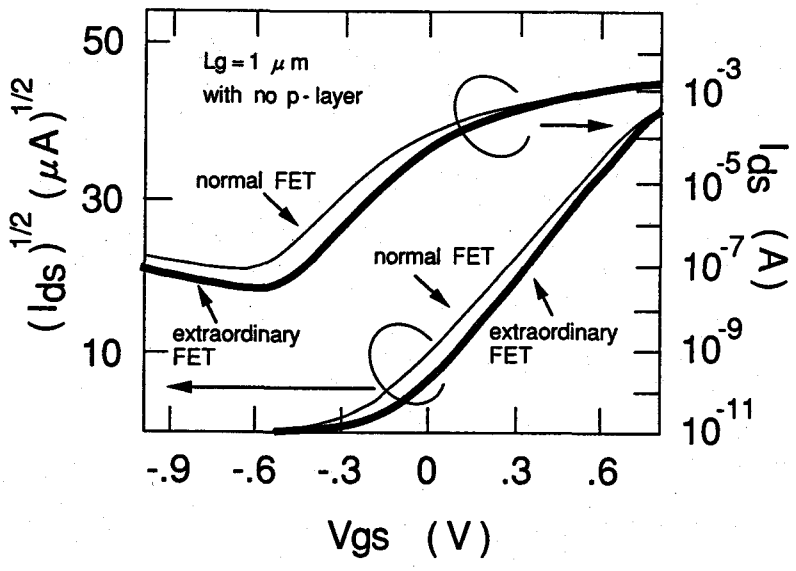


図２—４７　Vth異常点，その周辺の正常点でのIds - Vgs特性

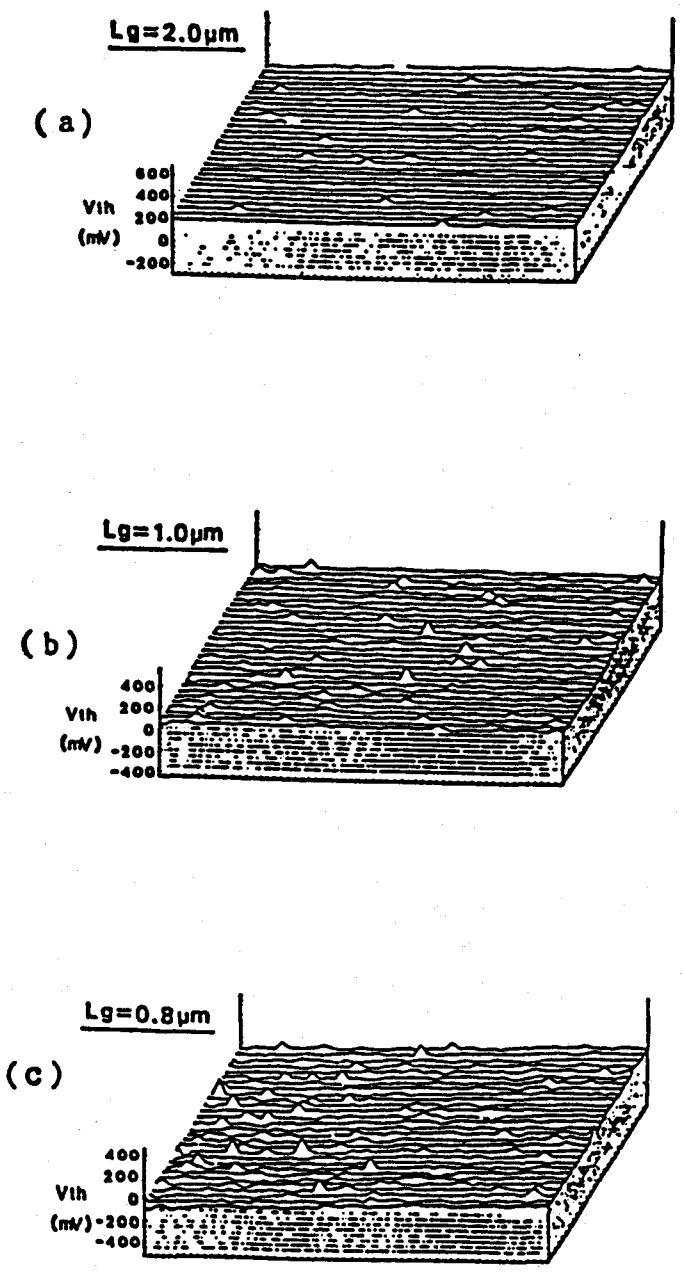


図２—４６　60 μmピッチでのVthミクロ分布
（パラメータ：ゲート長）

２．６．５　p層埋め込みSAGFETの電流駆動能力の向上

ICの集積規模が4-Kbあるいは16-Kbレベルではその動作速度は配線容量に律速されてくる[59]。そのため能動素子の電流駆動能力の向上を図ることがLSIの高速化には必須となる。電流駆動能力を表す因子として，K値，相互コンダクタンス g_m が通常用いられる。BP-FETにおいてp層濃度を上げると実効nチャネル厚は薄くなるので，前節２．５．１の（2.3）式において，あるVth設計値を維持するためにはnチャネル濃度を上げる必要がある。つまりp層埋め込みによるnチャネルの薄層化には同時にnチャネル濃度の増加が必要となり，結果としてnチャネルの高濃度薄層化が実現される。

図２—４８に0.8μmゲートBP-FETの電流駆動能力であるK値のp層用 Be^+ イオン注入ドーズ依存性を示す（注入エネルギー 70 KeV）。Be^+ ドーズの増加に伴いnチャネル用 Si^+ ドーズはVthを約100 mV一定とするように増加させている。Be^+ ドーズの増加とともにK値は単調に増加していることがわかる。K値の増加は（2.5）式よりチャネル厚aの減少，移動度μ，あるい誘電率εの増加に対応するが，測定温度，nチャネル濃度に大きな変化はなくμ，εの変化は無視できるので，チャネル厚aの減少に対応すると考えられる。図２—４９に1μmゲート従来構造SAGFETにおけるK値のVth依存性をp層の有無をパラメータとして示す。p層の無い場合，K値はVthの低下に伴い大きく減少しているが，p層の有る場合（Be^+, 70 KeV, 2×10^{12} cm^{-2}）はK値はそれほど減少していない。これはp層無しの場合でのnチャネル濃度（注入ドーズ）の増加によるnチャネル厚aの増加より，p層有りの場合でのnチャネル濃度（注入ドーズ）の増加によるnチャネル厚aの増加の方が少ないことを意味しており，n／p界面でのポテンシャルバリアが，増加したnチャネル中のキャリアの基板側への漏れも十分に抑制していることに対応する。本考察は次のnチャネル層のキャリアプロファイルの評価結果とも一致する。

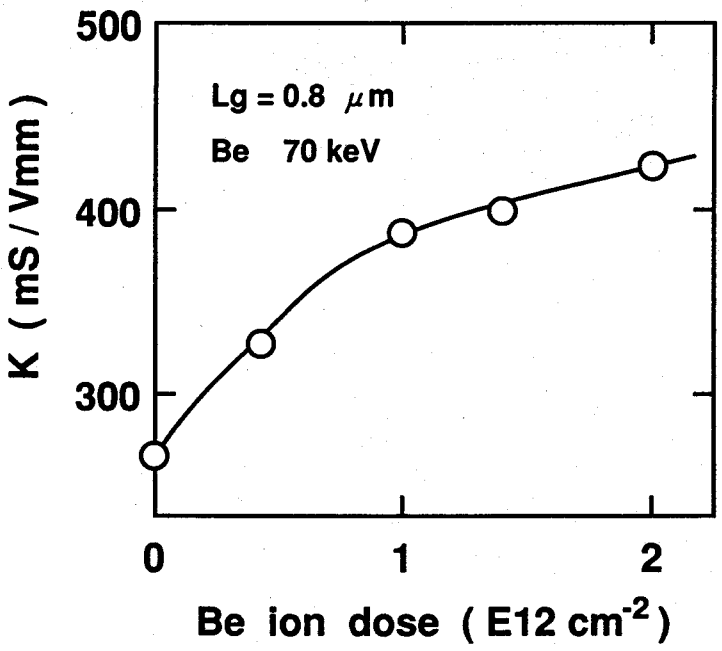


図２—４８　K値のp層用Be^+イオン注入ドーズ依存性

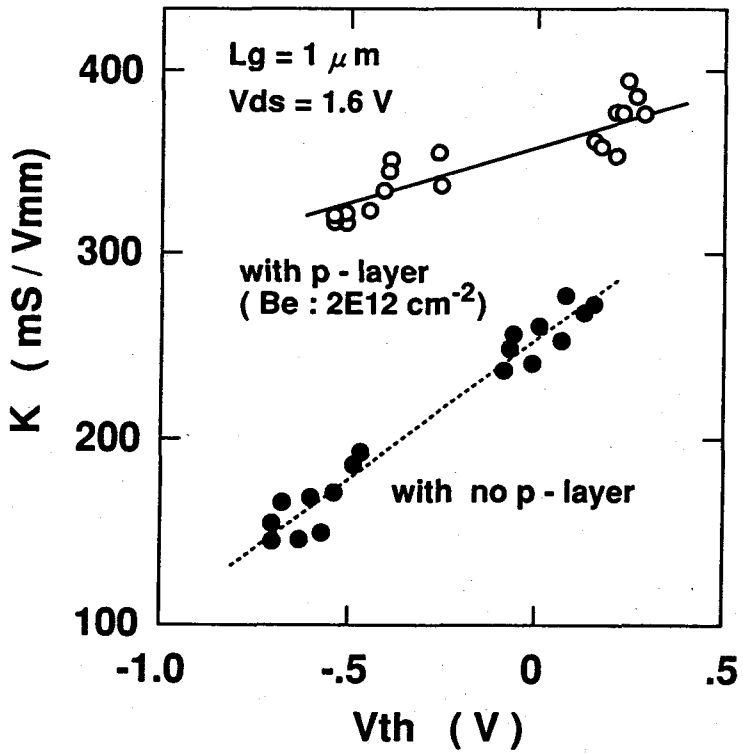


図２—４９　K値のVth依存性（p層の有無）

図２—５０にBP - FETチャネル部に相当するキャリアプロファイルのC - V法による測定結果を示す。p層無しの場合，nチャネル層用 Si^+ イオン注入ドーズは 1.5, 2.0, 2.5×10^{12} cm^{-2}，p層有りの場合（Be^+, 70 KeV, 2×10^{12} cm^{-2}），Si^+ イオン注入ドーズは 3.3, 4.0×10^{12} cm^{-2} であるが，p層無しではSi^+ドーズの増加に伴いキャリア濃度分布のテイルが深さ方向へ増加するのが明白であるのに対し，p層有りではその増加はp層無しに比べ十分小さく，かつキャリア濃度分布のテイルの傾きは急峻である。つまりp層埋め込みにより，nチャネル濃度の影響をあまり受けずにnチャネル厚の制御性は向上すると言える。図２—５１にBe^+ イオン注入 70 KeV, 2×10^{12} cm^{-2} の時のBP -FETにおける g_m のゲート長依存性を示す。（２．６）式から予想されるようにLgに反比例してg_mは増加している。ゲート長0.5 μmでは，Vds = 1.6 V, Vgs = 0.65 V, Vth = -10 mV なる条件で，g_m = 600 mS/mm, K = 490 mS/Vmm という本ゲート長のGaAs MESFETとしては最高レベルの電流駆動能力が得られた。

以上の結果より，完全空乏化せず中性領域を有する比較的高濃度のp埋め込み層（Be^+ イオン注入層）はVth均一性の向上のみならず，電流駆動能力の増大にも有効であることが確認された。

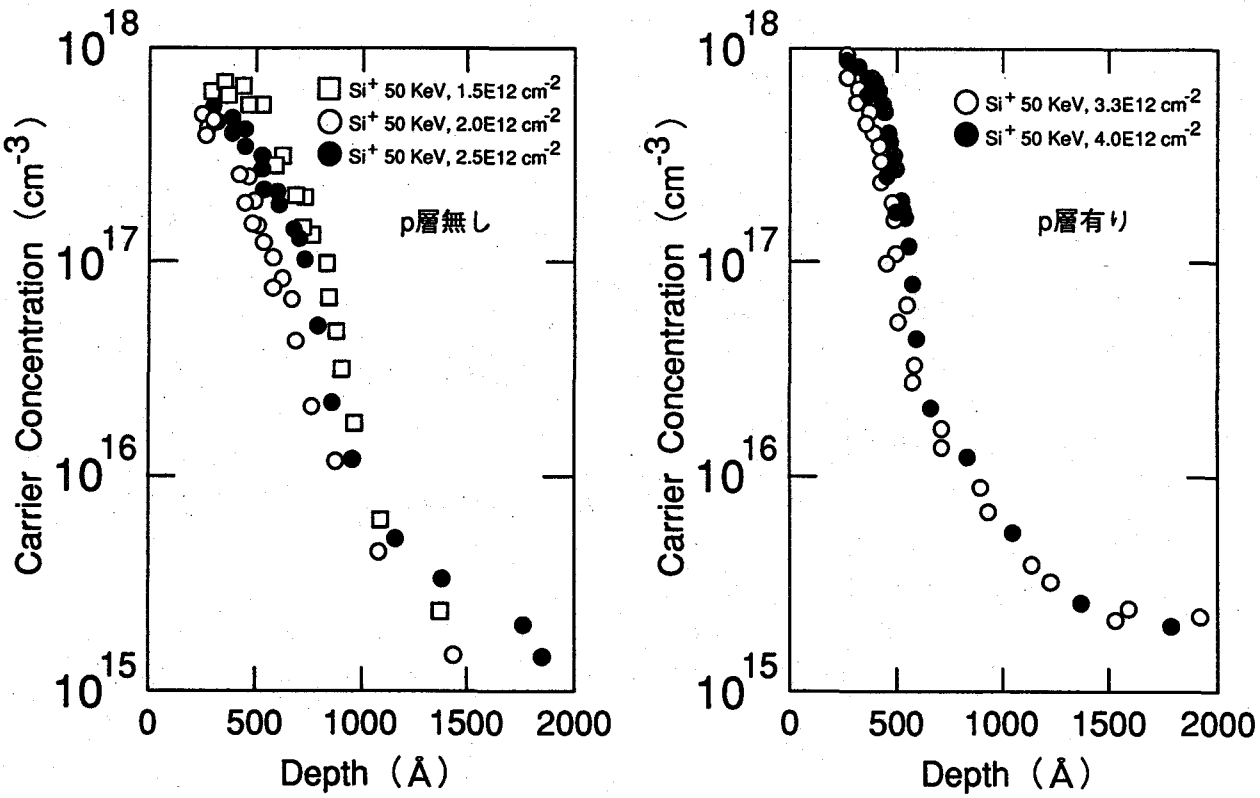


図2—50　nチャネル層のキャリアプロファイル（p層の有無）

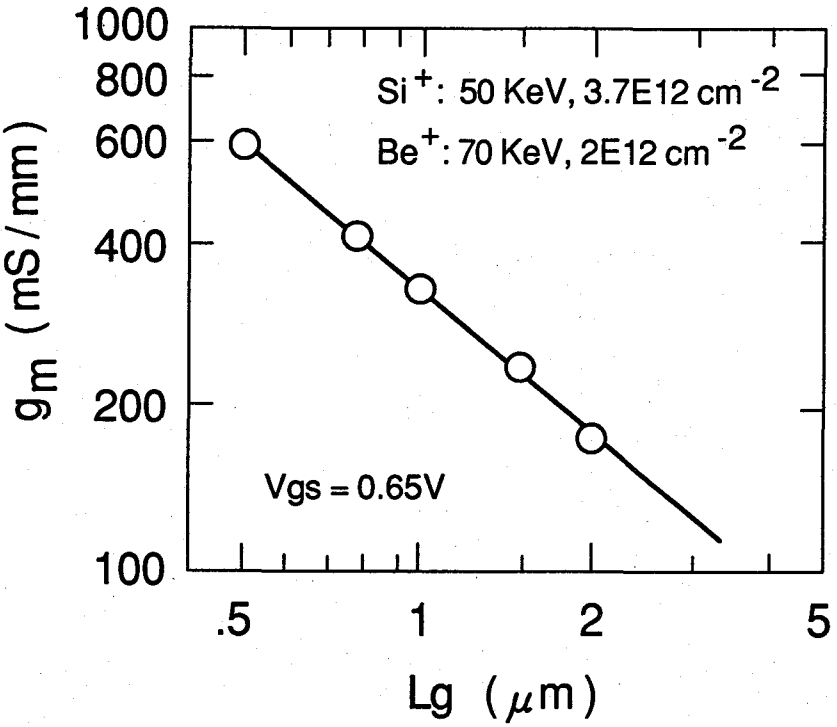


図2—51　BP - FET における g_m のゲート長依存性

2．6．6　ゲート容量

FET動作速度は前節の電流駆動能力とゲート容量の比で決まるため，p層のゲート容量に及ぼす影響について調べる必要がある。特に短チャネル効果，Vth均一性の改善のためにp層はその中に中性領域を有する比較的高濃度としたので，中性領域中のホールによりゲート寄生容量が増加する。またFETのVth設計値を元の値に維持するためにはnチャネル濃度自体も増加させる必要があるが，ゲート真性容量も増加するので，ゲート容量はp層埋め込みに伴いかなり増加するものと考えられる。この状態ではゲート容量Cgsは次式で表わされる。

$$Cgs = \frac{\partial Q_n}{\partial Vgs} - \frac{\partial Q_p}{\partial Vgs} \qquad (2.14)$$

ここでQ_n，Q_pは各々電子，ホールによる電荷である。ｉ）ゲートオン時は，nチャネル中のキャリア（電子）とp型中性領域中のホールの両方がゲート容量に寄与する。またｉｉ）ゲートオフ（ピンチオフ）時には，ゲート長が十分長い場合はnチャネルは全体的に空乏化し，p型中性領域のホールが主にゲート容量に寄与する。p層完全空乏化の時にはこの容量は発生しない。図２—５２にLg/Wg＝7μm/20μmのBP-FETのゲート・ソース間容量CgsのVgs依存性をp層用Be^+イオン注入ドーズをパラメータとして測定した結果を示す（Be^+イオン注入エネルギー70 KeV）。測定したFETのゲート長は7μmであり，ゲート端での寄生容量（主にn^+層の約0.15μmのゲート下への食い込みによる）の影響は相対的に小さい。Cgsはインピーダンス・ゲイン・フェイズアナライザによるインピーダンス測定から導出し，測定周波数は1 MHzとした。各Be^+ドーズのFET間でVthをほぼ一定（本図では約-400 mV）とするため，nチャネル用Si^+イオン注入ドーズは，p層が高Be^+ドーズとなるほど増加させている。また本図のCgsはp層の無い上記寸法のFETのピンチオフ領域のゲート・ソース間容量を差し引いている。p型中性領域のホールによる寄生容量の発生は，ピンチオフ領域の　Cgsの増加によりnチャネルの影響を受けずに確認できるが，図２—５２より，上記寄生容量はBe^+ドーズで4×10^{11} cm^{-2}から1×10^{12} cm^{-2}の間で発生しだすことがわかる。これは前節２．６．２のp型中性領域が形成されだすBe^+ドーズの１次元階段接合モデルによる近似計算結果（Be^+イオン注入エネルギー70 KeVの場合，～1.2×10^{12} cm^{-2}）と良く一致している。本図よりこのピンチオフ領域での寄生容量はVgs＞Vthのゲート容量の高々約１０％以下であり，実際のFET動作速度を支配する容量はむしろゲートオン時の容量と考えられる。ゲートオン時にはp層以外にBe^+ドーズ増加に対応するnチャネル層のドーズ増加分による真性容量の増加がある。本図よりゲートオン時の容量はBe^+ドーズの増加とともに増加していることがわかる。Be^+ドーズが0と4×10^{12} cm^{-2}の場合を比較すると，オン時の容量は約３０％増加しており，前節のg_mとの比を考える必要があるが十分FET動作速度は劣化すると考えられる。MES

FET のゲート容量モデルとして，高田らのモデルがあり[60]，ゲート容量は次式で表わされる。

$$Cgs = Cgs(Vgs) + Cgp$$
$$= A\ (Vbi - Vgs)^{-1/2} + Cgp \qquad (Vgs > Vth) \qquad (2.15)$$

ここで，Cgs(Vgs)：真性ゲート容量，Cgp：寄生ゲート容量，A：定数

上記容量はゲートオン時の容量であるが，寄生容量を除けば理想的な１次元ショットキー接合モデル[19]と同じく，ほぼ$(\phi_B - Vgs)^{-1/2}$ に比例して増加することが示されている。図２—５２の測定結果でも Vgs＞Vth ではVgs の増加とともにCgs は単調に増加しているが直線的な増加であり$(\phi_B - Vgs)^{-1/2}$ に比例するほどの増加はしていない。その原因としては寄生容量のオフセット効果，ゲート電界の２次元的な効果，またショットキーゲートリークの増加の影響が考えられる。

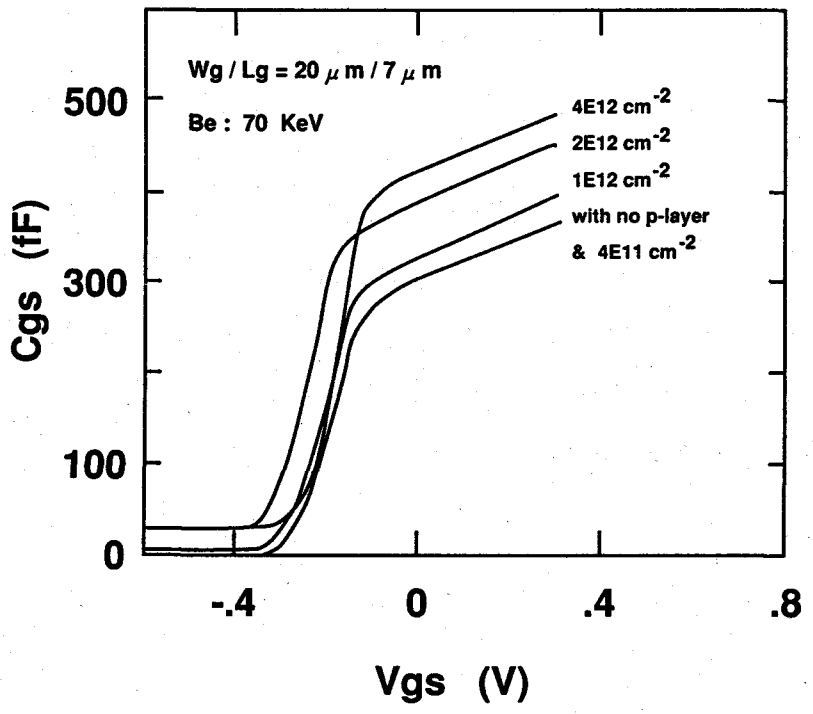


図２—５２　Cgs のVgs 依存性（パラメータ：ｐ層用Be^+ イオン注入ドーズ）

２．６．７　ゲート遅延時間

前節２．６．５，２．６．６で求めた電流駆動能力，ゲート容量でFETの動作速度は，例えば遮断周波数 $f_T = g_m / 2\pi Cgs$ 等として求められるが，両者は静的な状態での測定から導出していること，実際のFET動作時とVgs 等の種々の設定条件が異なること，またゲート容量は実際に用いる１μmゲート以下のFETでは測定していないこと等の理由で，FET動作速度の実測値との誤差が生じると考えられる。

本節では前記の電流駆動能力，ゲート容量の測定結果を参考にしながらFET動作速度の実測を行った。1μmゲートBP - FETを用いたDCFL（Direct Coupled FET Logic）構成の３１段リング発振器を作製し，その発振周波数と消費電力を測定した後，それから求めたゲート１段あたりの遅延時間（tpd）と同消費電力をゲート遅延時間のゲート消費電力依存性として図２—５３にプロットした。p層用Be^+イオン注入ドーズ，及びゲート長をパラメータとしている。本図において，同一ゲート消費電力でのtpdはBe^+ドーズの増加につれて増大している。$1\times10^{12}\,cm^{-2}$，$2\times10^{12}\,cm^{-2}$は共にp層に中性領域が発生する部分空乏化条件である。前節２．６．５で電流駆動能力であるg_mは同じようにBe^+ドーズの増加につれて増大していたので，それ以上にBe^+ドーズの増加に伴うDCFLにおけるエンハンスメント型入力FETのゲート容量の増加率が大きいと推測できる（前節２．６．６の図２—５２のCgs測定結果はFETの寸法，Vthが異なるために上記定量的検討に使用できない）。しかしながらBe^+ドーズ増加に伴うtpdの増加は，tpd平均値の１０％以下であり，さらにBe^+ドーズの増加による短チャネル効果の抑制からゲート長の短縮が可能となる。これに対し，p層無しではその短チャネル効果のためにサブミクロン化は非常に困難である。例えばBe^+ドーズ$2\times10^{12}\,cm^{-2}$ではゲート長を0.8μmに短縮できて，ゲート消費電力1 mW / gateでtpdを20 ps / gate以下に高速化できる。本図からわかるように，これはp層無しの1μmゲートFETより高速である。

以上により，BP - FETでは比較的高濃度のp層の適用により電流駆動能力は向上するものの，ゲート容量が増大し，外部負荷容量（配線容量）が小さくFET容量が回路動作速度を律速する小集積規模の上記リング発振器レベルでは，同一寸法のFETで動作速度は劣化する。しかしその劣化量は１０％以下と十分小さく，逆に短チャネル効果の改善に伴いゲート長の短縮が可能であり，その分より高速動作を実現できるという利点を確認できた。

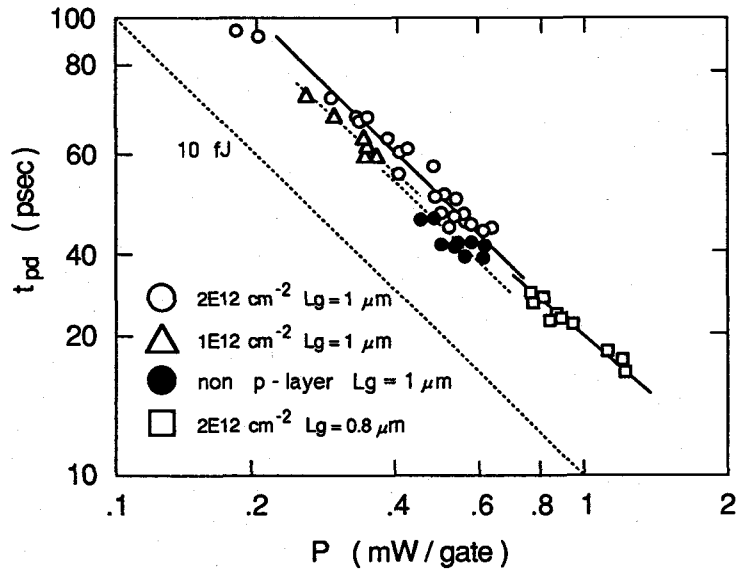


図２—５３　ゲート遅延時間のゲート消費電力依存性
（パラメータ：p層用Be^+イオン注入ドーズ、ゲート長）

2．7　結言

本章ではGaAs LSI用WSi_xゲートSAGFETにおいて初めてそのｎチャネル直下にｐ層を埋め込んだ新しい構造のFETを開発し，SAG構造の核となるWSi_xゲートの形成，そして高速GaAs LSI用基本素子としての必須要件である短チャネル効果の抑制，それに伴うVth均一性の向上，電流駆動能力の増大，ゲート容量の低減について検討を行い以下の結果を得た。

1）WSi_x/GaAsショットキー接合特性は組成比x＝0.1～0.3でϕ_B>0.7 eV，ｎ＜1.1の良好な特性を得られた。従来WSi_xはコスパッタ法で形成されていたが，スパッタ条件により組成比を制御することにより単一コンパウンドターゲットからのスパッタによっても形成可能であることが分かった。またショットキー特性は　WSi_x膜全体としての組成では一意的には決らず，同界面付近でのWSi_x組成，さらにはGaAs最表面でのSiの付着割合が大きく影響を及ぼすことを確認した。

2）本SAGFETにおけるVth均一性は主に短チャネル効果と相関を有するが，ｎチャネル層，n^+層では薄層化が短チャネル効果の改善，それに伴うVth均一性の向上に有効であることを確認した。ｎチャネルはベア注入で30 KeV，あるいはSiO 300 Åスルー注入で50 KeVまで注入エネルギーを低下し，ｐ型埋め込み層の無い場合でVth～100 mVの時，約750 Åまで薄層化できた。特にｎチャネル形成時のスルー注入法はチャネル薄層化とともにプロセスフロー中のチャネル表面保護によりVth均一性，再現性が向上することを示した。ゲート長1μmでｐ層無しの場合，スルー注入法で薄層化されたSAG FETではVth～100 mVの時σVth～25 mVが平均的に得られた。それ以上の薄層化はｎチャネルの高濃度化が伴いショットキー接合での鏡像力効果によるϕ_Bの劣化により後の論理回路への適用時に論理振幅の低下を招くことを指摘した。

3）ｐ型埋め込み層は，ｎチャネル層／ｐ層界面で発生するビルトインポテンシャルによりｎチャネルから基板側へ漏れてくるキャリア（電子）をバリアすることで短チャネル効果を抑制するが，従来報告されている完全空乏化条件（例えばBe^+イオン70KeV注入時，10^{11} cm^{-2}台）を満たす比較的低濃度では同短チャネル効果を十分抑制することはできないことを明らかにした。ｐ層中に中性領域が発生する程度の高濃度が短チャネル効果の十分な抑制には必要であることを示し，これをもとに実験した結果，Be^+イオン70KeV, 2×10^{12} cm^{-2}のｐ層を有する場合，ゲート長0.5μmでもσVth～25 mVが得られた。

4）ｐ型埋め込み層は，ｎチャネル層との界面付近が高濃度であることが必要であり，同界面から離れた深い位置にｐ層を形成しても短チャネル効果は抑制されないことを確認した。これによりチャネル下基板リーク電流はチャネル下近傍を流れているという知見を得た。またｐ層の高濃度化とともに短チャネル効果が抑制されてσVthは低下するが，例えばBe^+イオン注入70KeVの場合はBe^+ドーズ

10^{12} cm^{-2} 台で約 20 mVに飽和することを示し，それ以上の高濃度化はゲート寄生容量の増加のため不必要であることを明らかにした。

5）上記ｐ層濃度の増加に伴いゲート寄生容量が発生するが，Vth を一定にするため同じく増加されたｎチャネル濃度によるゲート真性容量の増加分の約１０％以下であり，実際のFET動作にはゲート真性容量の増加の影響が大きいことを確認した。またBe^+ イオン 70KeV, 2×10^{12} cm^{-2} のｐ層の有無により同一ゲート消費電力時のゲート遅延時間は，ｐ層有りで約１０％の増加に留まり顕著な動作速度劣化には至らず，むしろｐ層による短チャネル効果改善により短ゲート化が可能となり，より一層の高速化が図れることを示した。上記ｐ層を有し，ゲート長を 0.8μmと短縮した場合，ゲート消費電力 1 mW でゲート遅延時間 20 ps 以下を実現できた。

6）ｐ層埋め込みによるｎ／ｐ界面での空乏層はｎチャネル側も空乏化してチャネルを基板表面側に押し上げるためｎチャネルは薄層化されるが，ｐ層無しでの約750Åのｎチャネル厚はｐ層により約200Å以上薄層化されるため，チャネル厚に反比例する電流駆動能力 g_m はゲート長 1μm時，250 mS/mm から330 mS/mmへと約３０％増大することを確認した。さらに短チャネル効果の抑制と併せて，Be^+ イオン 70KeV, 2×10^{12} cm^{-2} によるｐ層によりゲート長は 0.5μmまで短縮でき，その時の g_m，K値は各々 600 mS / mm, 490 mS/Vmm と本ゲート長のGaAs MESFETとしては最高の性能が得られた。

7）ストイキオメトリックな In ドープ低転位基板をAsH_3 雰囲気中 800℃, 30分 でSiOキャップアニールした本SAGFET作製プロセスにおいては，ゲート（ｎチャネル部）と最近接転位までの距離が1μm以上の場合，両者に顕著な相関は見られず，ゲートが転位の直上にある場合，Vth は約 30 mV 負側にシフトすることを確認した。本プロセスではAsよりもGa のSiO中への外方拡散量が多く，GaAs 基板表面付近はAs リッチであると考えられるが，前者の結果はAs リッチとする従来報告例の多くと一致しており，後者の結果はむしろGa リッチの従来報告結果と同じ傾向であることを示した。

8）60μm，あるいは15μmピッチの高密度微細FETアレイによるVth のミクロな分布の測定結果から，Vth が前記ピッチで単独点として数十mV正側にシフトする異常点の存在を確認した。本異常点は上記転位との相関は全くなく，短チャネル効果が抑制されていれば見られず，逆に同効果が大きければ異常点の密度，Vth シフト量ともに増加すること，また本異常点はゲート形状不良，ゲートショットキー特性不良，ピエゾ効果異常には対応せず，周辺の正常点に比べ基板リーク電流が 1 桁弱低いことを明らかにした。現在のところ転位を除外した基板結晶特性がｎチャネル下の基板抵抗の局所的増大，あるいはn^+層用Si^+ 注入イオンのアニール時横方向拡散長の局所的減少をもたらすことが主要な原因であることを確認した。

参考文献

[1] R. L. Van Tuyl and C.A. Liechti, "High-Speed Integrated Logic with GaAs MESFET's", *IEEE J. Solid-State Ciruits*, vol. SC-9, No. 5, May. 1974, pp.269-276.

[2] R. L. Van Tuyl, C.A. Liechti, R. E. Lee, and E. Gowen, "GaAs MESFET Logic with 4 GHz Clock Rate", *IEEE J. Solid-State Ciruits*, vol. SC-12, No. 5, May. 1977, pp.485-496.

[3] R. C. Eden, B. M. Welch, and R. Zucca, "Planar GaAs IC Technology: Applications for Digital IC", *IEEE J. Solid-State Ciruits*, vol. SC-13, No. 4, Apr. 1978, pp.419-426.

[4] S. Takano, N. Tanino, T. Yoshihara, Y. Mitsui, and K. Nishitani, "A GaAs 1-kbit Static RAM with a Shallow Recessed-Gate Structure FET", *IEEE Trans. Electron Devices*, vol. ED-32, No. 6, Jun. 1985, pp.1135-1139.

[5] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.

[6] N. Yokoyama, T. Onishi, H. Onodera, T. Shinoki, A. Shibatomi, and H. Ishikawa, "A GaAs 1k static RAM using tungsten-silicide gate self-alignment technology", in *ISSCC Tech. Dig.*, Feb.1983, pp.44-45.

[7] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-layer SAINT for very high speed GaAs LSI's with submicrometer gate length", *IEEE Trans. Electron Devices*, vol. ED-32, Nov. 1985, pp.2420-2425.

[8] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", *IEEE J. Solid-State Ciruits*, vol. SC-15, No. 4, Aug. 1980, pp.424-432.

[9] M. Hirose, K. Ishida, N. Uchidomi, and N. Toyoda,"Two-Dimensional Numerical Analysis of the Minimum Isolation Distance for GaAs Digital Large-Scale Integration", *IEEE Trans. Electron Devices*, vol. ED-38, No. 3, Mar. 1991, pp.437-443.

[10] E. P. Finchem, W.A. Vetanen, B. Odekirk, and P. C. Canfield, "Reduction of backgate effect in GaAs MESFETs by charge confinement at the backgate electrode", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.231-234.

[11] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.

[12] K. Tada, S. Murai, S. Akai, T. Suzuki, "Growth and characterization of dislocation-free GaAs mixed crystals for IC substrates ", in *GaAs IC Symp. Tech. Dig.*, 1984, pp.49-52.

[13] N. Yokoyama, T. Mimura, M. Fukuta, and H. Ishikawa, "A Self-Aligned Source/Drain Planar Device for Ultra-High-Speed GaAs MESFET VLSI's", in *ISSCC Tech. Dig.*, Feb. 1981, pp.521-526.

[14] 大西，横山，小野寺，篠木，鈴木，柴富，「超高速GaAs VLSIを指向したWシリサイドゲートセルフアラインメント技術」電子情報通信学会研究会資料 ED 82-107, 1982, pp.61-66.

[15] N. Uchidomi, Y. Kitaura, T. Mizoguchi, Y. Ikawa, N. Toyoda, and A. Hojo, "Refractory WN Gate Self-Aligned GaAs MESFET Technology and Its Application to Gate Array IC's", in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, pp.383-386.

[16] H. Nakamura, Y. Sano, T. Nonaka, T. Ishida, and K. Kaminishi, "A Self-Aligned GaAs MESFET with W-Al Gate", in *GaAs IC Symp. Tech. Dig.*, 1983, pp.134-137.

[17] K. Asai, H. Sugahara, Y. Matsuoka, and M. Tokumitsu, "Refractory sputtered WSiN film suppresses As and Ga out-diffusion," *J. Vac. Sci. Technol.*, vol. B6, 1988, pp.1526-1529.

[18] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su, and I. Lindau, J. Vac. Sci. Technol. vol. 16, 1979, pp.1422.

[19] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York:Wiley, 1981.

[20] 金森，永井，野崎，東坂，「GaAs LSI用低抵抗W/WSi_xゲート電極技術」電子情報通信学会研究会資料 ED 85-143, 1985, pp.17-21.

[21] 金原「スパッタリング現象」東京大学出版会, 1984.

[22] P. M. Asbeck, C. P. Lee, and M. C. F. Chang, "Piezoelectric effects in GaAs FET's and their role in orientation-dependent device characterisitics", *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1377-1380.

[23] 野田，住谷，細木，紫村，伊藤，谷野，西谷，大坪，「W/WSi_x 2層構造ゲートを有するセルフアライン GaAs MESFET」第32回応用物理学関係連合講演会, 1985, 31p - X - 3

[24] D. W. Hoffman and J. A. Thornton, *J. Vac. Sci. Technol.*, vol. 20, 1982, pp.355.

[25] J. A. Thornton, *J. Vac. Sci. Technol.*, vol. 11, 1974, pp.666. vol. 12, 1975, pp.830. *Thin Solid Films*, vol. 54, 1977, pp.335.

[26] 栗山，大藤，永野，「W/GaAs接合界面に挟んだSi層の効果」電子情報通信学会研究会資料 ED 86-49, 1986, pp.1-6.

[27] L. M. Ephrath, "REACTIVE ION ETCHING FOR VLSI" in *IEDM Tech. Dig.*, 1980, pp.402-404.

[28] M. Y. Tsai, H. H. Chao, L. M. Ephrath, B. L. Crowder, A. Cramer, R. S. Bennett, C. J. Lucchese, and M .R. Wordeman, "One-Micron Polycide (WSi2 on Poly-Si) MOSFET Technology" *J. Electrochemical Soc.* vol. 128, No. 10, 1981, pp.2207-2214.

[29] 中村，「ドライエッチングにおける表面反応制御技術」第34回半導体専門講習会予稿集, 1990,

pp.103-142.

[30] S. M. Sze, *High-Speed Semiconductor Devices*, Wiley-Interscience, 1990.

[31] B. L. Sharma, *Metal-Semiconductor Schottky Barrier Junctions and Their Applications*, Plenum Press, 1984.

[32] J. Kasahara, M. Arai, and N. Watanabe, "Improvement of Vth control for GaAs FET's by shallow-channel ion implantation", *IEEE Trans. Electron Devices*, vol. ED-33, Jan. 1986, pp.28-33.

[33] 蒲生　健次「半導体イオン注入技術」産業図書, 1986.

[34] 大森　正道　「超高速化合物半導体デバイス」培風館, 1986.

[35] W. Shockley, "A Unipolar Field-Effect Transistor", in Proc. IRE, vol. 40, No. 11, 1952, pp.1365-1376.

[36] 野田，住谷，中野，伊藤，細木，西谷，「GaAs LSIメモリプロセス技術」電子情報通信学会研究会資料 ED 86-134, 1986, pp.31-38.

[37] Matsumoto, 42nd DRC, VIB-5, 1984,

[38] R. A. Sadler, G. D. Studtmann, A. E. Geissberger, and H. P. Singh, "A High Yield Buried p-Layer Fabrication Process for GaAs LSI Circuits", *IEEE Trans. Electron Devices*, vol. ED-38, Jun. 1991, pp.1271-1279.

[39] Y. Awano, M. Kosugi, M. Kosemura, T. Mimura, and M. Abe, "Short-channel effects in subquarter-micrometer-gate HEMT's : Simulation and experiment", *IEEE Trans. Electron Devices*, vol. ED-36, Oct. 1989, pp.2260-2265.

[40] H. Nakamura, in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, pp.395.

[41] T. Humer-Hager and P. Zwicknagl, "Annealing Behaviour of Be- and Mg-Implants in GaAs", *Japan. J. Appl. Phys.*, vol. 27, no. 3, Mar. 1988, pp.428-433.

[42] M. C. Deal, S. E. Hansen, and H. G. Robinson,"MODELING P-TYPE DOPANTS IN GALLIUM ARSENIDE WITH SUPREM 3.5", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.247-250.

[43] Y. K. Yeo, Y. S. Park, F. L. Pedrotti, and Byung Doo Choe,"Correlation of electrical carrier and atomic profiles of Mg implants in GaAs", *J. Appl. Phys.*, vol. 53, no. 9, Sep. 1982, pp.6148-6153.

[44] B. Gabillard, T. Ducourant, C. Rocher, M. Prost, and J. Maluenda,"A 200-mW GaAs 1K SRAM with 2-ns cycle time", *IEEE J. Solid-State Ciruits*, vol. SC-22, Oct. 1987, pp.693-698.

[45] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Ciruits*, vol. SC-22, Oct. 1987, pp.699-703.

[46] K. Horio, Y. Fuseya, H. Kusuki, and H. Yanai, "Numerical simulation of GaAs MESFET's with a p-buffer layer on the semi-insulating substrate compensated by deep traps", *IEEE Trans. Microwave*

Theory Tech., vol. 37, no. 9, Sept. 1989, pp.1371-1379.

[47] Y. Nanishi, S. Ishida, T. Honda, H. Yamasaki, and S. Miyazawa, "Inhomogeneous GaAs FET threshold voltages related to dislocation distribution", *Japan. J. Appl. Phys.*, vol. 21, no. 6, June 1982, pp.L335-L337.

[48] 宮沢，笠原，佐野，長谷川：応用物理 vol. 56, No.1, 1987, pp.19-44.

[49] Y. Ishii, S. Miyazawa, and S. Ishida, *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1051.

[50] H. V. Winston, A. T. Hunter, H. M. Olsen, R. P. Bryan, and R. E. Lee, *Appl. Phys. Lett.* vol. 45, 1984, pp.447

[51] P. Dobrilla, J. S. Blakemore, A. J. McGamank, K. R. Gleason, and R. Y. Koyama, *Appl. Phys. Lett.* vol. 47, 1985, pp.602

[52] J. Kasahara, M. Arai, and N. Watanabe, *Electron. Lett.* vol. 21, 1985, pp.1042.

[53] K. Hosogi, T. Shimura, Y. Nakajima, M. Noda, and K. Nishitani, "Microscopic uniformity of Vth in GaAs MESFETs", in *Proc. 16th Int. Symp. on GaAs and Related Compounds* (Karuizawa, Japan, 1989), pp.659-664.

[54] T. Egawa, Y. Sano, H. Matsuura, H. Nakamura, and K. Kaminishi, "Dependence of microscopic correlation between threshold voltage of GaAs MESFET and dislocation on annealing method", in *Proc. 4th Conf. Semi-Insulating III-V Materials* (Hakone, Japan, 1986), pp.567-572.

[55] T. Egawa, Y. Sano, H. Nakamura, T. Ishida, and K. Kaminishi, "The dependence of threshold voltage scattering of GaAs MESFET on annealing method", *Japan. J. Appl. Phys.*, vol. 24, no. 1, Jan. 1985, pp.L35-L38.

[56] J. Kasahara, M. Arai, and N. Watanabe, "Threshold voltage uniformity of GaAs-FETs on ingot-annealed substrates", *Japan. J. Appl. Phys.*, vol. 25, 1986, pp.L85-L86.

[57] 細木，野田，伊藤，西谷，大坪，「GaAs MESFET のVth 均一化」
応用電子物性分科会研究報告, No. 426, pp.30-35.

[58] Y. Kohno, K. Maemura, M. Sakai, T. Matsui, Y. Higaki, H. Takano, and M. Otsubo, "Enhancement of electrical asymmetry in GaAs LDD SAGFETs by piezoelectric effect", in *Proc. 17th Int. Symp. on GaAs and Related Compounds* (Jersey, England, 1990), pp.527-532.

[59] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.

[60] T. Takada, N. Yokoyama, M. Ida, and T. Sudo, "A MESFET variable-capacitance model for GaAs integrated circuit simulation", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, no. 5, 1982, pp.719-724.

第３章　ｐ層埋め込み型GaAs SAGFETのLDD化による高性能化に関する研究

３．１　緒言

第２章でｐ層埋め込み型セルフアラインゲートFET（BP - SAGFET）は，ｎチャネル下へのｐ層の埋め込みによりゲート遅延時間が１０％弱劣化することを述べた。BP - FET の g_m はｐ層を挿入しない場合と比較して３０％以上向上するため，ゲート遅延時間の劣化はゲート容量の増加と考えられる。このゲート容量の増加は，第２章で検討した完全に空乏化していないｐ層の中性領域による寄生容量とゲート端でのn^+層の横方向拡散によるゲートオーバーラップ容量の付加が主要因と考えられる。一方，Vth 均一性については 3 mm 角領域内のばらつき（σ Vth）が 9 mV と改善されたが，16-Kb SRAM に適用するには前記の通り，チップ内の σ Vthを5 mV 以下に低減する必要がある。σ Vth の低減には，第２章で明らかにしたように短チャネル効果をさらに抑制することが有効である。これらの問題を解決する方法として，山崎ら，加藤らはn^+層をゲート端から離したGaAs MESFET（図２－２）を提案している [1], [2]。

山崎らはゲート・n^+層間寄生容量を検討しており，FETチャネル方向でのFETオンオフ状態間遷移で変化する電荷量とゲート・n^+層間分離長との関係について２次元計算解析を行っており，そのFET形成条件は本研究と異なるもののゲート端での電荷量の変化から，分離長を0.2μm以上にすると上記寄生容量はほぼなくなると報告している。また加藤らはゲート・n^+層間直列抵抗の上記分離長依存性を検討し，分離長が0.3μm以上で上記抵抗が急増すると報告している。これらの結果からは，分離長として0.2～0.3μmがゲート寄生容量，ソース直列抵抗（電流駆動能力）の点で最適であると言える。

一方 Si MOSFET ではスケーリング則に従って縮小されて既にサブミクロンゲート領域に達しているが，その構造設計における主要な課題の一つは，ホットエレクトロンの発生を抑制するためにドレイン近傍の高電界を緩和する構造を開発することであり，この点でLDD（Lightly Doped Drain）構造 [3] は今や必須の構造となっている。現在までゲート・ドレイン端電界の低減，電界分布の改善のため，電界分布あるいはゲート端寄生容量，ゲートオーバーラップ容量のモデル化検討 [4], [5]，その結果としてのLDD構造を改良した新構造（例えばゲートオーバーラップLDD [6]）の開発が精力的に行われてきている。GaAs MESFET においても通常の飽和領域での動作時に，ゲート・ドレイン端付近に形成されるダイポールドメインでの高電界空乏層のドレインn^+層の深さ方向への伸展を，LDD化によるドレイン電界緩和で抑制できることは同様である。またGaAs FETでもゲート近傍にはSiO_x系絶縁膜が形成される場合が多く，ホットエレクトロン注入の検討，対策も将来的には必要になると考えられる。Si MOSFET に対してGaAs FET ではLDD化した報告例は幾つかあるが [7], [8]，短チャネル効果の抑制，短ゲート時の電流駆動能力の向上，その時の動作速度の評価結果を述べたのみで検討内容はま

だ少なく不十分である。

ここで筆者は，前章で検討したBP - FETの一層の高性能化を図るために，上述のゲート・n^+層間分離，及びLDD化を検討した。特にGaAs MESFET のLDD化におけるゲート容量，電流駆動能力，及びそれらの関係を当時初めて定量的に検討し，FET動作速度，電流駆動能力が最高となるようなBPLDD - FET，特にそのイオン注入層形成条件の最適化を行った。

本章では前章で開発したBP - FET の問題点を解決するために，上述したゲート・n^+層間分離構造FET（以後オフセットゲート構造FET と呼ぶ），及びLDD化FET（BPLDD構造FET）の検討結果について述べる。

3．2　ゲート・n^+層間分離の検討　—　オフセットゲート構造 SAGFET

ゲート・n^+層間分離は，先に述べたゲート容量の低減や短チャネル効果の抑制とソース直列抵抗の増大とがトレードオフの関係にあるため，最適化が必要となる。それらを調べるために従来構造FETに比べてゲート・n^+層間を分離した構造のFET（オフセットゲート構造 FET）を作製し，両者の違いを検討した。ゲートとn^+層間の分離手法としてはスルー注入プロセス [9] とサイドウォールプロセス [10] が考えられるが，ここでは前者を採用した。スルー注入プロセスは図３—１に示す通りである。即ち，

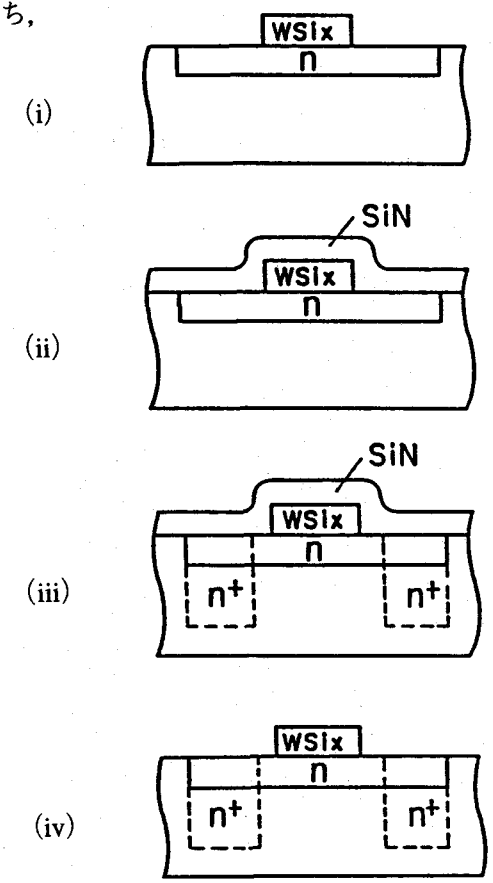


図３—１　スルー注入プロセスフロー

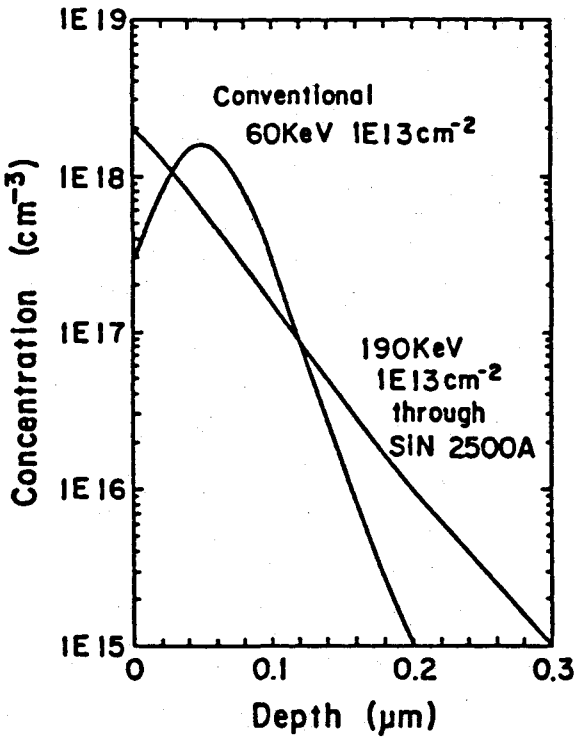


図３—２　１次元スルー注入プロファイルのシミュレーション結果

1） nチャネル上にWSi_xゲートを形成した後（i），ウエハ全面にp - CVD 法によりSiN 膜を形成する（ii）。この時，ゲート電極側壁にSiN 膜が成長する。

2） n^+層形成のため，$^{29}Si^+$ イオン注入を上記SiN 膜を貫通する注入エネルギーで行う（iii）。

3） スルー注入SiN 膜をHF水溶液でエッチング除去する（iv）。

4） n^+イオン注入層のアニールを第２章 BP - FET と同じ条件の下（AsH_3 雰囲気中 800℃, 30分）で行う。

本工程前後のプロセスは第２章で記述した BP - FET（図２—４）の場合と同様であるが，本オフセットゲート構造 FET では p 型埋め込み層は形成していない。

本FET の評価に先立ち，スルー注入による n^+層の注入イオンプロファイルを１次元，２次元シミュレーションにより検討した。

３．２．１　ゲート端での注入プロファイル

３．２．１．１　１次元注入プロファイル

１次元注入プロファイルを表す分布としてはガウス分布，ピアソン分布 [11] があるが，ここでは通常GaAs 基板へのSi^+ イオン注入プロファイルが基板深さ方向に裾を引くことを考慮して，ピアソンIV 型関数 [11] を用いた。

また本注入は２層注入となるため，石原らのNumerical Range Soaling Model [12] を用い各層でのプロファイルを次式の様に分離して表した。

$$C(x) = \begin{cases} C_1(x) & (0 \le x < t) \\ \alpha C_2\left\{x - t\left(1 - \dfrac{R_{p2}}{R_{p1}}\right)\right\} & (t \le x) \end{cases} \qquad (3.1)$$

$C_1(x)$: SiN 中でのピアソン分布，$C_2(x)$: GaAs 中でのピアソン分布，t : SiN 膜厚，Rp_1 : SiN 膜中のイオン注入飛程，Rp_2 : GaAs中のイオン注入飛程，α : 定数（総ドーズ量により決定される）

図３—２に上式を用いた１次元スルー注入プロファイルを示す。比較のために第２章のBP - FET で用いた従来のベア注入条件でのプロファイルも示した。前節３．１で述べた様に山崎ら，加藤らが報告しているゲート・n^+層間の最適分離距離 0.2～0.3 μ mを念頭においてSiN 膜厚は2300 Å（ゲート側壁厚はその約90%の2000 Åになる）とした。この時従来ベア注入条件 60keV, 1×10^{13} cm^{-2} と同等のシート抵抗を得るために，ドーズ量 1×10^{13} cm^{-2}，注入エネルギー190 KeVでスルー注入を行って，スルー注入，ベア注入両者のプロファイルを比較した。図３—２から，スルー注入プロファイルではGaAs

表面において濃度が最も高くなっていることがわかる。このことはSiN膜と接したGaAs表面に形成される表面準位によるn^+層側への空乏層の拡がりが少なく，ソースからドレインへ流れる電子はよりGaAs表面近くを通ることになるので短チャネル効果の低減が期待できることを示唆している。また表面キャリア濃度が高い分だけオーミックコンタクト抵抗も低下できることが期待される。

3．2．1．2　2次元注入プロファイル

スルー注入法によるゲートとn^+層との分離状態を把握するために，上記と同様の注入条件での2次元注入プロファイルのシミュレーションを行った。シミュレーションには次式を用いた。

$$C(x,y) = C^-(x,y) = \frac{1}{2}C(x)\,\mathrm{erfc}\frac{a'}{\sqrt{2}\sigma R_{p\perp}}$$

$$C_0(x,y) = \frac{1}{2}C(x) \qquad (3.2)$$

$$C^+(x,y) = \frac{1}{2}C(x)\left\{2 - \mathrm{erfc}\frac{a}{\sqrt{2}\sigma R_{p\perp}}\right\}$$

図3—3に座標軸の方向を示す。不純物濃度C(x,y)は注入イオンがマスクされている領域とされていない領域に分けて表し，各々$C^-(x,y)$, $C^+(x,y)$と表示する。a，a'はマスクの境界領域を原点としたときのx座標の絶対値である。図3—4に2次元プロファイルのシミュレーション結果を示す。本図ではnチャネル注入も含めている。図3—3から分かるように，n^+注入イオン濃度が$1\times10^{18}\,cm^{-3}$以上の高濃度領域はスルー注入ではGaAs表面から存在しているが，従来型ベア注入では基板内に存在していることが分かる。またnチャネルのピーク濃度に相当する$5\times10^{17}\,cm^{-3}$以上のn^+注入領域は，ベア注入ではゲート下に約0.1μm喰い込んでいるが，スルー注入では全く喰い込んでいないことが分かる。$1\times10^{18}\,cm^{-3}$の領域の位置から判断すると，スルー注入によるn^+層はベア注入に比べ約0.2μmゲートから離れている。別の実験でn^+層は本FETプロセスで用いるアニール（AsH_3雰囲気中800℃，30分）後，約0.15μm拡散することから，ゲート・n^+層間距離は約　0.05μmと推定される。さらにベア注入では，$1\times10^{17}\,cm^{-3}$以上の注入濃度領域がnチャネル層からn^+層にかけてゲート端で急激に深さ方向に拡がっているのに対し，スルー注入では緩やかに拡がっている。図3—4から，ゲート・ドレイン端電界強度はスルー注入の場合，ベア注入と比較して，明らかに緩和されており，濃度変化から約1／3以下には低減されていると見積もられるので，短チャネル効果も相当に抑制されることが期待できる。

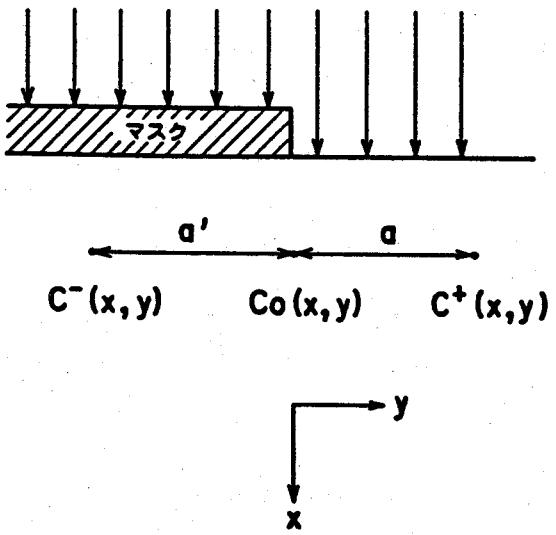
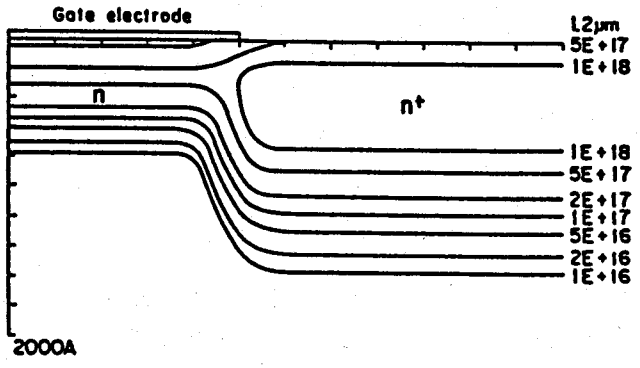
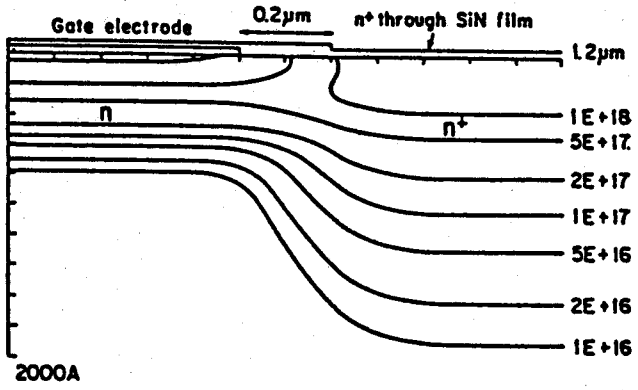


図3—3　2次元注入イオンプロファイルの座標



(a)　従来型イオン注入



(b)　スルー n^+ 注入

図3—4　2次元注入イオンプロファイルの
シミュレーション結果

3．2．2　短チャネル効果

短チャネル効果として，サブスレッショルド因子Ng，チャネル厚変調パラメータ（γパラメータ），Ids - Vgs特性について調べた結果を以下に述べる。

3．2．2．1　Ngのゲート長依存性

図3—5にNgのゲート長依存性をスルー注入エネルギーをパラメータとして示す。比較のためにベア注入（60 KeV）の場合も併せて示した。スルー注入エネルギー240 KeV以下では，Ngはゲート長0.5μmまで1.5以下を維持しており短チャネル効果は良好に抑制されている。一方，300 KeV以上ではゲート長0.8μm以下でNg，即ち短チャネル効果は増大しており，またゲート長1μm以上でもNgは2近くで大きい。これはスルー注入エネルギーの増加で注入イオンの横方向拡がりが増加して実効ゲート長が短縮されることとゲート・ドレイン端電界が増加することによるものと考えられる。しかし従来型ベア注入に比べると，まだ劣化は小さく前述のスルー注入法の利点が現れていることが分かる。

3．2．2．2　チャネル厚変調パラメータ

チャネル厚変調パラメータγは次式で定義される。

$$Vth = Vtho - \gamma Vds \qquad (3．3)$$

Vth：しきい値電圧，Vtho：定数，Vds：ドレイン電圧

γは上記の通りVds依存性における1次の比例係数であるが，次のことを意味している。即ち，ドレイン電圧Vdsを上げていくとゲート空乏層のドレイン端はドレイン領域に向かって伸びようとするが，従来型FETではゲートのドレイン端の下にドレインn^+層が入り込んでいるためにこの点におけるチャネル厚はゲート下の平均的なチャネル厚に比べて大きい。従ってVdsを増加すればゲート空乏層のドレイン端はドレイン方向に伸び，チャネルの深さも増してVthが下がるということである。FETをLSIに適用する際にγ値は重要な意味を持つ。LSIに使われるFETのドレイン電圧は必ずしも全てのFETについて同一にすることは難しく，従ってγ値が大きいとVthのばらつきが増大する，という弊害が生じる。さらに電源（ドレイン）電圧を上げるとVthが下がるため消費電流が増してチップ温度が上昇するので，電源電圧変動に対する動作マージンが劣化する等の問題も生じる。

図3—6にスルー注入によるオフセットゲート構造とベア注入による従来構造でのVthのVds依存性とそれから得られるγ値を示す。Vthは，Vdsを1 Vから5 Vに増加させた時，従来構造では160 mVも減少するのに対して，オフセットゲート構造FETでは16 mVしか減少しない。つまりオフセットゲート

構造のγ値は従来構造に比べ1桁小さく，オフセットゲート構造はLSI用FETとしてより優れていると言える。

3．2．2．3　Ids - Vgs 特性

図3—7にベア注入による従来構造とスルー注入によるオフセットゲート構造でのIds - Vgs 特性をVds をパラメータとして示す。図中矢印はVds を増加した時にIds - Vgs 曲線がシフトしていく方向を示している。リニア領域では，従来構造では図3—6の結果と同じくVds の増加と共にVth は負方向に大きくシフトしている。また$\sqrt{\text{Ids}}$ - Vgs 特性の直線領域の傾き（K値）はVds に依存せず一定である。一方，オフセットゲート構造ではVth はVds に依存せずほぼ一定であるが，K値は最初Vds と共に増加し，その後一定となる。従来構造ではγ値が大きく，Ids のVds に対する変化（ドレインコンダクタンス: g_D）はほぼγ値の増加に1対1に対応していると考えられるが，オフセットゲート構造ではγ値は小さく，g_D はむしろ以下に示すK値のVds 依存性に関係するものと言える。

$$K = Ko\,(1+\lambda\,Vds) \qquad (3．4)$$

Ko：定数，λ：λパラメータ

サブスレッショルド領域について，従来構造ではVds の増加につれて log Ids の直線領域の傾きは低下している（Ng は増加している）。またピンチオフ領域のリーク電流 Isub も指数関数的に増大している。これに対しオフセットゲート構造では，Vds に依らず log Ids の直線領域の傾きはほぼ一定であり，ピンチオフ領域のリーク電流は従来構造ほど増加していない。

以上のように，オフセットゲート構造では従来構造に比べ短チャネル効果が抑制され，特にドレイン電圧依存性を大幅に改善できることが明らかとなった。

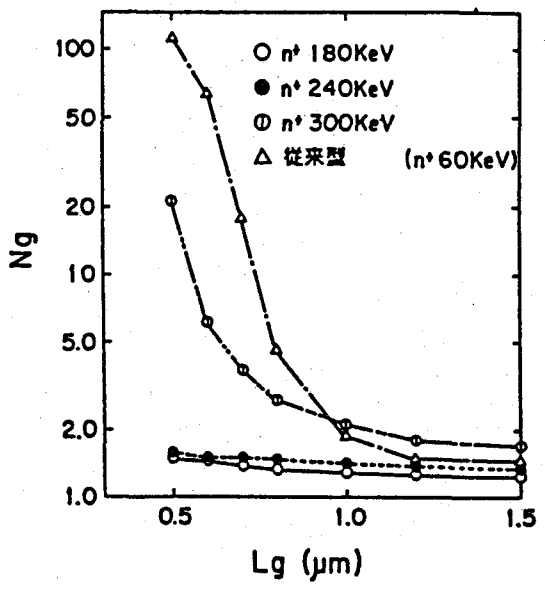


図3—5　Ng のゲート長依存性

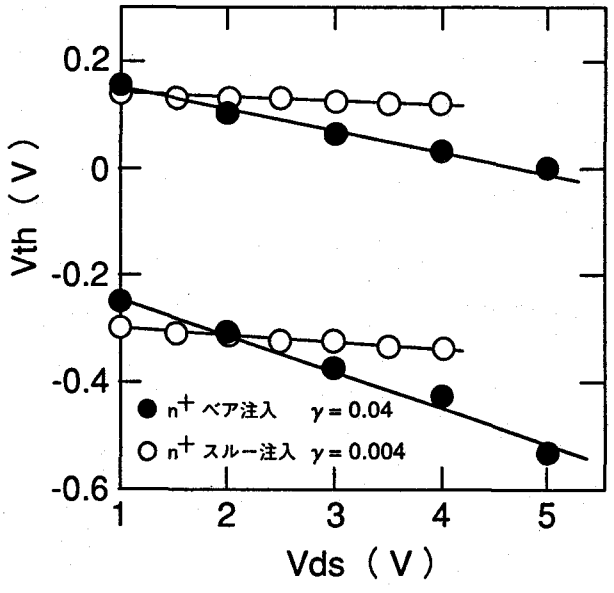
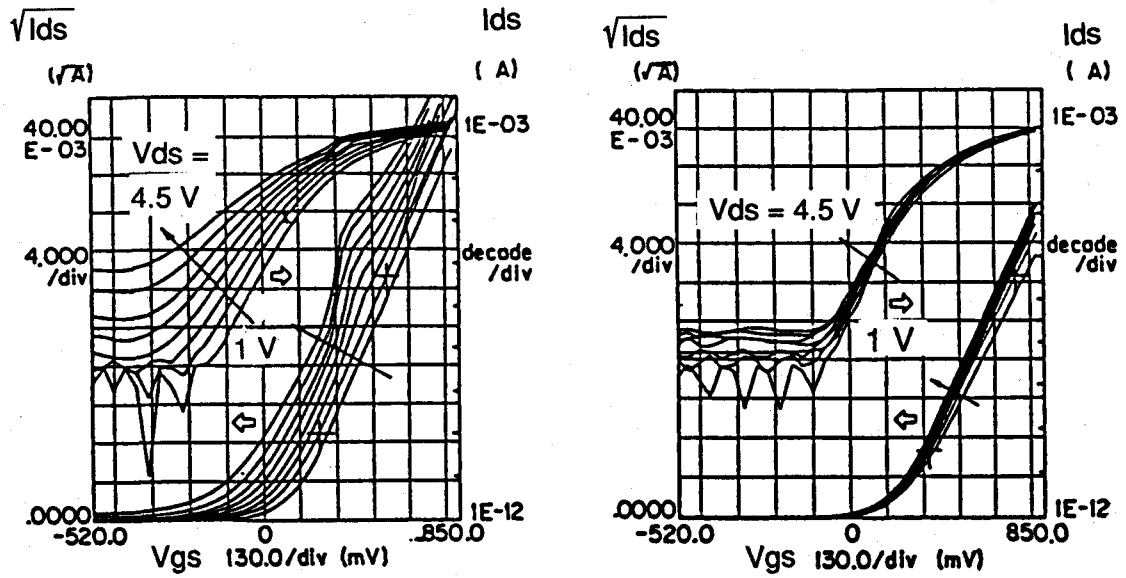


図3—6　Vth のVds 依存性（γパラメータ）



1）従来　　2）n^+スルー注入

図３—７　Ids - Vgs 特性の比較（スルー n^+注入と従来FET）

３．２．３　ソース直列抵抗

次にスルー注入での注入エネルギーを上げることにより，注入イオン横方向拡がりを増加させてゲート・n^+層間の分離長を短縮する時に，ソース直列抵抗がどのように減少するかを測定した。図３—８にソース直列抵抗のスルー注入エネルギー依存性をスルー注入SiN 膜厚をパラメータとして示す。注入エネルギーが260 KeV以上ではソース直列抵抗は1Ωmm（Wg=20μmの時，50Ω）まで低減され，これ以上注入エネルギーを高くしてもほとんど改善されない。またこの値は従来構造でのソース直列抵抗値とほぼ等しい。この理由は次のように考えられる。ソース直列抵抗は，ゲート電極とソース電極間において，主にnチャネル層のシート抵抗，ゲート端からn^+層端までのGaAs 表面露出部層での抵抗，n^+層のシート抵抗，そしてn^+層とソース電極とのオーミックコンタクト抵抗から成るが，最も高抵抗なのはゲート端からn^+層端までのGaAs 表面露出部である。図３—８において注入エネルギーが260 KeVまでの間はソース直列抵抗は単調に低下するが，これは注入エネルギーの増加に伴うn^+層の横方向拡がりでnチャネル層の表面露出部長が短縮されるためである。そして260 KeV以上になるとn^+層はゲート端に接触してさらにゲート下に喰い込むのでソース直列抵抗は従来構造と同等になる。ゲート下に喰い込んだ後のソース直列抵抗は，オーミックコンタクト抵抗の影響も大きいと考えられる。図３—８においてSiN 膜厚の薄い2500Åの方がソース直列抵抗が小さいのは，ゲート・n^+層間の分離長が小さい以外にオーミックコンタクト抵抗がn^+層の表面キャリア濃度に依存し，キャリア濃度の高い時，抵抗は下がるからであると考えられる。

ここで問題になるのは，n^+注入エネルギーが200 KeV以下でゲートとn^+層とが十分分離された時

のソース直列抵抗は，分離されていない250 KeV以上の場合の約２倍と大きく，電流駆動能力（g_m）も相応に劣化することである。実際ゲート長１μmのFET（ｐ埋め込み層無し）で Vth = 0.1 V の時，g_m は従来構造での250mS/mm から170 mS/mm へと３０％以上も劣化している。ゲートとｎ$^+$層とを十分に分離したオフセットゲート構造FETはこのような致命的な電流駆動能力（g_m）の低下をもたらすため，短チャネル効果，ドレイン電圧依存性は大幅に改善されるとしても，LSI へそのまま適用するのは現実的でない。

そこでオフセットゲート構造の良好な短チャネル効果，ドレイン電圧依存性を維持しつつ，ソース直列抵抗の増加を抑えるためにゲートとｎ$^+$層の間にｎチャネルとｎ$^+$層の中間濃度を有するｎ’層を挿入したLDD構造の検討を行った。

３．３　LDD構造の検討―ｎ’中間濃度層形成条件と電流駆動能力（ソース直列抵抗）との関係―

ｎ$^+$層は，前述のオフセットゲート構造FETの場合と同じくゲートと十分分離されるように165 KeV という十分低いエネルギーでスルー注入により形成した。作製プロセスは図３―１のスルー注入プロセスにおいて，WSi_x ゲート加工後にWSi_x 自体をマスクにｎ’層用Si^+ イオンをベア注入をする工程が付加される。ｎ’層は前節で述べたようにオフセットゲート構造FETでのソース直列抵抗の低減を第一に狙っているので，ｎ$^+$層よりは低い濃度で浅いがｎチャネル層よりは高い濃度で深く形成する。図３―９に電流駆動能力Ｋ値のｎ’層注入ドーズ依存性を示す。Ｋ値は，ソース直列抵抗が増大してＫ値がかなり劣化したオフセットゲート構造（注入ドーズが０）に比べて，ｎチャネル層とほぼ同等のドーズ量（2×10^{12} cm^{-2}）をｎ’層部に追加注入することにより約６０％増加することが分かる。これは前節のオフセットゲート構造での g_m の劣化を十分改善するものであり，ソース直列抵抗低減についてはｎチャネルの約２倍高濃度のｎ’層の形成が有効であることを示している。

ところで本章では第２章で述べた BP - FETの性能向上を図るため，上述のLDD構造FETのｎチャネル下には第２章で検討したｐ層を有するBPLDD構造FETについて検討した。但しここでは注入イオン種として取り扱い安全性上Mg を用いることにした。この場合深さ方向におけるチャネル端の様子がBe 注入のと異なることが考えられるため，Mg 注入によるｐ層の最適化を改めて検討することにした。最初はBe注入での最適化条件である70 KeV注入と同等の注入深さを有するMg注入エネルギーとして300 KeV，注入ドーズとしてはBeの場合と同じ2×10^{12} cm^{-2} を用いることにした。

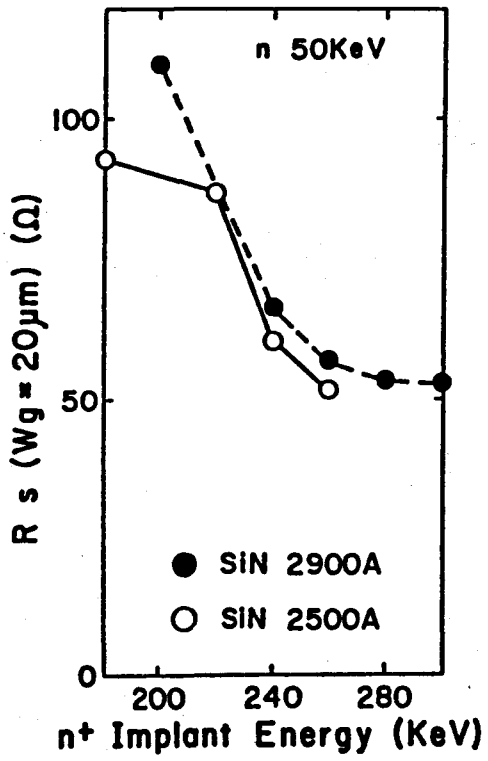


図３—８　ソース直列抵抗のスルー注入エネルギー依存性

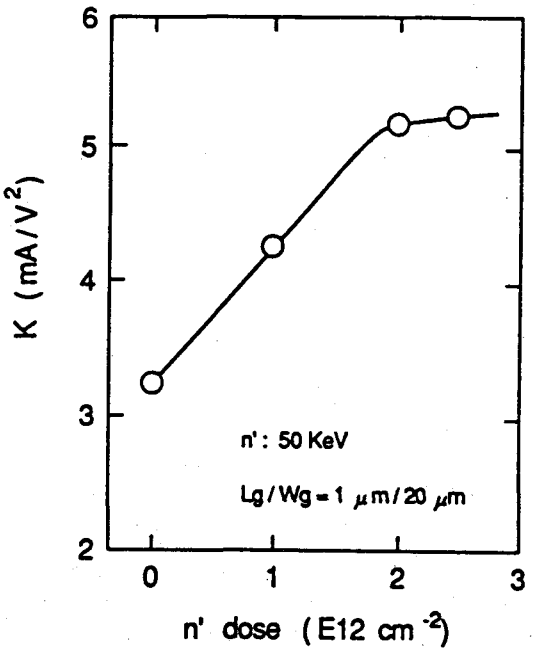


図３—９　K値のｎ’層用注入ドーズ依存性

３．４　ｐ層埋め込み型LDD構造SAGFET (BPLDD) の構造

ｎチャネル下にｐ型埋め込み層を有するLDD型（Buried P-layer Lightly Doped Drain : BPLDD）FETの構造断面図を図３—１０に示す。ここでｐ層は前章での検討の通り，短チャネル効果を十分抑制するため，比較的高い濃度とし，結果的に部分空乏化するように調整されている。ｎ’層は前節での検討結果よりSi^+イオンの50 KeVベア注入で2×10^{12} cm^{-2} 付加するが，この時そのピークキャリア濃度は３～4×10^{17} cm^{-3}であり，ｎチャネルより約50％高濃度である。ｎ’層の幅（ゲート・n^+層間分離長）は図３—４の２次元注入プロファイルとアニール時の横方向拡散（本アニール時間30分後に約1500Å）を考慮すると，500～1000Åと見積もられる。ピアソンIV型関数で計算した各注入層深さは，10^{15} cm^{-3}を終端濃度とするとｎチャネル層，ｎ’層，n^+層，ｐ層について各々 1500, 2000, 3500, 7000Åである。これよりｎチャネル層，ｎ’層，n^+層はｐ層で完全に囲まれていると考えられる。ソース・ドレインn^+層間のリーク電流は，そのリーク経路が基板表面以外は必ずｐ層を通るので減少することになる。また隣接FETのn^+層とのリークについても同様であり，本構造はサイドゲート効果の低減にも有効であることが報告されている [13], [14]。さらにメモリ（SRAM）応用で非常に重要なソフトエラー耐性についても，メモリセル記憶ノードに対応するn^+層をｐ層で囲むことが，α線入射により発生した電子・正孔対による多量の電子の記憶ノード部n^+層による吸い込みを低減するのに有効であることが報告されている [15], [16]。

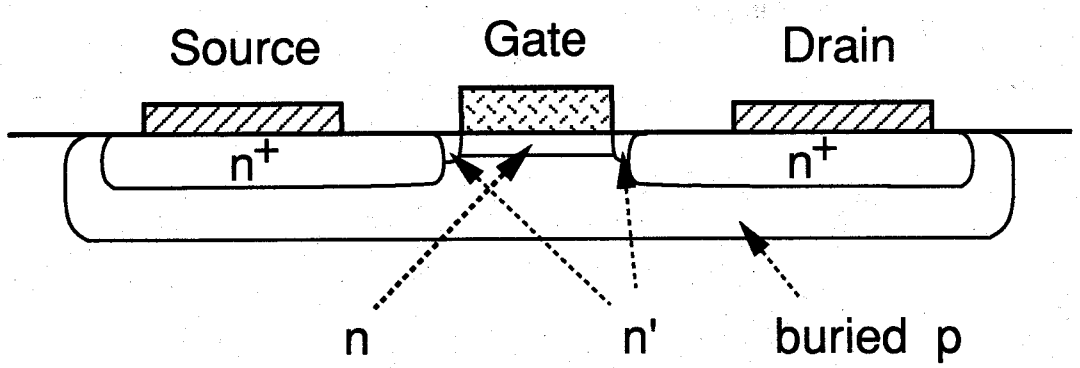


図３—１０　BPLDD - FETの構造断面図

３．５　p層埋め込み型LDD構造SAGFET (BPLDD) の作製プロセス

本BPLDD構造の作製プロセスは，３．３で述べた様に，図２—４に示したBP - FETの作製プロセスと比較して，１）p層用注入イオン種をBeからMgに変更した点，２）WSi_x ゲート形成以後は図３—１に示したスルー注入によるオフセットゲート構造プロセスに替わる点，３）そのWSi_x ゲート形成直後にn' 層用Si^+ イオンをベア注入する点の３点が異なる。本プロセスフローを図３—１１に示す。n^+層スルー注入形成条件は，オフセットゲート構造FETと同様に，スルー注入膜厚2300Å，Si^+ イオン注入エネルギーは165 KeVを用いた。また注入ドーズ量は，n^+ソース直列抵抗のより一層の低下を図るため，前節での1×10^{13} cm^{-2} から4×10^{13} cm^{-2} に増加した。

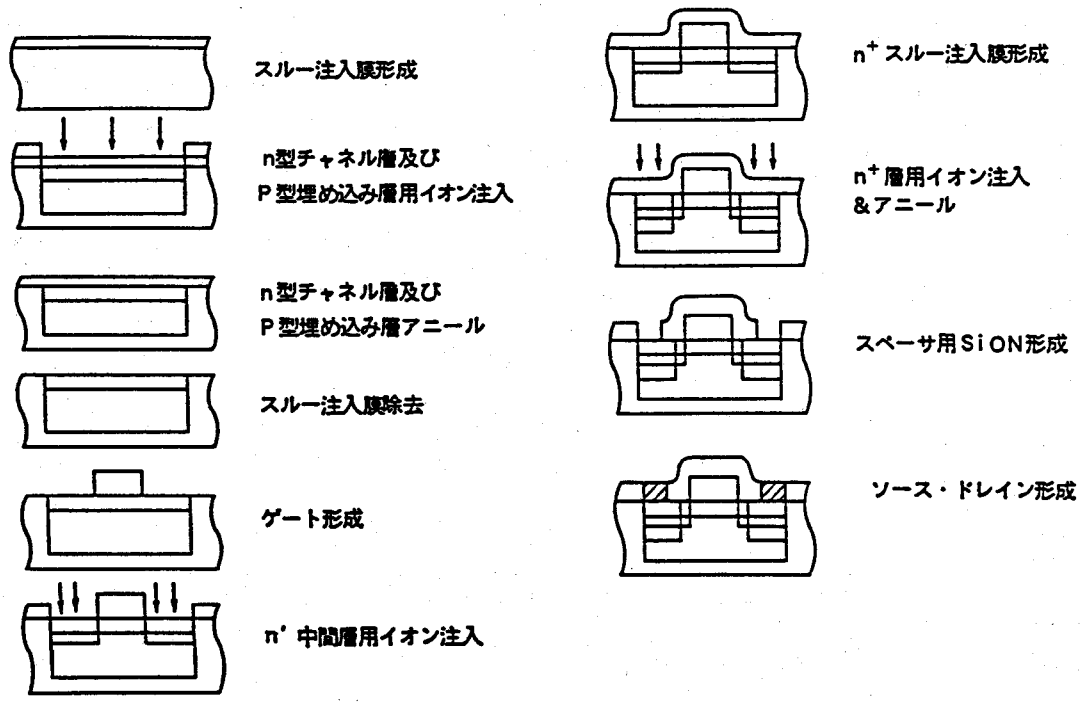


図３—１１　BPLDD - FETの作製プロセスフロー

3．6　p層埋め込み型LDD構造SAGFET (BPLDD) 特性の検討

3．6．1　短チャネル効果

図3—12にゲート長0.7μmのBPLDD - FETと従来型FET（BP - FETとp層無しのLDD - FET）におけるIds - Vgs特性を示す。尚，BPLDDとBP - FETのp層形成条件は同一のMg^{+} 300 KeV, 2×10^{12} cm^{-2}である。これら3種のFETはIdsの流れるリニア領域での特性については大きな相違はないが，サブスレッショルド領域では顕著な相違が見られる。サブスレッショルド電流（Isub）は，BPLDDと埋め込みp層の無いLDDについては，Vgs＜0のサブスレッショルド領域全体にわたり一定であるが，BP - FETではゲート逆バイアスの増加につれてIsubも増大している。これらは3．2．2で述べたLDD化によるドレイン電圧依存性の改善に対応する。BP - FETでのゲート逆バイアスによるIsubの増加は，LDDに比べてゲート・ドレインn^{+}層間隔が狭くゲート・ドレイン端電界が大きいためにゲート・ドレイン間の逆バイアスされたショットキー接合のリークが増大することに対応していると考えられる[17]。一方，BPLDDのIsubはp層無しLDDより約1桁小さく，またBP - FETでもIsubの最小値付近はp層無しLDDより約1桁小さい。これは第2章での検討結果であるp型埋め込み層が良好にnチャネル下基板リークを抑制していることに対応している。

図3—13に上記3種類のFETについてのVthのゲート長依存性を示す。ここで顕著なのはp層無しLDDよりもBP - FETの方が平均的にはIsubが小さいにもかかわらず，ゲート長短縮に伴うVth負方向シフトが大きいことである。前述の通りBP - FETのソース・ドレインn^{+}層間隔（実効ゲート長）がアニール後約0.3μm LDD構造より短くなることをリークチェックパターンでの測定で確認しているが，Vthの負方向シフトの結果はその実ゲート長の差が原因していると考えている。

以上のサブスレッショルド電流，Vth負方向シフトといった短チャネル効果の検討の結果，上述の3種のFET構造では，予期した通りBPLDDが最良の特性を示した。前章のBP - FETではVth均一性は短チャネル効果と一意的に相関していたので，本BPLDDにおいてさらなるVth均一性の向上が期待される。

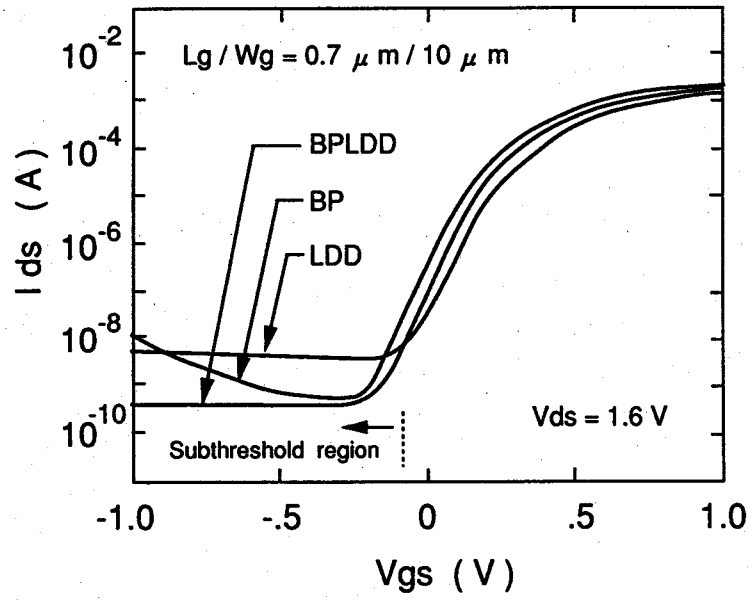


図３—１２　Ids - Vgs 特性の比較（BPLDD, BP, p層無しLDD）

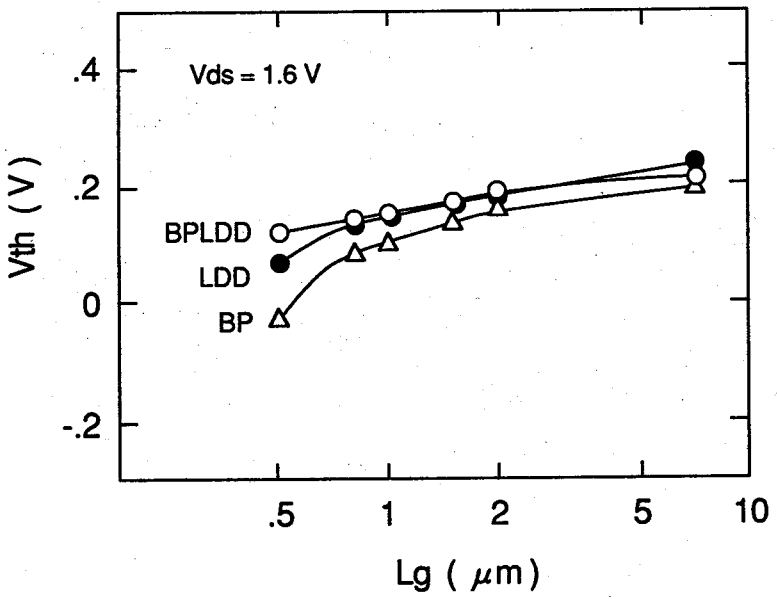


図３—１３　Vth のゲート長依存性の比較（BPLDD, BP, p層無しLDD）

3．6．2　Vth均一性

短チャネル効果が上記3種のFET構造の中で最も良好に抑制されるBPLDDのVth均一性を一層向上させるために，p層，n'層の形成条件の検討を行った。前章での検討結果よりp層濃度は短チャネル効果，それに伴うVth均一性に対し最も影響が大きいので，まずp層濃度（注入ドーズ）の最適化を検討した。

3．6．2．1　p層用Mg^+イオン注入ドーズ依存性

Mg^+イオン注入においては，前章のBe^+イオン注入で最適化された注入エネルギー70 KeVとほぼ同等の注入深さを実現するため注入エネルギーを300 KeVに固定して，注入ドーズを0から1.5×10^{13} cm^{-2}まで増加させた。各Mg^+イオン注入ドーズでのFETのVthを一定として（本実験では150～200 mV）各FET間での比較を行うため，Mg^+イオン注入ドーズの増加に伴いnチャネル用Si^+イオン注入ドーズも増加させた。図3—14にサブスレッショルド電流Isub，サブスレッショルド因子Ng，Vth負方向シフト量ΔVth，3インチウエハー面内でのσ VthのMg^+イオン注入ドーズ依存性をBPLDDのゲート長をパラメータとして示した。ここでΔVthは，ΔVth = Vth(Lg=0.7μm) - Vth(Lg=0.5μm)と定義した。図3—14（a）において，IsubはMgドーズが0から約2×10^{12} cm^{-2}に増加するにつれ単調に減少し，Mgドーズが2×10^{12} cm^{-2}以上では1 nA / 10μm以下でほぼ一定になっている。Isubは，0.5μmゲートBPLDDの方が0.7μmゲートBPLDDより若干大きいがほぼ同じオーダーであり，7μmゲートの長ゲートBPLDDのIsubともほぼ同等であることがわかっている。即ち，Isubはゲート長0.5μmまでは2×10^{12} cm^{-2}以上の比較的高濃度のMg^+イオン注入によるp層形成により十分抑制されていると言える。図3—14（b）において，NgはMgドーズ$2\sim5\times10^{12}$ cm^{-2}で0.7μm, 0.5μm両ゲート長のBPLDDとも最小となり，それ以上のMgドーズで増加している。これはMgドーズの増加に伴い，図3—11の作製プロセス上n'層，n^+層用に注入されたドナーを補償する結果，それらの抵抗（ソース直列抵抗に相当）が増加するのでIdsが減少する。Idsはexp(1/Ng)に比例することからNgは増加すると考えられる。特にn'層部はnチャネル注入時と合わせて約6×10^{12} cm^{-2}の注入層でありn^+層より約1桁低濃度であるためMg^+イオン注入での上記補償効果が顕著に出るはずである。図3—14（c）において，ΔVthはMgドーズが0から1.5×10^{13} cm^{-2}に増加するに伴い単調に減少している。このΔVthの依存性は図3—14（a）のIsubの依存性と異なる。つまりΔVthはIsub，即ち基板リークだけでは決定されず他の要因の影響を受けると判断される。考えられる主な2つの要因として，まず1）p層導入に伴うpn接合形成によるnチャネル層の薄層化がある。前章で述べたようにMgドーズの増加に伴いpn接合での空乏層がよりnチャネル側に伸びるためnチャネル厚としては単調に減少するはずである。ゲート長に対するチャネル厚のアスペクト比が小さい程ゲート電界の2次元効果は出にくくな

るため [18]，ΔVth は小さくなると考えられる。もう１つの要因としては２）高濃度ｐ層によるピエゾ効果の抑制がある。ピエゾ電荷によるVth シフトΔVthp は次式で近似される [19]。

$$\Delta Vth_p = \frac{1}{\varepsilon_s}\left(\int_{z=0}^{z=\alpha+\Delta\alpha} z\rho_{piezo}(z)dz + \int_{z=\alpha}^{z=\alpha+\Delta\alpha} z\rho_{ch}(z)dz\right) \qquad (3.5)$$

ε_s：GaAsの誘電率，α：ｎチャネル厚，$\Delta\alpha$：ピエゾ電荷によるαの変動，$\rho_{piezo}(z)$：ピエゾ電荷密度，$\rho_{ch}(z)$：ｎチャネル電荷密度

ｐ層が高濃度になれば上記１）によりαは減少する。またVth を一定とするためにｐ層高濃度化に伴いｎチャネルも高濃度化するが，この時ピエゾ電荷密度に対するｎチャネル密度の比も増加するので，$\Delta\alpha$は減少する。従って（３．５）式中の第１項は減少する。また$\rho_{ch}(z=\alpha$，or $\alpha+\Delta\alpha)$はｎチャネル深さの終端位置での電荷密度であり，ｐ層濃度にかかわらず$1\sim10\times10^{15}\,cm^{-3}$と低く，かつｐ層が高濃度時は前記の通り$\Delta\alpha$は減少するので（３．５）式中第２項も減少する。よって（３．５）式におけるΔVthp はｐ層高濃度化に伴い減少すると言える。図３－１４（ｄ）においてσVth は３インチウエハー面内 56点のFET測定により得られたものである。σVth は 0.7μm, 0.5μm両ゲート長のBPLDD-FETともMgドーズを 0から$2\sim5\times10^{12}\,cm^{-2}$まで増加するにつれ単調に減少し，それ以上増加すると単調に増加する。第２章のBP - FETでの同様の検討においては，Beドーズを$5\times10^{12}\,cm^{-2}$までしか増加せずBeドーズ増加に伴いσVth の単調減少の傾向を確認したに留まったが，このMg 注入ではそれ以上に高ドーズ領域で，σVth の劣化が見られている。ｐ層高濃度化により Isub，即ち基板リーク電流，Vth 負方向シフトとも図３－１４（ａ），（ｃ）のように低減される結果が得られており，いわゆる短チャネル効果は抑制されている。この短チャネル効果の抑制にもかかわらずVth ばらつきが増大する原因としてはMg 高ドーズ注入での注入損傷に伴う活性化率ばらつき[20] 等が考えられる。

また0.7μmゲートBPLDDではMgドーズ $2\times10^{12}\,cm^{-2}$でσVth の最小値が得られるのに対して，0.5μmゲートBPLDDでは $5\times10^{12}\,cm^{-2}$で最小値をとり，σVth を最小化するのに必要なMgドーズが増加している。この理由の１つとして，同一ｐ層濃度では0.5μmゲートの方がチャネル長に対するチャネル厚の比（チャネルアスペクト比）が大きくなりゲート電界の２次元効果の影響が増大してVth 変動が生じやすくなるが，それを抑えるためにさらに高濃度のｐ層が必要であることが対応していると考えられる。

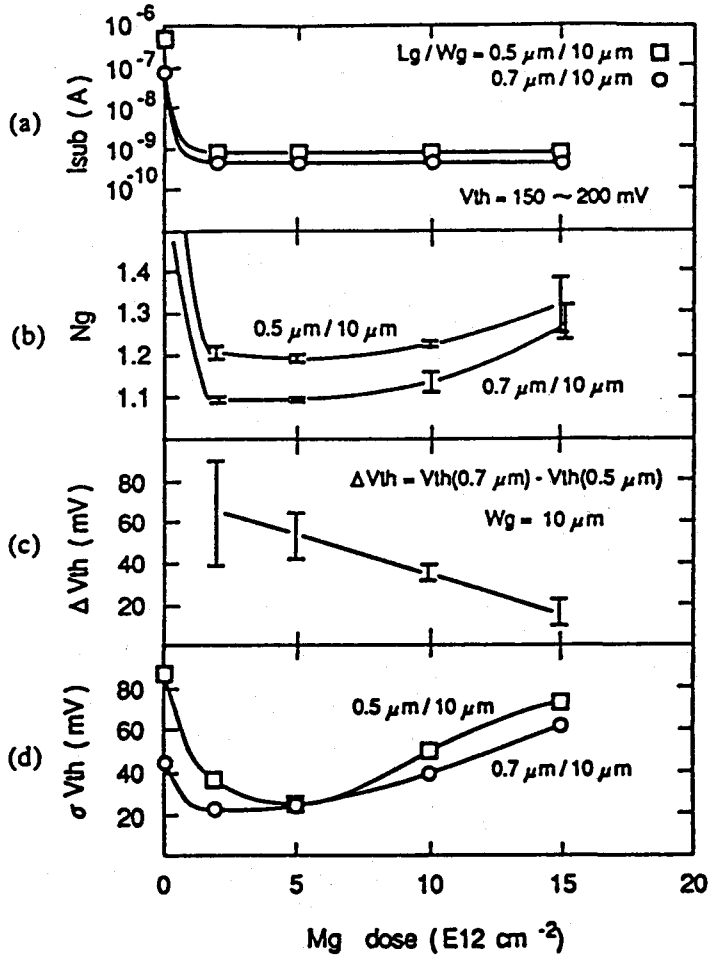


図３—１４　Isub（a），Ng（b），ΔVth（c），σVth（d）のMg^+イオン注入ドーズ依存性

３．６．２．２　n’層 Si^+イオン注入ドーズ依存性

電流駆動能力 K値（つまりはソース直列抵抗）の劣化抑制の観点から，n’層用注入ドーズとしてはnチャネルと同等の$2\times10^{12}\,cm^{-2}$以上を付加することが有効であることを前節３．３で述べたが，Vth均一性向上の観点でさらに検討する必要がある。図３—１５に0.5μmゲートBPLDDでのσVth（前図３—１４（d）と同様３インチウエハー面内56点を測定）のn’層注入ドーズ依存性を注入エネルギーをパラメータとして示す。注入ドーズの増加に伴いσVthは単調に増加している。これはn’層の高濃度化によりゲート・ドレイン端電界が増加してドレイン端でチャネル下に漏れる電子が増える，即ち短チャネル効果が増加することに対応すると考えられる。注入ドーズの増加に伴うσVthの増加は幾分注入エネルギーの低い方が少なく，第２章で述べたn^+層の薄層化と同じ効果が現われているとも考えられる。

以上により，Vth均一性の点ではn’層はできるだけ低濃度であることが必要であり，先のK値での最適化と併せてSi^+イオン 50 KeV 注入では$2\times10^{12}\,cm^{-2}$が適当と考えられる。

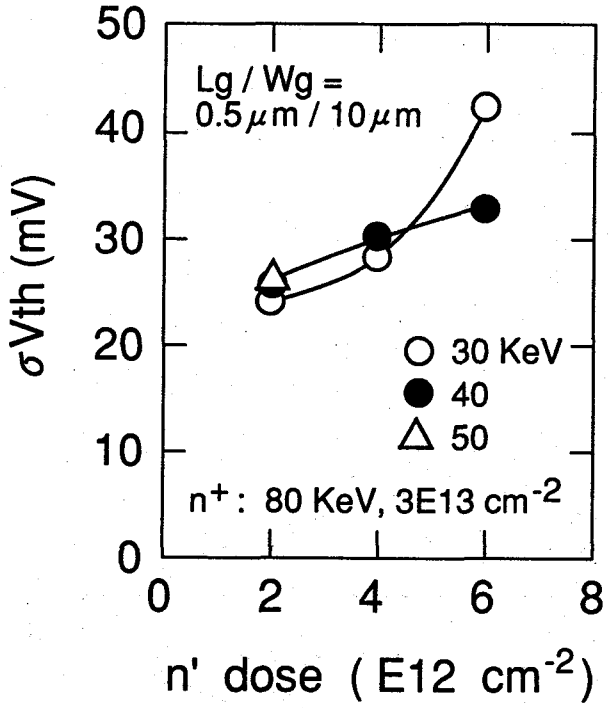


図３—１５　σVthのn'層用注入ドーズ依存性

３．６．３　微小領域でのVth分布

前章で用いた高密度FETアレイをBPLDDで作製し，さらにBP - FETの評価結果と比較した。前節でマクロなVth均一性に対して最適化されたp層（Mg^+ 300 KeV, 2×10^{12} cm^{-2}），n'層（Si^+ 50 KeV, 2×10^{12} cm^{-2}）を用いたBPLDDについて，上記のFETアレイでのVthミクロ分布をゲート長 1.0, 0.7, 0.5 μm について測定した。その結果を表３—１に示す。ゲート長の短縮につれてσVthは増加するが，0.7 μm でσVth = 7 mV であり，前章のBP - FETではゲート長 1.0 μm でσVth = 9 mV であったので，ゲート長の短縮にもかかわらずVth均一性は向上していることが明らかとなった。さらに前章で述べたVth異常点は，短チャネル効果がより良好に抑制されたBPLDDではゲート長 0.5 μm でも観測されなかった。図３—１６はゲート長 0.7 μm のBPLDD - FETとBP - FETについて本FETアレイで測定した3 mm角でのσVthのp層用Mg^+イオン注入ドーズ依存性を示す。Mgドーズの 2×10^{12} cm^{-2} までの増加につれ，σVthはBPLDD, BP双方とも単調に減少しているが，これは先の図３—１４（d）に示したウエハー面内のマクロなVth分布での傾向とよく一致している。σVthはBPLDDの方が常に低い。図３—１６で，Mgドーズ 5×10^{11} cm^{-2} におけるBPLDDのσVthがMgドーズ 2×10^{12} cm^{-2} におけるBPのσVthより低いことが分かる。サブスレッショルド因子Ng，サブスレッショルド電流Isubについては BPLDDの方が高く，短チャネル効果も大きい。これは短チャネル効果とVth均一性が一意的には相関

していないことに相当するが，これについては以下の様に考えられる。即ち，元々BPLDDに対してBP-FETは実効ゲート長が約 0.3 μ m短く，n^+層アニール時の横方向拡散長の変動がBPLDDとBPで同じであるとすれば，相対的な実効ゲート長の変動はBPの方がより大きくなる。よって個々のFETの Isub 等はBPの方が低くより短チャネル効果は抑制されているにしても，ゲート長（nチャネル長）が相対的により大きく変動しているBPの方がVth ばらつきとしては大きくなる。

表３—１　60 μ mピッチFETアレイによる微小領域での σ Vth のゲート長依存性

Lg（μm）	σ Vth（mV）
1.0	5
0.7	7
0.5	20

@BPLDD - FET

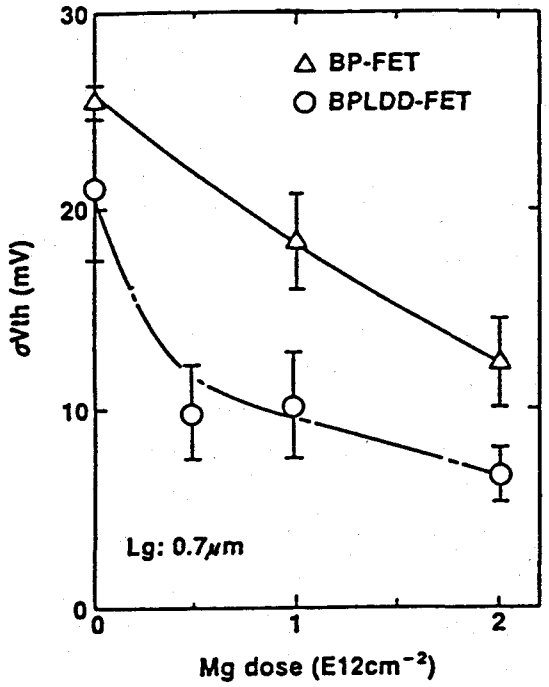


図３—１６　60 μ mピッチFETアレイによる微小領域での σ Vth のMg^+ イオン注入ドーズ依存性

3．6．4　電流駆動能力

前章のBP - FETでは，nチャネル下のp層埋め込みによるチャネルの薄層化，並びに同一Vthを実現するためのnチャネルの高濃度化によりnチャネルの高濃度薄層化が実現されることを述べた。またオフセットゲート構造ではソース直列抵抗が大きいため電流駆動能力の劣化は避けられないが，nチャネルと同程度の濃度のn'層をゲート・n^+層分離部に付加（LDD化）したLDD - FETでは，ソース直列抵抗をBP - FET以下にすることは高濃度n^+層とn'層との濃度差のため不可能ではあるものの，K値についてはBP - FETに近い値を得ることができる。ここではBPLDDのK値とg_mをBP - FETと比較してさらに検討する。

図3—17にVth～100 mV, Vds = 1.6 VでのBPLDD, BP - FETのK値のゲート長依存性を示す。0.8 μmまでは両者とも同等のK値を有しており，さらにそれ以下のゲート長ではBP - FETについてはK値が飽和する特性を持っているが，BPLDD - FETでは比較的単調に増大している。K値は基本的には（2．5）式で示したようにnチャネル層厚で決まるため，ある程度ソース直列抵抗が下がるとソース抵抗よりもむしろチャネル厚が支配的になる。BPLDDとBP - FETのnチャネル及びp層は同一条件で形成しているので，両者のK値は同等になると考えられる。0.8 μm以下の短ゲート長時での両者の差は短チャネル効果の差によるものと考えられる。図3—18にVth～100 mV, Vds =1.6 VでのBPLDD, BP - FETのg_mのゲート長依存性を示す。前図3—17に比べてBPLDDとBP - FETでは明らかに差があり，BPLDDの方がg_mは低い。g_mは次式で表現される。

$$g_m = \frac{g_{m0}}{1 + R_s g_{m0}} \qquad (3.6)$$

g_{mo}：真性相互コンダクタンス，Rs：ソース抵抗

ゲート長の短縮につれ真性g_mが大きくなり寄生ソース直列抵抗の影響はより大きく現われるため，図3—18の様に，短ゲート長時にBPLDDとBPのg_mの差はより大きくなるものと考えられる。上記のK値とg_mの挙動の差については以下の様に考察できる。K値は（3．4）式より，

$K = Ko\,(1 + \lambda Vds)$　　Ko：定数，λ：λパラメータ

またVthは（3．3）式より，

$Vth = Vtho - \gamma Vds$　　Vtho：定数，γ：γパラメータ

であるのでg_mは（2．6）式より次式の様になる。

$$g_m = 2K(Vgs - Vth) = 2Ko(1 + \lambda Vds)(Vgs - Vth + \gamma Vds) \qquad (3．7)$$

図3—17のK値の測定結果から，Ko（1 + λVds）はBPLDDとBPとではほぼ同等と言える。一方，図3—18のg_mの測定結果ではBPの方がg_mは高いので，Ko（1 + λVds）がほぼ同等であることから

考えるとγが大きくなっていると言える。γは，p層が無いオフセットゲート構造FETと従来構造FETとでは，３．２．２で述べた様に１桁近くオフセットゲート構造の方が小さいことから，本BPLDDとBP - FETにおいてもBPLDDの方がγは小さくなることが類推できる。このようにg_mは，K値に比べて，短チャネル効果の影響がVthのドレイン電圧依存性を通じてより顕著に現われる。図３—１８において，BPLDDのBP - FETに対するg_mの低下率は最大でゲート長0.5μm時に約２０％である。

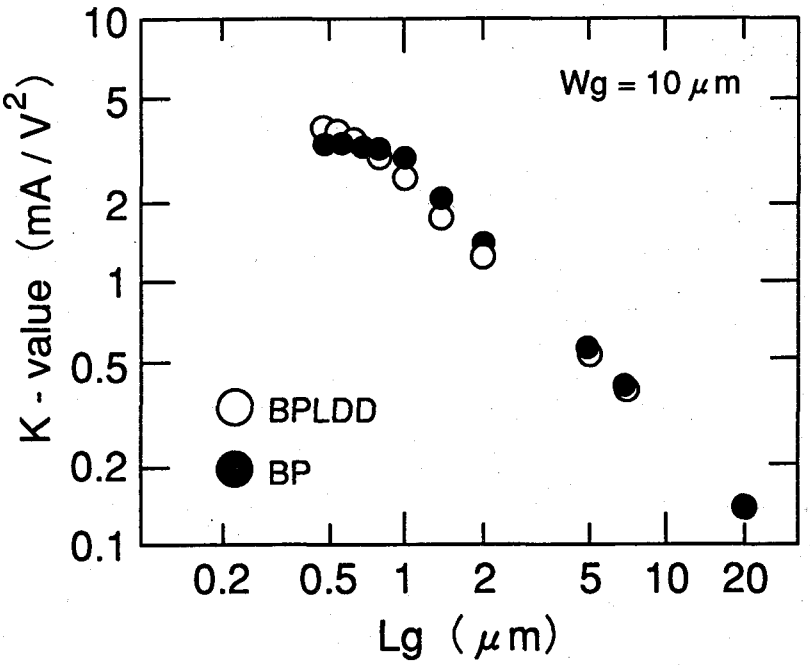


図３—１７　K値のゲート長依存性（BPLDD, BP）

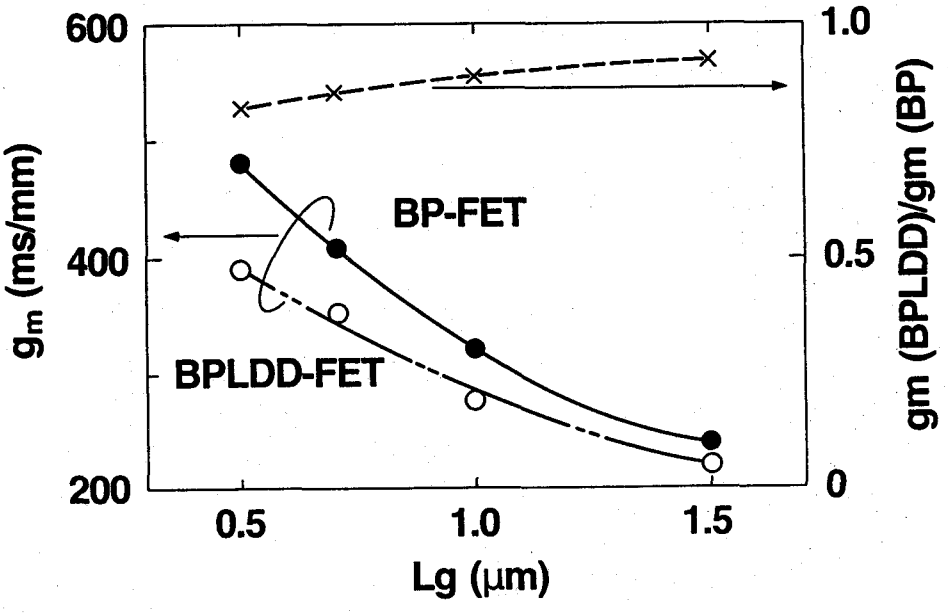


図３—１８　g_mのゲート長依存性（BPLDD, BP）

3．6．5　ゲート容量

第2章のBP - FETではゲート容量が増加していることを指摘した。BP - FET構造において寄生容量の増加が発生する箇所としては，1）p型埋め込み層中の中性領域，2）n^+層がゲート下に喰い込んだゲート・n^+層オーバーラップ部があり，1）については，p型中性領域による寄生容量の増加はFETのピンチオフ領域での増加として観測されるが，その容量はFETオン時の容量に比べて十分小さく，またオン時の容量も増加するがそれはむしろnチャネル濃度の増加に対応することを前章で指摘した。2）については，LDD構造によりゲートと高濃度n^+層を分離するわけであるから，本容量は減少するはずである。本節では，特に2）のゲート端寄生容量についてBPLDDとBPを比較して検討を行った。

BPLDDのゲート端でのSi^+イオン注入ドーズ（n'層）はBP - FETに比べ約1桁小さいので，ゲート端寄生容量はBPLDDにおいて相当低下すると考えられる。特に短ゲート長ではチャネル真性容量が小さいため，基本的にゲート長には依存しないゲート端寄生容量のチャネル真性容量に対する比は増加する。従って短ゲート長である程BPLDDの全ゲート容量はBP - FETに対してより低下すると考えられる。

3．6．5．1　ゲート容量の構成

図3—19にLDD構造FETのゲート容量の模式図を示す。本図においてゲート端寄生容量 Cgpe は，ゲートとn'，n^+層間のオーバーラップ容量 Cgov とフリンジング容量 Cgf から構成され，さらにフリンジング容量はゲート側壁の空気を介する外部フリンジング容量 Cgfo と従来の内部フリンジング容量 Cgfi から成る。よって Cgpe は次式のように表現できる。

$$Cgpe = Cgfo + Cgfi + Cgov$$
$$\sim (\pi \varepsilon_0 / 2) \cdot \ln(1 + H/d) \cdot Wg + \pi \varepsilon_S Wg / 2 + \varepsilon_S \Delta Lg Wg / d \qquad (3．8)$$

ここで，ε_0：　空気の誘電率，ε_S：GaAs の誘電率，H：ゲート厚，d：ゲート端での空乏層厚，
ΔLg：n'層のnチャネル層への横方向拡散長

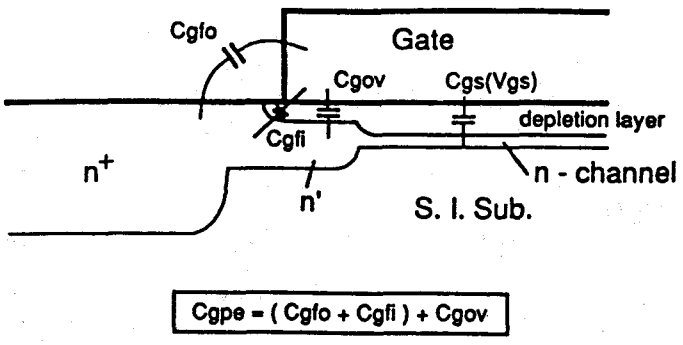


図3—19　LDD構造FETのゲート容量の模式図

ε_0はε_sに比べると約1桁小さくCgfoはCgfi，あるいはCgovに比べて十分小さいため，（3．8）式は次式のように近似できる。

$$Cgpe \sim (\pi/2 + \Delta Lg/d)\varepsilon_s Wg \qquad (3．9)$$

3．6．5．2　ゲート端寄生容量の解析

ゲート容量はYHP社製インピーダンス・ゲイン・フェイズアナライザ4194Aを用いて測定周波数1MHzで測定した。図3—20にゲート長7μm, 1μmでのBPLDD, BP - FET双方についての全ゲート容量Cgsのゲート電圧Vgs依存性を示す。ゲート幅は10μmである。ゲート長7μmにおいてチャネルオン時（Vgs＞Vth）でのCgsのVgs依存性は，ほぼ次に示す近似式[21]でフィッティングできる。

$$Cgs = Cgs(Vgs) + Cgp$$
$$\sim A(Vbi - Vgs)^{-1/2} + Cgp \qquad (3．10)$$

ここで，Cgs(Vgs)：チャネル真性容量，Cgp：ゲート寄生容量（Cgpeを含む），A：定数，

Vbi：ビルトイン電圧

但し元の式[21]はCgpを$\pi\varepsilon_s Wg/2$（（3．8）式におけるCgfi）としており，（3．8）式のCgov等は考慮していない。一方，ゲート長1μmではVgs＞VthでCgsのVgsに対する変化は小さく，（3．10）式ではフィッティングできない。これは1μmという短ゲート長では，全ゲート容量Cgsに占めるVgsに依存しない寄生容量Cgpの割合が増えていることを意味している。図3—20からはさらにBPLDD - FETのCgsはゲート長7μm, 1μm両方ともBP - FETのそれに比べ小さいことがわかる。両者の差は，両者のnチャネル部（nチャネル，p層）の形成条件が同一であるため，Cgpに起因すると考えられる。またゲート長1μmでチャネルオン時（Vgs＞Vth），BP - FETのCgsのVgsに対する変化はBPLDD - FETより小さいことがわかる。この原因は，ゲート・ソース間での順方向ゲート電圧（Vgs）が増加すると，特にゲート電界の高いゲート端部でゲート・ソース間リークが増加するためCgpが減少するが，BPLDD - FETに比べてBP - FETの方がゲート端電界が高いためにリークはより大きく，Cgpはより低下する。一方，チャネル真性容量Cgs(Vgs)はVgsの増加につれて増えるので，CgpとCgs(Vgs)の比が問題となるが，ゲート長が1μmのFETでは両者の効果が同程度になり，Cgs(Vgs)とCgpの和であるCgsはVgsの増加に対し微増するに留まるものと考えられる。

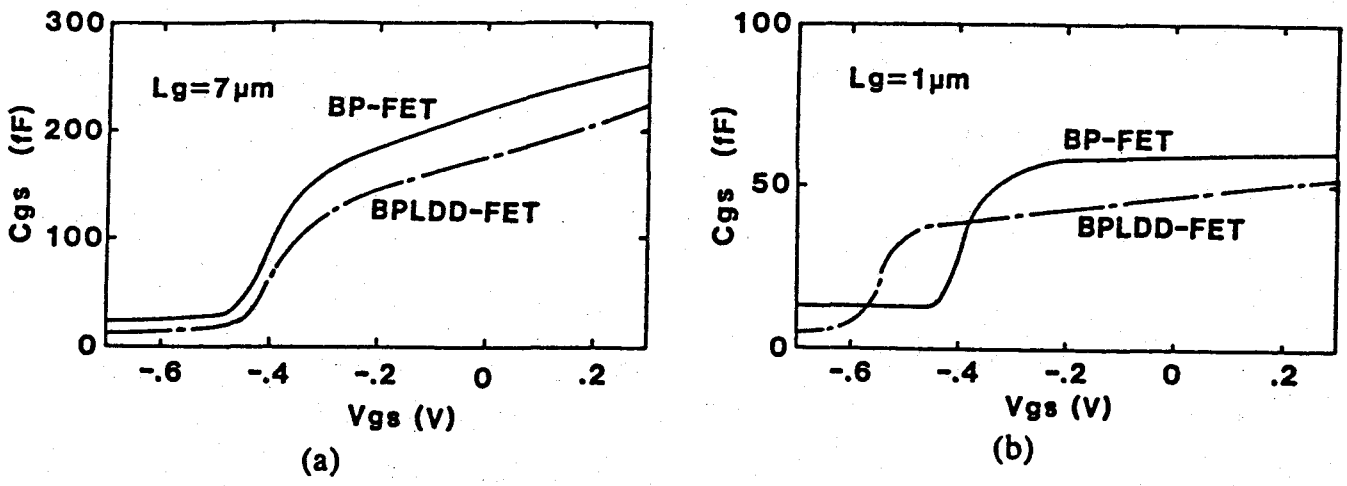


図３—２０　Cgs のゲート電圧Vgs 依存性（BPLDD, BP, Lg = 7 μ m, 1 μ m）

次にCgs のゲート寸法依存性の解析を行うが，Cgs の代表値として Vgs = 0.3 V での Cgs を選んだ。その理由は，LSI の論理回路としてDCFL（Direct Coupled FET Logic）では，論理High レベル V_H が 0.5～0.6 V，論理Lowレベル V_L が 0～0.1 V であり，Vgs の平均値としては 0.3 V になるからである。以後簡単のためにCgs(Vgs = 0.3 V) ≡Cgon と表記する。

ゲート端寄生容量 Cgpe は，真性容量 Cgs(Vgs) と異なりゲート幅のみに依存することから，Cgon のゲート長依存性により推定することができる。図３—２１にゲート幅 10 μ mでの Cgon のゲート長 Lg 依存性を示す。本図より Cgon は次式で近似される。

$$Cgon \sim Cg1 + Cg2 \cdot Lg \qquad (3.11)$$

Cg1：ゲート端寄生容量 Cgpe，Cg2：$\Delta Cgon / \Delta Lg \mid_{Lg}$

（３．１０），（３．１１）式より（３．１１）式の第２項は，Cg2 · Lg = Cgs(Vgs) + Cgpp（但し Cgpp はｐ埋め込み層による寄生容量）と考えられる。図３—２１よりLg の増加につれてCgon はBP LDD - FET, BP - FET 両方ともほぼ同じレートで直線的に増加している。一方，Cgon 自体は常にBP LDD - FETの方が低い。これより，Cg1，即ち，Cgpe はBPLDD - FETの方が低く，Cg2 はBPLDD - FET, BP - FETともほぼ同一であることが分かる。よってBPLDD - FETのBP - FETに対する Cgon の比はゲート長が短縮されるにつれて低下し，図３—２１から分かるようにゲート長を1 μ mから0.5 μ mまで短縮すると，Cgon の比は８９％から７４％に低下する。これは，両FETの電流駆動能力が同等であれば，ゲート長が短ければ短いほどBPLDD - FETはBP - FETに比べてゲート遅延時間はより小さくなることを意味する。

（３．１１）式での Cg1, Cg2 は Lg に係わらず一定であるという前提があるが，実際には Cgon は Lg に対して２次以上の高次の依存性を有しており，例えばゲート長 0.7 μ m, 1.0 μ m, さらに長ゲート

長での各近傍において$\Delta Cgon / \Delta Lg|_{Lg}$は異なっており，故にCg1 = Cgpeも異なる。図３—２１の結果より，ゲート長0.7 μm以下ではCg2は3.5 fF / μm^2以上，Cg1（=Cgpe）は1.0 fF / μm以下と計算される。

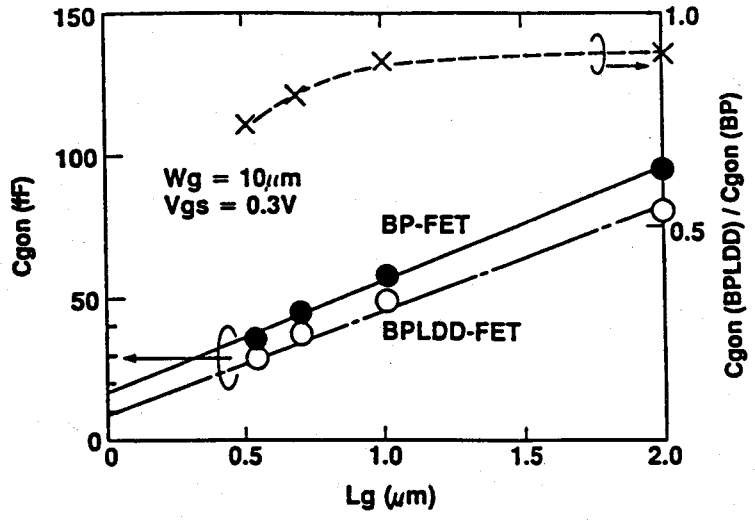


図３—２１　Cgonのゲート長依存性（BPLDD, BP）

図３—２２にBPLDD - FET, BP - FETについてゲート長7μmでのCgonのゲート幅依存性を示す。本図の結果と（３．１１）式よりCgonは次式の様に近似される。

$$Cgon \sim Wg[\mu m] \cdot (Cgpe^*[fF/\mu m] + Cg2^*[fF/\mu m^2] \cdot Lg[\mu m]) + Cst \qquad (3．12)$$

Cst：浮遊容量，$Cgpe^* = (Cgpe - Cst) / Wg$，$Cg2^* = Cg2 / Wg$

図３—２２より，Lg, Wg双方に依存しないCstが存在することが分かる。これより（３．１１）式においてCg1はCgpe + Cstであることが判明したので，Cgpeをより正確に決定できる。上述した$Cgpe^*$, $Cg2^*$をBPLDD - FET, BP - FETの両者に対しゲート長0.7μm, 1.0μmについて測定した結果を表３—２にまとめる。BPLDD - FETのゲート端寄生容量$Cgpe^*$はゲート長0.7μm, 1.0μmともBP - FETに比べて低く，特に0.7μmゲートでは0.5 fF / μmでBP - FETの半分に減少していることが分かる。これに対して，（３．８）式より$Cgpe^*$は，ゲート端での空乏層厚dが約500Å，n’層のnチャネル層への横方向拡散長ΔLgが実測により約1500Åであるから，約0.6 fF / μmと見積もられる。従って上述のCgonの測定結果から得られたゲート端寄生容量$Cgpe^*$は（３．８）式での計算値と良く一致していると言える。

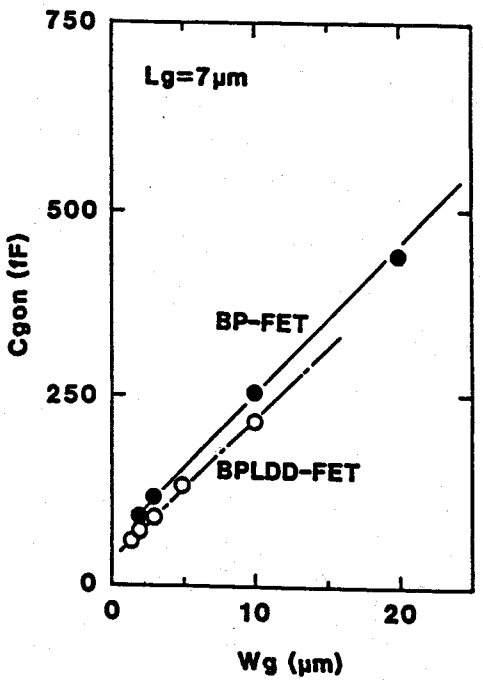


図３—２２　Cgon のゲート幅依存性（BPLDD, BP）

表３—２　Cgpe*, Cg2* の測定結果

FET		Lg（μm）= 0.7	1.0
BP	C^*_{g2} (fF/μm²)	4.0	3.5
	C^*_{gpe} (fF/μm)	1.0	2.7
BPLDD	C^*_{g2} (fF/μm²)	4.0	3.5
	C^*_{gpe} (fF/μm)	0.5	1.9

図３—２１に示したBP - FETに対するBPLDD - FETの Cgon の比と，図３—１８に示したBP - FETに対するBPLDD - FETのg_m の比を比較すると，ゲート長１μm以上では両者はほぼ同等であるが，１μm以下になると g_m の比が Cgon の比より大きくなる。g_m (BPLDD) / g_m (BP)≧Cgon(BPLDD) / Cgon(BP) の時，g_m (BPLDD) / Cgon(BPLDD)≧g_m (BP) / Cgon(BP) であるので，上記の結果はゲート長１μm以上では g_m / Cgon がBPLDD - FETとBP - FETとで同等で，１μm以下では g_m / Cgon はBPLDD - FETがBP - FETより大きいことを意味する。遮断周波数 f_T は，$f_T = g_m / 2\pi Cgs$ であるから Lg に対して上記と同様な傾向を有すると考えられるため，次に両FET の f_T の測定を行いゲート長依存性を求めた。

3．6．6　遮断周波数

図3—23はBPLDD - FETとBP - FETについて f_T のゲート長依存性を示す。f_T の測定条件は，Vds = 1.6 V, Vgs = 0.6 V で，測定時の電流を十分とるためにVth = - 0.2 V のFETを測定した。FETはゲート幅 75 μ mの2フィンガー構成である。本図においてゲート長 0.6 μ m以下で f_T はBPLDD - FETの方がBP - FETより大きい（本図ではプロットしていないがBP - FETの f_T はゲート長 0.5 μ mでは 1 GHz 程度に劣化している）。f_T 測定時のVgs は0.6 V で，Cgon 測定時のVgs = 0.3 V とは異なり，Φ_B に近いためかなりゲートリーク電流が増えるので この条件の下での Cgs，特にBP - FETについてのCgs は前節3．6．5で述べたようにCgon に比べて非常に小さくなっている可能性が高い。この違いにより前述した g_m / Cgon のLg依存性と f_T のLg依存性とでは傾向が良く一致しないと考えられる。しかしながら g_m に対して Cgon の低下が顕著なゲート長 0.6 μ m以下では予想通りBPLDD - FETの方が f_T は向上している。f_T の実効ゲート長（ソース・ドレイン n^+ 層間距離）依存性を考えると，BPでは n^+ 層が最終的に WSi_x ゲート下に約 0.15 μ m横方向拡散するので実効ゲート長は WSi_x ゲート長から約0.3 μ m短縮されている。これに対してBPLDD - FETでは実効ゲート長が WSi_x ゲート長と同等約 0.1 μ m増加している。図3—23上で同一実効ゲート長としてBPLDD - FET, BP - FETの f_T を比較すると，FET構造上ゲート・n^+ 層間オーバーラップ容量の有無の差だけになり，当然ではあるが，常にBPLDD - FETの方が f_T は高い。BPLDD - FETではゲート長が 0.5 μ mの時，約 35 GHz の f_T が実現されている。

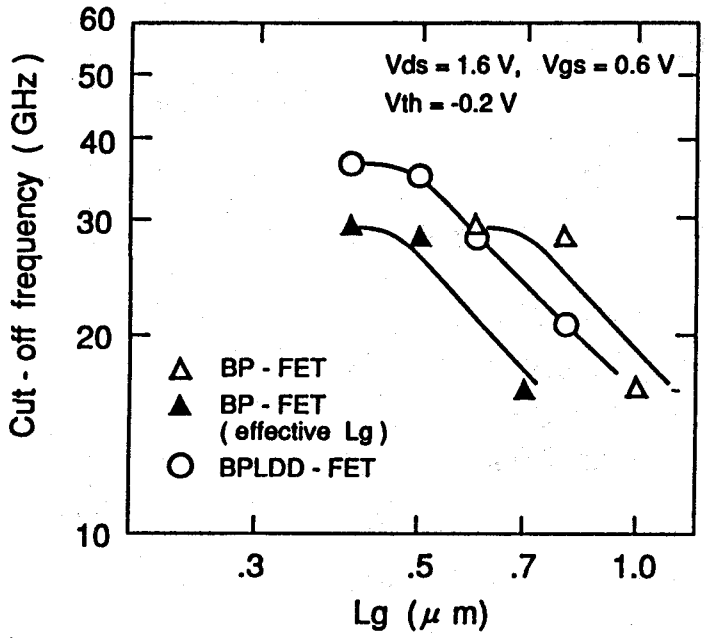


図3—23　f_T のゲート長依存性（BPLDD, BP）

3．6．7　ゲート遅延時間

DCFL構成１０１段リング発振器をBPLDD - FET, BP - FETで各々作製し，両者のゲート遅延時間 tpd を測定した。リング発振器では各DCFLインバータの出力が次段のDCFLインバータの入力に接続されているので，ゲート・ドレイン間容量 Cgd による帰還容量（Miller 容量）の影響が f_T 測定時に比べて大きくなる。BP - FETに比べBPLDD - FETではゲート端寄生容量 Cgpe の低減により Cgd も小さくなるので，BP - FETに対してBPLDD - FETでは tpd の方が f_T よりもさらに低減されると考えられる。図３—２４に実効ゲート長 0.7 μ mのBPLDD - FET, BP - FETについての tpd のゲート消費電力Ｐ依存性を示す。tpd は同一の実効ゲート長ではBPLDD - FETの方がBP - FETより小さく，ゲート消費電力Ｐが 1 mWの時，tpd = 15 ps となりBP - FETの約６５％に低下している。この消費電力時のこのゲート遅延時間の結果は 0.7 μ mゲートGaAs MESFETとしては世界最高速レベルである。一方，図３—２３より，実効ゲート長0.7 μ mでのBPの f_T はBPLDD - FETの約７３％に低下しており，上記で予期した通り tpd の方が f_T よりもLDD化による低減効果が大きいと言える。また図３—２４においてBPLDD - FETの tpd はｐ層用のMg^+ イオン注入ドーズにほとんど依存していない。これはBPLDD構造FETが第２章で述べたBP - FETと比較して，ｐ層中の中性領域によるゲート寄生容量（第２章での検討により，図中 1×10^{12}, 2×10^{12} cm^{-2} の条件で発生している）の付加，及びｐ層高濃度化に伴うｎチャネル層高濃度化によるゲート真性容量の増加のゲート遅延時間に及ぼす影響が十分小さいことを意味している。

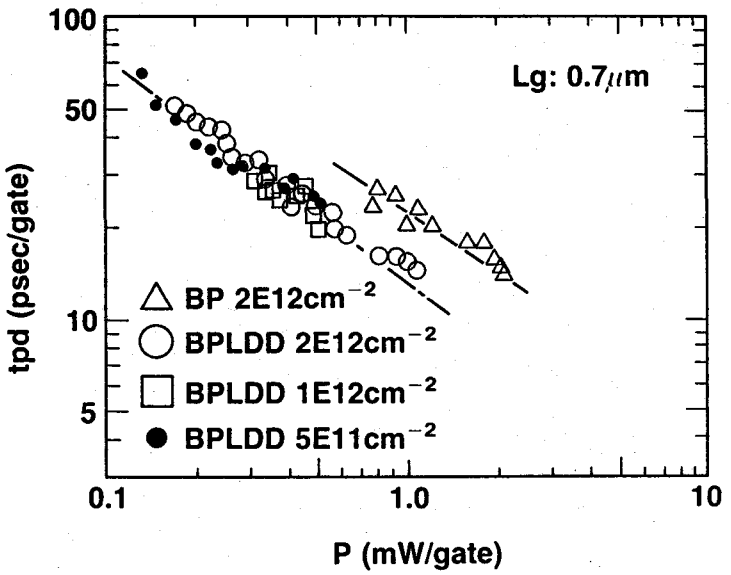


図３—２４　tpd のゲート消費電力依存性（BPLDD, BP）

３．７　BPLDD構造FETにおける電流駆動能力と速度性能の改善

前節３．６でBPLDD - FETはBP - FETに比べ短チャネル効果，Vth均一性，ゲート容量，動作速度の点でより優れているが，電流駆動能力だけは劣化することが明らかになった。これはn’層の導入に伴うものでFET構造上本質的に避けられないものであるが，LSIの動作速度が主に配線容量で律速されるという点を考えると，高速LSI開発に際しては無視できない。従って前節での低減されたゲート端容量，あるいは短チャネル効果を増加させないようにソース直列抵抗の低減，即ちn’層，n^+層のキャリア濃度を増加する必要がある。筆者が本研究に着手した時点では，n’層，n^+層のキャリア濃度を増加することによりBPLDD - FETの電流駆動能力，あるいは速度性能の改善に成功した報告例はなかった。

３．７．１　FET構造の再検討

本節での改良型BPLDD - FETの断面構造を図３—２５に示す。本構造の特徴は以下の通りである。

1）n’層，n^+層を高濃度化することを前提としており，それらに起因する短チャネル効果の劣化を抑制するため，n^+層をnチャネルと同程度に薄層化した。即ち，n^+スルー注入膜を2300Åから500Åに，またn^+層用注入エネルギーを165 KeVから50 KeVに低下した。

2）n’層を高濃度化すると同時に，n’層の幅（ゲート・n^+層間分離長）を約500Åから1500Åに増加し，さらにゲートとn^+層を分離した。後述するように，これを実現するために新たなサイドウォールプロセスを開発した。

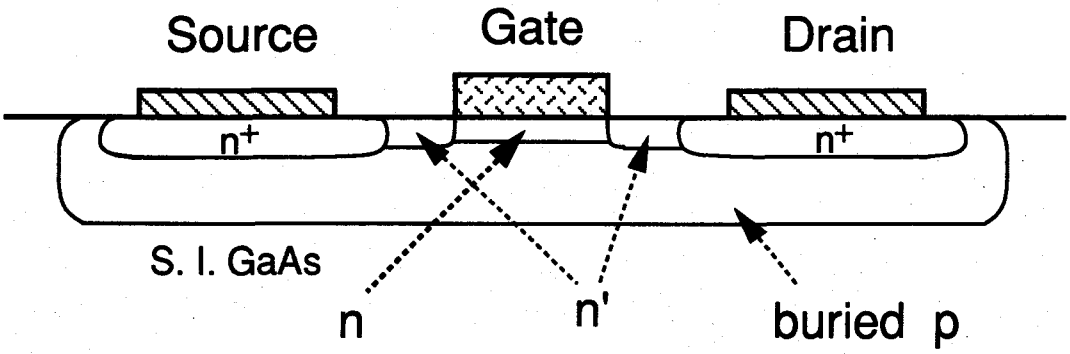
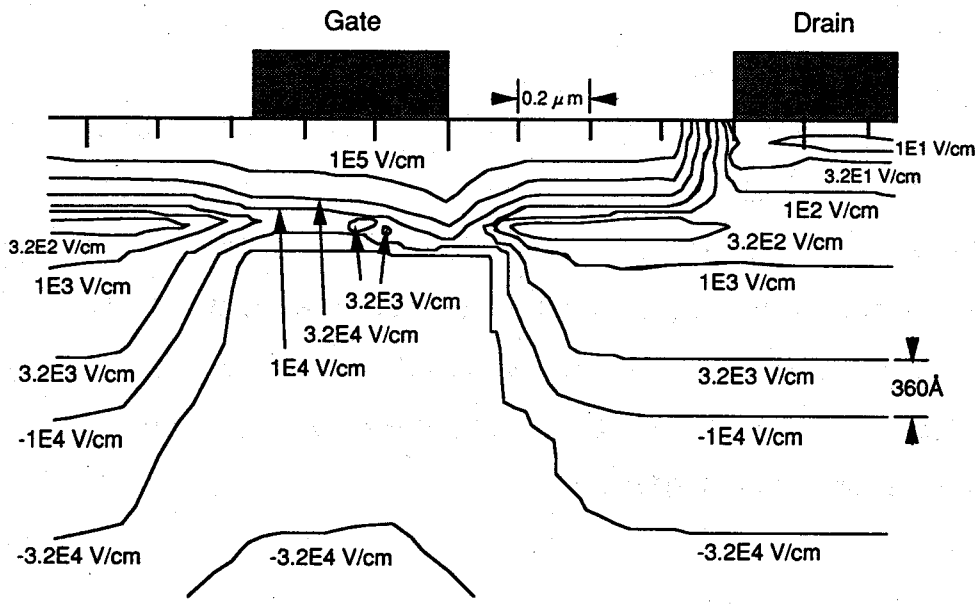


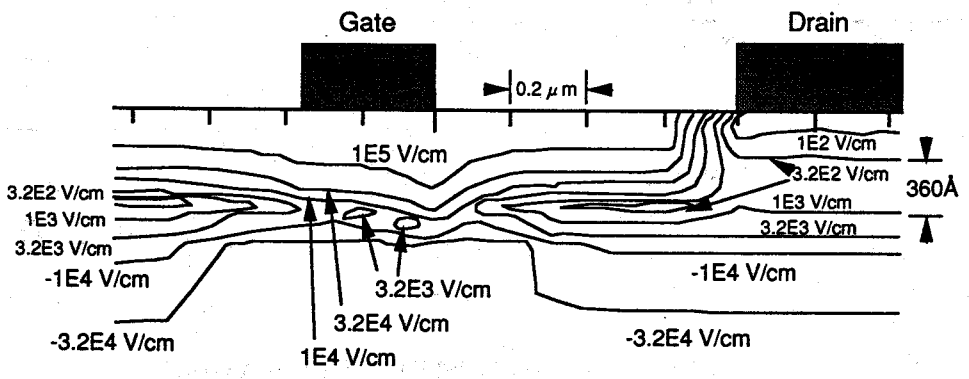
図３—２５　改良型BPLDD - FETの構造断面図

本改良型BPLDDの作製に先立ち，BPLDD - FET構造内部での電界，電子電流の２次元分布をGaAs MESFET２次元シミュレータ（G - PISCES - IIB）[22] を用いて，それらの２次元効果がｎ’層，n^+層の高濃度薄層化，そしてゲート・n^+層間分離長の増加で低減しうるかどうかを検討した。上記改良前後における電界の基板深さ方向成分の２次元分布のシミュレーション結果を図３―２６に示す。このシミュレーション結果から，改良型BPLDD構造FETでは，ｎチャネルのゲート・ドレイン端でかつチャネルの深さ方向終端の部分での垂直電界強度は従来型BPLDD構造FETでの約３０％に，また同一位置での垂直方向の電子電流は従来構造の約６５％に各々低減できることが確認された。

本結果より，改良型BPLDD構造FETでは，従来型BPLDD構造FETに比べ基板リーク電流が有効に抑制されることが期待される。



１）　改良前：n^+ スルー注入プロセス



２）　改良後：サイドウォールプロセス

図３―２６　BPLDD - FET構造内部での垂直電界２次元分布のシミュレーション結果

3．7．2　プロセス技術の改善

3．7．2．1　SiO / SiON 2層構造サイドウォールプロセス

前節3．6までで用いていたn^+層用スルー注入法は，個々のプロセスとしては簡単であるものの，2000Å程度のスルー膜厚で160 keV程度の高エネルギー注入を必要とするため，低エネルギー注入に比べてイオン注入時の横方向拡がりやスルー膜厚のばらつきによる注入深さばらつきが大きいという問題がある。特にn'層の幅（ゲート・n^+層間分離長）を増加させる場合，スルー膜を厚くするためさらにエネルギーを高める必要がありこの弊害はさらに大きくなる。このn^+層用スルー注入プロセスに対して，いわゆるサイドウォールプロセス [7], [8] ではn^+層用イオンの注入をスルー膜無しにGaAs基板に直接行えるので，スルー注入に比べ低エネルギー注入が可能となる。そのためにn^+層の横方向拡がりや注入深さのばらつきを低減できるという利点がある。

しかしながら従来のサイドウォールプロセスには以下のような幾つかの問題がある。即ち，

1）サイドウォール形成時，WSi_xゲートの最表面がエッチングされる。

2）サイドウォール形成時，n^+層表面を含むGaAs基板表面がダメージを受ける。

これらによりGaAs基板表面でのリークの増加，n^+層でのキャリアの電気的活性化率の劣化が生じる [23]。これらを避けるために本研究でのサイドウォール形成プロセスでは，サイドウォール厚を約3000Åに保った状態でゲートとn^+層表面を含むGaAs基板表面に約500Åのキャップ膜を形成した。

サイドウォール形成プロセスフローを図3—27に示す。従来型BPLDD - FETと同様のプロセスでn層，p層，WSi_xゲート，n'層を形成した後，SIN（約700Å）とSiON（約3200Å）を順次プラズマCVDでウエハー全面に形成する。SiN, SiONの2層からなるサイドウオールはC_2F_6, CHF_3, O_2, Heの混合ガスによるRIEで形成する。エッチングはほぼSiN / SiON界面で停止される。この時点でSiNは約500Å，SiONは約2500Åになっているので，サイドウオールの厚さは約3000Åとなる。従来のn^+層スルー注入では実効サイドウオール厚が約　2000Åであるので，サイドウオール厚はこの場合約1000Å増加していることになる。続いてn^+層用に$^{29}Si^+$イオンを40～80 keV, 2～6E13 cm^{-2} で注入する。この注入エネルギーは従来のn^+層スルー注入での160 KeVの半分以下に低減している。前述のn^+層用注入イオンの横方向拡がりも考慮すると，今回のサイドウオールプロセスでは，ゲートとn^+層の分離長は約1000Å以上従来のn^+層スルー注入プロセスよりも増加していると考えられる。

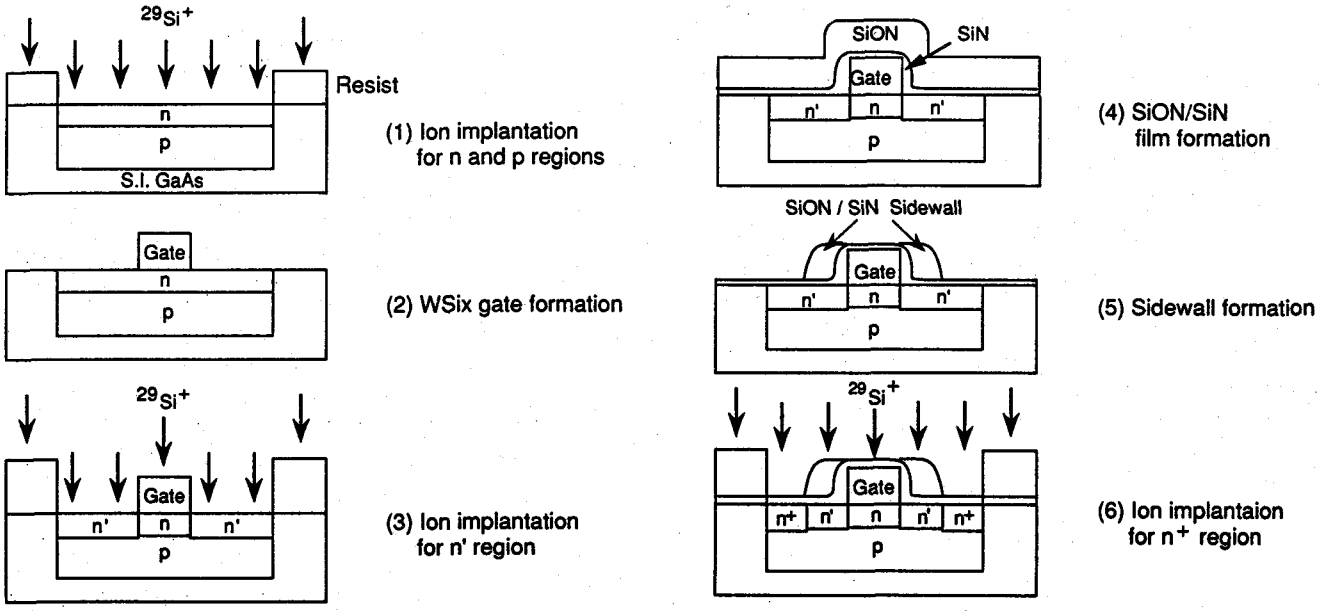


図３—２７　SiN / SiON ２層サイドウォールプロセスフロー

３．７．２．２　回転イオン注入

斜め静止イオン注入で生じるウエハー面内の注入深さの変動はウエハー回転注入法によって抑制できる。本研究で用いている静止注入でのイオン入射角度は３インチ基板面内で最大約４°の相違があるが，これは注入深さにして約２％のばらつきに相当する。これに対し回転注入では基板面内のどの部分にも多くの異なった入射角度から注入されるので，入射角度依存性が緩和されて注入深さの変動が抑制される。

FET構造を作製する前に，注入層のシート抵抗 Rsh の均一性について検討した。その結果を表３—３に示す。予想通り，回転注入によりシート抵抗の均一性は向上している。

一方，特にLDD構造の短ゲートSi MOSFET，あるいはGaAs MESFETではFET特性が非対称となることが観測されており，この現象は従来の斜めイオン注入とゲート端によるシャドー効果の観点から検討されている　[24]-[26]。この非対称性の度合はウエハー面内の位置に依存する。ウエハー回転注入はこの非対称性を有効に緩和できるので[27]，n’層，n^+層，特にそれらのエッジの位置の変動を低減してFET構造を均一化することができる。

表３—３　回転イオン注入による注入層のシート抵抗の均一性

Implantation	Rsh (Ω)	σRsh (Ω)	$\frac{\sigma Rsh}{Rsh}$ (%)
Conventional	469	18.7	4.0
Wafer - Rotating	475	4.8	1.0

@ 40 KeV, 1E13 cm^{-2}

３．７．２．３　電子サイクロトロン共鳴プラズマエッチングによるWSi_xゲートの形成

ゲート長0.5μm以下のFETでは，短チャネル効果が顕著になるためにゲート長のばらつきがVth均一性に非常に大きな影響を及ぼす。ゲート長ばらつきを低減するためには，ゲート加工形状の変動を抑制する必要がある。このためには特にゲート形状を矩形化することが重要であり，それにはECRプラズマエッチングが適した方法であることが知られている[28],[29]。その主な理由はゲートメタルのエッチング中に生じるサイドエッチングが少ないからである。図３—２８にECRプラズマエッチングによるWSi_xの加工形状を示す。エッチング条件としては，エッチングガスはCHF_3とSF_6の混合ガス，エッチングガス圧は0.4 Pa，RF電力は120 Wである。図３—２８から，その加工形状はサイドエッチングが少なく矩形状になっていることが分かる。図３—２９に３インチウエハー面内でのWSi_xゲート長の標準偏差σLgとそのゲート長に対応するレジストパターン長Lgの関係を示す。この図からWSi_xゲート長の標準偏差はマスクゲート長0.3μmまでほぼ一定であると言える。

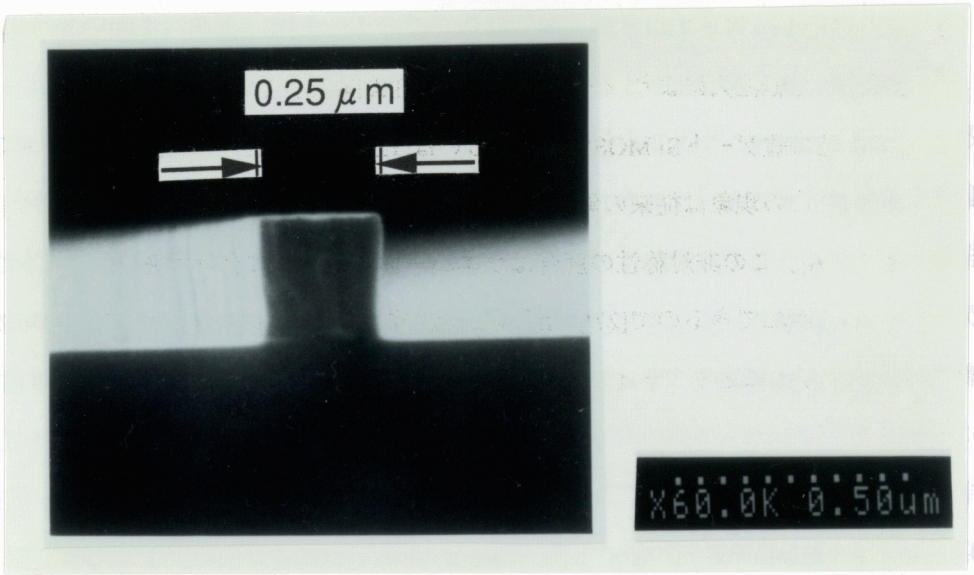


図３—２８　ECRプラズマエッチングによるWSi_xゲートの加工形状

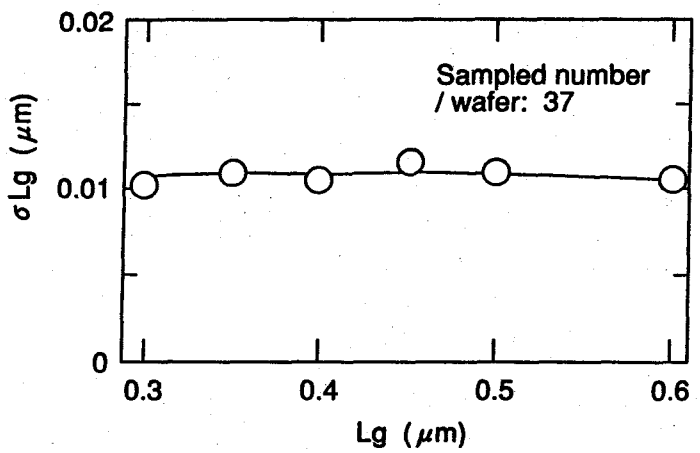


図３—２９　WSi_x ゲート長の標準偏差のレジストパターン長依存性

３．７．３　サイドウォールプロセス適用に伴うｎ$^+$層，ｎ’層形成条件の再検討

３．７．３．１　ｎ$^+$層

ソース，ドレイン電極間のサブスレッショルドリーク電流は，ｎ$^+$層の厚み，キャリア濃度の増大に伴って増える。そこでこのリーク電流を低減するために，注入エネルギーとスルー注入膜厚の最適化を検討して，ｎ$^+$層厚をｎチャネルと同等の約1000Åに設定した。注入ドーズはピークキャリア濃度が従来型BPLDDでの濃度の1.5倍以上の約5×10^{17} cm^{-3} になるようにした。図３—３０にｎ$^+$層のシート抵抗（R_{sh}）とコンタクト抵抗（R_c）の関係を示す。サイドウオールプロセスはシート抵抗（R_{sh}），コンタクト抵抗（R_c），あるいはそれらのばらつきとも従来のｎ$^+$層スルー注入プロセスに比べて小さいことが分かる。この結果から，ｎ$^+$層の高濃度薄層化は電流駆動力とVth均一性を改善するものと考えられる。

３．７．３．２　ｎ’層

ゲートとｎ$^+$層間の分離長が2000Åから3000Åに増加すると，ｎ’層の抵抗は５０％増加する。よって電流駆動力を従来値と同等あるいは増大させるにはその抵抗値を低減する必要があるが，あまり小さくしすぎると短チャネル効果が増大してVthばらつきが増大する。ここで開発したサイドウォールプロセスはゲート・ｎ$^+$層間分離長を増大させるので，短チャネル効果を従来と同等に維持しながらある程度ｎ’層の注入ドーズを増加することができる。そこでｎ’層の注入ドーズ依存性を検討した。図３—３１はK値とサブスレッショルド因子Ngのｎ’層注入ドーズ依存性を示す。Ｎｇは注入ドーズとともに単調に増加するが，Ｋ値が4E12 cm^{-2} ぐらいから飽和し出すので，約4E12 cm^{-2} が最適と考えられる。4E12 cm^{-2} の時，Ｋ値は2E12 cm^{-2} （従来値）の場合より約４０％向上している。図３—３２

にn'層の注入ドーズをパラメータとした遮断周波数f_Tのゲート長依存性を示す。n'層注入ドーズが6E12 cm^{-2}でゲート長が0.5μm以下では，f_Tは飽和して低下し出す。この結果は図3—31のNgの結果と関連していると考えられる。つまりゲート長0.5μm以下ではサブスレッショルド電流I_{sub}の増加により実効nチャネル厚が増加するのである。これにより電流駆動力が低下してf_Tも低下するのである。図3—32ではさらにパラメータとした両ドーズでのf_Tはゲート長0.5μm以上ではほぼ同等であることが分かる。これは注入ドーズが4E12 cm^{-2}よりも6E12 cm^{-2}の時の方がゲート端容量が大きいことを意味している。その理由は図3—31より4E12 cm^{-2}よりも6E12 cm^{-2}の時の方が電流駆動能力であるK値は大きいからである。結果として，ゲート長が0.45μm，注入ドーズが4E12 cm^{-2}の条件の下で，45 GHz以上のf_Tが得られた。

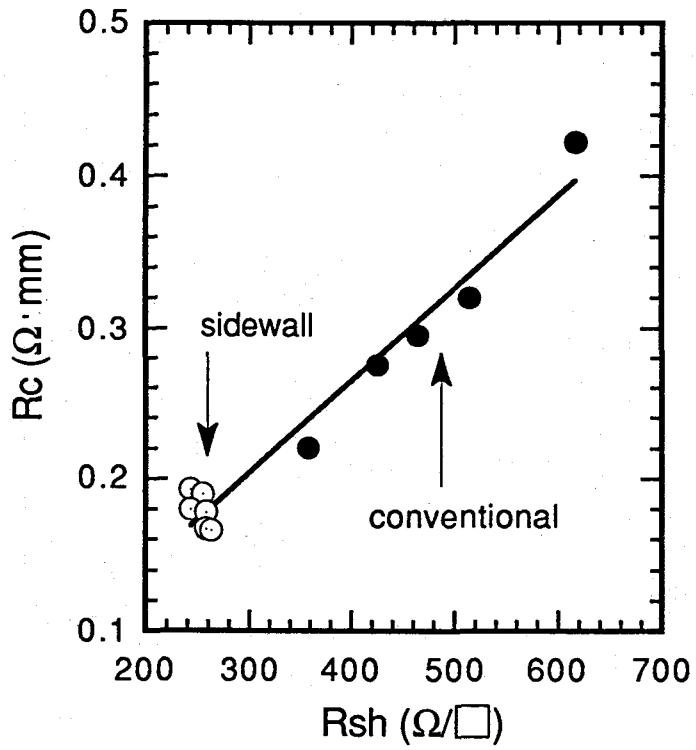


図3—30　n^+層のシート抵抗（Rsh）とコンタクト抵抗（Rc）の関係

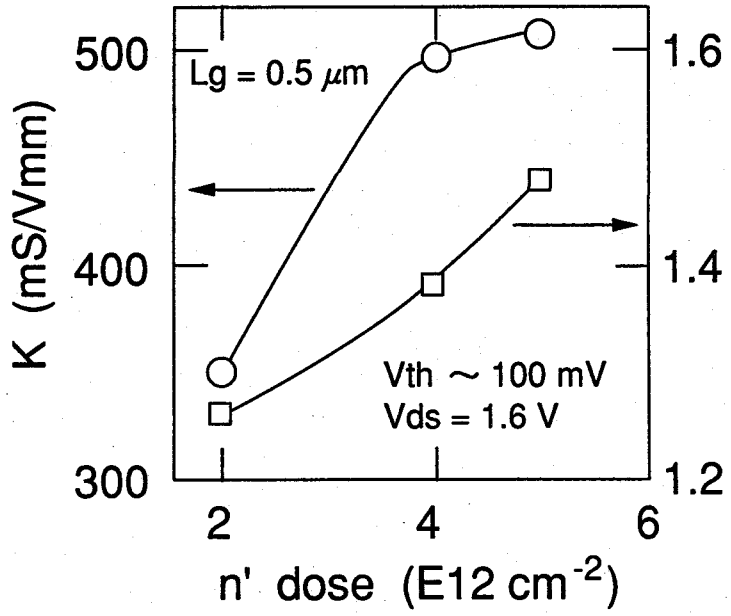


図3—31　K値、Ngのn'層用注入ドーズ依存性

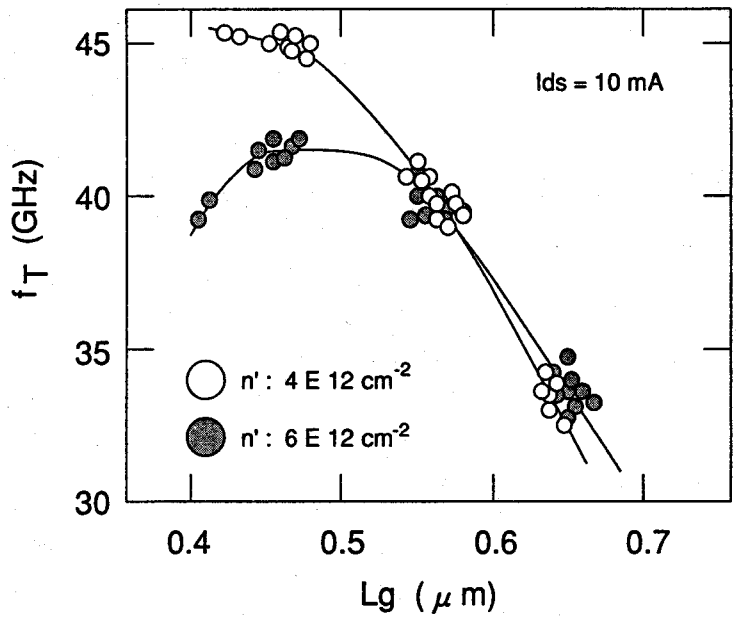


図3—32　f_Tのゲート長依存性（パラメータ：n'層用注入ドーズ）

3．7．4　短チャネル効果とVth均一性

図3—33にゲート長0.5μmでの改良型BPLDDと従来型BPLDDにおけるドレイン電流Idsのゲート電圧Vgs依存性を示す。本図において，改良型BPLDDのサブスレッショルド電流I_{sub}はゲート幅10μmあたり約7 nAで，従来の約2倍に増加している。即ち，この改良型BPLDDでは従来より短チャネル効果が若干増加していると言える。図3—34 (a), (b), (c) には各々Vth, Ng, σVthのゲート長依存性

を示す。図３—３４ (a) において，ゲート長短縮時のVth負方向シフトは改良型BPLDD - FETの方が従来型に比べ若干大きい。前記の図３—３３からわかるように，その理由の一つはソース，ドレイン電極間のリーク電流がｎ’，ｎ$^+$層でのキャリア濃度の増加により増えたことが考えられる。図３—３４ (b) では，Ngも改良型BPLDD - FETの方が従来型に比べ大きい。これは上記図３—３４ (a) の結果と整合する。これらの結果はｎ’，ｎ$^+$層でのキャリア濃度の増加が容易に短チャネル効果を増大させることを示している。しかしながら，I_{sub}，あるいはVth負方向シフトの増加量は各々ゲート幅10μmあたり数nA，約50 mVと小さく，Ngの増加量も十分小さい。この事実はｎ’，ｎ$^+$層の薄層化，およびゲート端，ｎ$^+$層間の分離長の増加が，ｎ’，ｎ$^+$層でのキャリア濃度の増加による短チャネル効果の増大の抑制に寄与していることを意味すると考えられる。最終的な結果として，図３—３４(c) では改良型BPLDDのσVthが従来型より小さくなっており，改良型BPLDD作製プロセス技術が，改良型BPLDDでの短チャネル効果の若干の増加にもかかわらず，Vth均一性の向上に寄与できることが分かった。ゲート長0.5μm ではσVthは25 mV以下に低減されている。このVth均一性は，ゲート長0.7μm の従来型BPLDDでの均一性とほぼ同等である。

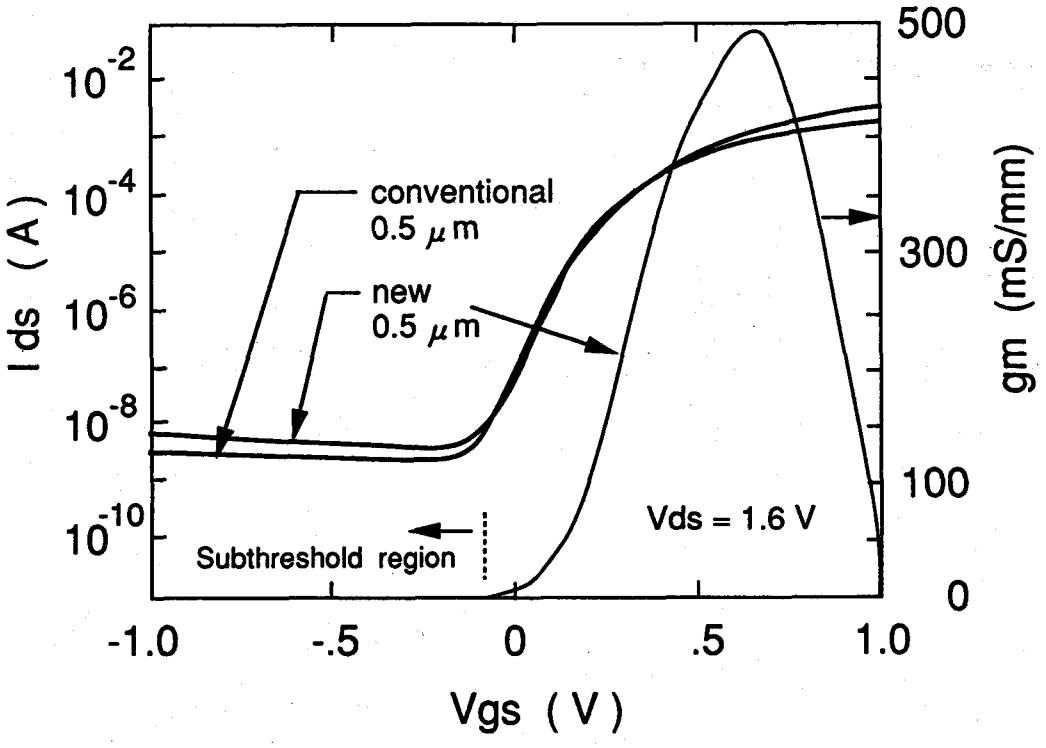


図３—３３　Ids - Vgs 特性の比較（改良型BPLDD, 従来型BPLDD）

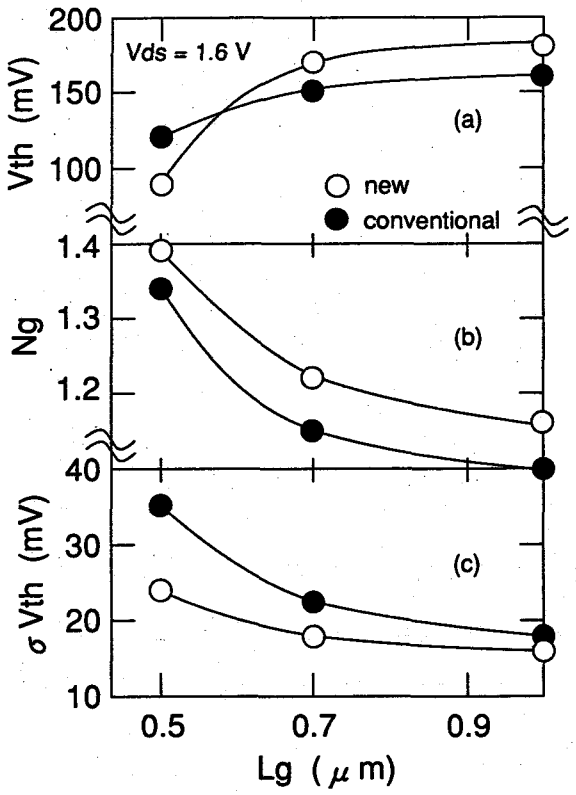


図３—３４　Vth（ａ），Ng（ｂ），σVth（ｃ）のゲート長依存性の比較
（改良型BPLDD, 従来型BPLDD）

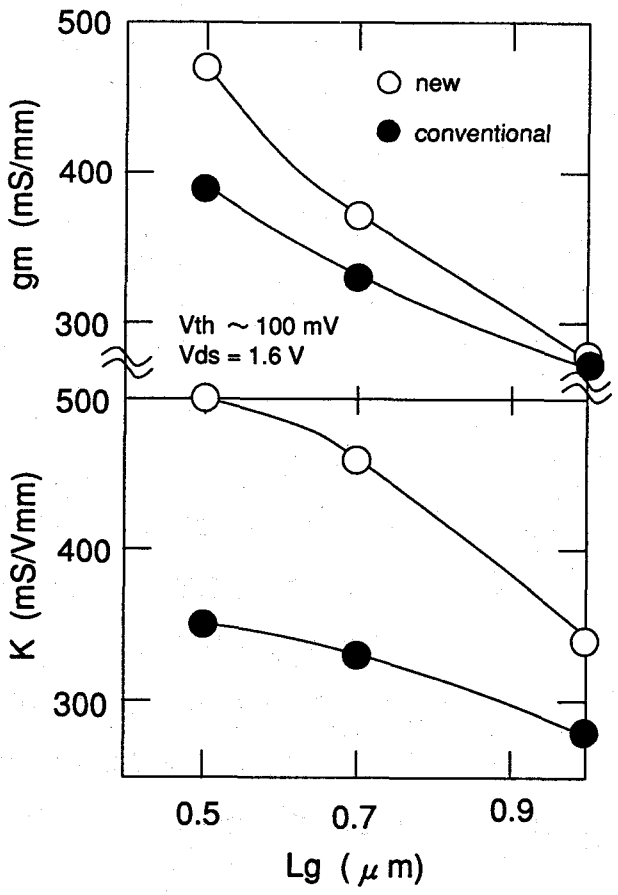


図３—３５　g_m、K値のゲート長依存性の比較
（改良型BPLDD, 従来型BPLDD）

３．７．５　電流駆動力の改善

図３—３５に改良型，従来型BPLDDの相互コンダクタンスg_mとK値のゲート長依存性を示す。改良型BPLDDでは全てのゲート長に対してg_m，K値は向上している。図３—３３には改良型BPLDDのゲート長0.5μｍでのg_mのVgs依存性を併せて示す。ゲート長0.5μｍではg_m，K値は各々約500 mS/mm, 約500 mS/Vmmまで増加しており，これらの値はゲート長0.5μｍの従来型BPLDDに比べ，約３０％以上向上している。

３．７．６　ｐ層とｎ$^+$層のオーバラップ容量のf_Tへの影響

前章で述べたようにｐ層埋め込みのFET動作速度に及ぼす影響についての検討 [30], [31] から，ｐ型中性領域の存在はFET動作速度を大きく劣化させないという結果が得られている。しかしながらゲート長が0.5μｍ以下になると従来の長ゲートBPLDD - FETに比べて真性ゲート容量に対する寄生容量の比がさらに大きくなるので，その寄生容量によりFET動作速度が劣化することが再度懸念される。本節では，FET動作速度（f_T）に対するｐ型埋め込み層とｎ$^+$層の重なりの影響について検討した結果を

図３—３６に示す。重なり幅Wpが増加すると単調にf_Tは低下するが，f_Tの最大値に対するその低下の比は５％以下でありその劣化の度合は十分小さいと考えられる。結果として，上記重なり幅Wpはチャネル長に比べ十分大きいにもかかわらず，その重なりによる寄生ｐ－ｎ接合容量はFET動作速度にほとんど影響を及ぼさないことが分かった。この結果は前節３．６．７の結果と一致する。以上の結果から，改良型BPLDD構造でのｐ型埋め込み層は図３—２５の構造断面図で示すように，ｎ，ｎ’，n^+層の全てを囲むように形成しても大きな速度劣化は生じないことが明らかとなった。

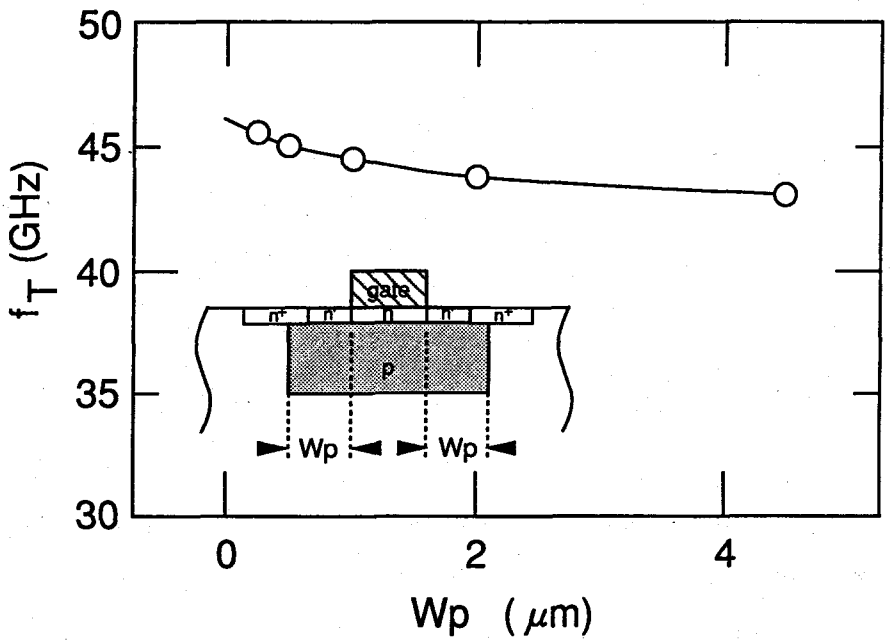


図３—３６　f_Tのｐ層—n^+層間重なり幅Wp依存性

３．７．７　ゲート遅延時間の改善

ゲート長0.5μｍのBPLDDでDCFL構成１０１段のリング発振器を作製し，ゲート遅延時間t_{pd}の評価を行った。図３—３７にそのt_{pd}のゲート消費電力Ｐ依存性を示す。図より消費電力2.5 mW / gate以上で約７ psのt_{pd}が得られている。消費電力が2.5 mW / gate以上になるとt_{pd}は飽和し始めている。この値は従来の報告[32]からすればかなり小さい値で，ゲート長0.5μｍのGaAs MESFETとしては世界最高速である。現在のところ，このような小さいt_{pd}が何故得られたかについては十分な説明は付け加えれないが，電流駆動力の増加と，ゲート・n^+層間の分離長の増加によるゲート端容量の低減が少なくとも寄与していると考えている。

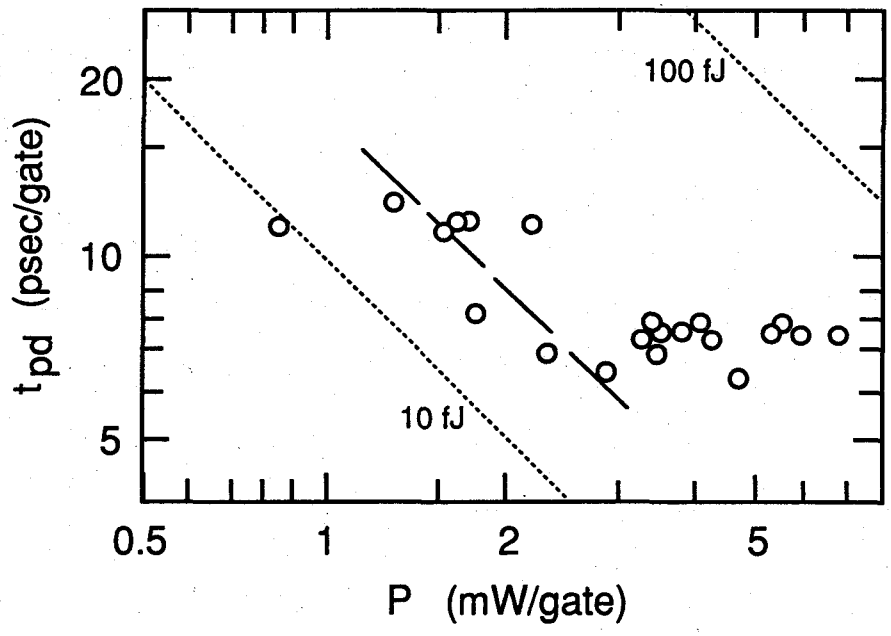


図3—37　tpdのゲート消費電力依存性（改良型BPLDD）

3．8　結言

本章では前章で検討したp型埋め込み層を有するSAGFETをLDD化したBPLDD構造FETについて，ゲートとn^+層の分離，それによるオフセットゲート構造FET，n'中間濃度層とソース直列抵抗，即ち電流駆動能力の関係，LDD化による短チャネル効果，Vth均一性，ゲート容量，並びに動作速度の改善，そして電流駆動能力の向上を第一に狙い，同時にVth均一性，動作速度を向上しうる改良型BPLDD構造，その作製プロセスについて検討し以下の結果を得た。

1）ゲート・n^+層分離で用いたスルー注入法では，スルー注入膜としてSiN 2300Å，注入エネルギー190 KeV，注入ドーズ$1\times10^{13}\,cm^{-2}$の時，n^+層用注入イオン分布は本分離を行わないベア注入に比べ$1\times10^{18}\,cm^{-3}$の領域から判断すると約0.2μmゲートから分離して形成できることを確認した。またn^+層はアニール後さらに約0.15μm拡散することから，上記スルー注入での最終的なゲート・n^+層分離長は約0.05μmであることを示した。

2）上記ゲート・n^+層分離を行ったオフセットゲート構造FETでは，2次元注入イオンプロファイルで明らかな様に本分離を行わないベア注入構造に比べてゲート・ドレイン端電界が緩和されるため，短チャネル効果は改善され，Ng，γパラメータの特性値，Ids - Vgs特性が向上することを明らかにした。特にドレイン電圧依存性がγパラメータにして1桁低減できることは，LSI用FETとして電源電圧マージンの点で非常に有効であることを示した。しかしながらこれらの良好な短チャネル効果を有す

るオフセットゲート構造FETのゲート・n^+層間は完全に分離されている必要があり，その状態ではソース直列抵抗はベア注入の約２倍以上と大きく，電流駆動能力も相応して約３０％劣化するために高速LSI用FETとして本FETをそのまま用いることはできないことを確認した。

３）オフセットゲート構造FETのソース直列抵抗を低減するためにゲート・n^+層分離部にn'中間濃度層を導入（LDD化）した結果，nチャネルと同等の濃度の付加（Si^+ イオン，50 KeV，2×10^{12} cm^{-2} 以上），即ちnチャネルの約２倍高濃度のn'層の形成で電流駆動能力であるK値は前記オフセットゲート構造FETの約１６０％に増加し，電流駆動能力は十分回復できることを確認した。但しn'層濃度の単調な増加はゲート・ドレイン端電界の増大，即ち短チャネル効果の増大を招き，Vth均一性も劣化するため，前記K値の大幅な増加が確認されたうちの最低濃度である 2×10^{12} cm^{-2} が最適であることを示した。

４）p型埋め込み層を有するLDD構造SAGFET（BPLDD）は，BP - FET，p層無しLDDと合わせた３種類の中で短チャネル効果の抑制が最も大きいことを明らかにした。p層用Mg^+ イオン注入ドーズを注入エネルギー300 KeV時，1.5×10^{13} cm^{-2} まで増加するにつれて，$2\sim5\times10^{12}$ cm^{-2} 以上ではIsubは1 nA / 10 μ m以下で飽和するのに対し，Vthの負方向シフト量は単調に低下することを示し，Vth負方向シフトは基板リーク電流Isubのみには律速されておらず，nチャネル厚変動に伴うゲート電界の２次元効果，あるいはピエゾ効果の影響を受けることを指摘した。Vth均一性はp層用Mg^+ イオン注入条件として，注入エネルギー300 KeVの時，ゲート長0.7 μ mでは注入ドーズ 2×10^{12} cm^{-2}，0.5 μ mでは 5×10^{12} cm^{-2} の条件でσ Vthの最小値～20 mVを得た。微小領域でのVthミクロ分布では，ゲート長0.7 μ mで60 μ mピッチ3 mm角内測定でσ Vth = 7 mVが得られ，前章での1 μ mゲートBP - FETでの9 mVより良好であることを確認し，σ Vth≦5 mVを理想とする16-Kb SRAMレベルのLSIの実現可能性をより高めることができた。それ以上の高ドーズ注入ではσ Vthは増加するため，前章で述べた短チャネル効果の抑制とVth均一性の向上との相関はなくなることが確認され，短チャネル効果の良好な抑制にもかかわらず，高ドーズ注入での注入損傷に伴う活性化率ばらつき発生していることを指摘した。

５）BPLDDでのK値は３）での結果と同様，n'層用注入ドーズとして 2×10^{12} cm^{-2} の付加でBP - FETとほぼ同等の値が得られるが，g_m についてはドレイン電圧特性の向上によるγ パラメータの低減によりBP - FETに比べると約２０％劣化することを示し，このg_m の低下がn^+層用スルー注入プロセスを基本として最適化を進めてきたBPLDDの欠点であることを確認した。

６）BPLDDのゲート容量は，BP - FETに比べゲート・n^+層間分離によりゲート端寄生容量が減少することを示し，ゲート長0.7 μ mではBP - FETで 1.0 fF / μ m がBPLDDで 0.5 fF / μ m へと半減することを確認した。特に短ゲート長ではnチャネル真性容量に対するゲート端寄生容量の比が増加する

ので，ゲート端寄生容量の低減の効果は顕著になり，ゲート長0.5 μ mではBPLDDの全ゲート容量はBPの約７４％にまで低下することを明らかにした。このために f_T ，ゲート遅延時間はBPに比べ改善され，f_T はゲート長0.5 μ mで 35 GHz，ゲート遅延時間はゲート長0.7 μ mでゲート消費電力 1 mW時，15 psと良好な性能が得られた。特にゲート遅延時間は同一実効ゲート長のBPでの約６５％に改善され，ゲート長0.7 μ mのGaAs MESFETとしては世界最高レベルであることを確認した。またｐ層中の中性領域による寄生容量の付加がゲート遅延時間に及ぼす影響は，前章のBP - FETと同等以上に小さいことを明らかにした。

７）５）に記したBPLDDの電流駆動能力 g_m の一層の向上を図るために，さらにｎ’層，n^+層の高濃度化によるソース直列抵抗の低下を図る際，短チャネル効果を従来型BPLDDと同程度に維持するために，n^+層の薄層化とｎ’層長（ゲート・n^+層間分離長）の増加を可能とする新プロセスとして，SiN / SiON 2層サイドウォールプロセスを開発した。これにより n^+層は注入エネルギー50 KeVの SiN 500 Åのスルー注入でｎチャネルと同程度の注入深さに形成でき，また従来型スルー注入での約2000 Åのゲート側壁厚から約3000 Åのサイドウォールに側壁厚を増加して n^+層用注入を行うことができ，この結果，ｎ’層用注入ドーズは従来型の２倍の $4\times10^{12}\,cm^{-2}$，n^+層用注入ドーズは $3\times10^{13}\,cm^{-2}$ でピークキャリア濃度としては従来型の1.5倍に増加させることができた。改良型BPLDD - FETを作製し，評価した結果，ゲート長0.5 μ mでVth 均一性を３インチウェハー面内で σ Vth≦25 mVに維持しつつ，g_m～500 mS/mm, f_T～50 GHz, と従来型BPLDDに比べ，g_m を約２５％，f_T を約３０％向上でき，またゲート遅延時間は 7 ps（ゲート消費電力 2.5 mW時）であり，0.5 μ mゲートGaAs MESFETとしては世界最高速であることを確認した。

参考文献

[1] 山崎，水谷，牧村，島田「GaAs MESFET 技術 SAINT と特性」NTT 研究実用化報告 vol. 33, No. 4, 1984, pp.643-654.

[2] 加藤，山根，松岡，大和田，守屋「GaAs MESFET の短チャネル効果に対するN⁺-ゲート間隔の影響」電子通信学会研究会資料 SSD83-34, 1983, pp.9-14.

[3] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", *IEEE J. Solid-State Ciruits*, vol. SC-15, No. 4, Aug. 1980, pp.424-432.

[4] K. Mayaram, J. C. Lee, and C. Hu, "A Model for the Electric Field in Lightly Doped Drain Structures", *IEEE Trans. Electron Devices*, vol. ED-34, No. 7, Jul. 1987, pp.1509-1518.

[5] R. Izawa, T. Kure, and E. Takeda, "Impact of the gate-Drain Overlapped Device (GOLD) for Deep Submicrometer VLSI", *IEEE Trans. Electron Devices*, vol. ED-35, No. 12, Dec. 1988, pp.2088-2093.

[6] T. Y. Huang, W. W. Yao, R. A. Martin, A. G. Lewis, M. Koyanagi, and J, Chen, "A novel submicron LDD transitor with inverse-T gate structure", in *IEDM Tech. Dig.*, 1986, pp.742.

[7] N. Matsunaga, M. Miyazaki, Y. Umemoto, J. Shigeta, H. Tanaka, and H. Yanazawa, "Gallium arsenide MESFET technologies with 0.7 μ m gate-length for 4Kb 1ns static RAM", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.129-132.

[8] S. Asai, N. Goto, M. Kanamori, Y. Tanaka, and T. Furutsuka, "A High Performance LDD GaAs MES FET with a Refractory Metal Gate", in *18th Conf. on Solid State Devices and Materials (Tokyo, Japan)*, 1986, pp.383-386.

[9] M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A High - Speed and Highly Uniform Submicrometer - Gate BPLDD GaAs MESFET for GaAs LSI's", *IEEE Trans. Electron Devices*, vol. ED-39, Apr. 1992, pp. 757 -766.

[10] S. M. Sze, *High-Speed Semiconductor Devices*, Wiley-Interscience, 1990.

[11] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.

[12] S. Furukawa and H. Ishiwara, *J. Appl. Phys.*, vol. 43, 1972, pp.1268.

[13] E. P. Finchem, W.A. Vetanen, B. Odekirk, and P. C. Canfield, "Reduction of backgate effect in GaAs MESFETs by charge confinement at the backgate electrode", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.231-234.

[14] K. Inokuchi, M. Tsunotani, T. Ichioka, Y. Sano, and K. Kaminishi, "Suppression of sidegating effect for high performance GaAs ICs", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.117-120.

[15] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.

[16] S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.41-44.

[17] C. T. Chang, T. Vrotsos, M. T. Frizzel, and R. Carroll, "A subthreshold current model for GaAs MES FET's", *IEEE Electron Device Lett.*, vol. EDL-8, No. 2, Feb. 1987, pp.69-72.

[18] Y. Awano, M. Kosugi, M. Kosemura, T. Mimura, and M. Abe, "Short-channel effects in subquarter-micrometer-gate HEMT's : Simulation and experiment", *IEEE Trans. Electron Devices*, vol. ED-36, Oct. 1989, pp.2260-2265.

[19] P. M. Asbeck, C. P. Lee, and M. C. F. Chang, "Piezoelectric effects in GaAs FET's and their role in orientation-dependent device characterisitics", *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1377-1380.

[20] T. Humer-Hager and P. Zwicknagl, "Annealing Behaviour of Be- and Mg-Implants in GaAs", *Japan. J. Appl. Phys.*, vol. 27, no. 3, Mar. 1988, pp.428-433.

[21] T. Takada, N. Yokoyama, M. Ida, and T. Sudo, "A MESFET variable-capacitance model for GaAs integrated circuit simulation", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, no. 5, 1982, pp.719-724.

[22] M. Pinto, C. S. Raferty, H. R. Yeager, and R. W. Dutton, "PISCES II and II-B", Reports issued by the Stanford University Integrated Circuit Laboratory, 1984 and 1985. G-PISCES-IIB is a product of Gateway Modeling, Inc.

[23] Y. Yuba, T. Ishida, K. Gamo, and Namba, "Characterization of ion beam etching induced defects in GaAs", *J. Vac. Sci. Technol.*, vol. B6, no. 1, Jan./Feb. 1988, pp.253-256.

[24] J. Hui, F. C. Hsu, and J. Moll,"A New Substrate and Gate Current Phenomenon in Short-Channel LDD and Minimum Overlap Devices", *IEEE Electron Device Lett.*, vol. EDL-6, No. 3, Mar. 1985, pp.135-138.

[25] P. K. Ko, S. Tam, and C. Hu, "ENHANCEMENT OF HOT-ELECTRON CURRENTS IN GRADED-GATE-OXIDE(GGO)-MOSFETS", in *IEDM Tech. Dig.*, Dec. 1984, pp.88-91.

[26] Y. Kohno, K. Maemura, M. Sakai, T. Matsui, Y. Higaki, H. Takano, and M. Otsubo, "Enhancement of electrical asymmetry in GaAs LDD SAGFETs by piezoelectric effect", in *Proc. 17th Int. Symp. on GaAs and Related Compounds* (Jersey, England, 1990), pp.527-532.

[27] T. Eimori, H. Ozaki, H. Oda, S. Ohsaki, J. Mitsuhashi, S. Satoh, and Matsukawa, "The Improvement of

LDD MOSFET's Characteristics by the Oblique-Rotating Ion Implantation", in *19th Conf. on Solid State Devices and Materials (Tokyo, Japan)*, 1987, pp.27-30.

[28] S. Matsuo and Y. Adachi, "Reactive Ion Beam ECR Ion Source", *Japan. J. Appl. Phys.*, vol. 21, no. 1, Jan. 1982, pp.L4-L6.

[29] S. Samukawa, M. Sasaki, and Y. Suzuki, "Perfect selective and highly anisotropic electron cyclotron resonance position", *J. Vac. Sci. Technol.*, vol. B8, no. 5, Sep./Oct. 1990, pp.1062-1067.

[30] M. Noda, K. Hosogi, K. Sumitani, H. Nakano, K. Nishitani, M. Otsubo, H. Makino, and A. Tada, "A GaAs MESFET with a Partially Depleted p Layer for SRAM Applications", *IEEE Trans. Electron Devices*, vol. ED-38, No. 12, Dec. 1990, pp.2590-2598.

[31] M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A High-Speed and Highly Uniform Submicrometer-Gate BPLDD GaAs MESFET for GaAs LSI's",, *IEEE Trans. Electron Devices*, vol. ED-39, No. 4, Apr. 1990, pp.757-766.

[32] Y. Yamane, T. Enoki, S. Sugitani, and M. Hirayama, "5.9 ps/gate operation with 0.1 μ m gate length GaAs MESFET's", in *IEDM Tech. Dig.*, Dec. 1988, pp.894-896.

第4章　GaAs LSI用多層化配線

4．1　緒言

GaAs LSI用トランジスタの精力的な研究開発に比べ，GaAs LSI用配線技術の研究報告はそれほど多くない。その理由は実用レベルではSi LSIと未だ肩を並べるに至っていないGaAs LSI技術において，トランジスタ開発がより本質的でありそちらに開発の比重が置かれているためと考えられる。基本的に配線技術はGaAs材料特有の影響をトランジスタほど強くは受けない。極端に言えば，Si LSI配線技術を可能な限りそのまま使用することがGaAs LSI実用化への近道とも考えられる。

しかしながら，現実的にそれに至らなかった技術的な理由が幾つか存在する。それらを以下に述べる。

1）通常のSi LSI配線プロセスには，400℃以上の高温プロセスが存在する。

poly - Si 配線は600～900℃の熱CVD法で形成するからもちろんのこと，poly - Si を用いない場合も例えば平坦化プロセスであるPSG（Phosphosilicate Glass）等のリフロープロセス，あるいはSOG（Spin On Glass）の熱処理によるSiO_2化がそれに当たり，それらの処理温度はGaAsでのAuGe / Ni オーミック電極のアロイ化処理温度である約400℃より高い。

2）GaAs オーミックメタルAuGe / Ni とのコンタクト特性，その信頼性の点において，Siプロセスでの配線材料であるAlは，Auと高抵抗の化合物Au-Al を形成するためコンタクト不良が生じやすく直接コンタクト構造は使用できない。そのためAu - Al 間の安定な低抵抗コンタクトを可能とするバリアメタル構造を開発する必要がある [1]。

3）従来よりマイクロ波 GaAs IC においてGaAs オーミックメタルAuGe / Ni と良好なコンタクト特性，信頼性を有する配線材料としてAu が用いられている。特に高周波用低抵抗厚膜伝送線路としてAuメッキ配線は，その長所である低配線容量をも生かし上述のマイクロ波 IC において多用されている。

以上，特に1）の点でSi LSI の標準配線プロセスは適用できないため，現在までのGaAs LSI用配線はほとんどAu 配線をベースに開発されてきている。それらのパターン形成は基本的に1）Au 蒸着，リフトオフ，2）Auスパッタ，イオンミリング，3）Au メッキによるエアブリッジ，の3種類に分けられる。層間絶縁膜には400℃以下の低温形成で十分良質かつステップカバレージの良いプラズマCVD膜（SiO, SiON, SiN等）が用いられる。このうち1）の蒸着，リフトオフプロセスは，加藤らがSRAM に適用しているが [2]，蒸着法が指向性の強い成膜形成手段であるのでステップカバレージが悪く断線を生じやすいこと，またリフトオフ時に配線パターン端で加工不良（毛羽）が発生しやすく上層の配線形成を困難にすることから，本GaAs LSI 用配線プロセスには不適当と考えられる。また3）

のエアブリッジ配線は多層化するのが困難なこと，さらに配線スパンをLSIの信号配線に使えるほど長くできていないこと等の理由から，現実的には単一層適用止まりである。以上のことからGaAs LSI用配線としては，配線材料自体は異なるもののSiプロセスで適用している２）の配線メタルのスパッタ成膜とそのドライ加工からなる配線プロセスが配線パターン不良発生率を十分低減できる点で現実的であるため，多くのGaAs LSI開発機関により適用されてきた[3], [4] [5]。

一方，GaAs LSI は，基本的に高速動作であることを宿命づけられているが，長谷川らが詳細に検討しているように動作速度が配線律速となっているため [6]，LSI動作速度と配線遅延の関係を十分に検討する必要がある。配線プロセス技術として，高速化には配線容量，配線抵抗を低減することが必要となるが，層間絶縁膜の低誘電率化は配線容量低減に特に有効であり[7]，その究極の構造がエアブリッジ構造である。但しその多層化は前述の通り困難であり，多層配線全てをエアブリッジ化することは現実的でない。

また配線遅延は上述したデバイス構造による配線容量，抵抗の低減以外に，回路レイアウトの変更－例えば回路レイアウトを多層化して配線長を短縮するという手法も考えられる。但しその場合は，多層化による下層配線とのクロスオーバー容量増加による配線遅延時間の増大と前述の配線長短縮による配線遅延時間の低下とのトレードオフを検討する必要がある [8]。

以上の観点から近年のGaAs LSI用配線技術の進展としては，多層化が少なくとも３層まで進んだこと[9], [10], [11]，層間絶縁膜としてPMSS（Silylated poly-methyl silsequioxane）[12] といった低誘電率の有機系材料，またエアブリッジメタルとしてAu／Rh 多層構造 [13] としてエアブリッジたわみを補強する等の新材料を適用したこと，またLSI 適用可能なエアブリッジプロセス技術を開発したこと [14] が挙げられる。

筆者が本研究に着手した時点ではAu の蒸着，リフトオフによる配線形成プロセスが一般的であったが，前述の通りLSI 用プロセスとしては不適であったため，スパッタ，イオンミリングによるAu 加工プロセスを先駆的に開発し [9]，３層までの多層化を図った。また動作速度が配線律速となるLSI レベルの集積度では配線容量の低下が不可欠であるが，低容量化に最も有効なエアブリッジ配線構造を初めてLSI に適用した [14]。さらに実際のGaAs LSI の動作時間についてFET真性遅延と配線遅延とを定量的に比較，検討した例は少なく，本研究ではLSI，特にSRAM における配線遅延を分布定数RC線路モデルで定量的に計算して，配線遅延の低下のLSI 高速化への寄与を検討した。本章では上述のAu スパッタ，イオンミリングによる多層配線プロセス，Au エアブリッジ配線構造のLSI への適用，そしてGaAs LSI 動作速度と配線遅延の関係について検討した結果を述べる。

4．2　Au系多層化配線プロセス技術

4．2．1　イオンミリングによるAu配線形成技術

前節で述べた様に，GaAs ICではFETのオーミック電極が通常AuGe-Niであるため，コンタクト性，信頼性の点から配線材料にはAu系材料が用いられている。一般的なAu系配線として，Ti / Au，Ti / Pt / Au，Ti / Mo / Au [15] 等の多層構造配線が用いられている。最下層のTiは，下地との密着性を良くするためのもので，中間層のPt, MoはTiとAuとの反応を抑えて配線の信頼性を向上させる目的で挿入されている。最上層のAuが最も厚く低抵抗で実質的な電気伝導体となっている。本研究ではLSI用配線として上述の多層構造膜のうちTi / Auを選定した。カバレージを良くするためにスパッタ法で成膜した後Ar^+イオンによるイオンミリング法によりパターン形成した。イオンミリングを用いる理由は，Auが化学的に安定でありプラズマエッチングやRIEでの化学的反応による加工は困難だからである。

Ar^+イオンによるイオンミリングでの各種材料のエッチングレートを図4－1に示す。イオンミリングはイオンの物理的スパッタであるため，そのエッチングレートは材料のスパッタ率により異なり，スパッタ率はイオンのエネルギー密度，入射角度に依存する。

イオンミリングによるパターン形成において注意すべき事は，1）前述のイオンミリングレートがイオン入射角度により変わること [16]，2）レジストに対するAuのエッチングレート比が十分大きくないため，レジストのサイドエッチに伴うAu加工寸法が減少すること [17]，3）スパッタエッチされた物質がプラズマエッチング，RIEのように気化されて排気されずに，そのまま再付着すること [18]，そして4）イオンビーム損傷が発生すること [19]，等である。

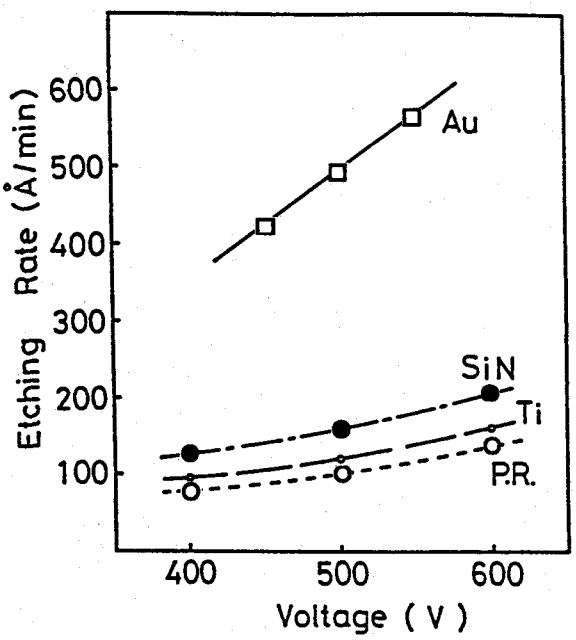


図4－1
Ar^+イオンによるイオンミリングでの各種材料のエッチングレート

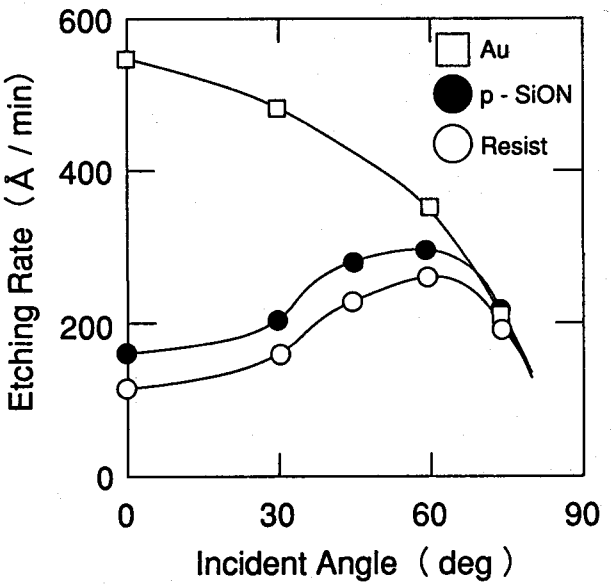
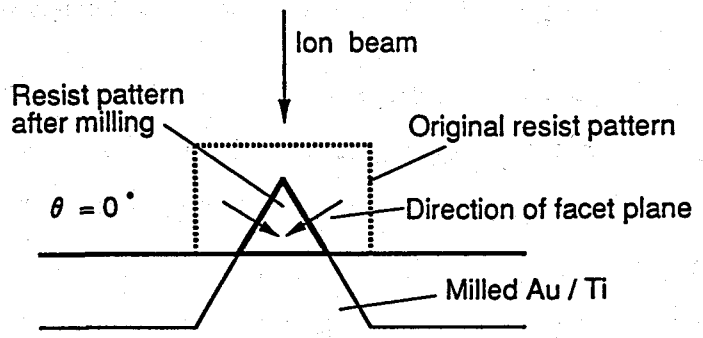


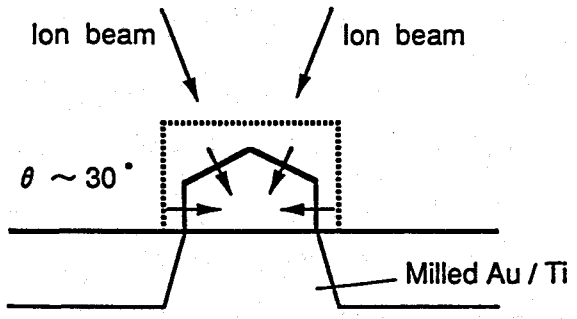
図4—2　イオンミリングレートのイオン入射角度依存性

図4—2にAuとフォトレジストのイオンミリングレートのイオン入射角度依存性を示す。エッチングマスクとなるレジストではイオン入射角度60度付近でイオンミリングレートが最大になることが分かるが，これはレジストマスクに対してイオンビームを垂直に照射した場合，約60度傾いた面（facet）がエッチングの進行に伴いレジストエッジに発生しだすことを意味する[16]。この様子を図4—3に示す。エッチング時間が経過するとレジストは最初の矩形状から三角形状となり，レジストエッジからレジストパターンのサイドエッチングが始まる。このレジストの形状変化はそのまま下地のAuの加工形状に現れ，最終的に設計寸法より細くて三角形状をしたAuの配線パターンが形成される。三角形状は配線抵抗の増加とばらつき，さらには断線の危険も増大するので矩形状にする必要がある。それにはイオンビーム入射角度をレジストに対して垂直方向から約30度傾けることが有効である。それは上に述べたレジストのfacet面がAu表面に対して垂直になるからである。このイオンビーム入射角度$\theta = 0, 30$度でのイオンミリング形状のSEM写真を図4—4に示す。実際のイオンミリングではGaAs基板の方を傾斜し，かつ回転しながらエッチングを行った。図4—4より，$\theta = 0$度で加工形状が三角形状であったのが，$\theta = 30$度ではより矩形状に近づいているのが分かる。但しθが増加すると，レジスト，及びエッチングにより発生する段差によって，ある時間では照射イオンビームがこれらの影になりエッチングレートの遅い部分がレジスト端部から発生する。これによるエッチング残りが図4—4の$\theta = 40$度の加工パターン近傍に見られる。つまり上に述べたfacet面とは別の緩やかな傾斜面が残るため，ある程度のオーバーエッチングが必要となる。この時はその傾斜面の角度は基板表面の角度に極めて近いため，図4—2のAuのイオンビーム入射角度依存性により最もエッチングレートが高い入射角度$\theta = 0$度でエッチングすることが有効である。この時の加工形状を$\theta = 30$度＋0度として図4

—4 に合わせて示す。上述の θ = 30 度の場合は矩形状パターンを形成できるが，Au 表面に対して垂直となった facet 面でのエッチングレートが高くパターンシフトが大きい懸念がある。しかしながら実際には図4—1に示したAu とレジストのエッチングレートの差によりパターンシフトは十分小さい。その結果を表4—1に示す。例えば設計寸法1μmの時，パターンシフトは0.1μm，即ち10%以下である。この表において第1層配線（Ti / Au = 500Å/5000Å）に比べ第2層配線（Ti / Au = 500Å/8000Å）の方がわずかにシフト量が大きい傾向があるが，これは第2層配線の厚みが約 55%厚くエッチング時間が長いためと考えられる。また加工後寸法として約 0.7μmの微細パターンまでは十分形成可能であると言える。



a) Conventional process



b) New process

図4—3　イオンミリングによるレジストエッジでの facet の発生

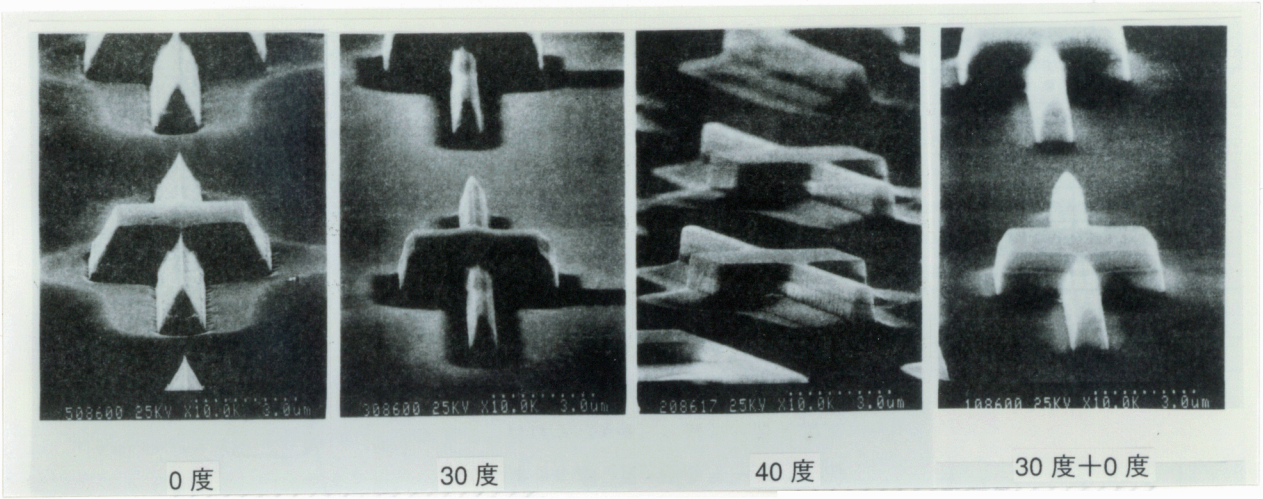
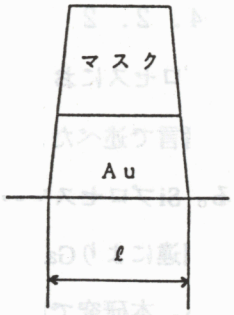


図4—4　Auのイオンミリング形状のSEM写真

表4—1　イオンミリングによるAuの加工寸法

設計寸法：x（μm）	第1層配線		第2層配線	
	配線幅：ℓ（μm）	パターンシフト量 ℓ-x（μm）	配線幅：ℓ（μm）	パターンシフト量 ℓ-x（μm）
0.8	0.67	−0.13	0.67	−0.13
1.0	0.92	−0.08	0.90	−0.10
1.5	1.42	−0.08	1.43	−0.07
2.0	1.93	−0.07	1.90	−0.10



イオンビーム入射角度θ＝0度の場合，レジストマスクが矩形状であればその側壁部にはイオンは照射されないでエッチングされず，逆にAu表面からエッチングされたAuが側壁部に付着する。この側壁面はエッチング開始時には基板面に対し垂直でありほとんどエッチングされないので，エッチングの進行に伴いAuの付着量が増えてエッチング終了後のAuパターンはマスクパターンより太くなる。またレジスト側壁に付着したAuはレジスト除去後Auパターンエッジに突起として残る。これは上層との配線短絡の原因になる。これらの様子を図4—5に示す。上述の斜めからのイオンビーム入射角度を有するイオンミリングはレジスト側壁面にイオンが照射されるので，この再付着を防ぐ方法としても有効である。

以上，斜めからのイオンビーム入射角度としてθ＝30度を用いたイオンミリングにより，矩形状でパターンシフトが約0.1μmと十分小さいAu配線パターンを加工後寸法約0.7μmまで形成できることを確認した。

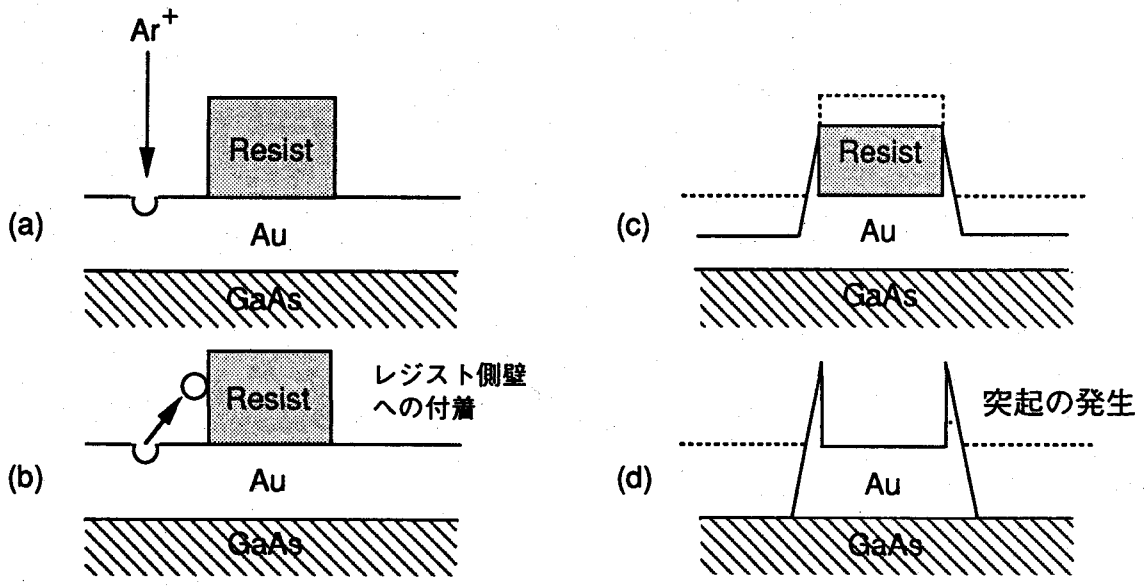


図４—５　レジスト，Au 加工側壁部へのAu の再付着

４．２．２　層間絶縁膜形成技術　—　平坦化・平滑化技術

Siプロセスにおける層間絶縁膜は，通常熱CVDによるSiO_2が多用されるが，GaAsプロセスでは４．１の緒言で述べたように400℃以下の低温プロセスでなければならないため，プラズマCVD法が用いられる。Siプロセスでのプラズマ CVD法と同様にSiO_x, SiN_x を使用できるが，SiN_x はGaAsとの熱膨張係数の相違によりGaAs基板上では剥がれ易いため，より密着性の良いSiO_x, あるいはSiO_xN_y が多用されている。本研究ではSiO_xN_y（以後SiONと記載）を層間絶縁膜として採用した。

パターンの微細化が進んでも，その高さ方向，即ち配線メタル，層間絶縁膜の厚みはある限界値より薄くはできない。何故ならば，配線抵抗は十分低抵抗である必要があること，層間絶縁膜は配線容量を増加させてはならないこと，絶縁破壊電圧をある一定値以下にできないこと，等のためである。さらに配線メタル，層間絶縁膜は同時に信頼性を維持しなければならない。また微細化は異方性エッチングによりなされるので，配線メタル，層間絶縁膜がある一定の膜厚を維持する時，そのパターンのアスペクト比（パターン幅に対するパターン厚の比）は増大する。このような段差のある配線の上にさらに微細配線を形成する場合，以下の問題が発生する。

１）リソグラフィ工程におけるパターン解像度の劣化

２）配線形成時に段差側壁にエッチング残りが生じる等のエッチング不良

３）配線のカバレッジ不良に起因するエレクトロマイグレーションあるいは断線等

４）段差に伴う実効的な配線長増加による配線抵抗や容量の増大

このような問題を解決するのに平坦化技術は不可欠である。

Siプロセスにおける平坦化方法をおおまかに分類すると，

1）固体に熱を加えて流動性を持たせてリフローする方法

通常PSG（Phosphosilicate Glass）膜をウエハ全面に形成した後，約1000℃の高温熱処理によってリフローして平坦化する。

2）液体の流動性を利用する方法

常温で液体であるSOG（Spin On Glass）膜や有機樹脂膜（ポリイミド膜等）を塗布後，熱処理する。

3）エッチングによって平坦な面を形成する方法

スパッタ率の角度依存性を利用した凸部を平坦化するスパッタエッチ法やバイアスECR—CVD法，また2）と組み合わせたエッチバック法等がある。

4）凹部に選択的に材料を埋め込む，あるいは成長させる方法

コンタクトホールへの埋め込み方法として，スペーサリフトオフ法やWの選択CVDがある。

GaAs LSIにおいて多層配線を形成するためには，使用している材料やプロセス条件と整合のとれる平坦化技術が必要となる。プロセス上の大きな制約は，4．1で述べた様に約400℃以下の低温プロセスでなければならない事で，このため高温処理の必要なリフロー法は使用できない。これに対しSOGや有機樹脂膜（ポリイミド膜）では400℃以下の低温処理でも形成が可能で，そのプロセスも後に述べる様に比較的容易なためGaAs LSI用にプロセスを検討した。

プラズマCVD法によるSION膜はカバレッジが良好なために下地配線パターンの形状をそのまま反映して形成される（図4—6）ので，このままの状態でAuをスパッタした後前節での述べたイオンミリングによってAu配線を形成する方法では，図4—7に示すようなエッチング残りが発生するために同層の配線との間で短絡が生じやすくなる。このような問題を解決するために，図4—6の上部にSOGを塗布すると図4—8の様に段差部の平坦化が可能となる。通常Siプロセスではこの SOG塗布による平坦化の後，高温熱処理によりSOGを焼きしめるわけであるが，GaAsプロセスでは400℃以下の熱処理しかできないことから，膜中にOH基を含んでいるためにこの後の熱処理によって"ふくれ"を生じる場合がある。そこでイオンミリングにより段差部以外のSOG膜をほとんどエッチング除去する工程を付加することにより，図4—8の平坦性はほぼ維持したまま上述のふくれのない，信頼性の高い配線を形成することができた。このようなSOG法を用いた2層配線プロセスフローを図4—9に示す。また本プロセスで作製した2層配線の断面図を図4—10に示す。図4—7で見られたAuのエッチング残りは発生していないことが分かる。

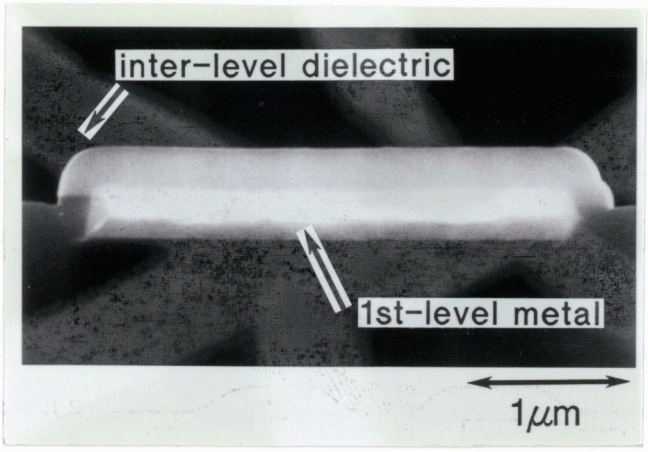


図４—６　第１層Au配線上の第１層間SiON絶縁膜のカバレージの様子

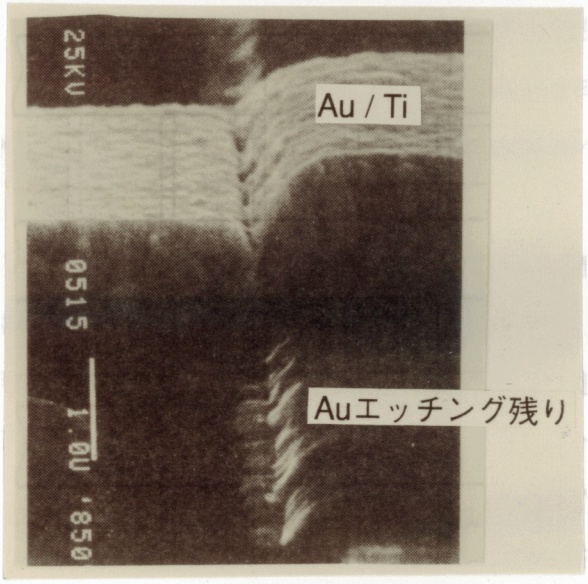


図４—７　Auイオンミリングでエッチング残りが発生した段差部のSEM写真

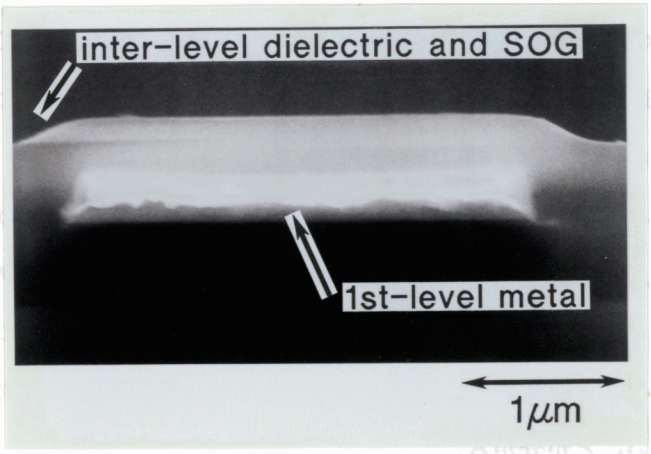


図４—８　SOGによる下地段差部の平坦化

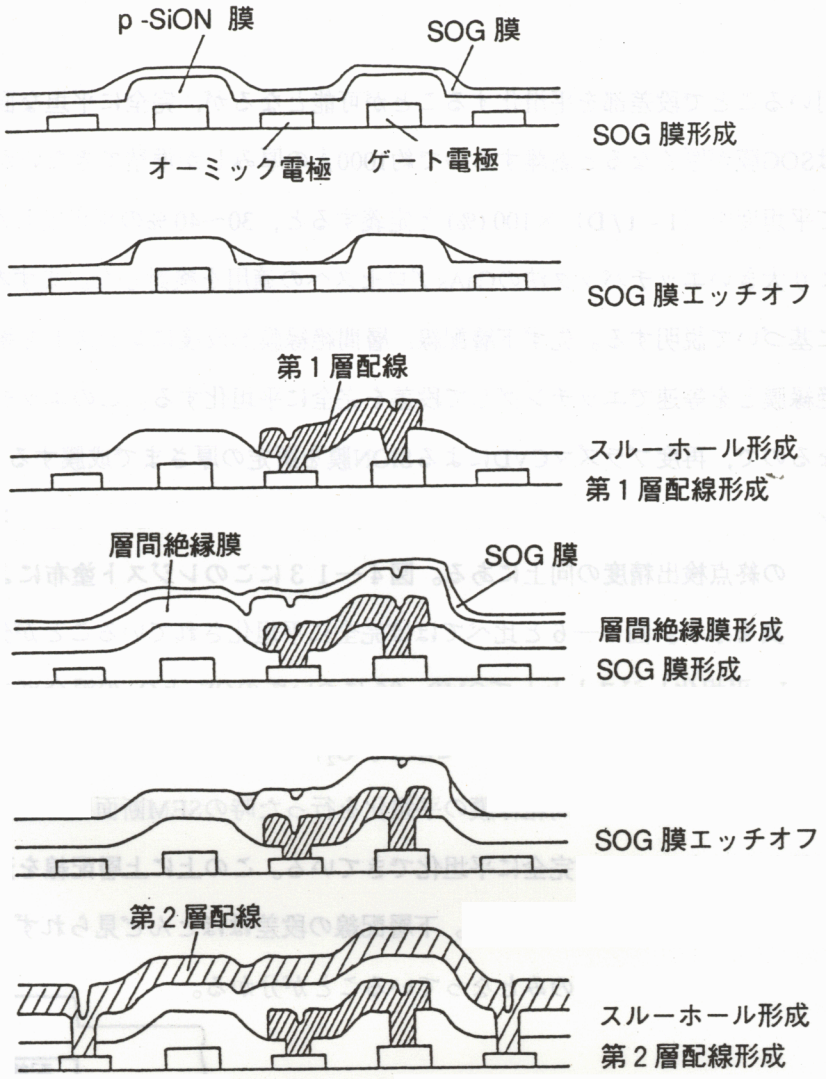


図 4 — 9　SOG 法を用いた 2 層配線プロセスフロー

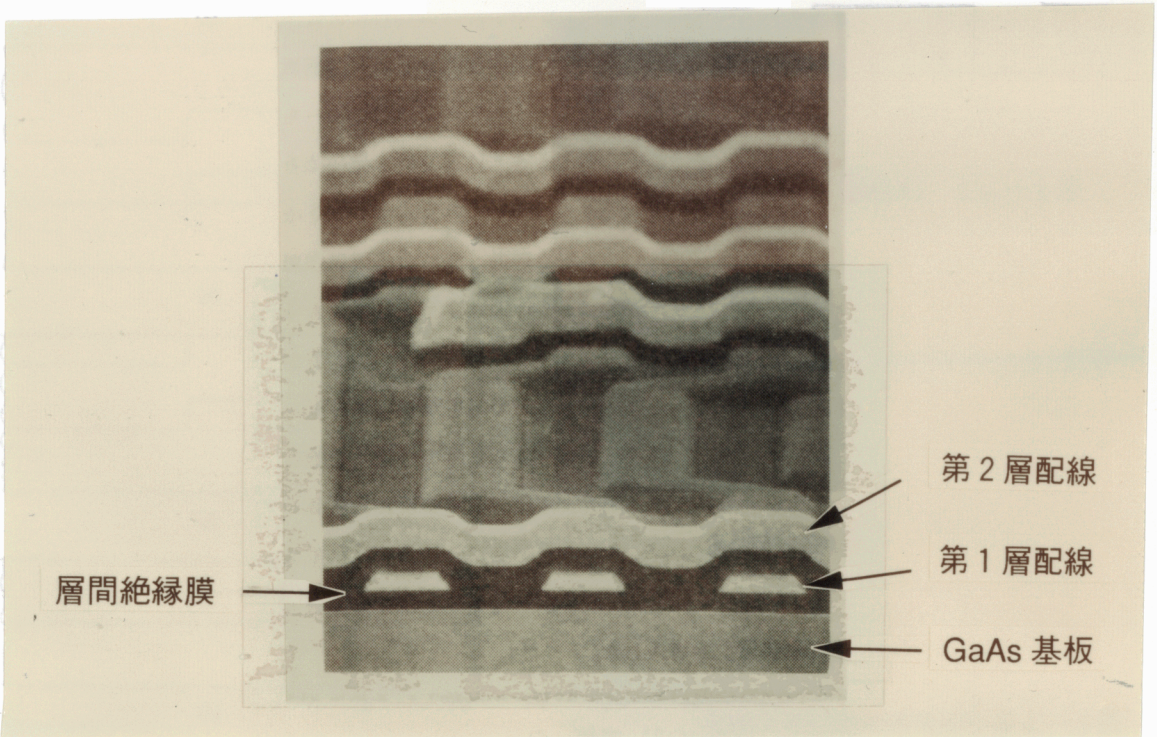


図 4 — 1 0　SOG 法で形成した 2 層配線の断面図

SOG法を用いることで段差部を平滑化することが可能となるが，完全に平坦な面を得ることはできない。それはSOG膜が厚くなると剥離するので約1000Åの厚みしか堆積できないからであり，図４—１１において平坦度を（1 - t / D）×100 (%) と定義すると，30～40 %の平坦度しか得られない。そこで平坦度のより大きいエッチバック法のGaAsプロセスへの適用を検討した。まず本方法のプロセスを図４—１２に基づいて説明する。先ず下層配線，層間絶縁膜形成後にレジストを塗布する。次にレジストと層間絶縁膜とを等速でエッチングして段差を完全に平坦化する。このエッチングにより層間絶縁膜は薄くなるので，再度プラズマCVDによるSiON膜を所定の厚さまで成膜する。エッチバック法のポイントはレジスト塗布時の平坦性を確保すること，レジストと絶縁膜を等速でエッチングすること，及びエッチングの終点検出精度の向上にある。図４—１３にこのレジスト塗布により段差を平坦化した場合のSEM写真を示す。図４—６と比べてほぼ完全に平坦化されていることが分かる。次に層間絶縁膜としてSiON，平坦化レジストとしてOMR - 85 についてのCF_4 とO_2 の混合ガスでのRIEによるエッチングレートのO_2 濃度依存性を図４—１４に示す。O_2 濃度が約 43 %の時に等速エッチングが達成されることが分かる。この条件で層間絶縁膜の平坦化を行った時のSEM断面図を図４—１５に示す。わずかな段差が見られるもののほぼ完全に平坦化できている。この上に上層配線を形成した際の45度方向からの表面SEM写真を図４—１６に示す。下層配線の段差はほとんど見られず，上層配線を形成する面の凹凸はコンタクトホール部のみとなっていることが分かる。

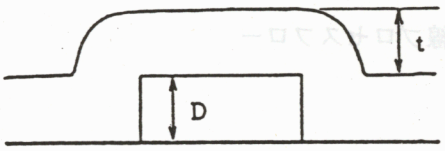


図４—１１　段差部の模式図

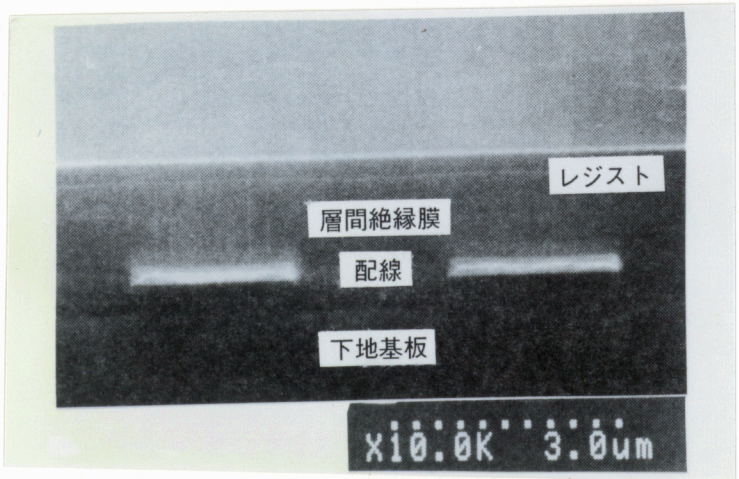


図４—１３　レジスト塗布後の段差
平坦化の様子のSEM写真

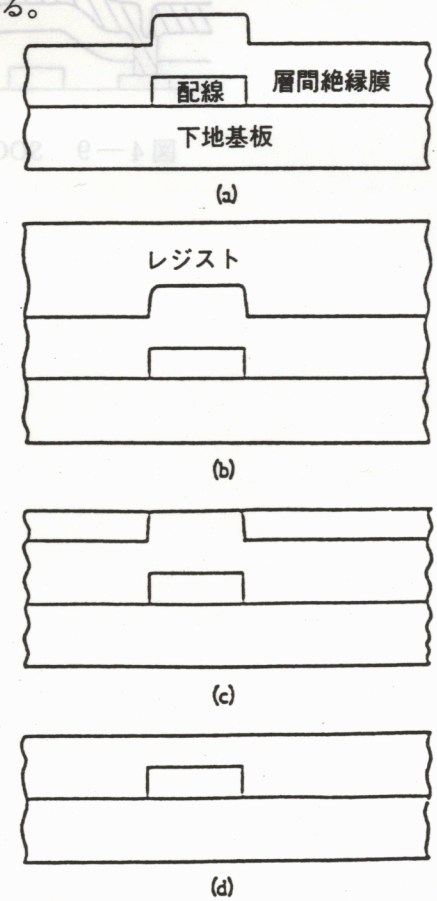


図４—１２　エッチバックプロセスフロー

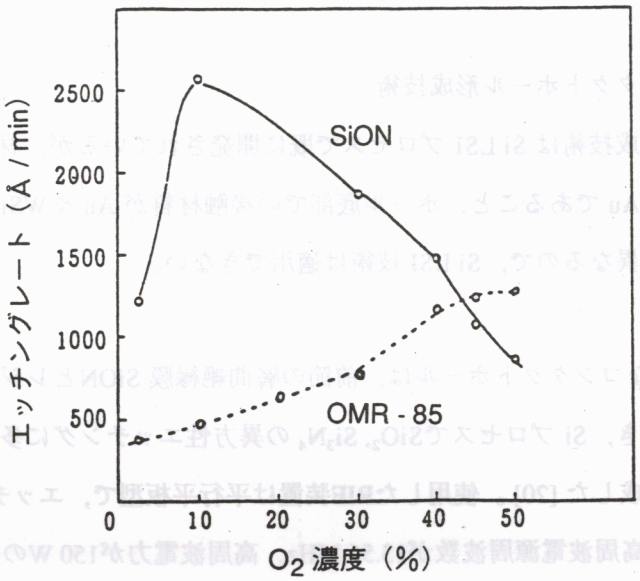


図４—１４　SiON，平坦化レジストOMR - 85 のRIE エッチングレートのO_2 濃度依存性

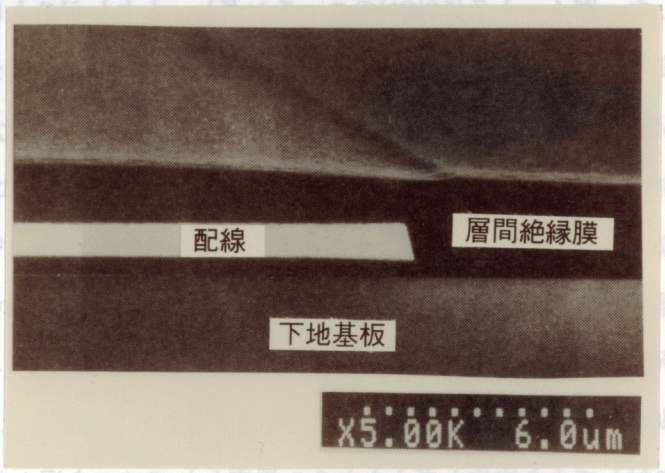


図４—１５　エッチバック後の平坦化の様子

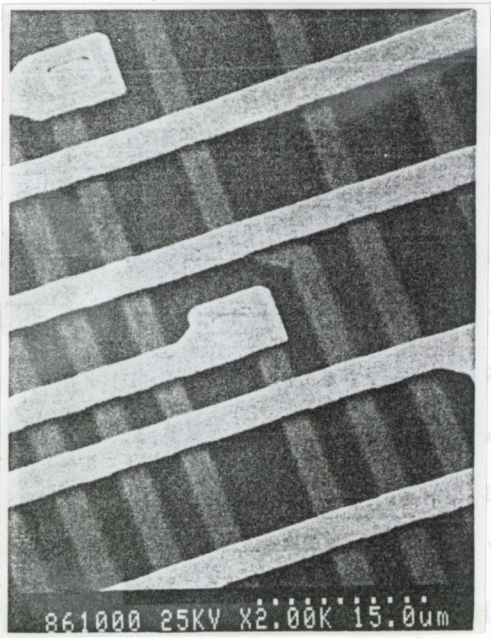


図４—１６　エッチバック平坦化後に上層配線が形成された表面

4．2．3　コンタクトホール形成技術

コンタクトホール形成技術はSi LSIプロセスで既に開発されているが，材料がGaAsであること，ホール埋め込み金属がAuであること，ホール底部での接触材料がAuやWSi_xであることからSiプロセスとは状況が大きく異なるので，Si LSI技術は適用できない。

2μm径以下の微細なコンタクトホールは，前節の層間絶縁膜SiONとレジスト，WSi_x，Au，GaAsとの選択比を大きくでき，SiプロセスでSiO_2, Si_3N_4の異方性エッチングに多用されているCHF_3ガスによるRIE法により形成した[20]。使用したRIE装置は平行平板型で，エッチングはガス圧が10 Pa，ガス流量が100 sccm，高周波電源周波数が13.56 MHz，高周波電力が150 Wの条件下で行った。この装置はカソードカップリング方式でありカソード電極はAl，アノード電極は石英で作られている。また電極間隔は5 cmである。先ずSiONに対するCF_3^+活性イオンのエッチングレートを増加させるためにO_2添加の効果を検討した。図4－17にSiONのエッチングレートとレジストに対する選択比のO_2濃度依存性を示す。O_2濃度の増加と共にSiONのエッチングレートは増加するがレジストとの選択比は低下する。O_2濃度比が4%以下ではレジストがエッチングされなくなるため選択比は著しく増加する。O_2濃度が小さくなるとSiONとのエッチング反応でC + O → CO↑の反応が起こりにくくなり，特にレジスト上にはCが過剰になる。このためC + F → CF↓の反応によりCFポリマーが発生しやすくなり，これがレジスト上に堆積することによりレジストのエッチングレートが低下し対レジストとの選択比が大きくなる。また選択比が増加するもののSiONのエッチングレートが低下するのは，レジスト表面に比べてCの供給量は少ないがCFポリマーがSiON上に堆積するためと考えられる。本研究では，選択比は低いがO_2濃度変化に対してより安定と考えられるO_2濃度として10 %を選んだ。この時レジストに対する選択比は4であり実用上問題はない。またWSi_x，GaAsとの選択比は約10，Auとの選択比は10以上が得られている。

4000 ÅのSiON膜をGaAsウエハ上に形成してその上にコンタクトホール形成用レジストパターン形成し，上述のRIE条件で20 %程度オーバーエッチングを行った場合のコンタクトホール部のSEM写真を図4－18に示す。コンタクトホール内に柱状のエッチング反応生成物が発生している。柱状のエッチング反応生成物は高さ約2000 Å，幅数百 Åで密集して残っている。この反応生成物は，上述のRIE条件を変更しても発生することを確認している。尾崎らもSiOをCF系ガスでRIEした際，同様の反応生成物の発生を報告しており，CF_xポリマーと分析している[21]。一方，CHF_3のRIEでのCF_xポリマー生成は高エネルギーのイオン衝撃を受ける高周波電力の印加されたカソード電極上には生じにくいことが報告されている[22]。エッチング反応生成物のAES分析結果を図4－19に示す。最初Arス

パッタエッチングをしない時には，Si, C, O, N, F が検出される。Ar スパッタエッチング開始１分後にC のオージェピークは消失する。Ar スパッタエッチングを続けるとSi, Ga, As のオージェピークが明白になるのに対し，F のオージェピークが小さくなり 28分後には消失する。さらにAr スパッタエッチングを続けるとSi, O, N のオージェピークが小さくなり，88分後には90 eV付近に見られるSi のスペクトルはGaAs に変わっている。図４—１８，図４—１９から柱状のエッチング反応生成物はおよそ図４—２０に示す構造を有していると考えられる。つまりSiON の周囲にSiONF，さらにその周囲をCFO が覆っている形状である。ここで各層の膜厚は図４—１９でのAr スパッタエッチング時間，図４—１８で観測された反応生成物の高さから計算したものである。少なくとも本エッチング反応生成物は前述のただのCF_x ポリマーではないと結論できる。

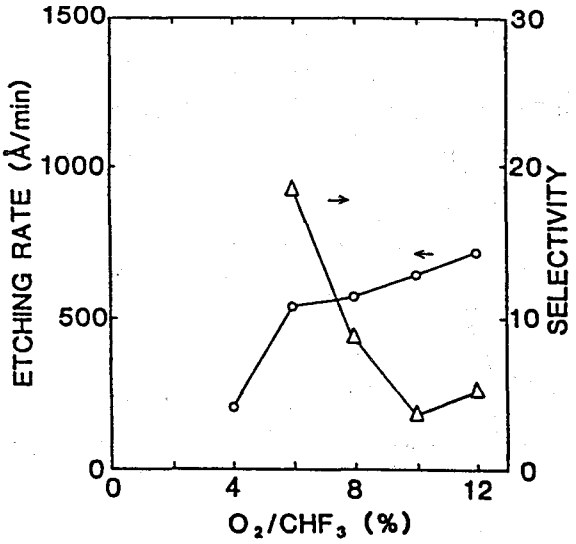


図４—１７　SiON のエッチングレートとレジストに対する選択比のO_2 濃度依存性

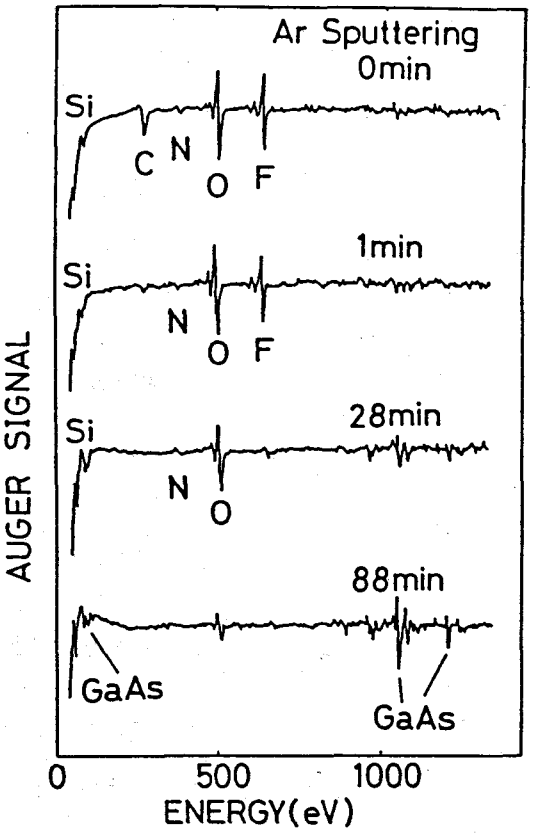


図４—１９　エッチング反応生成物のAES 分析結果

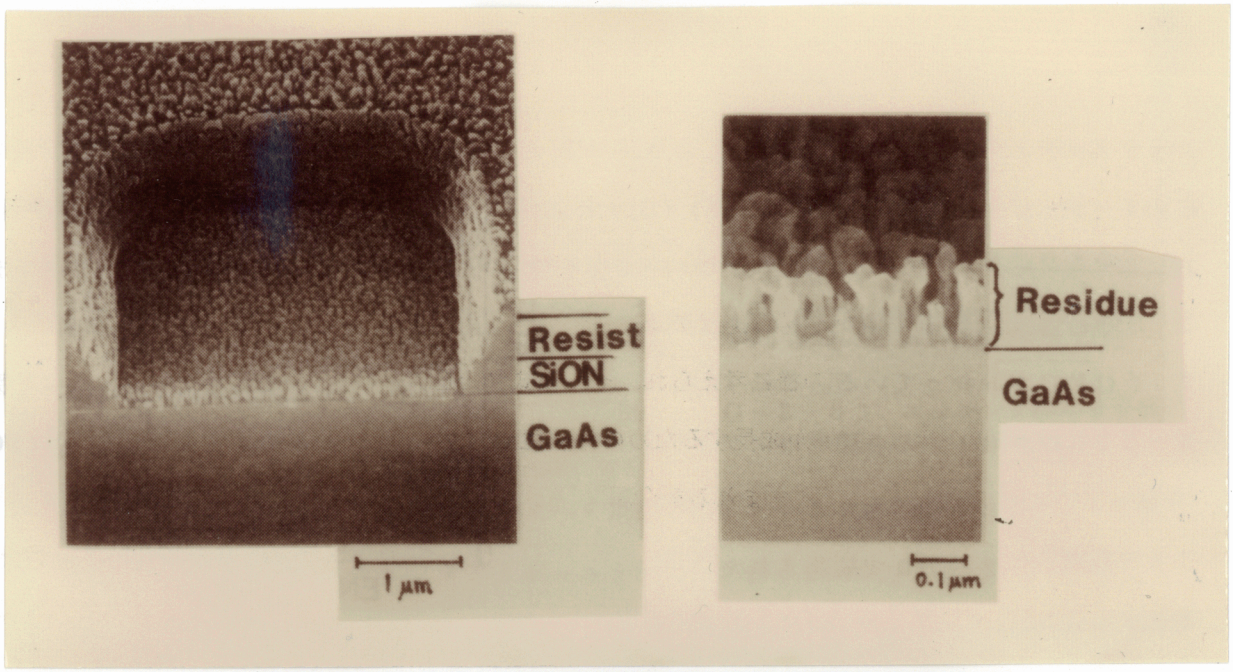


図４—１８　コンタクトホール部のエッチング反応生成物

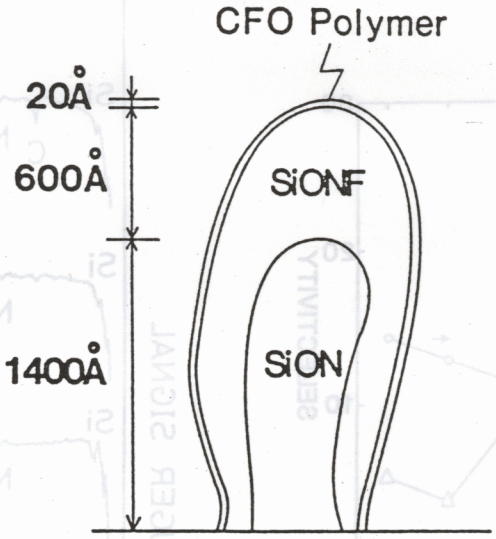


図４—２０　柱状のエッチング反応生成物の構造

このようなエッチング反応生成物がコンタクトホール内に残留した状態ではコンタクト不良が生じるので，発生原因を明らかにし，それらを除去しなくてはならない。図４－２０に示したエッチング反応生成物の構造，尾崎らの報告結果より，CF_x ポリマーが反応生成物の発生に関与すると考えられるため，CF系でないSF_6, NF_3 を用いてエッチングを行ったところ，反応生成物は発生しないことが確認された。さらに本RIE ではウエハーを設置するカソード電極がAl であり，SiON エッチング時にこのAl がエッチングされること，Alのフッ化物が検出されること等の点から，Al の影響に着目した。これを調べるために，Al 製カソード電極をテフロン，あるいはSi で覆った状態でRIE を行ったコンタクトホールの内部を観察した。そのコンタクトホールのSEM写真を図４—２１に示す。図４—１８の結

果に比べるとエッチング反応生成物の発生はほとんど無いことが分かる。つまりカソード電極を覆う材料はテフロンでもSiでも良く，エッチング反応生成物の発生にはAlカソード電極自体が関与していると言える。以上，図4—20のエッチング反応生成物の構造，図4—19のエッチング反応生成物のAES分析結果，エッチングガスの種類，カソード電極であるAlの影響を総合して，エッチング反応生成物の発生メカニズムは以下の様に考えられ，その模式図を図4—22に示す。まずエッチング開始以後，SiON上にCFOポリマーが成長するための核が生成される。この核はAlカソード電極を構成するAlの，あるいは不純物として含まれる重金属の酸化物やフッ化物と考えられる。エッチングが進むと同時にCFOポリマーが成長するが，ポリマーの成長する部分のSIONはエッチングされにくいのでポリマーがSIONを包み込みながら柱状のエッチング反応生成物を成長させていく。この反応生成物は，最表面のCF_xポリマーをO_2プラズマ処理で分解し，内側のSi酸化物をHF水溶液でエッチングすることにより除去できることを確認している。

尚，$CHF_3 + O_2$ガスを用いたSiO_2, Si_3N_4のRIEでは十分な異方性エッチングが得られることが知られているが[20]，本RIE条件でのコンタクトホールのエッジ形状も図4—18，図4—21から分かる様に十分急峻でありサブミクロンホール径にも対応できると考えられる。

以上の検討により，GaAs LSI作製プロセスでのSiONのコンタクトホール形成には$CHF_3 + O_2$ガスを用いたRIEが適用できるが，Alカソード電極を用いた場合にはCF_xポリマーに関与するエッチング反応生成物が成長するので，Alカソード電極自体が露出しない処置（テフロン，Siでのカソード電極のコーティング）が必要であることが明らかとなった。

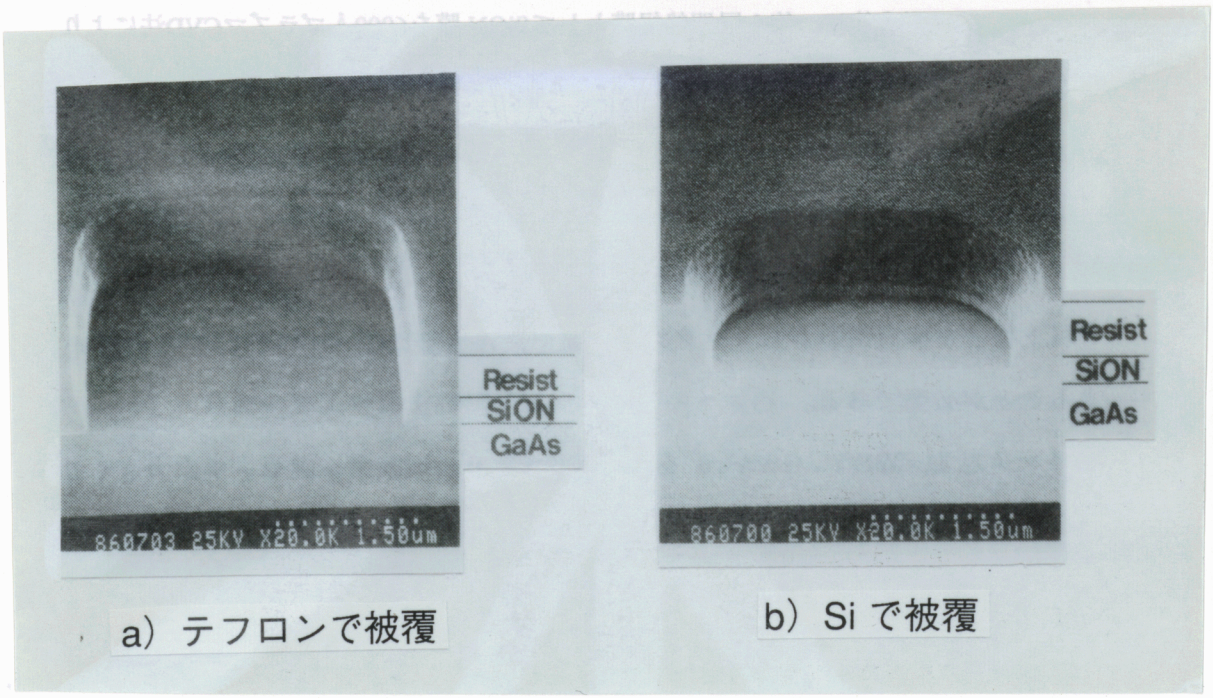


図4—21　Alカソード電極をa）テフロン，b）Siで被覆した場合のRIEによるコンタクトホール部のSEM写真

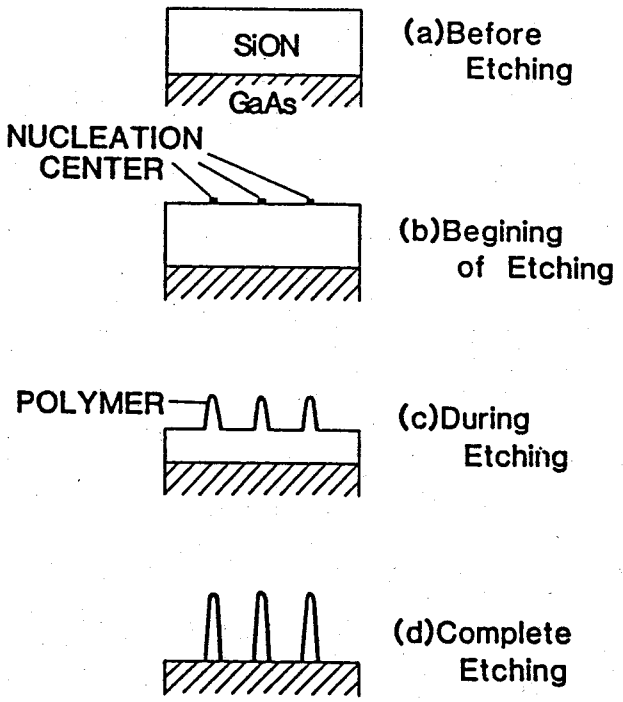


図４—２２　エッチング反応生成物の発生メカニズム

４．２．４　多層配線プロセスフロー

前節で述べたGaAs LSI 配線用個別プロセス技術を用いて，３層配線形成プロセスフローを図４—２３のように構成した。以下に概略を説明する。

１）第１層間絶縁膜形成

(1) BPLDD - FET形成後に，第１層間絶縁膜としてSiON 膜を6000Åプラズマ CVD法によりウエハー全面に形成する。

(2) 平坦化のためにSOG 膜をスピンコーティング法で塗布形成し，300℃程度の熱処理により安定化を図る。

(3) 段差部以外のSOG膜をイオンミリングによりエッチング除去する。

(4) レジストを塗布した後，SiON 膜とレジストをRIE により等速エッチングを行う。

(5) 減少分（約2000Å）に相当するSiON を再成膜する。

(6) BPLDD - FETのゲート電極およびソース・ドレイン電極とのコンタクトホール形成用レジストのパターニングを行う。

(7) $CHF_3 + O_2$ ガスを用いたRIE により前述のレジストパターンをマスクにSiON 膜をエッチング除去する。

(8) RIE後のコンタクトホール内残留物であるCF_xポリマー，あるいは酸化物を除去するために，各々O_2 プラズマ処理，HF水溶液によるウェットエッチングを追加する。

(9) レジストパターンの除去を行う。

2）第1層配線形成

(1) 1）で形成したコンタクトホールを介してBPLDD - FETのゲート電極，ソース・ドレイン電極とコンタクトをとるための第1層配線用 Ti (500Å) / Au (5000Å) 2層膜をスパッタ法でウエハー全面に形成する。

(2) 第1層配線パターン用のレジストパターンを形成する。

(3) Ar^+ イオンによるイオンミリング法により，上記レジストパターンをマスクにTi / Au 2層スパッタ膜のエッチングを行う。

(4) レジストパターンを除去する。

3）第2層間絶縁膜形成

(1) 第1層間絶縁膜形成後に第2層間絶縁膜としてSiON 膜をプラズマCVD法によりウエハ全面に形成する。ここで第1層間絶縁膜形成時に比べて，下地に5500Åの第1層配線パターンが存在しているので段差が増加している。そのため第2層間絶縁膜は第1層間絶縁膜より2000Å厚い8000Åとした。

(2) 1）の(2)～(5)と同様だが，エッチバック後に再成膜するSiON の厚みは3000Åとなる。

(3) 主に第1層配線間を接続するためのコンタクトホール形成用のレジストパターンを形成する。

(4) RIE によりレジストパターンをマスクに第2層間絶縁膜であるSiON をエッチングする。

(5) RIE 後のコンタクトホール内残留物を除去するためにO_2 プラズマ処理，HF水溶液によるウェットエッチングを追加する。

(6) レジストパターンの除去を行う。

4）第2層配線形成

(1) 3）で形成された第2コンタクトホールを介して，主に第1層配線と接続するための第2層配線用 Ti / Au 2層膜をスパッタ法によりウエハー全面に形成するが，第2層絶縁膜を8000Åに厚膜化したことにより第2コンタクトホールは第1コンタクトホールより2000Å深いので，第2層配線はTi = 500Å / Au = 8000Åに厚膜化させた。

(2) 第2層配線パターン形成用レジストパターンを形成する。

(3) イオンミリング法により上記レジストパターンをマスクにTi / Au 2層スパッタ膜のエッチングを行う。

(4) 2）の(4)と同様に，レジストパターンを除去する。

5）第3層間絶縁膜形成

(1) 第2層配線形成後に第3層絶縁膜としてSiON膜をプラズマCVD法でウエハー全面に形成するが，第1層配線よりも厚い第2層配線が下地に存在するためカバレージが不良になりやすいこと，また第2層，3層配線間容量の低減により配線遅延時間の短縮を図りたいこと，等により，第3層間絶縁膜は10000Åまで厚膜化した。

(2) 1）の(2)～(5)と同様だが，エッチバック後に再成膜するSiONの厚みは4000Åとなる。

(3) 主に第2層配線間を接続するためのコンタクトホール形成用のレジストパターンを形成する。

(4) RIEにより上記レジストパターンをマスクに第3層間絶縁膜であるSiONをエッチングする。

(5) RIE後のコンタクトホール内残留物を除去するためにO_2プラズマ処理，HF水溶液によるウェットエッチングを追加する。

(6) レジストパターンの除去を行う。

6）第3層配線形成

(1) 5）で形成された第3コンタクトホールを介して主に第2層配線と接続するための第3層用Ti / Au 2層膜をスパッタ法によりウエハー全面に形成する。第3層配線は，本研究のLSIにおいて最上層配線であり主に電源，アース用配線に用いるため電流密度が特に大きいため発熱による温度上昇を抑える必要があること，電源ノイズの低減には電源ラインの低インピーダンス化が有効であること，等を考慮して第2層配線より厚い Ti = 500Å / Au = 10000Å に設定した。

(2) 第3層配線パターン形成用レジストパターンを形成する。

(3) イオンミリング法により上記レジストパターンをマスクにTi / Au 2層スパッタ膜のエッチングを行う。

(4) レジストパターンを除去する。

7）パシベーション膜形成

(1) 第3層配線形成後，SiON膜を4000Åウエハー全面に形成する。本パシベーション膜は最上層になるため特に平坦化は行わない。

(2) ボンディングパッド部上にのみ開口を有するレジストパターンを形成する。

(3) RIEにより上記開口部のSiON膜のエッチングを行う。

(4) ボンディングパッド部で接触不良が生じないようにO_2プラズマ処理，HF水溶液によるウェットエッチングを追加する。

(5) レジストパターンを除去する。

以上が，本研究で作製するGaAs LSI用3層配線プロセスとなる。本プロセスフローで作製した3層配線断面のSEM写真を図4—24に示す。本図より次のことが分かる。

1）上層の配線，層間絶縁膜になるにつれて設定値通りに膜厚は増加している。

2）Ti / Au スパッタ膜のコンタクトホール内のカバレージは十分良好である。

3）第2コンタクトホールで大きな段差があるにもかかわらず，その上部の第3層間絶縁膜はかなり平坦化されている。

4）RIEにより急峻なエッジ形状を有する微細コンタクトホールが形成できている。

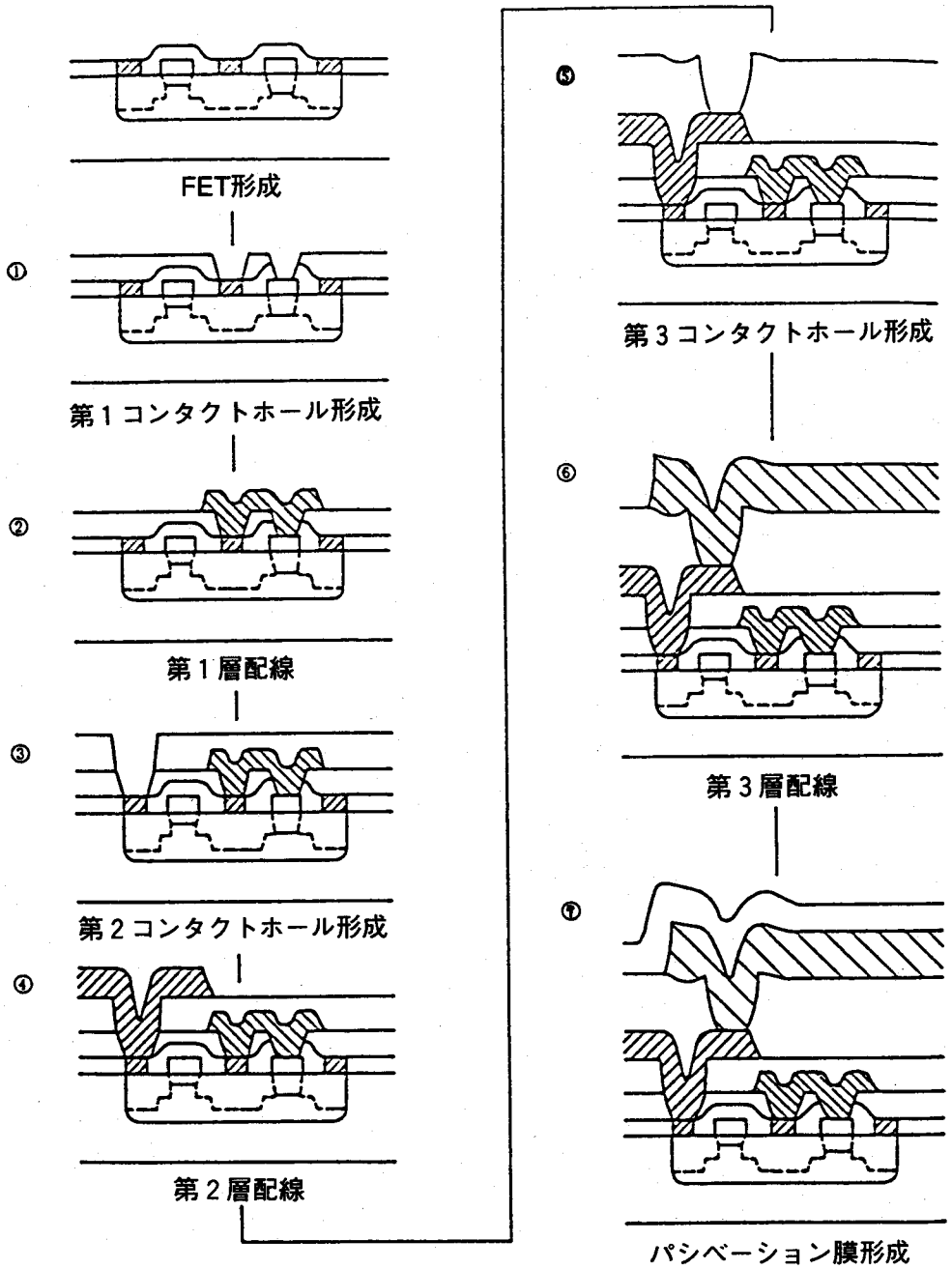


図4—23　3層配線プロセスフローの概略図

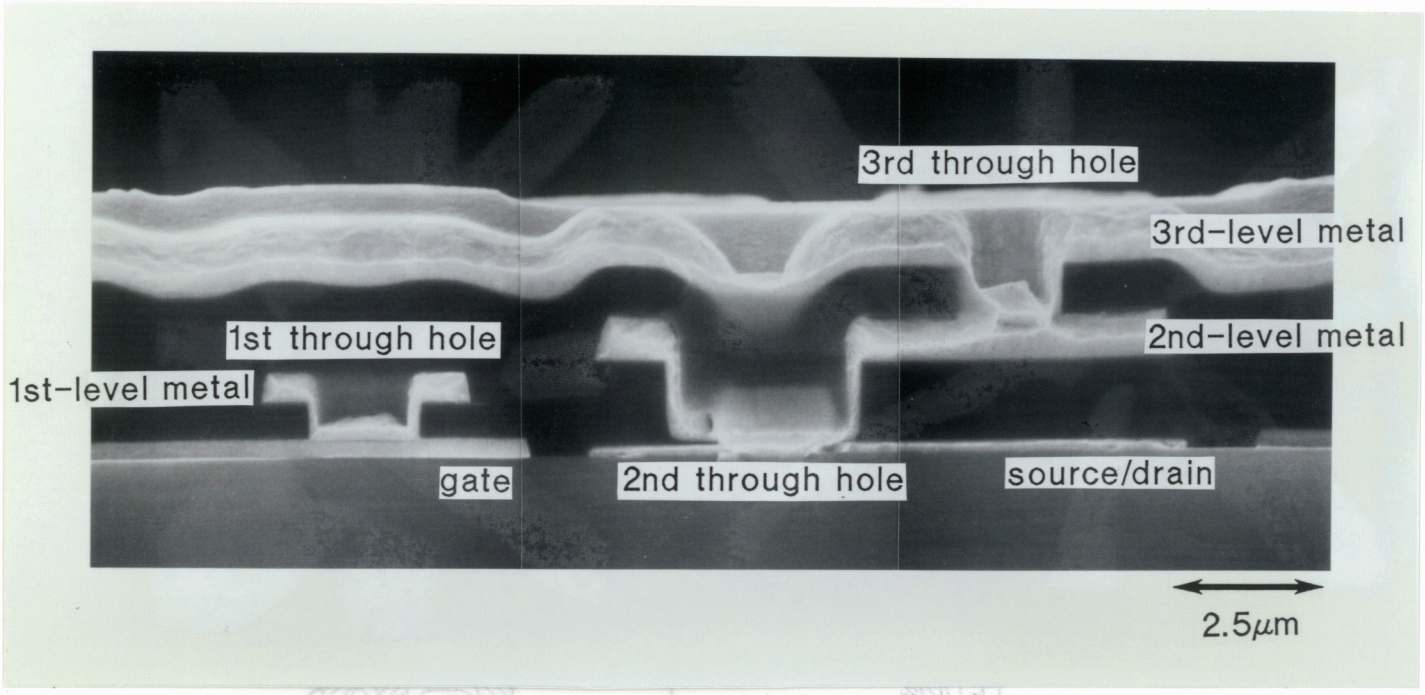


図４—２４　３層配線断面のSEM写真

４．２．５　Auヒロックの発生とその低減

前節の３層配線プロセスでは，その平坦化を行ったにもかかわらず上層・下層配線間リークがかなりの頻度で観測された。顕微鏡観察により下層配線上，特にそのエッジ部に突起物が存在していることが判明した。Siプロセスにおける Al配線上の異物，ヒロック，ボイドについては数多くの研究がなされているが [23]-[25]，GaAs プロセスにおけるAu配線に対しては報告は殆どない。上述のAu配線上の突起物は多層配線の平坦性を損ない，層間リークを発生させる可能性が高い。その一例として，下層配線上に発生している異物により上層絶縁膜，配線の平坦性が損なわれている箇所の断面を，FIB（Focused Ion Beam）エッチングで切り出してSEM観察した様子を図４—２５に示す。本研究ではこのAu配線上の突起物の発生機構とその低減について，種々の検討を行った。

まずこの突起物はどのような物質から構成されているか検討した。突起物の発生密度は，下層配線上の層間絶縁膜SiONを形成するプラズマCVD装置内で発生する発塵密度に比べ１～２桁多いため，その起源は発塵自体ではない。また突起物が発生した下層配線上の層間絶縁膜SiON をHF水溶液で除去した後もこの突起物は残るので，SiONに由来する何らかの酸化物でもないと言える。次にこの突起物のSEM観察を行った結果を図４－２６に示す。このSEM写真から，突起物周辺のAu 配線上にも突起物自体にも grain boundary が見られる。即ち，この突起物はAu 自体であると考えられる。これをさらに明らかにするために，突起物のマイクロAES 分析を行った。図４－２７に突起物上，及びその周辺領域でのマイクロAES スペクトルを示す。この結果から，突起物はAu, Ti を含んでおり，また突起物

周辺と突起物自体では明白な差が認められないので，本突起物はAu 自体であり，Au配線から のヒロック成長であると結論できる。

SiプロセスではAl配線でのヒロックの発生が，多層配線の歩留りを低下させる原因の一つとしてその発生機構，及びその対策が詳細に検討されている [26] 。それらを参考にして，本Auヒロックについてもその発生機構について次の様に考えることができる。GaAsプロセスでのAu配線の場合，GaAs基板上に形成されたAuスパッタ膜は，次の層間絶縁膜形成工程での昇温プロセスでGaAs基板から圧縮応力を受けるが，その応力を緩和するためにAu が自己拡散を起こしてAu表面にヒロックを形成すると考えられる。Au のヒロックが下地段差のある部分に多く集中して観察されるのもこの部分に応力が集中しているためと思われる。

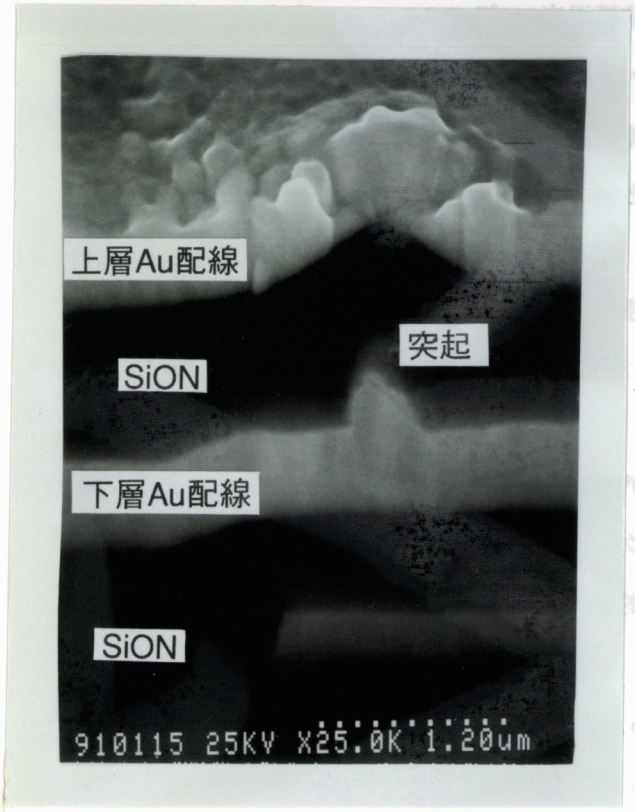


図４—２５　下層配線上の突起物による上層の平坦性劣化の様子

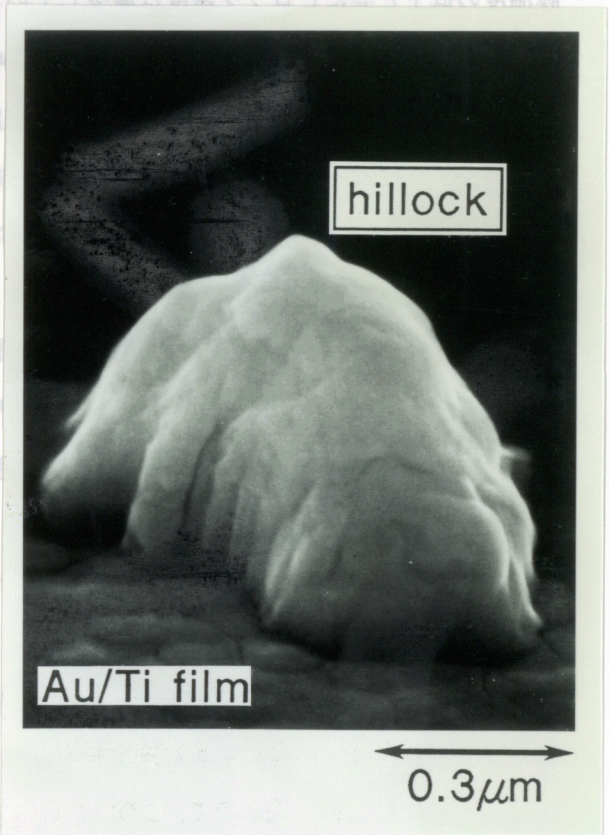


図４—２６　突起物のSEM写真

そこでこのAuヒロックの発生を抑制する方策としては，

1）Auの自己拡散を抑える。

(1) 次工程である層間絶縁膜形成時の昇温温度を下げる（プラズマCVD SiON成膜温度を下げる）。

(2) Au配線上に緻密な膜質を有するバリアメタル（例えばアモルファス状の高融点金属であるTiN等）を設ける。

(3) Auに他の金属を添加する（AlSiにおけるCu添加に相当する）。

2）Auに加わる応力を減少させる。

(1) スパッタ条件を変更してTi / Au配線自体のストレスを低下させる。

(2) 下地段差を低減する（層間絶縁膜をさらに平坦化する）。

が考えられるが，本研究では1）の(1)であるプラズマCVD SiON成膜温度の低下による効果について検討した。

まずヒロック密度のSiON成膜温度依存性を図4－28に示す。SiプロセスのAl配線と同様に，成膜温度の低下と共にヒロック密度は減少している。成膜温度250℃でのヒロック密度は，成膜温度300℃での6％に減少した。次に図4－29にTi / Auスパッタ膜の熱処理に伴う圧縮応力の熱処理前からの増加量と熱処理温度の関係を示す。熱処理温度の増加につれてTi / Auスパッタ膜の圧縮応力は増加している。つまり図4－28のヒロック密度の結果と合わせて，Ti / Auスパッタ膜の圧縮応力とヒロック密度は相関しており，前述したAuヒロックの発生機構のモデルを裏付けるものと考えられる。図4－28のアレニウスプロットから，ヒロック発生の活性化エネルギーE_aは1.50 eVであるが，このエネルギーはAuのバルク中での拡散の活性化エネルギー1.81 eV [27]に比べ小さく，ヒロック生成に伴うAu拡散は図4－26に見られるTi / Auスパッタ膜のgrain boundaryを通じて生じると考えられる[28]。尚，SiON成膜温度の低下によりSiON膜質が劣化する危険性があるため，HFバッファ水溶液に対するエッチングレート，電気的絶縁性，コンタクトホール加工性，剥離性について検討した結果，エッチングレートは約50％増加したものの，電気的絶縁性，コンタクトホール加工性，剥離性についてはほとんど変化は見られなかった。

層間絶縁膜SiONの成膜温度300℃，250℃における，16-kb SRAMの第2層－第3層配線間リーク不良の3インチウエハー面内分布を図4－30に示す。この成膜温度の低下に伴う層間リーク不良数の低減は，ヒロック密度の低減により図4－25のような層間配線不良の頻度が減少するからと考えられる。

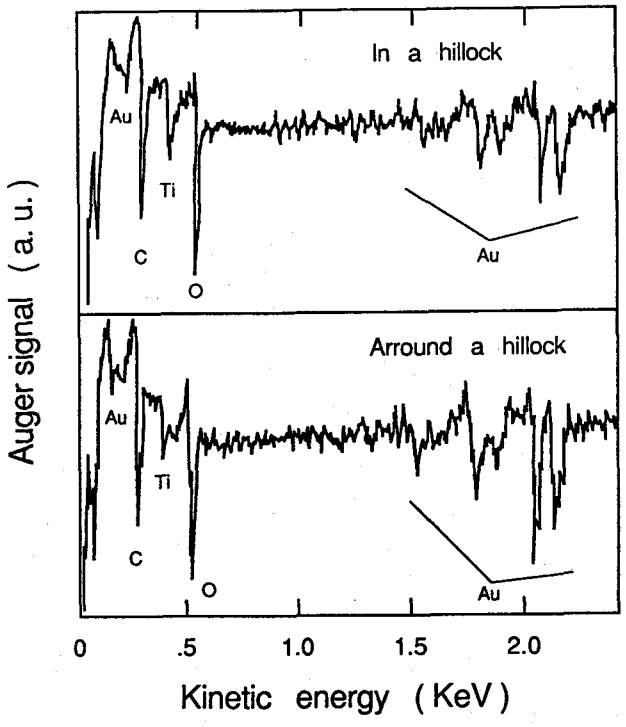


図4—27　突起物上とその周辺のマイクロAES分析結果

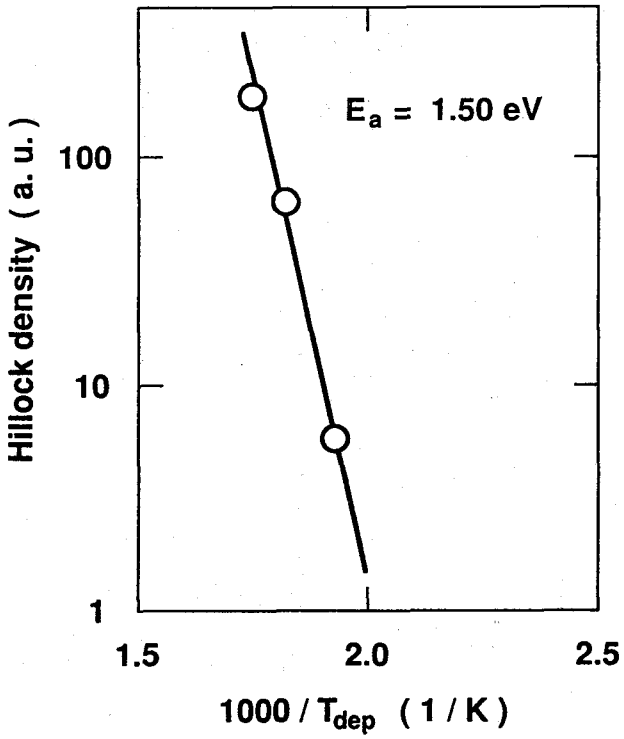


図4—28　ヒロック密度のSiON成膜温度依存性

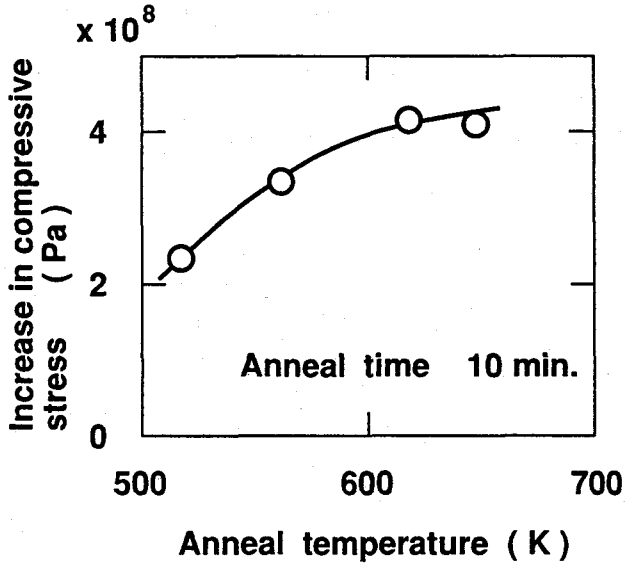


図4—29　Ti/Auスパッタ膜の熱処理に伴う圧縮応力増加量と熱処理温度の関係

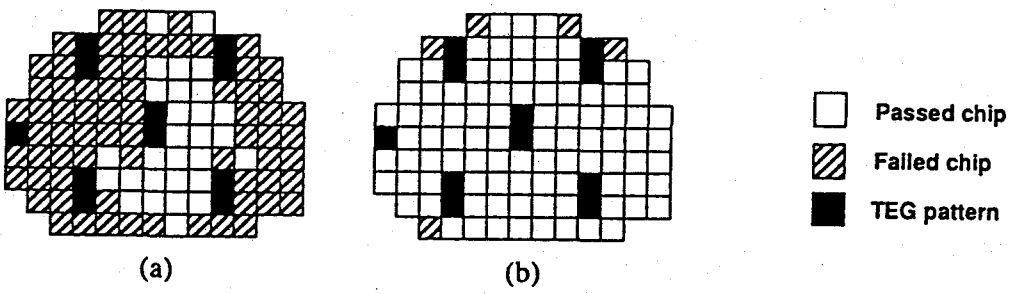


図４—３０　16-kb SRAM の第２層—第３層配線間リーク不良のウエハー面内分布

４．３　Au エアブリッジ配線技術

前節４．２の多層配線プロセス技術において層間絶縁膜であるSiON の比誘電率は約 5.0 であるが，より一層の高速化のため配線容量をさらに低減する方法として，配線間を空気で絶縁するエアブリッジ配線技術がある [29], [30] 。エアブリッジ構造で配線容量の低減を図る場合，通常信号配線自体に適用することを考える。しかしながらLSI レベルの多層配線で複数層間にわたる信号配線にエアブリッジを適用することは，現在のところプロセス技術上困難であるために，現在までGaAs IC でエアブリッジ配線が用いられているのは単一層のみである。一方，LSIでは電源，アースからなる給電配線は一般には回路全体に対して供給されるため，レイアウト全体にわたり配置されるのが普通で，電源，アース配線は信号配線より上層に多層化して配置される場合が多い。

そこで本研究では，上述のエアブリッジ形成プロセス上の制約とLSIでの信号配線，電源，アース配線の配置関係を考慮して，最上層に配置する電源，アース配線のみをエアブリッジ化する配線構造を新たに検討した。LSI にエアブリッジ配線を適用するのは，本研究が初めてである。本構造では，従来の配線構造に比べて信号配線—電源，アース配線間寄生容量が小さく配線容量を低減できると共に，エアブリッジ化に伴うAu 配線層の厚膜化により電源，アースの十分な低インピーダンス化が図れるため，電位変動，外因性誘起ノイズが低減され，かつアンペアオーダーの電流供給が可能となり，高速動作時の安定化が図れる。LSI 適用に際してエアブリッジ配線構造に要求される事項としては，前節４．２．１のAu スパッタ膜のイオンミリング加工では形成が困難となる数μm厚のAu 配線を，メタルポスト配置の自由度向上と配線容量の低減のために，できるだけ長い（数百μm以上の）スパン（メタルポスト間配線距離）で形成することである。

上述のLSI 用給電配線に適用するAu エアブリッジ形成プロセスについて以下に述べる。図４—３１にそのプロセスフローを示す。GaAs基板上に前節４．２．４の多層配線プロセスで第２層配線ま

で形成した後(a)，エアブリッジ配線の高さに相当する厚さのレジスト（下層レジスト）を塗布し，下層配線と接続するメタルポスト領域を開口したレジストパターンを形成する。そしてウエハー全面に電解メッキ成膜時に用いる給電用導電膜（Auスパッタ膜）を形成する(b)。次に給電用導電膜上に電解メッキ時のマスクとなる上層レジストパターンを形成する。上層レジストパターンはエアブリッジ形状を良好とするため，厚く垂直性の高い必要がある。図4—32に作製した上層レジストパターン断面のSEM写真を示す。この後にAuの電解メッキを行う(c)。Auメッキ成長が終了したら，給電用導電膜を除去しないように上層レジストのみ除去し，給電用導電膜をイオンミリングでエッチング除去する。この時にメッキされた部分はエッチングマスクとなる(d)。最後に下層レジストを除去することにより，給電配線用Auメッキ・エアブリッジ配線が完成する(e)。

LSI用エアブリッジ配線では，先に述べた様に，メタルポスト間スパンをどれだけ長くできるかが配線容量低減に対し重要となる。スパンを長くすると，Auエアブリッジ配線自体の自重によりメタルポスト間の中央部でたわみが発生して，ついには下地と接触する不良となる。図4—33に示すスパン長500μmのAuエアブリッジ断面図から分かる様に，本プロセスでは少なくともスパン長500μmまではこのたわみが発生しないことを確認している。次章で述べるLSI（ゲートアレイ）にはスパン長400μmのエアブリッジ配線を適用した。

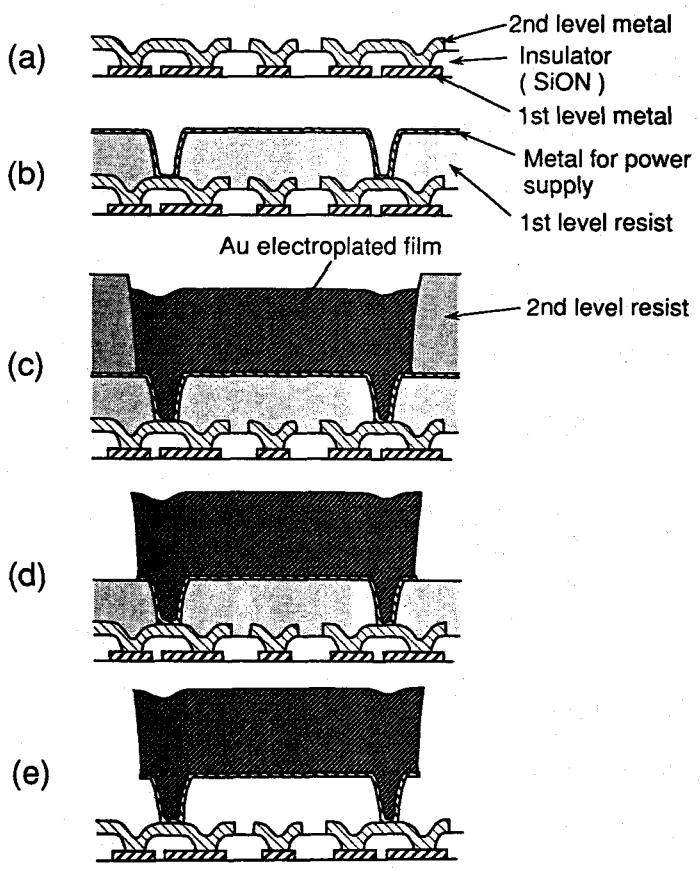


図4—31
Auエアブリッジ
形成プロセスフロー



図４—３２　上層レジストパターン断面のSEM写真

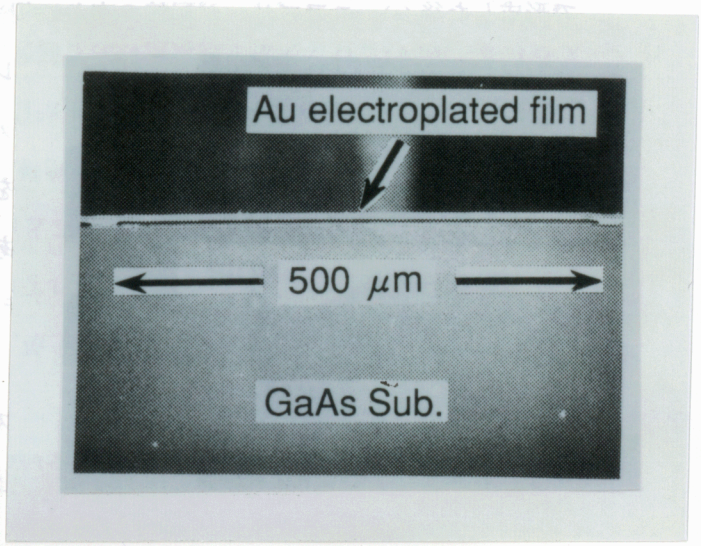


図４—３３　スパン長500μmのAuエアブリッジ断面図

４．４　LSI動作速度と配線遅延の関係

４．４．１　LSI高速化における配線容量低減の重要性

GaAs FET ICはCMOS ICと同じくバイポーラICに比べて低消費電力を指向するデバイスであり，内部論理ゲートの電流駆動能力はバイポーラTr.に比べて通常約1/10以下と小さく素子自身のスィッチング時間よりも配線による遅延時間の方が大きくなる傾向にある[31]。特にGaAs FETではそのスィッチング時間がSi Tr.より小さいが，上記の通り電流駆動能力が比較的小さいのでスィッチング時間に比べて配線を充放電する時間が大きく，これはスイッチング時間のより遅いSi MOSFETの場合より顕著になる。LSIの動作速度と集積度（ファンアウト負荷と配線負荷の増加）の関係については長谷川らによる集中定数的解析があり[6]，能動素子の真性遅延時間と配線遅延時間とが等しくなる集積ゲート数Goとして次式を導出している。

$$G_o = \left(\frac{C_o FO}{C_w K\sqrt{A}}\right)^{\frac{1}{\alpha}} \qquad (4.1)$$

Co：次段のゲート入力容量，Cw：単位長あたりの配線容量，FO：ゲートの平均ファンアウト数，K：定数，A：ゲートの占有面積，α：定数　（但しK，αは経験的に求まる定数）

Lg / Wg = 1μm / 10μmのE - MESFETでCo = 10 fF，FO = 3，Cw = 100 fF/mmを想定すると，Go = ～100～1000となり，通常のLSIはゲート数がそのGo値より大きいのでLSI動作速度は配線律速になる

と結論している。また長谷川らは，能動素子の立ち上がり時間，立ち下がり時間が100～200 ps 以下になる場合は，配線は集中定数ではなく分布定数線路として扱う必要性があることも合わせて指摘している。（4．1）式にK, α は同様として，本研究で次章に述べるSRAM の場合であるCo = 150～1200 fF，FO = 4，Cw = 500 fF/mm では，Go = ～1600～16000 となるが，周辺回路も含めてSRAM の総ゲート数は，4 k ビットで4500程度，16 k ビットで 18000程度あるので，LSI動作速度としては十分配線律速領域に入っている。そこで次章で説明するSRAM，ゲートアレイの高速化を図るために，それらの配線容量の低減について検討した。

4．4．2　16-kb SRAM の3層配線化における速度トレードオフ

配線の多層化は，配線長，及びチップ面積の縮小をもたらすため，LSI の高速化，あるいは歩留り向上には有効である反面，新たな層間クロスオーバー容量が付加されるので，高速化のためにはその付加分以上に配線長短縮による配線容量の低減を図る必要がある。本研究の16-kb SRAM では，2層配線から3層配線へと多層化を図る際に総配線長の短縮による配線容量の低減と3層化によるクロスオーバー容量の付加との大小関係を検討した。図4—34に2層配線，3層配線における単位長あたりの簡単なモデルを示す。本16-kb SRAM での最大配線長は 3 mmであり，それは前節4．4．1より，分布RC遅延を有すると考えられる。本研究ではこのモデルとして，以下に示すWilhelm の式 [32] を用いた。

$$td \sim 0.7Rs \cdot Co \cdot l + 0.4Ro \cdot Co \cdot l^2 \qquad (4．2)$$

td：信号配線遅延時間，Rs：ドライバーFETのソース抵抗，Co：単位長あたりの配線容量，

l：信号配線長，Ro：単位長あたりの配線抵抗

簡単のために，各層間でのCo，即ち1）1—2層間，2）2—3層間，3）1層—基板オーミック電極間でのCo，各層のRo は全て等しいと仮定し，各々C，R とする。またあるバッファから次段のバッファまでの信号配線において，第1層，第2層での配線長を各々l_1, l_2 とする。2層配線における配線長$l_1 + l_2$ の信号配線での遅延時間 t_2 は（4．2）式より次の様に近似される。

$$t_2 \sim 0.7Rs(2Cl_1 + Cl_2) + 0.4R(2Cl_1 + Cl_2) \cdot (l_1 + l_2) \qquad (4．3)$$

3層配線における短縮された配線長$(l_1 + l_2) \times \alpha$ の信号配線での遅延時間 t_3 も同様に次の様に近似される。

$$t_3 \sim 0.7Rs(2C\alpha l_1 + 2C\alpha l_2) + 0.4R(2C\alpha l_1 + 2C\alpha l_2) \cdot (\alpha l_1 + \alpha l_2) \qquad (4.\ 4)$$

α ：3層化に伴う信号配線長の短縮比

上記の（4．3），（4．4）式，及び本研究での設計において$l_1 \sim l_2$（=L）であることから以下の式を得る。

$$t_3 / t_2 \sim 4\alpha (0.7Rs + 0.8\alpha RL) / 3(0.7Rs + 0.8RL) \qquad (4.\ 5)$$

本SRAMでは，Rs = 70Ω，Co = 500 fF/mm，Ro = 70Ω/mm，$l_1 + l_2$（=2L）= 3 mm であるので，上式より，3層での配線遅延 t_3 を2層での配線遅延 t_2 より短縮するには，短縮比 α として 84 % 以下が必要であると言える。

一方，分布RC遅延を表わす別のモデルとして，Si MOSFET について考案された桜井の式 [33] を次に示す。

$$td / (ColRol) \sim 1.02 + 2.21\{Cgi / (Co \cdot l) + Rs / (Ro \cdot l) + CgiRs / (Co \cdot l \cdot Ro \cdot l)\} \qquad (4.\ 6)$$

Cgi ：主に次段で駆動されるFETの入力ゲート容量からなる負荷容量

桜井の式では，低抵抗Si 基板上の信号配線における配線遅延時間を対象としており，その時考慮される配線容量はSi 基板—信号配線間容量である。本研究における検討は半絶縁性GaAs 基板上の配線ではあるものの層間配線容量の検討であり，低抵抗導体上での配線遅延を検討していること，またこの層間配線容量に比べて半絶縁性GaAs 基板—信号配線間容量は十分小さいことより，本式は十分適用できるものと考えられる。本SRAMでは Cgi ～1100 fF であり，上述の検討と同じく α を導出すると，87 % 以下が得られた。この値は（4．2）のWilhelmの式での結果とほぼ同等になっている。本研究での16-kb SRAMの総信号配線長は，3層配線化により，2層配線での28.6 mm から19.8 mmへと 69 % に短縮できた。これは上述の84，あるいは87 %より小さく，3層化によりアクセス時間の短縮が期待される。α =69 % の時，（4．5）式から t_3 / t_2 =74 % が予想される。

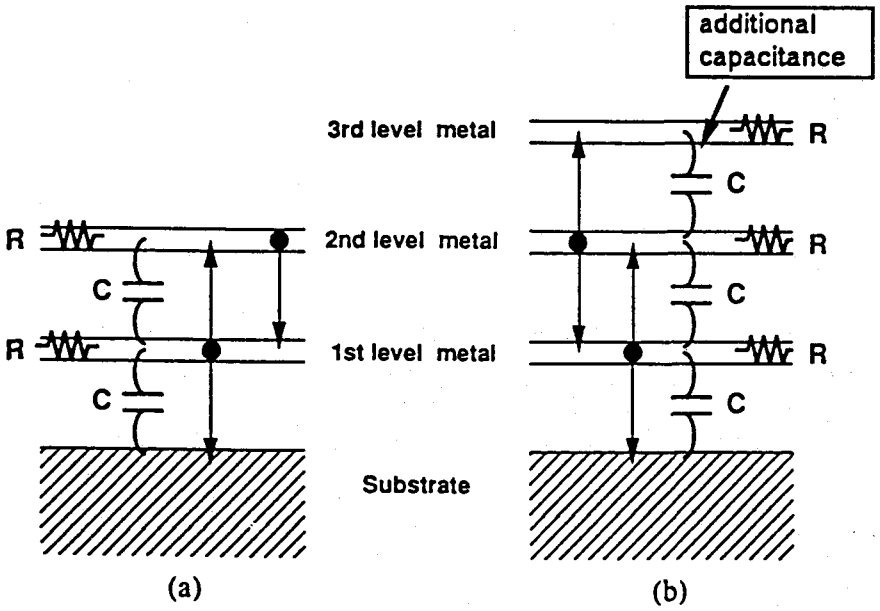


図４—３４　２層配線，３層配線における単位長当たりの簡単な配線モデル

一方，16-kb SRAM のアクセス時間についてSPICE2 による回路シミュレーションを，２層，３層配線のSRAMの双方について行った。このシミュレーションでは，等価回路において配線部を集中RC回路として扱っている。図４—３５にSPICE2 による16-kb SRAM のアクセス時間のシミュレーション結果を示す。２層，３層配線でのアクセス時間と配線容量を考慮していないFETのみによるアクセス時間の差から，t_3 / t_2 =(4.0 ns - 2.4 ns) / (5.2 ns - 2.4 ns) = 57 % が導出される。これは（４．５）式での分布RC遅延を用いて導出された t_3 / t_2 =74 % とはあまり一致していない。16-kb SRAM の測定結果については次章で詳細に述べるが，実測値として t_3 / t_2 =(4.3 ns - 2.4 ns) / (5.1 ns - 2.4 ns) = 70 % が得られた。この結果は分布RC遅延を用いて導出された t_3 / t_2 =74 %に近く，本16-kb SRAMでの配線遅延は分布定数線路としての取り扱いが必要であると結論できる。

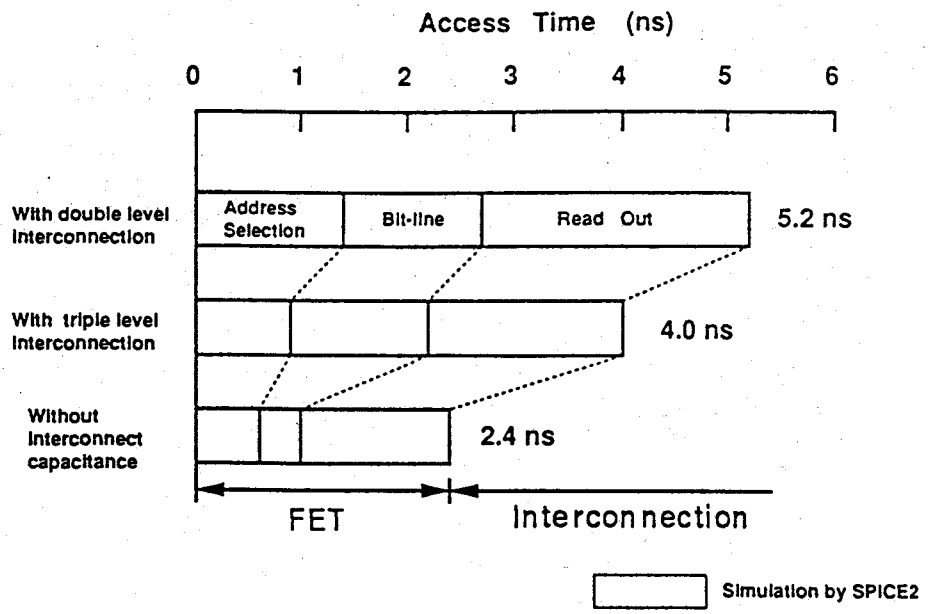


図４—３５　SPICE2による16-kb SRAMのアクセス時間のシミュレーション結果

４．４．３　エアブリッジ化による配線遅延の低減

前節４．３に述べたように本研究でのエアブリッジ配線は，最上層の電源，アース配線に用い，それと下層配線間の寄生容量を層間絶縁膜SiONを有する従来構造に比べて低減できる。また最上層Au配線の抵抗もメッキ厚膜化により低減できる。配線容量，および最上層配線抵抗の低減により，信号配線遅延をどの程度低減し得るかについて，前節４．４．２の桜井の式（４．６）を用い検討した。

図４－３６に示す３層配線構造で，(a)の通常配線と(b)のエアブリッジ配線での配線遅延の相対比を検討する。両構造において，第１層，第２層配線は0.85μm厚のTi / Auスパッタ膜でそれらの最小幅は1.5μmであり，層間絶縁膜SiONは1μm厚である。(a)の通常配線の第３層配線は2μm厚のTi / Auスパッタ膜で，(b)のエアブリッジ配線の第３層配線は4μm厚のAuメッキ膜である。そのエアギャップは2.5μmである。図４－３７にこの電源－信号配線間容量の模式図を示す。両者では電源配線構造のみが異なり，信号配線長，信号配線抵抗，出力端での負荷容量，ドライバーFETは同等とした。このため通常配線（図４－３６(a)，図４－３７(a)），及びエアブリッジ配線（図４－３６(b)，図４－３７(b)）での配線遅延時間，電源－信号配線間容量を各々t_{d1}, t_{d2}，またC_1, C_2とすると，（４．６）式より特に配線抵抗Ro・lが小さく，Cgi / (Co・l)，CgiRs / (Co・l・Ro・l)に比べRs / (Ro・l)が十分大きい時，

$$t_{d1} / t_{d2} \sim C_1 / C_2 \qquad (4.7)$$

となり，両者での配線遅延時間の相対比は単に容量の比に近似される。これは前述のWilhelmの式

（4．2）を用いた場合にも同様の結果になることを確認している。

次に配線容量測定TEG（Test Element Group）による通常配線，エアブリッジ配線における電源－信号配線間容量を評価した。本TEGの構造断面図は図4－36(a), (b)と同じであり，第2層配線は50本のフィンガーからなる櫛形パターンで，フィンガー幅とスペースは各々1.5, 4.5 μ mである。第3層配線は平板形状で完全に第2層配線パターンを覆っている。本容量をYHP社製4194インピーダンス・ゲイン・フェイズアナライザーにより測定周波数1 MHzで測定し，1）平行平板モデル，2）spectral domain法による2次元電磁界full wave analysis [34]による計算結果と比較した。この2次元解析では，第2層配線のフィンガー数を1本から8本に，測定周波数を0.1MHzから1GHzまで変化させた。容量の計算値は測定周波数にはほとんど依存しなかったが，フィンガー数が増えるにつれてカップリング容量の増加により，フィンガー1本当たり6～14 %増加した。これらの結果をまとめて表4－2に示す。平行平板モデルによる計算値は実測値の30 %以下であり，本モデルでは含まれていないフリンジング容量が実測値を占めていることが分かる。これに対し，2次元電磁界解析の計算値ではフリンジング電界の影響が考慮されているので，実測値にほぼ等しい。

表4－2より，両配線構造での配線容量実測値の比は11 %であり，両配線構造での測定結果ではCgi / (Co・l)，CgiRs / (Co・l・Ro・l)に比べRs / (Ro・l)が十分大きいので，（4．7）式から配線遅延時間の相対比も約10 %になると見込まれる。配線遅延時間の短縮がLSIのゲート遅延時間（FET真性遅延，ファンイン，ファンアウト負荷遅延，配線負荷遅延の総和）の短縮にどれほど有効であるかについて，実際に（4．6）式でtdを配線長1 mm当たりで試算すると，通常配線では約170 ps，エアブリッジ配線では20～30 psであり，エアブリッジ化による配線遅延時間の低減量（約150 ps）は本研究での0.7 μ mゲートGaAs DCFLでの単位ゲート当たり標準負荷付き遅延時間より大きい。同ゲート長でのFI = FO = 2の負荷付きDCFLゲート遅延は次章の表5－2に示す結果では高々100 ps程度であり，信号配線寄生容量はほとんどが信号配線－最上層電源，アース配線間容量であるので各ゲート間の配線長が1 mm程度あればLSIのゲート遅延時間は，エアブリッジ配線で通常配線の約40 %（= (100+20) / (100+170)）に改善し得ると予測される。

エアブリッジ配線を用いたゲートアレイ，4-kb SRAMの測定結果について次章で詳細に述べるが，ゲートアレイに搭載したリング発振器の測定結果より，1）2層配線に比べて，3層配線化によるエアブリッジ配線での配線遅延の増加分は，通常3層配線での配線遅延の増加分の約20 %であること，2）エアブリッジ配線での配線遅延は，通常配線での配線遅延の約50 %であること，3）これによりエアブリッジ配線でのLSIのゲート遅延時間は，通常配線でのLSIのゲート遅延時間の約60 %になることが判明した。これらの実測結果は上述の検討結果にほぼ近いものと考えられる。またエアブリッジ配線を用いた4-kb SRAMのアクセス時間は通常配線を用いたものの約80 %に短縮された。

以上により，最上層電源，アース配線としてのエアブリッジ配線の適用は，信号配線遅延時間の大幅な低減をもたらすため，GaAs LSI の高速化に対して非常に有効であると結論できる。

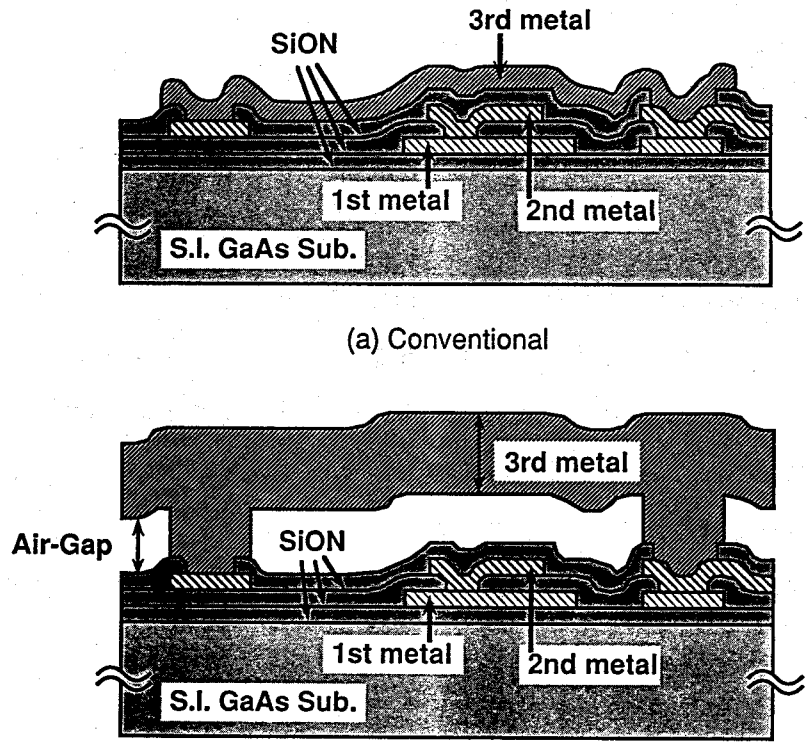


図４—３６　３層配線構造の断面図　(a) 通常配線，(b) エアブリッジ配線

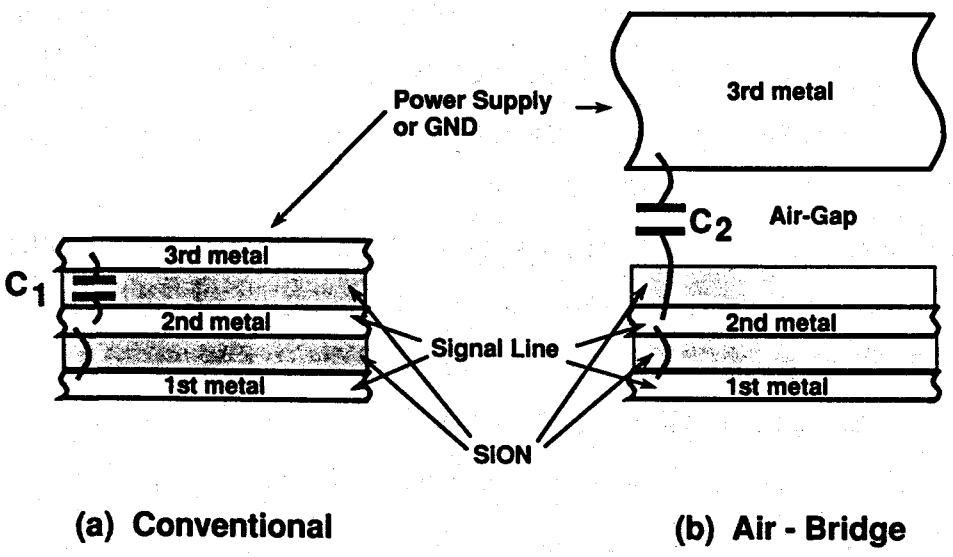


図４—３７　電源—信号配線間容量の模式図　(a) 通常配線，(b) エアブリッジ配線

表4—2　第2層—第3層配線間容量の実測値とシミュレーション値

Structure	Measured (fF/mm)	Simulated (fF/mm)	
		Parallel Plate	2D - Analysis
Conventional	189	66	140
Air - Bridged	20	5	31
A.B. / Conv.	0.11	0.08	0.22

4．5　結言

本章ではGaAs LSI 用配線技術として，Au系多層配線プロセス技術を構成するAu配線形成技術，層間絶縁膜形成技術，コンタクトホール形成技術，及び本プロセスによる多層配線プロセスフロー，Auヒロックの発生について検討した。さらに，Auエアブリッジ配線プロセス技術，そしてGaAs LSI 動作速度と配線遅延の関係について検討を行い，以下の結果を得た。

1）Ar^+ イオンを用いたイオンミリング法によるAu配線パターン加工においては，イオンミリングレートにイオン入射角度依存性があるため，イオンミリングレートが最大になる入射角度に対してfacetが現われるが，ウエハ面に対してイオンビームを垂直に照射した場合，レジスト端では垂直方向から60度傾いてfacetが形成されてエッチングが進み，そのレジストの後退により，下地のAuは最終的に三角形状となることを示した。これを回避するために３０度斜めからイオンビームを照射することにより，上述のレジスト端facetをウエハ表面に対し垂直にしてレジスト形状を矩形化し，それを反映させて下地Auの加工形状も矩形状にできることを確認した。この時，垂直となったレジスト端facetはレジストの中で最もエッチングレートが高くパターン細りが懸念されるが，Auとレジストのミリングレートの差によりパターン細りは約0.1μmに留まり，最小仕上がり寸法0.7μmまでの矩形状Au配線パターンの加工が可能となった。

2）上記の斜めからのイオンビーム照射により，レジスト側壁，あるいはAu加工パターン側壁に再付着するAuがエッチングされるために，垂直イオンビーム照射時に発生するAu加工パターン幅の太り，パターン端での突起物発生は回避できることを確認した。

3）層間絶縁膜SiONをプラズマCVD法で形成すると，ステップカバレージが良好なために，下地パターンを反映して段差が発生するが，SOG（Spin On Glass）膜塗布後，段差部以外のSOG膜をイオンミリングで除去し，かつ平坦化レジストOMR-85を用いてエッチバックすることにより，前記の段

差はほぼ完全に平坦化できることを示した。尚，GaAs配線プロセスではAuGe-Niからなるオーミック電極を劣化させないため，約400℃以下の低温プロセスにする必要があるが，本平坦化プロセスは約400℃以下で十分行える特長を有している。

4）$CHF_3 + O_2$ ガスを用いたカソードカップリングのRIEにより層間絶縁膜SiONに異方性の高い急峻な加工形状を有するコンタクトホールを形成できることを示した。カソード電極がAlの場合，コンタクトホール内に柱状のエッチング反応生成物が生じるが，これはAES分析の結果，最表層をCF_x ポリマーで覆われたSiONFであることを確認した。この生成物はSF_6, NF_3 ガスを用いたRIEでは見られないため，SiON表面のCF_x ポリマー発生が関与していると考えられるが，Alカソード電極をテフロン，あるいはSiで被覆した場合発生しないのでAlのフッ化物，酸化物，あるいはAlに含まれる重金属不純物のフッ化物，酸化物がCF_x ポリマー形成の核となり，以後CF_x ポリマーに包まれる形で柱状のSiONFが残留するものと推定された。この反応生成物は，最表面のCF_x ポリマーを O_2 プラズマ処理で，内側のSiONFをHF水溶液のエッチングで除去することができる。

5）下地に段差を有するAu配線パターン上にAuヒロックが発生することを明らかにした。このヒロックは，上層のSiON成膜温度の増加と共に増えるが，その発生メカニズムとして，GaAs基板上に形成されたAuスパッタ膜が昇温プロセスにより圧縮応力を受け，それを緩和するためにAuが自己拡散を起こしてAu表面にヒロックを形成するというモデルが考えられる。Auヒロックが下地に段差を有する部分に集中して多く観察されるのはこの部分に応力が集中しているためと言え，上述のヒロック密度と熱処理温度の関係からヒロック発生の活性化エネルギーは1.50 eVであったが，これはAuバルク中での自己拡散の活性化エネルギー1.81 eVより小さく，本ヒロック中に見られるgrain boundaryを介した拡散であると推定された。SiON成膜温度を300℃から250℃に低下すると，ヒロック密度は前者での6％に低減し，これにより16-kb SRAMの層間リーク不良発生頻度も大幅に低減することができた。

6）メタルポスト用下層レジスト，エアブリッジ配線用上層レジストからなる2層レジストプロセスにより，メタルポスト高さ2.5μm，エアブリッジ膜厚 4.0μm のAuメッキエアブリッジ構造で，Auメッキ膜の自重によるたわみの無い状態で，メタルポスト間スパン長 500μm の長スパンAuエアブリッジ配線が形成できることを確認した。

7）2層，3層配線両構造の16-kb SRAMでの配線遅延時間を，半絶縁性GaAs基板容量の影響は無視し，層間配線容量の効果を考慮して分布RC遅延モデルであるWilhelm，あるいは桜井の式で見積った結果，2層配線のSRAMに対する3層配線のSRAMのアクセス時間の中での配線遅延の短縮比は74％であり，実測結果である同短縮比70％とほぼ一致することを明らかにした。また2層配線の16-kb SRAMでの配線遅延と3層配線の16-kb SRAMでの配線遅延の相対比74％は，配線容量を集中RC回路として扱うSPICE2シミュレーションによる相対比57％とはかなり異なるが，16-kb SRAMの実測結果

70 %は分布RC遅延モデルでの計算値に近いため，本16-kb SRAM 程度の集積度を有するLSI では，配線遅延は分布RC遅延として扱う必要があることが明らかになった。

8）Auエアブリッジ配線を最上層電源，アース配線として，LSI に初めて適用した。その結果，下層信号配線—最上層エアブリッジ配線間容量は，エアブリッジでない従来の層間絶縁膜SiONを有する構造に比べて約 10 %に，信号配線遅延時間は約50 %に，0.7 μ mゲートBPLDD - FETを用いたDCFLゲートの標準負荷付き遅延時間（FET真性遅延，ファンイン，ファンアウト負荷遅延，配線負荷遅延の総和：ファンイン数＝ファンアウト数＝2，Au 負荷配線長 2 mm）は約60 %に低下した。これらの実測結果に対する 7）の分布RC遅延モデル（桜井の式）での予測値はおおよそ一致した。

参考文献

[1] E. Philofsky "Design Limit when using Gold-Aluminum Bond", in *10th Annual Proc. of Intl. Reliability Physics Symp.*, 1972, pp.114.

[2] N. Kato, M. Hirayama, M. Asai, K. Matsuoka, K. Yamasaki, and T. Ogino, "A high density GaAs static RAM process using MASFET", in *IEDM Tech. Dig.*, Dec. 1985, pp.90-93.

[3] N. Tanino, S. Takano, M. Noda, H. Makino, K. Sumitani, H. Nakano, K. Nishitani, and S. Kayano, "A 2.5 ns / 200 mW GaAs 4Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1986, pp.101-104.

[4] R. C. Kezer, K. R. Elliott, L. G. Salmon, A. M. Cappon, E. V. Korpinen, E. R. Walton, S. J. Ross, and C. T. Tsen, "A 7K GaAs Configurable Cluster Gate Array", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.193-196.

[5] C. J. Anderson, J. H. Magerlein, G. J. Scott, S. Bermon, A. Callegari, J. D. Feder, J. H. Greiner, P. D. Hoh, H. J. Hovel, A. T. S. Pomerence, P. Roche, and M. Thomas, "A GaAs MESFET 16 x 16 Crosspoint Switch at 1700 Mbis/sec", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.91-94.

[6] 長谷川，関「超高速LSI / VLSI とその基本素子特性に関する一考察」電子情報通信学会研究会資料 ED84-127, 1984, pp.61-68.

[7] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.

[8] M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo,"A High-Speed 16-kb GaAs SRAM of Less than 5 ns Using Triple-Level Metal Interconnection", *IEEE Trans. Electron Devices*, vol. ED-39, No. 3, Mar. 1992, pp.494-499.

[9] M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A triple-level interconnection technology for high speed 16Kb GaAs SRAM", in *20th Conf. on Solid State Devices and Materials (Sendai, Japan)*, 1990, pp.71-74.

[10] H. Kawasaki, M. Wada, Y. Hida, C. Takano, and J. Kasahara, "10K Gate GaAs JFET Sea of Gate", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.135-138.

[11] G. Lee, B. Donckels, A. Grey, and I. Deyhimy, "A High Density GaAs Gate Array Architecture", in CICC Tech. Dig., 1991, pp.14.7.1-14.7.4.

[12] S. Notomi, Y. Watanabe, M. Kosugi, I. Hanyu, M. Suzuki, T. Mimura, and M. Abe, "A 45-K Gate HEMT Array with 35-ps DCFL and 50-ps BDCFL Gates", *IEEE J. Solid-State Ciruits*, vol. SC-26, no. 11, Nov. 1991, pp.1621-1625.

[13] T. Inoue, K. Tomita, Y. Kitaura, T. Terada, and N. Uchidomi, "A Rh/Au/Rh rigid air-bridge interconnection technique for ultra-high speed GaAs LSIs", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.253-256.

[14] M. Noda, H. Matsuoka, N. Higashisaka, M. Shimada, H. Makino, S. Matsue, Y. Mitsui, K. Nishitani, and A. Tada, "An Application of Air-Bridge Metal Interconnections to High Speed GaAs LSI's", *IEICE Trans. Electron.*, vol. E75-C, No. 10, Oct. 1992, pp.1146-1153.

[15] 大森　正道　「超高速化合物半導体デバイス」培風館, 1986.

[16] I. W. Rangelow, "Computer simulation of line edge profiles undergoing ion bombardment", *J. Vac. Sci. Technol.*, vol. A1, no. 2, Apr./Jun. 1983, pp.410-414.

[17] 今井，生駒，佐藤，藤本「化合物半導体デバイス（II）」工業調査会, 1984.

[18] H. Tsuge, S. Esho, and H. Gokan, "Simulation of ion-beam etched pattern profiles", *J. Vac. Sci. Technol.*, vol. 19, no. 2, Jul./Aug. 1981, pp.221-224.

[19] Y. Yuba, T. Ishida, K. Gamo, and Namba, "Characterization of ion beam etching induced defects in GaAs", *J. Vac. Sci. Technol.*, vol. B6, no. 1, Jan./Feb. 1988, pp.253-256.

[20] 菅野　卓雄「半導体プラズマプロセス技術」産業図書, 1985.

[21] Y. Ozaki and K. Hirata, *J. Vac. Sci. Technol.*, vol. 21, 1982, pp.61.

[22] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.

[23] S. Vaidya, D. B. Fraser, and A. K. Sinha, "Electromigration Resistance of Fine Line Al", in *Proc. 18th Reliability Physics Symp.*, New York, 1980, p.165.

[24] K. Hinode, I. Asano, and Y. Homma, "Void formation mechanism in VLSI aluminum metallization", *IEEE Trans. Electron Devices*, vol. ED-36, No. 6, Jun. 1989, pp.1050-1055.

[25] J. Yue, W. Funsten, and R. Taylor, "Stress induced voids in aluminum interconnects during IC processing", in *23th Annual Proc. of Intl. Reliability Physics Symp.*, 1985, pp.126-134.

[26] S. Suzuki, A. Shintani, and H. Nakashima, "Temperature dependence of the stress in PSG/Al-Si structures", *Thin Solid Films*, vol. 82, 1981, pp.143-150.

[27] C. V. Smithells, *Metal Reference Book*, vol. 2, 4th ed. Stoneham, MA: Butterworths, 1967.

[28] H. U. Schreiber, "Activation energies for the different electromigration mechanisms in aluminum", *Solid -State Electron.* vol. 24, 1981, pp.583-589.

[29] G. D. McCormack, A. G. Rode, and E. W. Strid, "A GaAs MSI 8-bit Multiplexer and Demultiplexer", in *GaAs IC Symp. Tech. Dig.*, 1982, pp.25-28.

[30] T. Inoue, K. Tomita, Y. Kitaura, T. Terada, and N. Uchidomi, "A Rh/Au/Rh Rigid Air-bridge Interconnection Technique for Ultra-high Speed GaAs LSIs", in *IEICE Technical Report*, vol. ED90-381, 1991.

[31] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.

[32] W. Wilhelm, "Propagation Delays of Interconnect Lines in Large-Scale Integrated Circuits", *Simens*

Research and Development Reports, vol. BD-15, no. 2, 1986, pp.60-63.

[33] T. Sakurai, "Approximation of wiring delay in MOSFET LSI", *IEEE J. Solid-State Ciruits*, vol. SC-18, no. 8, Aug. 1983, pp.418-426.

[34] R. H. Janzen, "The Spectral-Domain Approach for Microwave Integrated Circuits", *IEEE Trans. Microwave Theory Tech.*, vol. 33, no. 10, Oct. 1985, pp.1043-1056.

第５章　GaAs LSI設計技術とSRAM，マルチプレクサー／デマルチプレクサーへの応用

５．１　緒言

GaAs MESFET LSI 設計技術のSi に対する独自性は，まずMESFET による基本論理回路を用いる点にある。GaAs MESFET 用基本論理回路として，開発当初より種々の回路が考案されてきた。それらをまとめて表５－１に示す。このうち特にDCFL（Direct - Coupled FET Logic）はSi MOSFET によるNMOS 回路と同等であり，他の基本ゲート回路と比べてゲート当りの素子数は２個と少なく高集積化，低消費電力化に向いている [1]。LSI の仕様はシステム側から消費電力を限定される場合がほとんどであるため現時点では，DCFL がLSI, VLSI 用基本ゲートの主流となっている。但し1000 ゲート程度以下のLSI で消費電力よりも特に超高速動作を要求される場合は，Si バイポーラTr. を用いたECL 回路と同等のSCFL（Source - Coupled FET Logic）が，両相駆動であるためDCFL に比べて駆動力が大きい点，複合ゲートを構成しやすく総合ゲート数を少なくできる点で有利である [2]。

これらの基本ゲートを用いて実際に回路設計する際，GaAs MESFET ではSi MOSFET に比べて基板リーク電流が約３桁大きいため例えばゲートオフ時の消費電流を無視できないこと [3]，また特にDCFL を用いる場合，論理 "High" レベルの電圧V_Hが次段入力ゲートのϕ_Bに相当する約0.7 V にクランプされてしまうために論理振幅が約0.6 V と小さいこと，基板リーク電流，Φ_B，Vth 等に温度依存性があること [4]，論理振幅が小さいのでGaAs MESFET の比較的大きいVth ばらつきの影響をより大きく受けてしまうこと等の重大な問題が存在する。よって具体的なLSI 設計の中でそれらに対策を講じていく必要がある。またメモリLSI の場合，十分なソフトエラー耐性を確保するためにメモリセル設計，あるいは素子構造を検討しなくてはならない。

本章では，まずGaAs LSI 用基本論理回路としてのDCFLとSCFLの比較結果，負荷付きリング発振器による動作速度，消費電力からのDCFL ゲートの負荷駆動能力の検討結果，さらには具体的な回路として，メモリ　LSI では 4-kb SRAM，また16-kb SRAM，ロジックLSIでは 2.5 Gb/s 16:1 マルチプレクサー／デマルチプレクサーの回路設計，試作・評価結果について述べる。

表５－１　GaAs MESFET 用基本論理回路

基本回路形式		使用形態	
DCFL	(Direct Coupled FET Logic)	E/D, E/R-MES	エンハンスメント形
LPFL	(Low Pinchoff-voltage FET Logic)	E/D, E/R-MES	（ノーマリオフまたは
LSCFL	(Low-power Source Coupled FET Logic)	E/R-MES	弱ノーマリオン形）
BFL	(Buffered FET Logic)	D-MES	
SDFL	(Schottcky Diode FET Logic)	D-MES	
SCFL	(Source Coupled FET Logic)	D/R-MES	ディプリーション形
CCL	(Capacitor Coupled FET Logic)	D-MES	
CDFL	(Capacitor Diode FET Logic)	D-MES	

5．2　GaAs LSI 用基本論理回路

5．2．1　DCFL（Direct-Coupled FET Logic）

DCFL はSi MOSFETでのNMOS回路と同様の ratio 回路である。図５—１にその回路構成を示す。本図はインバータNOR 回路で，E（エンハンスメント）型 FETをスイッチング素子とし，D（デプレッション）型 FETまたは抵抗を負荷素子とした２種類の素子から構成される。電源は正の単一電源 0.6～2.0 V，スイッチングFETのVth は 0～0.3 V，出力は電源電圧と上述のE / D - FET の抵抗比で決まる正電圧になるはずであるが，この出力は直接次段のDCFL ゲートに接続されるためにそのショットキー特性により約 0.7 Vでクランプされる。この点がSi のE/D NMOS ゲートでV_Hが電源電圧の約 5 Vまで引き上げられるのと異なる。通常DCFL での論理 "Low" V_L は約 0.1 Vに設定されるので，DCFL での論理振幅は約 0.6 Vになり，Si E/D NMOS に比べ約１桁近く小さい。この小さい論理振幅はVthばらつきの影響を受けやすいという大きな問題があるものの，高速動作の点では有利である。またこのDCFL は使用素子数が少なく，同時に消費電力も通常 10 μW～1 mW / gate と他の基本論理回路に比べて１桁以上小さいのでLSI, VLSI 用基本ゲートに適しており[5]，現在まで報告されているGaAs LSI の多くはDCFL 構成である [2],[6],[7]。

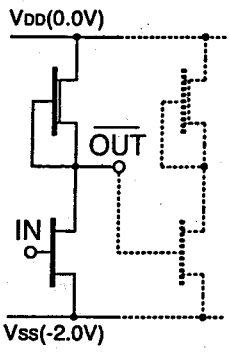


図５—１　DCFL 回路

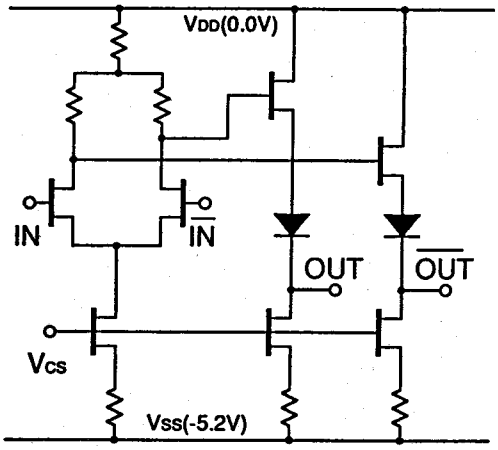


図５—２　SCFL 回路

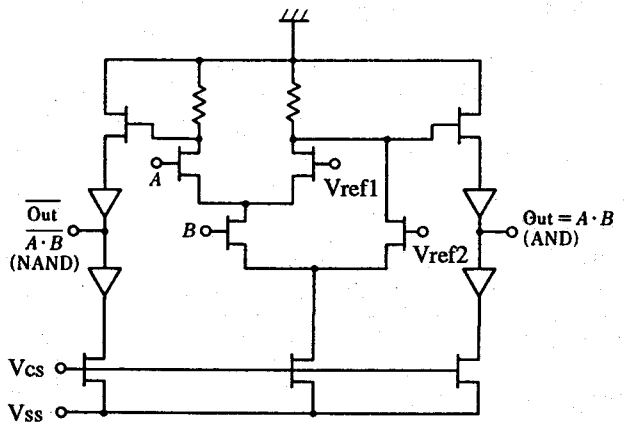


図５—３　SCFL における縦積みゲート論理

5．2．2　SCFL（Source－Coupled FET Logic）

これに対して，SCFL はSi バイポーラTr. によるECL（Emitter - Coupled Logic）回路と同様の構成であり，電流切換え型回路である。図5—2にその回路構成を示すが，1つの差動増幅器と2つのダイオードレベルシフター付きソースフォロワバッファからなり，素子種，素子数が多く，常にどちらかのスイッチングFETはオンしているので消費電力が大きい。しかし基本的に相補入出力を持ち，ソースフォロワ出力なので負荷駆動性が高いこと，差動増幅器なのでVth の絶対値はあまり問題ではなくその変動に対してDCFLより強いこと，さらに大きな利点として図5—3に示す様な縦積みゲート論理を構成できるのでAND-NAND 等の複合ゲートが容易に得られ，少ないゲート数でフリップフロップ，分周器等の基本論理ブロックを組むことができるため，通常NORゲートしか組めないDCFL に比べて総ゲート数を低減でき，より高速動作が可能となる。但し単位ゲートを構成する素子数が多く，かつ相補入出力を有するので配線は複雑になりその面積も大きくなる [2]。

5．2．3　DCFLゲートの負荷駆動特性

GaAs LSI 用基本論理回路としてDCFL とSCFL の特徴を前節に述べたが，本研究では高速動作でかつ消費電力の上限が設定されたSRAM，マルチプレクサー／デマルチプレクサーの開発を行なうために，DCFL を採用することにした。DCFL は高速かつ低消費電力であるものの，前節で述べた様にMESFETのE / Dインバータ出力が直接次段を駆動する構成なので負荷駆動力が小さい。DCFL ゲートの負荷駆動特性は負荷付きリング発振器動作時のゲート遅延時間，その時のゲート消費電力から評価した。

DCFL ゲートはE - FET, D - FET共 0.7 μ mゲートBPLDD - FET を用い，そのサイズ（ゲート幅）は各々20 μ m, 10 μ mとした。負荷付きリング発振器は 負荷無しリング発振器と共に図5－4に示す2.1-kゲートのDCFLゲートアレイ上に構成した。本ゲートアレイのチップフロアプラン，基本セルを図5－5に示す。基本セルは 2NOR である。本検討では，前章4．4．3のエアブリッジ配線適用による配線遅延低減の検討を同時に行った。負荷としてファンイン負荷（FI = 2），ファンアウト負荷（FO = 2），Au 信号配線負荷（配線長　2 mm）の各々を付加したリング発振器を別個に作製した。リング発振器は2層配線までで十分構成できるので，第3層電源用エアブリッジ配線による配線遅延は2層配線でリング発振器を作製，評価した後，その上部に2層配線での電源部に接続したエアブリッジ配線を形成して再評価した。同時に第3層電源用通常配線による配線遅延についても評価した。ゲートアレイ上に構成した第3層電源用エアブリッジ配線を図5－6に示す。交互に配置された電源線，グランド線，及びメタルポストが見られる。表5－2に上述の負荷付きリング発振器の測定結果を示す。tdi は真性ゲート遅延，K_{FI} は単位ファンイン遅延，K_{FO} は単位ファンアウト遅延，K_{Au} は Au 配線

1 mm当たりの遅延，Total は各遅延の総和（但しAu 配線は2 mmとして計算）を表す。本結果より，出力側のファンアウト遅延，配線遅延は真性ゲート遅延とほぼ同等であり，先に予想したDCFL ゲートの負荷駆動力不足が現われている。よってファンアウト数，及び前章で検討した配線遅延の影響を十分考慮した上で実際のLSI 設計を行う必要がある。エアブリッジ化による配線遅延低減は，前章４．４．３にて既に述べたように２層配線のK_{Au}と３層配線のK_{Au}の差が３層電源配線と下層信号配線間クロスオーバー容量による配線遅延に対応するが，３層電源配線がエアブリッジ配線の場合，その配線遅延は３層電源配線が通常配線の場合の約20 %に改善されている。これにより３層電源配線がエアブリッジ配線の場合の配線遅延K_{Au}は，３層電源配線が通常配線の場合の配線遅延K_{Au}に比べ約50 %に低減され，さらに上記の負荷付きゲート遅延（FI = FO = 2, Au 配線長 2 mm）においては約60 %低減されることが分かる。このように負荷駆動力が高くないDCFLでLSIを構成する際には，エアブリッジ配線は極めて有効であると言える。尚，ゲート消費電力はどの配線構造においても高々2 mW / gate 以下であり，SCFL での通常値約20 mW / gate に比べ十分小さい。

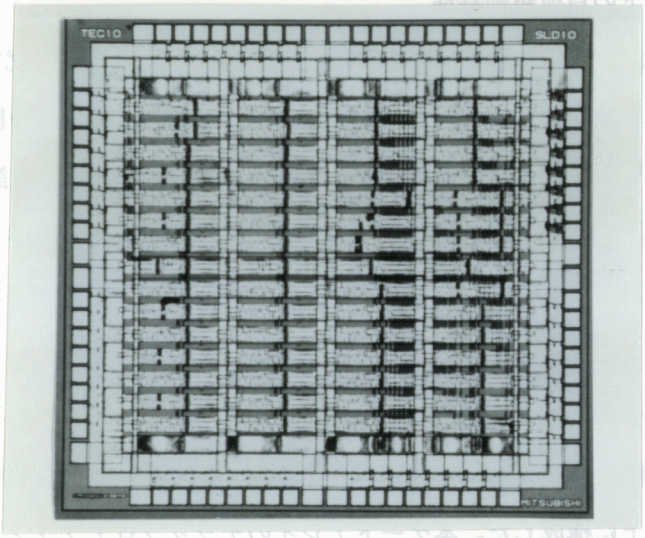


図５—４
2.1-k ゲートDCFL
ゲートアレイ

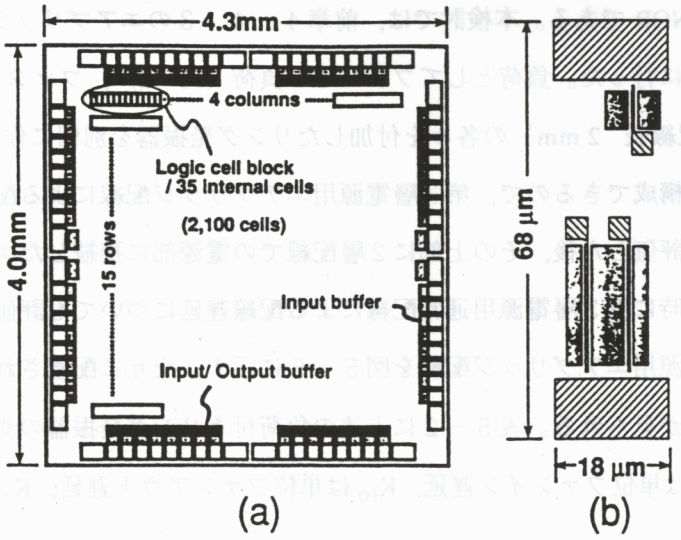


図５—５
本ゲートアレイの
チップフロアプラン (a),
基本セル (b)

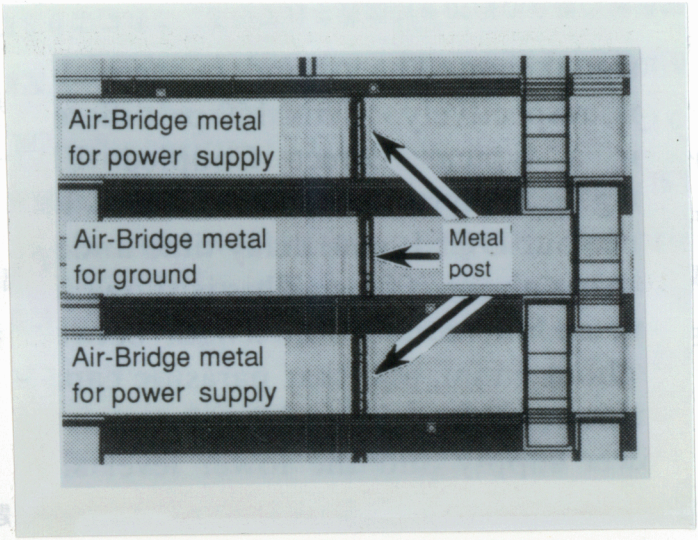


図５—６　ゲートアレイ上に構成した第３層電源用エアブリッジ配線

No.	Structure	tdi (ps)	K_{FI} (ps)	K_{FO} (ps)	K_{Au} (ps)	Total (ps)
1	Double	27	8	16	23	98
2	Triple (conventional)	30	9	20	59	177
3	Triple (Air-Bridged)	29	8	18	29	110
Difference	2—1	3	1	4	36	79
	3—1	2	0	3	6	12

表５—２　負荷付きリング発振器の測定結果

５．３　メモリＬＳＩ（SRAM）設計技術

従来より高速GaAs SRAMは大規模シミュレーションや大容量高速画像処理等を実現できる科学技術計算用スーパーコンピュータへの応用が期待されてきており[7], [8]，現在では既に4-kb SRAMまでの製品化アナウンスがなされるに至っている[9]。今までに数多くのGaAs SRAMに関する報告が高速動作の観点でなされているが[10], [11]，実使用時の高温状態での全ビットにおける動作マージンについての検討はほとんどなされていなかった。GaAs MESFET固有の高速性を実証するためにチップ内の最高速ビット動作を確認することも大事であるが，実用上広い温度範囲で十分な動作マージンを持ってGaAs SRAM中の全てのビットが動作することがより重要である。

E/D - DCFLで構成されるGaAs SRAMでは，前節で述べた様に信号電圧振幅がSi MOSFETに比べ約1桁小さくMESFET特性の温度依存性により高温動作時に広い動作マージンを維持するのは難しい。そこで温度依存性を小さくする回路技術が必要となる。

５．３．１　高温動作時のGaAs MESFET特性劣化に伴う回路動作上の問題点

温度上昇に伴いGaAs MESFET特性は変動するが[12], [13]，特にVthは約1 mV/deg，K値は約0.15 %/deg温度増加により低下する。またサブスレッショルドリーク電流やゲートからソース，ドレインへ流れるショットキー電流も，0℃から100℃への温度上昇で，各々約3桁，また100 %以上増大する。これらのFETデバイスパラメータの変動は当然SRAMとしての回路動作に影響を及ぼす。この高温時にGaAs SRAMに生じる2つの主な問題を次に述べる。

５．３．１．１　DCFLインバータ特性の劣化

図５―７に0, 25, 50, 75, 100℃におけるE / D - DCFL構成のインバータ特性を示す。温度上昇に伴い，インバータ出力の"High" レベル，"Low" レベルは各々低下，上昇し，また"High" から"Low" へ遷移する領域は広くなる。つまり信号電圧振幅は低下し，"High" レベルから"Low" レベルへの遷移傾斜は緩くなる。出力の"High" レベルの低下はドライバーE - FETでのドレイン―ソース間リーク，及び次段のドライバーE - FETでのゲート―ソース間ショットキー電流の増加により生じる。出力の"Low" レベルの上昇はドライバーE - FETでのゲート―ソース，ドレイン間ショットキー電流の増加による。"High" から"Low" へ遷移する領域が広がるのは，ドライバーE - FETのVthが低下するので"High"レベルが早く低下し始め，K値も低下するのでドライバーE - FETがON時の等価ドレイン―ソース間抵抗が増加するためである。

信号電圧振幅と"High" レベルから"Low" レベルへの遷移傾斜の低下によりノイズマージンは減少する。特に出力の"Low" レベルの上昇は次段ドライバーE - FETでのドレイン―ソース間リークを増加させるので，次段出力の"High" レベルはさらに低下する。

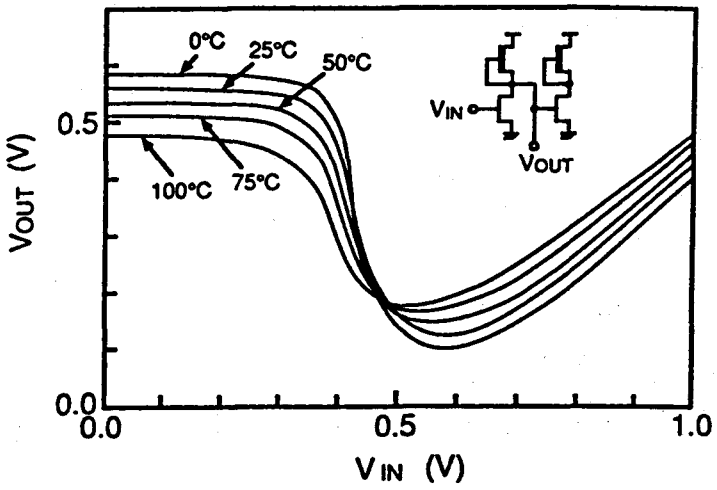


図５—７　E/D - DCFL インバータ特性　（パラメータ：温度）

５．３．１．２　リーク電流の増加によるビットライン電位，メモリセル安定性の低下

もう一つの高温動作時の重大な問題は，図５—８に示すビット線電位とメモリセルの安定性がメモリセルのアクセスTr. でのリーク電流に強く影響されることである。100℃程度の高温時には，GaAs MESFET のサブスレッショルドリーク電流はSi MOSFET より５～６桁大きいので，このリーク電流は容易に回路動作に影響を及ぼす。メモリ回路の中ではメモリセルとビット線が最も微小な電流で動作するためにそのようなリーク電流の影響を特に強く受けやすい。図５—９にメモリセルを通るリーク電流の経路を示す。図においてワード線レベルは"Low"（0～0.1 V）でメモリセルは非選択状態にある。メモリセルは左側の蓄積ノードに"Low" データを，右側の蓄積ノードに"High" データを保持している。リーク電流は図中矢印で示す"Low" ノードに接続しているアクセスTr. を介する経路を流れることになる。その理由は，"High" ノードのレベルは約 0.6 Vでビット線電位は "Low" を 0.4 V，"High" を 0.6 V に設計しているため，"High" ノードに接続しているアクセスTr. はゲート—ドレイン，ソース間が逆バイアスされていることになりリーク電流は十分小さくなるからである。リーク電流は上述の "Low" ノードでのみ流れるので，ビット線当たりのリーク電流の総和は個々のアクセスTr. でのリーク電流だけでなくメモリセル数，各カラムでの蓄積データの組み合わせにも依存する。図５－１０に Vth = 0.15 V のアクセスTr. におけるドレイン－ソース間リーク電流の温度依存性を示す。測定条件は Vds = 0.6 V, Vgs = - 0.2, 0, 0.1 V である。リーク電流は，温度上昇，あるいはゲート電圧の増加に伴い急速に増加することが分かる。Vgs はVth に対して十分低いことが有効である。

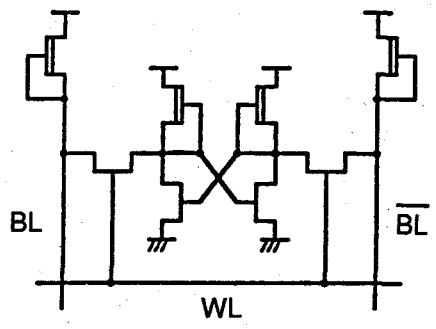


図５—８　ビット線，ワード線，メモリセルの接続状態

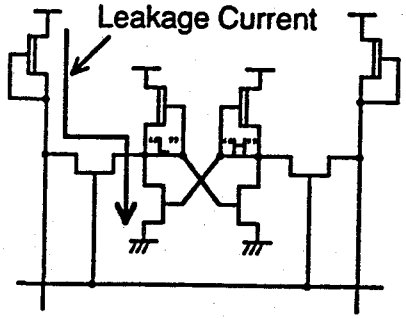


図５—９　メモリセルを通るリーク電流の経路

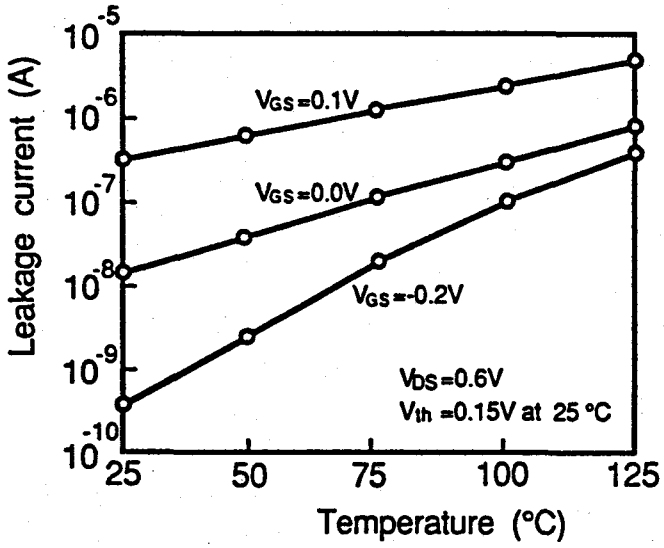


図５—１０　アクセスTr.におけるドレイン—ソース間リーク電流の温度依存性

ビット線とメモリセルに対するリーク電流の影響を解析するために，SPICE2 を用い次のシミュレーションを行った。図５－１１にシミュレーションに用いた回路ダイアグラムを示す。この回路には互いに反対のデータを蓄積するメモリセル（Cell 1 とCell 2），ビット線負荷FET（Q1, Q2），ビット線容量 C_B，同じカラムに接続される他のメモリセルのアクセスTr.でのリーク電流の総和を表す電流源 I_L がある。この図での状況は，他の全てのメモリセルが "BL"側で "Low" を，"$\overline{BL}$"側で "High" を保持している場合に相当する。メモリセルを選択するのに逆相の２信号（WL1, WL2）が与えられる。図５－１２にビット線電位のリーク電流 I_L 依存性を示す。リーク電流 I_L が増加すると，ビット線電位BLは低下する。ビット線信号はビット線電位に敏感なセンスアンプへの入力信号であり，SRAM のアクセス時間に影響を及ぼす。よってアクセス時間は温度に依存する。さらにビット線でのリーク電流はカラムでの蓄積データの組み合わせに依存するので，アクセス時間は実動作時での種々のデータパターンに依存し，温度が上昇するほど顕著になる。

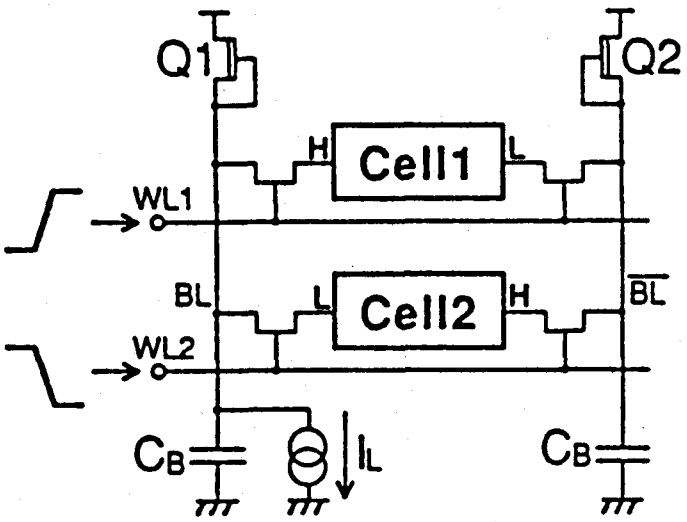


図５—１１　リーク電流シミュレーション用回路ダイアグラム

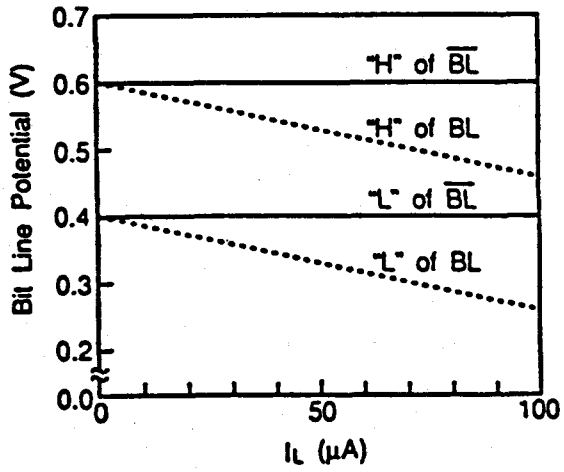


図５—１２　ビット線電位のリーク電流 I_L 依存性

図５－１３にリーク電流 I_L とビット線容量 C_B に対するメモリセルの安定性を示す。図中 "PASS"（正常動作）領域と "FAIL"（不良動作）領域があり，"PASS"領域ではデータはビット線に正常に読み出されているが，"FAIL"領域ではCell 1 が選択されるとすぐに直前のビット線データによりCell 1 の蓄積データが反転してしまうため，読み出し動作は不良になる。リーク電流 I_L またはビット線容量 C_B が増加するとメモリセルは不安定になる。リーク電流 I_L とビット線容量 C_B は共に一つのカラムに接続しているメモリセル数に比例するので，本シミュレーション結果からその数は制限されるべきであることが分かる。図５－１３中の３つの白丸は，ワード線電位が０Vのカラム１個当たりに 16, 32, 64

個のメモリセルがある場合の I_L, C_B を表す。同様に３つの黒丸はワード線電位が 0.1 Vの場合である。ビット線容量はメモリセル当たり 20 fF, 温度は 75℃を仮定している。一つのカラムに64個のメモリセルが接続すると，ワード線電位が 0, 0.1 Vの双方とも対応点は "FAIL"領域にありSRAM は75℃では動作しないことが分かる。メモリセル数を32個に減らすとワード線電位が 0.1 V付近でもメモリセル動作は安定となる。SRAM がE/D - DCFL で構成される時，ワード線の"Low" レベルは約0.1 V で図５－１３での黒丸に対応するので，その動作は75℃で安定になる。メモリセル数をさらに16個まで減らすとワード線電位が0.1 Vを大きく越えても対応点は"PASS"領域を維持すると考えられる。以上の解析により，アクセスTr. でのリーク電流の低減と１カラムでのメモリセル数の最適化が，GaAs SRAM を広い温度領域にわたり動作させるのに必要であると結論できる。

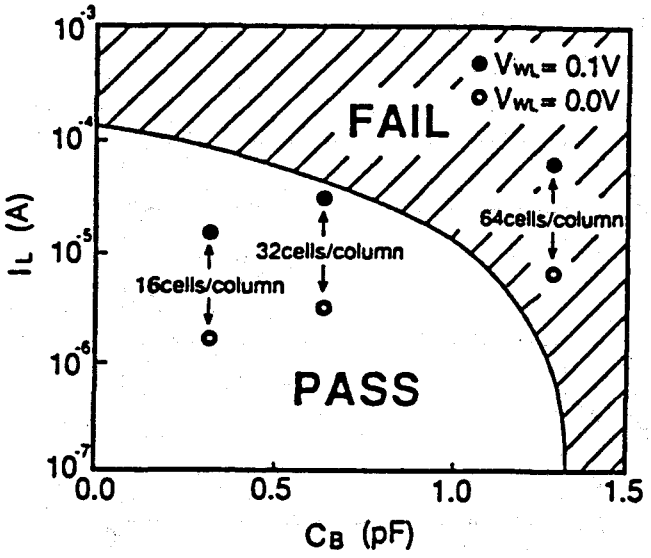


図５—１３　リーク電流 I_L とビット線容量 C_B に
対するメモリセルの安定性

５．３．２　ソフトエラー耐性の問題

ソフトエラーは次の様な現象である。α粒子がメモリセルの"High" レベルを保持するノード付近に入射すると，基板中に多くの電子－正孔対が発生してその大部分の電子が短時間のうちにドリフトと拡散により"High" レベルのノードに吸引される。単一α線入射での蓄積データの反転は，以上のプロセスにより"High" レベルを保持するノードの電位が低下することで生じる [14]。よってGaAs SRAM のソフトエラー耐性を改善するには，α線誘起電流で生じるノード電位の変動を抑制することが必要である。

GaAsはSiに比べその広いバンドギャップにより耐放射線性が優れている[15], [16]が，従来のGaAs SRAMのソフトエラー率はSi SRAMよりも大きかった。その理由はメモリセルの蓄積ノードの"High"レベルがショットキーバリア高さϕ_Bより高くできず，その結果α線誘起電流により蓄積データは容易に反転されてしまうからである。現在までGaAs SRAMのソフトエラー耐性について幾つかの報告があるが[17], [18]，4-kb以上の GaAs SRAMについての具体的な解決策は未だ提示されていない。筆者らの実験によると，特にソフトエラー対策を施さないGaAs 4-kb SRAMのソフトエラー率はSi 1-kb ECL SRAMでの100 FIT（1×10^{-7} error / device・hour）より約2桁高い。通常コンピュータシステムで使用されるRAMでは100 FIT以下のソフトエラー率が要求されるので，GaAs SRAMのソフトエラー耐性の向上が実使用上必須となる。

5．3．3　回路設計での対策

5．3．3．1　ソースフォロア回路の適用

GaAs 4-kb / 16-kb SRAMは基本的に低消費電力，高集積性に適したE/D - DCFLで構成しているが，前述の通りE/D - DCFLでは高温時にインバータ特性が劣化するため高温時の動作マージンを確保するのが困難である。特にトランスファーゲート，あるいは周辺回路での多入力NORゲートでは，寄生ショットキー電流の増加により"Low"レベルが上昇しやすく誤動作が容易に起こる。そこで高温時にも十分な電圧振幅が必要となる箇所にソースフォロワ回路を適用した。図5－14にE/Dインバータとソースフォロワでの出力電圧レベルを示す。ソースフォロワ回路では出力の"Low"レベルがほぼグランドレベルにまで低下し，100℃の高温時でも0.1 V以下を維持している。さらに16-kb SRAMではソースフォロワ回路入力部にクランプダイオードを付加して"High"レベルと消費電力の電源電圧依存性の低減を図った。図5—15に通常のE/D - DCFLとソースフォロワ回路を適用した新回路における信号レベルの電源電圧依存性を示す。動作温度25～100℃，電源電圧1.6～2.0 Vの範囲で，"Low"レベルは0.02～0.08 V，電圧振幅は0.50～0.58 Vと変動は十分抑制されている。16-kb SRAMにおいては100℃で十分な電圧振幅を確保するために電源電圧は1.8 Vに設定した。ソースフォロワ出力での"High"レベルは次段のドライバーFET入力ゲートのショットキーバリア高さで決まるため，E/Dインバータの場合と同等である。このようにソースフォロワ回路の適用により電圧振幅は増加し，回路動作は高温時でも安定となる。

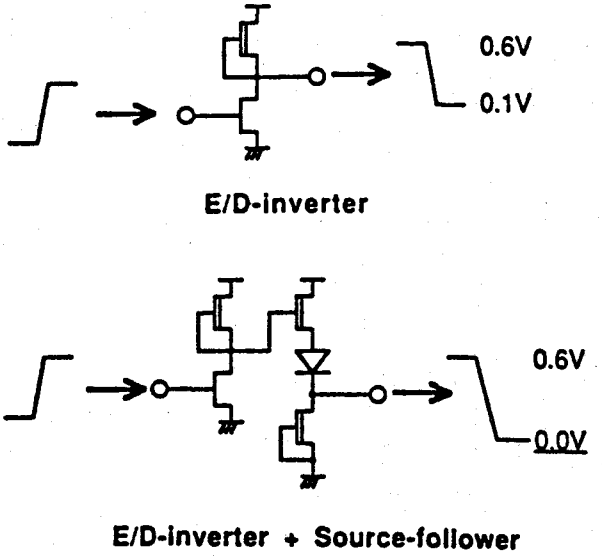


図５—１４　E/D インバータとソースフォロワでの出力電圧レベル

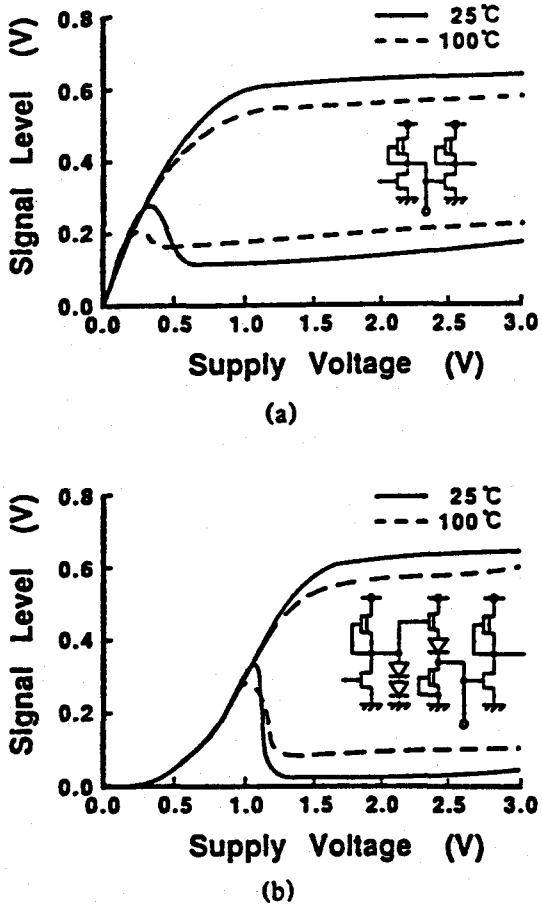


図５—１５　通常のE/D - DCFL (a) とソースフォロワ回路を
適用した場合 (b) の信号レベルの電源電圧依存性

5．3．3．2　メモリセル配置

高温時でのGaAs SRAMの動作を安定化させるために，非選択メモリセルのアクセスTr.でのリーク電流の総和を低減する必要がある。前述のメモリセルの安定性についての解析から，カラム当たりのメモリセル数は 32個以下が望ましく，4-kb SRAMの回路設計では32個，あるいは16個に，16-kb SRAMでは32個に設定した。4-kb SRAMは32ロウ（行）と32カラム（列），あるいは16ロウと64カラムからなる1-kbブロック4個，16-kb SRAMでは32ロウと32カラムからなる1-kbブロック16個から各々構成される。

5．3．3．3　ロウ選択回路

各々のアクセスTr.でのリーク電流を低減するために，次に述べる方法をロウ選択回路に適用する。図5－16にロウ選択回路を示す。図中，エンハンスメント型FET Q1とショットキーダイオードD1はメモリセルのベース線N1とグランド間に接続されている。ロウが選択されない時，ワード線WLとロウ選択信号RSは"Low"レベルにある。Q1はオフ状態にあるのでメモリセルのベース線N1の電位はグランドレベルからダイオードD1のショットキーバリア高さ（0.6 V）の分だけ上昇する。よってメモリセル蓄積ノードの"Low", "High"レベルは各々0.6 V, 1.2 Vに上昇する。ソースフォロワ回路がワード線ドライバーに使われるとWLの電位は0 Vになり，読み出し動作時にビット線（BL, $\overline{\text{BL}}$）電位が0.4～0.6 Vになると これにより非選択メモリセルに接続されるアクセスTr.の入力ゲートは0.4 V以上逆バイアスされ，アクセスTr.でのリーク電流は減少する。これらの方法によりビット線当たりのリーク電流の総和は75℃で1μA以下にすることができた。

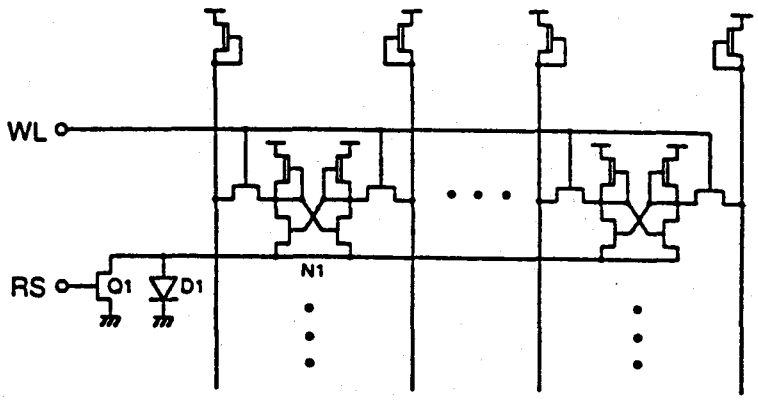


図5—16　ロウ選択回路

5．3．3．4　ソフトエラー耐性を向上したメモリセル

ソフトエラー耐性を向上するために二つの方法を適用した。一つはメモリセル蓄積ノードに対応するFET領域下部にp層を形成してα線入射時に発生する電子のうち"High"レベルノード付近で収集される電子量を低減する方法である[17]。もう一つは蓄積ノードに容量を付加してノード反転臨界電荷量を増加させる方法である[18]。容量付加によりメモリセルサイズは増加するので，容量を蓄積ノードに効果的に付加する新しいセル構造が必要である。付加容量としてはMIMやMIS容量の様に絶縁膜形成工程を増やす必要のないショットキーダイオードを容量として用いる。図５－１７に本研究で新たに考案したメモリセルを示す。二つのショットキーダイオードが各々の蓄積ノードとダイオード線DLの間に接続されている。DLの電位は負荷トランジスタQにより約0.3 Vに調整される。これはダイオードを付加したノードが"High"レベルになるとダイオードが順方向バイアス状態となりノード電位が下がることを回避するために行う。収集電荷に対する本メモリセルの安定性を解析するために，SPICE2を用いた以下のシミュレーションを行った。図５－１８にソフトエラーシミュレーションに用いた回路ダイアグラムを示す。図中，"High"を保持したノードはα線誘起電流Icを表す電流源に接続されている。本シミュレーションでは，Icは時間幅Tw（=1 ns），最大値I_{MAX}を有する三角形状パルスと仮定する。収集電荷はその三角形の面積になる。I_{MAX}が増加する間，ある電流値I'_{MAX}でデータは反転するが，I'_{MAX}はデータ反転を起こす最小電流値なので臨界電荷QcはI'_{MAX}・Tw /2となる。図５－１９に臨界電荷Qcと蓄積ノードの"High"レベルの付加容量ダイオードサイズ依存性を示す。比較データとしてDLがグランドレベルとなっている（負荷Tr. Qが無い）メモリセルでのシミュレーション結果を点線で示す。比較セルに比べて臨界電荷Qcは増加して"High"レベルの低下が抑制されており，上記の新構造セルの蓄積ノードでは有効にダイオード容量が付加されていると言える。新構造セルでのダイオードサイズは臨界電荷Qcとセルサイズとのトレードオフにより決まる。

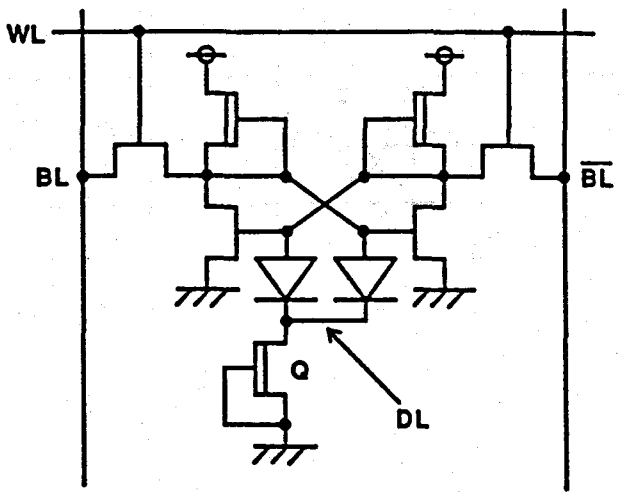


図５—１７　ソフトエラー耐性を向上したメモリセル

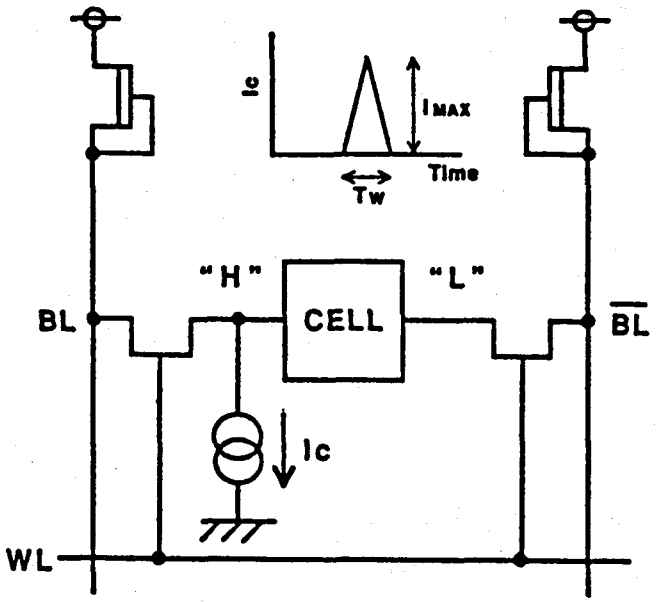


図５—１８　ソフトエラーシミュレーション用回路ダイアグラム

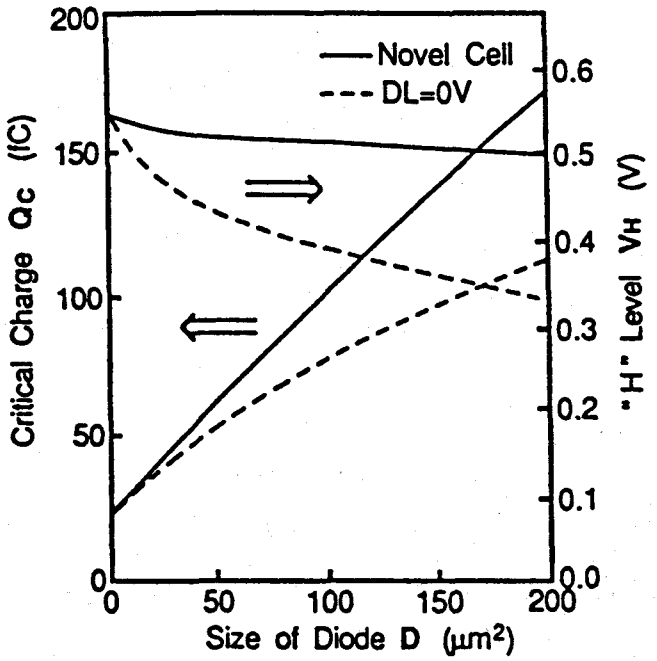


図５—１９　臨界電荷 Qc と蓄積ノードの"High"レベルの付加ダイオードサイズ依存性

５．３．４　SRAMにおける回路構成

図５－２０に4-kb SRAM（カラム当たりのメモリセル数16の場合）における回路構成を示す。各メモリセルを選択する１０個のアドレスバッファがある。それらのうち４個（X_0～X_3）はロウ選択に，６個（Y_0～Y_5）はカラム選択に用いる。カラム当たりのメモリセル数を１６個にすると，1-kbブロック当たりのカラム数は　６４個に増加し，またデータ線（DATA, $\overline{\text{DATA}}$）の負荷容量も増加している。読み出し動作でのデータ線信号の遷移時間を低減するために，各カラムでカラムセンスアンプを設けた。カラムセンスアンプは温度依存性が小さく高い電流駆動力を有するE/Dプッシュプル回路で構成した。また非選択カラムでの電流をカットするために電圧源と各カラムセンスアンプの間にE - FETを挿入して低消費電力化を図った。尚，本4-kb SRAMは1.6 V単一電源動作とした。

図５－２１に16-kb SRAMにおける回路構成を示す。上に述べたカラムセンスアンプ技術以外に，周辺回路はE/Dインバータとクランプされた入力端子を有するソースフォロワ回路を用いた。高温での電源電圧変動を抑制するためにプリデコード法を採用した。デコード回路では，温度上昇に伴い多入力NORゲートでの寄生　ショットキーダイオードにより，"High"レベルは急速に低下するが，プリデコード法の適用により各デコード線に接続されるTr.の総数は減るので上記の"High"レベルでの低下は抑制される。各プリデコーダの最終段は消費電力低減のためにE/Eプッシュプル回路で構成している。読み出し回路では，安定な読み出しデータを伝搬するために新たな方法を用いた。トランスファーゲートにMESFETを用いると，読み出しデータの電圧振幅はトランスファーゲートTr.の寄生ショットキーダイオード電流により低下するので，トランスファーゲートTr.のゲート電位は十分に安定していなければならない。そこで本16-kb SRAMの読み出し回路ではメモリセルのアクセスTr.以外にはトランスファーゲートを使用していない。読み出しデータは基本的にインバータを介して伝搬するので，読み出しデータはその都度増幅されて電圧振幅は一定に維持され，読み出し動作は温度やプロセスによるFET特性の変動の影響をほとんど受けなくなる。

16-kb SRAMでは各入出力I/Oでのメモリセルアレイは128カラムから成り，一つのカラムには32個のメモリセルが接続されている。全てのセルは16個の1-kbブロックに分けられ，各ブロックの内8個は電源Vdd線，残りの8個はグランド線用の第３層配線にその上部を覆われている。このブロックはチェッカーボード状に配列されている。図５－２２に第３層配線がグランドである場合のメモリセルの写真を示す。メモリセルサイズは$36\times23\,\mu m^2$で，メモリセルの各蓄積ノードには各々$100\,\mu m^2$のショットキーダイオードが付加されている。図５－１９から分かるように，蓄積ノードでの容量は従来のセルより約４倍増加している。各DLには負荷Tr.と一つのロウに対し32個のメモリセルが接続されている。

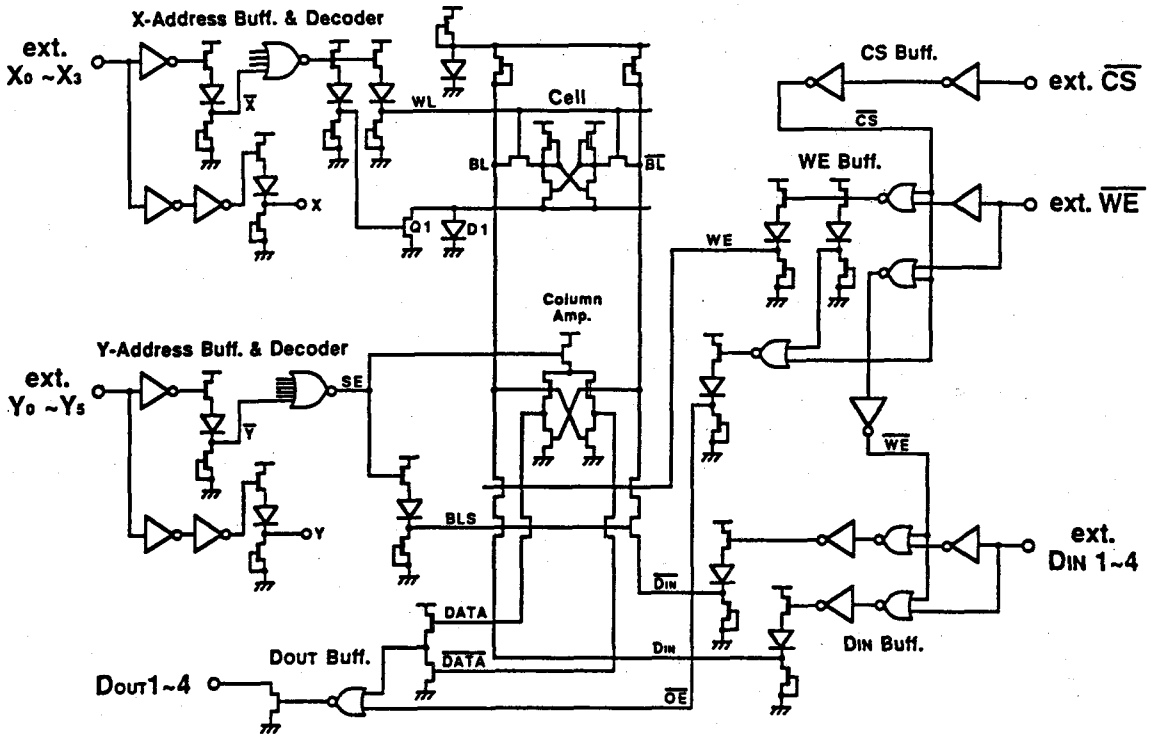


図５—２０　4-kb SRAM の回路構成

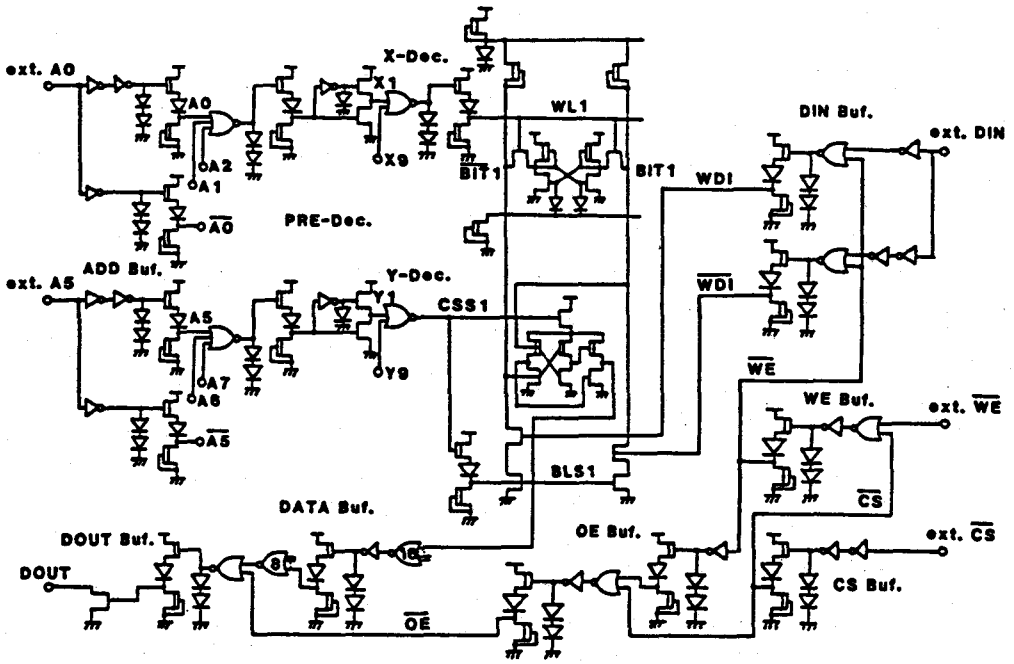
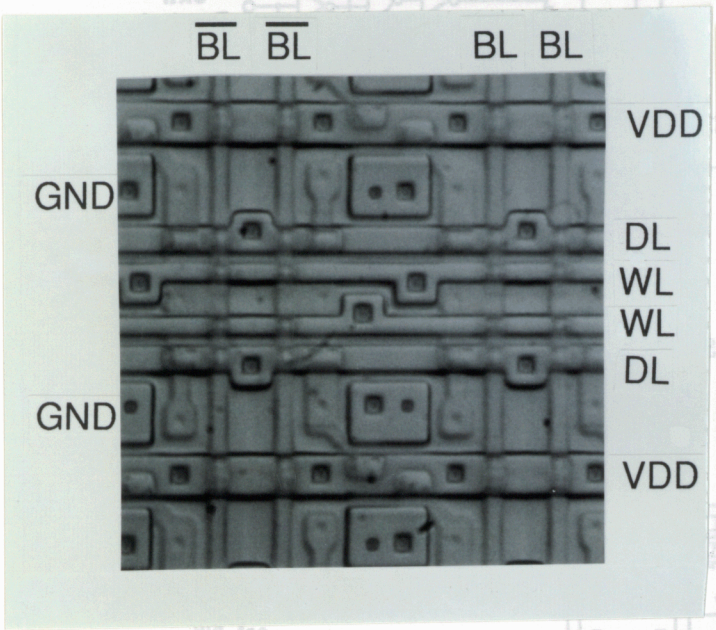


図５—２１　16-kb SRAM の回路構成

5．4　SRAMの性能評価

5．4．1　16-kb SRAM

第3章の0.7μmゲートBPLDD - FETと第4章で述べた2層配線，あるいは3層配線を用いて16-kb SRAMを作製した。図5—23に3層配線を用いた16-kb SRAMのチップ写真を示す。チップサイズ，セルサイズは各々 6.00×5.05 mm^2 , 36×23μm^2 である。



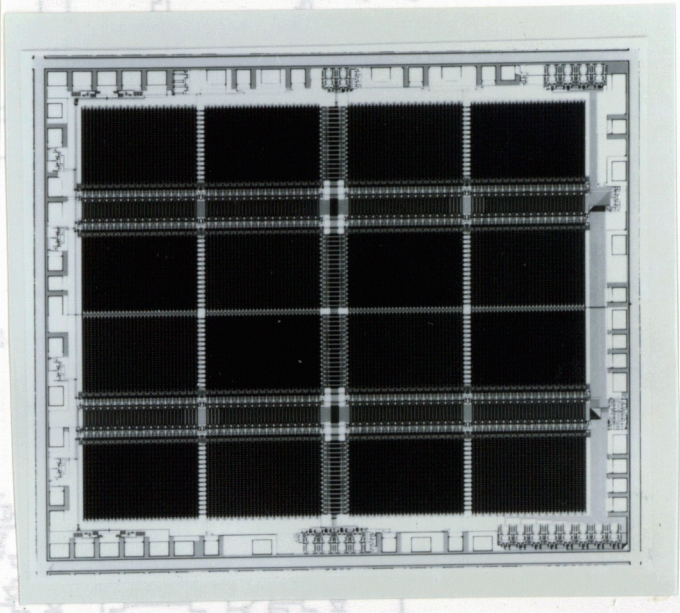


図5—22　16-kb SRAMのメモリセル写真　　図5—23　3層配線を用いた16-kb SRAMのチップ写真

5．4．1．1　新回路技術によるSRAM動作特性の改善

16-kb SRAMはオンウエハー，及びメタルヒートシンクの付いた52ピンセラミック製リードレスチップキャリア（Leadless Chip Carrier : LCC）にパッケージング後評価した。電源ピン，グランドピンは各々17, 20本である。SRAMの機能評価はアドバンテスト社製T3331B高速LSIテスターによりRAM評価で最もパスが難しいテストパターンである"Galloping" を用いて行った。測定時の出力負荷容量は30 pFである。図5—24に上述した新回路と3層配線を用いて作製した16-kb SRAMのアドレス入力波形とデータ出力波形を示す。最大アクセス時間は5 ns以下であることが分かる。図5—25 (a), (b), (c) に各々新回路と3層配線，新回路と2層配線 [19] ，従来のE/D - DCFLのみで2層配線 [20] を用いた16-kb SRAMのチップ内におけるアドレスアクセス時間の分布を示す。E/D - DCFL (c)のみに対して新回路の適用 (b)によりアドレスアクセス時間の分布，即ち各ビット動作の均一性は明らかに改善され

ている。これは先に述べた高温動作時のE/Dインバータ特性の劣化，ビット線電位やメモリセル安定性の低下等が新回路の適用により改善されたことに対応する。さらに2層配線(b)に対して3層配線の適用(a)により最大アクセス時間は71％に低下し，最大アクセス時間に対する最小アクセス時間の比は70％に増加しており，アドレスアクセス時間の分布は改善されている。これは配線の多層化で図った信号配線長，及びチップサイズの縮小により信号配線遅延とチップ内Vthばらつきが低減されたことに対応している。図5—26に図5—25(b)の新回路と2層配線を用いた16-kb SRAMでの最小，最大アクセス時間のテストパターン依存性を示す。この図より，テストパターンの違いによる最大アクセス時間の差は最大アクセス時間7 nsに対して1 ns以下であり，上述の新回路設計で検討した非選択メモリセルのアクセスTr.でのリーク電流を低減することにより各カラムでの蓄積データの組み合わせの違いに対してビット線電位が安定化されたことが分かる。図5—27に新回路と3層配線を用いた16-kb SRAMのアクセス時間のチップ周囲温度依存性を示す。電源電圧1.8 V時，-40～135℃の温度範囲で全ビット動作が確認されている。-40℃以下は本テストシステムの測定限界以下であり，135℃以上では不良ビットの発生が見られた。この温度範囲でのチップ消費電力は2 W以下であった。この良好な温度特性も，前記の新回路の適用により高温動作時のE/Dインバータ特性の劣化，ビット線電位やメモリセル安定性の低下等が改善されたことに相当する。100℃ではチップ消費電力2 W時，最大アクセス時間は4.4 nsであった。またRAMは実使用時に広い電源電圧（V_{DD}）マージンが要求される。図5—28に室温でのチップ内最大アクセス時間の電源電圧依存性を示す。V_{DD}の設定値である1.8 Vでは最大アクセス時間は4.9～5.0 nsで，アクセス時間の設計値5.0 ns以下を満たすV_{DD}マージンは450 mVと十分大きい。さらにV_{DD}が2.05～2.15 Vの範囲では，全ビット動作となる最大アクセス時間は4.4～4.6 nsが実現されていることが分かる。3層配線構造の適用による電源／グランド配線抵抗の低下で同配線での電圧低下が抑制されるので動作マージンは広がる。最終的に25～100℃の温度範囲で，最大アクセス時間5 ns，チップ消費電力2 Wを電源電圧1.8±0.1 Vで実現することができた。

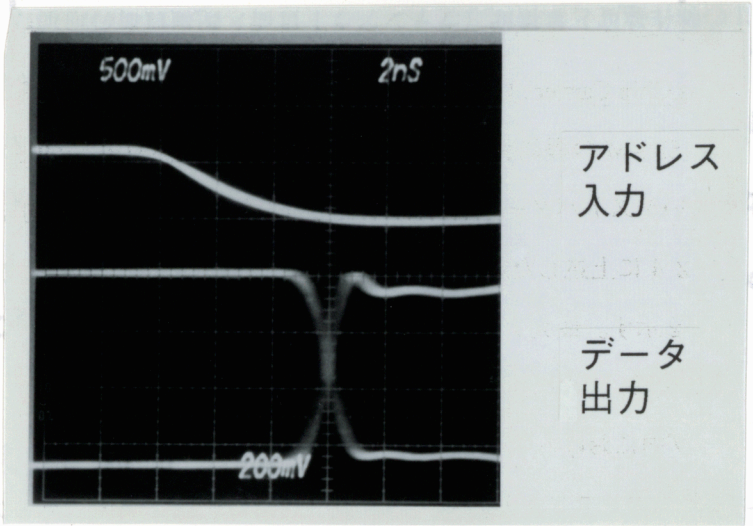


図5—24　16-kb SRAMのアドレス入力波形とデータ出力波形

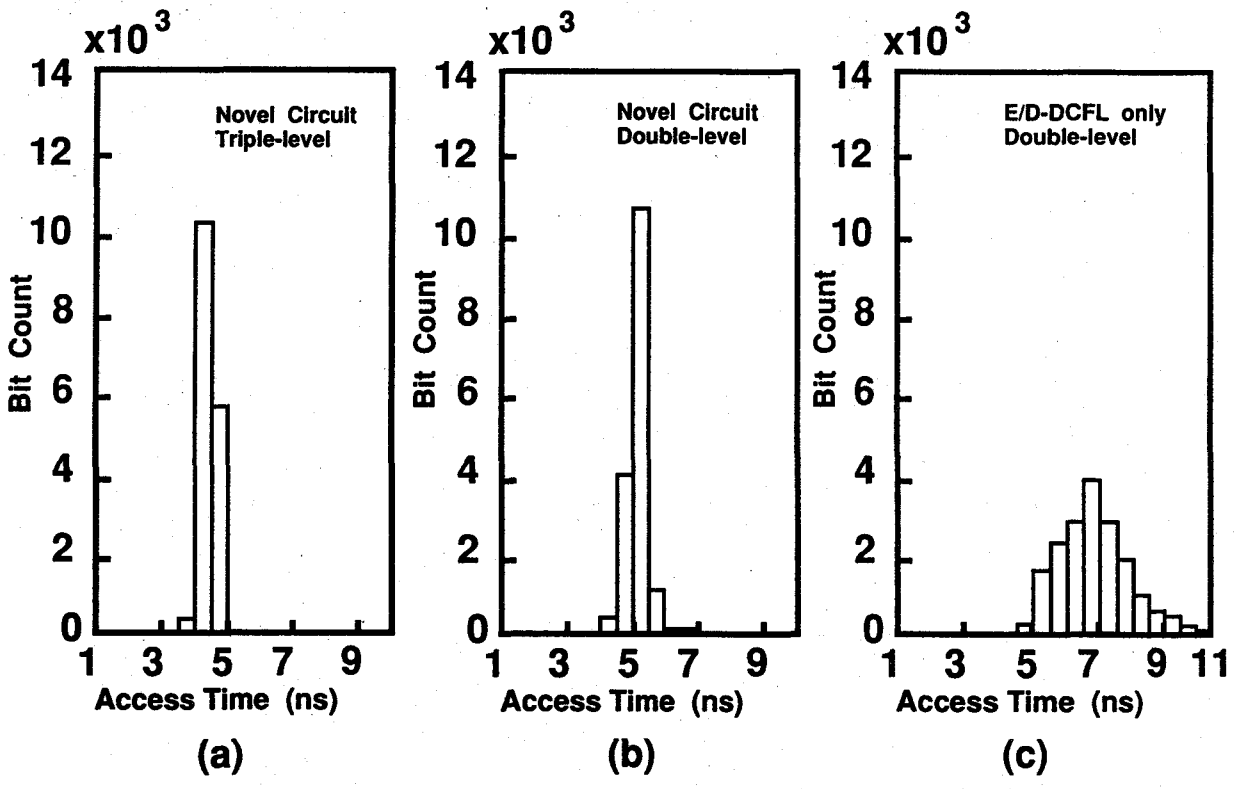


図５—２５　16-kb SRAM チップ内でのアドレスアクセス時間分布
(a) 新回路と３層配線，(b) 新回路と２層配線，(c) E/D - DCFL のみと２層配線

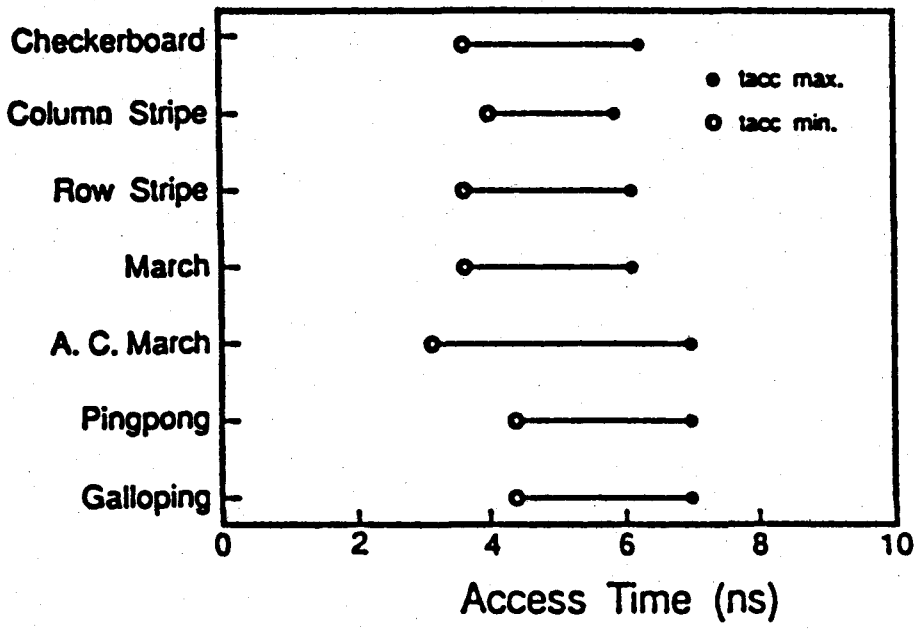


図５—２６　16-kb SRAM の最小，最大アクセス時間のテストパターン依存性

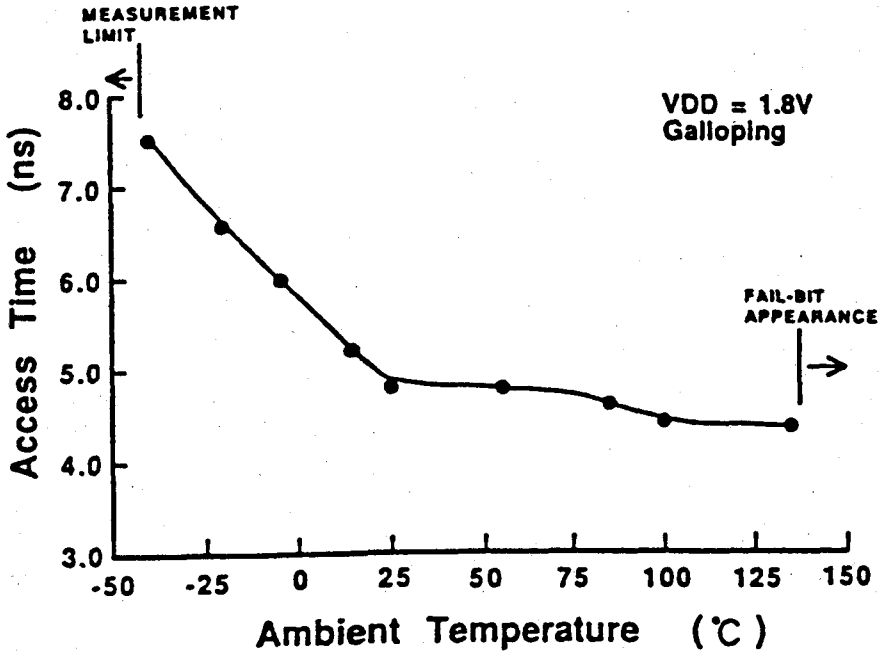


図５—２７　16-kb SRAM のアクセス時間のチップ周囲温度依存性

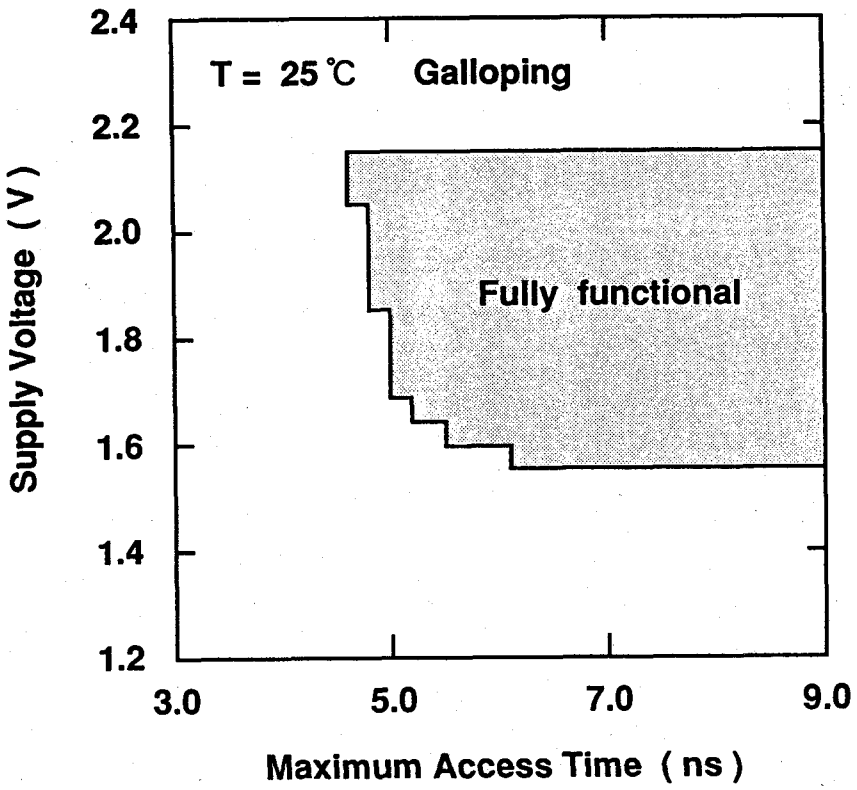


図５—２８　16-kb SRAM チップ内最大アクセス時間の電源電圧依存性
（16-kb SRAM の最大アクセス時間—電源電圧特性における全ビット動作領域）

5．4．1．2　新メモリセルによるソフトエラー耐性の改善

表5—3に4種類のSRAMのソフトエラー率を比較した結果を示す。比較したSRAMは，p層埋め込みFET／新メモリセルを適用した16-kb SRAM，p層埋め込みFET／従来メモリセルを適用した4-kb SRAM，p層埋め込み無しのFET／従来メモリセルを適用した4-kb SRAM，そして市販のソフトエラー率100 FIT以下のSi ECL 1-kb SRAMである。ここでp層は第2，3章で最適化された形成条件を用いた。評価は次の条件で行った。放射線源は^{241}Amで，各ソフトエラー率の測定値は20秒間でのソフトエラーカウントとし，各測定は5回行いそれらの平均値を計算した。表5—3よりp層埋め込みFETと新メモリセルを適用したGaAs SRAMでは，両者を適用しない場合より2桁ソフトエラー率は改善されている。さらにそのソフトエラー率は市販のSi ECL 1-kb SRAMより低い結果が得られている。以上により，蓄積ノード部FETをp層埋め込み型FETとし，かつ蓄積ノードとグランドの間にショットキーダイオードと負荷FETを形成した新型メモリセルはソフトエラー耐性を向上する上で非常に有効であることが明らかとなった。

上記の16-kb SRAMの諸元，機能評価結果，そしてソフトエラー評価結果をまとめて表5—4に示す。

表5—3　GaAs SRAM及びSi ECL SRAMのソフトエラー率評価結果

RADIATION SOURCE: Am-241

TIMES / SAMPLE	1	2	3	4	5	MEAN
GaAs 16-kb RAM (Novel Cell)	4	7	5	0	4	4.0
GaAs 4-kb RAM (Buried p-Layer)	298	301	283	324	259	293.0
GaAs 4-kb RAM (Conv. Cell).	~17000	~18000	~17000	~17000	~16000	17000
1-kb ECL RAM	18	20	15	18	20	18.2

Unit: Error Counts/20 s

表5—4　16-kb SRAMの諸元，機能評価，ソフトエラー評価

Organization	4096 word×4 b
Circuit	E/D DCFL with source follower
Memory Cell	6 transistors+2 diodes
Transistor	0.7-μm BPLDD FET
Chip Size	6.00×5.05 mm^2
Cell Size	36×23 μm^2
Supply Voltage	1.8 V
Access Time	5.0 ns) 25~100°C
Power Dissipation	2.0 W)
Soft-Error Rate	less than commercial 1-kb ECL RAM

5．4．2　4-kb SRAM

4-kb SRAMは16-kb SRAMに先立って回路検討を行ったので，4-kb SRAMで用いた回路技術は基本的に前節で述べた16-kb SRAMと同等である。先行して検討を行った4-kb SRAMでは回路技術を固定した状態でプロセス技術進展の効果を評価する役割を主に持たせた。

5．4．2．1　FET技術によるアクセス時間の改善

表5—5に同じ回路技術を用いた4-kb SRAMでのFET技術の進展によるアクセス時間の改善を示す。配線が同一の通常2層配線で，1μmゲートp層埋め込み型FET（BP - FET）から0.7μmゲートp層埋め込み型LDD - FET（BPLDD - FET）へ変更した時，最大アクセス時間は7 nsから5 nsに，またアクセス時間の平均値は5.5 nsから4.0 nsに改善された。後者の低下率は27 %であるが，これは第3章で求めたFET単体での無負荷ゲート遅延時間の低下率35 %に比べ小さい。アクセス時間の平均値の改善に対するFET真性速度の改善の寄与率は77 %になる。ここに第4章で検討した配線遅延の影響が現れている。また上記のFET変更に伴うアクセス時間分布は2.5 nsから1.5 nsと40 %も改善されている。これは定量的な説明は現時点では出来ないが，第2，3章で求めた微小領域でのVthばらつきがσVth = 9 mVから7 mVに低減され，より均一化されたことに対応する。

次に配線が同一の通常3層配線で0.7μmゲートBPLDD - FETから0.5μmゲートBPLDD - FETにゲート長を短縮した時，最大アクセス時間は3.0 nsから1.8 nsに，アクセス時間の平均値は2.2 nsから1.5 nsに低下した。前に述べた結果と同様に，後者の低下率32 %は第3章で求めたBPLDDの無負荷ゲート遅延時間15 psから9 psへの低下率40 %に比べ小さく，アクセス時間の平均値の改善に対するFET真性速度の改善の寄与率は80 %になる。またFET変更に伴うアクセス時間分布は1.1 nsから0.7 nsへと36 %改善されている。これは第3章で述べた様に，サイドウォール等のFETプロセスの進展に伴いゲート長の短縮にもかかわらず3インチウエハー面内でのσVthは約30 mVから25 mVへと均一化されたこと，またゲート長の短縮によりメモリセル，チップサイズが縮小されてさらにチップ内でのVth均一性が向上したためと考えられる。以上，4-kb SRAMの集積度ではFET真性速度，あるいは電流駆動能力の向上がLSI動作速度であるアクセス時間低減の約80 %を占めていると言える。実際にはFET真性速度以外のVth均一性の向上に伴うアクセス時間分布の改善も，定量的には言えないが，アクセス時間の平均値を改善すると考えられる。但し残り20 %の配線遅延も十分大きく当然考慮する必要がある。

表５—５　FET技術，配線技術の進展による4-kb SRAMのアクセス時間の改善

FET	配線	チップサイズ（mm）	tacc平均値（ns）	最大tacc（ns）
1 μm BP	2層	4.84×4.62	5.5	7.0
0.7 μm BPLDD	2層	4.84×4.62	4.0	5.0
0.7 μm BPLDD	3層	2.50×1.70	2.2	3.0
0.5 μm BPLDD	3層	2.50×1.70	1.5	1.8
0.5 μm BPLDD	3層（第３層 A/B配線）	2.50×1.70	1.2	1.5

５．４．２．２　多層配線技術によるアクセス時間の改善

表５—５に同じ回路技術を用いた4-kb SRAMでの多層配線技術の進展によるアクセス時間の変遷を示す。FETが同一の0.7 μmゲートBPLDDで，２層配線から３層配線の変更に伴い最大アクセス時間は5.0 nsから3.0 nsに，アクセス時間の平均値は4.0 nsから2.2 nsへと大幅に低減された。これは第４章の16-kb SRAMの配線遅延時間についての解析と同様，多層化により配線長とチップサイズ，特にチップサイズは4.84×4.62 mm^2から2.5×1.7 mm^2へと約80％縮小されて配線寄生容量による配線遅延が低減したこと，また同じくチップサイズの縮小によりチップ内Vth均一性が向上したことによる。さらにFETが同一の0.5 μmゲートBPLDDで３層配線ではあるが，第３層電源用配線を通常配線からエアブリッジ配線に変更すると，最大アクセス時間は1.8 nsから1.5 nsに，アクセス時間の平均値は1.5 nsから1.2 nsへと低減された。第３層配線の形成方法以外の回路，FET，配線形成技術，さらにメモリセル，チップサイズは全く同等であるため，両4-kb SRAMのアクセス時間の相違は第４章で検討した第３層電源用配線—下層信号配線間寄生容量に基づく配線遅延によるものと考えられる。これらのアクセス時間と配線遅延については次項で定量的に検討することにする。

５．４．２．３　第３層電源用エアブリッジ配線を用いた4-kb SRAMの評価結果

この第３層電源用エアブリッジ配線を用いた4-kb SRAMのチップ写真とエアブリッジ配線の拡大写真を図５—２９，３０に各々示す。４個の1-kb SRAMブロック上にグランド線用エアブリッジが，RAM中心に十文字状に配置されたX - Yデコーダ上には電源線用エアブリッジが配置されている。図５—３０の1-kb SRAMブロック中に見られる矩形状のアレイはメモリセルのソース部と接続するメタル

ポストである。表5—6にこのエアブリッジ配線を用いた4-kb SRAMの諸元を示す。図5—31，32に本4-kb SRAMのアドレス入力，データ出力波形の写真，チップ内のアクセス時間分布を第3層電源用配線が通常配線である場合と比較して各々示す。テストパターンは前述した"Galloping"である。最大アクセス時間，アクセス時間の平均値は前項に述べたが，エアブリッジ化により各々1.8 nsから1.5 nsへ，1.5 nsから1.2 nsへと特に後者は20％も改善されている。この時のチップ消費電力は700 mWであり，現在のところ消費電力・遅延時間積はSi ECL SRAMをも含めた4-kb SRAMの中で最小である[22]。

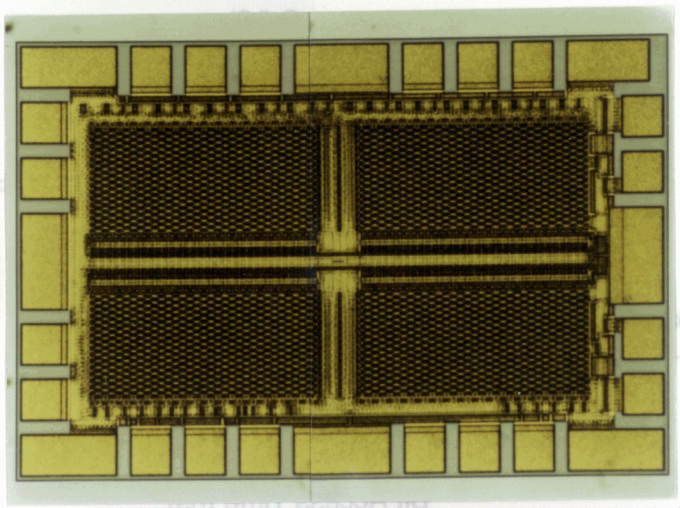


図5—29　第3層電源用エアブリッジ配線を用いた4-kb SRAMのチップ写真

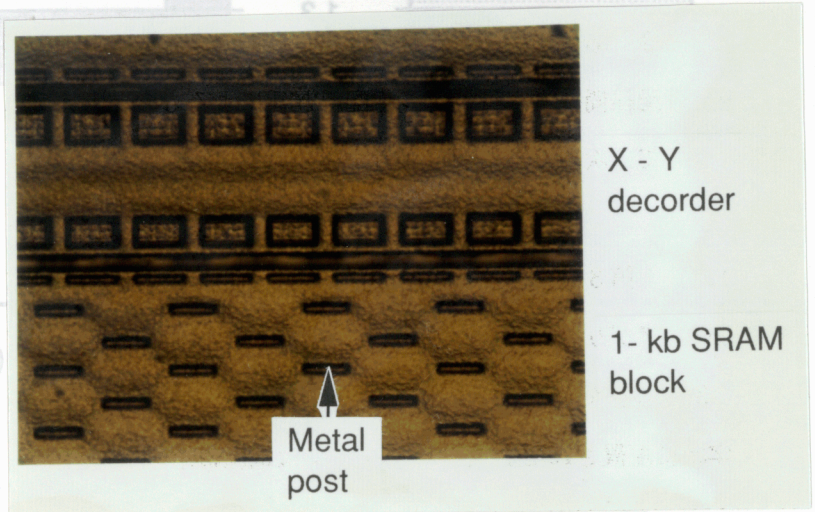


図5—30　4-kb SRAMに用いたエアブリッジ配線の拡大写真

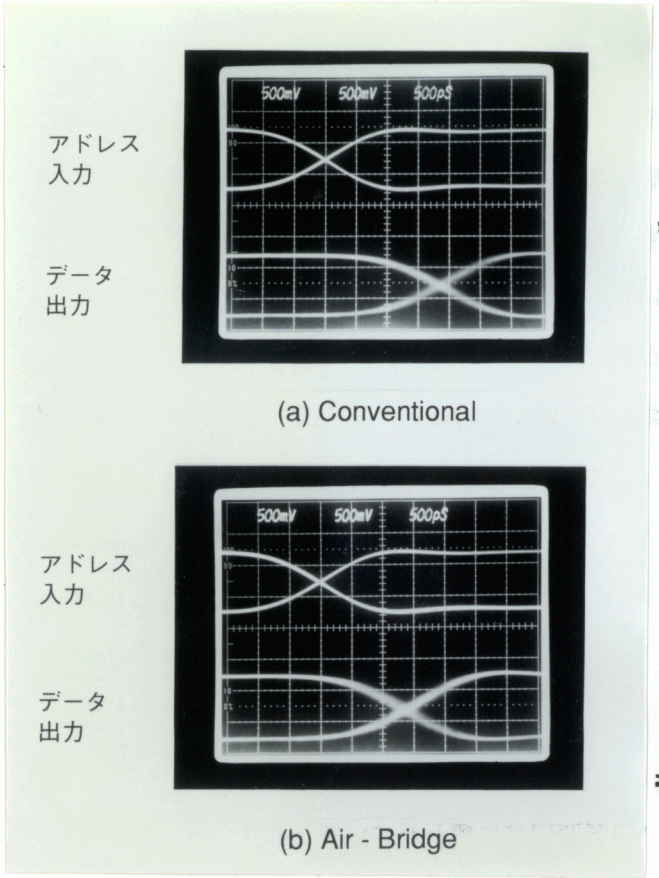


図５—３１　4-kb SRAM のアドレス入力，
データ出力波形

表５－６　エアブリッジ配線を用いた
4-kb SRAM の諸元

Organization	1,024 x 4 bit
Circuit	E/D-DCFL with Source-follower
Supply Voltage	2.0 V
I / O Level	ECL Level
Transistor	0.5 μm gate BPLDD-FET
Line / Space	1.5 μm / 1.5 μm
Hole Size	1.0 x 1.0 μm^2
Chip Size	2.5 x 1.7 mm^2
Cell Size	26.0 x 11.75 μm^2
Access Time	max. 1.5ns
Power Dissipation	700 mW
Operative Temperature	0 ～ 75 ℃

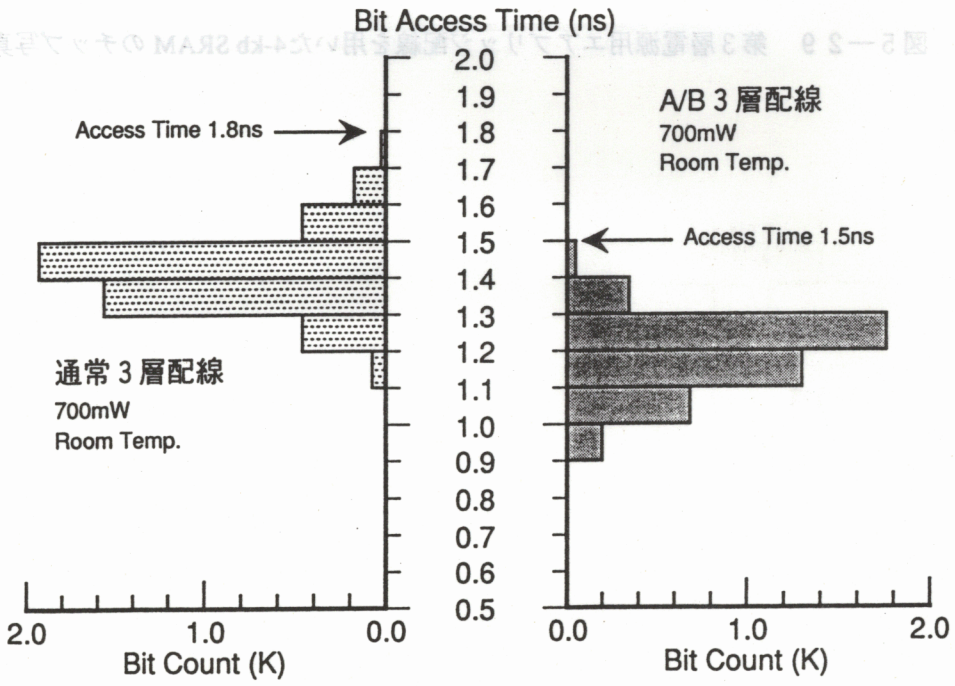


図５—３２　4-kb SRAM チップ内のアクセス時間分布

一方，この4-kb SRAMでのエアブリッジ化によるアクセス時間の改善比（通常配線の約80％）は，前節５．２．３　ＤＣＦＬゲートの負荷駆動特性においてゲートアレイ上に構成したリング発振器で測定された負荷付きゲート遅延時間の改善比（通常配線の約60％）に比べて悪い。この原因については次の様に考えられる。

１）本SRAMは平均的にファンアウト数FO=4であり，表５―２のゲートアレイ上で構成したリング発振器のFO＝２に比べファンアウト負荷が大きく，SRAMの方が相対的に全遅延時間中の配線遅延の割合が低い。SRAMでの負荷付きゲート遅延時間として表５―２のK_{FO}の３倍を，同じくリング発振器での負荷付きゲート遅延時間に付加すると，エアブリッジ化しない4-kb SRAMでは207 ps，エアブリッジ化した4-kb SRAMでは164 psとなりエアブリッジ化による負荷付きゲート遅延時間の改善比は79％になるので，アクセス時間の平均値の改善比約80％と同等になる。

２）本SRAMではレイアウトの最適化のため，第２層配線は信号配線以外に一部電源配線として使用している。第１層信号配線の20～30％はこの第２層電源配線に覆われているため，その間で寄生容量が発生する。これに対してゲートアレイ上で構成したリング発振器では，第２層配線は信号配線としてのみ第１層信号配線を覆っており，そのクロスオーバー面積はSRAMの場合に比べ十分小さい。したがってSRAMの方が全遅延時間に対する第３層電源配線―下層信号配線間寄生容量の低減による配線遅延低減の効果が小さくなる。

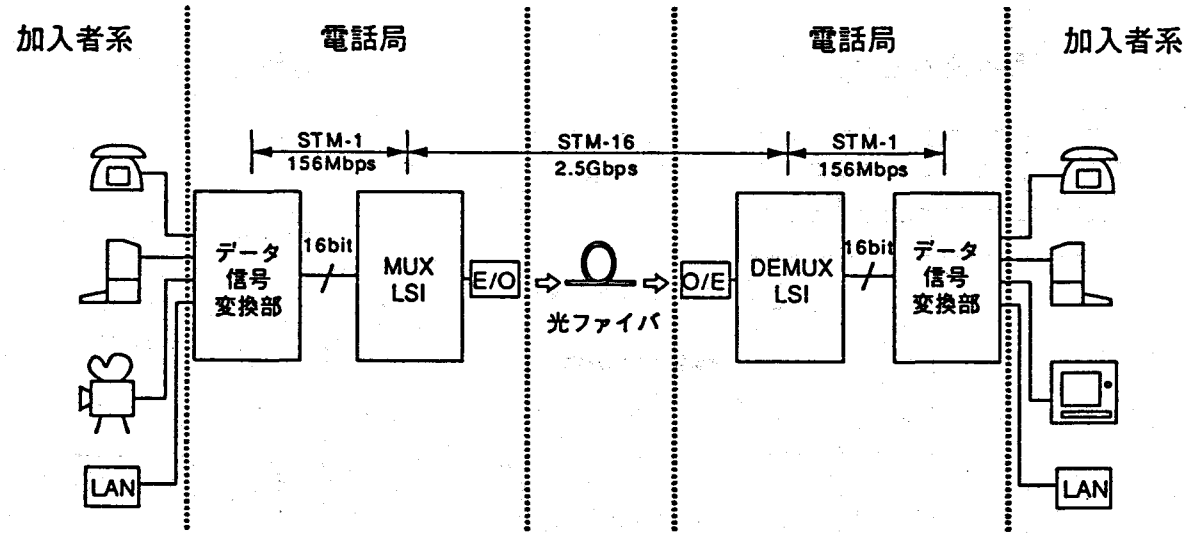


図５―３３　広帯域ＩＳＤＮの簡単な模式図

５．５　ロジックＬＳＩ（マルチプレクサー(ＭＵＸ)／デマルチプレクサー(ＤＥＭＵＸ)）設計

５．５．１　広帯域ＩＳＤＮ通信システムにおけるＭＵＸ／ＤＥＭＵＸ

近年，デジタル技術の急速な進展に伴って，通信システムにおいても加入者系まで含めた全体をデジタル化したサービスが既に開始されており，利用者のニーズはさらに高品質な通信サービスへと変化している。これらの要望に応える大容量光ファイバ通信ネットワークとして広帯域ＩＳＤＮ（Broad band Integrated Services Digital Network）[22] の開発が世界各国で盛んに行われている。図５―３３に広帯域ＩＳＤＮの簡単な模式図を示す。広帯域ＩＳＤＮでは従来の電話はもちろんのことコンピュータ間の高速パケットデータ転送やテレビ放送品質並みの動画像データ転送，高速LAN（Local Area Network）間の高速データ転送等を同一線路を用いて行うことが可能となる。広帯域ＩＳＤＮの伝送方式はCCITT（国際電信電話諮問委員会）で世界的に標準化されSDH （Synchronous Digital Hierarchy）[23] と呼ばれる階層構造により世界的に統一されようとしている。SDH において各階層はSTM - N（Synchronous Transfer Module level N : N は整数）と呼ばれ，伝送速度 155.52 Mb/s のSTM - 1をバイト（8ビット）単位にNチャネル多重化することにより構成される [24]。そして各端局ではSTM - 1 を単位として交換等がなされる。つまり伝送速度が 156 Mb/s のSTM - 1 を基本単位としてデータ転送が行われているが，広帯域ＩＳＤＮでのデータ処理量はかなり大きいため高い伝送速度が要求されており，現在伝送速度 2.5 Gb/s（155.52 Mb/s×16 = 2488.32 Mb/s）のSTM - 16 による局間伝送が開発されている。

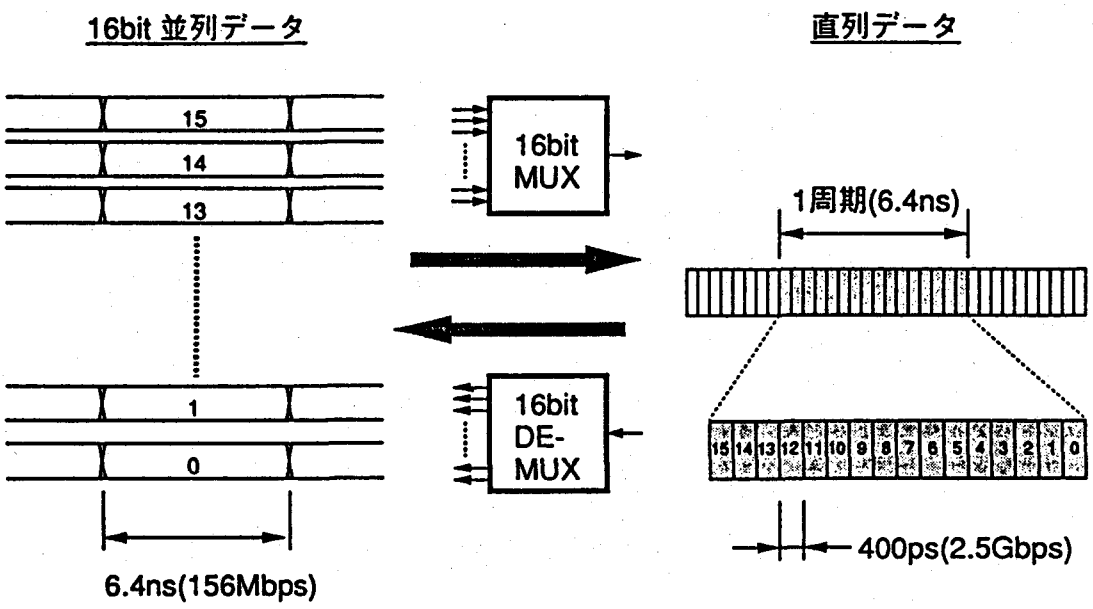


図５―３４　2.5 Gb/s 16:1 MUX / DEMUX の機能

MUX はこのシステムの中でSTM - 1 の低速並列データをSTM - 16 の高速直列データに多重化し，DEMUX はSTM - 16 の高速直列データをSTM - 1 の低速並列データに分離する機能を有するLSIである。図５—３４に本研究で検討する2.5 Gb/s 16:1 MUX / DEMUX の機能ブロック図を示す。16:1 MUX では伝送速度156 Mb/s の0～15別々の16個の並列データを多重化し直列データにする。この多重化された直列データは図の様に0～15の16並列データが 400 ps ごと順に並んだ配置となる。16:1 DEMUX では逆に伝送速度 2.5Gb/s の直列データを分離して伝送速度 156 Mb/s の0～15の16並列データにする。

この2.5 Gb/s 16:1 MUX / DEMUX に要求される仕様は，１）2.5 Gb/s 以上の高速動作，２）通信システム構成の簡略化のため，単一電源動作でしかも低消費電力（2 W以下）で水冷が不要であることが望ましく，この観点から前節のSRAMと同様に基本論理回路としてDCFLを採用した。

５．５．２　シフトレジスタ回路の検討

図５—３４に示したMUX / DEMUXの多重，分離機能を実現する回路構成として，図５—３５に示す2:1 MUX / DEMUX を基本単位としてツリー状に接続する方法 [25] とシフトレジスタ回路を用いる方法 [26] がある。ツリー状構成の場合，初段8個のMUXに供給する1 / 16クロックのファンアウト数は最終段の1個のMUXに供給する1 / 2クロック数の8倍であり，負荷駆動力の低いDCFLゲートのファンアウト依存性の影響が懸念され，タイミング設計が難しくなる。これに対してシフトレジスタの場合，必要なクロックはシフトレジスタ駆動用クロックとシフトレジスタへのロードパルスのみであり，どちらもファンアウト数はほぼ等しいのでタイミング設計は比較的容易である。そこで本研究においては後者を用いることにした。

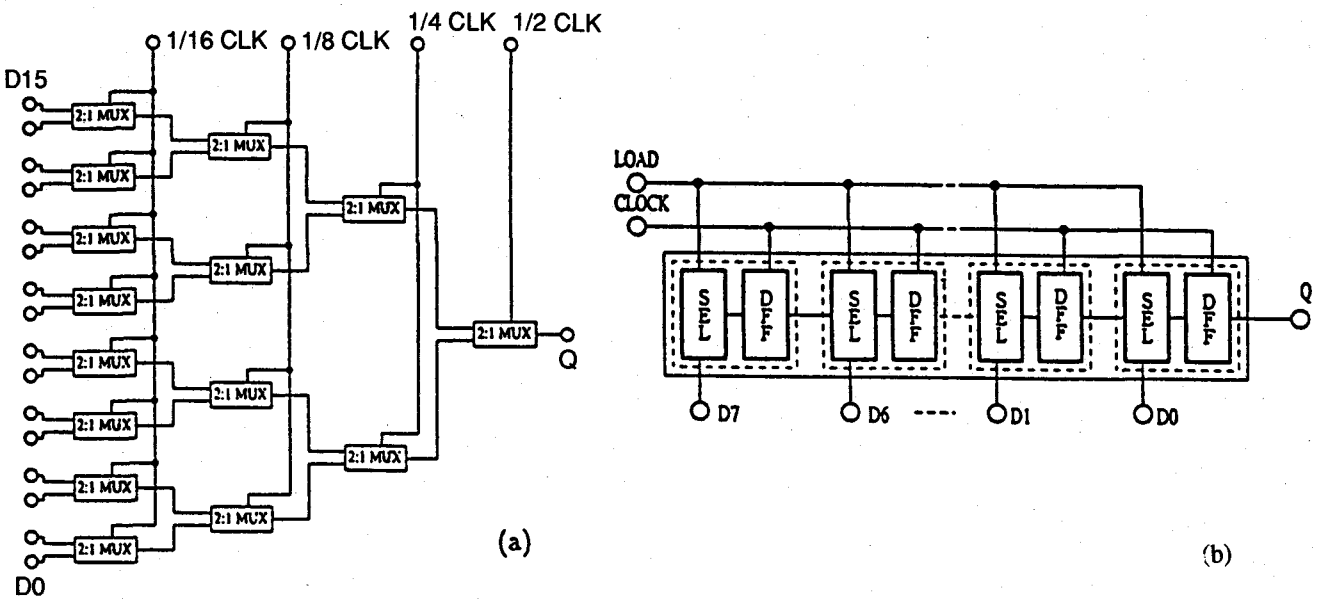


図５—３５　16:1 MUX / DEMUX の構成方法　(a) ツリー状構成，(b) シフトレジスタ構成

図５—３６にMUXに用いる並列入力・直列出力型シフトレジスタ回路の動作を示す。図右のタイミングチャートにおいて，セレクト信号が"High"の時，シフトレジスタSRは並列データA, B, C, Dを同時にSR内に取り込む。次にセレクト信号が"Low"になると，SRは並列データの取り込みを止めてデータを次段のSRに順に送る。最終的にSR dからの出力はA, B, C, Dのデータが多重化された直列データになる。これに対してDEMUXでは上述の並列入力・直列出力型シフトレジスタ回路とは逆の動作となる直列入力・並列出力型シフトレジスタ回路を用いる。

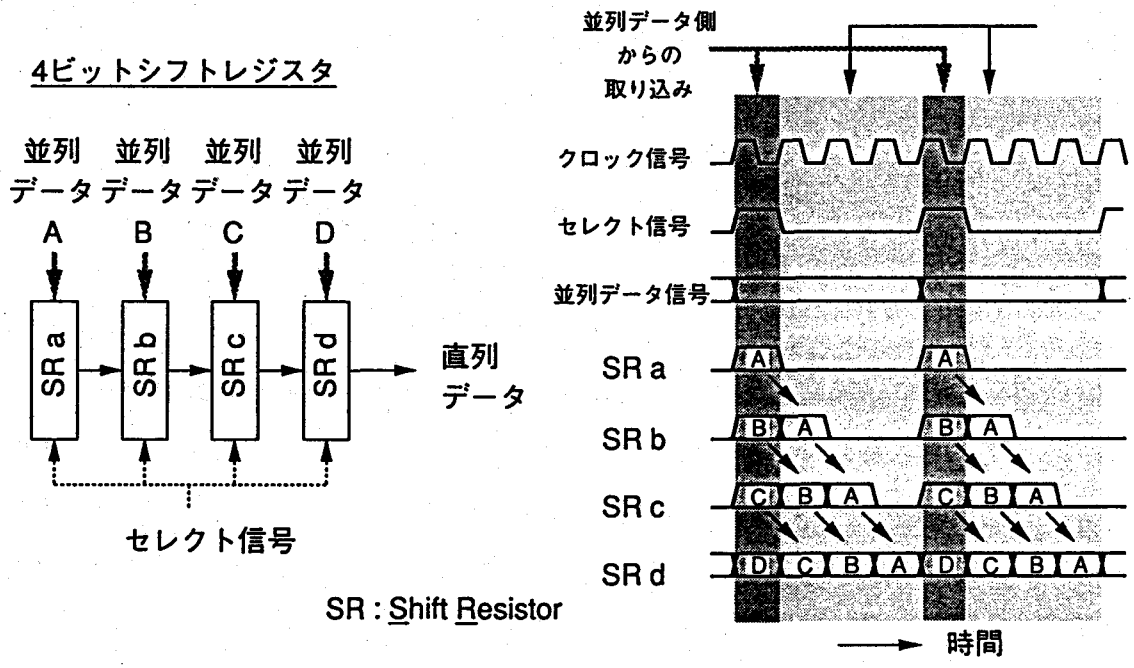
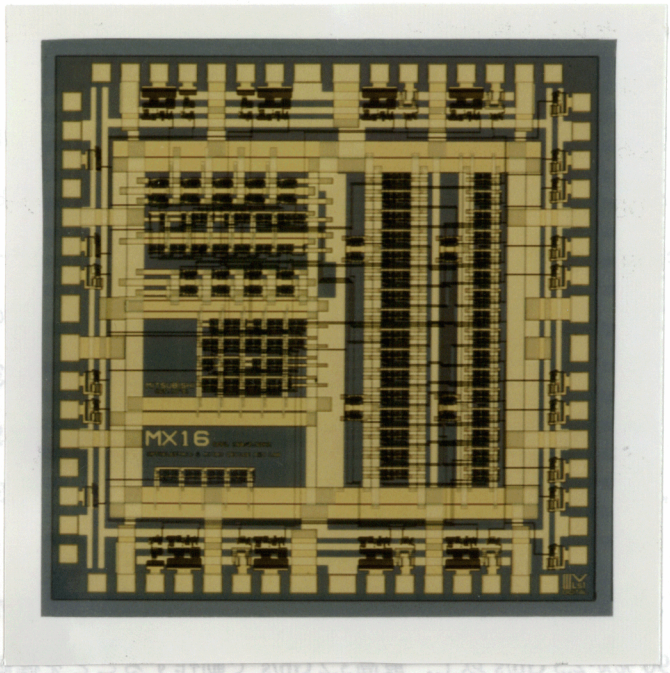
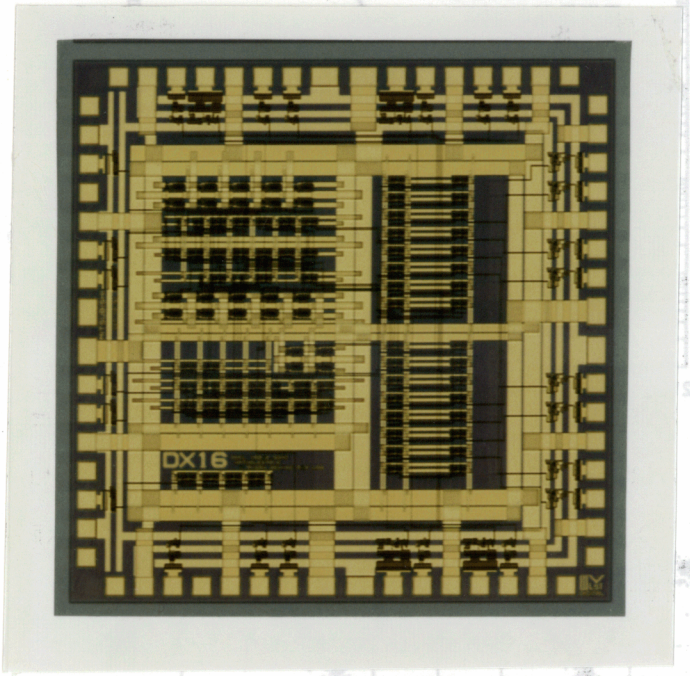


図５—３６　並列入力・直列出力型シフトレジスタ回路の動作

本16:1 MUX / DEMUXは0.7μmゲートBPLDD - FET，及び２層配線プロセスを用いて作製した。最小ライン／スペースは1.5μm / 1.5 μm，最小コンタクトホールサイズは1.0×1.0 μm^2である。集積ゲート数はMUXで約1.2 K，DEMUXで約1.0 Kであり，チップサイズは両者とも3.3×3.3 mm^2である。チップ写真を図５—３７に示す。



a)　MUX



b)　DEMUX

図５—３７　16:1 MUX / DEMUX のチップ写真

５．６　ＭＵＸ／ＤＥＭＵＸの動作機能とその性能評価

５．６．１　ＭＵＸの誤り率，出力データ波形，最高動作周波数

図５―３８に16:1 MUX の誤り率を示す。本測定にはアドバンテスト社製パルスパターン発生器，ビットエラー検出器を用い，その評価には，出力シリアルデータが 2^7 - 1 周期ビット長の疑似ランダムパターン PRBS（Pseudo Random Bit Sequence）[27] となるようにパラレルデータを生成，入力して出力シリアルデータのエラー評価を行った。動作速度100 Mb/s から3.2 Gb/s までの誤り率は 10^{-11} 以下で十分エラーフリーに近く2.5 Gb/s での動作は実用上問題ないと言える。図５―３９に16:1 MUX の出力データ波形を示す。誤り率の評価と同様に 2^7 - 1 の疑似ランダムパターン PRBS を用いた。明白なアイパターンが形成され，出力振幅も800 mV とほぼシミュレーション通りである。立ち上がり，立ち下がり時間は各々170 ps, 160 ps であり，2.5 Gb/s の周期となる400 ps に対し十分なマージンを有している。図５―４０に３インチウエハー面内における16:1 MUX の最高動作周波数のヒストグラムを示す。機能動作したチップの90 %が2.5 Gb/s 以上，最高3.2 Gb/s で動作することを確認している。さらに2.5 Gb/s 動作チップの消費電力は1.3 W とシミュレーション値に近い低消費電力が達成されている。

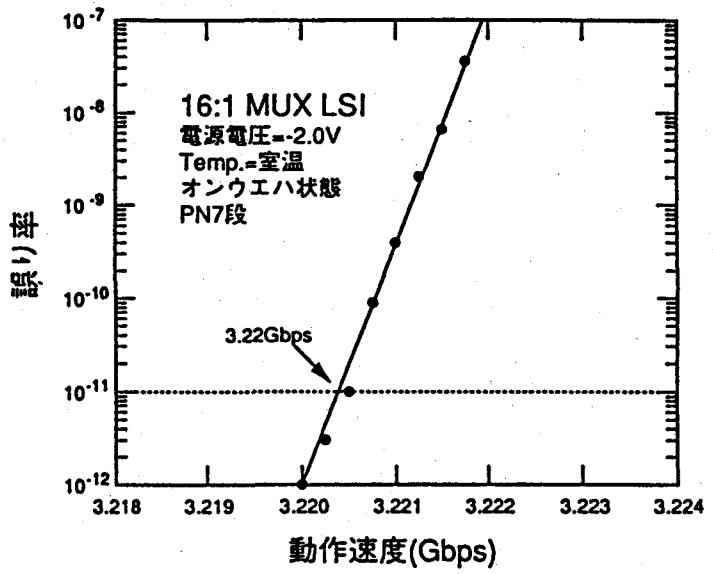


図５―３８
16:1 MUX の誤り率

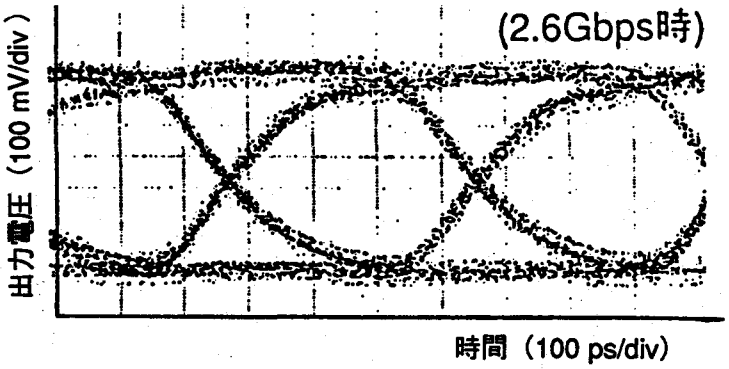


図５―３９
16:1 MUX の出力データ波形

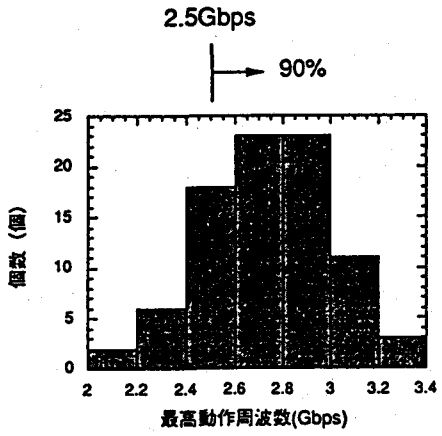


図５—４０　16:1 MUX の最高動作周波数のヒストグラム（３インチウエハー面内）

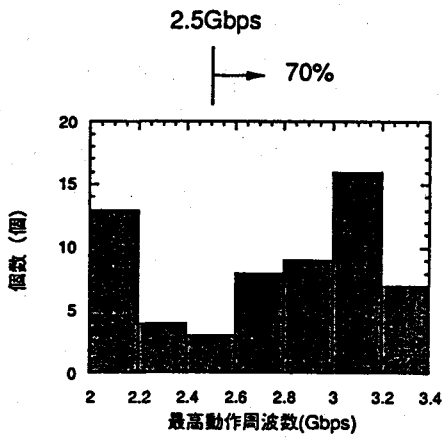


図５—４２　16:1 DEMUX の最高動作周波数のヒストグラム（３インチウエハー面内）

５．６．２　ＤＥＭＵＸの入力位相余裕度，最高動作周波数

図５—４１に16:1 DEMUX の入力位相余裕度を示す。先の評価と同様の 2^7 - 1 の疑似ランダムパターンPRBS を入力シリアルデータとした。位相余裕度とはDEMUX が正常動作する場合の入力クロックと入力データの位相範囲である。動作速度の増加に伴い入力位相余裕度は単調に減少するが，2.5 Gb/s では 290°，3.2 Gb/s では 220° と実用上問題ない値であることが確認された。図５—４２に３インチウエハー面内における 16:1 DEMUX の最高動作周波数のヒストグラムを示す。機能動作したチップの70 %が 2.5 Gb/s 以上で動作し，最高 3.2 Gb/s での動作まで確認している。さらに2.5 Gb/s 動作チップの消費電力も1.3 W とシミュレーション値に近い低消費電力が得られている。特に本2.5 Gb/s 16:1 MUX / DEMUX [28] の消費電力は，動作速度，16:1 処理であることを考慮すると従来報告例 [26], [37] に比べ十分小さく，前述の光ファイバ通信システム用MUX / DE MUX として非常に有利であると考えられる。

以上，本研究で開発した2.5 Gb/s 16:1 MUX / DEMUX の諸元を表５—７にまとめる。

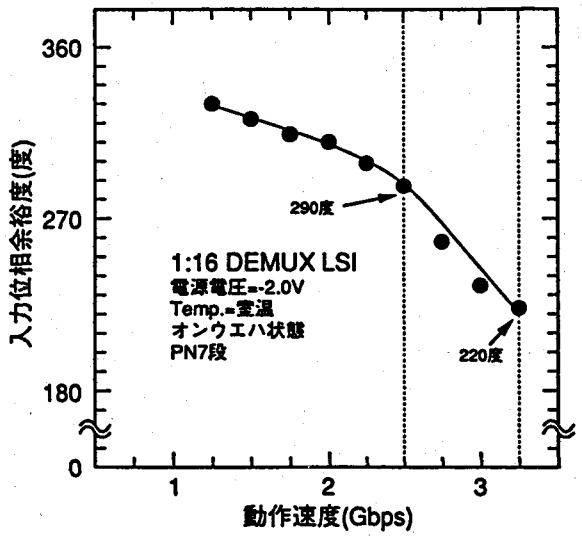


図５—４１
16:1 DEMUX の入力位相余裕度

表５－７　2.5 Gb/s 16:1 MUX / DEMUX の諸元

		MUX	DEMUX
回路構成	論理構成	8X2シフトレジスタ	2X8シフトレジスタ
	集積度	1.2Kゲート	1.0Kゲート
	基本回路	E/D DCFL	
	入出力レベル	ECL	
	電源電圧	-2V単一	
	トランジスタ	ゲート長0.7μmBPLDD-MESFET	
	チップサイズ	3.3X3.3mm^2	
評価結果	動作速度	>2.5Gbps （最高3.2Gbps）	
	消費電力	1.3W	1.3W
	入力位相余裕度	~360°	290° @2.5Gbps
	Tr (@20~80%)	170ps	250ps
	Tf (@20~80%)	160ps	250ps

５．７　結言

本章では，メモリLSIでは 4-kb / 16-kb SRAM，ロジックLSIでは 2.5 Gb/s 16:1 MUX / DEMUX の GaAs LSIを設計，評価して以下の結果を得た。

１）GaAs LSI, VLSI 用基本ゲートとしては，高集積化，低消費電力化の観点からDCFL が優れている。しかしながら，負荷駆動力が小さいため，例えば標準負荷付きゲート（FI = FO = 2，負荷配線長 2 mm）では真性ゲート遅延とファンアウト遅延，配線遅延が同等になるため，ファンアウト数，配線容量を減らす設計が必要になる。配線容量については第４章で検討した最上層電源用エアブリッジ配線が負荷付きDCFLゲート遅延の低減に有効で，エアブリッジを用いない通常配線に比べて標準負荷条件でその約60 %に低減できた。

２）E/D - DCFL で SRAM を構成する場合，MESFET 高温動作時の劣化に基づくDCFLインバータ特性の劣化，また基板リーク，ショットキーリーク電流の増加に基づくビット線電位，メモリセル安定性の低下が問題となる。DCFLインバータ特性の劣化に対しては，ソースフォロワ回路をDCFLゲートの後段に付加することで出力"Low"レベルを０V近くまで低下できるので，電圧振幅は増加し高温時の回路動作は安定化する。またビット線電位，メモリセル安定性の低下に対しては，ビット線電位を低下させる非選択メモリセルのアクセスTr. でのリーク電流の総和を低減するために，カラム当たりのメモリセル数を十分減らすこと（本研究では32個以下），またロウ選択回路としてメモリセルのベース線とグランド間にショットキーダイオードを挿入することにより，メモリセルのアクセスTr. の入力ゲートを逆バイアスして同Tr. でのリーク電流を十分抑制することが非常に有効であることを明らかにした。

３）GaAs SRAM を実用化する上で，ソフトエラー耐性向上は不可欠であるが，これに対しては素子構造の点ではメモリセルの蓄積ノードに相当するFET下部にｐ層を第２，３章で検討した条件で形成すると共に，メモリセル回路構成の点では蓄積ノードとグランド間にショットキーダイオードと負荷Tr. を挿入する方法を考案し，ノード反転臨界電荷量を十分大きく，また"High"レベルの低下量を十

分低く抑制できることを初めて示した。またそのソフトエラー耐性は市販の100 FIT 以下のSi ECL 1-kb SRAM の約３倍良好であった。

４）第３章の 0.7μmゲートBPLDD - FET，第４章の３層配線構造，そして２），３）の回路技術を用いて16-kb SRAM を作製，評価した結果，25～100℃の温度範囲で最大アクセス時間 5 ns，チップ消費電力２W を電源電圧 1.8±0.1 V で実現できた。特に２）の高温時でのメモリ動作を安定化させる回路技術は，実際の16- kb SRAM 動作 における温度特性を改善させることが明らかとなった。

５）4-kb SRAM の回路技術，及び配線プロセス技術は変えずにFET構造をBP - FETからBPLDD - FETに変更し，またゲート長を1.0, 0.7, 0.5μm へと短縮させた結果，アクセス時間の平均値の改善比はFETの真性ゲート遅延時間の改善比に対して約80 %である。4-kb SRAM の集積規模（約３万Tr.）ではまだFET動作速度の改善効果が配線遅延の改善効果より支配的であると言える。しかしながら実際にはFET動作速度の改善と同時にVth 均一性も向上しており，アクセス時間分布の改善効果もアクセス時間平均値の改善効果に寄与するため，上記のFETの真性ゲート遅延時間の改善比に対する比率は低くなると考えられる。

６）4-kb SRAM の回路技術，及び FET技術は変えずに 配線構造を２層配線から３層配線に変更することにより，チップサイズの大幅な縮小（本研究では約20 %に縮小）が可能となり，配線長の短縮による配線遅延の改善とチップ内Vth ばらつきの低減によるアクセス時間分布の改善が実現される結果，アクセス時間の平均値を約60 %に低減できた。また同じく第３層電源配線を通常配線からエアブリッジ配線に変更することにより，第３層電源配線―下層信号配線間寄生容量が減少してアクセス時間の平均値を約80 %に低減できた。

７）第３章に記述した 0.5μmゲートBPLDD - FET，第４章の第３層電源用エアブリッジ配線構造，そして２），３）の回路技術を用いて4-kb SRAM を作製，評価した結果，最大アクセス時間 1.5 ns，チップ消費電力 700 mW という速度・消費電力積においてSi ECL SRAM をも含めて世界最小の優れた性能が電源電圧 1.6 V で実現できた。

８）広帯域ＩＳＤＮ対応の STM - 1 の並列信号をSTM - 16 の多重信号に変換し，逆にSTM - 16 の多重信号を STM - 1 の並列信号に変換する 2.5 Gb/s 16:1 MUX / DEMUX を製作した。回路動作の安定化を図るために，シフトレジスタ型回路構成にすることにより，誤り率 10^{-11} 以下で最高動作周波数 3.2 Gb/s の 16:1 MUX を，また最高動作周波数 3.2 Gb/s，入力位相余裕度 220° で動作する16:1 DE MUX を共に1.3 W というシステム上空冷で十分対応可能な低消費電力で実現できることを示した。

参考文献

[1] N. Kanopoulos, *Gallium Arsenide Digital Integrated Circuits: A System Perspective.* Englewood Cliffs, NJ: Prentice Hall, 1989.

[2] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.

[3] C. T. Chang, T. Vrotsos, M. T. Frizzel, and R. Carroll, "A subthreshold current model for GaAs MES FET's", *IEEE Electron Device Lett.*, vol. EDL-8, No. 2, Feb. 1987, pp.69-72.

[4] 松永，八田，重田，光定「GaAs MESFET 特性の温度依存性」応用物理学連合講演会, 1986, 4a-T-3, pp.646.

[5] H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A 7-ns / 850-mW GaAs 4-kb SRAM with Little Dependence on Temperature," in *IEEE J. Solid - State Circuits*, vol. SC-25, Oct. 1990, pp.1232-1238.

[6] G. Lee, S. Canaga, B. Terrel, and I Deyhimy, "A High Performance GaAs Gate Array Family", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.33-36.

[7] S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano, "A 5-ns GaAs 16-kb SRAM", *IEEE J. Solid-State Ciruits*, vol. SC-126, no. 10, Oct. 1991, pp.1399-1406.

[8] H. Yanazawa, "New Device Technologies Developed in The Japanese National Project on Super Computer System", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.7-10.

[9] Gigabit Logic, *Product Guide*, 1986.

[10] H. Tanaka, H. Yamashita, N. Masuda, N. Matsunaga, M. Miyazaki, H. Yanazawa, and N. Hashimoto, "A 4K GaAs SRAM with 1 ns Access Time", in *ISSCC Tech. Dig.*, Feb. 1987, pp.138-139.

[11] M. Hirayama, M. Togashi, N. Kato, M. Suzuki, Y. Matsuoka, and Y. Kawasaki, "A GaAs 16-kbit Static RAM Using Dislocation-Free crystal", *IEEE Trans. Electron Devices*, vol. ED-33, No. 1, Jan. 1986, pp.104-110.

[12] S. J. Lee *et al., Electron Lett.* vol. 17, 1981, pp.761.

[13] R. A. Kiehl, P. G. Flahive, S. H. Wemple, H. M. Cox, "Direct-Couple GaAs Ring Oscillators with Self -Aligned Gates", *IEEE Electron Device Lett.*, vol. EDL-3, 1982, pp.325-326.

[14] T. C. May and M. H. Woods, "A New Physical Mechanism for Soft Errors in Dynamic Memories", in *16th Annual Proc. of Intl. Reliability Physics Symp.*, 1978, pp.33-40.

[15] 今井，生駒，佐藤，藤本「化合物半導体デバイス（I）」工業調査会, 1984.

[16] 大森　正道　「超高速化合物半導体デバイス」培風館, 1986.

[17] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error

immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.

[18] S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano, "A 5-ns GaAs 16-kb SRAM," in *IEEE J. Solid - State Circuits*, vol. SC-26, Oct. 1991, p.1399 - 1406.

[19] S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.41-44.

[20] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Ciruits*, vol. SC-22, Oct. 1987, pp.699-703.

[21] S. Notomi, Y. Awano, M. Kosugi, T. Nagata, K. Kosemura, M. Ono, N. Kobayashi, H. Ishiwari, K. Odani, T. Mimura, and M. Abe, "A High Speed 1Kx4-bit Static RAM Using 0.5 μ m-gate HEMT", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.177-180.

[22] 寺田　康和「B - ISDN の展望」*NTT R&D*, vol. 40, No. 1, 1991, pp.1-8.

[23] 上田，辻，坪井「新しい同期インタフェースを適用した同期端局装置」*NTT R&D*, vol. 39, No. 4, 1990, pp.627-638.

[24] 槙，三浦，岡田「今後の伝送路網構成のありかたと新しい同期インタフェースの適用」*NTT R&D*, vol. 39, No. 4, 1990, pp.619-626.

[25] G. Flower, "A 3 GHz 4:1 Time Division Multiplexer with Output Retiming", in *IEEE Bipolar Circuits & Technology Meeting Tech. Dig.*, 1988, pp.146-149.

[26] 藤井，徳島，石川，前多，樋田，大野，高野「STM-16 用低消費電力 16:1 MUX / DMUX DMT LSI」電子情報通信学会研究会資料 ED91-179, 1992, pp.93-99.

[27] H. Naito, M. Kawai, T. Ohtuka, T. Ishihara, K. Yamaguchi, A. Taniguchi, H. Onodera, and T. Endo, "3-Gbit/s 16-Channel GaAs Multiplexer and Demultiplexer LSIs", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.321-324.

[28] 島田，東坂，太田，細木，野田，久保，飛田，三井，「2.5 Gbps DCFL 16:1 MUX/DEMUX LSI」電子情報通信学会秋季大会 C-408, 1992, pp.5-88.

第6章　総括

本論文では，実用レベルの高速・低消費電力GaAs LSIの実現を目的として，GaAs LSI構成素子として用いるMESFET，Au系多層配線の構造と作製プロセス，そしてLSIである4-Kb / 16-Kb SRAM，2.5 Gb/s 16:1 マルチプレクサー／デマルチプレクサーの回路設計の検討を行い，それらの特性を評価することにより得られた主要な成果を以下に総括した

（1）GaAsセルフアラインゲートMESFET（SAGFET）の耐熱性ゲート材料として用いるWSi_xは，従来のコスパッタではない単一のコンパウンドターゲットからのスパッタでも形成可能であり，スパッタガス圧，スパッタ電力により組成比をx～0.1～0.3の範囲で制御でき，その組成比でWSi_x / GaAsショットキー接合におけるΦ_Bは0.7 eV以上，n値は1.1以下とGaAsの表面欠陥によるFermi level pinningに相当する良好なショットキー界面特性が得られる。（第2章）

（2）WSi_x / GaAsショットキー特性はWSi_x膜全体の組成比では一意的に決まらず，同界面付近でのWSi_x組成比，即ちGaAs最表面でのSiの付着割合が大きく影響を及ぼす。（第2章）

（3）SAGFETのnチャネル下p型埋め込み層の形成条件は，p層中に中性領域が発生する程度の高いホール濃度が短チャネル効果の十分な抑制には必要である。これに相当するp層用イオン注入条件（Be^+イオン 70 KeV, 2×10^{12} cm^{-2}）で作製した0.5 μ mゲートp層埋め込みSAGFETで3インチウエハー面内においてσ Vth～25 mVなる良好なVth均一性を確認した。さらにp層を高濃度化した場合σ Vthは約20 mVに飽和するがゲート寄生容量は増加するため，p層濃度はσ Vthが飽和する最小濃度が最適である。（第2章）

（4）p層はnチャネルとの界面付近が高濃度であることが重要であり，同界面から離れた深い位置に形成されたp層は短チャネル効果抑制にはほとんど寄与しない。この結果，nチャネル下基板リーク電流はチャネル下の極く近傍を流れるという知見を得た。（第2章）

（5）p層濃度の増加に伴いゲート寄生容量が増加するが，それはVthを一定にするために同じく増加されたnチャネル濃度によるゲート真性容量の増加分の15 %以下で，実際のFET動作にはゲート真性容量の増加の影響が大きい。実際Be^+イオン 70 KeV, 2×10^{12} cm^{-2}のp層の有無により，同一ゲート消費電力時のゲート遅延時間は，p層有りで約10 %の増加に留まり動作速度の顕著な劣化には至らないことを確認した。（第2章）

（6）p層埋め込みによるn／p界面での空乏層はnチャネル側も空乏化してnチャネル厚はp層無しの場合の約2/3に薄層化され，これによりチャネル厚に反比例する電流駆動能力g_mはゲート長1 μ m時，250 mS/ mmから330 mS/ mmへと約30 %増大する。さらに短チャネル効果の抑制と併せて，

Be^+イオン 70KeV, 2×10^{12} cm^{-2} によるｐ層によりゲート長は 0.5μｍまで短縮でき，その時の g_m，Ｋ値は各々 600 mS / mm, 490 mS / Vmm と本ゲート長のGaAs MESFETとしては最高の性能が得られることを実証した。（第２章）

（７）ストイキオメトリックな In ドープ低転位基板をAsH_3雰囲気中 800℃, 30分 でSiOキャップアニールした本SAGFET作製プロセスにおいては，ゲート（ｎチャネル部）と最近接転位までの距離が 1μｍ以上の場合，両者に顕著な相関は見られないが，転位がゲートの直下にある場合，Vth は約 30 mV 負側にシフトする。本プロセスではAsよりもGa のSiO中への外方拡散量が多く，GaAs 基板表面付近はAs 過剰であると考えられるが，前者の結果はAs 過剰とする従来報告例の多くと一致する。しかしながら後者の結果はむしろGa 過剰の従来報告結果と同じ傾向であり，本結果が従来報告例の中で中間的な実験結果であることを確認した。（第２章）

（８）60μｍ，あるいは15μｍピッチの高密度微細FETアレイによるVth のミクロな分布の測定結果から，Vth が前記ピッチで単独点として数十mV正側にシフトする異常点が存在する。本異常点の上記転位との相関は全くなく，短チャネル効果が抑制されていれば見られず，逆に同効果が大きければ異常点の密度，Vth シフト量ともに増加する。本異常点はゲート形状不良，ゲートショットキー特性不良，ピエゾ効果異常には対応せず，周辺の正常点に比べ基板リーク電流が１桁弱低いことが明らかとなっている。現在のところ転位を除外した基板結晶特性がｎチャネル下の基板抵抗の局所的増大，あるいはｎ$^+$層用Si^+ 注入イオンのアニール時の横方向拡散長の局所的減少をもたらすことが主要な原因と推定される。（第２章）

（９）オフセットゲート構造FETのソース直列抵抗を低減するためにゲート・ｎ$^+$層分離部にｎ’中間濃度層を導入（LDD化）した結果，ｎチャネルと同等の濃度の付加（Si^+ イオン, 50 KeV, 2×10^{12} cm^{-2}以上），即ちｎチャネルの約２倍高濃度のｎ’層の形成で電流駆動能力であるＫ値は前記オフセットゲート構造FETの約１６０％に増加し，電流駆動能力は十分回復できる。但しｎ’層濃度の単調な増加はゲート・ドレイン端電界の増大，即ち短チャネル効果の増大を招き，Vth 均一性も劣化するため，前記Ｋ値の大幅な増加が確認されたうちの最低濃度である 2×10^{12} cm^{-2} が最適であることを実証した。（第３章）

（１０）ｐ型埋め込み層を有するLDD構造SAGFET（BPLDD）は，BP - FET，ｐ層無しLDDと合わせた３種類の中で短チャネル効果の抑制が最も大きい。ｐ層用Mg^+ イオン注入ドーズを注入エネルギー300 KeV の時，1.5×10^{13} cm^{-2} まで増加するにつれて，$2\sim5\times10^{12}$ cm^{-2}以上では Isub は 1 nA / 10μｍ以下で飽和するのに対し，Vth の負方向シフト量は単調に低下することを示し，Vth負方向シフトは基板リーク電流 Isub のみには律速されておらず，ｎチャネル厚変動に伴うゲート電界の２次元効果，あるいはピエゾ効果の影響を受けることを指摘した。Vth 均一性はｐ層用Mg^+ イオン注入条件として，

注入エネルギー300 KeVの時，ゲート長 0.7 μ mでは注入ドーズ 2×10^{12} cm^{-2}，0.5 μ mでは 5×10^{12} cm^{-2} の条件で３インチウエハー面内において σ Vth の最小値～20 mVを得た。微小領域でのVth ミクロ分布では，ゲート長 0.7 μ mで 60 μ mピッチ 3 mm角内測定で σ Vth = 7 mVが得られ，前章での1 μ mゲートBP - FETでの 9 mVより良好であることを確認し，σ Vth≦5 mV を理想とする16-Kb SRAMレベルのLSI の実現の可能性をより高めることができた。それ以上の高ドーズ注入では σ Vth は増加するため，短チャネル効果の抑制とVth 均一性の向上との相関はなくなることが確認され，短チャネル効果の良好な抑制にもかかわらず，高ドーズ注入での注入損傷に伴う活性化率ばらつき発生していることを指摘した。（第３章）

（１１）BPLDDのゲート容量は，BP - FETに比べゲート・n^+層間分離によりゲート端寄生容量が減少することを示し，ゲート長0.7 μ mではBP - FETで 1.0 fF / μ m が BPLDDで 0.5 fF / μ m へと半減することを実証した。特に短ゲート長ではｎチャネル真性容量に対するゲート端寄生容量の比が増加するのでゲート端寄生容量が減少する効果は顕著になり，ゲート長0.5 μ mではBPLDDの全ゲート容量はBPの約７４％にまで低下することを明らかにした。このために f_T，ゲート遅延時間はBPに比べ改善され，f_T はゲート長0.5 μ mで 35 GHz，ゲート遅延時間はゲート長0.7 μ mでゲート消費電力 1 mW の時，15 ps と良好な性能が得られた。特にゲート遅延時間は同一実効ゲート長のBPでの約６５％に改善され，ゲート長0.7 μ mのGaAs MESFETとしては世界最高レベルである。またｐ層中の中性領域による寄生容量の付加がゲート遅延時間に及ぼす影響は前章のBP - FETと同等以上に小さいことを明らかにした。（第３章）

（１２）BPLDDの電流駆動能力 g_m の一層の向上を図るために，さらにｎ’層，n^+層の高濃度化によるソース直列抵抗の低下を図る際，短チャネル効果を従来型BPLDDと同程度に維持するために，n^+層の薄層化とｎ’層長（ゲート・n^+層間分離長）の増加を可能とする新プロセスとして，SiN / SiON２層サイドウォールプロセスを開発した。これにより n^+層は注入エネルギー 50 KeVの SiN 500 Åのスルー注入でｎチャネルと同程度の注入深さに形成でき，また従来型スルー注入での約2000 Åのゲート側壁厚から約3000 Åのサイドウォールに側壁厚を増加して n^+層用注入を行え，この結果，ｎ’層用注入ドーズは従来型の２倍の 4×10^{12} cm^{-2}，n^+層用注入ドーズは 3×10^{13} cm^{-2}でピークキャリア濃度としては従来型の1.5倍に増加させることができる。改良型BPLDDを作製し，評価した結果，ゲート長0.5 μ mでVth 均一性を３インチウェハー面内で σ Vth≦25 mVに維持しつつ，g_m～500 mS/mm，f_T～50 GHz, と従来型BPLDDに比べ，g_m を約２５％，f_T を約３０％向上でき，またゲート遅延時間は 7 ps（ゲート消費電力 2.5 mW の時）であり，0.5 μ mゲートGaAs MESFETとしては世界最高速であることを確認した。（第３章）

（１３）Ar^+ イオンを用いたイオンミリング法によるAu配線パターン加工において，３０度斜めか

らイオンビームを照射することにより，レジスト端に発生するfacetをウエハ表面に対し垂直にしてレジスト形状を矩形化し，それを反映させて下地Auの加工形状も矩形状にできる。この時，垂直となったレジスト端facetはレジストの中で最もエッチングレートが高くパターン細りが懸念されるが，Auとレジストのミリングレートの差によりパターン細りは約0.1μmに留まり，最小仕上がり寸法0.7μmまでの矩形状Au配線パターンの加工が出来る。また斜めからのイオンビーム照射により，レジスト側壁，あるいはAu加工パターン側壁に再付着するAuがエッチングされるために，垂直イオンビーム照射時に発生するAu加工パターン幅の太り，パターン端でのAuの突起物発生は回避できることを確認した。（第4章）

（１４）下地に段差を有するAu配線パターン上にAuのヒロックが発生する。このヒロックは，上層のSiON成膜温度の増加と共に増えるが，その発生メカニズムとしてGaAs基板上に形成されたAuスパッタ膜が昇温プロセスにより圧縮応力を受け，それを緩和するためにAuが自己拡散を起こしてAu表面にヒロックを形成するというモデルが考えられる。Auヒロックが下地の段差部分に集中して多く観察されるのはこの部分に応力が集中しているためと言え，上述のヒロック密度と熱処理温度の関係からヒロック発生の活性化エネルギーは1.50 eVであったが，これはAuバルク中での自己拡散の活性化エネルギー1.81 eVより小さく，本ヒロック中に見られるgrain boundaryを介した拡散であると推定される。SiON成膜温度を300℃から250℃に低下すると，ヒロック密度は前者での6％に低減し，これにより16-kb SRAMでの層間リーク不良の発生頻度も大幅に低減することができた。（第4章）

（１５）メタルポスト用下層レジスト，エアブリッジ配線用上層レジストからなる２層レジストプロセスにより，メタルポスト高さ2.5μm，エアブリッジ膜厚4.0μmのAuメッキエアブリッジ構造で，Auメッキ膜の自重によるたわみの無い状態で，メタルポスト間のスパン長500μmの長スパンAuエアブリッジ配線が形成できることを実証した。（第4章）

（１６）２層，３層配線両構造の16-kb SRAMでの配線遅延時間を，GaAs基板容量の影響を無視して層間配線容量の効果を考慮した分布RC遅延モデルであるWilhelm，あるいは桜井の式で見積った結果，２層配線を用いたSRAMに対する３層配線を用いたSRAMのアクセス時間の中での配線遅延の短縮比は74％であり，実測結果である同短縮比70％とほぼ一致することを確認した。この２層配線による16-kb SRAMでの配線遅延と３層配線による16-kb SRAMでの配線遅延の相対比74％は，配線容量を集中RC回路として扱うSPICE2シミュレーションによる相対比57％とはかなり異なり，16-kb SRAMの実測結果70％は分布RC遅延モデルでの計算値に近いため，本16-kb SRAM程度の集積度を有するLSIでの配線遅延は分布RC遅延として扱う必要があることを明らかにした。（第4章）

（１７）Auエアブリッジ配線を最上層電源，アース配線として，LSIに初めて適用した。その結果，下層信号配線―最上層エアブリッジ配線間容量は，エアブリッジでない従来の層間絶縁膜SiONを有す

る構造に比べて約10％に，信号配線遅延時間は約50％に，0.7μmゲートBPLDD - FETを用いたDCFLゲートの標準負荷付き遅延時間（FET真性遅延，ファンイン，ファンアウト負荷遅延，配線負荷遅延の総和：ファンイン数＝ファンアウト数＝2，Au負荷配線長2 mm）は約60％に低下する。これらの実測結果に対する（１６）の分布RC遅延モデル（桜井の式）での予測値はおおよそ一致した。（第4章）

（１８）E/D - DCFLでSRAMを構成する場合，高温時のDCFLインバータ特性の劣化に対しては，ソース　フォロワ回路をDCFLゲート後段に付加することで出力"Low"レベルを0 V近くまで下げれるので，電圧振幅は増加し高温時の回路動作は安定化する。またビット線電位，メモリセル安定性の低下に対しては，ビット線電位を低下させる非選択メモリセルのアクセスTr.でのリーク電流の総和を低減するためにカラム当たりのメモリセル数を十分減らすこと（本研究では32個以下），またロウ選択回路としてメモリセルのベース線とグランド間にショットキーダイオードを挿入することにより，メモリセルのアクセスTr.の入力ゲートを逆バイアスして同Tr.でのリーク電流を十分抑制することが非常に有効であることを明らかにした。（第５章）

（１９）ソフトエラー耐性の向上を図る上で，素子構造の点ではメモリセル蓄積ノードFET下部にｐ層を第２，３章で検討した条件で形成すると共に，メモリセル回路構成の点では蓄積ノードとグランド間にショットキーダイオードと負荷Tr.を挿入する方法を考案し，ノード反転臨界電荷量を十分大きく，"High"レベルの低下量を十分小さく抑制できることを初めて示した。またそのソフトエラー耐性は市販の100 FIT以下のSi ECL 1-kb SRAMの約３倍良好であった。（第５章）

（２０）第３章の0.7μmゲートBPLDD - FET，第４章の３層配線構造，そして（１８），（１９）の回路技術を用いて16-kb SRAMを作製，評価した結果，25～100℃の温度範囲で最大アクセス時間5 ns，チップ消費電力2 Wを電源電圧1.8±0.1 Vで実現した。（第５章）

（２１）第３章に記述した0.5μmゲートBPLDD - FET，第４章の第３層電源用エアブリッジ配線構造，そして（１８），（１９）の回路技術を用いて4-kb SRAMを作製，評価した結果，最大アクセス時間1.5 ns，チップ消費電力700 mWという速度・消費電力積においてSi ECL SRAMをも含め世界最小の優れた性能が電源電圧1.6 Vで実現できた。（第５章）

（２２）広帯域ＩＳＤＮ対応のSTM - 1の並列信号をSTM - 16の多重信号に変換し，逆にSTM - 16の多重信号をSTM - 1の並列信号に変換する2.5 Gb/s 16:1 MUX / DEMUXを開発した。回路動作の安定化を図るために，シフトレジスタ型回路構成にすることにより，誤り率10^{-11}以下で最高動作周波数3.2 Gb/sの16:1 MUXを，また最高動作周波数3.2 Gb/s，入力位相余裕度220°で動作する16:1 DEMUXを共に1.3 Wというシステム上空冷で十分対応可能な低消費電力で実現できた。（第５章）

謝　辞

本論文をまとめるにあたり，終始御親切なる御指導と御鞭撻を賜った大阪大学基礎工学部
濱川圭弘教授に衷心より御礼申し上げます。

また，本論文の作成にあたり御懇篤なる御検討と御教示を頂いた大阪大学基礎工学部　奥山雅則教授，蒲生健次教授，小林猛教授に厚く御礼申し上げます。

本研究の遂行にあたり，終始御懇切なる御教示と御鞭撻を賜り，また本論文作成の機会を与えて頂いた三菱電機株式会社光・マイクロ波デバイス研究所所長　三井茂博士，同 LSI 研究所所長
小宮啓義博士に厚く御礼申し上げます。

本研究の遂行，及び論文の作成にあたり，直接御指導頂き，数々の御教示を頂いた三菱電機（株）光・マイクロ波デバイス研究所マイクロ波デバイス開発部部長　大坪睦之博士，同カスタムLSI 設計技術開発センター部長　茅野晋平博士，同北伊丹製作所波光部次長　西谷和雄博士，同研究所グループマネージャー　三井康郎博士，高野博三主幹，折坂伸治主幹に厚く御礼申し上げます。

また，本論文における数々の実験とその分析・解析に御協力頂き，有益な御討論と御指摘をしていただいた三菱電機（株）光・マイクロ波デバイス研究所　伊藤和彦氏，谷野憲之氏，紫村輝之氏，細木健治氏，中野博之氏，奥友希氏，河野康孝氏，酒井将行氏，松岡敬氏，東坂範雄氏，島田征明氏，同 LSI 研究所　高野聡博士，牧野博之氏，同カスタムLSI 設計技術開発センター　松江秀一氏，同北伊丹製作所　住谷光一氏に心から感謝致します。

末筆ながら，本研究の期間中終始有益な御討論と御協力を頂いた三菱電機（株）光・マイクロ波デバイス研究所，LSI 研究所，ならびに北伊丹製作所の各位に心から感謝致します。

研究業績目録

（Full Paper：主著論文，審査有り）

1). S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano,
"A GaAs 16K SRAM with a Single 1 - V Supply," in *IEEE J. Solid - State Circuits*, vol. SC - 22, Oct. 1987, pp. 699 - 703.

2). H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,
"A 7-ns / 850-mW GaAs 4-kb SRAM with Little Dependence on Temperature,"
in *IEEE J. Solid - State Circuits*, vol. SC - 25, Oct. 1990, pp.1232 - 1238.

3). S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano,
"A 5-ns GaAs 16-kb SRAM," in *IEEE J. Solid - State Circuits*, vol. SC - 26, Oct. 1991, pp.1399 - 1406.

4). M. Noda, K. Hosogi, K. Sumitani, H. Nakano, K. Nishitani, M. Otsubo, H. Makino, and A. Tada,
"A GaAs MESFET with a Partially Depleted p Layer for SRAM Applications,"
in *IEEE Trans. Electron Devices*, vol. ED - 38, Dec. 1991, pp. 2590 -2598.

5). M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H.Makino, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A High - Speed 16-kb SRAM of Less than 5 ns Using Triple - Level Metal Interconnection," in *IEEE Trans. Electron Devices*, vol. ED - 39, Mar. 1992, pp. 494 -499.

6). M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo,
"A High - Speed and Highly Uniform Submicrometer - Gate BPLDD GaAs MESFET for GaAs LSI's,"
in *IEEE Trans. Electron Devices*, vol. ED - 39, Apr. 1992, pp. 757 -766.

7). M. Noda, H. Matsuoka, N. Higashisaka, M. Shimada, H. Makino, S. Matsue, Y. Mitsui, K. Nishitani, and A. Tada, "An Application of Air - Bridge Metal Interconnections to High Speed GaAs LSI's,"
in *IEICE Trans. Electronics, Special Issue on Compound Semiconductor Integrated Circuits*, vol. E75-C, No. 10, Oct. 1992, pp.1146-1153.

8). M. Noda, T. Oku, M. Sakai, K. Hosogi, Y. Kohno, S. Terazono, and K. Nishitani,
"An Advanced GaAs BPLDD MESFET with Dense and Shallow n' and n^+ Regions for LSI Applications,"
in *IEEE Trans. Electron Devices*, to be submitted

9). M. Noda, M. Okuyama, and Y. Hamakawa,
"CARRIER TRAPPING CENTERS AND INTERFACE STATES INDUCED BY r.f. SPUTTERING OF MOLYBDENUM ELECTRODES IN MOS-STRUCTURE DIODES," in Solid-State Electronics, vol. 27, No. 5, May 1984, pp. 399 - 406.

（国際学会発表：審査有り）

1). T. Shimura, M. Noda, K. Hosogi, N. Tanino, K. Nishitani, and M. Otsubo,
"A Buried P-Layer Lightly Doped Drain (BPLDD) Self-Aligned GaAs MESFET,"
in *18th Conf. on Solid State Devices and Materials (Tokyo, Japan, 1986)*, pp.387 - 391.

2). N. Tanino, S. Takano, M. Noda, H. Makino, K. Sumitani, H. Nakano, K. Nishitani, and S. Kayano,
"A 2.5 ns / 200 mW GaAs 4Kb SRAM," in *IEEE GaAs IC Symp. Tech. Dig.*, 1986, pp. 101 - 104.

3). S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano,
"A 16K GaAs SRAM," in *IEEE ISSCC Tech. Dig.*, 1987, pp. 140 - 143.

4). M. Noda, K. Hosogi, K. Sumitani, H. Nakano, H. Makino, K. Nishitani, and M. Otsubo,
"A high-yield 4Kb SRAM process technology using self-aligned gate MESFETs with a partially depleted p-layer," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 227 - 230. （但し前記主著論文４）に本内容を掲載）

5). H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,
"A 7 ns / 850 mW GaAs 4Kb SRAM fully operative at 75 ℃," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 71 - 74.

6). M. Kobayashi, N. Tanino, M. Komaru, T. Shimura, M. Noda, and O. Ishihara,
"A High Frequency GaAs Multivibrator IC," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 151 - 154.

7). M. Noda, K. Hosogi, K. Maemura, T. Kato, Y. Nakajima, K. Nishitani, and M. Otsubo,
"High-speed and highly uniform submicron gate BPLDDFET for GaAs LSIs,"
in *Proc. 16th Int. Symp. on GaAs and Related Compounds (Karuizawa, Japan, 1989)*, pp. 653 - 658.
（但し前記主著論文６）に本内容を掲載）

8). K. Hosogi, T. Shimura, Y. Nakajima, M. Noda, and K. Nishitani,
"Microscopic Uniformity of Vth in GaAs MESFETs,"
in *Proc. 16th Int. Symp. on GaAs and Related Compounds (Karuizawa, Japan, 1989)*, pp. 659 - 664.

9). S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,
"A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM," in *IEEE GaAs IC Symp. Tech. Dig.*, 1989, pp. 41 - 44.

10). M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A Triple-Level Interconnection Technology for High Speed 16 Kb GaAs SRAM,"
in *22nd Conf. on Solid State Devices and Materials (Sendai, Japan, 1990)*, pp. 71 -74.
（但し前記主著論文５）に本内容を掲載）

11). H. Nakano, M. Noda, M. Sakai, S. Matsue, T. Oku, K. Sumitani, H. Makino, H. Takano, and K. Nishitani, "A HIGH-SPEED GaAs 16Kb SRAM of 4.4 ns / 2 W USING TRIPLE-LEVEL METAL INTERCONNECTION," in *IEEE GaAs IC Symp. Tech. Dig.*, 1990, pp. 151 - 154.

12). N. Higashisaka, M. Shimada, T. Nishimura, N. Sasaki, M. Noda, H. Matsuoka, and S. Kayano, "A Quasi-Complementary-Logic GaAs Gate Array employing Air-Bridge Metalization Technology," in *IEEE CICC Tech. Dig.*, 1991, pp. 14.6.1 - 14.6.4.

13). K. Yamamoto, K. Maemura, N. Andoh, M. Noda, K.Oki, H. Ishida, Y. Mitsui, M. Otsubo, and S. Mitsui, "A 1.9 GHz-Band GaAs Direct-Quadrature Modulator IC with a Phase Shifter," in *IEEE GaAs IC Symp. Tech. Dig.*, 1992, pp. 37 - 40.

（国内学会発表：審査無し）

１．応用物理学会

1) 第３１回応用物理学関係連合講演会１９８４年（昭和５９年）春季

31a - O - 6 ：大沢　勝、野田　実、西谷　和雄、大坪　睦之

「Wシリサイドのリアクテイヴイオンエッチング」

2) 第４５回応用物理学会学術講演会１９８４年（昭和５９年）秋季

13p - U - 7：野田　実、西谷　和雄、大坪　睦之

「Wシリサイドの反応性イオンエッチング（２）」

3) 第３２回応用物理学関係連合講演会１９８５年（昭和６０年）春季

31p - X - 3：野田　実、住谷　光一、細木　健治、紫村　輝之、伊藤　和彦、谷野　憲之、西谷　和雄、大坪　睦之

「ＷＳｉｘ／Ｗ２層構造ゲートを有するセルフアラインＧａＡｓＭＥＳＦＥＴ」

4) 第４６回応用物理学会学術講演会１９８５年（昭和６０年）秋季

2a - B - 3：野田　実、細木　健治、伊藤　和彦、谷野　憲之、西谷　和雄、大坪　睦之

「キャップレスアニールによるＧａＡｓＭＥＳＦＥＴのＶｔｈゲート方位依存性」

5) 第３３回応用物理学関係連合講演会１９８６年（昭和６１年）春季

4p - T - 2：野田　実、紫村　輝之、細木　健治、谷野　憲之、西谷　和雄、大坪　睦之

「n^+スルー注入によるＧａＡｓＭＥＳＦＥＴ特性の改善」

6) 第４７回応用物理学会学術講演会１９８６年（昭和６１年）秋季

28p - B - 5：野田　実、細木　健治、中島　康晴、紫村　輝之、西谷　和雄、大坪　睦之

「n^+スルー注入によるＧａＡｓＭＥＳＦＥＴ特性の改善（２）」

7) 第４７回応用物理学会学術講演会１９８６年（昭和６１年）秋季

28p - B - 7：細木　健治、野田　実、紫村　輝之、谷野　憲之、西谷　和雄、大坪　睦之

「n^+スルー注入ＬＤＤ構造ＧａＡｓＭＥＳＦＥＴ特性の検討」

8) 第３４回応用物理学関係連合講演会１９８７年（昭和６２年）春季

29p - X - 2：細木　健治、野田　実、中島　康晴、谷野　憲之、西谷　和雄

「高密度微細ＦＥＴアレイによるＶｔｈばらつき評価」

9) 第３４回応用物理学関係連合講演会１９８７年（昭和６２年）春季

29p - X - 7：伊藤　和彦、細木　健治、野田　実、奥　友希、桧垣　幸夫、西谷　和雄

「スルー注入によるＧａＡｓＭＥＳＦＥＴの高性能化」

10) 第３４回応用物理学関係連合講演会１９８７年（昭和６２年）春季

29p - X - 8：細木　健治、紫村　輝之、野田　実、伊藤　和彦、西谷　和雄

「ＬＤＤ構造ＧａＡｓＭＥＳＦＥＴの高性能化」

11) 第３５回応用物理学関係連合講演会１９８８年（昭和６３年）春季

30a - ZB - 3：細木　健治、野田　実、中島　康晴、高野　博三、西谷　和雄

「ＧａＡｓＭＥＳＦＥＴにおけるスパイク状Ｖｔｈ異常の検討」

12) 第３５回応用物理学関係連合講演会１９８８年（昭和６３年）春季

30a - ZB - 4：野田　実、伊藤　和彦、細木　健治、西谷　和雄

「ｐ層埋め込みＦＥＴの高性能化（２）」

２．電子情報通信学会

1) 昭和６１年度電子通信学会総合全国大会（１９８６年）

牧野　博之、高野　聡、野田　実、谷野　憲之、西谷　和雄、茅野　晋平

「プリデコード方式を用いた低消費電力ＧａＡｓ４ＫｂスタテイックＲＡＭの設計」

2) 電子情報通信学会技術研究報告　電子デバイス研究会

ＥＤ８６－１３４：野田　実、住谷　光一、中野　博文、伊藤　和彦、細木　健治、

西谷　和雄、

「ＧａＡｓ　ＬＳＩメモリプロセス技術」

3) 電子情報通信学会技術研究報告　電子デバイス研究会

ＥＤ８６－１３５：牧野　博之、高野　聡、野田　実、谷野　憲之、西谷　和雄、茅野　晋平

「ＧａＡｓ４ＫｂスタテイックＲＡＭ」

4) 電子情報通信学会技術研究報告　電子デバイス研究会

ＥＤ８８－１４４：野田　実、細木　健治、住谷　光一、中野　博文、牧野　博之、
西谷　和雄、
「部分空乏化したｐ型埋め込み層を有するセルフアラインゲートＭＥＳＦＥＴを用いたＧａＡｓ４ＫｂＳＲＡＭプロセス技術」

5) 電子情報通信学会技術研究報告　電子デバイス研究会
ＥＤ８８－１５０：牧野　博之、松江　秀一、野田　実、谷野　憲之、高野　聡、西谷　和雄、
「７５℃で動作する７ｎｓ／８５０ｍＷのＧａＡｓ４ＫビットＲＡＭ」

6) 電子情報通信学会技術研究報告　電子デバイス研究会
ＥＤ８９－１３０：野田　実、細木　健治、前村　公正、加藤　隆幸、中島　康晴、
牧野　博之、西谷　和雄、大坪　睦之、
「ＧａＡｓＬＳＩ用サブミクロンゲートｐ層埋め込み型ＦＥＴのＬＤＤ化による均一性、高速性の改善」

7) 電子情報通信学会技術研究報告　電子デバイス研究会
ＥＤ８９－１３７：松江　秀一、牧野　博之、野田　実、谷野　憲之、高野　聡、西谷　和雄、
茅野　晋平、
「ソフトエラー耐性を改善した７ｎｓ／２．１Ｗ　ＧａＡｓ　１６Ｋｂ　ＳＲＡＭ」

8) 電子情報通信学会技術研究報告　電子デバイス研究会
ＥＤ９０－１５０：中野　博文、野田　実、酒井　将行、松江　秀一、奥　友希、住谷　光一、
牧野　博之、高野　博三、西谷　和雄、
「３層配線を用いた４．４ｎｓ／２ＷＧａＡｓ１６Ｋｂ ＳＲＡＭ」

9) 電子情報通信学会技術研究報告　電子デバイス研究会
ＥＤ９１－１７８：野田　実、松岡　敬、東坂　範雄、島田　征明、牧野　博之、三井　康郎
「Ａｕエアブリッジ配線によるＧａＡｓＬＳＩの高速化検討」

10) １９９２年電子情報通信学会秋季大会
Ｃ―４０８：島田　征明、東坂　範雄、太田　彰、野田　実、久保　和夫、飛田　康夫、
三井　康郎、「２．５Ｇｂｐｓ　ＤＣＦＬ　１６：１　ＭＵＸ／ＤＥＭＵＸ　ＬＳＩ」

11) １９９２年電子情報通信学会秋季大会
Ｃ―４０４：山本　和也、前村　公正、安藤　直人、野田　実、沖　和也、石田　博一、
三井　康郎、大坪　睦之、「１．９ＧＨｚ帯ＧａＡｓ直接直交変調器ＩＣ」