



Title	GaAs MESFET の高性能化と高速LSIへの応用に関する研究
Author(s)	野田, 実
Citation	大阪大学, 1993, 博士論文
Version Type	VoR
URL	<a href="https://doi.org/10.11501/3072892">https://doi.org/10.11501/3072892</a>
rights	
Note	

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

GaAs MESFET の高性能化と  
高速 LSI への応用に関する研究

1993年

野 田 実

## 内容梗概

本論文は著者が1984年以来三菱電機株式会社LSI研究所、光・マイクロ波デバイス研究所において行ってきたGaAs MESFETの高性能化と高速LSIへの適用に関する研究成果をまとめたもので、6章より構成されている。以下各章の概要を示す。

### 第1章 序論

GaAs LSIの基本素子であるMESFETについての研究の歴史的背景、及び現在に至るまでの開発動向を概観し、本研究の目的、意義を明らかにする。

### 第2章 GaAs LSI用 p層埋め込み高融点金属シリサイド SAGFETの研究開発

ゲート材料として高融点金属シリサイドである $WSi_x$ を選択し、 $WSi_x/GaAs$ ショットキー特性、および $WSi_x$ のRIE加工特性の検討を行い、ショットキー特性については $WSi_x/GaAs$ 界面付近のSi組成が重要であること、RIEではカソードカップリングによる異方性モードにより良好な矩形形状に加工できることを確認した後、 $WSi_x$ セルフアラインゲート (Self-Aligned Gate) MESFETの構造と作製プロセスの最適化を図る。その中でnチャネル下基板リーク抑制とnチャネルの薄層化を図るために、本 $WSi_x$ ゲートMESFETにおいて、初めてnチャネル直下にp層を埋め込み、短チャネル効果と $V_{th}$ 均一性の改善、並びに電流駆動能力の向上とFET動作速度について検討した結果を示し、本nチャネル下p層埋め込みが $WSi_x$ ゲートMESFETの特性向上に有効であることを示す。

### 第3章 p層埋め込み型 GaAs SAGFETのLDD化による高性能化に関する研究

前章で開発したp層埋め込み型 $WSi_x$ ゲートSAGFETにおいて、ゲート・ $n^+$ 層間オーバーラップ容量の低減、およびより一層の短チャネル効果の抑制を図るために、Lightly Doped Drain構造を適用する。LDD化に際しては、 $n'$ 中間層形成条件を最適化することで、ソース抵抗の低減（電流駆動能力の向上）と短チャネル効果の抑制とを同時に達成できることを示し、これにより、 $V_{th}$ の均一性向上、ゲート端寄生容量の低下によりFET動作速度の大幅向上が実現できることを示す。さらにLSI動作を高速化するために、短チャネル効果を十分抑制しつつ電流駆動能力を増加するには、 $n'$ 中間層長（ゲート・ $n^+$ 層間距離）の増大、 $n^+$ 層、 $n'$ 中間層の高濃度薄層化が有効であることを示す。

## 第4章 GaAs LSI用多層化配線

GaAs LSIを構成する配線技術として、GaAsプロセス特有となるAu系多層配線プロセス技術、および高速化に有利なAuエアブリッジ配線プロセス技術についての検討結果を述べる。特にAu配線イオンミリング加工においては、イオンビームの斜め入射によって加工形状の矩形化、Au再付着の抑制が可能であることを示すとともに、昇温プロセスによるAu配線段差部でのヒロック発生とその低減方法を明らかにする。エアブリッジ配線においては、LSIの最上層電源配線のエアブリッジ化を可能とする500 $\mu$ m長スパンエアブリッジ構造についての検討結果を述べる。さらにGaAs LSIの動作速度と配線遅延の関係について、集中定数あるいは分布定数RC線路モデルによる配線遅延の計算、および実測による定量的解析を行い、16-kb SRAMの集積度では配線の分布定数的取扱いが必要であることを示す。そして多層化による配線長の短縮、並びにエアブリッジ化による配線容量の低減によって、配線遅延を大幅に低減でき、GaAs LSIの高速化が可能となることを明らかにする。

## 第5章 GaAs LSI設計技術とSRAM、マルチプレクサー／デマルチプレクサーへの応用

前章までに検討したMESFET技術、およびAu配線技術を用いて、4-Kb/16-Kb SRAMなどのメモリLSI、2.5 Gb/s 16:1 マルチプレクサー／デマルチプレクサーなどのロジックLSIを設計、試作、評価を行った結果について述べる。基本論理回路としてDCFLが高速・低消費電力動作に有利であることを示した後、各LSIの実用動作を図る上で不可欠な、SRAMではMESFETの高温動作時の特性劣化の抑制、メモリセルのソフトエラー耐性の向上を実現する回路技術の検討、マルチプレクサー／デマルチプレクサーではクロック動作マージンが大きいシフトレジスタ型構成の採用について検討を行った結果、両LSI共実システム搭載可能なレベルでの高速、低消費電力、かつ広動作マージンを有する回路動作が実現されていることを明らかにする。

## 第6章 総括

本章では第2章から第5章までの研究成果を総括した後、本研究で得られた主要な結論について述べる。

# 目次

## 第1章 序論

1. 1 関連分野の技術的背景
1. 2 問題点の概要と本研究の目的  
(参考文献)

## 第2章 GaAs LSI用 p層埋め込み高融点金属シリサイド SAGFETの研究開発

2. 1 緒言
2. 2 p層埋め込み型  $WSi_x$  ゲート GaAs SAGFET (BP-FET) の構造
2. 3 p層埋め込み型  $WSi_x$  ゲート GaAs SAGFET (BP-FET) の作製プロセス
2. 4 高融点金属シリサイドゲート電極の作製
  2. 4. 1 高融点ゲート材料の選択
  2. 4. 2  $WSi_x$ /GaAs ショットキー界面特性の検討
  2. 4. 3  $WSi_x$  ゲートの加工
2. 5 イオン注入層形成条件の最適化
  2. 5. 1 n型チャネル層形成条件の考察
  2. 5. 2  $n^+$ 層形成条件の考察
  2. 5. 3 p型埋め込み層形成条件の考察
2. 6 p層埋め込みGaAs SAGFET高性能化の検討
  2. 6. 1  $V_{th}$  制御性向上
  2. 6. 2 短チャネル効果の抑制
  2. 6. 3  $V_{th}$  均一性向上
  2. 6. 4 スパイク状 $V_{th}$  異常の抑制
    2. 6. 4. 1 転位と $V_{th}$  変動の相関
    2. 6. 4. 2 微小領域での $V_{th}$ 変動とその原因の考察
  2. 6. 5 p層埋め込みSAGFETの電流駆動能力の向上
  2. 6. 6 ゲート容量
  2. 6. 7 ゲート遅延時間
2. 7 結言  
(参考文献)

### 第3章 p層埋め込み型 GaAs SAGFETのLDD化による高性能化に関する研究

#### 3.1 緒言

#### 3.2 ゲート・ $n^+$ 層分離の検討 — オフセットゲート構造 SAGFET

##### 3.2.1 ゲート端での注入プロファイル

###### 3.2.1.1 1次元注入プロファイル

###### 3.2.1.2 2次元注入プロファイル

##### 3.2.2 短チャネル効果

###### 3.2.2.1 $N_g$ のゲート長依存性

###### 3.2.2.2 チャネル厚変調パラメータ

###### 3.2.2.3 $I_{ds} - V_{gs}$ 依存性

##### 3.2.3 ソース直列抵抗

#### 3.3 LDD構造の検討— $n'$ 中間層形成条件と電流駆動能力(ソース直列抵抗)との関係—

#### 3.4 p層埋め込み型LDD構造 SAGFET (BPLDD)の構造

#### 3.5 p層埋め込み型LDD構造 SAGFET (BPLDD)の作製プロセス

#### 3.6 p層埋め込み型LDD構造 SAGFET (BPLDD)特性の検討

##### 3.6.1 短チャネル効果

##### 3.6.2 $V_{th}$ 均一性

###### 3.6.2.1 p層用 $Mg^+$ イオン注入ドーズ依存性

###### 3.6.2.2 $n'$ 層用 $Si^+$ イオン注入ドーズ依存性

##### 3.6.3 微小領域での $V_{th}$ 分布

##### 3.6.4 電流駆動能力

##### 3.6.5 ゲート容量

###### 3.6.5.1 ゲート容量の構成

###### 3.6.5.2 ゲート端寄生容量の解析

##### 3.6.6 遮断周波数

##### 3.6.7 ゲート遅延時間

#### 3.7 BPLDD構造FETにおける電流駆動能力と速度性能の改善

##### 3.7.1 FET構造の再検討

##### 3.7.2 プロセス技術の改善

###### 3.7.2.1 $SiO/SiON$ 2層サイドウォールプロセス

###### 3.7.2.2 回転イオン注入

- 3. 7. 2. 3 電子サイクロトロン共鳴プラズマエッチングによる $\text{WSi}_x$ ゲートの形成
  - 3. 7. 3 サイドウォールプロセスに伴う $n^+$ 層、 $n'$ 層形成条件の再検討
  - 3. 7. 4 短チャネル効果と $V_{th}$ 均一性
  - 3. 7. 5 電流駆動能力の改善
  - 3. 7. 6  $p$ 層と $n^+$ 層のオーバーラップ容量の $f_T$ への影響
  - 3. 7. 7 ゲート遅延時間の改善
  - 3. 8 結言
- (参考文献)

#### 第4章 GaAs LSI用多層化配線

- 4. 1 緒言
  - 4. 2 Au系多層化配線プロセス技術
    - 4. 2. 1 イオンミリングによるAu配線形成技術
    - 4. 2. 2 層間絶縁膜形成技術 — 平坦化・平滑化技術
    - 4. 2. 3 コンタクトホール形成技術
    - 4. 2. 4 多層配線プロセスフロー
    - 4. 2. 5 Auヒロックの発生とその低減
  - 4. 3 Auエアブリッジ配線プロセス技術
  - 4. 4 LSI動作速度と配線遅延の関係
    - 4. 4. 1 LSI高速化における配線容量低減の重要性
    - 4. 4. 2 16-kb SRAMの3層配線化における速度トレードオフ
    - 4. 4. 3 エアブリッジ化による配線遅延の低減
  - 4. 5 結言
- (参考文献)

#### 第5章 GaAs LSI設計技術とSRAM, マルチプレクサー/デマルチプレクサーへの応用

- 5. 1 緒言
- 5. 2 基本論理回路
  - 5. 2. 1 DCFL
  - 5. 2. 2 SCFL
  - 5. 2. 3 DCFLゲートの負荷駆動特性

- 5.3 メモリLSI (SRAM) 設計技術
  - 5.3.1 GaAs MESFET 高温動作時の劣化に基づく回路上の問題
    - 5.3.1.1 DCFL インバータ特性の劣化
    - 5.3.1.2 リーク電流の増加によるビットライン電位, メモリセル安定性の低下
  - 5.3.2 ソフトエラー耐性の問題
  - 5.3.3 回路設計での対策
    - 5.3.3.1 ソースフォロア回路の適用
    - 5.3.3.2 メモリセル配置
    - 5.3.3.3 ロウ選択回路
    - 5.3.3.4 ソフトエラー耐性を向上したメモリセル
  - 5.3.4 SRAM における回路構成
- 5.4 SRAM の性能評価
  - 5.4.1 16-kb SRAM
    - 5.4.1.1 新回路技術によるSRAM動作特性の改善
    - 5.4.1.2 新メモリセルによるソフトエラー耐性の改善
  - 5.4.2 4-kb SRAM
    - 5.4.2.1 FET技術によるアクセス時間の改善
    - 5.4.2.2 多層配線技術によるアクセス時間の改善
    - 5.4.2.3 第3層電源用エアブリッジ配線を用いた4-kb SRAMの評価結果
- 5.5 ロジックLSI (マルチプレクサー(MUX)/デマルチプレクサー(DEMUX)) 設計
  - 5.5.1 広帯域ISDN通信システムにおけるMUX/DEMUX
  - 5.5.2 シフトレジスタ回路の検討
- 5.6 MUX/DEMUXの動作機能とその性能評価
  - 5.6.1 MUXの誤り率, 出力データ波形, 最高動作周波数
  - 5.6.2 DEMUXの入力位相余裕度, 最高動作周波数
- 5.7 結言  
(参考文献)

## 第6章 総括

謝辞

研究業績目録

## 略語対照表

略語	名称
A E S	Auger Electron Spectroscopy
B F L	Buffered FET Logic
B - I S D N	Broadband Integrated Services Digital Network
B L	Bit Line
B P - F E T	Buried P-layer FET
B P L D D - F E T	Buried P-layer Lightly Doped Drain FET
C C I T T	Comité Consultatif International Télégraphique et Téléphonique
$C_{gs}$	ゲート・ソース間容量
$C_{gd}$	ゲート・ドレイン間容量
CMOS	Complementary MOS
CVD	Chemical Vapor Deposition
DCFL	Direct Coupled FET Logic
DFP	Delay Flip - Flop
DL	Data Line
ECL	Emitter Coupled Logic
ECR	Electron Cyclotron Resonance
E/D	Enhancement / Depletion
FI	Fan - In
FIB	Focused Ion Beam
FIT	Failure Unit
FLOPS	FLoating point Operations Per Second
FO	Fan - Out
$f_T$	遮断周波数
Gb/s	Gigabits per Seconds
$g_m$	相互コンダクタンス
HBT	Hetero Bipolar Transistor

HEMT	High Electron Mobility Transistor
$I_{sub}$	サブスレッショルド電流
K	K値
LAN	Local Area Network
LCC	Leadless Chip Carrier
LDD	Lightly Doped Drain
LEC	Liquid Encapsulated Czochralski
LSS	Lindhard, Sharff, Schiott
LSI	Large Scale Integration
MESFET	MEtal - Semiconductor Field-Effect Transistor
MIM	Metal - Insulator - Metal
MIS	Metal - Insulator - Semiconductor
MOSFET	Metal - Oxide - Semiconductor Field-Effect Transistor
MSI	Medium Scale Integration
MUX/DEMUX	Multiplexer / Demultiplexer
$N_g$	サブスレッショルド因子
NMOS	N - type MOS
PMSS	Silylated poly-methyl silsequioxane
PRBS	Pseudo Random Bit Sequence
PSG	Phosphosilicate Glass
RIE	Reactive Ion Etching
SAGFET	Self - Aligned Gate FET
SAINT	Self - Aligned ion - Implantaion for $N^+$ - layer Technology
SCFL	Source Coupled FET Logic
SDFL	Schottky Diode FET Logic
SDH	Synchronous Digital Hierarchy
SEM	Scanning Electron Microscopy
SIMS	Secondary Ion Mass Spectroscopy
SOG	Spin - On - Glass
SR	Shift Resistor
SRAM	Static Random Access Memory

SSI	Small Scale Integration
SSR	Selector - Shift resistor
STM-N	Synchronous Transfer Module level N
$t_{di}$	真性ゲート遅延時間
TEG	Test Element Group
$t_{pd}$	ゲート遅延時間
$V_{ds}$	ドレイン・ソース間電圧
$V_{gs}$	ゲート・ソース間電圧
VLSI	Very Large Scale Integration
$V_{th}$	しきい値電圧
WL	Word Line

## 第1章 序 論

### 1. 1 関連分野の技術的背景

今日、高速信号処理、特に高速デジタル信号処理のニーズは未だかつてないほど増大しつつある。デジタル化のメリットは、高度な信号処理を行えること、ノイズの少ない高品質な信号伝送が可能であること等である。例えば、コンピュータ分野のうち計算機シミュレーションにおいては、10~100 G FLOPS (FLoating point Operations Per Second) (1秒あたりの浮動小数点演算回数) 以上の高速計算性能を有するスーパーコンピュータが要求されている [1]。通信分野のうち移動体通信においては、回線数を増やすために周波数は 800 MHz 帯から 1.5 GHz 帯へ、さらに 1.9 GHz 帯へと使用周波数帯は拡大の一途を辿っている [2]。光ファイバー通信では、その伝送速度は現在 10 Gb/s が実用開発レベルであり、20 Gb/s 以上が研究レベルとなっている [3]。また画像伝送のデジタル化のために、400 Mb/s 以上の高速伝送が要求されている [4]。上記の動作速度は低消費電力と両立して要求される場合が通常であり、現在の最高速 Si ECL 技術でも達成困難な状況になってきている [5]。このような状況から、高速デジタル IC への期待、なかでも、高速かつ消費電力の低い GaAs デジタル IC に対する期待が急速に高まってきている。

従来より GaAs は Si に比べてその物性的特徴から高速動作が可能であると言われているが、主な理由は次の通りである [6]。

- 1) GaAs 中の電子の移動度は Si 中の電子に比べて 3 ~ 5 倍速い。
- 2) 半絶縁性基板を用いることが可能なため寄生容量を低減出来る。
- 3) 良質なヘテロ接合が形成可能なために、HEMT, HBT といった新しい動作原理に基づく高速デバイスが実現できる。

高速動作に対する上記の利点を踏まえ、1960年代に GaAs デバイスのうち MESFET の研究は開始された。GaAs デジタルデバイスとなる MESFET が Mead により 1966年に初めて報告された後 [7]、1960年代後半から1970年代初頭にかけての日米メーカーの精力的な研究の結果、MESFET の動作周波数はマイクロ波帯に向上した [8]。その後 Jutzi は 1971年に、ノーマリーオフ形 MESFET を用いたスタティックメモリセルをハイブリッド構成し [9]、ついに 1974年に Tuyt と Liechti から最初の GaAs MESFET を用いた論理ゲート IC の報告がなされた [10]。以後現在に至るまで GaAs デジタル IC は多くの精力的な開発により進展することになる。その進展の様子を、IC の集積規模と技術的特徴について図 1-1 に示す。

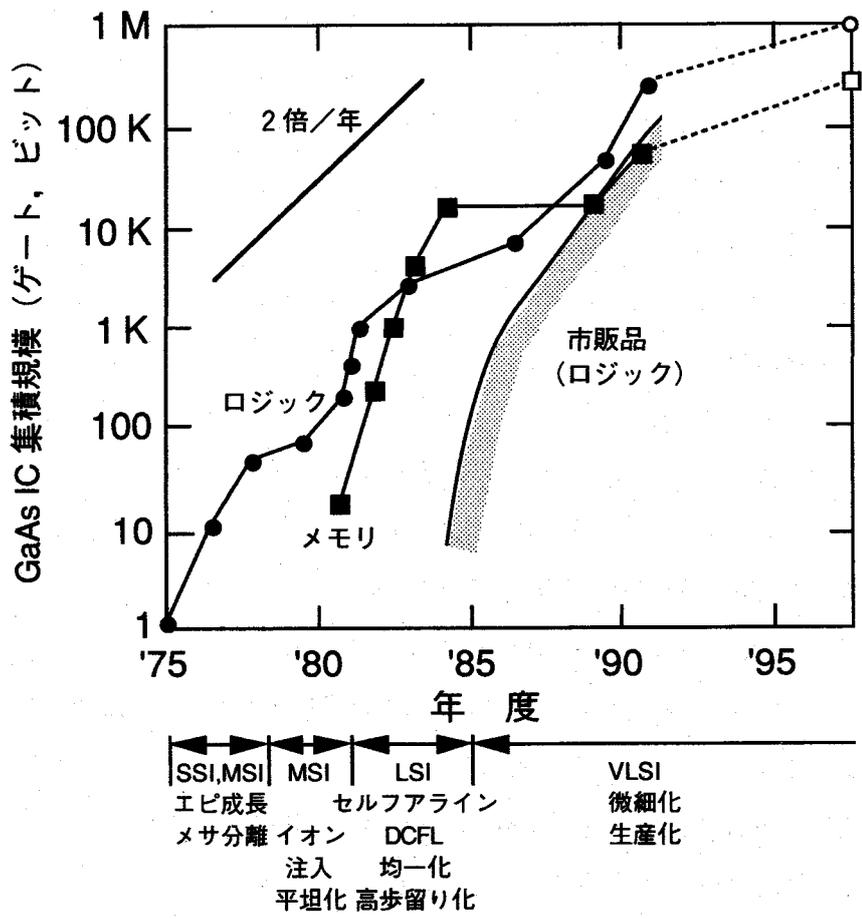


図1-1 GaAs ICの集積規模と各世代の技術的特徴の経緯

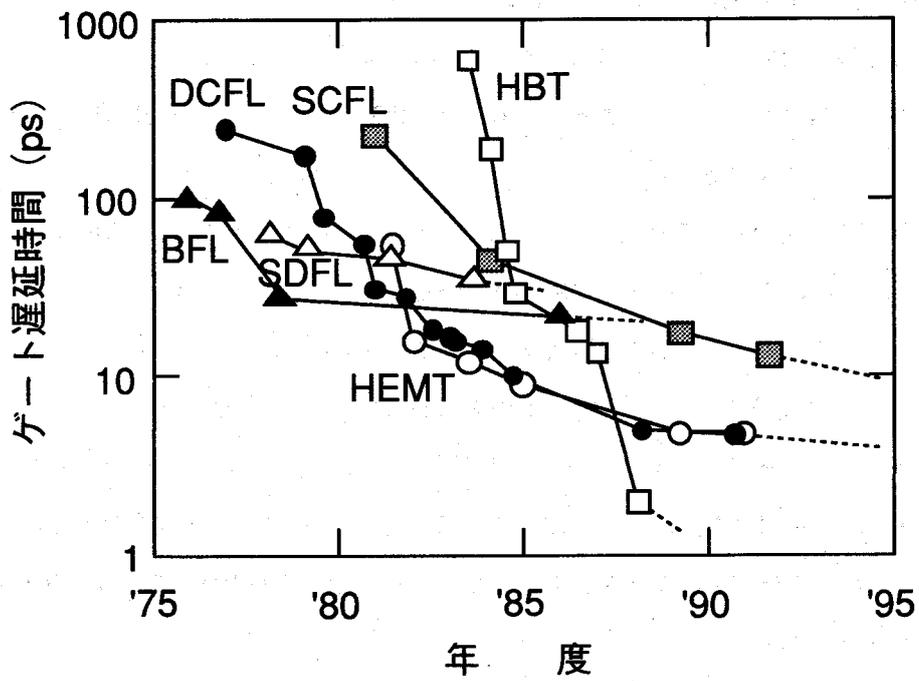


図1-2 GaAs 論理ゲート遅延時間の経緯

GaAs デジタル IC の開発の歴史は、その技術上の特徴から4つの段階に分けられる。第1世代（1974年から1977年）は、従来からのマイクロ波MESFETの製作技術であるエピタキシャル結晶、メサ素子間分離を用いた集積規模の増大期、第2世代（1977年から1981年）は、選択イオン注入を適用したプレーナ技術による集積回路への適用期、第3世代（1981年から1984年）は、各種LSI用セルフアライン型FETによる論理、記憶回路LSIの研究期、そして第4世代は現在に至るGaAs デジタル IC の実用期である。

1993年現在、GaAs デジタル IC はゲートアレイの集積規模で350 K ゲートとCMOS 並みに高集積化され [11]、同LSI をCPU、 $\mu P$ （マイクロプロセッサ）サポート用デバイスとして搭載したスーパーコンピュータが完成して既に製品化されている [12]。また超高速大容量光通信のキーパーツ標準品として、マルチプレクサー/デマルチプレクサー等が多くのシステムに適用されている [13]。今後これら以外の画像処理、計測器、あるいは軍事といった分野も含め、ますますその需要は増加するものと考えられる。

次に高速化の観点からGaAs デジタル IC の性能推移の一例を図1-2に示す。縦軸は無負荷時のゲート遅延時間 ( $F_I = F_O = 1$ ) で、消費電力に無関係に各時点での最高速度をプロットしている。図中DCFL, SCFL, BFL, SDFL はMESFET回路の論理形式である。デプレッションモードのBFL, SDFL などにより開発の初期から100 ps / gate を切る高速動作が得られていたが、ゲート当たりの素子数が多く寄生効果の低減が難しいこと、高集積化のために小型化、低消費電力化に研究が注力されたことなどにより以後の高速化は必ずしも順調ではない。一方、エンハンスメントモードのDCFL はインバータが2素子より構成され、回路が単純で寄生効果が小さいため、ゲート長の短縮、セルフアライン構造による寄生直列抵抗の低減などが直ちに高速化に反映し、1984年には10 ps / gate を切る高速動作を達成した [14]。また1980年、1982年には、HEMT, HBT 等の新デバイスが出現し、HEMT では1985年に8.5 ps を、HBT では1990年に1.9 ps が達成された [15], [16]。1993年現在で最高速のSi ECL が20 ps 弱であることから [17]、現実的にもGaAs デバイスはSi デバイスに比べ高速動作が可能であると言える。

現在まで高速LSIにはSi ECL 技術が用いられてきたが、ECL は Bipolar Tr. を用いるCurrent Mode Logic であるために消費電流、即ち消費電力が大きい。例えば標準負荷付き ( $F_I = F_O = 2$ , 配線長2mm) ゲート遅延時間/消費電力が0.7  $\mu m$  ゲート長のGaAs MESFET で100 ps / 1.2 mW であるのに対し、0.8  $\mu m$  ベースSi ECL では120 ps / 4.9 mW とSi ECL の消費電力はGaAs MESFET に比べて約4倍大きい。高速LSI のシステム搭載時の強制水冷限界は約40 Wであるが、ECL では上記の速度性能を犠牲に消費電力の低減を図ったとしても約80 Kゲートが限界と考えられる。システム簡易化のために、冷却が空冷（冷却限界は約10 W）に限定された場合はさらに使用可能ゲート数は減少する。これに対して、

GaAs MESFET IC では現在既に10 Gb/s 以上の高速動作が可能でかつ上述のように消費電力はECLの約1/4である。従って現在0.5  $\mu$ mベースSi ECLで10 Gb/s動作のSSIが報告され[18]、速度的には同一寸法のGaAs MESFETを10 ps弱の差で追随しているものの、10 Gb/s前後の動作速度で少なくとも約80 Kゲート以上のLSIは現在GaAsでないと実現できない。

GaAs MESFET LSIを正常動作させる上で最も重要なことは、 $V_{th}$ の均一性を向上することである。特に高速・低消費電力でLSI向きのDCFL (Direct Coupled FET Logic)を基本論理回路に用いる場合、論理振幅はMESFETのショットキーバリア高さの約0.7 V以下となるため、通常5 V振幅を有するSi MOSFETに比べて、 $V_{th}$ 均一性は数倍重要になる。DCFL構成のGaAs SRAMにおける許容 $V_{th}$ ばらつき ( $\sigma V_{th}$ )は、1-Kbで30 mV [19], [20]、16-Kbで5 mV [21]との回路シミュレーション結果の報告がある。さらに $\sigma V_{th}$ の低減によりSRAM内のアクセス時間分布も改善されて高速化される。同じく回路シミュレーションにより、素子数が10000個で $\sigma V_{th}$ が60, 40, 30 mVと低下するにつれ、その中で構成されるDCFLインバータの平均遅延時間は200, 100, 75 psと低下することが報告されている [22]。

これらを目安に $V_{th}$ の均一化が結晶、プロセス、FET構造の各観点から図られ、 $\sigma V_{th}$ は幾つかの技術イベントにより改善されてきた。1960年代MESFET開発初期のn型エピ層をチャンネルに用いたFETでは、1  $\mu$ m以上の長ゲートでも $\sigma V_{th} > 100$  mVであり、上記のLSIには適用できなかったが、まず第1のイベントとして、イオン注入によるnチャンネル形成により1  $\mu$ mゲートFETで $\sigma V_{th}$ は40~100 mVに改善された。続く第2のイベントとして、イオン注入FETにセルフアラインゲート構造、プロセスを採用することで、同じく1  $\mu$ mゲートFETで $\sigma V_{th}$ は30~60 mVにまで低下した。以上のFETプロセスの技術イベントと平行してGaAs基板結晶も改善された。第3のイベントは、従来のアンドープLEC基板にInを添加して低転位化、無転位化が可能となったことである。これにより上述の1  $\mu$ mゲートセルフアラインFETで $\sigma V_{th}$ は25~40 mVに低下した。同様にアンドープLEC基板のインゴットアニールにより有転位ではあるものの、 $\sigma V_{th}$ はInドープ基板と同程度に低下できた。 $\sigma V_{th} < 30$  mVでは4-Kb SRAMの正常動作も予想されるが、Inドープ基板で同SRAMの全ビット動作が確認された[23], [24]。第4、5のイベントとしては、 $V_{th}$ ばらつきの原因となる短チャンネル効果を抑制するために、nチャンネル下にp層を埋め込み、あるいはLDD (Lightly Doped Drain)化することによりチャンネル下基板リークを抑制し、サブミクロンゲートでも $\sigma V_{th}$ は30~40 mVに維持できた。

LSIの正常動作が可能となる $V_{th}$ 均一性が得られた段階では、LSIの配線負荷を高速に駆動するため高い電流駆動能力 $g_m$ が必要となるが、上述の $V_{th}$ 均一性を改善するFET技術の進展に伴って $g_m$ も向上した。 $g_m$ についての第1のイベントはセルフアラインゲート構造によるソース抵抗の低下であり、1  $\mu$ mゲートFETで100~200 mS/mmに改善した。第2のイベントはp層埋め込み、LDD化等での短チャ

ネル効果を抑制することで可能となる短ゲート化, 同時に第3のイベントとしてp層埋め込みによるnチャンネルの薄層化が挙げられる。第2, 3のイベントで $g_m$ は200~300 mS/mmにまで増加できた。

## 1. 2 問題点の概要と本研究の目的

前節に述べた様に, 筆者が本研究に着手した時点ではGaAs LSIを実現する上での $\sigma V_{th}$ ,  $g_m$ は改善されてきてはいたが, 4-Kb SRAMより大規模の, 例えば16-Kb SRAM以上の集積規模のLSIを正常動作させるには $\sigma V_{th}$ はまだ大きく, それらの完全な動作は確認されていなかった。 $V_{th}$ 均一性を向上させる手法として, nチャンネル下へのp層の埋め込み, LDD化は, それ自体が短チャンネル効果の抑制に有効であることは確認されたが, どこまで $\sigma V_{th}$ を低減しうるか—16-Kb SRAMの正常動作を可能とする予測値 $\sigma V_{th} \leq 5$  mV (チップ内)が実現できるのか—, 短チャンネル効果,  $\sigma V_{th}$ を改善するためには何が必要で何が最適な形成条件かについての定量的な検討がなされていなかった。またLSIレベルでは動作速度もSi ECLと同等以下であり, さらに $g_m$ を向上させる必要があった。 $g_m$ を向上する手法であるセルフアラインゲート構造は, 各研究機関より種々の作製プロセスが提案されたが, 例えばウエハ面内で $\sigma V_{th} \leq 25$  mVを確保できるゲート長では $g_m$ は200 mS/mm程度であり, 16-Kb SRAMレベルのLSIをSi ECLと同等以上の動作速度で形成することはできなかった。またnチャンネル下p層埋め込みは, チャンネルの薄層化により明らかに $g_m$ を増加させるが, 同時に発生する寄生容量によりどれくらいFET動作が劣化するか定量的な検討がなされていなかった。さらに $g_m$ の向上と共にLSIの高速化を図る手法として配線遅延時間の低減があるが, LSIにおける配線遅延の重要性については長谷川らによって指摘されたものの[25], 現実には今までFET開発に研究が集中してしまい, 配線遅延低減を図るGaAs LSI用配線構造については殆ど検討がなされていなかった。

筆者は本研究において, 上述の $V_{th}$ 均一性を改善する手法であるnチャンネル下p層埋め込み, 及びLDD構造についてその形成条件を詳細に検討し, 特にゲート寄生容量が大きく増加せず,  $g_m$ , FET動作速度が劣化しないように短チャンネル効果を十分抑制するためのFET構造, 作製プロセスの最適化を行った。その結果, p層は中性領域が発生する程度の高濃度化が必須であり(例えばBe注入で70 KeV,  $2 \times 10^{12}$  cm<sup>-2</sup>以上), p層中性領域による寄生容量が発生しない完全空乏化条件を満たす低濃度では短チャンネル効果は抑制できないことを明らかにした。さらにその中性領域が発生してもFET動作速度は殆ど劣化しないことを実証した。また0.7  $\mu$ mゲートp層埋め込みLDD構造SAGFETにおいて, 3インチウエハ面内で $\sigma V_{th} \sim 20$  mV, SRAMチップ面積に相当する3 mm角内で $\sigma V_{th} = 7$  mVなる高い $V_{th}$ 均一性を実現できた。

また $g_m$ を向上する手法であるセルフアラインゲート構造, あるいはnチャンネル下p層埋め込みについては, 前述の改善された $V_{th}$ 均一性を劣化させないことを前提にして, セルフアラインゲート化に

よるソース抵抗の低下と p 層埋め込みによる n チャネルの薄層化を検討した。この結果、前述の p 層形成条件で、p 層無しの場合と比べて、n チャネル厚を約 2/3 に薄層化し、 $g_m$  を約 30 % 増加できた。また LDD 構造で n' 中間層濃度を n チャネル濃度の約 2 倍にすることで、LDD 化しない構造と比べて短チャネル効果をより抑制しつつソース抵抗を同等に低下すること、さらに n' 中間層、n<sup>+</sup> 層を高濃度薄層化してソース抵抗を一層下げ、その際増大する短チャネル効果をゲート・n<sup>+</sup> 層間距離 (n' 中間層長) を増加することにより、0.5  $\mu$ m ゲート時、 $\sigma V_{th} \sim 20$  mV で  $g_m = 500$  mS/mm なる高  $g_m$ 、同時に無負荷ゲート遅延時間は本ゲート長の GaAs MESFET で世界最高速の 7 ps / 2.5 mW を実現した。

次に配線容量を低下する方法として、GaAs プロセス特有の Au 系配線の多層化を進め、配線長の短縮、及び Au エアブリッジ配線構造の LSI への導入を初めて検討した。その結果、2 層配線構造の 16-Kb SRAM の 3 層配線化を達成し、配線長、チップサイズを各々 69 %、58 % に縮小して配線遅延を 2 層配線時の 70 % に短縮した結果、アクセス時間を 7 ns から 5 ns に高速化できた。また Au エアブリッジ構造を LSI の最上層電源配線に初めて適用して、配線容量、配線遅延、標準負荷付きゲート遅延をエアブリッジ構造を用いない多層配線 LSI での場合の 10 %、50 %、60 % に各々低減できた。

最後に以上の FET、配線技術を用いてメモリ LSI として 4-Kb / 16-Kb SRAM、ロジック LSI として 2.5 Gb/s 16:1 マルチプレクサー / デマルチプレクサー (MUX / DEMUX) を設計するに際し、SRAM では MESFET の高温動作時の劣化、ソフトエラー耐性を改善しうる回路技術として、ソースフォロウ回路の適用、非選択メモリセルのアクセス  $T_r$  でのリーク電流の抑制と新構造メモリセルを、MUX / DEMUX では安定動作を図る回路技術として、シフトレジスタ型回路構成を検討して、それらの LSI を試作、評価した。この結果、温度範囲 25 ~ 100°C、 $1.8 \pm 0.1$  V の単一電源でアクセス時間 5 ns、消費電力 2 W を有し、かつ市販 Si ECL SRAM と同等以上のソフトエラー耐性を有する 16-Kb SRAM、またアクセス時間 1.5 ns、消費電力 700 mW で速度・電力積として世界最小の 4-Kb SRAM、そして誤り率  $10^{-11}$  以下、入力位相余裕 220° の 2.5 Gb/s 16:1 MUX / DEMUX を各々 1.3 W という低消費電力で実現することができた。

図 1-3 に本論文の構成を示す。第 2 章では筆者が開発した LSI 用 p 層埋め込み型  $WSi_x$  ゲート GaAs SAGFET (BP-FET) の構造と作製プロセスについて述べ、 $WSi_x$  ゲート電極、イオン注入層形成条件を検討した後、p 層形成条件の最適化による BP-FET の高性能化について述べる。第 3 章では BP-FET の高性能化を図る上で、ゲート電極と n<sup>+</sup> 層間の分離、及び LDD 化における n' 中間濃度層が FET 特性に及ぼす影響について明らかにした後、LDD 化による各種 FET 特性 (短チャネル効果、 $V_{th}$  均一性、電流駆動能力、ゲート容量、遮断周波数、ゲート遅延時間) の特性改善について述べる。第 4 章では Si 配線プロセスと整合が困難な GaAs プロセスにおいて、独自に開発した GaAs LSI 用 Au 系多層配線ブ

ロセス技術，及びLSI用Auエアブリッジ形成技術を構成する各要素技術（Au配線，層間絶縁膜，コンタクトホール）を検討した後，LSIの高速化において配線容量を低減する重要性を指摘し，多層化，エアブリッジ化による配線容量の低減，及びそれによる配線遅延の低減，更にはLSI全体としての動作速度の向上を実証する。第5章ではGaAs MESFET LSI用基本論理回路としてDCFLを選択した後，SRAMの設計を行い，MESFET高温動作時の劣化とソフトエラー耐性の問題を指摘してこれらへの回路設計上の対策を示す。またマルチプレクサー／デマルチプレクサーの設計を行い，安定な高速動作（2.5 Gb/s）を実現するための回路構成としてシフトレジスタ型構成について述べる。そして第2～4章でのFET技術，配線技術と共に実現されたGaAs LSIの評価結果を示し，Si LSIと比べて高速かつ低消費電力であるGaAs LSIの動作性能を明らかにする。第6章では第2章から第5章までの結果を総括し，結論を述べる。

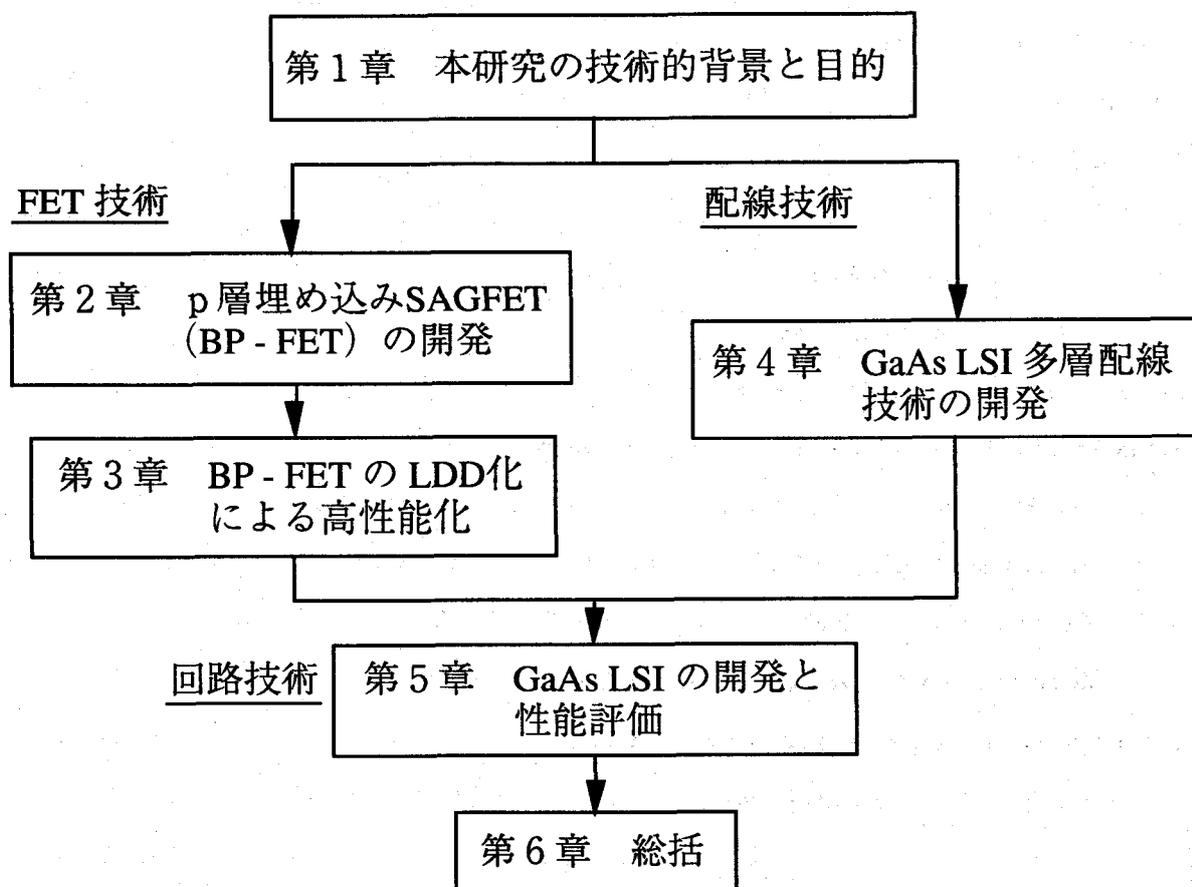


図1-3 本論文の構成

参考文献

- [1] 例えば, 浅見, 宮崎 日経エレクトロニクス, 1992年9月28日号, no. 564, pp.100-102.
- [2] F. Ivanek, "Progress and Change in Microwave Radio Communications", in *MWE '92 Microwave Workshop Digest*, pp.3-11.
- [3] N. A. Olsson, P. A. Andrekson, "Optical techniques for beyond 10-Gbits/s systems", in *OFC '92 Tech. Dig.*, pp.46-47.
- [4] BIS Strategic Decisions; *Gallium Arsenide Industry Review*, May 1992.
- [5] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.
- [6] 大森 正道 「超高速化合物半導体デバイス」培風館, 1986.
- [7] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor", *Proc. IEEE*, vol. 54, No. 2, 1966, pp.307-308.
- [8] P. Greiling, "The Historical Development of GaAs FET Digital IC Technology", *IEEE Trans.*, MTT-32, No.9, 1984, pp. 1144-1156.
- [9] W. Jutzi, "Direct Coupled Circuits with Normally-off GaAs-MESFET's at 4.2 K", *AEU*, vol. 25, No.12, 1971, pp.595-598.
- [10] R. Van Tuyl and C. A. Liechti, "High-Speed Integrated Logic with GaAs MESFET's", *ISSCC Dig. Tech. Papers*, 1974, pp.114-115, 237.
- [11] VITESSE 1991 Product Data Book
- [12] BIS Strategic Decisions; Monthly Report, 1991.
- [13] BIS Strategic Decisions; *Gallium Arsenide Industry Review*, May 1992.
- [14] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-layer SAINT for very high speed GaAs LSI's with submicrometer gate length", *IEEE Trans. Electron Devices*, vol. ED-32, Nov. 1985, pp.2420-2425.
- [15] N. C. Cirillo, Jr. and J. K. Abrokwhah, "8.5-Picosecond Ring Oscillator Gate Delay with Self-Aligned Gate Modulation-Doped  $n^+$ -(Al,Ga)As/GaAs FETs", *Device Research Conf.*, 1985, II A-7.
- [16] T. Ishibashi *et al.*, "A possible near-ballistic collection in an AlGaAs/GaAs HBT with a modified collector structure", *IEEE Trans. Electron Devices*, vol. 35, No. 4, Apr., 1988, pp.401-404.
- [17] 小川他 「21 GHz シリコンバイポーラ分周器」電子情報通信学会春季全国大会, 1991, C-603.
- [18] 早田他 「10 Gbit/s 光通信用 Si - IC」電子情報通信学会春季全国大会, 1992, B-992.
- [19] B. Gabillard, T. Ducourant, C. Rcher, M. Prost, and J. Maluenda, "A 200-mW GaAs 1K SRAM with 2-ns cycle time", *IEEE J. Solid-State Circuits.*, vol. SC-22, Oct. 1987, pp.693-694.
- [20] M. Ino *et al.*, "Design of GaAs 1K Bit Static RAM", *IEEE Trans. Electron Devices*, ED-31, No. 9, Sept.,

1984, pp.1139-1144.

- [21] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Circuits*, vol. SC-22, Oct. 1987, pp.699-703.
- [22] M. Ino *et al.*, "Threshold Voltage Margin of Normally-off GaAs MESFET in DCFL Circuit", *IEEE Trans. Electron Devices Lett.*, EDL-2, No. 6, Jun., 1981, pp.144-146.
- [23] M. Ida *et al.*, "A 2 ns GaAs 4kb SRAM Using a Dislocation Free LEC Crystal", in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, LD-5-9.
- [24] H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A 7 ns / 850 mW GaAs 4Kb SRAM fully operative at 75 °C," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp.71-74.
- [25] 長谷川, 関「超高速LSI/VLSI とその基本素子特性に関する一考察」電子情報通信学会研究会資料 ED84-127, 1984, pp.61-68.

## 第2章 GaAs LSI用 p層埋め込み高融点金属シリサイド SAGFETの研究開発

### 2.1 緒言

1970年中頃に始まったGaAs MESFETの開発初期には、n型エピ層をチャンネル層に用い、メサエッチングにより素子間分離を図る個別FETの製作技術が適用された[1]。本方法でMSIレベルの8ビットマルチプレクサーが一応試作はされたが[2]、メサ分離による0.3~1 $\mu$ m前後の段差は配線段切れを発生すること、また当時のエピ技術ではウエハ面内均一性、再現性が不十分であること、さらに単一エピ層しか利用できないので回路構成上の制限が大きかった。

次の段階としては、GaAs基板上に選択的に、かつ容易にチャンネル層、抵抗層を形成できるイオン注入法を用いた集積化に非常に有利なプレーナ構造FETの試作が行われ、LSIレベルの1Kゲート8 $\times$ 8並列乗算器が作製されるに至った[3]。しかしながら本FET作製プロセスでは、注入層アニール後にゲート電極を形成しなければならず、その時のマスク合わせずれによりゲートがオーミックn<sup>+</sup>層からずれた際に表面空乏層の影響でソース抵抗は増大および大きく変動して、その結果FET特性がばらつくという問題があった。1 $\mu$ mゲートFETでのV<sub>th</sub>ばらつき( $\sigma$ V<sub>th</sub>)を40~100mV以下に低下することはできなかった。

このソース抵抗の増加、ばらつきを抑制するために、n層上にn<sup>+</sup>層を形成してゲート直下のみn<sup>+</sup>層をリセスエッチしてゲート形成を行うリセスゲート構造が開発された[4]。この構造ではゲート・オーミックn<sup>+</sup>層間表面はほぼn<sup>+</sup>層で覆われており、ソース抵抗を低減できる。実際本FETで1Kb SRAMが試作はされたが[4]、リセスエッチングの制御は難しく、均一性、再現性の点でLSI用FETとしては不十分であった。

以上のように上記のFET構造を用いてMSI, LSIが試作はされたものの、FET性能、FET特性の均一性、再現性は不十分で、それらに適用できる段階にはなかった。

ソース抵抗の増加、ばらつきを抑制するには、ゲートとオーミックn<sup>+</sup>層がを十分に近接させてかつその距離が十分制御することが必要になるが、これを実現する極めて有効な方法としてSi MOSFETで開発されたセルフアラインゲート構造がある[5]。本作製プロセスでは先に形成したゲート電極自体をマスクとしてオーミックn<sup>+</sup>層等の他のFET構成要素を作製するため、写真製版マスク合わせに比べて高精度の位置合わせが可能となる。

GaAsセルフアラインゲート (Self - Aligned Gate: SAG) MESFETの先駆的な開発例としては、'82頃の横山らによる高融点金属シリサイドであるWSi<sub>x</sub>をゲートに用いたSAGFETがある[6]。この構造ではアニール後も安定なショットキー特性を示す上記シリサイドをゲート電極とし、これをマスクにセルフアラインにn<sup>+</sup>層のイオン注入を行うため、図2-1に示すようにn<sup>+</sup>層をゲート電極に隣接でき

る（実際には $n^+$ 層アニール時にさらに横方向拡散により $n^+$ 層はゲート電極下に食い込む）ので、ソース・ゲート間の表面空乏層による寄生抵抗を低減することができ、電流駆動力を増大できるという利点がある。しかしながら、上記構造では開発初期ということもあり $WSi_x$ のショットキー特性についてはかなり検討されているものの $WSi_x$ の加工形状、 $n$ 、 $n^+$ 層の最適形成条件、あるいは $n^+$ 層アニール時の $n^+$ 層用ドーパントの横方向拡散のFET各種特性に与える影響についてほとんど検討されておらず、短チャネル効果、 $V_{th}$ 均一性において使用可能な最小ゲート長は $1.5\ \mu\text{m}$ であり、その時のゲート遅延時間は $40\ \text{ps}$ で十分高速とは言えなかった。

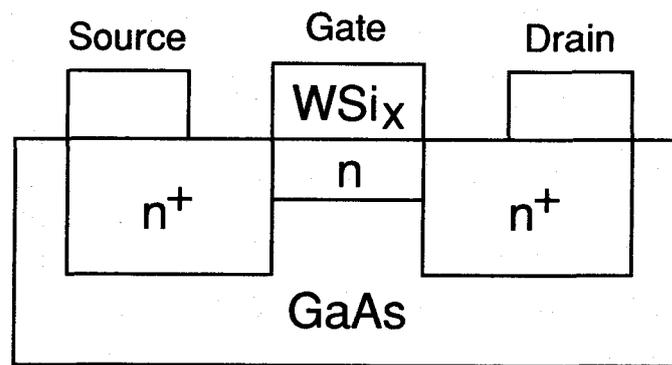


図2-1  $WSi_x$ ゲートSAGFETの構造断面図

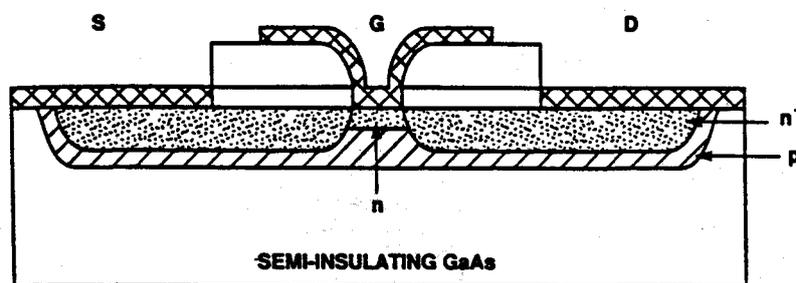


図2-2 BPSAINTの構造断面図

上記のSAGFET特性を改善するFETの新構造として、'84頃の山崎らによる $n$ チャネル下 $p$ 層埋め込み型SAGFET（Buried P-layer Self-Aligned ion-Implantation for N<sup>+</sup>-layer Technology: BPSAINT）がある[7]。

このFETは高融点材料ゲートを用いていない。この構造では図2-2に示すように、p層をnチャネル下に埋め込むことによりそれらの間のビルトイン電圧により電氣的障壁が発生し、近接して対峙するソース・ドレイン $n^+$ 層間の半絶縁性基板を通しての基板漏れ電流を抑制できる。これにより短チャネル効果は緩和され、かつ前記ビルトイン電圧によりnチャネルは薄層化されるので電流駆動力が増加するという利点がある。しかしながら、本構造での短チャネル効果の改善度は不十分（例えばゲート長が $1.0\ \mu\text{m}$ から $0.5\ \mu\text{m}$ への短縮に伴い $600\ \text{mV}$ 以上 $V_{th}$ は負側にシフトしている）であるし、LSI用素子として最も重要な $V_{th}$ 均一性についてFET構造の形成条件での検討が少ないためその状態でLSIに用いるのは未だ無理がある。また高速化の点でp層は完全空乏化するように形成すべきことを主張しているが、p層のFET特性に及ぼす詳細な検討、それに伴う種々のFET構成要素（特にイオン注入層）の検討がなされておらず、多くの検討余地を残すものと考えられる。

ここで筆者は、GaAs LSI用FETとして期待される上述の $\text{WSi}_x$ ゲートSAGFETに短チャネル効果抑制に有効なp層埋め込みを当時初めて適用し、本FET構造における各イオン注入層の一層の最適化を図って高速LSI実現を目指す中、得られた知見を明らかにすることを目的とした。

本章、及び次章では上記の先駆的に開発されたGaAs SAGFETのより一層の特性向上を図るため、各FET構成要素の検討を詳細に行い、上記構造を検討した後、FET構造の改良を行う。特に本章では $\text{WSi}_x$ ゲートSAG FET構造に初めてnチャネル下p層埋め込みを適用し、SAG構造形成の核となる $\text{WSi}_x$ ゲートの作製方法とFET高性能化を狙った各イオン注入層形成条件を明らかとした後、GaAs LSIを正常動作させるのに最も重要である $V_{th}$ 均一性の向上と同時にLSI高速動作を実現するための電流駆動能力の増大、ゲート容量の低減についてp型埋め込み層形成条件との関連を検討した結果について述べる。

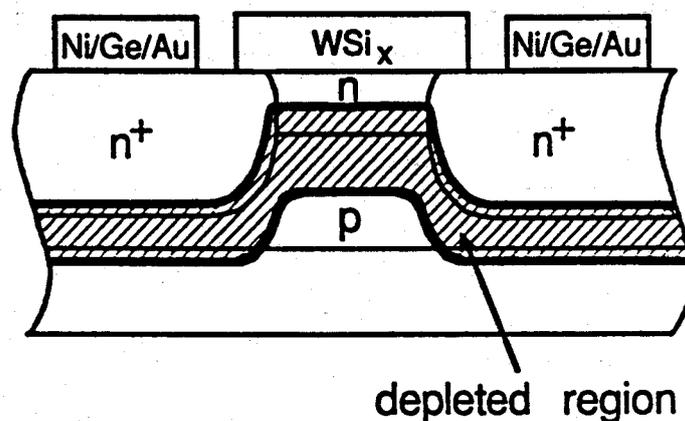


図2-3 p層埋め込み型 $\text{WSi}_x$ ゲートSAGFET (BP-FET) の構造断面図

## 2. 2 p層埋め込み型 $\text{WSi}_x$ ゲートGaAs SAGFET (BP-FET)の構造

本章では $\text{WSi}_x$ ゲートを用いたSAGFETのnチャンネル直下にp層を埋め込んだFET構造を世の中に先駆けて開発し、その諸特性について検討を行った結果について述べる。

図2-3に上記p層埋め込み型 $\text{WSi}_x$ ゲートGaAs SAGFET (Buried P-layer - FET: BP-FET)の構造断面図を示す。前節2.1のBPSAINTと異なり、p層は完全空乏化しておらず、部分的に非空乏化、即ち一部p型中性領域が残るように形成している。この理由は後節2.6で述べる。n<sup>+</sup>層はソース抵抗( $R_s$ )を下げ、電流駆動能力を増加させるために、n<sup>+</sup>層用アニール時の横方向拡散によりゲート下に一部食い込ませている。

本構造ではゲートとn<sup>+</sup>層が分離された構造、例えばLightly Doped Drain (LDD)構造[8]、あるいは前節のSAINTと比較して、以下に示す欠点を有している。

- 1) 短チャンネル効果が増大しやすい。
- 2) ゲートとn<sup>+</sup>層の重なり部分によるゲート寄生容量が発生する。

しかしながら本構造では上記n<sup>+</sup>層横方向拡散により実効ゲート長が短縮すること、ソース抵抗が低減することにより電流駆動能力が向上する。特にLSIではその動作速度は配線容量で律速されるために、FETは高い電流駆動能力( $g_m$ )を有することが非常に重要である。さらに本構造では、p層はn型チャンネル層、n<sup>+</sup>層を完全に囲むように形成している。その理由は次の通りである。

- 1) 互いに隣接したFETのn<sup>+</sup>層間リークを低減する[9]。
- 2) サイドゲート効果を低減する[10]。
- 3) メモリ(SRAM)を構成した際に、ソフトエラー耐性を向上する[11]。

## 2. 3 p層埋め込み型 $\text{WSi}_x$ ゲートGaAs SAGFET (BP-FET)の作製プロセス

筆者が開発した本BP-FET構造の作製プロセスフローを図2-4に示す。GaAs基板にはウエハー面内でのFET特性の均一化が期待されるInドープ低転位LEC基板[12]を用いた。この3インチ径の基板をHF水溶液で表面洗浄した後、

- 1) スルー注入膜用の $\text{SiO}_2$ 膜をプラズマCVD法により約300Å形成する。
- 2) 上記スルー注入膜を通して、p層用 $^9\text{Be}^+$ イオン、n層用 $^{29}\text{Si}^+$ イオンを続けてチャンネル領域に注入する。
- 3) 上記 $\text{SiO}_2$ 膜をキャップしたまま $\text{AsH}_3$ 雰囲気中、800°C、30分のチャンネル層用アニールを行う。
- 4) アニール後上記 $\text{SiO}_2$ 膜をHF水溶液で除去した後、 $\text{WSi}_x$ 膜を約3000Åスパッタ法により形成する。
- 5) 上記 $\text{WSi}_x$ 膜を $\text{CF}_4$ 、 $\text{O}_2$ の混合ガスを用いた反応性イオンエッチング(RIE)によりゲート形状に加工する。

- 6) 加工された $WSi_x$ ゲートパターンをマスクに $n^+$ 層用 $^{29}Si^+$ イオンを $n^+$ 層領域に注入する。
- 7)  $AsH_3$ 雰囲気中、 $800^\circ C$ 、30分の $n^+$ 層用キャップレスアニールを行う。
- 8)  $SiON$ 膜をウエハー全面に形成した後、ソース・ドレインオーミック電極相当部の開口を、上記 $CF_4, O_2$ の混合ガスを用いた反応性イオンエッチング (RIE) により行う。
- 9)  $Ni, Ge, Au$ を順に連続して蒸着法により成膜した後、レジストのリフトオフにより上記 $SiON$ 膜開口部内にオーミック電極パターンを形成する。
- 10)  $H_2$ 雰囲気中、 $380^\circ C$ の熱処理により上記オーミック電極のアロイ化を行う。

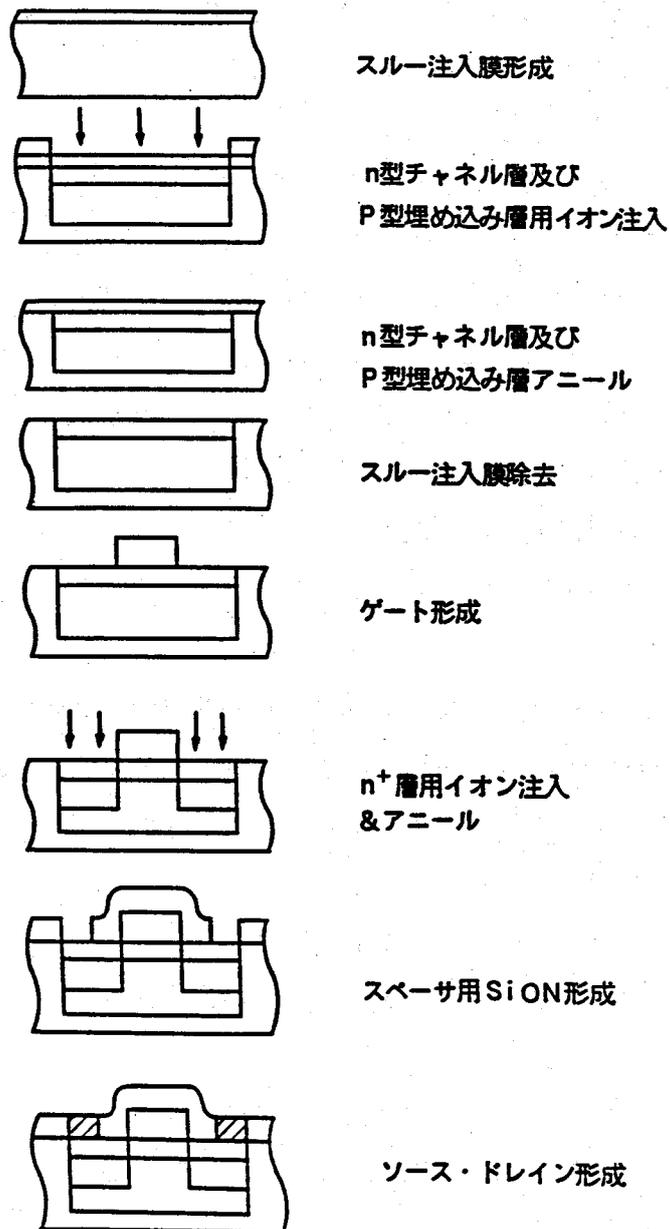


図2-4 BP-FETの作製プロセスフロー

以上により本BP-FET構造の作製プロセスは完了するが、本プロセス中で特に重要な高融点材料ゲート、及び各イオン注入層の作製について後節で説明する。

## 2. 4 高融点金属シリサイドゲート電極の作製

### 2. 4. 1 高融点ゲート材料の選択

従来、GaAs MESFETゲート電極用にはTi-W, Ti-W-Si, W-Si が横山らにより主に報告されているが [13], [14], これ以外にも単体金属ではW, Ta, Mo, Ti 等, シリサイドではTi-Si, Ta-Si, Mo-Si, Ti-Ta-Si 等, その他 Ti-Ta 等があり, また近年W-N [15], W-Al [16], W-Si-N [17] 等も検討されている。MESFETゲート電極材料に要求される項目は、良好なショットキー界面特性, 低抵抗性, そして加工の容易性である。その中でも特にショットキーバリア高さ ( $\phi_B$ ) が十分大きい (ゲート材料の仕事関数が大きい) 必要があるが, 実際にはGaA表面に存在する高密度の表面準位により表面でのフェルミ準位がピンニングされ, それにより  $\phi_B$  が決まる [18]。GaAs では, その固定位置は禁制帯中央よりも価電子帯に近いので,  $\phi_B$  は0.7~0.9 eVである。 $\phi_B$ 以外の高融点材料の選択基準としてはまず熱安定性, 即ちできるだけ融点が高く熱処理後の界面特性が劣化しないことである。表2-1に主な高融点材料の融点を示す。この表より, Ti, Mo系よりもW, Ta系が高融点であると言えるため, 表中のW, Ti-W, Ti-Ta, W-Si, Ta-Si, Ti-W-Si, Ti-Ta-Si を候補として選定した。

表2-1 主な高融点材料の融点

高融点材料	融点 (°C)
W	3380
Ta	2996
Mo	2625
Ti	1690
WSi	2180
TaSi	2200
MoSi	2030
TiSi	1540

注) シリサイドはMSi<sub>2</sub>型である。

次に熱処理に伴うGaAsとの界面反応を調べるため、上記各材料をArスパッタ法により半絶縁性GaAs基板上に2000Å形成した後、610, 810, 860℃で30分の熱処理をH<sub>2</sub>雰囲気中で行い、その試料の表面状態の熱処理前の状態からの変化を観察した。その結果を表2-2に示す。860℃まで良好な表面状態を維持したのはW-Si, Ta-Si, Ti-W-Siであった。表面状態の変化の原因としてはGaAsとの界面反応以外に、GaAs基板との熱膨張係数の差、材料中の不純物の影響等が考えられる。特にWについては、GaAsの熱膨張係数  $6.5 \times 10^{-7} / ^\circ\text{C}$  に比べ、 $3.5 \times 10^{-7} / ^\circ\text{C}$  と小さく、スパッタ後に膜の剥離が観察されることがあるため、熱膨張係数の差が主原因と考えられる。

表2-2 熱処理後の表面状態

材 料	表 面 状 態		
	5 1 0 °C	8 1 0 °C	8 6 0 °C
W	○	△	×
TiW	○	×	×
TiTa	○	△	×
WSi	○	○	○
TaSi	○	○	○
TiWSi	○	○	○
TiTaSi	○	△	×

次に上記860℃まで良好な表面状態を維持したW-Si, Ta-Si, Ti-W-Siの各試料についてオージェ電子分光分析による試料深さ方向の元素プロファイルを熱処理の前後で測定した。図2-5にその元素プロファイルを示す。熱処理後には各材料とも基板からのGaとAsが外方拡散しており、GaAsとの界面にはOがパイルアップしていることがわかる。また各材料とも膜中にOが存在しているが、特にTa-Si, Ti-W-Siでは顕著である。これはTi, TaがWに比べてスパッタ雰囲気中の残留酸素と親和しやすいこと、あるいはTa-Si, Ti-W-Siターゲットの表面吸着酸素量、ターゲット中の含有酸素量が多いことに対応する。特にTiが残留酸素と親和しやすいことについては大西らも指摘している [14]。

ゲート界面にOがパイルアップすると純粋なショットキー界面特性を示さなくなり、また界面不安定性が増大すること、またOはGaAsバルク中に深い準位を形成するのでFET動作時の信頼性を損なうことにより、極力Oの混入は避ける必要がある。また3元化合物より2元化合物の方が組成制御が容易である。以上の理由から上記3者の中ではW-Siが最適と考えられる。

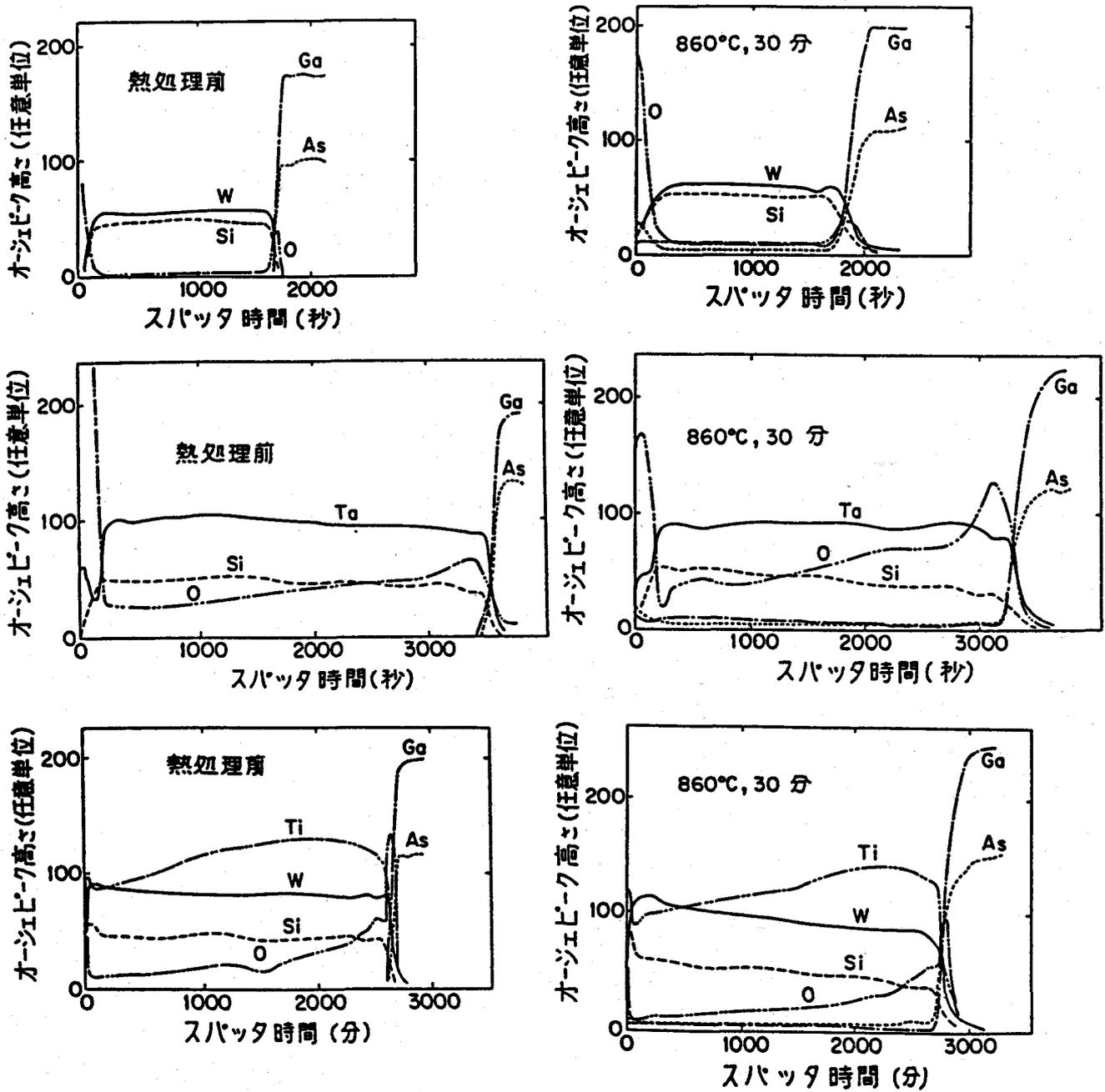


図2-5 熱処理後のW-Si, Ta-Si, Ti-W-SiのAES深さ方向分析による元素プロファイル

## 2. 4. 2 WSi<sub>x</sub>/GaAs ショットキー界面特性の検討

次にW-Si/GaAsの熱処理前後でのショットキー特性を図2-6に示すダイオードを作製して測定した。図2-7にゲート順方向電圧-電流特性を示す。順方向電流範囲 $10^{-7} \sim 10^{-3}$  Aで評価したがこの範囲では次に示すショットキーバリアでの順方向電流の理論式(2.1) [19]に合致する。

$$I = I_0 \cdot \left( \exp\left(\frac{qV_{gs}}{kT}\right) - 1 \right) \cong I_0 \cdot \exp\left(\frac{qV_{gs}}{nkT}\right) \quad (2.1)$$

$$I_0 = A^{**} T^2 S \cdot \exp\left(-\frac{q\phi_B}{kT}\right)$$

I: ゲート順方向電流, q: 電荷素量,  $V_{gs}$ : ゲート電圧, k: ボルツマン定数, T: 絶対温度, n: n値,  $A^{**}$ : リチャードソン定数, S: ゲート面積,  $\phi_B$ : ショットキー障壁高さ

$10^{-3}$  A近くになると直線関係からのずれが生じているが、これは測定系を含め、ゲート電極とオーミック電極間の直列抵抗に起因するものである。表2-3にW-Si/GaAsの熱処理( $H_2$ 雰囲気中,  $860^\circ C$ )前後でのショットキー特性の結果をまとめる。熱処理前後でショットキー特性の大きな劣化は見られず、前述した表面ピンニング効果から予想される $\phi_B$ が得られている。また熱処理後に $\phi_B$ はかえって向上しているが、これはW-Siのスパッタ時にGaAs基板表面付近に導入されたダメージが上記熱処理により回復するためと考えられる。

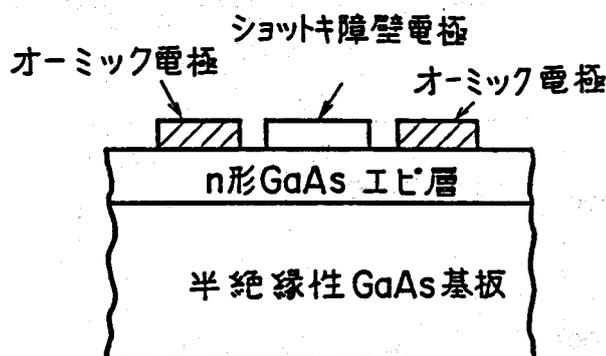


図2-6 W-Si/GaAs ショットキー特性の評価用ダイオード構造

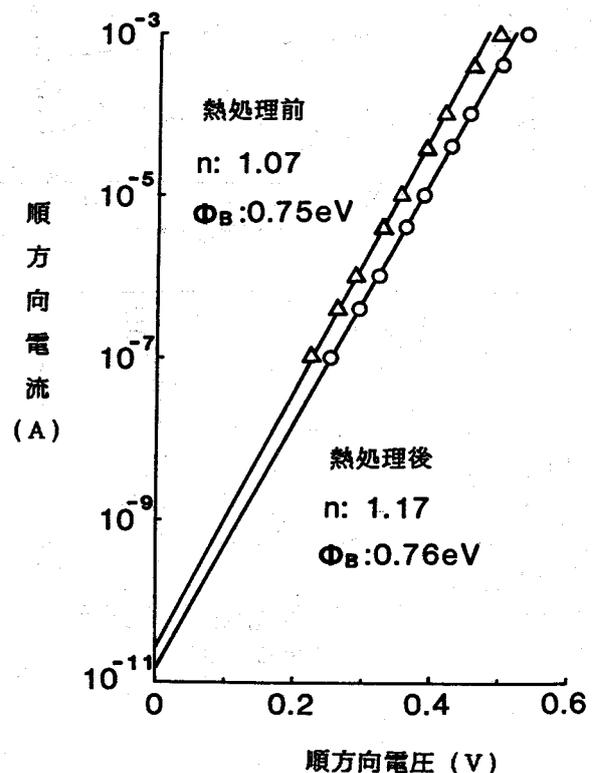


図2-7 W-Si/GaAs ショットキーダイオードのゲート順方向電圧-電流特性

表2-3 W-Si/GaAsの熱処理前後でのショットキー特性の結果

障壁材料	熱処理前		熱処理後	
	n 値	$\phi_b$ (eV)	n 値	$\phi_b$ (eV)
WSi	1.03	0.71	1.17	0.74
TaSi	1.11	0.61	1.10	0.74
TiWSi	1.02	0.65	1.11	0.75

熱処理温度 860℃

従来W-Siはその組成により膜の材料特性が異なり、それによりショットキー特性が変化するので、組成を制御して成膜する目的でCo-Sputter法（同一チャンバー内に設置された複数の異なる材料のターゲットからスパッタする方法）が用いられていた[14], [20]。即ちWとSiを別々のターゲットからスパッタする方法であるが単一ターゲットからのスパッタに比べ制御因子が多く成膜の制御性、均一性、再現性の点で不利である。WSi<sub>x</sub>の組成は単一ターゲットであってもスパッタ条件（スパッタガス圧、スパッタ電力）によりある程度制御できるので、本研究では単一ターゲットを用いたWSi<sub>x</sub>スパッタ成膜を検討した。

マグネトロンDCスパッタ装置を用い、組成比  $x = 0.5$  の焼結ターゲットをスパッタしてWSi<sub>x</sub>を成膜した。まず印加スパッタ電力を450 Wに固定して、Arスパッタガス圧により組成を変化させた。尚、組成比は蛍光X線装置により測定した。図2-8に組成比  $x$  のスパッタガス圧依存性を示す。このガス圧力範囲では組成比はターゲット組成  $x = 0.5$  よりも小さくなっている。ガス圧を0.7 Paから3.4 Paまで増加すると、 $x$ は0.12から0.30へと増大する。これは被スパッタ原子の放射角度がW原子に比べてSi原子の方が小さく、Ar原子との衝突確率の小さい低ガス圧下ではSi原子の方がGaAs基板への付着確率が低いと組成比が小さくなり、ガス圧の増大につれAr原子との衝突確率が増え、軽元素であるSi原子がさらに散乱されてGaAs基板への付着確率が増加するので組成比が増大するものと考えられる[21]。

次にArガス圧を2.7 Pa一定とした場合の組成比  $x$  のスパッタ印加電力依存性を図2-10に示す。印加電力を450 Wから650 Wへ増加すると組成比は単調に減少し、650 W以上では飽和している。これはスパッタされた重元素であるWが印加電力の増大によりさらに運動エネルギーを得て飛びやすくなっていることに対応する。

以上の様に、単一ターゲットではあってもある範囲で組成比を制御できることがわかった。組成比の設定量がより高い場合は、より組成比の高いWSi<sub>x</sub>ターゲットを用いればよく、例えばWSi<sub>2</sub>（ダイシリサイド）を用いると、 $x = 1.0$  付近の組成を得ることができた。

WSi<sub>x</sub> 組成に関連して問題となる膜ストレスについて測定した。WSi<sub>x</sub> ゲートのストレスはピエゾ効果 [22] を発生し、FET特性、特にV<sub>th</sub> に影響を与えるという問題がある [23]。図2-9、及び図2-10に膜ストレスのArガス圧依存性、印加電力依存性を各々示した。図2-9より、膜ストレスはガス圧の増加（即ち、組成比の増加）に伴い、AsH<sub>3</sub> 雰囲気中、800℃、30分のアニール前後とも tensile 成分が増大することが分かる。またアニールを行うことによって compressive 成分が増大する。結果としてアニール後は、ガス圧 0.7 Pa から 2.7 Pa への増加に伴い、25 MPa (compressive) から -40 MPa (tensile) へ単調に変化する。Arガス圧増加に伴う tensile 側へのシフトはスパッタ膜中の含有Ar量の減少に対応するとするHoffmanら、あるいは伊藤らの報告と一致する（「杭打ち効果」[24]として説明できる）。またアニールに伴う compressive 側へのシフトはグレインサイズの増大によって説明できる [25]。

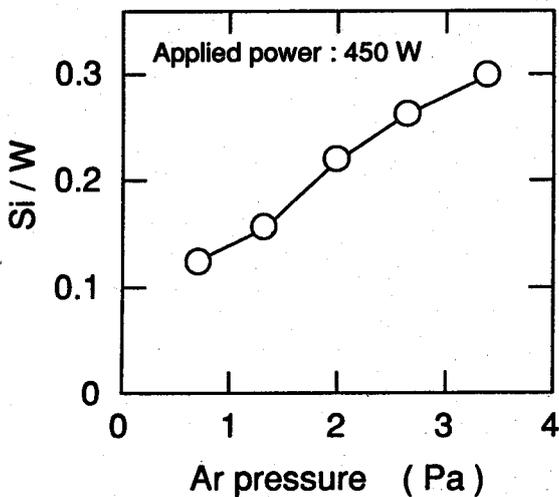


図2-8 WSi<sub>x</sub>の組成比xのArスパッタガス圧依存性

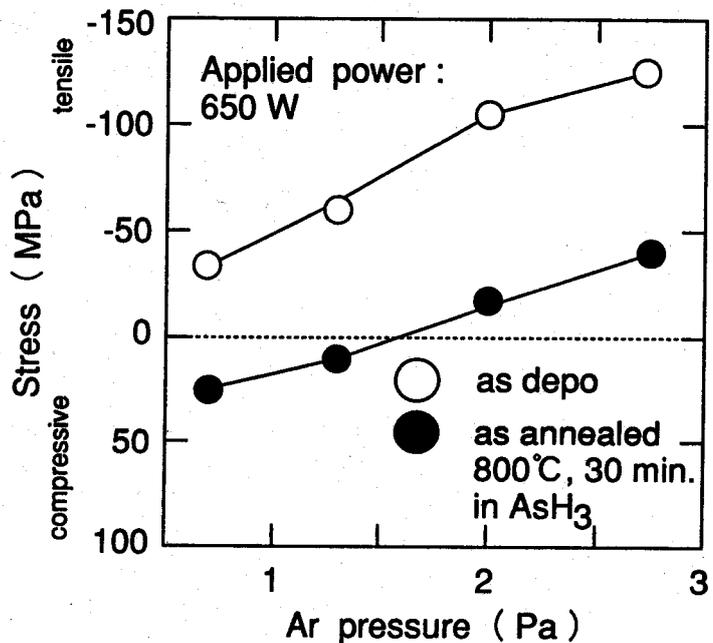


図2-9 WSi<sub>x</sub>膜ストレスのArスパッタガス圧依存性

図2-10に示す膜ストレスの印加電力依存性から、印加電力の増加（即ち、組成比の減少）に伴い膜ストレスが compressive 側へ単調にシフトしていることがわかる。この傾向は先の図2-9の結果と一致している。

次に上記の単一WSi<sub>0.5</sub>ターゲットから得られるWSi<sub>x</sub>のWSi<sub>x</sub>/GaAs ショットキー特性について検討した。図2-11にWSi<sub>x</sub>/GaAs ショットキーダイオードにおけるφ<sub>B</sub>, n値の組成比依存性を示す。

ショットキーダイオードはイオン注入層 ( $^{29}\text{Si}^+$ , 50 KeV,  $5\text{E}12 \text{ cm}^{-2}$ ) 上に  $\text{Lg/Wg} = 7 \mu\text{m}/20 \mu\text{m}$  の  $\text{WSi}_x$  ゲートを有するFETのゲート・ソース間として構成した。組成比はArガス圧力の調整により制御した。組成比  $x = 0.15$  から  $0.28$  の範囲で  $\phi_B = 0.71 \text{ eV}$ ,  $n = 1.07$  という良好なショットキー特性が得られている。別の  $\text{WSi}_2$  (ダイシリサイド) をスパッタターゲットとして用いた同様の実験結果を合わせて図 2-11 に示しているが,  $x = 1.0$  付近では  $\phi_B = 0.5 \text{ eV}$ ,  $n = 1.9$  程度に劣化しており, リークの大きいオーミック的な特性になっている。

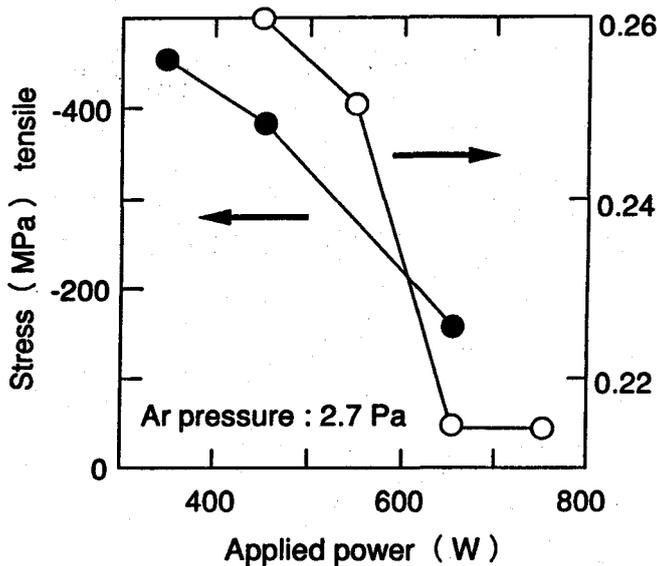


図 2-10  
 $\text{WSi}_x$  の組成比  $x$  および膜ストレスの  
 Ar スパッタ印加電力依存性

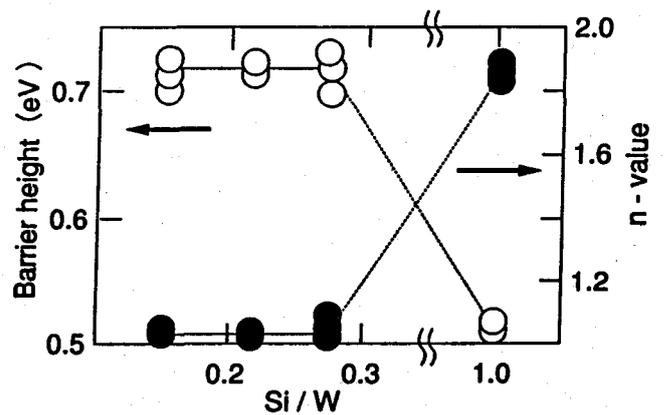


図 2-11  
 $\text{WSi}_x/\text{GaAs}$  ショットキーダイオードに  
 おける  $\phi_B$ ,  $n$  値の組成比  $x$  依存性

ここで  $\text{WSi}_x/\text{GaAs}$  ショットキー特性の  $\text{WSi}_x$  組成比依存性について考察する。

$\text{WSi}_x/\text{GaAs}$  ショットキー特性の組成比依存性については大西ら[14]と金森ら [20]の報告があり, さらに  $\text{W}/\text{GaAs}$  界面に  $\text{Si}$  の薄層 (20 Å 程度) を挿入した栗山ら[26]の報告がある。  $\text{WSi}_x$  スパッタ形成については, 本研究のみ単一ターゲットからのスパッタで, 大西ら, 栗山らは  $\text{W}$  と  $\text{Si}$ , 金森らは  $\text{WSi}$  と  $\text{Si}$  のターゲットを用いた Co-Sputter である。  $x \sim 1.0$  付近では本結果は大西ら, 金森らの結果と一致しており, 良好なショットキー特性は得られていない。  $x < 0.3$  では本結果は金森ら, あるいは栗山らの結果と一致する (即ち, 良好なショットキー特性は得られる) と考えられるが, 大西らの結果とは一致しない。即ち, 大西らは  $x < 0.5$  でショットキー特性は劣化し, さらに  $\text{WSi}_x$  は引っ張り (tensile) 応力により「しわ」が発生するとしている。一方, 栗山らは  $\text{W}/\text{GaAs}$  ショットキー 界面は, そのままでは

$\phi_B = 0.55 \text{ eV}$  と低く界面でのキャリア濃度の低下が観測され、界面特性は良好ではないが、界面にSi層が20Å程度あれば $\text{WSi}_{0.6}/\text{GaAs}$  と同等のショットキー特性が得られると報告している。つまり $\text{WSi}_x/\text{GaAs}$  界面にはSiがどの程度存在しているかがショットキー特性を決定するということである。Co-Sputter では単一スキャンでのスパッタ膜厚等の条件が明示されていないため、GaAs最表面でW, Siのどちらが何Å形成されているかが不明であるが、本実験、あるいは金森らの場合は必ずGaAs最表面にSiがスパッタされるという共通点がある。これに対して大西らはWを先にスパッタしている可能性がある。前記の大西らの $x < 0.5$  での「しわ」は、 $\text{WSi}_x$  がWリッチになりWに固有の引っ張り応力が大きい性質が現れると考えられるが、同様の現象を金森らは、より組成比の小さい $x < 0.2$  で観測している。この事実は上記の考察を支持するものである。

以上、単一組成の $\text{WSi}_x$  ターゲットを用いてもスパッタ条件により $\text{WSi}_x$  組成をある程度制御でき、良好な  $\text{WSi}_x/\text{GaAs}$  ショットキー特性が得られることを確認した。また $\text{WSi}_x$  膜全体の組成とショットキー特性とは一意的に関係づけるのは難しく、実際の $\text{WSi}_x/\text{GaAs}$  ショットキー界面特性に影響を与えるのは、 $\text{WSi}_x$  膜全体としての組成比というより界面付近の組成、さらにはGaAs最表面の層がSi, Wのどちらでどの程度の厚さがあるのかということだと考えられる。

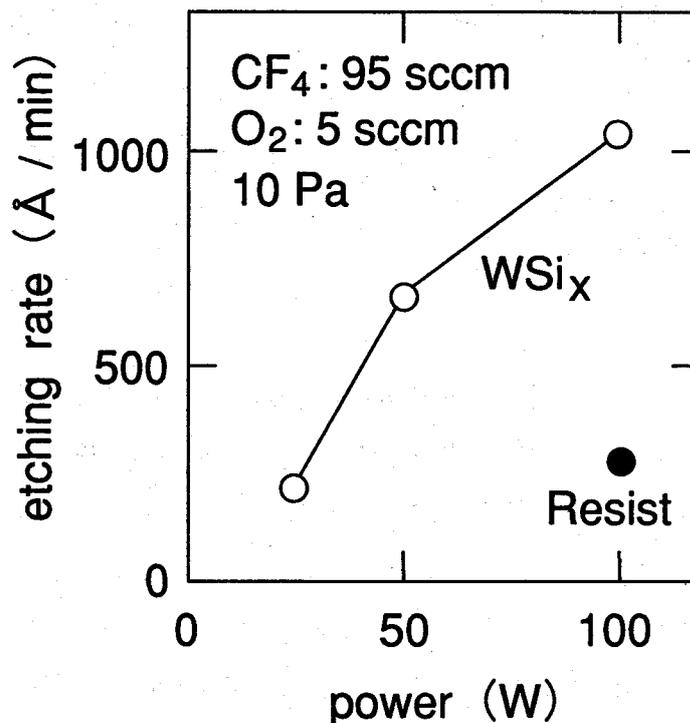


図2-12 RIE エッチングレートのRF電力依存性

### 2. 4. 3 WSi<sub>x</sub>ゲートの加工

従来Siプロセスにおいて高融点金属、あるいはそのシリサイドはCF<sub>4</sub>, SF<sub>6</sub>, NF<sub>3</sub>等のフッ化ガスを用いた反応性イオンエッチング (RIE) で加工されている[27], [28]。本研究ではCF<sub>4</sub>+O<sub>2</sub>を用いて上記WSi<sub>x</sub>の加工を行った。ゲート寸法制御において、WSi<sub>x</sub>のレジストに対するエッチングの選択比をできるだけ大きくすることが重要と考え、選択比の大きいエッチング条件を選定した。その一例としてエッチングレートのRF電力依存性を図2-12に示す。RF電力100W時、選択比として4以上が得られている。レジストとのエッチング選択比を十分大きくとることは、エッチングによるレジストパターン長の低減を相対的に抑制することであり、加工寸法制御上重要であるが、その時の加工形状は図2-15に示すようにくびれ形状となり、特にゲート長がサブμmになると逆にゲート長変動の主要因となる。上記くびれ形状はRIEにおける等方性エッチングモード(中性フッ素ラジカルF<sup>\*</sup>でのエッチング)でのサイドエッチングにより生じるため[29]、エッチングの異方性をより高める必要がある。

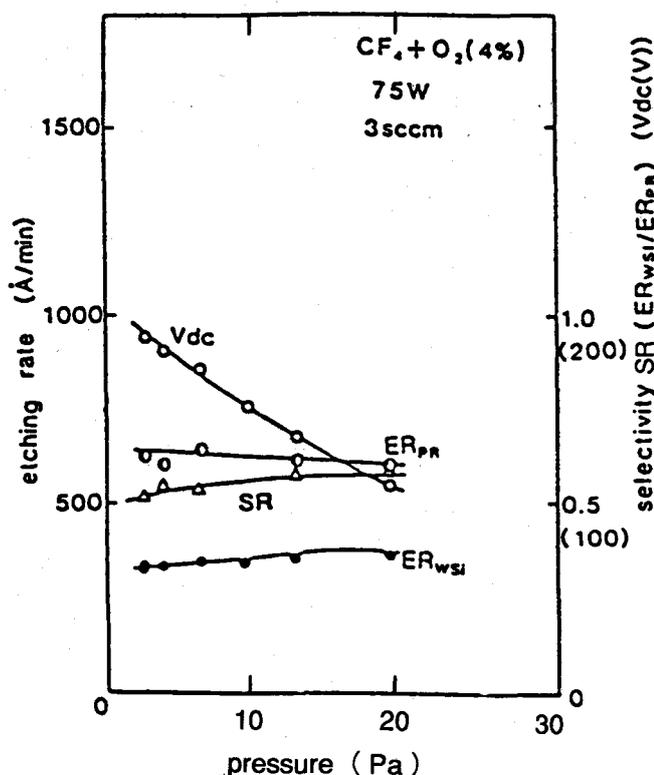


図2-13  
WSi<sub>x</sub>、レジストのエッチングレート、  
プラズマ自己バイアス電圧 Vdc の  
エッチングガス圧依存性

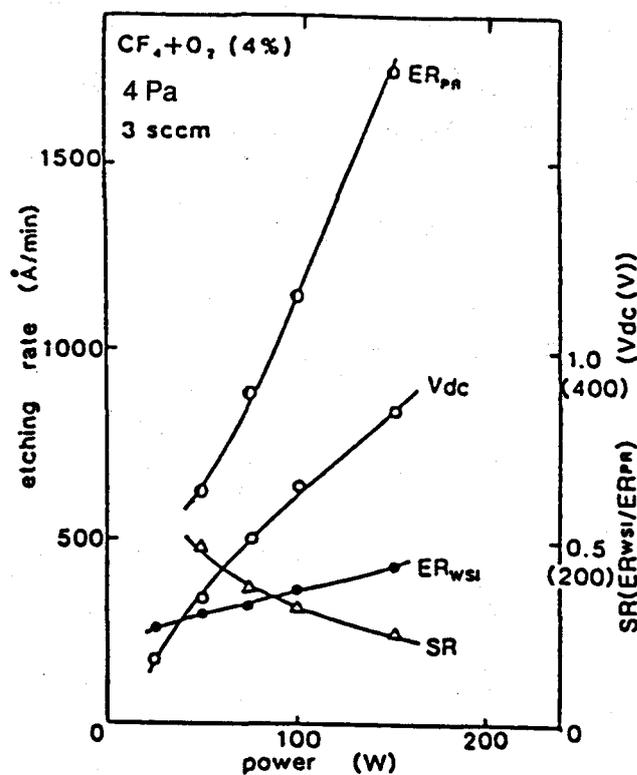


図2-14  
WSi<sub>x</sub>、レジストのエッチングレート、  
プラズマ自己バイアス電圧 Vdc の  
RF 電力依存性

一般に上記 $CF_4$ 等のフッ化ガスによるRIEにおいて異方性を増大するには、プラズマイオンシース中の反応性イオン ( $CF_3^+$ ,  $CF_2^+$ 等) の運動方向をウエハに垂直に、かつその平均自由行程を長くすればよい。よってエッチングガス圧をさらに低下することが有効となる。図2-13に $WSi_x$ 、レジストのエッチングレート、及びプラズマの自己バイアス電圧  $V_{dc}$  (反応性イオンをウエハに垂直な方向に加速する電圧) のエッチングガス圧依存性を示す。両者のエッチングレートはガス圧にあまり依存しないが、これはガス流量が3 sccmと低く、エッチングが活性種 (フッ素ラジカル  $F^*$ ,  $CF_3^+$ ,  $CF_2^+$ 等) の供給律速段階であるためと考えられる。一方、 $V_{dc}$  は明らかに低ガス圧になるに従い増加している。この異方性の強いエッチング条件での問題点は、前述の選択比であり、図2-12に示したエッチング条件に比べて選択比は約1/8の0.5とかなり低下することである。しかしながらレジストは $WSi_x$ の厚み (通常約 $0.5 \mu m$ 以下) に比べ $1\sim 2 \mu m$ 程度には容易に形成できるので、レジストのサイドエッチ量が小さければ大きな問題にはならない。次に $WSi_x$ 、レジストのエッチングレート、及び $V_{dc}$ のエッチングRF電力依存性を図2-14に示す。エッチングレートは両者ともRF電力の増大とともに増えるが、レジストのエッチングレートが著しく増加するため、選択比がさらに低下する。 $V_{dc}$ はRF電力の増大とともに増える。前の図2-12に比べ、十分少ないガス流量3 sccm, 低いガス圧4 Pa, 及びRF電力75 Wの条件で形成した $WSi_x$ 加工形状を図2-15に示す。図2-12の条件での加工形状に比べ、くびれはなく矩形に近い断面が得られている。

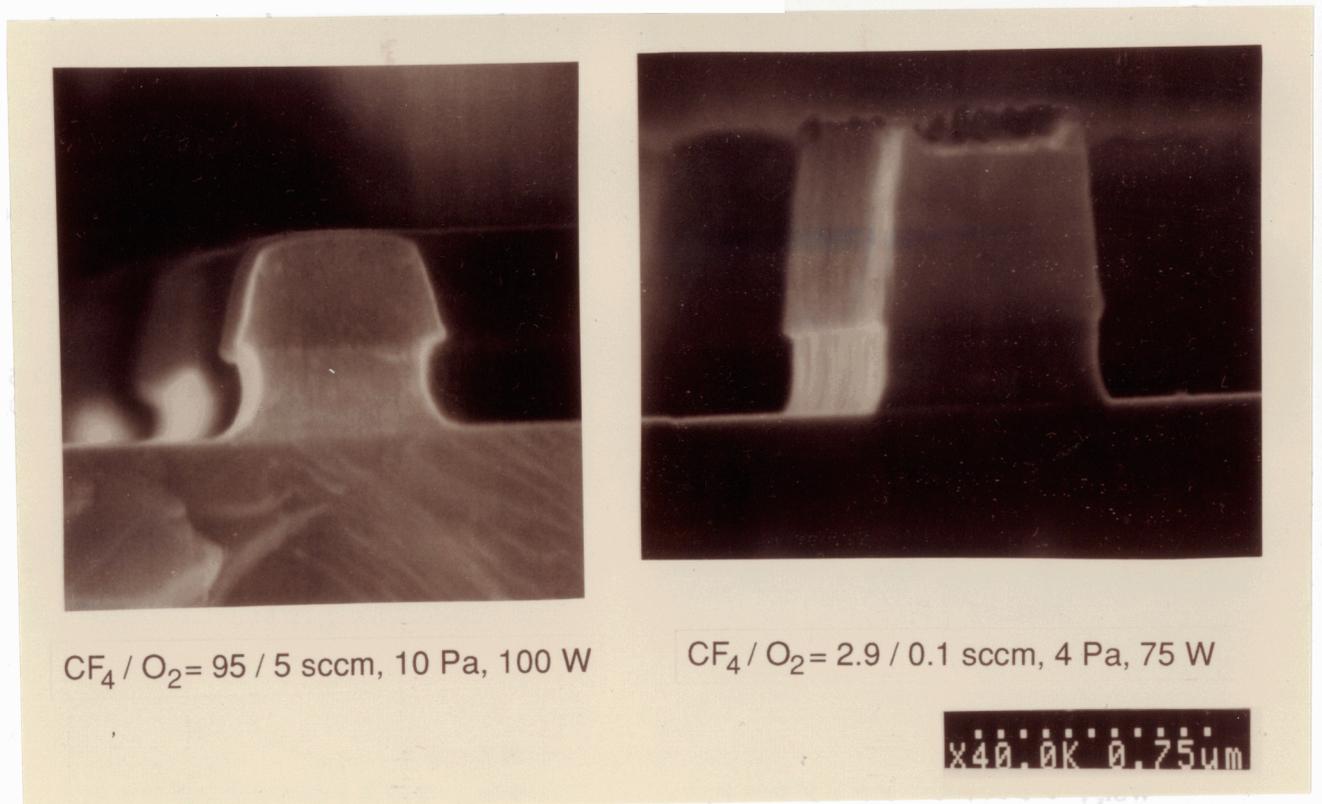


図2-15 RIEによる $WSi_x$ の加工形状

レジストのサイドエッチに一部伴う $WSi_x$ のサイドエッチングによる $WSi_x$ ゲート加工長のパターンシフトを図2-16に示す。前述のRIE条件(3 sccm, 4 Pa, 75 W)では、エッチング終点以前では150 Å/分、エッチング終点以後では600 Å/分のサイドエッチング速度であり、終点到達以後その速度は約4倍に増大している。これはウエハ全面の $WSi_x$ の垂直方向のエッチングに消費されていたエッチングの活性種が、終点到達以後サイドエッチングに寄与するからである。これらの結果より0.5 μm程度の仕上がりゲート長を10%程度の精度で得るには、分オーダーのエッチング時間の制御が必要となる。

$WSi_x$ のエッチング終了後、GaAs表面もエッチングされるので、GaAs基板オーバーエッチングのFET特性に与える影響についても検討した。そのレートは上記RIE条件では30 Å/分であった。オーバーエッチングを2.5分まで行った時の従来型 $WSi_x$ ゲートFET( $L_g/W_g=1 \mu m/10 \mu m$ )のK値、ゲートソース間耐圧 $V_{gso}$ の変化を図2-17に示す。2.5分のオーバーエッチであれば約80 Å  $n^+$ 層形成予定部表面がエッチングされるが、両因子とも大きな変化はない。エッチングされた表面はその後の $n^+$ 層用注入後のアニールで十分回復するものと考えられる。

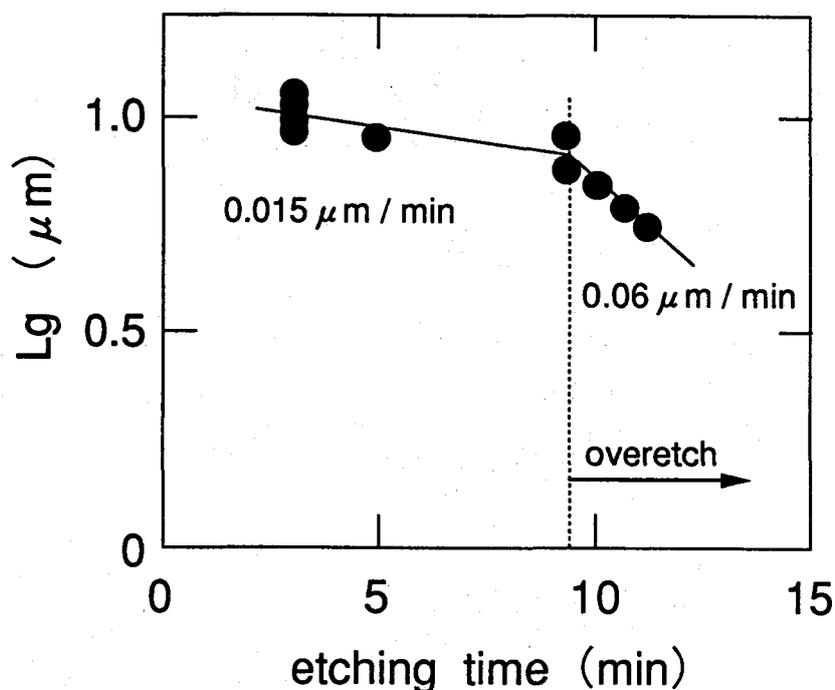


図2-16  $WSi_x$ のサイドエッチによる $WSi_x$ ゲート加工長のパターンシフト

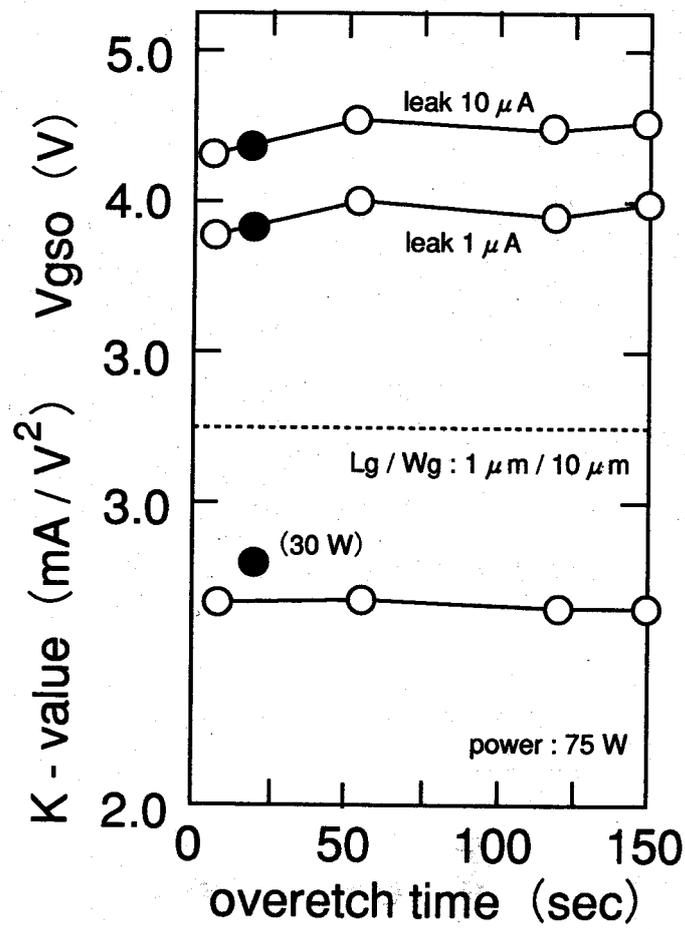


図2-17 K値、ゲート・ソース間耐圧 V<sub>gso</sub> の WSi<sub>x</sub> RIE オーバーエッチ時間依存性

## 2. 5 イオン注入層形成条件の最適化

### 2. 5. 1 n型チャンネル層形成条件の考察

高速LSI用FETとして重要なことは、負荷容量の大半を占める配線容量を駆動するため電流駆動能力が高いことである。MESFETの相互コンダクタンス $g_m$ は速度飽和モデルにより次式で表現できる[30]。

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} = \frac{v_s \epsilon_s W g}{a} \sqrt{\frac{V_p}{V_{bi} - V_{gs}}} = v_s W g \sqrt{\frac{q N_D \epsilon_s}{2(V_{bi} - V_{gs})}} \quad (2.2)$$

$I_{ds}$ : ドレイン電流,  $V_{gs}$ : ゲート電圧,  $v_s$ : キャリアの実効飽和速度,  $\epsilon_s$ : GaAsの誘電率,

$a$ : チャンネル厚,  $Wg$ : ゲート幅,  $V_p$ : ピンチオフ電圧,  $V_{bi}$ : ビルトイン電圧 (ショットキーバリア高さ),  $N_D$ : ドナー濃度

式(2.2)より、電流駆動能力を増大するためには、電子飽和速度向上の他に、チャンネルの高濃度化、あるいは薄層化が有効であることがわかる。但しnチャンネルの過剰な高濃度化はショットキー界面での鏡像力効果による $\phi_B$ の低下[31]、あるいはゲート容量の増大により上限がある。特に $\phi_B$ の低下は第5章で述べるMESFET論理回路の論理振幅、マージンの低下をもたらす。一方、チャンネルの薄層化は $V_{th}$ 均一性の向上に有効であるとの笠原らの計算解析結果の報告がある[32]。よって本研究では、特にチャンネル薄層化に着目し、1) ベア注入 (GaAs基板表面を露出して注入) でのnチャンネル用注入エネルギーの低減、2) スルー注入 (GaAs基板表面に形成した薄膜を通して注入) の適用を検討した。

#### (1) n層形成用イオン種

GaAsでのn層形成用イオン種としては、 $^{28}\text{Si}^+$ ,  $^{29}\text{Si}^+$ ,  $^{80}\text{Se}^+$ ,  $^{120}\text{Sn}^+$ ,  $^{130}\text{Te}^+$  等があるが、 $\text{Si}^+$ は比較的質量数が小さいため、低エネルギーでも深い注入層が得られるとともに、導入損傷が少なく室温注入でも高い活性化率が得られるため、最も広く用いられている。但しIV族元素で、GaAsに対しては両性不純物であるためIII族のGaと置換してはじめてドナーとして働く。注入ドーズが低い領域では、優先的にGaサイトを占有してドナーとなるが、高濃度になるとAsサイトを占有しだし、p型(補償)不純物となる(自己補償)、あるいは $\text{Si}_{\text{Ga}}$ との複合欠陥を形成するために活性化率は低下する。 $^{28}\text{Si}^+$ はバックグラウンドの $^{28}\text{N}_2^+$ と同じ質量なのでその影響を受けやすく $^{29}\text{Si}^+$ の方が精密制御に適しているため、本研究では $^{29}\text{Si}^+$ を用いた。

#### (2) 注入層のアニール

III-V族化合物半導体では一般にV族元素の蒸気圧がIII族のそれよりも高い。例えば850°CでのGaAsにおけるGaとAsの平衡蒸気圧は各々、 $1 \times 10^{-7}$  Torr および  $1.5 \times 10^{-6}$  Torr であり、As圧が約1桁高い。

これは熱処理に伴いAsがGaAs表面から抜け、GaAs組成（ストイキオメトリ）が変化し、注入イオン活性化率等の各種GaAs結晶特性が変動する。よって、アニールを、1) より解離性の高い構成原子（As）の蒸気圧下で行う（キャップレスアニール）、あるいは2) 構成元素の外部への拡散を防止する保護膜で表面を被覆して行う（キャップアニール）方法がある。本研究ではn層用 $^{29}\text{Si}^+$ 注入イオン、また次節で述べるp層用 $^9\text{Be}^+$ 、あるいは $^{24}\text{Mg}^+$ 注入イオンの活性化を一回のアニールで済ませたいために、両者の活性化を十分行える条件として、 $\text{AsH}_3$ 雰囲気中800℃、30分のアニールを、ベア注入の場合はキャップレスで、SiOスルー注入の場合は同スルー注入膜を除去しないで行った（キャップアニール）。

### 2. 5. 1. 1 ベア注入での注入エネルギーの低下

GaAs LEC基板に $^{29}\text{Si}^+$ イオンを注入エネルギー50, 30, 25, 20 KeVでベア注入した場合の、C-V法により測定したキャリアプロファイルを図2-18に示す（尚、測定には $L_g/W_g = 7 \mu\text{m}/20 \mu\text{m}$ の従来型 $\text{WSi}_x$ ゲートMESFETのゲート・ソース間ダイオードを用いた）。低エネルギー注入になるほどプロファイルはGaAs表面寄りになっており、n層の薄層化が実現されている。但し次節に示す図2-30のLSS理論曲線に比べてプロファイルは、かなり尾を引いている。また20 KeVと25 KeVとではほとんど差は見られない。また各注入エネルギーで形成したFETの $V_{th}$ を一定にして評価を行いたいために、浅い注入ほど注入ドーズを増加させているが、キャリアピークはそれに対応して増加しておらず、活性化率 $\eta$ は減少していることがわかる。

注入プロファイルとして、活性化率 $\eta$ の深さ方向依存性を考慮せずにガウス分布を仮定すると[33]、 $V_{th}$ は次式で近似される。

$$\begin{aligned}
 V_{th} &\equiv \phi_B - V_p = \phi_B - \eta \cdot N \cdot \frac{q}{\sqrt{2\pi} \cdot \epsilon_s \cdot \sigma_p} \int_0^a x \cdot \exp\left(-\frac{Rp^2}{2\sigma_p^2}\right) dx \\
 &= \phi_B - \eta \cdot N \cdot \frac{q}{\epsilon_s} \left[ \frac{\sigma_p}{\sqrt{2\pi}} \exp\left(-\frac{Rp^2}{2\sigma_p^2}\right) + \frac{Rp}{\sqrt{\pi}} \text{Erfc}\left(-\frac{Rp}{\sqrt{2}\sigma_p}\right) \right] \quad (2.3) \\
 &\quad \left( \text{Erfc}(x) \equiv \int_x^\infty \exp(-t^2) dt \right)
 \end{aligned}$$

$V_p$ : ピンチオフ電圧,  $\eta$ :  $\text{Si}^+$ 注入イオンの活性化率,  $N$ : 注入ドーズ,  $a$ : nチャンネル層厚,

$Rp$ : 注入イオン飛程,  $\sigma_p$ : 注入イオン飛程の標準偏差

上式(2.3)より、 $V_{th}$ -注入ドーズ( $N$ )特性は、 $V_{th}$ 軸切片を $\phi_B$ とする直線となる。nチャンネル用注入エネルギー50 KeV, 30 KeVの場合について、従来型 $\text{WSi}_x$ ゲートMESFET ( $L_g/W_g = 1 \mu\text{m} /$

10  $\mu\text{m}$ ) を作製し、 $V_{th}$  の注入ドーズ (N) 依存性を測定した結果を図 2-19 に示す。本図からわかるように、実データでも  $V_{th}$  - 注入ドーズ (N) 間にはほぼ直線関係が見られ、その  $V_{th}$  軸切片も  $\sim 0.7$  0 $\sim 0.75$  eV と  $\phi_B$  に近いことから、本プロセスにおける従来型  $\text{WSi}_x$  ゲート MESFET では、(2.3) 式の関係はほぼ満たされていると言える。30 KeV の場合、(2.3) 式から換算した活性化率  $\eta$  は約 70% であった。また (2.3) 式から n 層用注入エネルギーが小さい程、即ち、n チャネル層が薄い程、 $V_{th}$  の注入ドーズに対する傾きは小さくなるが、図 2-19 の結果からも確認できる。このことは注入ドーズや活性化率のばらつきが  $V_{th}$  のばらつきに与える影響が小さいことを意味し、前述した短チャネル効果、電流駆動能力といった FET 性能の向上以外に、 $V_{th}$  制御性の向上についても有利となる。

次に上述の注入エネルギー条件 (20, 25, 30, 50 KeV) で従来型  $\text{WSi}_x$  ゲート MESFET を作製し、短チャネル効果、及び電流駆動能力 (K 値) についてゲート長依存性を求めた。 $V_{th}$  近傍のドレイン電流  $I_{ds}$  は次式で表現される [34]。

$$I_{ds} = I_{dso} \cdot \exp\left(\frac{qV_{gs}}{N_g \cdot kT}\right) \quad (2.4)$$

ここで  $I_{dso}$  は定数である。上式で  $N_g$  はサブスレッショルド因子と言われ、1 に近いほど短チャネル効果は良好となる。この  $N_g$  のゲート長依存性を図 2-20 に示す。この図より n チャネル層 50 KeV 注入と 30 KeV 以下の注入では  $N_g$  は明らかに 30 KeV 以下の方が小さく (1 に近く)、短チャネル効果は抑制されていることがわかる。30 KeV 以下の 20, 25, 30 KeV では顕著な差は見られないため、本結果は先のキャリアプロファイル (図 2-18) の結果と対応していると考えられる。次に図 2-21 に K 値のゲート長依存性を示す。K 値は Schockley の gradual channel 近似 [35] によるドレイン飽和電流  $I_{dss}$  の式を  $V_{gs} = V_{th}$  近傍でテイラー展開した次の近似式において表される。

$$I_{ds} = \frac{\mu \epsilon_s W g}{2aLg} (V_{gs} - V_{th})^2 \equiv K \cdot (V_{gs} - V_{th})^2 \quad (2.5)$$

ここで  $\mu$  は n チャネル中の電子移動度である。因みに相互コンダクタンス  $g_m$  は次式の様になる。

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} = 2K \cdot (V_{gs} - V_{th}) \quad (2.6)$$

n チャネル層 30 KeV 以下の注入では 50 KeV 注入に比べ、同一ゲート長での K 値が増大していることがわかる。これは n 層形成用注入エネルギー低下による n 層薄層化のためである。先の  $N_g$  の結果 (図 2-20) と同様、30 KeV 以下の注入エネルギーでは顕著な K 値の差は見られず、K 値の大小も図 2-18 のキャリアプロファイルの結果に対応しているものと考えられる。

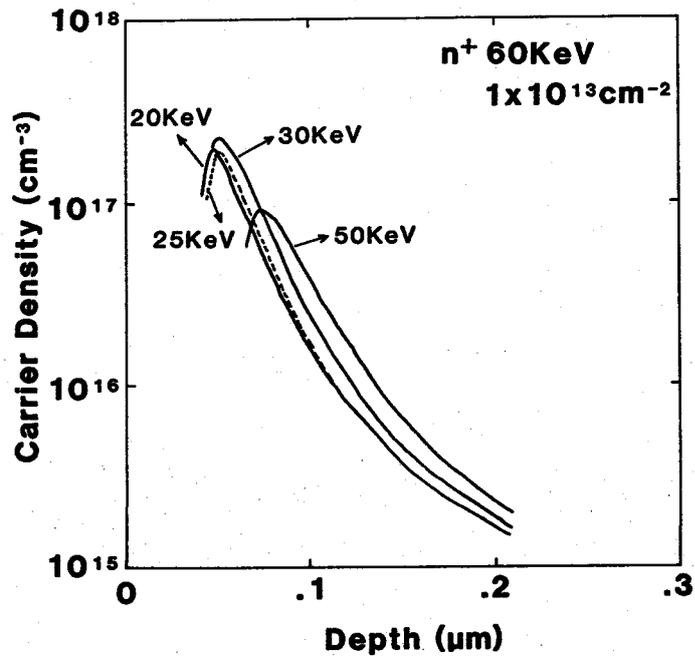


図2-18 nチャネル層のキャリアプロファイル (パラメータ: Si<sup>+</sup> イオン注入エネルギー)

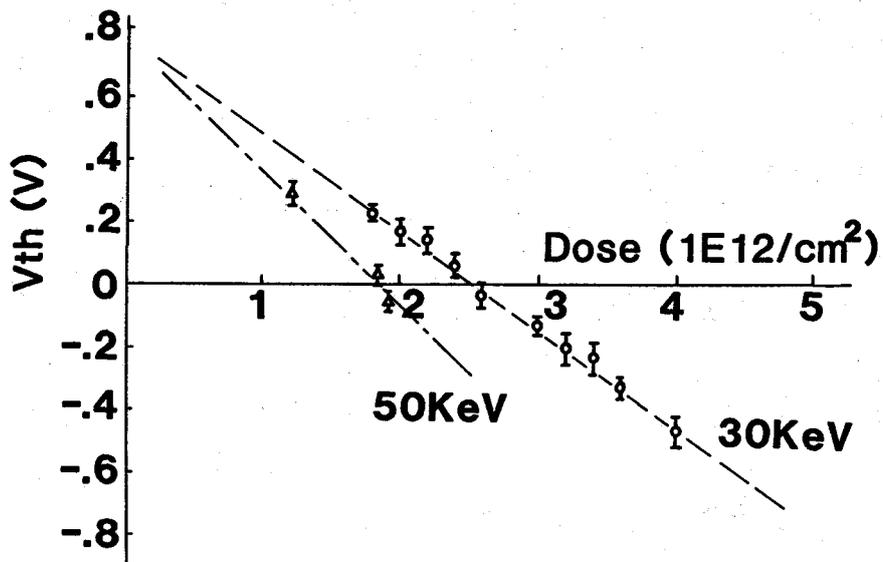


図2-19 Vthのnチャネル層用注入ドーズ依存性 (パラメータ: Si<sup>+</sup> イオン注入エネルギー)

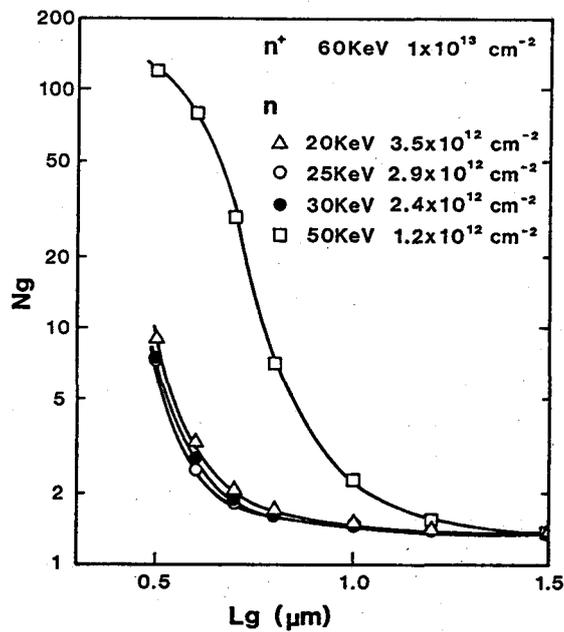


図2-20 Ngのゲート長依存性 (パラメータ: Si<sup>+</sup> イオン注入エネルギー)

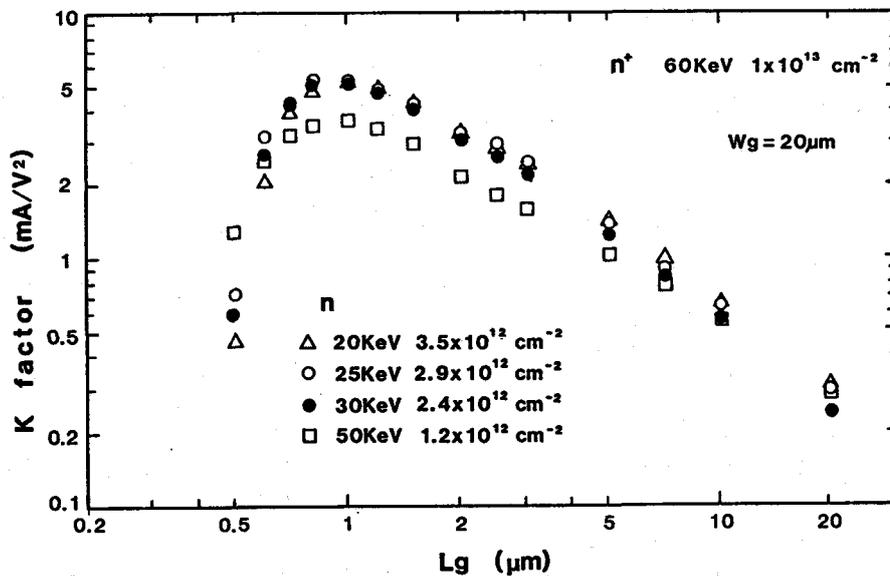


図2-21 K値のゲート長依存性 (パラメータ: Si<sup>+</sup> イオン注入エネルギー)

### 2. 5. 2. 2 スルー注入法の適用

前記のように、ベア注入での注入エネルギーの低下によりFET性能、V<sub>th</sub>制御性の向上を図れたが、ベア注入には以下の問題点があった。

- 1) V<sub>th</sub> がベア注入後の基板表面処理状態、あるいは表面汚染に依存し、Run To Run でばらつく。
- 2) 軸チャネリング、面チャネリングを抑制するように注入角度を設定しているにもかかわらず、ウエハー面内でV<sub>th</sub>片流れが発生しやすい。

FET特性を決定するnチャンネルの表面を露出したままプロセスを進めることは、nチャンネル表面の汚染、エッチングを招くためFET特性の均一性、再現性を著しく劣化させる。従って次のスルー注入法の適用は、特にLSIプロセスでは不可欠であると考えられる。スルー注入法の利点は、上記ベア注入の欠点の回避を含め次の様になる。

- 1) GaAs基板表面をプロセスフロー中の汚染、エッチングから保護する。
- 2) nチャンネル形成用注入イオンビームをスルー膜通過時にランダム化してチャネリング現象を一層抑制し、形成チャンネル層の均一性を向上する。
- 3) 注入飛程  $R_p$  をGaAs基板表面に移動させて高濃度薄層チャンネルの形成を可能とする。

#### (1) スルー注入プロセス

本研究ではスルー注入膜として、低ストレス、及び次に述べる高活性化率の観点からプラズマCVD法による  $300 \text{ \AA}$  の  $\text{SiO}_x\text{N}_y$  (屈折率 1.5) を用いた。本スルー注入膜はイオン注入後、そのままキャップアニール膜としても用いる。本  $\text{SiO}_x\text{N}_y$  は組成比でSiO寄りであり (Si : O : N = 45 : 45 : 10) , 前述の  $800^\circ\text{C}$  , 30 分のアニール後には膜中へのGaの外部拡散が生じ、GaAs基板表面付近にはGa空孔が発生するのでGaサイトのSiが増加し、活性化率が向上すると考えられる[33]。図2-22に3種類の組成比の  $\text{SiO}_x\text{N}_y$  でキャップアニールした後の  $\text{SiO}_x\text{N}_y$  / GaAs のSIMS分析結果を示す。SiOに最も近い、屈折率 1.54 での  $\text{SiO}_x\text{N}_y$  膜中にはAs と比べ 1 桁程度高濃度のGaの外部拡散が認められる。実際、活性化率は70%以上であり、屈折率 1.91 のSiN膜を用いたキャップアニールに比べ15~20%向上している。注入エネルギーは、ベア注入時にFET特性が最高であった30 KeV とほぼ同等のチャンネル厚を実現するために、 $300 \text{ \AA}$  の  $\text{SiO}_x\text{N}_y$  スルー注入では50 KeVとした。

本スルー注入法によるFET特性の改善結果を以下に示す。図2-23はゲート長  $1 \mu\text{m}$  の従来型  $\text{WSi}_x$  ゲートMESFETの2インチウエハー面内での  $\sigma V_{th}$  の  $V_{th}$  依存性をベア注入と比較して示す (n層用注入エネルギーは両者とも50 KeV)。上記スルー注入の利点1), 2) を反映してスルー注入での  $\sigma V_{th}$  はベア注入に比べ、かなり改善されている。図2-24, 2-25にサブスレッショルド因子  $N_g$  , K値のゲート長依存性を各々示す。同一注入エネルギーを用いたので、nチャンネル層はスルー注入の方が薄くなり、かつ注入時スルー膜に食われる分注入ドーズを上げているが、チャンネルの薄層化により短チャンネル効果はより抑制されて  $N_g$  は小さく、また(2.5)式よりK値は大きいと予想され、実際本結果ではそのようになっている。スルー注入では上記の様に短チャンネル効果がより抑制されるため、短ゲート長時にK値がベア注入ほど劣化していないこともわかる。

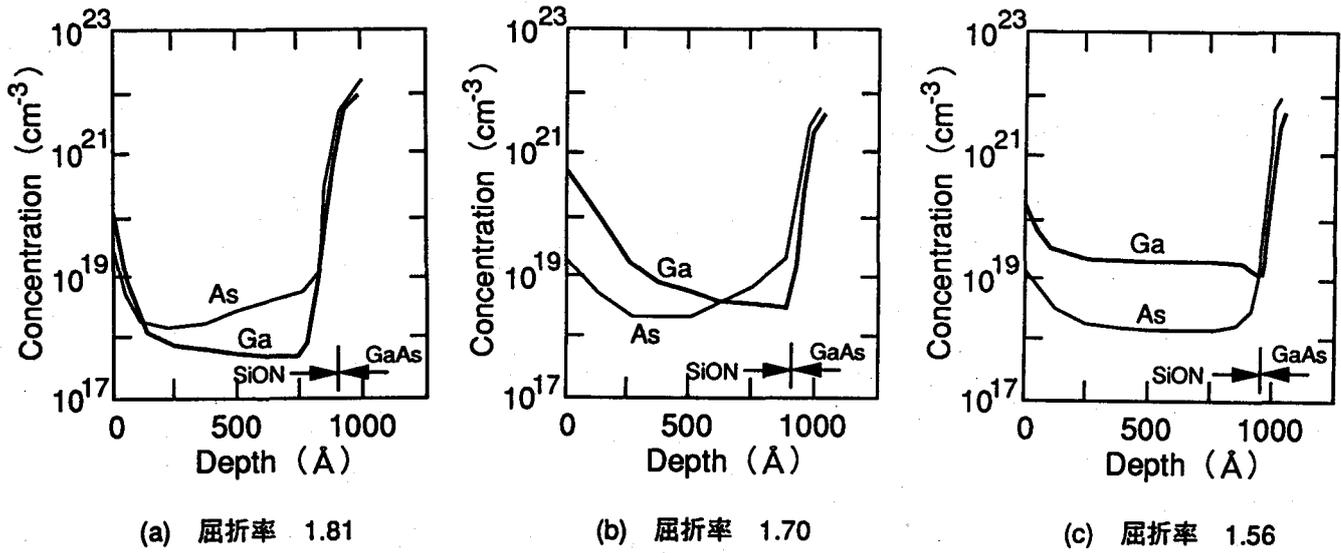


図2-22 SiO<sub>x</sub>N<sub>y</sub>/GaAs のSIMS 分析結果

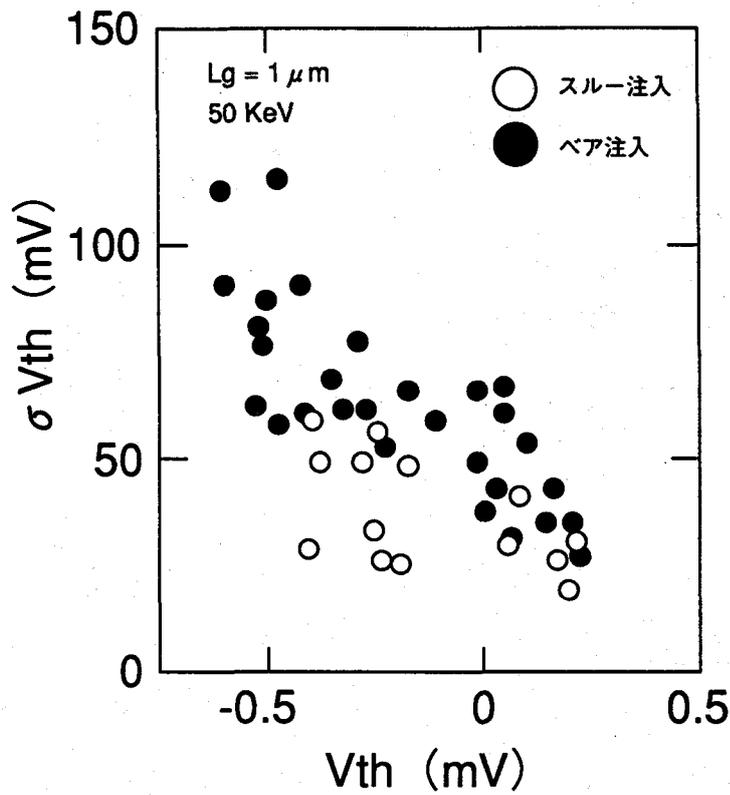


図2-23  $\sigma V_{th}$  の  $V_{th}$  依存性 (ベア注入とスルー注入)

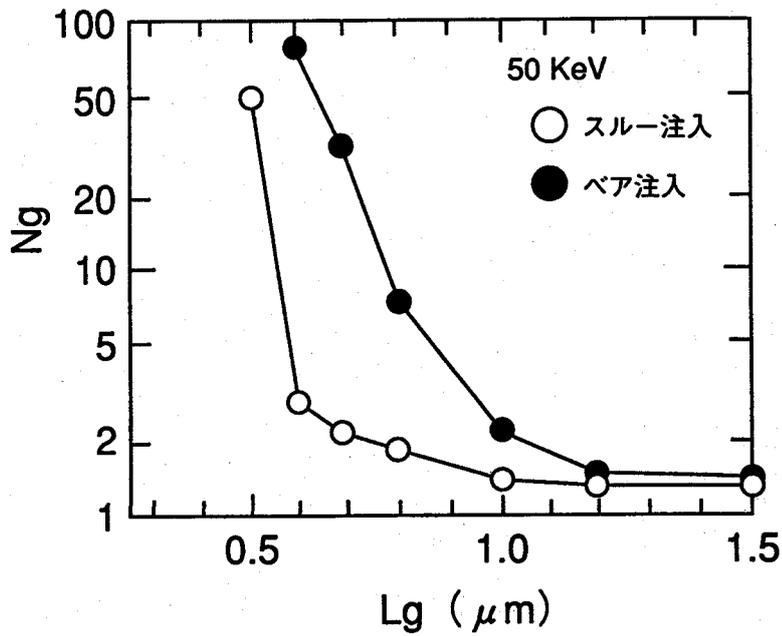


図2-24 Ngのゲート長依存性 (ベア注入とスルー注入)

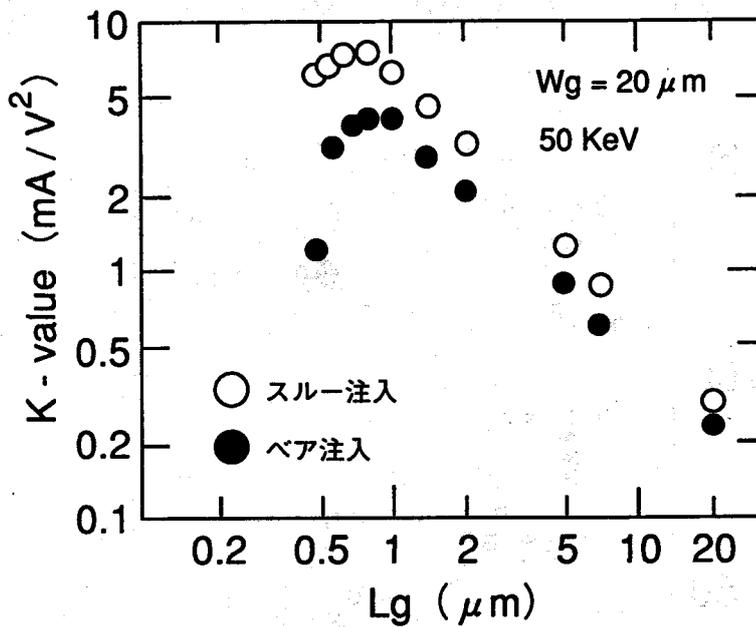


図2-25 K値のゲート長依存性 (ベア注入とスルー注入)

### 2. 5. 2 n<sup>+</sup>層形成条件の考察

従来型WSi<sub>x</sub>ゲートMESFET構造では、WSi<sub>x</sub>ゲート自体をマスクにn<sup>+</sup>層形成用のイオン注入を行う。注入層のアニールはAsH<sub>3</sub>雰囲気中800℃のキャップレスアニールを用いることにした。その理由は、特にゲート電極形成後のゲート電極端で発生するストレスの影響を、上部に形成するキャップ膜でさらに増長する危険を除去すること、また前述したキャップ材料とGaAs基板とのアニール時の反応の影

響を除外するためである。シートキャリア濃度とアニール時間の関係を調べた結果を図2-26に示す。 $^{29}\text{Si}^+$  イオンを注入エネルギー 150 KeVで注入し、 $\text{AsH}_3$  雰囲気中  $800^\circ\text{C}$  でアニールした。注入ドーズ  $1 \times 10^{13} \text{ cm}^{-2}$  までは15分で活性化量はほぼ飽和値に達し、60分までは一定である。 $5 \times 10^{13} \text{ cm}^{-2}$  まで高ドーズ化すると60分でも完全には飽和していない。図2-27にシートキャリア濃度と注入ドーズの関係を示す(注入エネルギー 150 KeV)。 $3 \times 10^{13} \text{ cm}^{-2}$  以上の高ドーズではアニール時間60分で活性化がシートキャリア濃度  $2 \times 10^{13} \text{ cm}^{-3}$  近くで飽和し出しており、図2-26での注入ドーズ  $5 \times 10^{13} \text{ cm}^{-2}$  でのシートキャリア濃度も60分以上のアニールで飽和するものと考えられる。FETの電流駆動能力向上のため、 $n^+$ 層の低抵抗化が必須であり、本注入ドーズとしては活性化後のシートキャリア濃度が安定で十分高濃度の  $1 \times 10^{13} \text{ cm}^{-3}$  を用いることにした。 $n^+$ 層アニール時に横方向拡散が発生するため、アニール時間は極力短くすべきであるが、アニールのRun To Runでの再現性を考慮して30分とした。 $n^+$ 層間リーク測定により本アニール条件では約  $0.15 \mu\text{m}/30\text{分}$  の速度で横方向拡散していることを確認している。

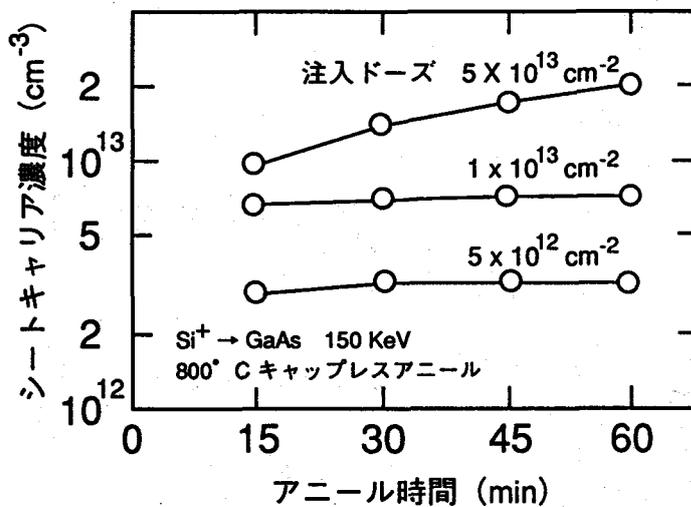


図2-26 シートキャリア濃度とアニール時間の関係

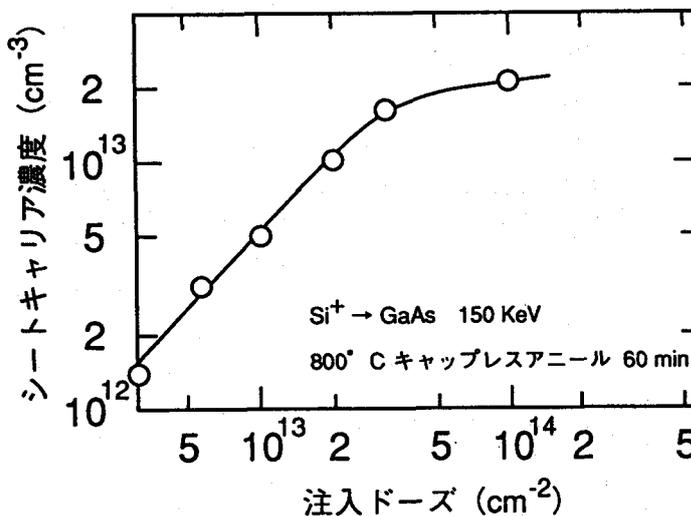


図2-27 シートキャリア濃度と注入ドーズの関係

FET高性能化には前述の短チャネル効果の抑制が必須であるが、その主要因であるソース・ドレイン  $n^+$  層間の基板リークの低減が必要であり、それには  $n^+$  層の薄層化が有効である[36]。図2-28に  $V_{th}$  のゲート長依存性を  $n^+$  層用注入エネルギーをパラメータとして示す。本図より明らかに  $n^+$  層用注入エネルギーの低下につれ、 $V_{th}$  の負側へのシフト（即ち短チャネル効果）は抑制されている。これは図2-29に示すサブスレッショルド因子  $N_g$  のゲート長依存性においてより明らかとなる。 $n^+$  層形成60 KeV 注入と30~40 KeV 注入とでは特にサブマイクロゲート長で相違が顕著に現われる。ところが図2-30に示すK値のゲート長依存性では、50 KeV 注入においてかなりのK値の低下が認められ、ソース抵抗  $R_s$  の増加が対応するものと考えられる。

短チャネル効果の度合いとK値を考慮して最適注入エネルギーを選択する必要があるが、従来型の  $WSi_x$  ゲートMESFETでは60 KeVが短ゲート長時の  $V_{th}$  シフト、K値の劣化の点で妥当であると考えられる。

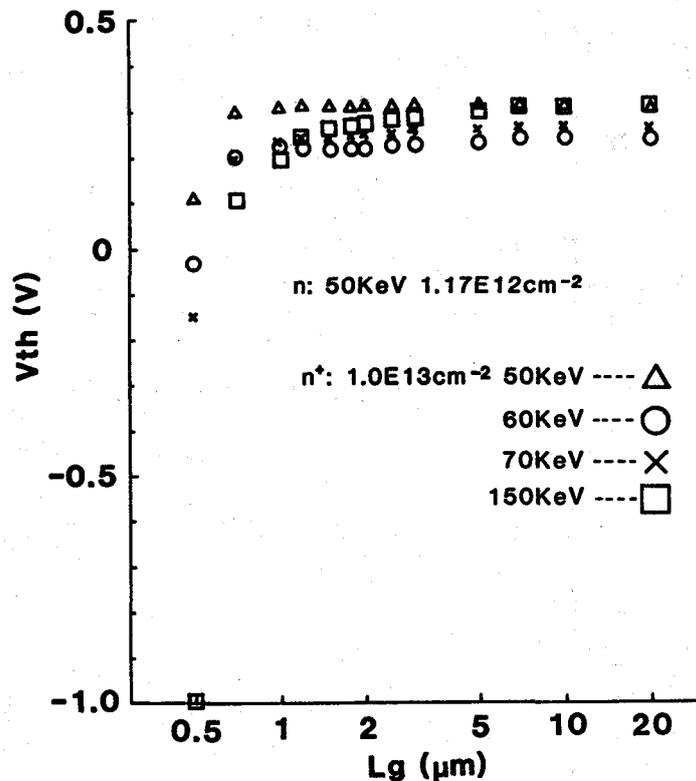


図2-28  $V_{th}$  のゲート長依存性 (パラメータ:  $n^+$  層注入エネルギー)

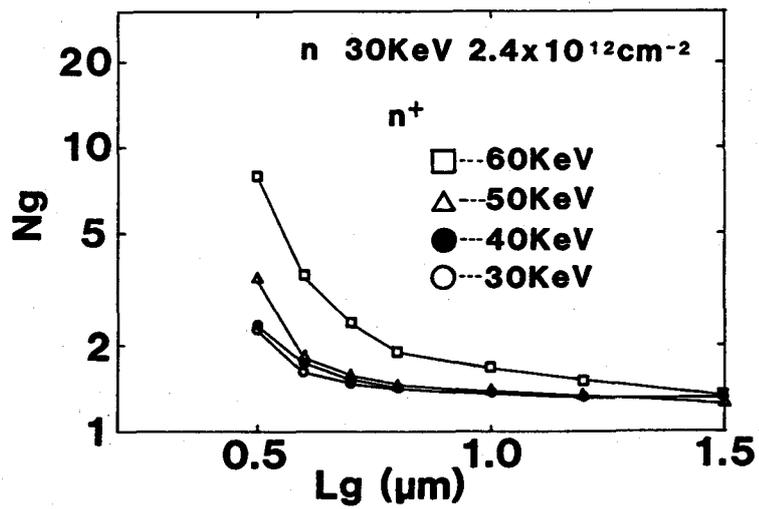


図2-29  $N_g$ のゲート長依存性 (パラメータ:  $n^+$ 層注入エネルギー)

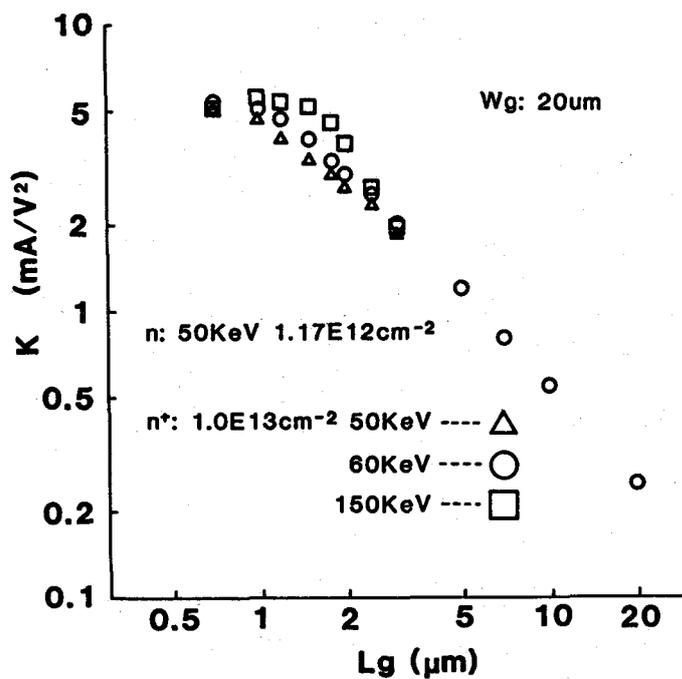


図2-30  $K$ 値のゲート長依存性 (パラメータ:  $n^+$ 層注入エネルギー)

## 2. 5. 3 p型埋め込み層形成条件の考察

### (1) p型埋め込み層形成の目的

MESFETのn型チャネル直下に逆導電層であるp層を形成する目的は、

- 1) nチャネル-基板界面をpn接合として、その界面で発生するビルトインポテンシャルバリアによりnチャネルからのキャリア（電子）の基板側への漏れを抑制する[7], [37]。
- 2) nチャネル/p層界面空乏層でのnチャネル側の空乏層をより伸ばし、nチャネルを薄層化する。
- 3) GaAs基板中に存在する残留アクセプタ濃度（ $10^{15} \text{ cm}^{-2}$  オーダー）の変動の影響を緩和する[38]。の3点が主に考えられる。

nチャネル/p層接合界面での上記ビルトイン電圧  $V_{bi}$ 、及びビルトイン電界  $E_{bi}$  は、階段接合近似モデル[19]により各々次式のように近似される。

$$V_{bi} = \frac{kT}{q} \ln \frac{N_A \cdot N_D}{n_i^2} \quad (2.7)$$

$$E_{bi} = \sqrt{\frac{2q \cdot N_A \cdot N_D \cdot V_{bi}}{\epsilon_s \cdot (N_A + N_D)}} \quad (2.8)$$

$N_A$ : アクセプタ濃度,  $N_D$ : ドナー濃度,  $n_i$ : 真性キャリア濃度

第1に式(2.7), (2.8)より $N_A$ の増加に伴い $V_{bi}$ ,  $E_{bi}$ 共に増加するため、短チャネル効果が抑制されるが、逆に増加しすぎると空乏化していないp層中の中性領域のホール濃度が増え、ゲート寄生容量が増大する（詳細は後節2.6.6で述べる）。

第2にnチャネルの薄層化により、前節2.5.1で述べた電流駆動力の向上、さらに短チャネル効果の抑制[39],  $V_{th}$ の均一性向上[32]が図れる。

第3にGaAs LEC基板成長時に導入される残留アクセプタとしては、通常C等が $10^{15} \text{ cm}^{-3}$ オーダーで存在し、さらに高融点ゲート材料のスパッタターゲットに含まれるFe, Cr等の重金属が、スパッタ時にGaAs基板を汚染する可能性がある。 $10^{15} \text{ cm}^{-2}$ オーダーで存在する残留アクセプタの影響を抑制するためには、1桁高い $10^{16} \text{ cm}^{-3}$ 以上のアクセプタ濃度を有するp層が必要と考えられる。

### (2) p型埋め込み層の形成方法

現在までGaAs MESFET用p層形成イオン種としては、 $\text{Be}^+$ ,  $\text{Mg}^+$ ,  $\text{C}^+$ ,  $\text{O}^+$ 等が報告されている[7], [37],

[40]。このうちC, Oは深いアクセプタとなるため、FET特性のドリフト、ヒステリシス、 $1/f$ 雑音等の問題が懸念される。これに対してBe, Mgは浅いアクセプタで軽元素であるため、数多く検討され、MESFETに多用されている。特にBeは質量が非常に小さいのでプロファイルがLSSモデル等によく合うことが報告されている[41]。その反面、発ガン性物質で危険物であるために実使用上その取り扱い、安全管理が難しいという問題がある。上述のイオン種以外にもZn, Cdがあるが原子番号、即ち質量数が大きく、LSS理論によると注入深さは質量数に反比例するため、注入エネルギーを数百KeV以上にする必要がある。これにより注入表面のnチャンネル付近で多大な注入損傷が生じる恐れがある。以上の観点から、Be, Mgをp層用イオン種として検討することにした。

図2-31にBe, Mg, Si各イオン種のLSS理論曲線による注入プロファイルを示す(SiO 300Åをキャップ膜としてスルー注入、活性化率は100%として計算)。n型チャンネル層を前節で決めた50KeVの注入エネルギーで形成する際には、n/p界面付近で $10^{16} \text{ cm}^{-3}$ オーダーのp層を形成する場合、Beでは50~150 KeV、Mgでは200~400 KeV程度の注入エネルギーが、 $10^{13} \text{ cm}^{-2}$ 弱の注入ドーズで形成するのに適していると考えられる。図2-31でのn/p界面近傍は注入深さで高々2000Å以下であり、この注入深さでの注入イオン、キャリア分布が問題になる。

図2-32にBe, Mgのイオン注入プロファイルをSIMS分析した結果を示す。LSS理論曲線でフィッティングすると、注入テイル側は両イオン種とも合わずブロード化しているものの、3500Å以下のピーク付近ではよく合っている。

デバイス動作の点では注入イオンプロファイルよりキャリアプロファイルの方が重要なので、Be, MgのキャリアプロファイルをC-V法により求めた。その結果を図2-33に示す。Beは80 KeV、 $5 \times 10^{13} \text{ cm}^{-2}$ 、Mgは200 KeV、 $5 \times 10^{13} \text{ cm}^{-2}$ で注入し、アニールはAsH<sub>3</sub>雰囲気中800°C、45分で行った。図2-33よりBeは従来報告されているように、少なくとも注入深さ1000~9000Åの範囲で平坦なプロファイルを有しており、上記n/p界面近傍となる5000Å以下の領域では良好な分布となることがわかる。一方、MgはBeに比べ、本アニール条件での活性化率は、図2-33において約30%程度低い。またプロファイルはダブルピーク形状で表面側が平均的に高い。これはDealらが述べるdamage enhanced diffusionに起因すると考えられる[42]。即ち、MgはBeに比べ質量数が大きいので、 $5 \times 10^{13} \text{ cm}^{-2}$ の高ドーズでは注入損傷による表面付近の空孔、interstitialな欠陥の密度が高く、その損傷領域を介してアニール後にMgが表面側にゲッタリングされると考えられる[41], [42], [43]。Mgは、Beと異なり $1 \times 10^{13} \text{ cm}^{-2}$ 以下のドーズ量では平坦性の良いキャリアプロファイルが得られることを確認しているが、 $5 \times 10^{13} \text{ cm}^{-2}$ までの高ドーズ化はp層形成上好ましくないと云える。

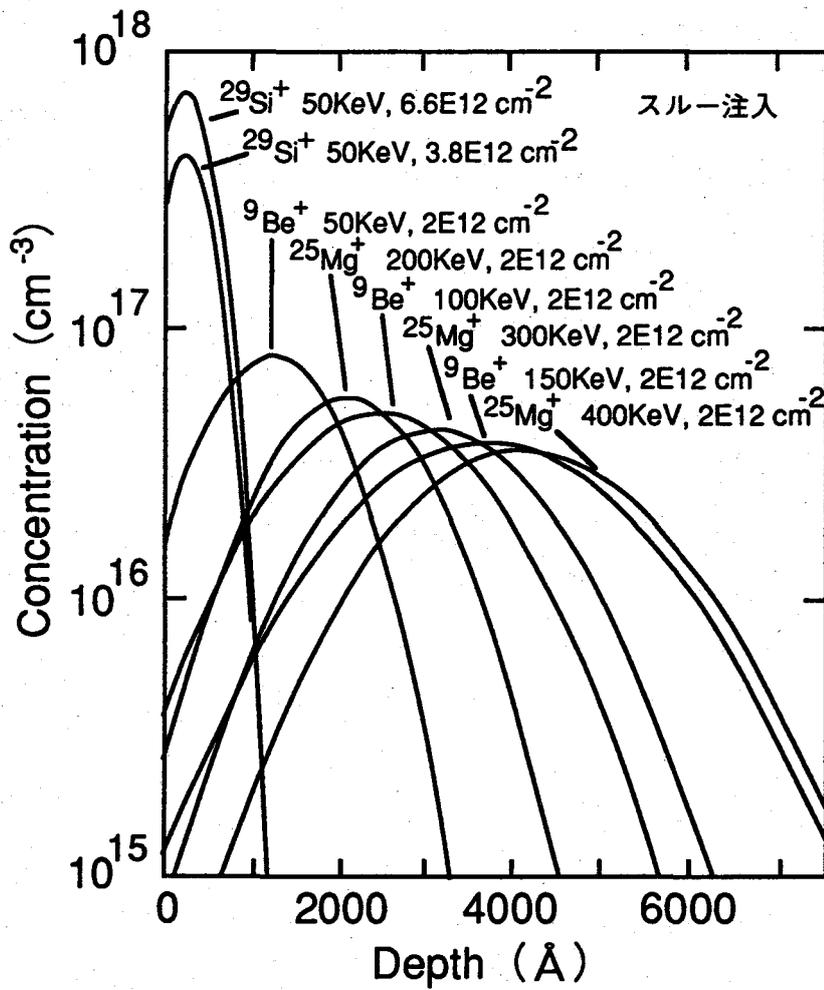


図2—3 1 Be, Mg, Si 各イオン種のLSS理論曲線による注入プロファイル

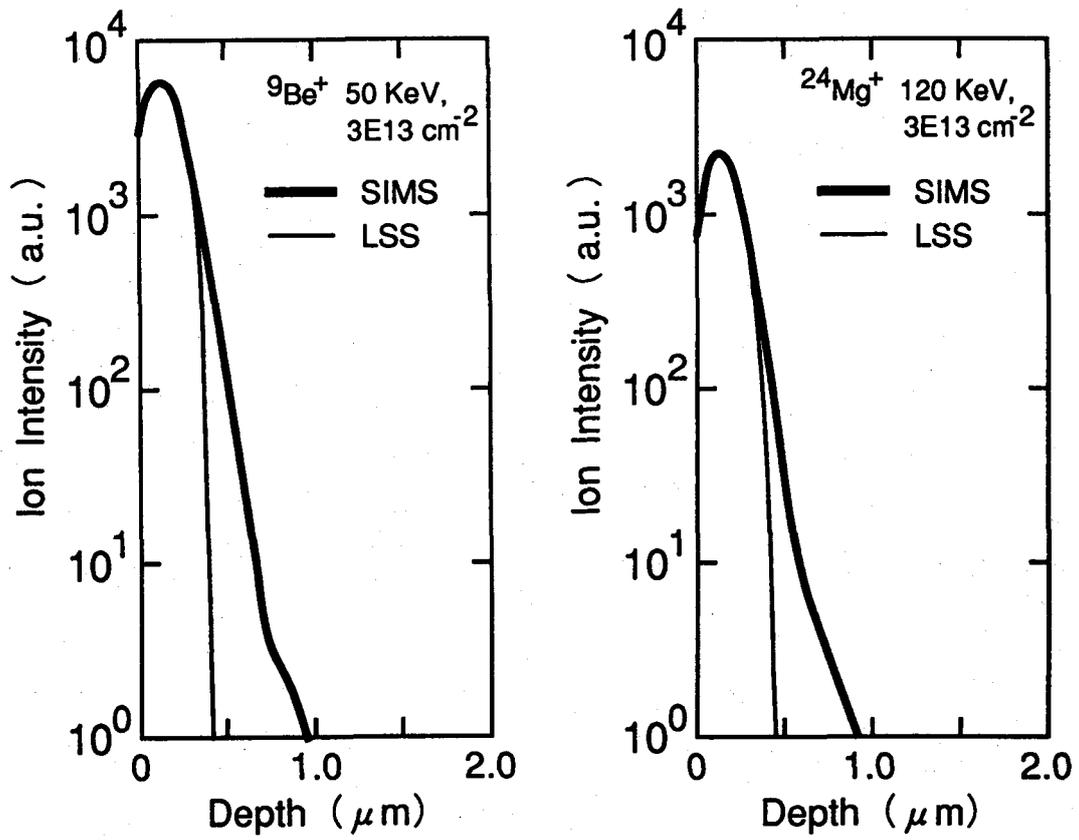


図2-32 Be, Mg イオン注入プロファイルの SIMS 分析結果

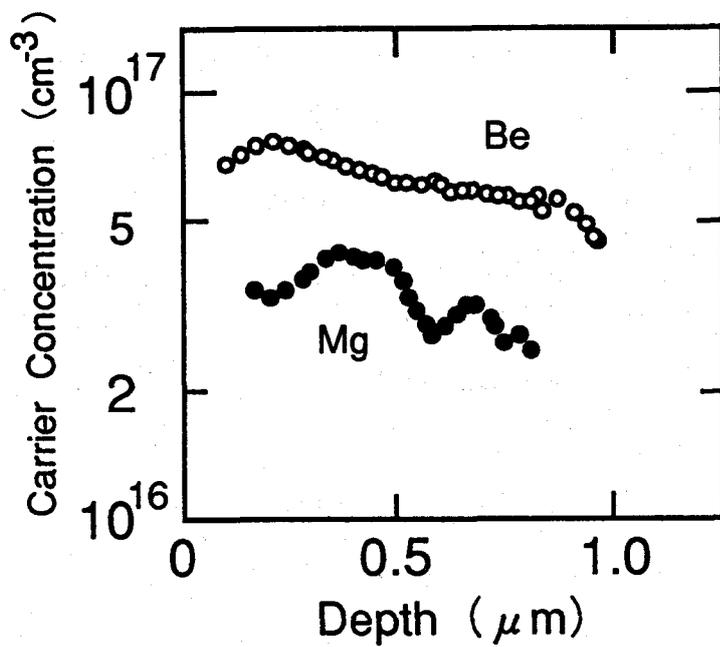


図2-33 Be, Mg イオン注入によるキャリアプロファイル

## 2. 6 p層埋め込みGaAs SAGFET 高性能化の検討

### 2. 6. 1 Vth 制御性向上

GaAs LSI, 特にDirect Coupled FET Logic (DCFL) で設計されたLSI の性能は, Vth 等のFET パラメータがどれだけ設計通りに実現されているかに強く依存する。その理由はSi LSI に比べて論理振幅が小さく (Si MOSFET 約5 V, GaAs MESFET 約0.7 V), この分ノイズマージンが小さくなるからである。MESFET のVth は通常 n チャネル層用注入ドーズで制御されるが, 制御性の点からはVth はドーズ量にあまり敏感でないことが好ましい。Vth と上記ドーズとの関係は前述の (2.3) 式で示されるが, 同式より, 注入ドーズに対するVth の傾き ( $\Delta V_{th}/\Delta N$ ) はチャネル厚が薄いほど小さい。前項2. 5. 3で述べた様に, n チャネル下 p 層埋め込みによる n / p 界面のビルトイン電圧 Vbi 発生に伴う n チャネル側への界面空乏層の拡がりにより n チャネルは薄層化されるため, 上記  $\Delta V_{th}/\Delta N$  は低下することが予想される。図2-34に p 層用 Be<sup>+</sup> イオン注入ドーズをパラメータとしたBP-FET のVth の n チャネル層用 Si<sup>+</sup> イオン注入ドーズ依存性を示す。Be<sup>+</sup> ドーズの増加につれ,  $\Delta V_{th}/\Delta N$  は明らかに低下しており, n チャネル層用注入ドーズによるVth の制御性は向上していると言える。p 層無しの場合に比べ, Be<sup>+</sup> ドーズ  $2 \times 10^{12} \text{ cm}^{-2}$  の場合, 傾きは約 1 / 3 に低減し, 制御性は約 3 倍向上している。

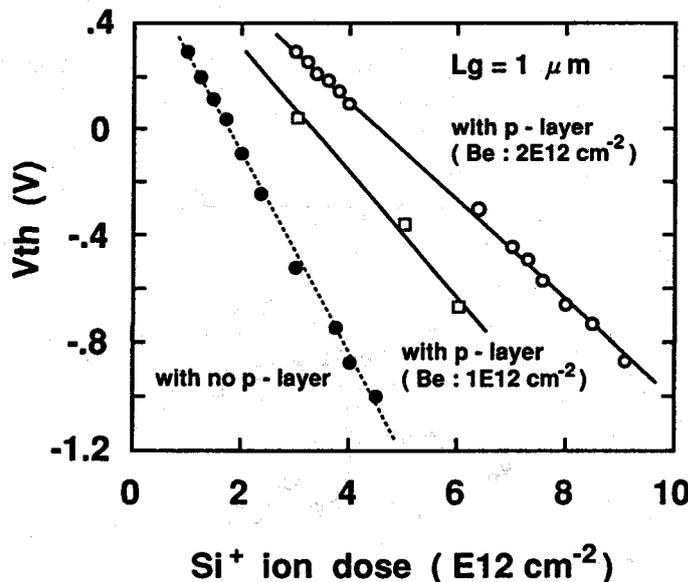


図2-34 Vth の n チャネル層用注入ドーズ依存性  
(パラメータ: p 層用 Be<sup>+</sup> イオン注入ドーズ)

### 2. 6. 2 短チャネル効果の抑制

前項の2. 5. 3, 2. 6. 1で述べた様に, n チャネル下 p 層埋め込みによる n / p 界面のビルトイン電圧 Vbi の発生によるチャネル内電子の基板側への漏れの抑制, 及びVbi 発生に伴う n チャネ

ル側への界面空乏層の拡がりによる n チャネルの薄層化によるゲート電界の 2 次元的効果の低減により、p 層埋め込み  $\text{WSi}_x$  ゲート MESFET (BP-FET) は短チャネル効果の抑制に有効と考えられる。

図 2-3 5(a) に p 層用注入ドーズをパラメータとする BP-FET の  $V_{th}$  のゲート長依存性を示す ( $\text{Be}^+$  イオン注入エネルギー 70 KeV)。 $\text{Be}^+$  イオン注入ドーズの増加につれ、短ゲート長時の  $V_{th}$  の負側へのシフトは抑制されている。上記負側へのシフトを抑制するには、 $\text{Be}^+$  ドーズとして  $1.4 \sim 2.0 \times 10^{12} \text{ cm}^{-2}$  が必要である。短チャネル効果を表すサブスレッショルド因子  $N_g$  のゲート長依存性 (図 2-3 5(b)) は  $V_{th}$  のゲート長依存性と全く同じ傾向を示している。 $\text{Be}^+$  ドーズが  $2.0 \times 10^{12} \text{ cm}^{-2}$  の時、ゲート長  $0.5 \mu\text{m}$  でも  $N_g$  は 1.3 と十分低く、短チャネル効果は良く抑制されていると言える。

$\text{Be}^+$  ドーズの大小が p 層のどういう状態に対応しているか検討するために、山崎らがその必要性を強調している完全空乏化条件[7]を満たす  $\text{Be}^+$  ドーズの近似計算と実際のゲート寄生容量の実測を行った。モデル計算はイオン注入プロファイルを深さ方向均一濃度の矩形状プロファイルに近似して行った。その近似の様子を図 2-3 6 に示す。計算手順を以下に述べる。

- 1) 矩形状プロファイルの厚み  $a$  を次式で近似する。

$$a = R_p + \sqrt{\frac{8}{\pi}} \sigma R_p \quad (2.9)$$

ここで、 $R_p$  : 注入イオン飛程,  $\sigma R_p$  :  $R_p$  の標準偏差

- 2) (注入ドーズ) /  $a$  をキャリア濃度  $N$  とする。
- 3) n チャネル層形成条件は  $^{29}\text{Si}^+$ , 50 KeV,  $3.8 \times 10^{12} \text{ cm}^{-2}$ , p 層形成条件は  $^9\text{Be}^+$ , 70 KeV,  $[\text{Be}] \text{ cm}^{-2}$  として  $[\text{Be}]$  を求める。
- 4) 300 Å の  $\text{SiO}_2$  スルー注入を考慮した LSS 理論曲線から、 $^{29}\text{Si}^+$  イオンでは  $R_p = 239 \text{ \AA}$ ,  $\sigma R_p = 254 \text{ \AA}$ ,  $^9\text{Be}^+$  イオンでは  $R_p = 1718 \text{ \AA}$ ,  $\sigma R_p = 901 \text{ \AA}$  となり、これらより Si, Be 対する  $a$ ,  $N$  を計算すると、 $a_{\text{Si}} = 886 \text{ \AA}$ ,  $a_{\text{Be}} = 4012 \text{ \AA}$ , さらに  $N_{\text{Si}} = 4.29 \times 10^{17} \text{ cm}^{-3}$ ,  $N_{\text{Be}} = 2.49 \times 10^4 \times [\text{Be}] \text{ cm}^{-3}$  となる。
- 5) Si, Be の活性化率  $\eta$  は各々  $\eta_{\text{Si}} \sim 70\%$ ,  $\eta_{\text{Be}} \sim 60\%$  であったので Si, Be による n 層, p 層各々のドナー濃度  $N_D$ , アクセプタ濃度  $N_A$  は、 $N_D = \eta_{\text{Si}} \cdot N_{\text{Si}} = 3.0 \times 10^{17} \text{ cm}^{-3}$ ,

$$N_A = \eta_{\text{Be}} \cdot N_{\text{Be}} = 1.50 \times 10^4 \times [\text{Be}] \text{ cm}^{-3} \quad (2.10)$$

となる。

- 6) n 層 / p 層間接合は n 層側を  $N_D - N_A$  のドナー濃度と  $N_A$  のアクセプタ濃度の階段接合として計算する。本接合での全空乏層厚  $W$  は

$$W = \sqrt{\frac{2\epsilon_s}{q} \frac{N_D}{N_A(N_D - N_A)}} V_{bi} \quad (2.11)$$

であり、 $W$  のうち、n 層, p 層側の空乏層厚  $x_D$ ,  $x_A$  は電荷中性条件より、

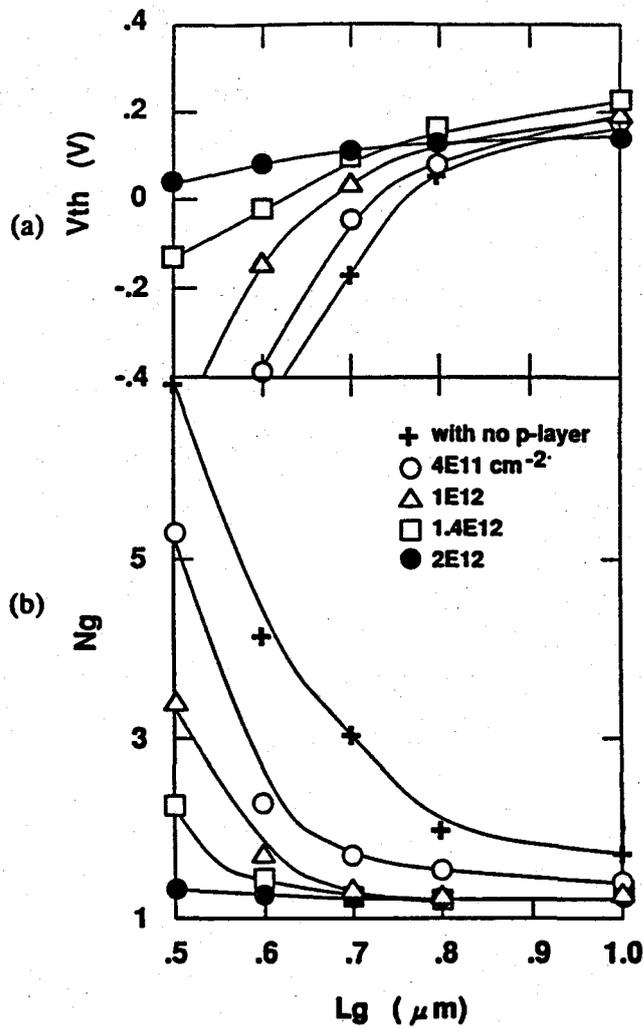


図2-35 (a)  $V_{th}$  のゲート長依存性 (パラメータ: p層用  $\text{Be}^+$  イオン注入ドーズ)  
 (b)  $N_g$  のゲート長依存性 (パラメータ: p層用  $\text{Be}^+$  イオン注入ドーズ)

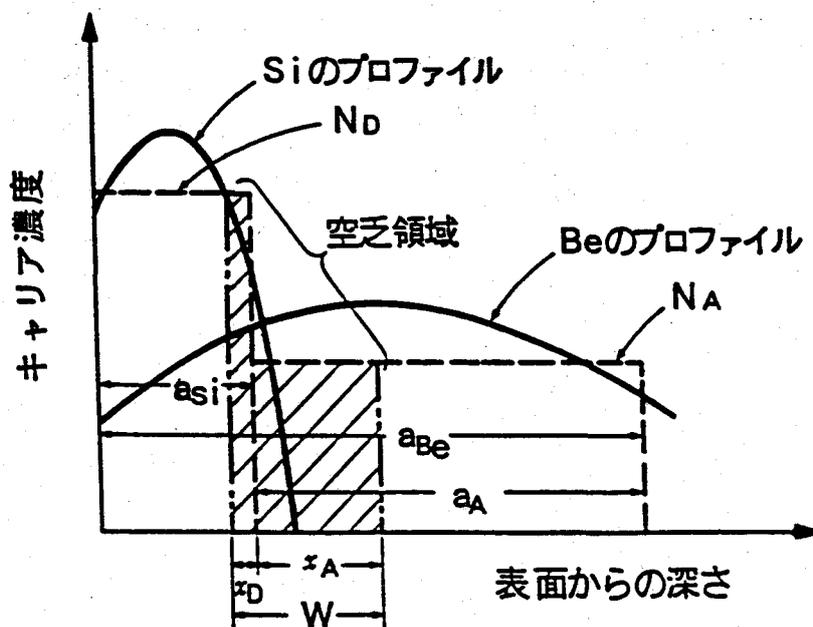


図2-36 BP-FETのn層/p層界面付近での矩形状プロファイル近似の様子

$$N_A \cdot x_A = (N_D - N_A) \cdot x_D \quad (2.12)$$

となる。

7) p層が完全空乏化する臨界状態では

$$x_A = a_{Be} - a_{Si} \quad (2.13)$$

であり、(2.10) ~ (2.13) 式より  $N_A$ 、さらに [Be] を解くと、

$N_A = 1.74 \times 10^{16} \text{ cm}^{-3}$ 、[Be] =  $1.16 \times 10^{12} \text{ cm}^{-2}$  という計算結果が得られる。

本近似法は非常に簡単ではあるが、 $\text{Be}^+$  ドーズとして約  $1 \times 10^{12} \text{ cm}^{-2}$  から p 型中性領域が発生すると見積もられる。

上記計算結果を検証する意味で、まず活性化率  $\eta$  を考慮して Si, Be 注入の LSS 理論曲線を描き、n 層、p 層の接合位置 (同一濃度位置)、p 層の基板側のおおよその終端 (ピーク濃度の 1/100 の位置、約  $1 \times 10^{15} \text{ cm}^{-3}$  に相当) を求めると、各々 829 Å, 4262 Å となり上記結果とほぼ一致した。さらに p 層中の中性領域発生によりゲート寄生容量が発生するかどうか BP-FET のゲート容量を実測した。解析の詳細は後項 2.6.6 で述べるが、実験結果としては  $\text{Be}^+$  ドーズ  $4 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$  以上で上記中性領域が発生している。つまり上記近似計算結果と実測結果とはほぼ一致していると言える。

以上の結果、BP-FET 構造で短チャネル効果を十分抑制するための  $\text{Be}^+$  ドーズは p 層中に中性領域を発生させる程度高濃度である必要があり、FET 動作高速化に寄与すると考えられる p 層完全空乏化条件とは両立しないことが明らかとなった。

比較的高濃度の p 層で短チャネル効果を抑制した BP-FET 構造における  $L_g/W_g = 1 \mu\text{m}/10 \mu\text{m}$  の  $I_{ds} - V_{gs}$  特性を、p 層を有しない場合と比較して  $V_{ds} = 0.7, 1.6 \text{ V}$  の 2 水準について図 2-37 に示す。ログプロットにおける  $V_{th}$  近傍の直線部分の傾きがサブスレッショルド因子  $N_g$  に対応する。p 層を有する場合、サブスレッショルド領域での  $I_{ds}$  (サブスレッショルド電流  $I_{sub}$ ) は p 層無しの場合と比べて 1 桁以上低い数 nA オーダーであり、基板リークが p 層により低減されていることがわかる。また  $V_{ds}$  を 0.7 V から 1.6 V に増加すると、 $I_{sub}$  は増加し、同時に  $V_{th}$  も負側にシフトしている。これは  $n^+$  層アニール時にゲート電極ドレイン端直下にドレイン  $n^+$  層が食い込みドレイン端での実効チャネル厚が増加したために、 $V_{ds}$  の増加でゲート電極ドレイン端側に寄ったゲート空乏層がより拡がることに対応する。p 層が有る場合、 $V_{th}$  シフト量は小さいが、これは実効的に厚くなったゲート電極ドレイン端の n チャンネルを流れる電子が深さ方向に拡がろうとするのを、n 層/p 層間バリアの空乏層が押し戻すためと考えられる。 $V_{th}$  の  $V_{ds}$  に対する傾き ( $\Delta V_{th}/\Delta V_{ds}$ ) は FET モデリングにおける  $\gamma$  パラメータとして用いられるが、本結果より p 層を有する場合の  $\gamma$  は 0.0044、p 層が無い場合の  $\gamma$  は 0.084 と計算され、p 層の導入により  $\gamma$  パラメータは約 1/20 に低減されていることになる。

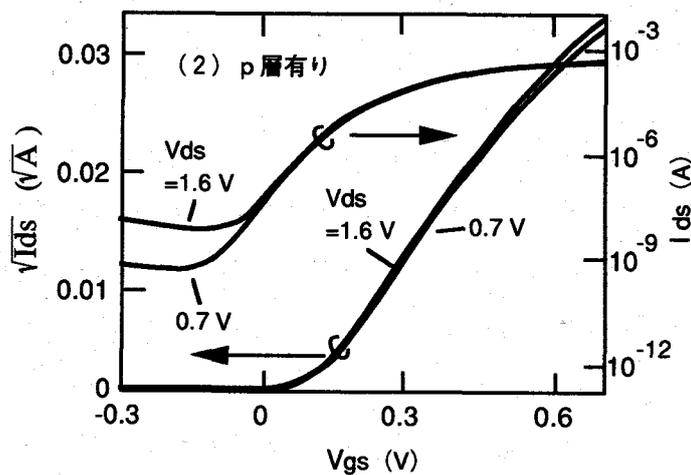
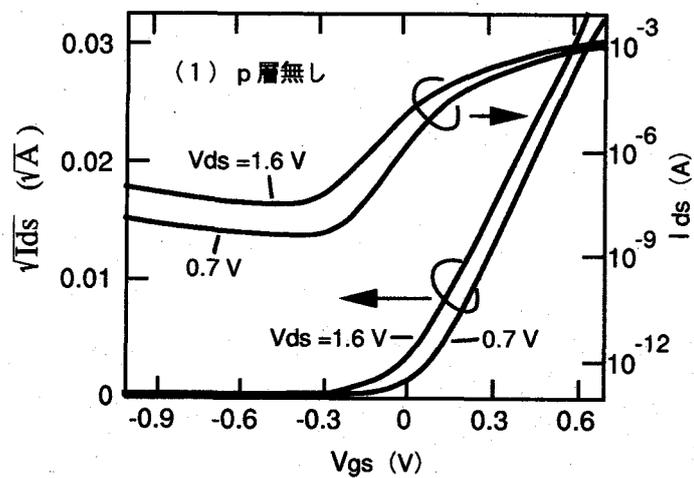


図2-37  $I_{ds}$  -  $V_{gs}$  特性 (p層の有無)

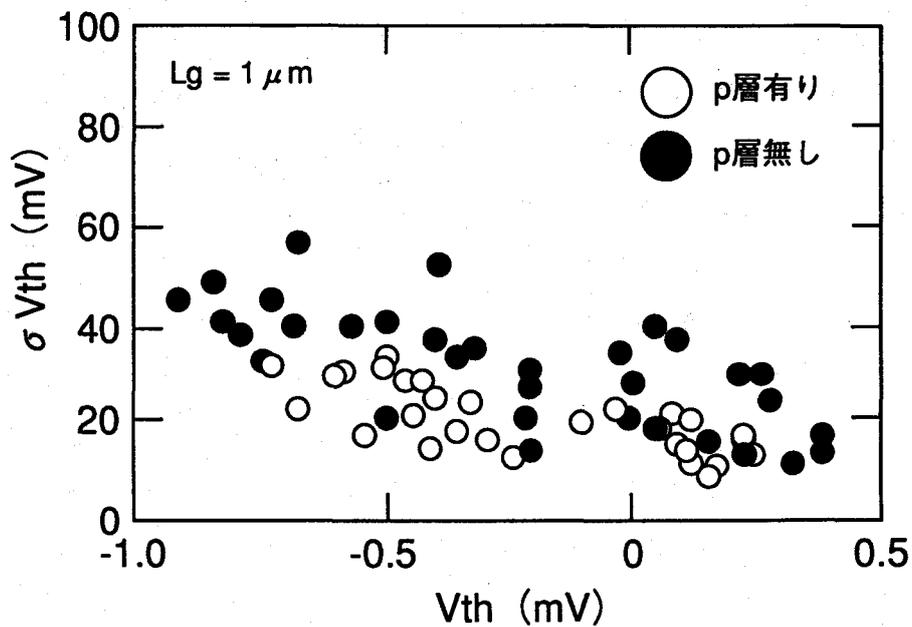


図2-38  $\sigma V_{th}$  の  $V_{th}$  依存性 (p層の有無)

### 2. 6. 3 V<sub>th</sub>均一性向上

LSI用FETにおいてV<sub>th</sub>均一性は、LSIを完全動作させるため、またその歩留りを十分高くするために最も重要な制御因子の1つである。例えば、1-Kb SRAMについては完全動作チップを得るために $\sigma V_{th} \leq 30 \text{ mV}$  [44]、あるいは16-Kb SRAMでは $\sigma V_{th} \leq 5 \text{ mV}$  [45]が必要であるという報告がある。GaAs LSIは基本的に高速である必要があるが、それ以前に完全なLSI動作を実現するためには、まずV<sub>th</sub>均一性を十分良好なレベルにする必要がある。

ウエハー面内のマクロなV<sub>th</sub>分布を表す $\sigma V_{th}$  (3インチウエハー面内で2~3 mm間隔で測定)のV<sub>th</sub>依存性をp層の有無をパラメータとして図2-38に示す(L<sub>g</sub>/W<sub>g</sub>=1 $\mu$ m/10 $\mu$ m, p層形成条件:<sup>9</sup>Be<sup>+</sup>, 70 KeV, 2 $\times 10^{12}$  cm<sup>-2</sup>)。尚、使用した基板は半絶縁性In dope低転位LEC基板である。V<sub>th</sub>はゲートショットキー順方向リークが発生し出す $\phi_B$ 以上にはならないので、V<sub>th</sub> ~  $\phi_B$  (~0.7 V)では $\sigma V_{th} \sim 0 \text{ V}$ となる。図中の1点は1ウエハーに対応し、本データはp層有り、p層無し各々の場合とも複数のインゴットからの測定値をプロットしたものである。同一V<sub>th</sub>に対する $\sigma V_{th}$ はp層有りの方が平均的に低減されており、さらに異なるウエハー間でのばらつきも減っている。前者は短チャネル効果の改善に対応すると考えられ、後者は前節2. 6. 1のp層埋め込みの目的3)で指摘したGaAs基板の残留アクセプタ濃度のウエハー、インゴット間ばらつきの影響をp層埋め込みで低減していることに対応すると考えられる。p層を有する場合、V<sub>th</sub> ~ 150 mVで $\sigma V_{th} \sim 10 \text{ mV}$ という非常に良好な均一性も得られている。図2-38においてはL<sub>g</sub>が1 $\mu$ mで、図2-35からわかるようにp層の有無による短チャネル効果の差があまり見られないゲート長であるため、p層の有無による $\sigma V_{th}$ の差はそれほど明白ではない。図2-35(a), (b)に対応した $\sigma V_{th}$ のゲート長依存性を図2-39に示す。使用した基板は図2-38の場合と同様3インチ径半絶縁性In dope低転位LEC基板で、ウエハー全面で127個のFETを測定した。ゲート長の短縮に伴い、 $\sigma V_{th}$ は単調に増加している。本結果は図2-35(a), (b)のV<sub>th</sub>, N<sub>g</sub>のゲート長依存性とほぼ同じ傾向である。即ち、短チャネル効果の増大(V<sub>th</sub>負側シフト、あるいはN<sub>g</sub>の増大)につれ、 $\sigma V_{th}$ は単調に増加している。つまり本BP-FET構造では、V<sub>th</sub>のばらつきは主に短チャネル効果の大小により決まると考えられる。特にBe<sup>+</sup>イオン注入条件70 KeV, 2 $\times 10^{12}$  cm<sup>-2</sup>の場合には、短チャネル効果が十分抑制され(N<sub>g</sub>=1.3), L<sub>g</sub>=0.5 $\mu$ mでも $\sigma V_{th} \sim 25 \text{ mV}$ という良好なV<sub>th</sub>均一性が得られている。

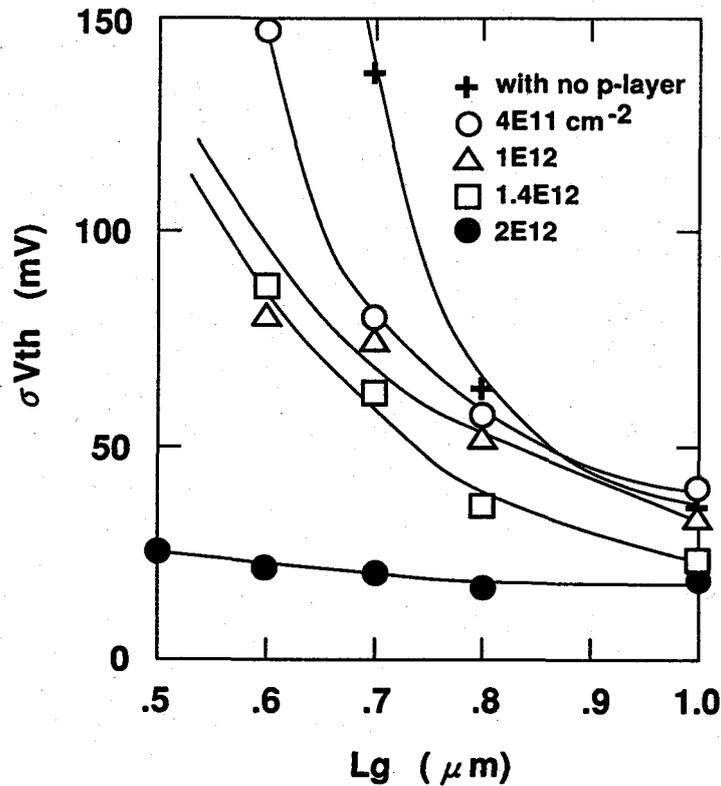


図2—39  $\sigma V_{th}$  のゲート長依存性 (パラメータ: p層用Be<sup>+</sup>イオン注入ドーズ)

上述のBe<sup>+</sup>イオン注入条件 (70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ ) で短チャネル効果, 並びにV<sub>th</sub>均一性はかなり改善された。それは単調にp層濃度を増加したことに対応するが, 前項2.6.2で述べた様にp層中にさらに中性領域を増やすとゲート寄生容量が増え, 逆に高速動作が損なわれる。しかしながらp層高濃度化によりどこまでV<sub>th</sub>均一性が向上するか, またp層の形成位置—p層注入深さの影響については1986~88年当時はほとんど検討されていなかったもので, 本BP-FET構造でさらなるp層の高濃度 (高注入ドーズ) 化とp層の厚み (注入深さ) のV<sub>th</sub>均一性に及ぼす影響をさらに検討した。

厚いp層は短チャネル効果抑制に有効であるとのMESFET動作の2次元計算機解析結果の報告があるが[46], そこではnチャネル層, p層は矩形状プロファイルである。p層が矩形状プロファイルであれば, ソース・ドレイン間基板リークの基板表面から深い位置を経路とするリークはp層が厚い方が減ることは理解できるが, 本研究のイオン注入プロファイルの場合は深さ方向に濃度に変化しているために上記計算機解析結果と一致しない可能性が高い。そこで1μmゲートBP-FETについてBe<sup>+</sup>イオン注入ドーズを $2 \times 10^{12} \text{ cm}^{-2}$ に固定して注入エネルギーを70 KeVから350 KeVまで増加させた場合, サブスレッショルド因子Ng, 即ち短チャネル効果は注入エネルギーの増加につれて増大した。つまりnチャネル下のさらに深い位置にp層を形成しても短チャネル効果は抑制されず, かえって増大する。あるいは同一注入ドーズで注入エネルギーを増加するとnチャネル付近のp層の濃度は低下するが,

この時  $N_g$  は増加する。一方、 $N_g$  は図 2-35 (b) からわかるように  $Be^+$  イオン注入が同一注入エネルギーの時 (70 KeV) , 注入ドーズの増加で大幅に低減される。つまり p 層は n チャネル付近がある程度高濃度であることが有効なのであり、p 層のうち n チャネルから離れた深い位置にある部分は短チャネル効果の抑制には効果が少ないと判断できる。図 2-40 に 3 インチ In dope LEC 基板上的の  $0.8 \mu m$  ゲート BP-FET における  $\sigma V_{th}$  の p 層用  $Be^+$  イオン注入ドーズ依存性を注入エネルギーをパラメータ (70~350 KeV) として示す。 $Be^+$  ドーズを  $5 \times 10^{12} cm^{-2}$  まで増加するにつれ、どの注入エネルギーでも  $\sigma V_{th}$  は単調に減少している。 $\sigma V_{th}$  の注入エネルギーに対する依存性は、先の  $N_g$  の注入エネルギーに対する依存性と同じ傾向であり、前述の通り  $V_{th}$  均一性 ( $\sigma V_{th}$ ) は短チャネル効果と一意的に対応していると言える。 $Be^+$  イオン注入エネルギーが 70 KeV の時、 $Be^+$  ドーズが  $2 \times 10^{12} cm^{-2}$  以上で  $\sigma V_{th}$  は最小値 20 mV に達する。 $2 \times 10^{12} cm^{-2}$  以上では  $\sigma V_{th}$  は 20 mV ほぼ一定となり、それ以上の過剰な  $Be^+$  ドーズの増加は不必要となる。

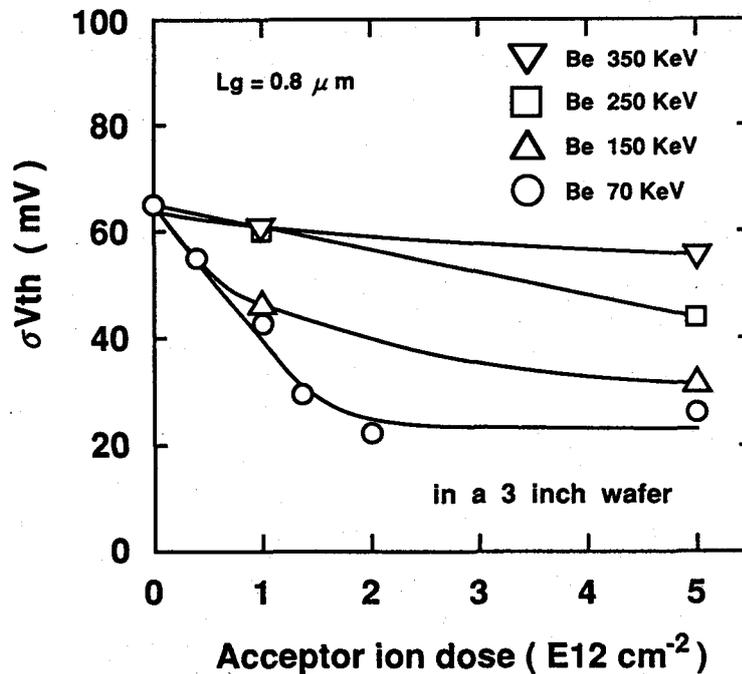


図 2-40  $\sigma V_{th}$  の p 層用  $Be^+$  イオン注入ドーズ依存性  
(パラメータ: p 層用  $Be^+$  イオン注入エネルギー)

#### 2. 6. 4 スパイク状 $V_{th}$ 異常の抑制

GaAs LSI の歩留りを上げるための真の意味での  $V_{th}$  均一性を議論するためには、LSI を構成する FET 密度 (例えば 4-Kb SRAM であれば  $10 \mu m$  程度で FET が近接している) に極力近い微小間隔で高

密度に集積したFETアレイの $V_{th}$ データから $V_{th}$ ばらつき因子 ( $\sigma V_{th}$ ,  $V_{th}$ ばらつきの形態等) を評価する必要がある。ここでは高密度なFETアレイ (60 $\mu\text{m}$ ピッチ, 及び15 $\mu\text{m}$ ピッチ) を数mm角の領域に形成して, GaAs LSIと同じオーダーの面積での $V_{th}$ マイクロ分布の形態を評価した。図2-4 1に本高密度微細FETアレイ測定パターンを示す (ゲート長は1.0 $\mu\text{m}$ )。

#### 2. 6. 4. 1 転位と $V_{th}$ 変動の相関

従来よりGaAs MESFETの $V_{th}$ ばらつきは, 主に基板中の転位との関連で研究されてきた[47]。転位はそれ自身直接的であれ間接的であれ,  $V_{th}$ を変動させるという報告が数多くある[48]。このような転位による $V_{th}$ 変動の影響を低減するために, GaAs基板としては低転位密度 (10~100  $\text{cm}^{-2}$ ) In dope LEC基板を用いることにした。まずゲート長1.0 $\mu\text{m}$ の従来型SAGFETの $V_{th}$ と, 同FETのゲートと最近接転位との距離に相関が見られるかどうか調べるために, 同1.0 $\mu\text{m}$ ゲート従来型SAGFETで前記60 $\mu\text{m}$ ピッチの微細FETアレイを構成して $V_{th}$ 分布を測定した後, KOHエッチングで転位に対応するエッチピットを形成して, FETのゲートと最近接エッチピットとの距離を測定した。図2-4 2に上記 $V_{th}$ と転位 (エッチピットに対応) の分布を示す。図2-4 2においては以下の3種類の状態に分類されている。即ち, 1) ゲートが転位の真上にある場合, 2) ゲートと最近接転位との距離が1 $\mu\text{m}$ 以上30 $\mu\text{m}$ 未満の場合, 3) 同距離が30 $\mu\text{m}$ 以上の場合, である。図中の $V_{th}$ 測定結果より, 1), 2), 3) 各々の場合における $V_{th}$ の平均値は, 各々 -138 mV, -103 mV, -105 mVとなる。これより $V_{th}$ は, そのFETチャンネル部 (ゲートと同一位置) が転位の真上であれば平均的に約30 mV負側にシフトするが, 同距離が1 $\mu\text{m}$ 以上あればシフトしないと言える。

この実験結果は次の様に考えられる。従来,  $V_{th}$ と, そのFETチャンネル部と転位との距離の相関については精力的に研究されている[48]-[52]。それらをまとめると, As圧下アニールでない, あるいは低As圧下アニールでAs空孔が生じやすく基板表面付近がGa-richの場合,  $V_{th}$ は転位からの距離と良い相関があり, 転位直上にFETチャンネルがある時は最大300 mVも負側にシフトするが[49], 逆に高As圧下アニール, あるいは $\text{SiO}_2$ キャップアニールで $\text{As}_i$ , あるいはGa空孔が多くAs-richの場合は上記依存性が見られなくなる[50]-[52], ということが定性的には多くの報告の共通した結果である。

そこで本研究での基板表面付近がGa-rich, As-richのどちらの状態になっているか検討するために, FETのチャンネル層キャップアニール後の $\text{SiO}$ キャップ膜中の不純物プロファイルをSIMS分析した。そのSIMS分析結果を図2-4 3に示す。 $\text{SiO}$ 膜中にはGa, Asが各々 $7 \times 10^{18} \text{cm}^{-3}$ , 及び $2 \times 10^{18} \text{cm}^{-3}$ 厚さ方向にほぼ一定に拡散していることがわかる。即ち, GaAs基板からはAsよりGaがより多量に抜け出している。

これは前項2. 5. 1で述べた結果と一致している。使用している In dope 基板は stoichiometric であるため、本研究でのGaAs基板表面付近は As-rich になっていると考えられる。本研究ではFET チャネルと転位との距離が  $1\mu\text{m}$  以上では、その  $V_{th}$  と距離との間に相関は見られず従来の共通した結果と一致している。但しFET チャネルが転位の直上にある場合に若干 (約30 mV) 負側にシフトするのは、むしろ Ga-rich での結果に似ており、本研究での As-rich の度合いは従来報告例の As-rich の状態に比べ小さいとも考えられる。

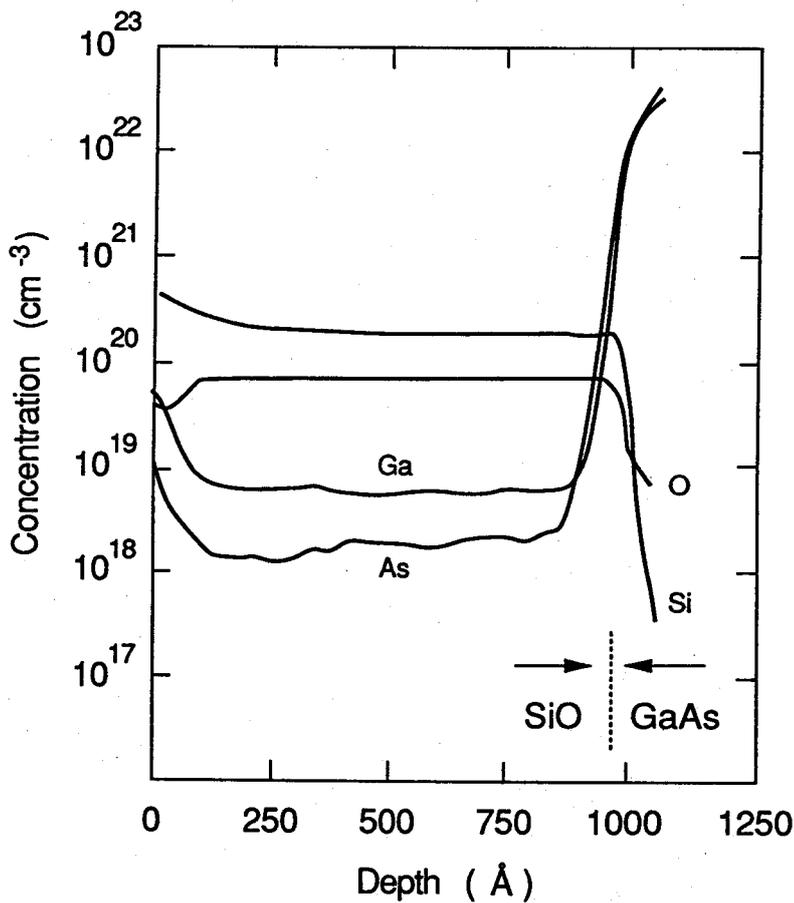


図2—43 アニール後のSiO キャップ膜中の不純物  
プロファイルのSIMS 分析結果

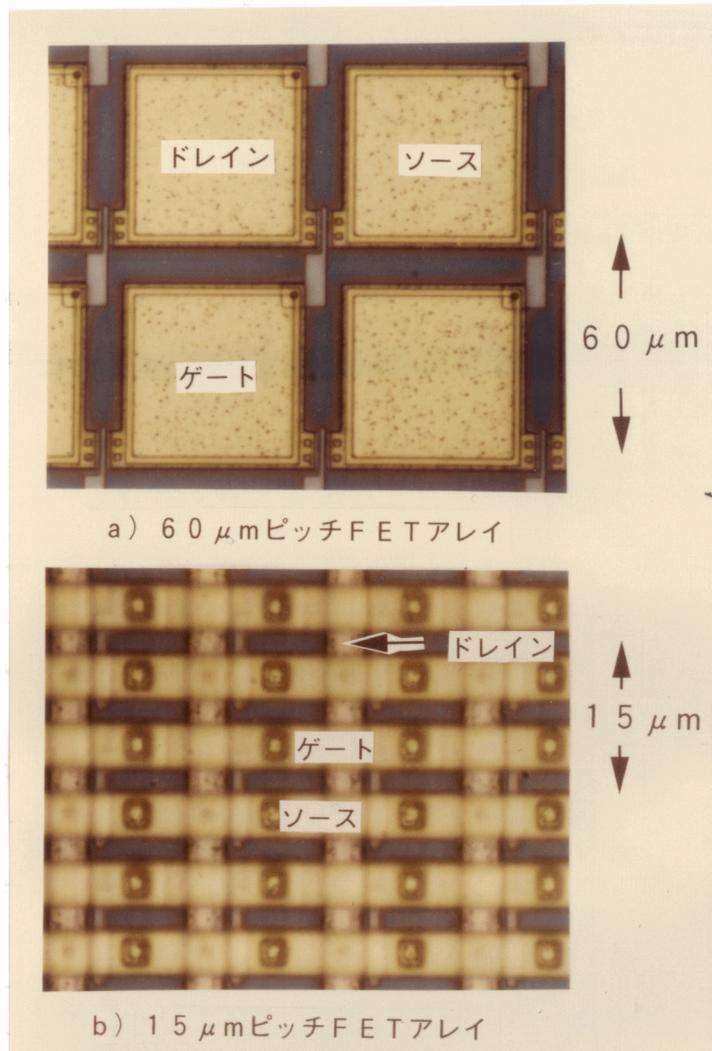


図2-41 高密度微細FETアレイ測定パターン(ゲート長1 μm)

-97	-94	-84	-139	-122	-78	-106	-100	-105
-102	-103	-101	-132	-101	-84	-118	-124	-95
-103	-98	-111	-89	-75	-102	-135	-126	-108
-120	-96	-104	26	-69	-116	-141	-132	-62
-113	-96	-107	-121	-121	-117	-104	-96	-77
-108	-117	-144	-92	-117	-110	-117	-79	-111
-83	-134	-130	-79	-92	-92	-86	-84	-140
-109	-154	-112	-99	-73	-90	-75	-125	-157
-103	-163	-102	-99	-80	-68	-100	-114	-154
-98	-156	-107	-73	-100	-65	-107	-87	-119
-103	-116	-125	-111	-105	-74	-108	-69	-99
-145	-127	-152	-119	-102	-113	-80	-92	-136



ゲートが転位の真上



ゲートと最近接転位との距離が  
1 μm以上30 μm未満



Vth異常点

従来型 SAGFET (p層埋め込み無し,  $L_g = 1 \mu\text{m}$ )

図2-42  $V_{th}$ と転位の分布(60 μmピッチ)

## 2. 6. 4. 2 微小領域でのVth変動とその原因の考察

### (1) Vth異常点

一方、p層を有していない従来構造のWSi<sub>x</sub>ゲートMESFETを最小15μmピッチで形成した場合、周辺のFETに比べ数十mV以上単独点としてVthが大きい異常点が、特に基板の種類（アンドープ、Inドープ、インゴットアニールの有無）にも依らず存在することを確認している[53]。その評価結果の一例として15μmピッチ高密度FETアレイでのVthマイクロ分布を図2-44に示す。本アレイは22ヶ×22ヶ構成であり、従来型1μmゲートWSi<sub>x</sub>SAGFET（p層無し）を用いている。50~100mV程度正側にVthがシフトしている異常点が本領域内に数個見られる。さらにVth異常点の例を図2-42に合わせ示す。使用基板はInドープLECであるが、Vth異常点は転位とは直接的に相関していないことがわかる。この異常点はGaAs LSIでも特にSRAMの場合、不良ビットを発生させるのでその密度、あるいはそのVthシフト量を十分に低減しなければならない。従来このVth異常点の存在については、Vth微小領域評価により数件の報告がなされているが[54]-[56]、それらの報告はVthとGaAs基板結晶特性、あるいはVthとアニールプロセスとの相関についての研究であり、VthとFET構造との相関についてはなされていなかった。本研究では微小領域でのVth分布（Vthマイクロ分布）を60μmピッチFETアレイを用いて、p層埋め込みの有無、第3章で述べるLightly Doped Drain (LDD) 構造適用の有無、あるいはゲート長の短縮というFET構造の観点から検討を行った。

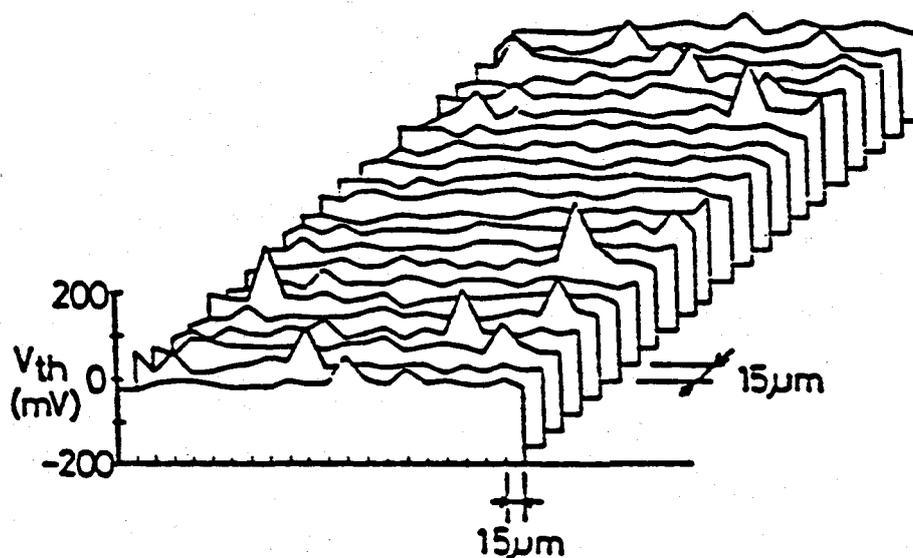
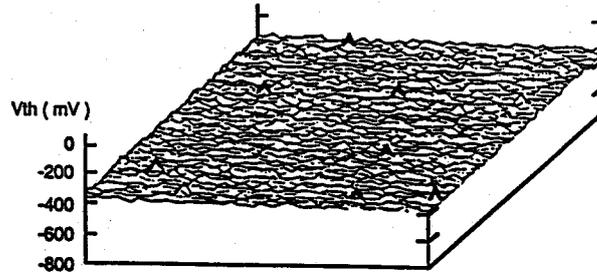


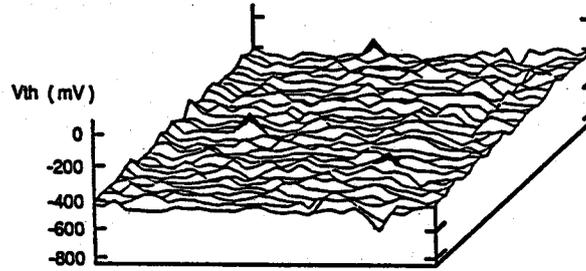
図2-44 15μmピッチ高密度FETアレイでのVthマイクロ分布

まず、3mm×3mmの領域に60μmピッチで形成されたゲート長1μmの従来型WSi<sub>x</sub>ゲートSAGFETを総数2500個測定するが、a) p層の無い場合、b) p層をBe<sup>+</sup>イオン注入70KeV、4×10<sup>11</sup>cm<sup>-2</sup>で形成

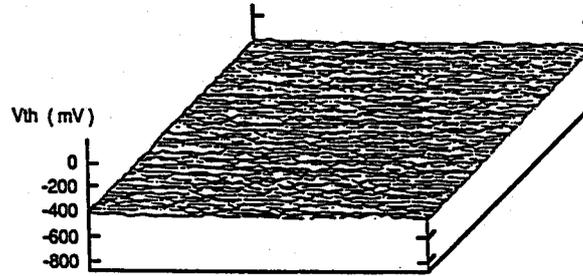
$L_g = 1 \mu m$   
BP - FET



(a) with no p-layer



(b) with a fully depleted p-layer ( $Be: 4E11 cm^{-2}$ )



(c) with a partially depleted p-layer ( $Be: 2E12 cm^{-2}$ )

図2-45 60  $\mu m$ ピッチでの $V_{th}$ マイクロ分布 (パラメータ: p層用 $Be^+$ イオン注入ドーズ)

した場合 (p層完全空乏化条件), c) p層を $Be^+$ イオン注入 70 KeV,  $2 \times 10^{12} cm^{-2}$  で形成した場合 (p層部分空乏化条件) の3種のFET構造について測定した。尚, この3者の評価結果の比較を行うため, 各 $V_{th}$ の平均値はほぼ同一の約 -400 mV になるように nチャネル層用注入ドーズを調整した。この3種のFET構造における 60  $\mu m$ ピッチでの $V_{th}$ マイクロ分布の評価結果を図2-45に示す。

a) p層の無い場合, 上記 $V_{th}$ 異常点が多く存在しており, その密度は約10個/ $\sim 10 mm^2 =$  約1個/ $mm^2$ である。b)  $Be^+$ ドーズ  $4 \times 10^{11} cm^{-2}$  の場合 (p層完全空乏化条件), a) に比べ異常点の数は減っているものの未だ異常点は存在しており, その周辺の $V_{th}$ もばらついている。即ち, この $V_{th}$ マイクロ分布均一性の点でも, p層完全空乏化条件では十分な均一性が得られないことが明らかとなった。これらに対し, c)  $Be^+$ ドーズ  $2 \times 10^{12} cm^{-2}$  の場合 (p層部分空乏化条件), 異常点の数は極端に減り, 図2

—4 5 (c) では異常点は全く見られなくなる。この時本領域での  $\sigma V_{th}$  は a) の場合の 17 mV から 9 mV と非常に減少する。この値は前節 2. 6. 3 に述べた SRAM 正常動作に必要な  $\sigma V_{th}$  (1-Kb で 30 mV, 16-Kb で 5 mV) から、ほぼ 4-Kb SRAM レベルまでは正常動作できるレベルに達していると考えられる。

## (2) $V_{th}$ 異常点の起源についての考察

まず上記異常点ではゲート・ショットキー特性は周辺の正常点での特性と同様で良好であり、本不良には対応しないことを確認している。次に本  $V_{th}$  異常点は FET の短チャネル効果が十分抑制されている場合、見られなくなる。これは上記  $V_{th}$  異常点での正側へのシフト量は、同一 FET 構造でも短チャネル効果がより大きく発生している  $V_{th}$  が低い FET の方が大きいことにも対応する。また p 層無しだが第 3 章で検討する LDD 化により短チャネル効果を抑制した  $1\mu\text{m}$  ゲート FET を用いた場合には上記の異常点は見られないことを確認している。第 3 章で述べるが、LDD 構造 FET では p 層無しの従来構造 FET に比べ短チャネル効果はより改善されている。あるいは p 層無しの従来型 FET でもゲート電極の形成方位を変えて ( $\langle 110 \rangle \rightarrow \langle 1\bar{1}0 \rangle$ ) (ピエゾ効果に変化する)、 $V_{th}$  負側シフト量、即ち短チャネル効果を小さくすると  $V_{th}$  異常点は低減することも確認している。p 層を有していない従来型 FET での上記  $60\mu\text{m}$  ピッチ  $V_{th}$  ミクロ分布を、ゲート長をパラメータとして (2.0, 1.0, 0.8  $\mu\text{m}$ ) 図 2—4 6 に示す。使用基板は前記と同様に In dope LEC である。これらの FET アレイは同一基板上に隣り合わせて形成されており、イオン注入条件も同一である。ゲート長が短くなり短チャネル効果が増加するにつれ、異常点での  $V_{th}$  正方向シフト量は増加していること、あるいは異常点の数が増えていることがわかる。以上の測定結果から、上記異常点は、p 層の有無には関係なく短チャネル効果が十分に抑制された場合に発生しなくなるものと考えられる。

図 2—4 7 に p 層の無い従来型  $1\mu\text{m}$  ゲート SAGFET の異常点、及びその周辺の正常点での  $I_{ds} - V_{gs}$  特性を示す。本図よりまず異常点での  $I_{ds} - V_{gs}$  曲線は FET として正常であると言える。 $V_{th}$  異常点での FET のサブスレッショルド電流  $I_{sub}$  は、正常 FET に比べ 1 桁弱小さい。これらの現象について以下の様に考察した。

異常点では、

- 1) FET の n チャネル下の基板抵抗が増加している [57]。
- 2) FET のソース、ドレイン  $n^+$  層間距離が増加している。
- 3) GaAs 基板上的電極、絶縁膜から基板表面に与えられるストレスが何らかの原因で変動して、特に短ゲート長 FET でその寄与が増大するピエゾ効果に変動している。

(ゲート電極及び絶縁膜からのストレスによって、ゲート電極端を分布の中心としてピエゾ電荷が発生し、短ゲート化に伴って両ゲート電極端の効果が重畳され、 $V_{th}$  シフトを引き起こす。)

- 2) については、異常点、その周辺の正常点での FET の  $WSi_x$  ゲート長を実際に測定したところ両者

の差は平均値に対して1%以下であり、ゲートパターン長の差は原因となっていないことが明らかとなった。よってソース、ドレイン  $n^+$  層間距離の増加要因としては、 $n^+$  層用注入ドーパント ( $Si^+$  イオン) のアニール時横方向拡散長が低下したことが考えられる。3) については  $WSi_x$  ゲート電極に隣接した絶縁膜 ( $SiON$ ) をエッチング除去する前後で、異常点及び周辺の正常点での  $V_{th}$  がどのように変動するかを測定した。本実験では  $WSi_x$  ゲートは tensile,  $SiON$  膜は compressive であり、ピエゾ効果としては  $V_{th}$  をより負側にシフトさせる方向である [58]。従って  $SiON$  膜除去後には  $V_{th}$  は正方向にシフトすることが予想される。測定の結果、両者の  $V_{th}$  の絶対値が正方向にシフトしたのみで、異常点の分布、正常点に対する異常点での  $V_{th}$  シフト量はほとんど変わらなかった。つまりピエゾ効果は本異常点の発生原因にはなっていない。

結論として、現段階では本  $V_{th}$  異常点の起源は明白ではない。しかしながら転位を除外した基板結晶特性が  $n$  チャネル下の基板抵抗、あるいは  $n^+$  層用注入ドーパントの横方向拡散長の局所的減少をもたらすことが主要な原因と考えられる。上記の基板抵抗の変動は残留アクセプタ ( $C, Cu, Mn$  等) の濃度変化に対応することも考えられる。しかしながら残留アクセプタ濃度の変化により有効な量の実効チャネルキャリア濃度の変化は生じていない。何故ならば  $n$  チャネル濃度の変化が生じれば、短チャネル効果が生じていなくても  $V_{th}$  は相応にシフトするはずであるが、短チャネル効果の抑制につれて  $V_{th}$  異常点での  $V_{th}$  シフト量は、前述の測定結果の通り低減していくからである。

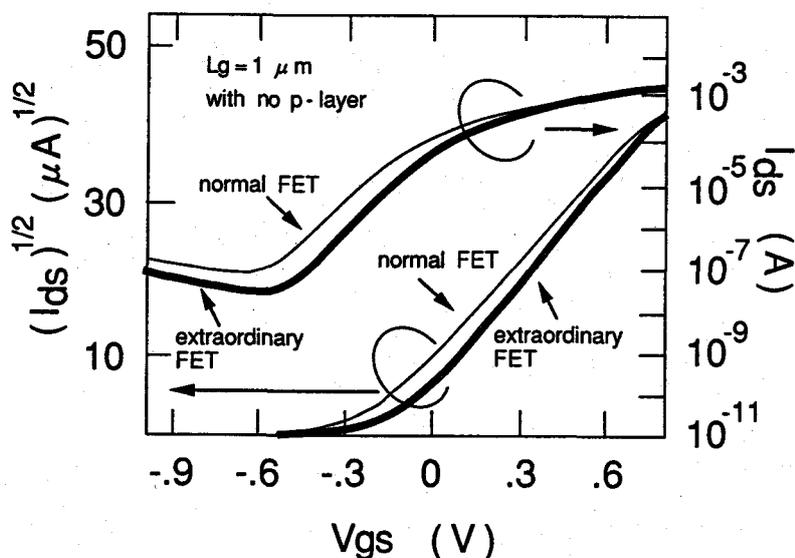


図2-47  $V_{th}$  異常点, その周辺の正常点での  $I_{ds} - V_{gs}$  特性

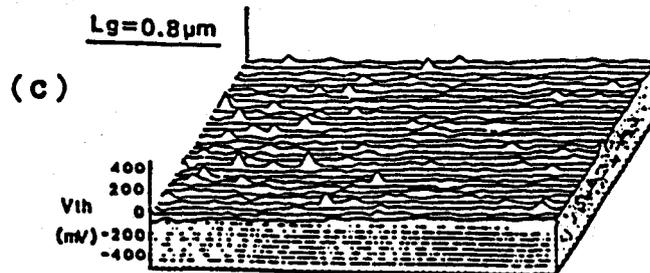
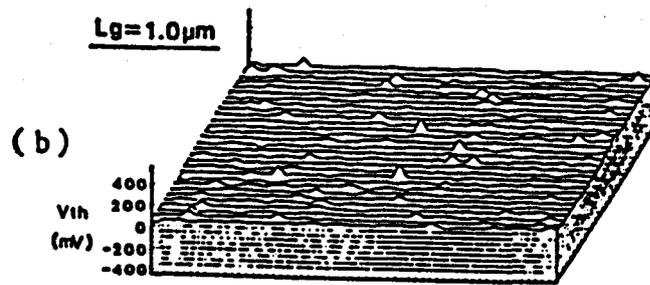
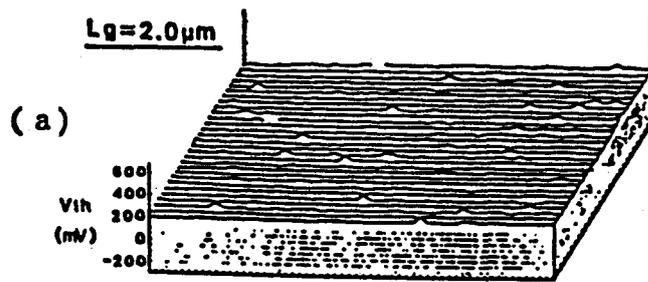


図2-46  $60 \mu\text{m}$ ピッチでの $V_{th}$ マイクロ分布  
(パラメータ:ゲート長)

### 2. 6. 5 p層埋め込みSAGFETの電流駆動能力の向上

ICの集積規模が4-Kbあるいは16-Kbレベルではその動作速度は配線容量に律速されてくる[59]。そのため能動素子の電流駆動能力の向上を図ることがLSIの高速化には必須となる。電流駆動能力を表す因子として、K値、相互コンダクタンス $g_m$ が通常用いられる。BP-FETにおいてp層濃度を上げると実効nチャンネル厚は薄くなるので、前節2. 5. 1の(2.3)式において、ある $V_{th}$ 設計値を維持するためにはnチャンネル濃度を上げる必要がある。つまりp層埋め込みによるnチャンネルの薄層化には同時にnチャンネル濃度の増加が必要となり、結果としてnチャンネルの高濃度薄層化が実現される。

図2-48に $0.8\mu\text{m}$ ゲートBP-FETの電流駆動能力であるK値のp層用 $\text{Be}^+$ イオン注入ドーズ依存性を示す(注入エネルギー70 KeV)。 $\text{Be}^+$ ドーズの増加に伴いnチャンネル用 $\text{Si}^+$ ドーズは $V_{th}$ を約100 mV一定とするように増加させている。 $\text{Be}^+$ ドーズの増加とともにK値は単調に増加していることがわかる。K値の増加は(2.5)式よりチャンネル厚 $a$ の減少、移動度 $\mu$ 、あるいは誘電率 $\epsilon$ の増加に対応するが、測定温度、nチャンネル濃度に大きな変化はなく $\mu$ 、 $\epsilon$ の変化は無視できるので、チャンネル厚 $a$ の減少に対応すると考えられる。図2-49に $1\mu\text{m}$ ゲート従来構造SAGFETにおけるK値の $V_{th}$ 依存性をp層の有無をパラメータとして示す。p層の無い場合、K値は $V_{th}$ の低下に伴い大きく減少しているが、p層の有る場合( $\text{Be}^+$ , 70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ )はK値はそれほど減少していない。これはp層無しの場合でのnチャンネル濃度(注入ドーズ)の増加によるnチャンネル厚 $a$ の増加より、p層有りの場合でのnチャンネル濃度(注入ドーズ)の増加によるnチャンネル厚 $a$ の増加の方が少ないことを意味しており、n/p界面でのポテンシャルバリアが、増加したnチャンネル中のキャリアの基板側への漏れも十分に抑制していることに対応する。本考察は次のnチャンネル層のキャリアプロファイルの評価結果とも一致する。

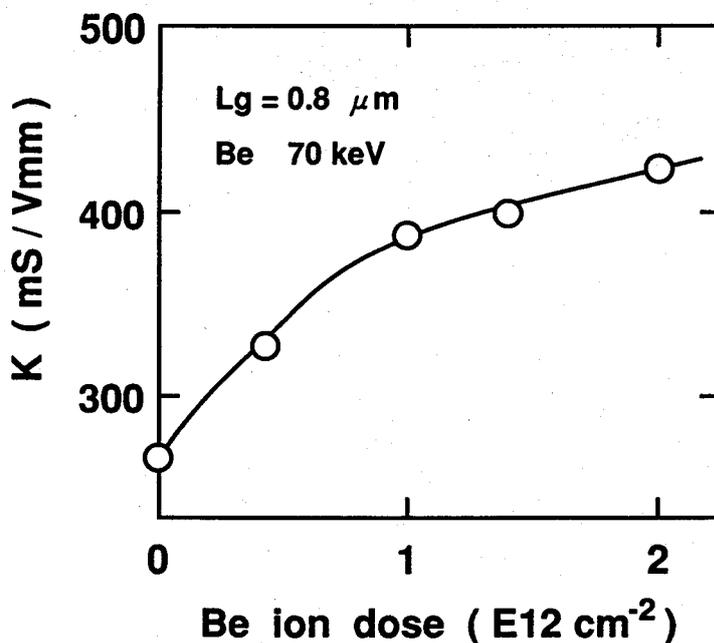


図2-48 K値のp層用 $\text{Be}^+$ イオン注入ドーズ依存性

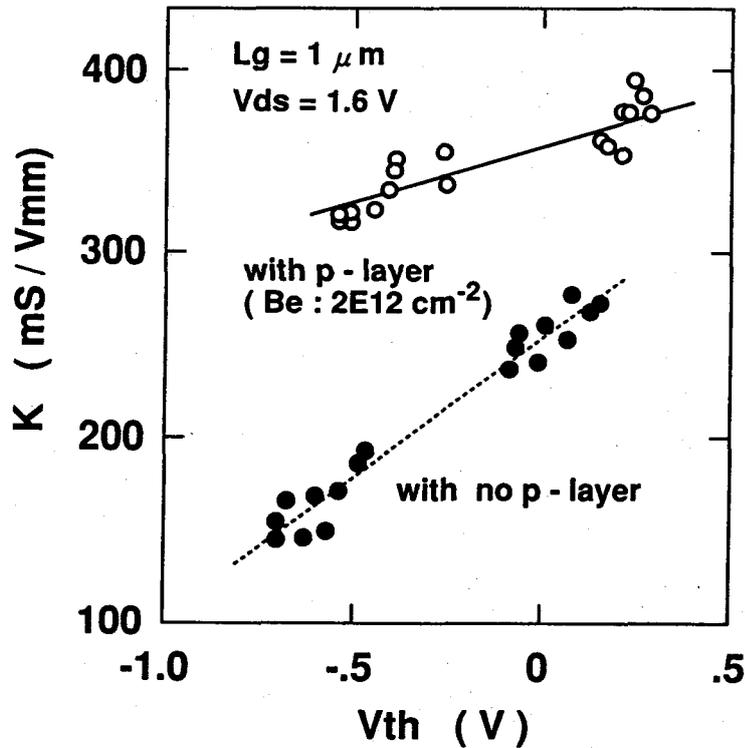


図2—49 K値のVth依存性 (p層の有無)

図2—50にBP-FETチャンネル部に相当するキャリアプロファイルのC-V法による測定結果を示す。p層無しの場合、nチャンネル層用Si<sup>+</sup>イオン注入ドーズは $1.5, 2.0, 2.5 \times 10^{12} \text{ cm}^{-2}$ 、p層有りの場合(Be<sup>+</sup>, 70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ )、Si<sup>+</sup>イオン注入ドーズは $3.3, 4.0 \times 10^{12} \text{ cm}^{-2}$ であるが、p層無しではSi<sup>+</sup>ドーズの増加に伴いキャリア濃度分布のテイルが深さ方向へ増加するのが明白であるのに対し、p層有りではその増加はp層無しに比べ十分小さく、かつキャリア濃度分布のテイルの傾きは急峻である。つまりp層埋め込みにより、nチャンネル濃度の影響をあまり受けずにnチャンネル厚の制御性は向上すると言える。図2—51にBe<sup>+</sup>イオン注入70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ の時のBP-FETにおける $g_m$ のゲート長依存性を示す。(2.6)式から予想されるように $L_g$ に反比例して $g_m$ は増加している。ゲート長0.5  $\mu\text{m}$ では、 $V_{ds} = 1.6 \text{ V}$ ,  $V_{gs} = 0.65 \text{ V}$ ,  $V_{th} = -10 \text{ mV}$ なる条件で、 $g_m = 600 \text{ mS/mm}$ ,  $K = 490 \text{ mS/Vmm}$ という本ゲート長のGaAs MESFETとしては最高レベルの電流駆動能力が得られた。

以上の結果より、完全空乏化せず中性領域を有する比較的高濃度のp埋め込み層(Be<sup>+</sup>イオン注入層)はVth均一性の向上のみならず、電流駆動能力の増大にも有効であることが確認された。

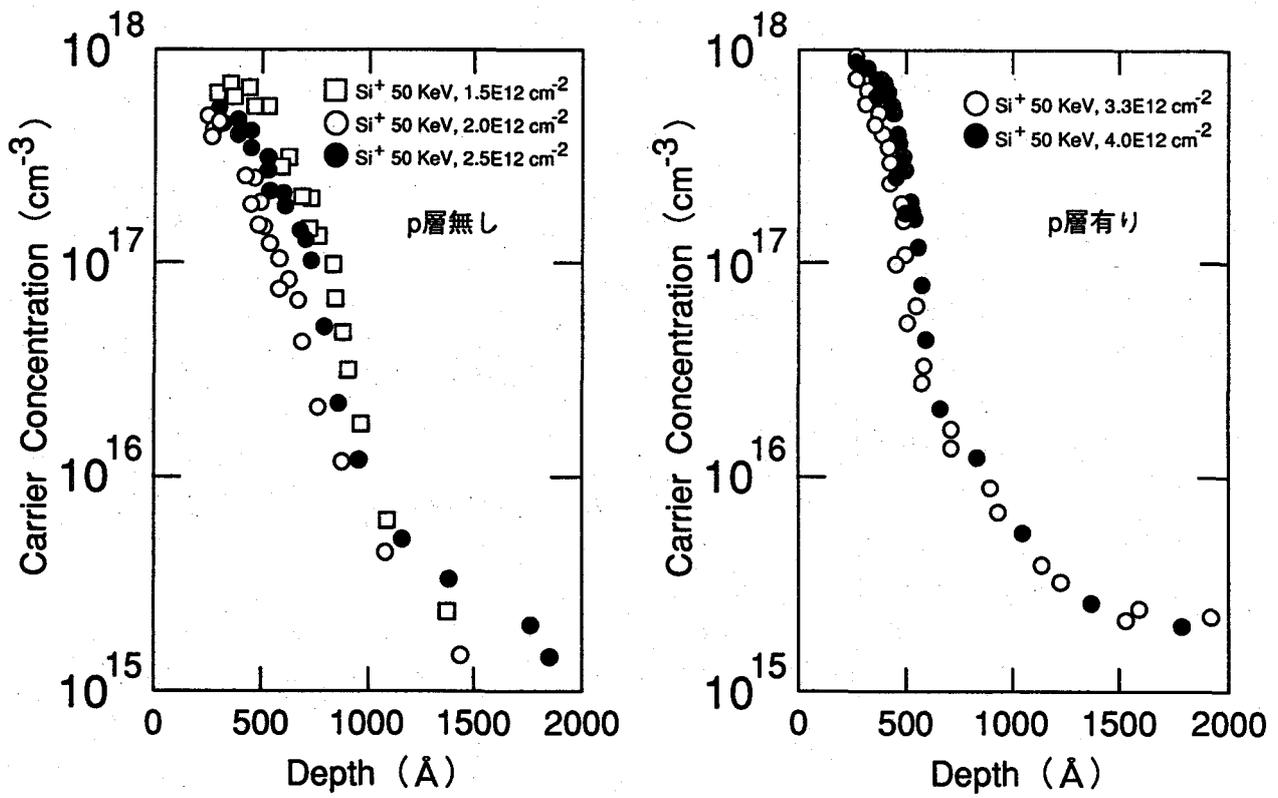


図2-50 nチャンネル層のキャリアプロファイル (p層の有無)

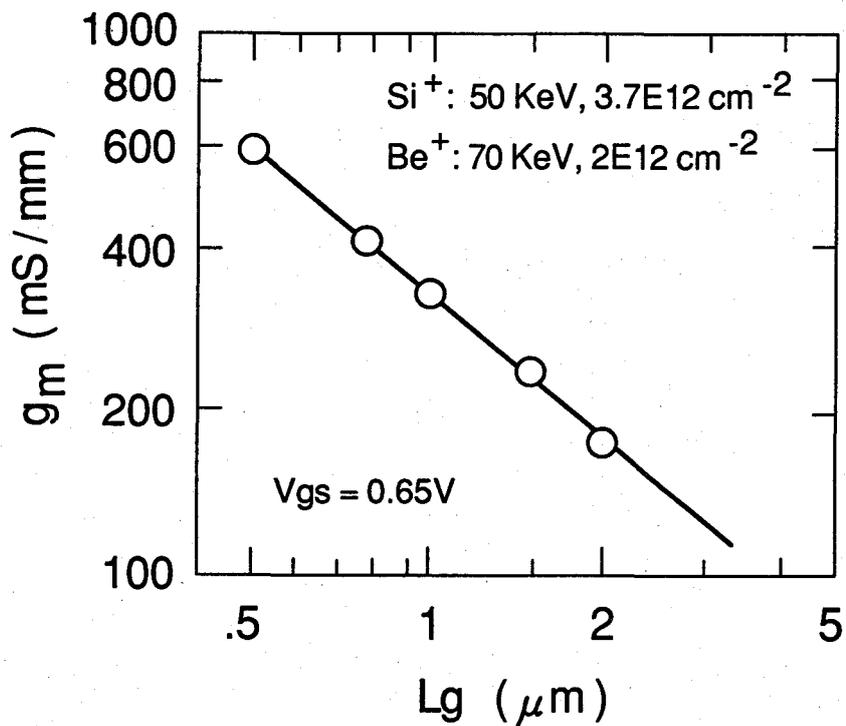


図2-51 BP-FETにおける  $g_m$  のゲート長依存性

## 2. 6. 6 ゲート容量

FET動作速度は前節の電流駆動能力とゲート容量の比で決まるため、p層のゲート容量に及ぼす影響について調べる必要がある。特に短チャネル効果、 $V_{th}$  均一性の改善のためにp層はその中に中性領域を有する比較的高濃度としたので、中性領域中のホールによりゲート寄生容量が増加する。またFETの $V_{th}$  設計値を元の値に維持するためにはnチャネル濃度自体も増加させる必要があるが、ゲート真性容量も増加するので、ゲート容量はp層埋め込みに伴いかなり増加するものと考えられる。この状態ではゲート容量  $C_{gs}$  は次式で表わされる。

$$C_{gs} = \frac{\partial Q_n}{\partial V_{gs}} - \frac{\partial Q_p}{\partial V_{gs}} \quad (2.14)$$

ここで $Q_n$ ,  $Q_p$ は各々電子、ホールによる電荷である。i) ゲートオン時は、nチャネル中のキャリア(電子)とp型中性領域中のホールの両方がゲート容量に寄与する。またii) ゲートオフ(ピンチオフ)時には、ゲート長が十分長い場合はnチャネルは全体的に空乏化し、p型中性領域のホールが主にゲート容量に寄与する。p層完全空乏化の時にはこの容量は発生しない。図2-52に $L_g/W_g = 7\mu\text{m}/20\mu\text{m}$ のBP-FETのゲート・ソース間容量  $C_{gs}$  の  $V_{gs}$  依存性をp層用 $\text{Be}^+$ イオン注入ドーズをパラメータとして測定した結果を示す( $\text{Be}^+$ イオン注入エネルギー70 KeV)。測定したFETのゲート長は $7\mu\text{m}$ であり、ゲート端での寄生容量(主に $n^+$ 層の約 $0.15\mu\text{m}$ のゲート下への食い込みによる)の影響は相対的に小さい。 $C_{gs}$ はインピーダンス・ゲイン・フェイズアナライザによるインピーダンス測定から導出し、測定周波数は1 MHzとした。各 $\text{Be}^+$ ドーズのFET間で $V_{th}$ をほぼ一定(本図では約-400 mV)とするため、nチャネル用 $\text{Si}^+$ イオン注入ドーズは、p層が高 $\text{Be}^+$ ドーズとなるほど増加させている。また本図の $C_{gs}$ はp層の無い上記寸法のFETのピンチオフ領域のゲート・ソース間容量を差し引いている。p型中性領域のホールによる寄生容量の発生は、ピンチオフ領域の $C_{gs}$ の増加によりnチャネルの影響を受けずに確認できるが、図2-52より、上記寄生容量は $\text{Be}^+$ ドーズで $4 \times 10^{11} \text{ cm}^{-2}$ から $1 \times 10^{12} \text{ cm}^{-2}$ の間で発生しだすことがわかる。これは前節2.6.2のp型中性領域が形成されだす $\text{Be}^+$ ドーズの1次元階段接合モデルによる近似計算結果( $\text{Be}^+$ イオン注入エネルギー70 KeVの場合、 $\sim 1.2 \times 10^{12} \text{ cm}^{-2}$ )と良く一致している。本図よりこのピンチオフ領域での寄生容量は $V_{gs} > V_{th}$ のゲート容量の高々約10%以下であり、実際のFET動作速度を支配する容量はむしろゲートオン時の容量と考えられる。ゲートオン時にはp層以外に $\text{Be}^+$ ドーズ増加に対応するnチャネル層のドーズ増加分による真性容量の増加がある。本図よりゲートオン時の容量は $\text{Be}^+$ ドーズの増加とともに増加していることがわかる。 $\text{Be}^+$ ドーズが0と $4 \times 10^{12} \text{ cm}^{-2}$ の場合を比較すると、オン時の容量は約30%増加しており、前節の $g_m$ との比を考える必要があるが十分FET動作速度は劣化すると考えられる。MES

FET のゲート容量モデルとして、高田らのモデルがあり[60]、ゲート容量は次式で表わされる。

$$C_{gs} = C_{gs}(V_{gs}) + C_{gp}$$

$$= A (V_{bi} - V_{gs})^{-1/2} + C_{gp} \quad (V_{gs} > V_{th}) \quad (2.15)$$

ここで、 $C_{gs}(V_{gs})$ : 真性ゲート容量,  $C_{gp}$ : 寄生ゲート容量,  $A$ : 定数

上記容量はゲートオン時の容量であるが、寄生容量を除けば理想的な1次元ショットキー接合モデル[19]と同じく、ほぼ $(\phi_B - V_{gs})^{-1/2}$ に比例して増加することが示されている。図2—52の測定結果でも  $V_{gs} > V_{th}$  では  $V_{gs}$  の増加とともに  $C_{gs}$  は単調に増加しているが直線的な増加であり $(\phi_B - V_{gs})^{-1/2}$ に比例するほどの増加はしていない。その原因としては寄生容量のオフセット効果、ゲート電界の2次元効果、またショットキーゲートリークの増加の影響が考えられる。

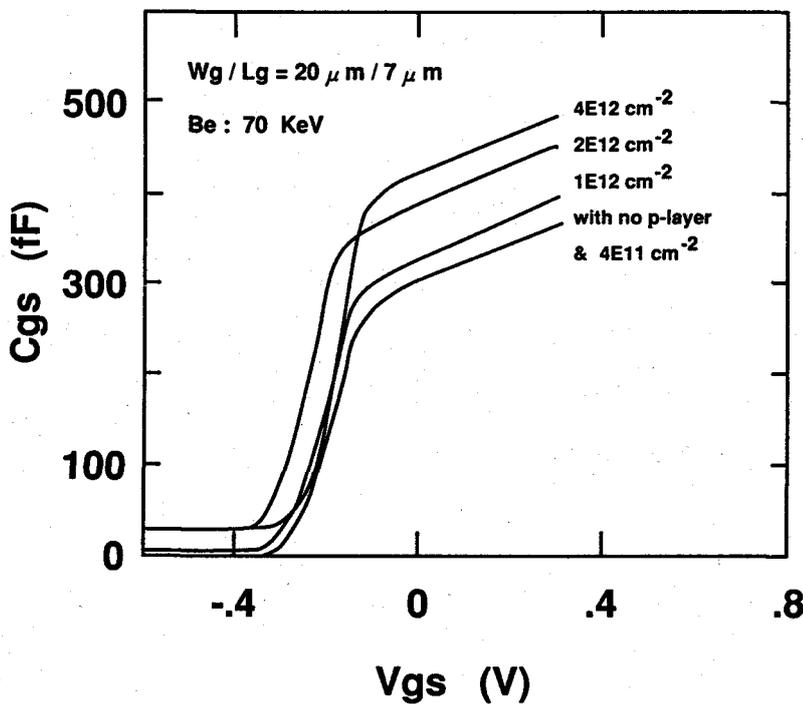


図2—52  $C_{gs}$  の  $V_{gs}$  依存性 (パラメータ: p層用  $Be^+$  イオン注入ドーズ)

### 2.6.7 ゲート遅延時間

前節2.6.5, 2.6.6で求めた電流駆動能力、ゲート容量でFETの動作速度は、例えば遮断周波数  $f_T = g_m / 2\pi C_{gs}$  等として求められるが、両者は静的な状態での測定から導出していること、実際のFET動作時と  $V_{gs}$  等の種々の設定条件が異なること、またゲート容量は実際に用いる  $1\mu m$ ゲート以下のFETでは測定していないこと等の理由で、FET動作速度の実測値との誤差が生じると考えられる。

本節では前記の電流駆動能力、ゲート容量の測定結果を参考にしながらFET動作速度の実測を行った。1 $\mu$ mゲートBP-FETを用いたDCFL (Direct Coupled FET Logic) 構成の3 1段リング発振器を作製し、その発振周波数と消費電力を測定した後、それから求めたゲート1段あたりの遅延時間 (tpd) と同消費電力をゲート遅延時間のゲート消費電力依存性として図2—5 3にプロットした。p層用Be<sup>+</sup>イオン注入ドーズ、及びゲート長をパラメータとしている。本図において、同一ゲート消費電力でのtpdはBe<sup>+</sup>ドーズの増加につれて増大している。1 $\times 10^{12}$  cm<sup>-2</sup>、2 $\times 10^{12}$  cm<sup>-2</sup>は共にp層に中性領域が発生する部分空乏化条件である。前節2. 6. 5で電流駆動能力であるg<sub>m</sub>は同じようにBe<sup>+</sup>ドーズの増加につれて増大していたので、それ以上にBe<sup>+</sup>ドーズの増加に伴うDCFLにおけるエンハンスメント型入力FETのゲート容量の増加率が大きいと推測できる(前節2. 6. 6の図2—5 2のC<sub>gs</sub>測定結果はFETの寸法、V<sub>th</sub>が異なるために上記定量的検討に使用できない)。しかしながらBe<sup>+</sup>ドーズ増加に伴うtpdの増加は、tpd平均値の10%以下であり、さらにBe<sup>+</sup>ドーズの増加による短チャネル効果の抑制からゲート長の短縮が可能となる。これに対し、p層無しではその短チャネル効果のためにサブマイクロン化は非常に困難である。例えばBe<sup>+</sup>ドーズ2 $\times 10^{12}$  cm<sup>-2</sup>ではゲート長を0.8 $\mu$ mに短縮できて、ゲート消費電力1 mW / gateでtpdを20 ps / gate以下に高速化できる。本図からわかるように、これはp層無しの1 $\mu$ mゲートFETより高速である。

以上により、BP-FETでは比較的高濃度のp層の適用により電流駆動能力は向上するものの、ゲート容量が増大し、外部負荷容量(配線容量)が小さくFET容量が回路動作速度を律速する小集積規模の上記リング発振器レベルでは、同一寸法のFETで動作速度は劣化する。しかしその劣化量は10%以下と十分小さく、逆に短チャネル効果の改善に伴いゲート長の短縮が可能であり、その分より高速動作を実現できるという利点を確認できた。

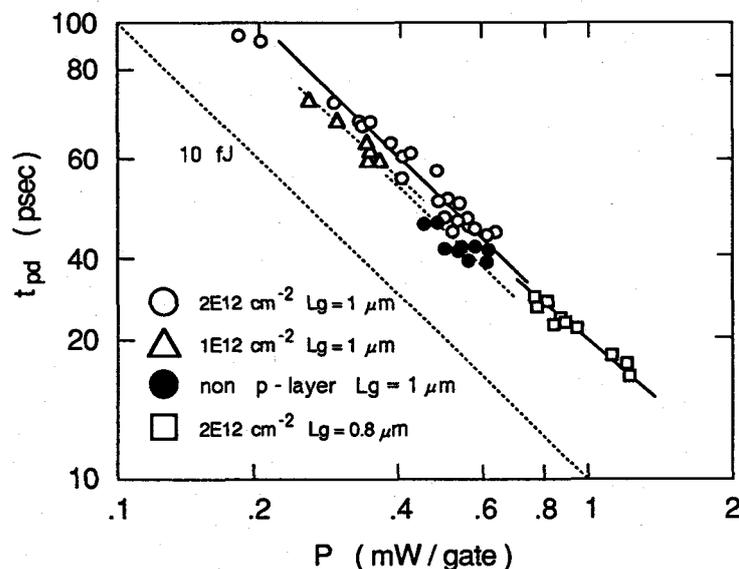


図2—5 3 ゲート遅延時間のゲート消費電力依存性  
(パラメータ: p層用Be<sup>+</sup>イオン注入ドーズ、ゲート長)

## 2. 7 結言

本章ではGaAs LSI用 $\text{WSi}_x$ ゲートSAGFETにおいて初めてそのnチャンネル直下にp層を埋め込んだ新しい構造のFETを開発し、SAG構造の核となる $\text{WSi}_x$ ゲートの形成、そして高速GaAs LSI用基本素子としての必須要件である短チャンネル効果の抑制、それに伴う $V_{th}$ 均一性の向上、電流駆動能力の増大、ゲート容量の低減について検討を行い以下の結果を得た。

1)  $\text{WSi}_x/\text{GaAs}$  ショットキー接合特性は組成比  $x = 0.1 \sim 0.3$  で  $\phi_B > 0.7 \text{ eV}$ ,  $n < 1.1$  の良好な特性を得られた。従来 $\text{WSi}_x$ はコスパッタ法で形成されていたが、スパッタ条件により組成比を制御することにより単一コンパウンドターゲットからのスパッタによっても形成可能であることが分かった。またショットキー特性は $\text{WSi}_x$ 膜全体としての組成では一意的には決らず、同界面付近での $\text{WSi}_x$ 組成、さらにはGaAs最表面でのSiの付着割合が大きく影響を及ぼすことを確認した。

2) 本SAGFETにおける $V_{th}$ 均一性は主に短チャンネル効果と相関を有するが、nチャンネル層、 $n^+$ 層では薄層化が短チャンネル効果の改善、それに伴う $V_{th}$ 均一性の向上に有効であることを確認した。nチャンネルはベア注入で30 KeV、あるいは $\text{SiO}$  300 Åスルー注入で50 KeVまで注入エネルギーを低下し、p型埋め込み層の無い場合で $V_{th} \sim 100 \text{ mV}$ の時、約750 Åまで薄層化できた。特にnチャンネル形成時のスルー注入法はチャンネル薄層化とともにプロセスフロー中のチャンネル表面保護により $V_{th}$ 均一性、再現性が向上することを示した。ゲート長  $1 \mu\text{m}$  でp層無しの場合、スルー注入法で薄層化されたSAGFETでは $V_{th} \sim 100 \text{ mV}$ の時 $\sigma V_{th} \sim 25 \text{ mV}$ が平均的に得られた。それ以上の薄層化はnチャンネルの高濃度化が伴いショットキー接合での鏡像力効果による $\phi_B$ の劣化により後の論理回路への適用時に論理振幅の低下を招くことを指摘した。

3) p型埋め込み層は、nチャンネル層/p層界面で発生するビルトインポテンシャルによりnチャンネルから基板側へ漏れてくるキャリア(電子)をバリアすることで短チャンネル効果を抑制するが、従来報告されている完全空乏化条件(例えば $\text{Be}^+$ イオン70KeV注入時、 $10^{11} \text{ cm}^{-2}$ 台)を満たす比較的低濃度では同短チャンネル効果を十分抑制することはできないことを明らかにした。p層中に中性領域が発生する程度の高濃度が短チャンネル効果の十分な抑制には必要であることを示し、これをもとに実験した結果、 $\text{Be}^+$ イオン70KeV、 $2 \times 10^{12} \text{ cm}^{-2}$ のp層を有する場合、ゲート長  $0.5 \mu\text{m}$ でも $\sigma V_{th} \sim 25 \text{ mV}$ が得られた。

4) p型埋め込み層は、nチャンネル層との界面付近が高濃度であることが必要であり、同界面から離れた深い位置にp層を形成しても短チャンネル効果は抑制されないことを確認した。これによりチャンネル下基板リーク電流はチャンネル下近傍を流れているという知見を得た。またp層の高濃度化とともに短チャンネル効果が抑制されて $\sigma V_{th}$ は低下するが、例えば $\text{Be}^+$ イオン注入70KeVの場合は $\text{Be}^+$ ドーズ

$10^{12} \text{ cm}^{-2}$  台で約 20 mV に飽和することを示し、それ以上の高濃度化はゲート寄生容量の増加のため不必要であることを明らかにした。

5) 上記 p 層濃度の増加に伴いゲート寄生容量が発生するが、 $V_{th}$  を一定にするため同じく増加された n チャネル濃度によるゲート真性容量の増加分の約 10 % 以下であり、実際の FET 動作にはゲート真性容量の増加の影響が大きいことを確認した。また  $\text{Be}^+$  イオン 70KeV,  $2 \times 10^{12} \text{ cm}^{-2}$  の p 層の有無により同一ゲート消費電力時のゲート遅延時間は、p 層有りで約 10 % の増加に留まり顕著な動作速度劣化には至らず、むしろ p 層による短チャネル効果改善により短ゲート化が可能となり、より一層の高速化が図れることを示した。上記 p 層を有し、ゲート長を  $0.8 \mu\text{m}$  と短縮した場合、ゲート消費電力 1 mW でゲート遅延時間 20 ps 以下を実現できた。

6) p 層埋め込みによる n/p 界面での空乏層は n チャネル側も空乏化してチャネルを基板表面側に押し上げるため n チャネルは薄層化されるが、p 層無しでの約  $750 \text{ \AA}$  の n チャネル厚は p 層により約  $200 \text{ \AA}$  以上薄層化されるため、チャネル厚に反比例する電流駆動能力  $g_m$  はゲート長  $1 \mu\text{m}$  時、250 mS/mm から 330 mS/mm へと約 30 % 増大することを確認した。さらに短チャネル効果の抑制と併せて、 $\text{Be}^+$  イオン 70KeV,  $2 \times 10^{12} \text{ cm}^{-2}$  による p 層によりゲート長は  $0.5 \mu\text{m}$  まで短縮でき、その時の  $g_m$ 、K 値は各々 600 mS/mm, 490 mS/Vmm と本ゲート長の GaAs MESFET としては最高の性能が得られた。

7) ストイキオメトリックな In ドープ低転位基板を  $\text{AsH}_3$  雰囲気中  $800^\circ\text{C}$ , 30 分で  $\text{SiO}_2$  キャップアニールした本 SAGFET 作製プロセスにおいては、ゲート (n チャネル部) と最近接転位までの距離が  $1 \mu\text{m}$  以上の場合、両者に顕著な相関は見られず、ゲートが転位の直上にある場合、 $V_{th}$  は約 30 mV 負側にシフトすることを確認した。本プロセスでは As よりも Ga の  $\text{SiO}_2$  中への外方拡散量が多く、GaAs 基板表面付近は As リッチであると考えられるが、前者の結果は As リッチとする従来報告例の多くと一致しており、後者の結果はむしろ Ga リッチの従来報告結果と同じ傾向であることを示した。

8)  $60 \mu\text{m}$ , あるいは  $15 \mu\text{m}$  ピッチの高密度微細 FET アレイによる  $V_{th}$  のマイクロな分布の測定結果から、 $V_{th}$  が前記ピッチで単独点として数十 mV 正側にシフトする異常点の存在を確認した。本異常点は上記転位との相関は全くなく、短チャネル効果が抑制されていなければ見られず、逆に同効果が大きければ異常点の密度、 $V_{th}$  シフト量ともに増加すること、また本異常点はゲート形状不良、ゲートショットキー特性不良、ピエゾ効果異常には対応せず、周辺の正常点に比べ基板リーク電流が 1 桁弱低いことを明らかにした。現在のところ転位を除外した基板結晶特性が n チャネル下の基板抵抗の局所的増大、あるいは  $n^+$  層用  $\text{Si}^+$  注入イオンのアニール時横方向拡散長の局所的減少をもたらすことが主要な原因であることを確認した。

## 参考文献

- [1] R. L. Van Tuyl and C.A. Liechti, "High-Speed Integrated Logic with GaAs MESFET's", *IEEE J. Solid-State Circuits*, vol. SC-9, No. 5, May. 1974, pp.269-276.
- [2] R. L. Van Tuyl, C.A. Liechti, R. E. Lee, and E. Gowen, "GaAs MESFET Logic with 4 GHz Clock Rate", *IEEE J. Solid-State Circuits*, vol. SC-12, No. 5, May. 1977, pp.485-496.
- [3] R. C. Eden, B. M. Welch, and R. Zucca, "Planar GaAs IC Technology: Applications for Digital IC", *IEEE J. Solid-State Circuits*, vol. SC-13, No. 4, Apr. 1978, pp.419-426.
- [4] S. Takano, N. Tanino, T. Yoshihara, Y. Mitsui, and K. Nishitani, "A GaAs 1-kbit Static RAM with a Shallow Recessed-Gate Structure FET", *IEEE Trans. Electron Devices*, vol. ED-32, No. 6, Jun. 1985, pp.1135-1139.
- [5] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.
- [6] N. Yokoyama, T. Onishi, H. Onodera, T. Shinoki, A. Shibatomi, and H. Ishikawa, "A GaAs 1k static RAM using tungsten-silicide gate self-alignment technology", in *ISSCC Tech. Dig.*, Feb.1983, pp.44-45.
- [7] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-layer SAINT for very high speed GaAs LSI's with submicrometer gate length", *IEEE Trans. Electron Devices*, vol. ED-32, Nov. 1985, pp.2420-2425.
- [8] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", *IEEE J. Solid-State Circuits*, vol. SC-15, No. 4, Aug. 1980, pp.424-432.
- [9] M. Hirose, K. Ishida, N. Uchidomi, and N. Toyoda, "Two-Dimensional Numerical Analysis of the Minimum Isolation Distance for GaAs Digital Large-Scale Integration", *IEEE Trans. Electron Devices*, vol. ED-38, No. 3, Mar. 1991, pp.437-443.
- [10] E. P. Finchem, W.A. Vetanen, B. Odekirk, and P. C. Canfield, "Reduction of backgate effect in GaAs MESFETs by charge confinement at the backgate electrode", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.231-234.
- [11] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.
- [12] K. Tada, S. Murai, S. Akai, T. Suzuki, "Growth and characterization of dislocation-free GaAs mixed crystals for IC substrates", in *GaAs IC Symp. Tech. Dig.*, 1984, pp.49-52.
- [13] N. Yokoyama, T. Mimura, M. Fukuta, and H. Ishikawa, "A Self-Aligned Source/Drain Planar Device for Ultra-High-Speed GaAs MESFET VLSI's", in *ISSCC Tech. Dig.*, Feb. 1981, pp.521-526.

- [14] 大西, 横山, 小野寺, 篠木, 鈴木, 柴富, 「超高速GaAs VLSI を指向したWシリサイドゲートセルフアラインメント技術」電子情報通信学会研究会資料 ED 82-107, 1982, pp.61-66.
- [15] N. Uchidomi, Y. Kitaura, T. Mizoguchi, Y. Ikawa, N. Toyoda, and A. Hojo, "Refractory WN Gate Self-Aligned GaAs MESFET Technology and Its Application to Gate Array IC's", in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, pp.383-386.
- [16] H. Nakamura, Y. Sano, T. Nonaka, T. Ishida, and K. Kaminishi, "A Self-Aligned GaAs MESFET with W-Al Gate", in *GaAs IC Symp. Tech. Dig.*, 1983, pp.134-137.
- [17] K. Asai, H. Sugahara, Y. Matsuoka, and M. Tokumitsu, "Refractory sputtered WSiN film suppresses As and Ga out-diffusion," *J. Vac. Sci. Technol.*, vol. B6, 1988, pp.1526-1529.
- [18] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su, and I. Lindau, *J. Vac. Sci. Technol.* vol. 16, 1979, pp.1422.
- [19] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York:Wiley, 1981.
- [20] 金森, 永井, 野崎, 東坂, 「GaAs LSI用低抵抗W/WSi<sub>x</sub>ゲート電極技術」電子情報通信学会研究会資料 ED 85-143, 1985, pp.17-21.
- [21] 金原 「スパッタリング現象」東京大学出版会, 1984.
- [22] P. M. Asbeck, C. P. Lee, and M. C. F. Chang, "Piezoelectric effects in GaAs FET's and their role in orientation-dependent device characteristics", *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1377-1380.
- [23] 野田, 住谷, 細木, 紫村, 伊藤, 谷野, 西谷, 大坪, 「W/WSi<sub>x</sub> 2層構造ゲートを有するセルフアライン GaAs MESFET」第3 2 回応用物理学関係連合講演会, 1985, 31p - X - 3
- [24] D. W. Hoffman and J. A. Thornton, *J. Vac. Sci. Technol.*, vol. 20, 1982, pp.355.
- [25] J. A. Thornton, *J. Vac. Sci. Technol.*, vol. 11, 1974, pp.666. vol. 12, 1975, pp.830. *Thin Solid Films*, vol. 54, 1977, pp.335.
- [26] 栗山, 大藤, 永野, 「W/GaAs 接合界面に挟んだSi層の効果」電子情報通信学会研究会資料 ED 86-49, 1986, pp.1-6.
- [27] L. M. Ephrath, "REACTIVE ION ETCHING FOR VLSI" in *IEDM Tech. Dig.*, 1980, pp.402-404.
- [28] M. Y. Tsai, H. H. Chao, L. M. Ephrath, B. L. Crowder, A. Cramer, R. S. Bennett, C. J. Lucchese, and M. R. Wordeman, "One-Micron Polycide (WSi<sub>2</sub> on Poly-Si) MOSFET Technology" *J. Electrochemical Soc.* vol. 128, No. 10, 1981, pp.2207-2214.
- [29] 中村, 「ドライエッチングにおける表面反応制御技術」第3 4 回半導体専門講習会予稿集, 1990,

pp.103-142.

- [30] S. M. Sze, *High-Speed Semiconductor Devices*, Wiley-Interscience, 1990.
- [31] B. L. Sharma, *Metal-Semiconductor Schottky Barrier Junctions and Their Applications*, Plenum Press, 1984.
- [32] J. Kasahara, M. Arai, and N. Watanabe, "Improvement of  $V_{th}$  control for GaAs FET's by shallow-channel ion implantation", *IEEE Trans. Electron Devices*, vol. ED-33, Jan. 1986, pp.28-33.
- [33] 蒲生 健次「半導体イオン注入技術」産業図書, 1986.
- [34] 大森 正道 「超高速化合物半導体デバイス」培風館, 1986.
- [35] W. Shockley, "A Unipolar Field-Effect Transistor", in Proc. IRE, vol. 40, No. 11, 1952, pp.1365-1376.
- [36] 野田, 住谷, 中野, 伊藤, 細木, 西谷, 「GaAs LSIメモリプロセス技術」電子情報通信学会研究会資料 ED 86-134, 1986, pp.31-38.
- [37] Matsumoto, 42nd DRC, VIB-5, 1984,
- [38] R. A. Sadler, G. D. Studtmann, A. E. Geissberger, and H. P. Singh, "A High Yield Buried p-Layer Fabrication Process for GaAs LSI Circuits", *IEEE Trans. Electron Devices*, vol. ED-38, Jun. 1991, pp.1271-1279.
- [39] Y. Awano, M. Kosugi, M. Kosemura, T. Mimura, and M. Abe, "Short-channel effects in subquarter-micrometer-gate HEMT's : Simulation and experiment", *IEEE Trans. Electron Devices*, vol. ED-36, Oct. 1989, pp.2260-2265.
- [40] H. Nakamura, in *16th Conf. on Solid State Devices and Materials (Kobe, Japan)*, 1984, pp.395.
- [41] T. Humer-Hager and P. Zwicknagl, "Annealing Behaviour of Be- and Mg-Implants in GaAs", *Japan. J. Appl. Phys.*, vol. 27, no. 3, Mar. 1988, pp.428-433.
- [42] M. C. Deal, S. E. Hansen, and H. G. Robinson, "MODELING P-TYPE DOPANTS IN GALLIUM ARSENIDE WITH SUPREM 3.5", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.247-250.
- [43] Y. K. Yeo, Y. S. Park, F. L. Pedrotti, and Byung Doo Choe, "Correlation of electrical carrier and atomic profiles of Mg implants in GaAs", *J. Appl. Phys.*, vol. 53, no. 9, Sep. 1982, pp.6148-6153.
- [44] B. Gabillard, T. Ducourant, C. Rocher, M. Prost, and J. Maluenda, "A 200-mW GaAs 1K SRAM with 2-ns cycle time", *IEEE J. Solid-State Circuits*, vol. SC-22, Oct. 1987, pp.693-698.
- [45] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Circuits*, vol. SC-22, Oct. 1987, pp.699-703.
- [46] K. Horio, Y. Fuseya, H. Kusuki, and H. Yanai, "Numerical simulation of GaAs MESFET's with a p-buffer layer on the semi-insulating substrate compensated by deep traps", *IEEE Trans. Microwave*

*Theory Tech.*, vol. 37, no. 9, Sept. 1989, pp.1371-1379.

- [47] Y. Nanishi, S. Ishida, T. Honda, H. Yamasaki, and S. Miyazawa, "Inhomogeneous GaAs FET threshold voltages related to dislocation distribution", *Japan. J. Appl. Phys.*, vol. 21, no. 6, June 1982, pp.L335-L337.
- [48] 宮沢, 笠原, 佐野, 長谷川: 応用物理 vol. 56, No.1, 1987, pp.19-44.
- [49] Y. Ishii, S. Miyazawa, and S. Ishida, *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1051.
- [50] H. V. Winston, A. T. Hunter, H. M. Olsen, R. P. Bryan, and R. E. Lee, *Appl. Phys. Lett.* vol. 45, 1984, pp.447
- [51] P. Dobrilla, J. S. Blakemore, A. J. McGamank, K. R. Gleason, and R. Y. Koyama, *Appl. Phys. Lett.* vol. 47, 1985, pp.602
- [52] J. Kasahara, M. Arai, and N. Watanabe, *Electron. Lett.* vol. 21, 1985, pp.1042.
- [53] K. Hosogi, T. Shimura, Y. Nakajima, M. Noda, and K. Nishitani, "Microscopic uniformity of  $V_{th}$  in GaAs MESFETs", in *Proc. 16th Int. Symp. on GaAs and Related Compounds* (Karuizawa, Japan, 1989), pp.659-664.
- [54] T. Egawa, Y. Sano, H. Matsuura, H. Nakamura, and K. Kaminishi, "Dependence of microscopic correlation between threshold voltage of GaAs MESFET and dislocation on annealing method", in *Proc. 4th Conf. Semi-Insulating III-V Materials* (Hakone, Japan, 1986), pp.567-572.
- [55] T. Egawa, Y. Sano, H. Nakamura, T. Ishida, and K. Kaminishi, "The dependence of threshold voltage scattering of GaAs MESFET on annealing method", *Japan. J. Appl. Phys.*, vol. 24, no. 1, Jan. 1985, pp.L35-L38.
- [56] J. Kasahara, M. Arai, and N. Watanabe, "Threshold voltage uniformity of GaAs-FETs on ingot-annealed substrates", *Japan. J. Appl. Phys.*, vol. 25, 1986, pp.L85-L86.
- [57] 細木, 野田, 伊藤, 西谷, 大坪, 「GaAs MESFET の  $V_{th}$  均一化」  
応用電子物性分科会研究報告, No. 426, pp.30-35.
- [58] Y. Kohno, K. Maemura, M. Sakai, T. Matsui, Y. Higaki, H. Takano, and M. Otsubo, "Enhancement of electrical asymmetry in GaAs LDD SAGFETs by piezoelectric effect", in *Proc. 17th Int. Symp. on GaAs and Related Compounds* (Jersey, England, 1990), pp.527-532.
- [59] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.
- [60] T. Takada, N. Yokoyama, M. Ida, and T. Sudo, "A MESFET variable-capacitance model for GaAs integrated circuit simulation", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, no. 5, 1982, pp.719-724.

### 第3章 p層埋め込み型 GaAs SAGFETのLDD化による高性能化に関する研究

#### 3.1 緒言

第2章でp層埋め込み型セルフアラインゲートFET (BP-SAGFET) は、nチャンネル下へのp層の埋め込みによりゲート遅延時間が10%弱劣化することを述べた。BP-FETの $g_m$ はp層を挿入しない場合と比較して30%以上向上するため、ゲート遅延時間の劣化はゲート容量の増加と考えられる。このゲート容量の増加は、第2章で検討した完全に空乏化していないp層の中性領域による寄生容量とゲート端での $n^+$ 層の横方向拡散によるゲートオーバーラップ容量の付加が主要因と考えられる。一方、 $V_{th}$ 均一性については3mm角領域内のばらつき ( $\sigma V_{th}$ ) が9mVと改善されたが、16-Kb SRAMに適用するには前記の通り、チップ内の $\sigma V_{th}$ を5mV以下に低減する必要がある。 $\sigma V_{th}$ の低減には、第2章で明らかにしたように短チャンネル効果をさらに抑制することが有効である。これらの問題を解決する方法として、山崎ら、加藤らは $n^+$ 層をゲート端から離れたGaAs MESFET (図2-2)を提案している [1], [2]。

山崎らはゲート・ $n^+$ 層間寄生容量を検討しており、FETチャンネル方向でのFETオンオフ状態間遷移で変化する電荷量とゲート・ $n^+$ 層間分離長との関係について2次元計算解析を行っており、そのFET形成条件は本研究と異なるもののゲート端での電荷量の変化から、分離長を $0.2\mu\text{m}$ 以上にする上記寄生容量はほぼなくなると報告している。また加藤らはゲート・ $n^+$ 層間直列抵抗の上記分離長依存性を検討し、分離長が $0.3\mu\text{m}$ 以上で上記抵抗が急増すると報告している。これらの結果からは、分離長として $0.2\sim 0.3\mu\text{m}$ がゲート寄生容量、ソース直列抵抗 (電流駆動能力) の点で最適であると言える。

一方Si MOSFETではスケールリング則に従って縮小されて既にサブミクロンゲート領域に達しているが、その構造設計における主要な課題の一つは、ホットエレクトロンの発生を抑制するためにドレイン近傍の高電界を緩和する構造を開発することであり、この点でLDD (Lightly Doped Drain) 構造 [3] は今や必須の構造となっている。現在までゲート・ドレイン端電界の低減、電界分布の改善のため、電界分布あるいはゲート端寄生容量、ゲートオーバーラップ容量のモデル化検討 [4], [5]、その結果としてのLDD構造を改良した新構造 (例えばゲートオーバーラップLDD [6]) の開発が精力的に行われてきている。GaAs MESFETにおいても通常の飽和領域での動作時に、ゲート・ドレイン端付近に形成されるダイポールドメインでの高電界空乏層のドレイン $n^+$ 層の深さ方向への伸展を、LDD化によるドレイン電界緩和で抑制できることは同様である。またGaAs FETでもゲート近傍には $\text{SiO}_x$ 系絶縁膜が形成される場合が多く、ホットエレクトロン注入の検討、対策も将来的には必要になると考えられる。Si MOSFETに対してGaAs FETではLDD化した報告例は幾つかあるが [7], [8]、短チャンネル効果の抑制、短ゲート時の電流駆動能力の向上、その時の動作速度の評価結果を述べたのみで検討内容はま

だ少なく不十分である。

ここで筆者は、前章で検討したBP-FETの一層の高性能化を図るために、上述のゲート・ $n^+$ 層間分離、及びLDD化を検討した。特にGaAs MESFETのLDD化におけるゲート容量、電流駆動能力、及びそれらの関係を当時初めて定量的に検討し、FET動作速度、電流駆動能力が最高となるようなBPLDD-FET、特にそのイオン注入層形成条件の最適化を行った。

本章では前章で開発したBP-FETの問題点を解決するために、上述したゲート・ $n^+$ 層間分離構造FET（以後オフセットゲート構造FETと呼ぶ）、及びLDD化FET（BPLDD構造FET）の検討結果について述べる。

### 3. 2 ゲート・ $n^+$ 層間分離の検討 — オフセットゲート構造 SAGFET

ゲート・ $n^+$ 層間分離は、先に述べたゲート容量の低減や短チャネル効果の抑制とソース直列抵抗の増大とがトレードオフの関係にあるため、最適化が必要となる。それらを調べるために従来構造FETに比べてゲート・ $n^+$ 層間を分離した構造のFET（オフセットゲート構造FET）を作製し、両者の違いを検討した。ゲートと $n^+$ 層間の分離手法としてはスルー注入プロセス [9] とサイドウォールプロセス [10] が考えられるが、ここでは前者を採用した。スルー注入プロセスは図3-1に示す通りである。

即ち、

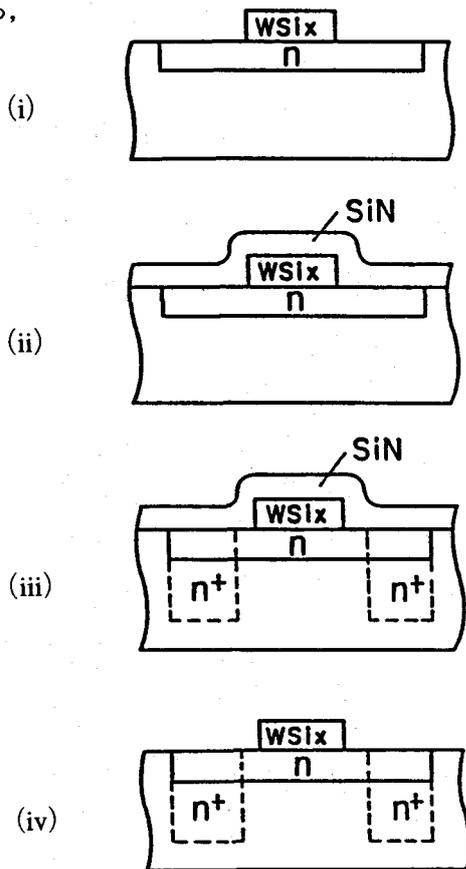


図3-1 スルー注入プロセスフロー

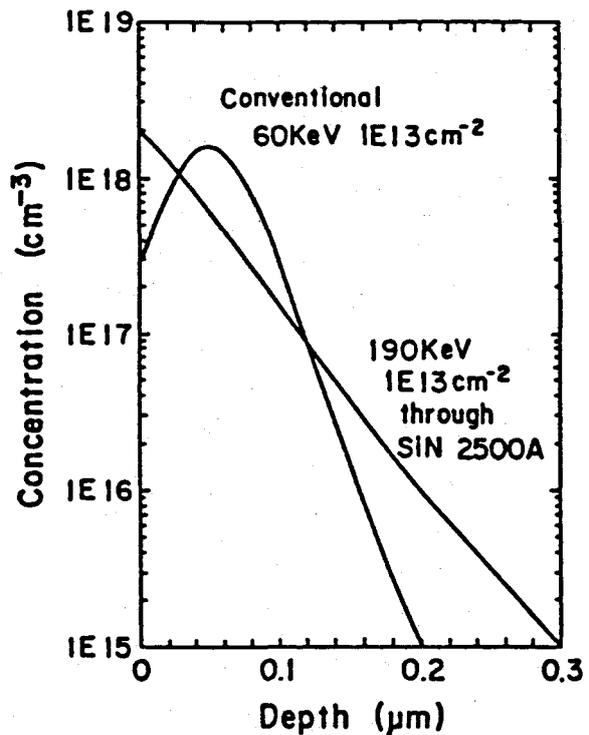


図3-2 1次元スルー注入プロファイルのシミュレーション結果

- 1) nチャネル上に $\text{WSi}_x$ ゲートを形成した後 (i), ウエハ全面にp-CVD法によりSiN膜を形成する (ii)。この時、ゲート電極側壁にSiN膜が成長する。
- 2)  $n^+$ 層形成のため、 $^{29}\text{Si}^+$ イオン注入を上記SiN膜を貫通する注入エネルギーで行う (iii)。
- 3) スルー注入SiN膜をHF水溶液でエッチング除去する (iv)。
- 4)  $n^+$ イオン注入層のアニールを第2章BP-FETと同じ条件の下 ( $\text{AsH}_3$ 雰囲気中  $800^\circ\text{C}$ , 30分)で行う。

本工程前後のプロセスは第2章で記述したBP-FET (図2-4)の場合と同様であるが、本オフセットゲート構造FETではp型埋め込み層は形成していない。

本FETの評価に先立ち、スルー注入による $n^+$ 層の注入イオンプロファイルを1次元、2次元シミュレーションにより検討した。

### 3. 2. 1 ゲート端での注入プロファイル

#### 3. 2. 1. 1 1次元注入プロファイル

1次元注入プロファイルを表す分布としてはガウス分布、ピアソン分布 [11]があるが、ここでは通常GaAs基板への $\text{Si}^+$ イオン注入プロファイルが基板深さ方向に裾を引くことを考慮して、ピアソンIV型関数 [11]を用いた。

また本注入は2層注入となるため、石原らのNumerical Range Soaling Model [12]を用い各層でのプロファイルを次式の様に分離して表した。

$$\begin{aligned}
 C(x) &= C_1(x) & (0 \leq x < t) \\
 &\propto C_2 \left\{ x - t \left( 1 - \frac{R_{p2}}{R_{p1}} \right) \right\} & (t \leq x)
 \end{aligned}
 \tag{3.1}$$

$C_1(x)$ : SiN中でのピアソン分布,  $C_2(x)$ : GaAs中でのピアソン分布,  $t$ : SiN膜厚,  $R_{p1}$ : SiN膜中のイオン注入飛程,  $R_{p2}$ : GaAs中のイオン注入飛程,  $\alpha$ : 定数 (総ドーズ量により決定される)

図3-2に上式を用いた1次元スルー注入プロファイルを示す。比較のために第2章のBP-FETで用いた従来のベア注入条件でのプロファイルも示した。前節3.1で述べた様に山崎ら, 加藤らが報告しているゲート・ $n^+$ 層間の最適分離距離  $0.2 \sim 0.3 \mu\text{m}$ を念頭においてSiN膜厚は $2300 \text{ \AA}$  (ゲート側壁厚はその約90%の $2000 \text{ \AA}$ になる)とした。この時従来ベア注入条件  $60 \text{ keV}$ ,  $1 \times 10^{13} \text{ cm}^{-2}$ と同等のシート抵抗を得るために, ドーズ量  $1 \times 10^{13} \text{ cm}^{-2}$ , 注入エネルギー  $190 \text{ KeV}$ でスルー注入を行って, スルー注入, ベア注入両者のプロファイルを比較した。図3-2から, スルー注入プロファイルではGaAs

表面において濃度が最も高くなっていることがわかる。このことはSiN膜と接したGaAs表面に形成される表面準位による $n^+$ 層側への空乏層の拡がり少なく、ソースからドレインへ流れる電子はよりGaAs表面近くを通ることになるので短チャネル効果の低減が期待できることを示唆している。また表面キャリア濃度が高い分だけオーミックコンタクト抵抗も低下できることが期待される。

### 3. 2. 1. 2 2次元注入プロファイル

スルー注入法によるゲートと $n^+$ 層との分離状態を把握するために、上記と同様の注入条件での2次元注入プロファイルのシミュレーションを行った。シミュレーションには次式を用いた。

$$\begin{aligned}
 C(x, y) = C^-(x, y) &= \frac{1}{2}C(x)\operatorname{erfc}\frac{a'}{\sqrt{2}\sigma R_{p1}} \\
 C_0(x, y) &= \frac{1}{2}C(x) \\
 C^+(x, y) &= \frac{1}{2}C(x)\left\{2 - \operatorname{erfc}\frac{a}{\sqrt{2}\sigma R_{p1}}\right\}
 \end{aligned}
 \tag{3.2}$$

図3-3に座標軸の方向を示す。不純物濃度 $C(x, y)$ は注入イオンがマスクされている領域とされていない領域に分けて表し、各々 $C^-(x, y)$ ,  $C^+(x, y)$ と表示する。 $a$ ,  $a'$ はマスクの境界領域を原点としたときの $x$ 座標の絶対値である。図3-4に2次元プロファイルのシミュレーション結果を示す。本図では $n$ チャネル注入も含めている。図3-3から分かるように、 $n^+$ 注入イオン濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の高濃度領域はスルー注入ではGaAs表面から存在しているが、従来型ベア注入では基板内に存在していることが分かる。また $n$ チャネルのピーク濃度に相当する $5 \times 10^{17} \text{ cm}^{-3}$ 以上の $n^+$ 注入領域は、ベア注入ではゲート下に約 $0.1 \mu\text{m}$ 喰い込んでいるが、スルー注入では全く喰い込んでいないことが分かる。 $1 \times 10^{18} \text{ cm}^{-3}$ の領域の位置から判断すると、スルー注入による $n^+$ 層はベア注入に比べ約 $0.2 \mu\text{m}$ ゲートから離れている。別の実験で $n^+$ 層は本FETプロセスで用いるアニール ( $\text{AsH}_3$  雰囲気中  $800^\circ\text{C}$ , 30分) 後、約 $0.15 \mu\text{m}$ 拡散することから、ゲート・ $n^+$ 層間距離は約  $0.05 \mu\text{m}$ と推定される。さらにベア注入では、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の注入濃度領域が $n$ チャネル層から $n^+$ 層にかけてゲート端で急激に深さ方向に拡がっているのに対し、スルー注入では緩やかに拡がっている。図3-4から、ゲート・ドレイン端電界強度はスルー注入の場合、ベア注入と比較して、明らかに緩和されており、濃度変化から約 $1/3$ 以下には低減されていると見積もられるので、短チャネル効果も相当に抑制されることが期待できる。

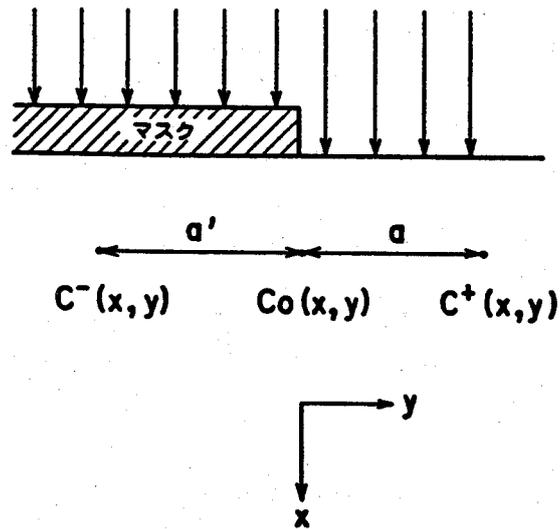


図3-3 2次元注入イオンプロファイルの座標

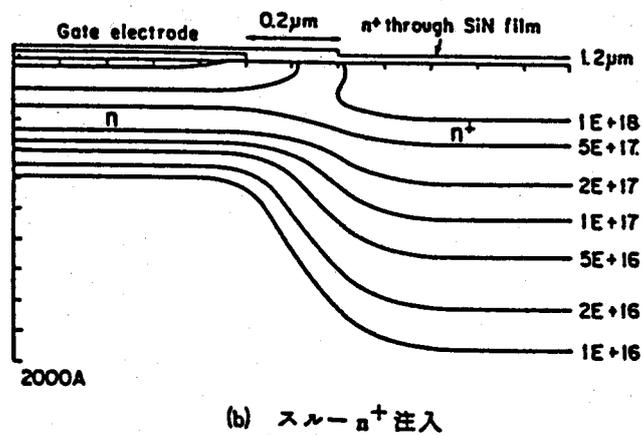
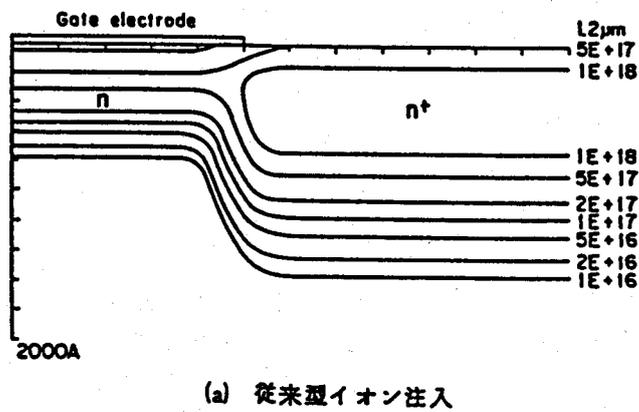


図3-4 2次元注入イオンプロファイルのシミュレーション結果

### 3. 2. 2 短チャネル効果

短チャネル効果として、サブスレッショルド因子 $N_g$ 、チャネル厚変調パラメータ ( $\gamma$ パラメータ)、 $I_{ds} - V_{gs}$  特性について調べた結果を以下に述べる。

#### 3. 2. 2. 1 $N_g$ のゲート長依存性

図3—5に $N_g$ のゲート長依存性をスルー注入エネルギーをパラメータとして示す。比較のためにベア注入 (60 KeV) の場合も併せて示した。スルー注入エネルギー 240 KeV 以下では、 $N_g$  はゲート長  $0.5 \mu\text{m}$  まで1.5以下を維持しており短チャネル効果は良好に抑制されている。一方、300 KeV 以上ではゲート長  $0.8 \mu\text{m}$  以下で $N_g$ 、即ち短チャネル効果は増大しており、またゲート長  $1 \mu\text{m}$  以上でも $N_g$  は2近くで大きい。これはスルー注入エネルギーの増加で注入イオンの横方向拡がりが増加して実効ゲート長が短縮されることとゲート・ドレイン端電界が増加することによるものと考えられる。しかし従来型ベア注入に比べると、まだ劣化は小さく前述のスルー注入法の利点が現れていることが分かる。

#### 3. 2. 2. 2 チャネル厚変調パラメータ

チャネル厚変調パラメータ $\gamma$ は次式で定義される。

$$V_{th} = V_{th0} - \gamma V_{ds} \quad (3. 3)$$

$V_{th}$ : しきい値電圧,  $V_{th0}$ : 定数,  $V_{ds}$ : ドレイン電圧

$\gamma$ は上記の通り $V_{ds}$ 依存性における1次の比例係数であるが、次のことを意味している。即ち、ドレイン電圧 $V_{ds}$ を上げていくとゲート空乏層のドレイン端はドレイン領域に向かって伸びようとするが、従来型FETではゲートのドレイン端の下にドレイン $n^+$ 層が入り込んでいるためにこの点におけるチャネル厚はゲート下の平均的なチャネル厚に比べて大きい。従って $V_{ds}$ を増加すればゲート空乏層のドレイン端はドレイン方向に伸び、チャネルの深さも増して $V_{th}$ が下がるということである。FETをLSIに適用する際に $\gamma$ 値は重要な意味を持つ。LSIに使われるFETのドレイン電圧は必ずしも全てのFETについて同一にすることは難しく、従って $\gamma$ 値が大きいと $V_{th}$ のばらつきが増大する、という弊害が生じる。さらに電源(ドレイン)電圧を上げると $V_{th}$ が下がるため消費電流が増してチップ温度が上昇するので、電源電圧変動に対する動作マージンが劣化する等の問題も生じる。

図3—6にスルー注入によるオフセットゲート構造とベア注入による従来構造での $V_{th}$ の $V_{ds}$ 依存性とそれから得られる $\gamma$ 値を示す。 $V_{th}$ は、 $V_{ds}$ を1Vから5Vに増加させた時、従来構造では160mVも減少するのに対して、オフセットゲート構造FETでは16mVしか減少しない。つまりオフセットゲート

構造の $\gamma$ 値は従来構造に比べ1桁小さく、オフセットゲート構造はLSI用FETとしてより優れていると言える。

### 3. 2. 2. 3 $I_{ds} - V_{gs}$ 特性

図3-7にベア注入による従来構造とスルー注入によるオフセットゲート構造での $I_{ds} - V_{gs}$ 特性を $V_{ds}$ をパラメータとして示す。図中矢印は $V_{ds}$ を増加した時に $I_{ds} - V_{gs}$ 曲線がシフトしていく方向を示している。リニア領域では、従来構造では図3-6の結果と同じく $V_{ds}$ の増加と共に $V_{th}$ は負方向に大きくシフトしている。また $\sqrt{I_{ds} - V_{gs}}$ 特性の直線領域の傾き(K値)は $V_{ds}$ に依存せず一定である。一方、オフセットゲート構造では $V_{th}$ は $V_{ds}$ に依存せずほぼ一定であるが、K値は最初 $V_{ds}$ と共に増加し、その後一定となる。従来構造では $\gamma$ 値が大きく、 $I_{ds}$ の $V_{ds}$ に対する変化(ドレインコンダクタンス: $g_D$ )はほぼ $\gamma$ 値の増加に1対1に対応していると考えられるが、オフセットゲート構造では $\gamma$ 値は小さく、 $g_D$ はむしろ以下に示すK値の $V_{ds}$ 依存性に関係するものと言える。

$$K = K_0 (1 + \lambda V_{ds}) \quad (3. 4)$$

$K_0$ : 定数,  $\lambda$ :  $\lambda$ パラメータ

サブスレッショルド領域について、従来構造では $V_{ds}$ の増加につれて $\log I_{ds}$ の直線領域の傾きは低下している( $N_g$ は増加している)。またピンチオフ領域のリーク電流 $I_{sub}$ も指数関数的に増大している。これに対しオフセットゲート構造では、 $V_{ds}$ に依らず $\log I_{ds}$ の直線領域の傾きはほぼ一定であり、ピンチオフ領域のリーク電流は従来構造ほど増加していない。

以上のように、オフセットゲート構造では従来構造に比べ短チャネル効果が抑制され、特にドレイン電圧依存性を大幅に改善できることが明らかとなった。

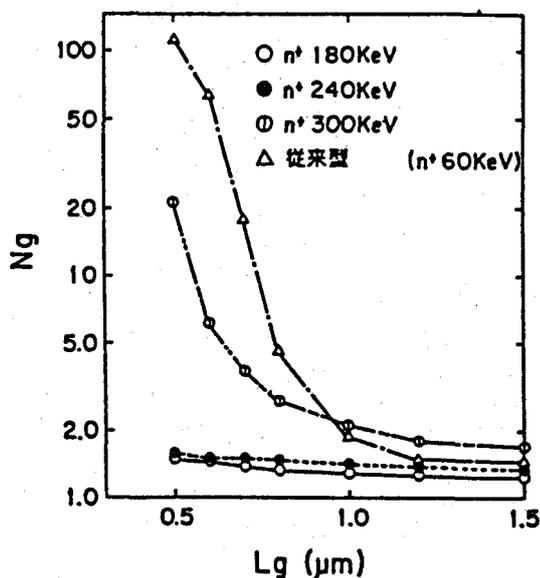


図3-5  $N_g$ のゲート長依存性

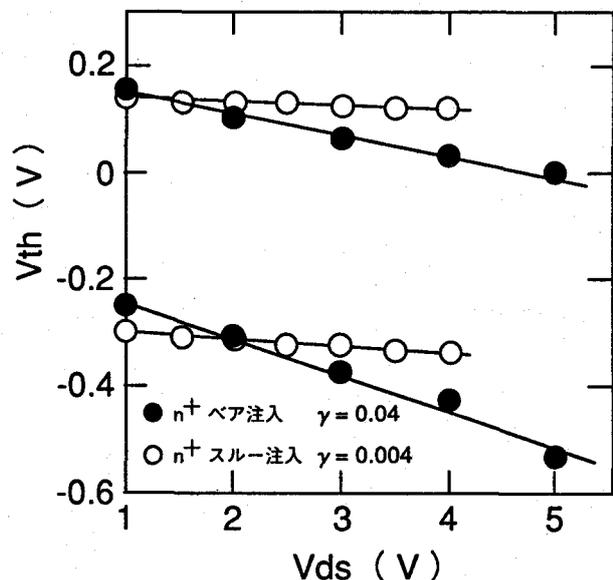
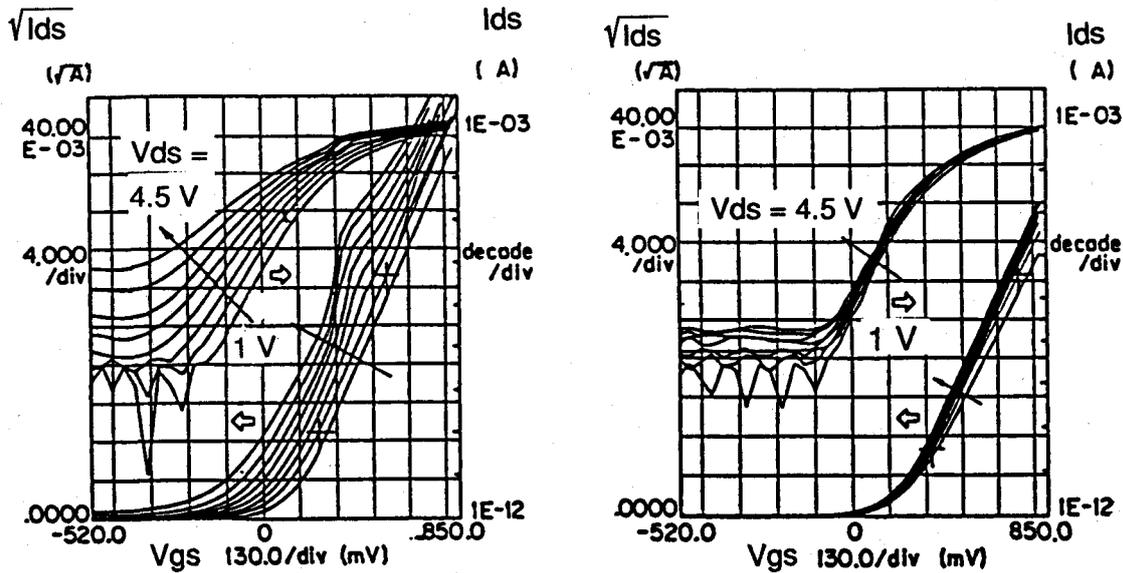


図3-6  $V_{th}$ の $V_{ds}$ 依存性 ( $\gamma$ パラメータ)



1) 従来

2)  $n^+$ スルー注入

図3-7  $I_{ds}$ - $V_{gs}$  特性の比較 (スルー  $n^+$  注入と従来FET)

### 3. 2. 3 ソース直列抵抗

次にスルー注入での注入エネルギーを上げることにより、注入イオン横方向拡がりを増加させてゲート・ $n^+$ 層間の分離長を短縮する時に、ソース直列抵抗がどのように減少するかを測定した。図3-8にソース直列抵抗のスルー注入エネルギー依存性をスルー注入SiN膜厚をパラメータとして示す。注入エネルギーが260 KeV以上ではソース直列抵抗は $1\Omega\text{mm}$  ( $W_g=20\mu\text{m}$ の時、 $50\Omega$ )まで低減され、これ以上注入エネルギーを高くしてもほとんど改善されない。またこの値は従来構造でのソース直列抵抗値とほぼ等しい。この理由は次のように考えられる。ソース直列抵抗は、ゲート電極とソース電極間において、主に $n$ チャンネル層のシート抵抗、ゲート端から $n^+$ 層端までのGaAs表面露出部層での抵抗、 $n^+$ 層のシート抵抗、そして $n^+$ 層とソース電極とのオーミックコンタクト抵抗から成るが、最も高抵抗なのはゲート端から $n^+$ 層端までのGaAs表面露出部である。図3-8において注入エネルギーが260 KeVまでの間はソース直列抵抗は単調に低下するが、これは注入エネルギーの増加に伴う $n^+$ 層の横方向拡がりで $n$ チャンネル層の表面露出部長が短縮されるためである。そして260 KeV以上になると $n^+$ 層はゲート端に接触してさらにゲート下に喰い込むのでソース直列抵抗は従来構造と同等になる。ゲート下に喰い込んだ後のソース直列抵抗は、オーミックコンタクト抵抗の影響も大きいと考えられる。図3-8においてSiN膜厚の薄い2500Åの方がソース直列抵抗が小さいのは、ゲート・ $n^+$ 層間の分離長が小さい以外にオーミックコンタクト抵抗が $n^+$ 層の表面キャリア濃度に依存し、キャリア濃度の高い時、抵抗は下がるからであると考えられる。

ここで問題になるのは、 $n^+$ 注入エネルギーが200 KeV以下でゲートと $n^+$ 層とが十分分離された時

のソース直列抵抗は、分離されていない 250 KeV 以上の場合の約 2 倍と大きく、電流駆動能力 ( $g_m$ ) も相応に劣化することである。実際ゲート長  $1 \mu\text{m}$  の FET (p 埋め込み層無し) で  $V_{th} = 0.1 \text{ V}$  の時、 $g_m$  は従来構造での  $250 \text{ mS/mm}$  から  $170 \text{ mS/mm}$  へと 30% 以上も劣化している。ゲートと  $n^+$  層とを十分に分離したオフセットゲート構造 FET はこのような致命的な電流駆動能力 ( $g_m$ ) の低下をもたらすため、短チャネル効果、ドレイン電圧依存性は大幅に改善されるとしても、LSI へそのまま適用するのは現実的でない。

そこでオフセットゲート構造の良好な短チャネル効果、ドレイン電圧依存性を維持しつつ、ソース直列抵抗の増加を抑えるためにゲートと  $n^+$  層の間に  $n$  チャネルと  $n^+$  層の中間濃度を有する  $n'$  層を挿入した LDD 構造の検討を行った。

3. 3 LDD 構造の検討— $n'$  中間濃度層形成条件と電流駆動能力 (ソース直列抵抗) との関係—  
 $n^+$  層は、前述のオフセットゲート構造 FET の場合と同じくゲートと十分分離されるように 165 KeV という十分低いエネルギーでスルー注入により形成した。作製プロセスは図 3—1 のスルー注入プロセスにおいて、 $\text{WSi}_x$  ゲート加工後に  $\text{WSi}_x$  自体をマスクに  $n'$  層用  $\text{Si}^+$  イオンをベア注入をする工程が付加される。 $n'$  層は前節で述べたようにオフセットゲート構造 FET でのソース直列抵抗の低減を第一に狙っているため、 $n^+$  層よりは低い濃度で浅いが  $n$  チャネル層よりは高い濃度で深く形成する。図 3—9 に電流駆動能力  $K$  値の  $n'$  層注入ドーズ依存性を示す。 $K$  値は、ソース直列抵抗が増大して  $K$  値がかなり劣化したオフセットゲート構造 (注入ドーズが 0) に比べて、 $n$  チャネル層とほぼ同等のドーズ量 ( $2 \times 10^{12} \text{ cm}^{-2}$ ) を  $n'$  層部に追加注入することにより約 60% 増加することが分かる。これは前節のオフセットゲート構造での  $g_m$  の劣化を十分改善するものであり、ソース直列抵抗低減については  $n$  チャネルの約 2 倍高濃度の  $n'$  層の形成が有効であることを示している。

ところで本章では第 2 章で述べた BP-FET の性能向上を図るため、上述の LDD 構造 FET の  $n$  チャネル下には第 2 章で検討した  $p$  層を有する BPLDD 構造 FET について検討した。但しここでは注入イオン種として取り扱い安全性上 Mg を用いることにした。この場合深さ方向におけるチャネル端の様子が Be 注入のとは異なることが考えられるため、Mg 注入による  $p$  層の最適化を改めて検討することにした。最初は Be 注入での最適化条件である 70 KeV 注入と同等の注入深さを有する Mg 注入エネルギーとして 300 KeV、注入ドーズとしては Be の場合と同じ  $2 \times 10^{12} \text{ cm}^{-2}$  を用いることにした。

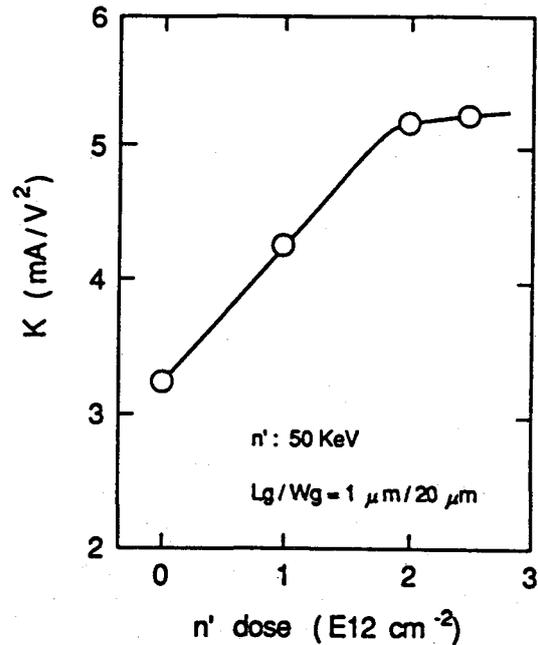
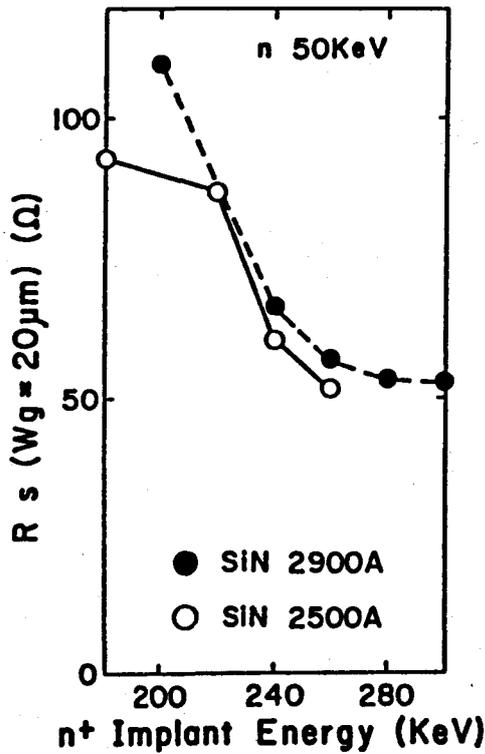


図3-8 ソース直列抵抗のスルー注入エネルギー依存性

図3-9 K値のn'層用注入ドーズ依存性

### 3.4 p層埋め込み型LDD構造SAGFET (BPLDD) の構造

nチャンネル下にp型埋め込み層を有するLDD型 (Buried P-layer Lightly Doped Drain : BPLDD) FETの構造断面図を図3-10に示す。ここでp層は前章での検討の通り、短チャンネル効果を十分抑制するため、比較的高い濃度とし、結果的に部分空乏化するように調整されている。n'層は前節での検討結果よりSi<sup>+</sup>イオンの50 KeVベア注入で $2 \times 10^{12} \text{ cm}^{-2}$ 付加するが、この時そのピークキャリア濃度は $3 \sim 4 \times 10^{17} \text{ cm}^{-3}$ であり、nチャンネルより約50%高濃度である。n'層の幅(ゲート・n<sup>+</sup>層間分離長)は図3-4の2次元注入プロファイルとアニール時の横方向拡散(本アニール時間30分後に約1500 Å)を考慮すると、500~1000 Åと見積もられる。ピアソンIV型関数で計算した各注入層深さは、 $10^{15} \text{ cm}^{-3}$ を終端濃度とするとnチャンネル層、n'層、n<sup>+</sup>層、p層について各々1500, 2000, 3500, 7000 Åである。これよりnチャンネル層、n'層、n<sup>+</sup>層はp層で完全に囲まれていると考えられる。ソース・ドレインn<sup>+</sup>層間のリーク電流は、そのリーク経路が基板表面以外は必ずp層を通るので減少することになる。また隣接FETのn<sup>+</sup>層とのリークについても同様であり、本構造はサイドゲート効果の低減にも有効であることが報告されている[13],[14]。さらにメモリ(SRAM)応用で非常に重要なソフトエラー耐性についても、メモリセル記憶ノードに対応するn<sup>+</sup>層をp層で囲むことが、α線入射により発生した電子・正孔対による多量の電子の記憶ノード部n<sup>+</sup>層による吸い込みを低減するのに有効であることが報告されている[15],[16]。

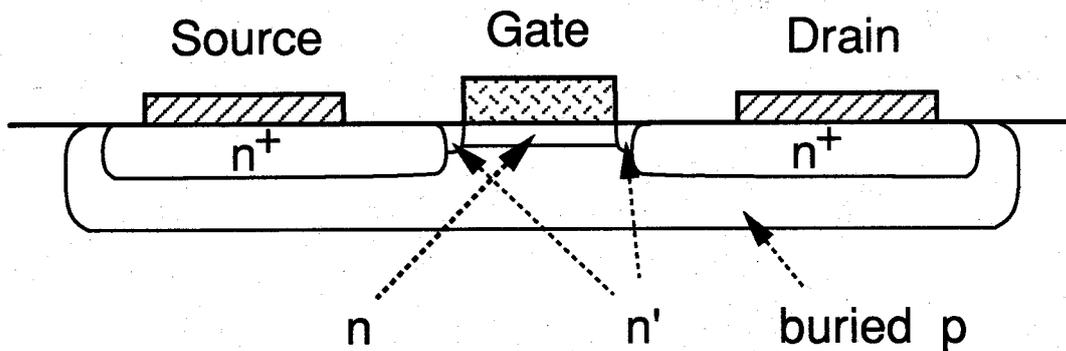


図3-10 BPLDD-FETの構造断面図

### 3.5 p層埋め込み型LDD構造SAGFET (BPLDD)の作製プロセス

本BPLDD構造の作製プロセスは、3.3で述べた様に、図2-4に示したBP-FETの作製プロセスと比較して、1) p層用注入イオン種をBeからMgに変更した点、2)  $WSi_x$ ゲート形成以後は図3-1に示したスルー注入によるオフセットゲート構造プロセスに替わる点、3) その $WSi_x$ ゲート形成直後に $n'$ 層用 $Si^+$ イオンをベア注入する点の3点が異なる。本プロセスフローを図3-11に示す。 $n^+$ 層スルー注入形成条件は、オフセットゲート構造FETと同様に、スルー注入膜厚2300Å、 $Si^+$ イオン注入エネルギーは165 KeVを用いた。また注入ドーズ量は、 $n^+$ ソース直列抵抗のより一層の低下を図るため、前節での $1 \times 10^{13} \text{ cm}^{-2}$  から $4 \times 10^{13} \text{ cm}^{-2}$  に増加した。

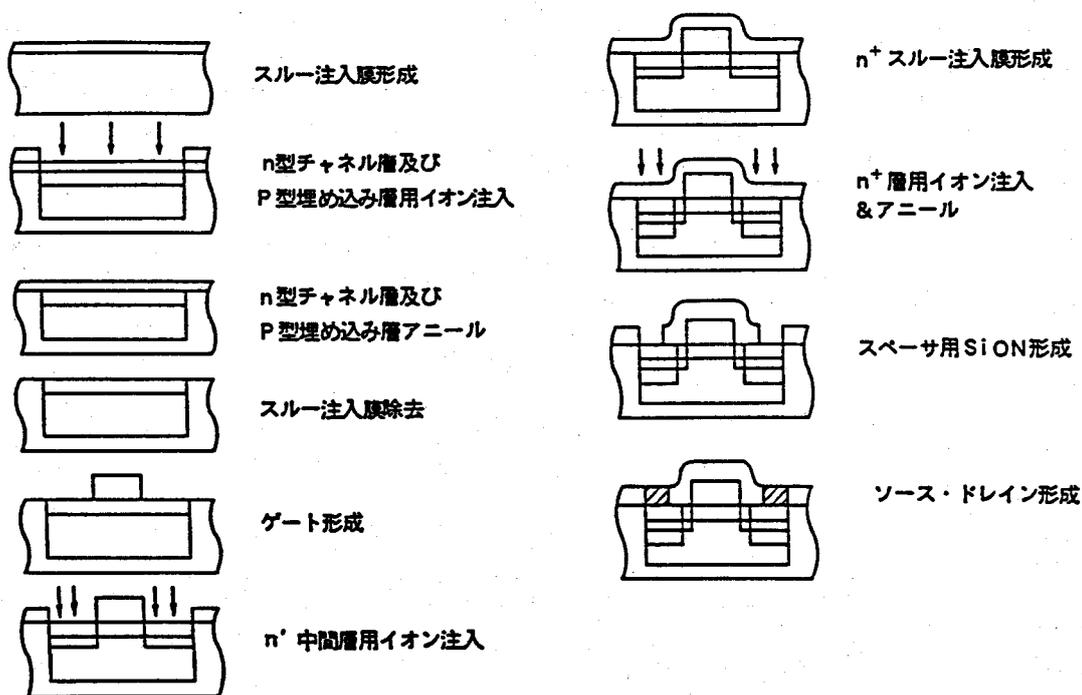


図3-11 BPLDD-FETの作製プロセスフロー

### 3. 6 p層埋め込み型LDD構造SAGFET (BPLDD) 特性の検討

#### 3. 6. 1 短チャネル効果

図3—12にゲート長 $0.7\mu\text{m}$ のBPLDD-FETと従来型FET (BP-FETとp層無しのLDD-FET) における $I_{ds}-V_{gs}$ 特性を示す。尚、BPLDDとBP-FETのp層形成条件は同一の $\text{Mg}^+ 300\text{KeV}, 2\times 10^{12}\text{cm}^{-2}$ である。これら3種のFETは $I_{ds}$ の流れるリニア領域での特性については大きな相違はないが、サブスレッショルド領域では顕著な相違が見られる。サブスレッショルド電流 ( $I_{sub}$ ) は、BPLDDと埋め込みp層の無いLDDについては、 $V_{gs}<0$ のサブスレッショルド領域全体にわたり一定であるが、BP-FETではゲート逆バイアスの増加につれて $I_{sub}$ も増大している。これらは3. 2. 2で述べたLDD化によるドレイン電圧依存性の改善に対応する。BP-FETでのゲート逆バイアスによる $I_{sub}$ の増加は、LDDに比べてゲート・ドレイン $n^+$ 層間隔が狭くゲート・ドレイン端電界が大きいためゲート・ドレイン間の逆バイアスされたショットキー接合のリークが増大することに対応していると考えられる[17]。一方、BPLDDの $I_{sub}$ はp層無しLDDより約1桁小さく、またBP-FETでも $I_{sub}$ の最小値付近はp層無しLDDより約1桁小さい。これは第2章での検討結果であるp型埋め込み層が良好にnチャネル下基板リークを抑制していることに対応している。

図3—13に上記3種類のFETについての $V_{th}$ のゲート長依存性を示す。ここで顕著なのはp層無しLDDよりもBP-FETの方が平均的には $I_{sub}$ が小さいにもかかわらず、ゲート長短縮に伴う $V_{th}$ 負方向シフトが大きいことである。前述の通りBP-FETのソース・ドレイン $n^+$ 層間隔(実効ゲート長)がアニール後約 $0.3\mu\text{m}$ LDD構造より短くなることをリークチェックパターンでの測定で確認しているが、 $V_{th}$ の負方向シフトの結果はその実ゲート長の差が原因していると考えている。

以上のサブスレッショルド電流、 $V_{th}$ 負方向シフトといった短チャネル効果の検討の結果、上述の3種のFET構造では、予期した通りBPLDDが最良の特性を示した。前章のBP-FETでは $V_{th}$ 均一性は短チャネル効果と一意的に相関していたので、本BPLDDにおいてさらなる $V_{th}$ 均一性の向上が期待される。

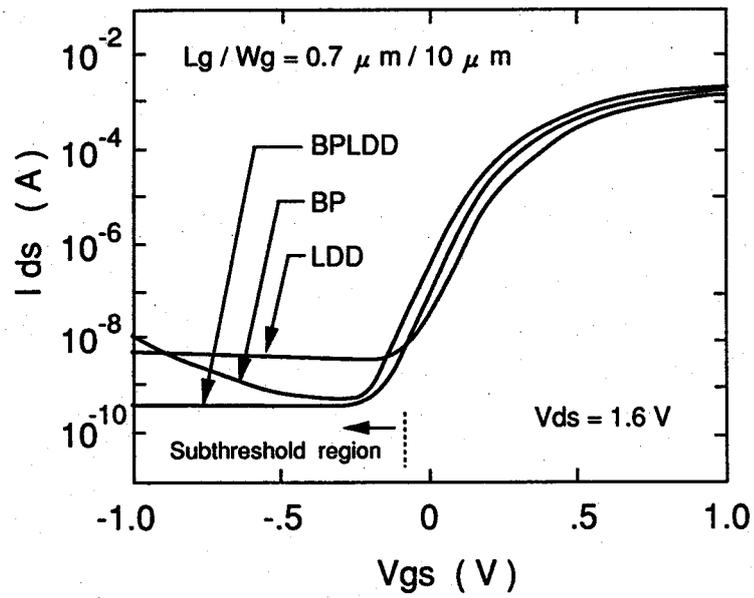


図3-12  $I_{ds}$  -  $V_{gs}$  特性の比較 (BPLDD, BP, p層無しLDD)

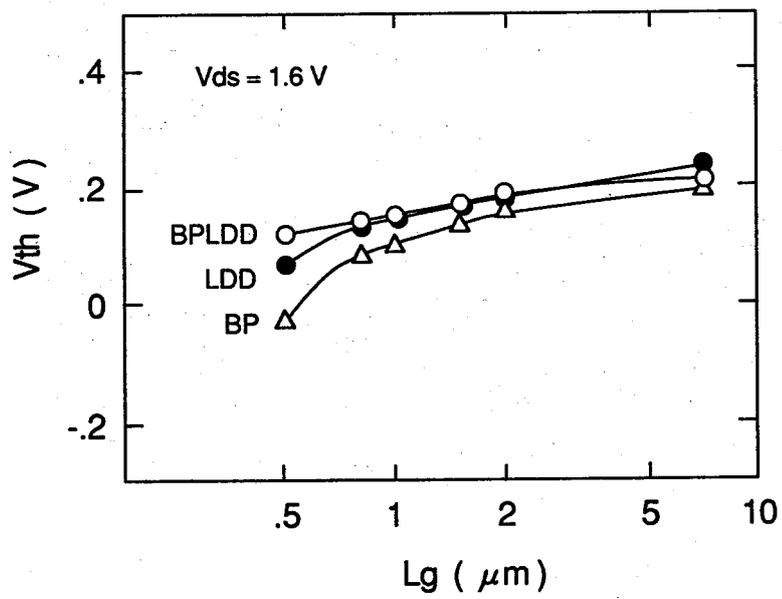


図3-13  $V_{th}$  のゲート長依存性の比較 (BPLDD, BP, p層無しLDD)

### 3. 6. 2 Vth均一性

短チャネル効果が上記3種のFET構造の中で最も良好に抑制されるBPLDDのVth均一性を一層向上させるために、p層、n'層の形成条件の検討を行った。前章での検討結果よりp層濃度は短チャネル効果、それに伴うVth均一性に対し最も影響が大きいので、まずp層濃度（注入ドーズ）の最適化を検討した。

#### 3. 6. 2. 1 p層用Mg<sup>+</sup>イオン注入ドーズ依存性

Mg<sup>+</sup>イオン注入においては、前章のBe<sup>+</sup>イオン注入で最適化された注入エネルギー70 KeVとほぼ同等の注入深さを実現するため注入エネルギーを300 KeVに固定して、注入ドーズを0から $1.5 \times 10^{13} \text{ cm}^{-2}$ まで増加させた。各Mg<sup>+</sup>イオン注入ドーズでのFETのVthを一定として（本実験では150~200 mV）各FET間での比較を行うため、Mg<sup>+</sup>イオン注入ドーズの増加に伴いnチャネル用Si<sup>+</sup>イオン注入ドーズも増加させた。図3-14にサブスレッシュヨルド電流Isub、サブスレッシュヨルド因子Ng、Vth負方向シフト量 $\Delta V_{th}$ 、3インチウエハー面内での $\sigma V_{th}$ のMg<sup>+</sup>イオン注入ドーズ依存性をBPLDDのゲート長をパラメータとして示した。ここで $\Delta V_{th}$ は、 $\Delta V_{th} = V_{th}(L_g=0.7 \mu\text{m}) - V_{th}(L_g=0.5 \mu\text{m})$ と定義した。図3-14(a)において、IsubはMgドーズが0から約 $2 \times 10^{12} \text{ cm}^{-2}$ に増加するにつれ単調に減少し、Mgドーズが $2 \times 10^{12} \text{ cm}^{-2}$ 以上では1 nA/10  $\mu\text{m}$ 以下でほぼ一定になっている。Isubは、0.5  $\mu\text{m}$ ゲートBPLDDの方が0.7  $\mu\text{m}$ ゲートBPLDDより若干大きいがほぼ同じオーダーであり、7  $\mu\text{m}$ ゲートの長ゲートBPLDDのIsubともほぼ同等であることがわかっている。即ち、Isubはゲート長0.5  $\mu\text{m}$ までは $2 \times 10^{12} \text{ cm}^{-2}$ 以上の比較的高濃度のMg<sup>+</sup>イオン注入によるp層形成により十分抑制されていると言える。図3-14(b)において、NgはMgドーズ $2 \sim 5 \times 10^{12} \text{ cm}^{-2}$ で0.7  $\mu\text{m}$ 、0.5  $\mu\text{m}$ 両ゲート長のBPLDDとも最小となり、それ以上のMgドーズで増加している。これはMgドーズの増加に伴い、図3-11の作製プロセス上n'層、n<sup>+</sup>層用に注入されたドナーを補償する結果、それらの抵抗（ソース直列抵抗に相当）が増加するのでIdsが減少する。Idsは $\exp(1/N_g)$ に比例することからNgは増加すると考えられる。特にn'層部はnチャネル注入時と合わせて約 $6 \times 10^{12} \text{ cm}^{-2}$ の注入層でありn<sup>+</sup>層より約1桁低濃度であるためMg<sup>+</sup>イオン注入での上記補償効果が顕著に出るはずである。図3-14(c)において、 $\Delta V_{th}$ はMgドーズが0から $1.5 \times 10^{13} \text{ cm}^{-2}$ に増加するに伴い単調に減少している。この $\Delta V_{th}$ の依存性は図3-14(a)のIsubの依存性と異なる。つまり $\Delta V_{th}$ はIsub、即ち基板リークだけでは決定されず他の要因の影響を受けると判断される。考えられる主な2つの要因として、まず1) p層導入に伴うpn接合形成によるnチャネル層の薄層化がある。前章で述べたようにMgドーズの増加に伴いpn接合での空乏層がよりnチャネル側に伸びるためnチャネル厚としては単調に減少するはずである。ゲート長に対するチャネル厚のアスペクト比が小さい程ゲート電界の2次元効果は出にくくな

るため [18],  $\Delta V_{th}$  は小さくなると考えられる。もう 1 つの要因としては 2) 高濃度 p 層によるピエゾ効果の抑制がある。ピエゾ電荷による  $V_{th}$  シフト  $\Delta V_{thp}$  は次式で近似される [19]。

$$\Delta V_{thp} = \frac{1}{\epsilon_s} \left( \int_{z=0}^{z=\alpha+\Delta\alpha} z \rho_{piezo}(z) dz + \int_{z=\alpha}^{z=\alpha+\Delta\alpha} z \rho_{ch}(z) dz \right) \quad (3.5)$$

$\epsilon_s$ : GaAs の誘電率,  $\alpha$ : n チャネル厚,  $\Delta\alpha$ : ピエゾ電荷による  $\alpha$  の変動,  $\rho_{piezo}(z)$ : ピエゾ電荷密度,  $\rho_{ch}(z)$ : n チャネル電荷密度

p 層が高濃度になれば上記 1) により  $\alpha$  は減少する。また  $V_{th}$  を一定とするために p 層高濃度化に伴い n チャネルも高濃度化するが, この時ピエゾ電荷密度に対する n チャネル密度の比も増加するので,  $\Delta\alpha$  は減少する。従って (3.5) 式中の第 1 項は減少する。また  $\rho_{ch}(z=\alpha, \text{ or } \alpha+\Delta\alpha)$  は n チャネル深さの終端位置での電荷密度であり, p 層濃度にかかわらず  $1 \sim 10 \times 10^{15} \text{ cm}^{-3}$  と低く, かつ p 層が高濃度時は前記の通り  $\Delta\alpha$  は減少するので (3.5) 式中第 2 項も減少する。よって (3.5) 式における  $\Delta V_{thp}$  は p 層高濃度化に伴い減少すると言える。図 3-14 (d) において  $\sigma V_{th}$  は 3 インチウエハー面内 56 点の FET 測定により得られたものである。 $\sigma V_{th}$  は  $0.7 \mu\text{m}$ ,  $0.5 \mu\text{m}$  両ゲート長の BPLDD-FET と Mg ドーズを 0 から  $2 \sim 5 \times 10^{12} \text{ cm}^{-2}$  まで増加するにつれ単調に減少し, それ以上増加すると単調に増加する。第 2 章の BP-FET での同様の検討においては, Be ドーズを  $5 \times 10^{12} \text{ cm}^{-2}$  までしか増加せず Be ドーズ増加に伴い  $\sigma V_{th}$  の単調減少の傾向を確認したに留まったが, この Mg 注入ではそれ以上に高ドーズ領域で,  $\sigma V_{th}$  の劣化が見られている。p 層高濃度化により  $I_{sub}$ , 即ち基板リーク電流,  $V_{th}$  負方向シフトとも図 3-14 (a), (c) のように低減される結果が得られており, いわゆる短チャネル効果は抑制されている。この短チャネル効果の抑制にもかかわらず  $V_{th}$  ばらつきが増大する原因としては Mg 高ドーズ注入での注入損傷に伴う活性化率ばらつき [20] 等が考えられる。

また  $0.7 \mu\text{m}$  ゲート BPLDD では Mg ドーズ  $2 \times 10^{12} \text{ cm}^{-2}$  で  $\sigma V_{th}$  の最小値が得られるのに対して,  $0.5 \mu\text{m}$  ゲート BPLDD では  $5 \times 10^{12} \text{ cm}^{-2}$  で最小値をとり,  $\sigma V_{th}$  を最小化するのに必要な Mg ドーズが増加している。この理由の 1 つとして, 同一 p 層濃度では  $0.5 \mu\text{m}$  ゲートの方がチャネル長に対するチャネル厚の比 (チャネルアスペクト比) が大きくなりゲート電界の 2 次元効果の影響が増大して  $V_{th}$  変動が生じやすくなるが, それを抑えるためにさらに高濃度の p 層が必要であることが対応していると考えられる。

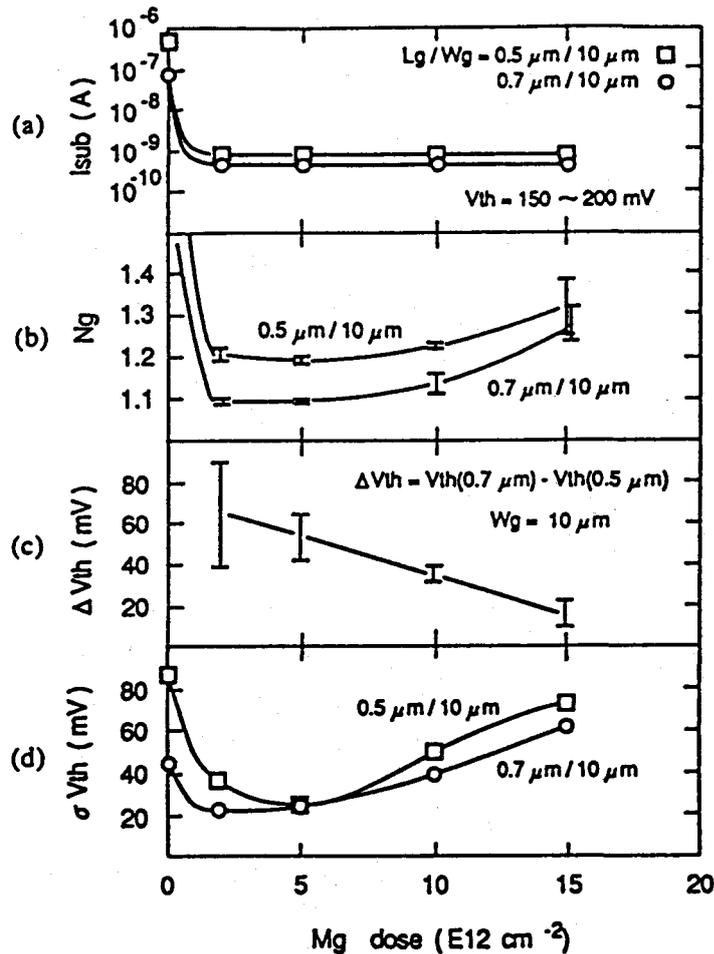


図3—14  $I_{sub}$  (a) ,  $N_g$  (b) ,  $\Delta V_{th}$  (c) ,  $\sigma V_{th}$  (d) の  $Mg^+$  イオン注入ドーズ依存性

### 3. 6. 2. 2 $n'$ 層 $Si^+$ イオン注入ドーズ依存性

電流駆動能力  $K$  値 (つまりはソース直列抵抗) の劣化抑制の観点から,  $n'$  層用注入ドーズとしては  $n$  チャンネルと同等の  $2 \times 10^{12} \text{ cm}^{-2}$  以上を付加することが有効であることを前節 3. 3 で述べたが,  $V_{th}$  均一性向上の観点でさらに検討する必要がある。図 3—15 に  $0.5 \mu\text{m}$  ゲート BPLDD での  $\sigma V_{th}$  (前図 3—14 (d) と同様 3 インチウエハー面内 56 点を測定) の  $n'$  層注入ドーズ依存性を注入エネルギーをパラメータとして示す。注入ドーズの増加に伴い  $\sigma V_{th}$  は単調に増加している。これは  $n'$  層の高濃度化によりゲート・ドレイン端電界が増加してドレイン端でチャンネル下に漏れる電子が増える, 即ち短チャンネル効果が増加することに対応すると考えられる。注入ドーズの増加に伴う  $\sigma V_{th}$  の増加は幾分注入エネルギーの低い方が少なく, 第 2 章で述べた  $n^+$  層の薄層化と同じ効果が現われているとも考えられる。

以上により,  $V_{th}$  均一性の点では  $n'$  層はできるだけ低濃度であることが必要であり, 先の  $K$  値での最適化と併せて  $Si^+$  イオン 50 KeV 注入では  $2 \times 10^{12} \text{ cm}^{-2}$  が適当と考えられる。

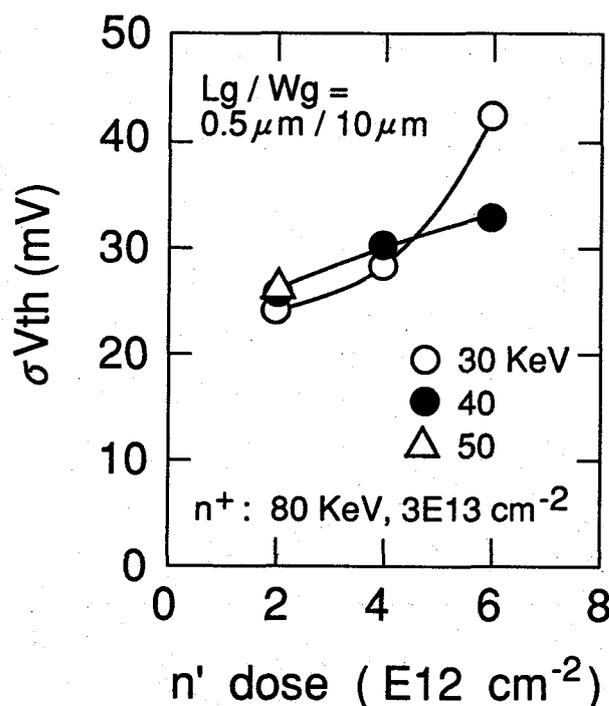


図3—15  $\sigma V_{th}$ の $n'$ 層用注入ドーズ依存性

### 3. 6. 3 微小領域での $V_{th}$ 分布

前章で用いた高密度FETアレイをBPLDDで作製し、さらにBP-FETの評価結果と比較した。前節でマクロな $V_{th}$ 均一性に対して最適化されたp層 ( $Mg^+ 300 \text{ KeV}, 2 \times 10^{12} \text{ cm}^{-2}$ ) ,  $n'$ 層 ( $Si^+ 50 \text{ KeV}, 2 \times 10^{12} \text{ cm}^{-2}$ ) を用いたBPLDDについて、上記のFETアレイでの $V_{th}$ マイクロ分布をゲート長 1.0, 0.7,  $0.5 \mu\text{m}$  について測定した。その結果を表3—1に示す。ゲート長の短縮につれて $\sigma V_{th}$ は増加するが、 $0.7 \mu\text{m}$ で $\sigma V_{th} = 7 \text{ mV}$ であり、前章のBP-FETではゲート長  $1.0 \mu\text{m}$ で $\sigma V_{th} = 9 \text{ mV}$ であったので、ゲート長の短縮にもかかわらず $V_{th}$ 均一性は向上していることが明らかとなった。さらに前章で述べた $V_{th}$ 異常点は、短チャネル効果がより良好に抑制されたBPLDDではゲート長  $0.5 \mu\text{m}$ でも観測されなかった。図3—16はゲート長  $0.7 \mu\text{m}$ のBPLDD-FETとBP-FETについて本FETアレイで測定した  $3 \text{ mm}$ 角での $\sigma V_{th}$ のp層用 $Mg^+$ イオン注入ドーズ依存性を示す。 $Mg$ ドーズの  $2 \times 10^{12} \text{ cm}^{-2}$ までの増加につれ、 $\sigma V_{th}$ はBPLDD, BP双方とも単調に減少しているが、これは先の図3—14 (d)に示したウエハー面内のマクロな $V_{th}$ 分布での傾向とよく一致している。 $\sigma V_{th}$ はBPLDDの方が常に低い。図3—16で、 $Mg$ ドーズ  $5 \times 10^{11} \text{ cm}^{-2}$ におけるBPLDDの $\sigma V_{th}$ が $Mg$ ドーズ  $2 \times 10^{12} \text{ cm}^{-2}$ におけるBPの $\sigma V_{th}$ より低いことが分かる。サブスレッショルド因子  $N_g$ , サブスレッショルド電流  $I_{sub}$ についてはBPLDDの方が高く、短チャネル効果も大きい。これは短チャネル効果と $V_{th}$ 均一性が一意的には相関

していないことに相当するが、これについては以下の様に考えられる。即ち、元々BPLDDに対してBP-FETは実効ゲート長が約  $0.3\mu\text{m}$  短く、 $n^+$ 層アニール時の横方向拡散長の変動がBPLDDとBPで同じであるとすれば、相対的な実効ゲート長の変動はBPの方がより大きくなる。よって個々のFETの  $I_{\text{sub}}$  等はBPの方が低くより短チャネル効果は抑制されているにしても、ゲート長 ( $n$ チャネル長) が相対的により大きく変動しているBPの方が  $V_{\text{th}}$  ばらつきとしては大きくなる。

表3-1  $60\mu\text{m}$ ピッチFETアレイによる微小領域での  $\sigma V_{\text{th}}$  のゲート長依存性

Lg ( $\mu\text{m}$ )	$\sigma V_{\text{th}}$ (mV)
1.0	5
0.7	7
0.5	20

@BPLDD - FET

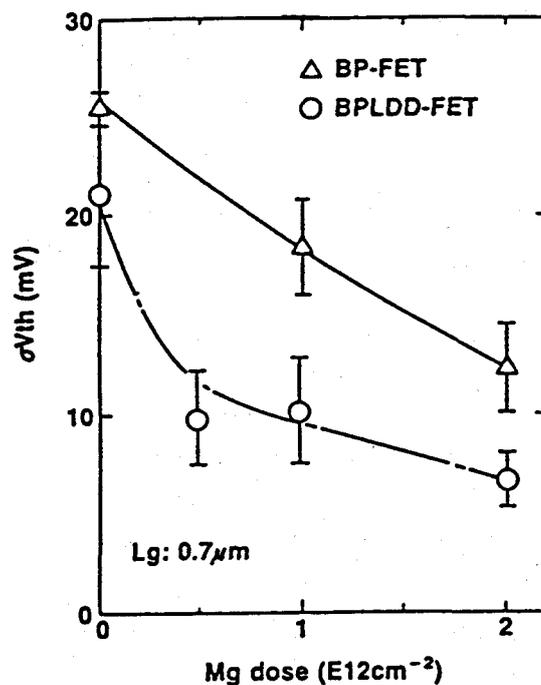


図3-16  $60\mu\text{m}$ ピッチFETアレイによる微小領域での  $\sigma V_{\text{th}}$  の  $\text{Mg}^+$  イオン注入ドーズ依存性

### 3. 6. 4 電流駆動能力

前章のBP-FETでは、nチャンネル下のp層埋め込みによるチャンネルの薄層化、並びに同一 $V_{th}$ を実現するためのnチャンネルの高濃度化によりnチャンネルの高濃度薄層化が実現されることを述べた。またオフセットゲート構造ではソース直列抵抗が大きいいため電流駆動能力の劣化は避けられないが、nチャンネルと同程度の濃度のn'層をゲート・n<sup>+</sup>層分離部に付加(LDD化)したLDD-FETでは、ソース直列抵抗をBP-FET以下にすることは高濃度n<sup>+</sup>層とn'層との濃度差のため不可能ではあるものの、K値についてはBP-FETに近い値を得ることができる。ここではBPLDDのK値と $g_m$ をBP-FETと比較してさらに検討する。

図3—17に $V_{th} \sim 100$  mV,  $V_{ds} = 1.6$  VでのBPLDD, BP-FETのK値のゲート長依存性を示す。0.8  $\mu$ mまでは両者とも同等のK値を有しており、さらにそれ以下のゲート長ではBP-FETについてはK値が飽和する特性を持っているが、BPLDD-FETでは比較的単調に増大している。K値は基本的には(2.5)式で示したようにnチャンネル層厚で決まるため、ある程度ソース直列抵抗が下がるとソース抵抗よりもむしろチャンネル厚が支配的になる。BPLDDとBP-FETのnチャンネル及びp層は同一条件で形成しているため、両者のK値は同等になると考えられる。0.8  $\mu$ m以下の短ゲート長時での両者の差は短チャンネル効果の差によるものと考えられる。図3—18に $V_{th} \sim 100$  mV,  $V_{ds} = 1.6$  VでのBPLDD, BP-FETの $g_m$ のゲート長依存性を示す。前図3—17に比べてBPLDDとBP-FETでは明らかに差があり、BPLDDの方が $g_m$ は低い。 $g_m$ は次式で表現される。

$$g_m = \frac{g_{m0}}{1 + R_s g_{m0}} \quad (3.6)$$

$g_{m0}$ : 真性相互コンダクタンス,  $R_s$ : ソース抵抗

ゲート長の短縮につれ真性 $g_m$ が大きくなり寄生ソース直列抵抗の影響はより大きく現われるため、図3—18の様に、短ゲート長時にBPLDDとBPの $g_m$ の差はより大きくなるものと考えられる。上記のK値と $g_m$ の挙動の差については以下の様に考察できる。K値は(3.4)式より、

$$K = K_0 (1 + \lambda V_{ds}) \quad K_0: \text{定数}, \lambda: \lambda \text{パラメータ}$$

また $V_{th}$ は(3.3)式より、

$$V_{th} = V_{th0} - \gamma V_{ds} \quad V_{th0}: \text{定数}, \gamma: \gamma \text{パラメータ}$$

であるので $g_m$ は(2.6)式より次式の様になる。

$$g_m = 2K(V_{gs} - V_{th}) = 2K_0(1 + \lambda V_{ds})(V_{gs} - V_{th} + \gamma V_{ds}) \quad (3.7)$$

図3—17のK値の測定結果から、 $K_0(1 + \lambda V_{ds})$ はBPLDDとBPとではほぼ同等と言える。一方、図3—18の $g_m$ の測定結果ではBPの方が $g_m$ は高いので、 $K_0(1 + \lambda V_{ds})$ がほぼ同等であることから

考えると $\gamma$ が大きくなっていると言える。 $\gamma$ は、p層が無いオフセットゲート構造FETと従来構造FETとでは、3.2.2で述べた様に1桁近くオフセットゲート構造の方が小さいことから、本BPLDDとBP-FETにおいてもBPLDDの方が $\gamma$ は小さくなることが類推できる。このように $g_m$ は、K値に比べて、短チャネル効果の影響が $V_{th}$ のドレイン電圧依存性を通じてより顕著に現われる。図3-18において、BPLDDのBP-FETに対する $g_m$ の低下率は最大でゲート長 $0.5\mu\text{m}$ 時に約20%である。

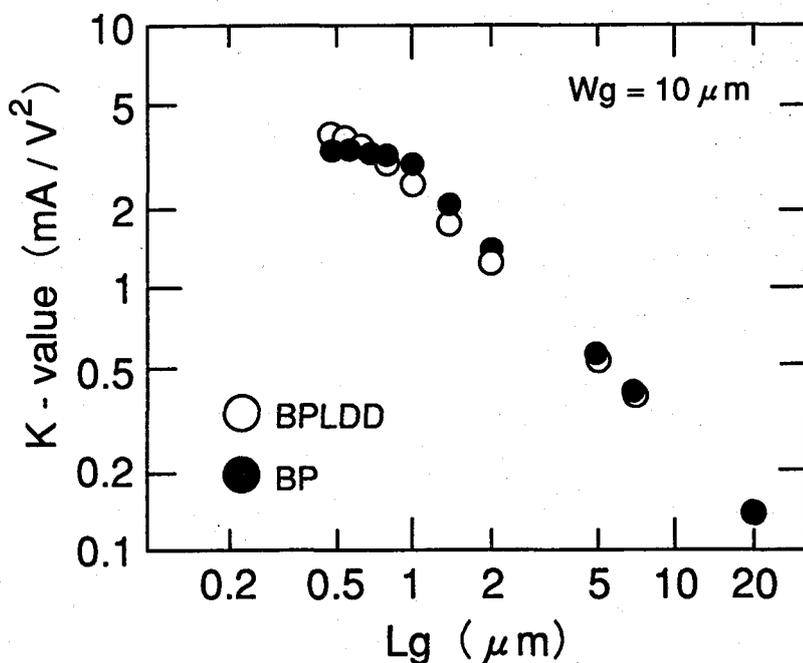


図3-17 K値のゲート長依存性 (BPLDD, BP)

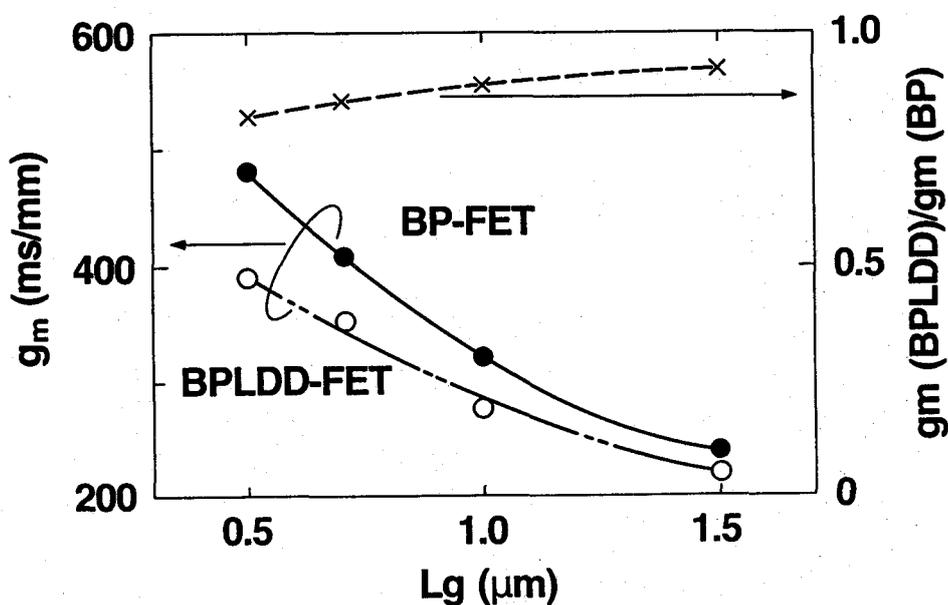


図3-18  $g_m$ のゲート長依存性 (BPLDD, BP)

### 3. 6. 5 ゲート容量

第2章のBP-FETではゲート容量が増加していることを指摘した。BP-FET構造において寄生容量の増加が発生する箇所としては、1) p型埋め込み層中の中性領域、2) n<sup>+</sup>層がゲート下に喰い込んだゲート・n<sup>+</sup>層オーバーラップ部があり、1) については、p型中性領域による寄生容量の増加はFETのピンチオフ領域での増加として観測されるが、その容量はFETオン時の容量に比べて十分小さく、またオン時の容量も増加するがそれはむしろnチャンネル濃度の増加に対応することを前章で指摘した。2) については、LDD構造によりゲートと高濃度n<sup>+</sup>層を分離するわけであるから、本容量は減少するはずである。本節では、特に2) のゲート端寄生容量についてBPLDDとBPを比較して検討を行った。

BPLDDのゲート端でのSi<sup>+</sup>イオン注入ドーズ(n'層)はBP-FETに比べ約1桁小さいので、ゲート端寄生容量はBPLDDにおいて相当低下すると考えられる。特に短ゲート長ではチャンネル真性容量が小さいため、基本的にゲート長には依存しないゲート端寄生容量のチャンネル真性容量に対する比は増加する。従って短ゲート長である程BPLDDの全ゲート容量はBP-FETに対してより低下すると考えられる。

#### 3. 6. 5. 1 ゲート容量の構成

図3-19にLDD構造FETのゲート容量の模式図を示す。本図においてゲート端寄生容量C<sub>gpe</sub>は、ゲートとn'、n<sup>+</sup>層間のオーバーラップ容量C<sub>gov</sub>とフリンジング容量C<sub>gf</sub>から構成され、さらにフリンジング容量はゲート側壁の空気を介する外部フリンジング容量C<sub>gfo</sub>と従来の内部フリンジング容量C<sub>gfi</sub>から成る。よってC<sub>gpe</sub>は次式のように表現できる。

$$C_{gpe} = C_{gfo} + C_{gfi} + C_{gov} \sim (\pi \epsilon_0 / 2) \cdot \ln(1 + H/d) \cdot W_g + \pi \epsilon_s W_g / 2 + \epsilon_s \Delta L_g W_g / d \quad (3. 8)$$

ここで、 $\epsilon_0$ : 空気の誘電率、 $\epsilon_s$ : GaAsの誘電率、H: ゲート厚、d: ゲート端での空乏層厚、 $\Delta L_g$ : n'層のnチャンネル層への横方向拡散長

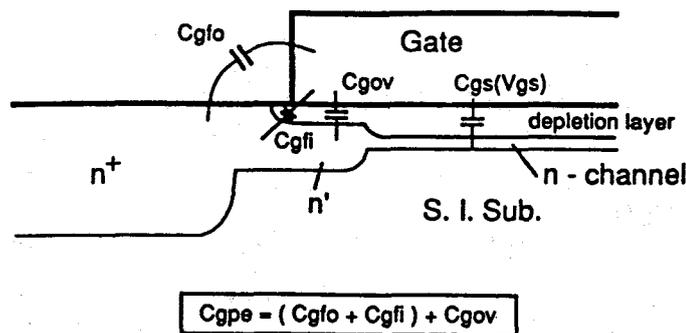


図3-19 LDD構造FETのゲート容量の模式図

$\epsilon_0$  は  $\epsilon_s$  に比べると約 1桁小さく  $C_{gfo}$  は  $C_{gfi}$ , あるいは  $C_{gov}$  に比べて十分小さいため, (3. 8) 式は次式のように近似できる。

$$C_{gpe} \sim (\pi/2 + \Delta Lg/d) \epsilon_s Wg \quad (3. 9)$$

### 3. 6. 5. 2 ゲート端寄生容量の解析

ゲート容量はYHP社製インピーダンス・ゲイン・フェイズアナライザ 4194A を用いて測定周波数 1MHzで測定した。図3—20にゲート長  $7\mu m$ ,  $1\mu m$  でのBPLDD, BP-FET双方についての全ゲート容量  $C_{gs}$  のゲート電圧  $V_{gs}$  依存性を示す。ゲート幅は  $10\mu m$  である。ゲート長  $7\mu m$  においてチャネルオン時 ( $V_{gs} > V_{th}$ ) での  $C_{gs}$  の  $V_{gs}$  依存性は, ほぼ次に示す近似式 [21] でフィッティングできる。

$$\begin{aligned} C_{gs} &= C_{gs}(V_{gs}) + C_{gp} \\ &\sim A(V_{bi} - V_{gs})^{-1/2} + C_{gp} \end{aligned} \quad (3. 10)$$

ここで,  $C_{gs}(V_{gs})$ : チャネル真性容量,  $C_{gp}$ : ゲート寄生容量 ( $C_{gpe}$  を含む),  $A$ : 定数,

$V_{bi}$ : ビルトイン電圧

但し元の式 [21] は  $C_{gp}$  を  $\pi \epsilon_s Wg/2$  ((3. 8) 式における  $C_{gfi}$ ) としており, (3. 8) 式の  $C_{gov}$  等は考慮していない。一方, ゲート長  $1\mu m$  では  $V_{gs} > V_{th}$  で  $C_{gs}$  の  $V_{gs}$  に対する変化は小さく, (3. 10) 式ではフィッティングできない。これは  $1\mu m$  という短ゲート長では, 全ゲート容量  $C_{gs}$  に占める  $V_{gs}$  に依存しない寄生容量  $C_{gp}$  の割合が増えていることを意味している。図3—20からはさらにBPLDD-FETの  $C_{gs}$  はゲート長  $7\mu m$ ,  $1\mu m$  両方ともBP-FETのそれに比べ小さいことがわかる。両者の差は, 両者の  $n$  チャネル部 ( $n$  チャネル,  $p$  層) の形成条件が同一であるため,  $C_{gp}$  に起因すると考えられる。またゲート長  $1\mu m$  でチャネルオン時 ( $V_{gs} > V_{th}$ ), BP-FETの  $C_{gs}$  の  $V_{gs}$  に対する変化はBPLDD-FETより小さいことがわかる。この原因は, ゲート・ソース間での順方向ゲート電圧 ( $V_{gs}$ ) が増加すると, 特にゲート電界の高いゲート端部でゲート・ソース間リークが増加するため  $C_{gp}$  が減少するが, BPLDD-FETに比べてBP-FETの方がゲート端電界が高いためにリークはより大きく,  $C_{gp}$  はより低下する。一方, チャネル真性容量  $C_{gs}(V_{gs})$  は  $V_{gs}$  の増加につれて増えるので,  $C_{gp}$  と  $C_{gs}(V_{gs})$  の比が問題となるが, ゲート長が  $1\mu m$  のFETでは両者の効果が同程度になり,  $C_{gs}(V_{gs})$  と  $C_{gp}$  の和である  $C_{gs}$  は  $V_{gs}$  の増加に対し微増するに留まるものと考えられる。

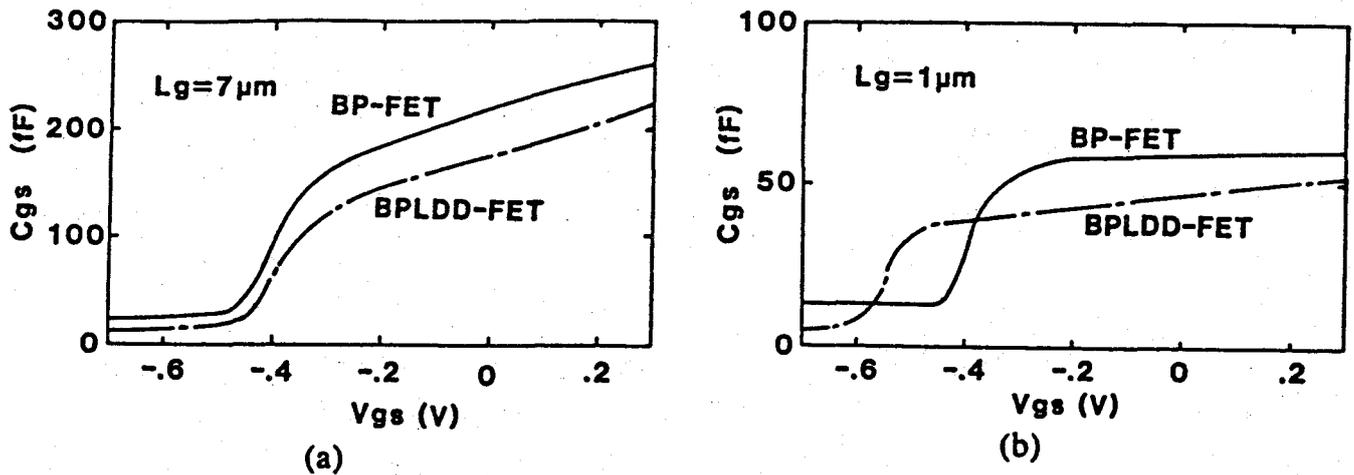


図3—20 Cgsのゲート電圧Vgs依存性 (BPLDD, BP, Lg = 7 μm, 1 μm)

次にCgsのゲート寸法依存性の解析を行うが、Cgsの代表値としてVgs = 0.3 VでのCgsを選んだ。その理由は、LSIの論理回路としてDCFL (Direct Coupled FET Logic) では、論理HighレベルVHが0.5~0.6 V、論理LowレベルVLが0~0.1 Vであり、Vgsの平均値としては0.3 Vになるからである。以後簡単のためにCgs(Vgs = 0.3 V) ≡ Cgonと表記する。

ゲート端寄生容量Cgpeは、真性容量Cgs(Vgs)と異なりゲート幅のみに依存することから、Cgonのゲート長依存性により推定することができる。図3—21にゲート幅10 μmでのCgonのゲート長Lg依存性を示す。本図よりCgonは次式で近似される。

$$C_{gon} \sim C_{g1} + C_{g2} \cdot L_g \quad (3.11)$$

Cg1: ゲート端寄生容量 Cgpe, Cg2:  $\Delta C_{gon} / \Delta L_g |_{L_g}$

(3.10), (3.11) 式より (3.11) 式の第2項は、 $C_{g2} \cdot L_g = C_{gs}(V_{gs}) + C_{gpp}$  (但しCgppはp埋め込み層による寄生容量) と考えられる。図3—21よりLgの増加につれてCgonはBPLDD-FET, BP-FET両方ともほぼ同じレートで直線的に増加している。一方、Cgon自体は常にBPLDD-FETの方が低い。これより、Cg1, 即ち、CgpeはBPLDD-FETの方が低く、Cg2はBPLDD-FET, BP-FETともほぼ同一であることが分かる。よってBPLDD-FETのBP-FETに対するCgonの比はゲート長が短縮されるにつれて低下し、図3—21から分かるようにゲート長を1 μmから0.5 μmまで短縮すると、Cgonの比は89%から74%に低下する。これは、両FETの電流駆動能力が同等であれば、ゲート長が短ければ短いほどBPLDD-FETはBP-FETに比べてゲート遅延時間はより小さくなることを意味する。

(3.11) 式でのCg1, Cg2はLgに係わらず一定であるという前提があるが、実際にはCgonはLgに対して2次以上の高次の依存性を有しており、例えばゲート長0.7 μm, 1.0 μm, さらに長ゲート

長での各近傍において  $\Delta C_{gon} / \Delta L_g |_{L_g}$  は異なっており、故に  $C_{g1} = C_{gpe}$  も異なる。図3-2 1の結果より、ゲート長  $0.7 \mu m$  以下では  $C_{g2}$  は  $3.5 fF / \mu m^2$  以上、 $C_{g1} (=C_{gpe})$  は  $1.0 fF / \mu m$  以下と計算される。

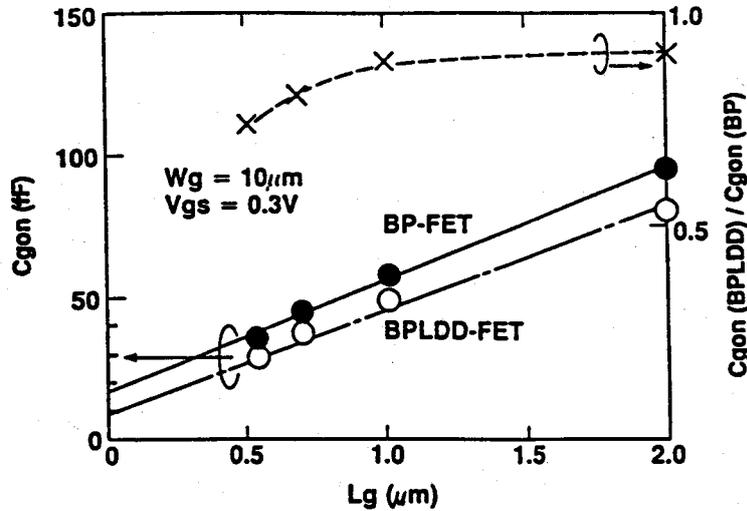


図3-2 1 Cgon のゲート長依存性 (BPLDD, BP)

図3-2 2 に BPLDD-FET, BP-FET についてゲート長  $7 \mu m$  での  $C_{gon}$  のゲート幅依存性を示す。本図の結果と (3. 1 1) 式より  $C_{gon}$  は次式の様に近似される。

$$C_{gon} \sim W_g [\mu m] \cdot (C_{gpe}^* [fF / \mu m] + C_{g2}^* [fF / \mu m^2] \cdot L_g [\mu m]) + C_{st} \quad (3. 1 2)$$

$C_{st}$ : 浮遊容量,  $C_{gpe}^* = (C_{gpe} - C_{st}) / W_g$ ,  $C_{g2}^* = C_{g2} / W_g$

図3-2 2 より、 $L_g, W_g$  双方に依存しない  $C_{st}$  が存在することが分かる。これより (3. 1 1) 式において  $C_{g1}$  は  $C_{gpe} + C_{st}$  であることが判明したので、 $C_{gpe}$  をより正確に決定できる。上述した  $C_{gpe}^*, C_{g2}^*$  を BPLDD-FET, BP-FET の両者に対しゲート長  $0.7 \mu m, 1.0 \mu m$  について測定した結果を表3-2にまとめる。BPLDD-FETのゲート端寄生容量  $C_{gpe}^*$  はゲート長  $0.7 \mu m, 1.0 \mu m$  とともに BP-FET に比べて低く、特に  $0.7 \mu m$  ゲートでは  $0.5 fF / \mu m$  で BP-FET の半分に減少していることが分かる。これに対して、(3. 8) 式より  $C_{gpe}^*$  は、ゲート端での空乏層厚  $d$  が約  $500 \text{ \AA}$ 、 $n'$  層の  $n$  チャネル層への横方向拡散長  $\Delta L_g$  が実測により約  $1500 \text{ \AA}$  であるから、約  $0.6 fF / \mu m$  と見積もられる。従って上述の  $C_{gon}$  の測定結果から得られたゲート端寄生容量  $C_{gpe}^*$  は (3. 8) 式での計算値と良く一致していると言える。

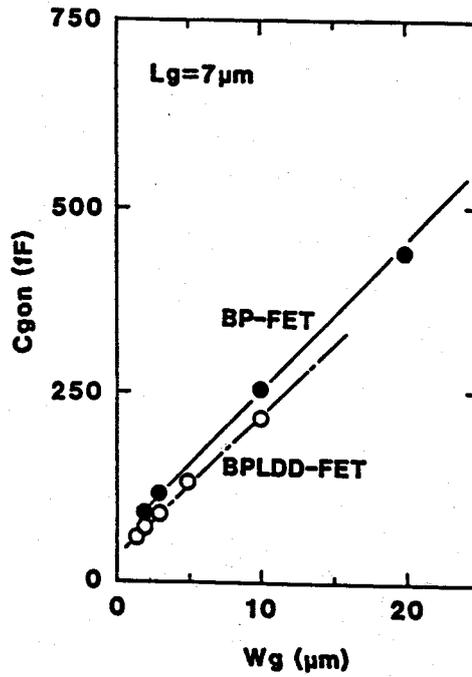


図3—2 2 Cgonのゲート幅依存性 (BPLDD, BP)

表3—2 Cgpe\*, Cg2\*の測定結果

FET		Lg (μm) = 0.7	1.0
BP	Cg2* (fF/μm <sup>2</sup> )	4.0	3.5
	Cgpe* (fF/μm)	1.0	2.7
BPLDD	Cg2* (fF/μm <sup>2</sup> )	4.0	3.5
	Cgpe* (fF/μm)	0.5	1.9

図3—2 1に示したBP-FETに対するBPLDD-FETのCgonの比と、図3—1 8に示したBP-FETに対するBPLDD-FETの $g_m$ の比を比較すると、ゲート長 $1 \mu\text{m}$ 以上では両者はほぼ同等であるが、 $1 \mu\text{m}$ 以下になると $g_m$ の比がCgonの比より大きくなる。 $g_m(\text{BPLDD})/g_m(\text{BP}) \geq Cgon(\text{BPLDD})/Cgon(\text{BP})$ の時、 $g_m(\text{BPLDD})/Cgon(\text{BPLDD}) \geq g_m(\text{BP})/Cgon(\text{BP})$ であるので、上記の結果はゲート長 $1 \mu\text{m}$ 以上では $g_m/Cgon$ がBPLDD-FETとBP-FETとで同等で、 $1 \mu\text{m}$ 以下では $g_m/Cgon$ はBPLDD-FETがBP-FETより大きいことを意味する。遮断周波数 $f_T$ は、 $f_T = g_m/2\pi Cgs$ であるからLgに対して上記と同様な傾向を有すると考えられるため、次に両FETの $f_T$ の測定を行いゲート長依存性を求めた。

### 3. 6. 6 遮断周波数

図3-23はBPLDD-FETとBP-FETについて $f_T$ のゲート長依存性を示す。 $f_T$ の測定条件は、 $V_{ds} = 1.6\text{ V}$ ,  $V_{gs} = 0.6\text{ V}$ で、測定時の電流を十分とるために $V_{th} = -0.2\text{ V}$ のFETを測定した。FETはゲート幅 $75\text{ }\mu\text{m}$ の2フィンガー構成である。本図においてゲート長 $0.6\text{ }\mu\text{m}$ 以下で $f_T$ はBPLDD-FETの方がBP-FETより大きい(本図ではプロットしていないがBP-FETの $f_T$ はゲート長 $0.5\text{ }\mu\text{m}$ では $1\text{ GHz}$ 程度に劣化している)。 $f_T$ 測定時の $V_{gs}$ は $0.6\text{ V}$ で、 $C_{gon}$ 測定時の $V_{gs} = 0.3\text{ V}$ とは異なり、 $\Phi_B$ に近いめかなりゲートリーク電流が増えるのでこの条件の下での $C_{gs}$ 、特にBP-FETについての $C_{gs}$ は前節3. 6. 5で述べたように $C_{gon}$ に比べて非常に小さくなっている可能性が高い。この違いにより前述した $g_m / C_{gon}$ の $L_g$ 依存性と $f_T$ の $L_g$ 依存性とは傾向が良く一致しないと考えられる。しかしながら $g_m$ に対して $C_{gon}$ の低下が顕著なゲート長 $0.6\text{ }\mu\text{m}$ 以下では予想通りBPLDD-FETの方が $f_T$ は向上している。 $f_T$ の実効ゲート長(ソース・ドレイン $n^+$ 層間距離)依存性を考えると、BPでは $n^+$ 層が最終的に $WSi_x$ ゲート下に約 $0.15\text{ }\mu\text{m}$ 横方向拡散するので実効ゲート長は $WSi_x$ ゲート長から約 $0.3\text{ }\mu\text{m}$ 短縮されている。これに対してBPLDD-FETでは実効ゲート長が $WSi_x$ ゲート長と同等約 $0.1\text{ }\mu\text{m}$ 増加している。図3-23上で同一実効ゲート長としてBPLDD-FET, BP-FETの $f_T$ を比較すると、FET構造上ゲート・ $n^+$ 層間オーバーラップ容量の有無の差だけになり、当然ではあるが、常にBPLDD-FETの方が $f_T$ は高い。BPLDD-FETではゲート長が $0.5\text{ }\mu\text{m}$ の時、約 $35\text{ GHz}$ の $f_T$ が実現されている。

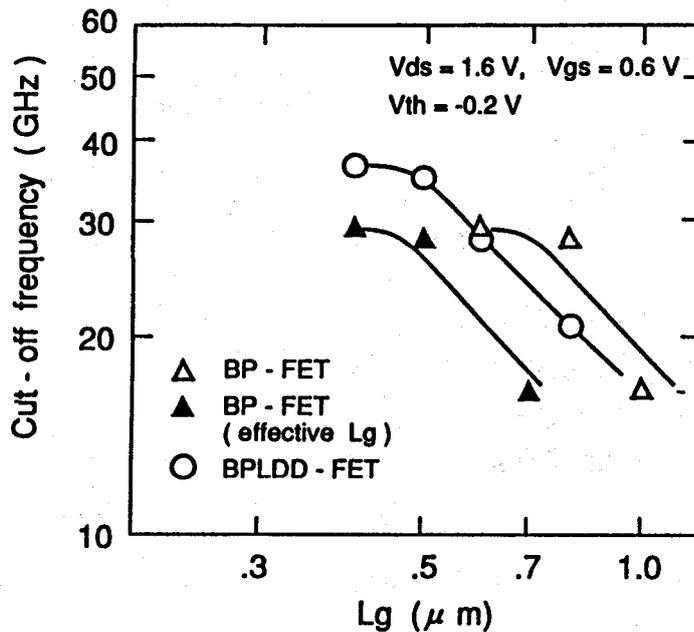


図3-23  $f_T$ のゲート長依存性 (BPLDD, BP)

### 3. 6. 7 ゲート遅延時間

DCFL構成101段リング発振器をBPLDD-FET, BP-FETで各々作製し、両者のゲート遅延時間  $t_{pd}$  を測定した。リング発振器では各DCFLインバータの出力が次段のDCFLインバータの入力に接続されているので、ゲート・ドレイン間容量  $C_{gd}$  による帰還容量 (Miller 容量) の影響が  $f_T$  測定時に比べて大きくなる。BP-FETに比べBPLDD-FETではゲート端寄生容量  $C_{gpe}$  の低減により  $C_{gd}$  も小さくなるので、BP-FETに対してBPLDD-FETでは  $t_{pd}$  の方が  $f_T$  よりもさらに低減されると考えられる。図3-24に実効ゲート長  $0.7\mu\text{m}$  のBPLDD-FET, BP-FETについての  $t_{pd}$  のゲート消費電力  $P$  依存性を示す。  $t_{pd}$  は同一の実効ゲート長ではBPLDD-FETの方がBP-FETより小さく、ゲート消費電力  $P$  が  $1\text{mW}$  の時、  $t_{pd} = 15\text{ps}$  となりBP-FETの約65%に低下している。この消費電力時のこのゲート遅延時間の結果は  $0.7\mu\text{m}$  ゲートGaAs MESFETとしては世界最高速レベルである。一方、図3-23より、実効ゲート長  $0.7\mu\text{m}$  でのBPの  $f_T$  はBPLDD-FETの約73%に低下しており、上記で予期した通り  $t_{pd}$  の方が  $f_T$  よりもLDD化による低減効果が大いと言える。また図3-24においてBPLDD-FETの  $t_{pd}$  はp層用の  $\text{Mg}^+$  イオン注入ドーズにほとんど依存していない。これはBPLDD構造FETが第2章で述べたBP-FETと比較して、p層中の中性領域によるゲート寄生容量 (第2章での検討により、図中  $1 \times 10^{12}, 2 \times 10^{12}\text{cm}^{-2}$  の条件で発生している) の付加、及びp層高濃度化に伴うnチャネル層高濃度化によるゲート真性容量の増加のゲート遅延時間に及ぼす影響が十分小さいことを意味している。

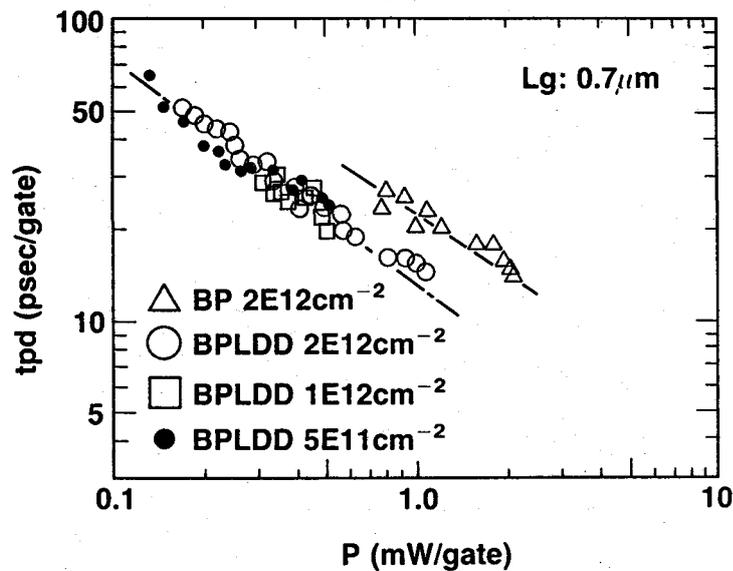


図3-24  $t_{pd}$  のゲート消費電力依存性 (BPLDD, BP)

### 3. 7 BPLDD構造FETにおける電流駆動能力と速度性能の改善

前節3. 6でBPLDD-FETはBP-FETに比べ短チャネル効果,  $V_{th}$  均一性, ゲート容量, 動作速度の点でより優れているが, 電流駆動能力だけは劣化することが明らかになった。これは $n'$ 層の導入に伴うものでFET構造上本質的に避けられないものであるが, LSIの動作速度が主に配線容量で律速されるという点を考えると, 高速LSI開発に際しては無視できない。従って前節での低減されたゲート端容量, あるいは短チャネル効果を増加させないようにソース直列抵抗の低減, 即ち $n'$ 層,  $n^+$ 層のキャリア濃度を増加する必要がある。筆者が本研究に着手した時点では,  $n'$ 層,  $n^+$ 層のキャリア濃度を増加することによりBPLDD-FETの電流駆動能力, あるいは速度性能の改善に成功した報告例はなかった。

#### 3. 7. 1 FET構造の再検討

本節での改良型BPLDD-FETの断面構造を図3—25に示す。本構造の特徴は以下の通りである。

- 1)  $n'$ 層,  $n^+$ 層を高濃度化することを前提としており, それらに起因する短チャネル効果の劣化を抑制するため,  $n^+$ 層を $n$ チャネルと同程度に薄層化した。即ち,  $n^+$ スルー注入膜を2300Åから500Åに, また $n^+$ 層用注入エネルギーを165 KeVから50 KeVに低下した。
- 2)  $n'$ 層を高濃度化すると同時に,  $n'$ 層の幅(ゲート・ $n^+$ 層間分離長)を約500Åから1500Åに増加し, さらにゲートと $n^+$ 層を分離した。後述するように, これを実現するために新たなサイドウォールプロセスを開発した。

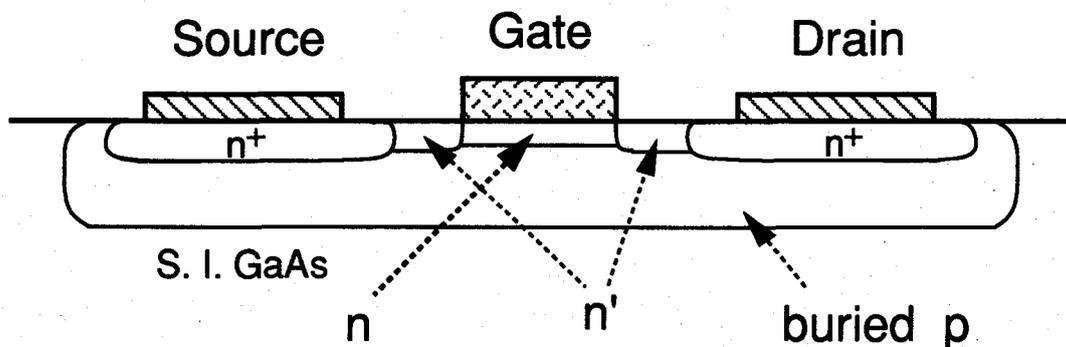
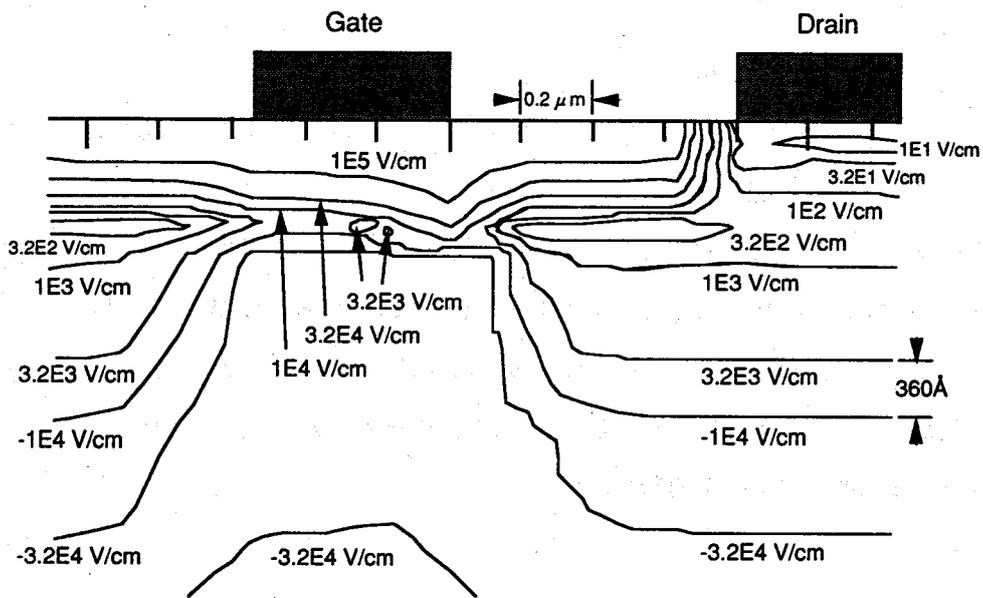


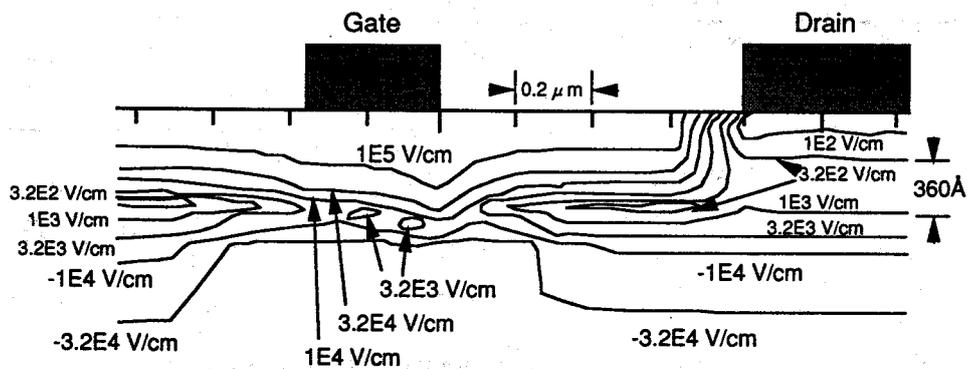
図3—25 改良型BPLDD-FETの構造断面図

本改良型BPLDDの作製に先立ち、BPLDD-FET構造内部での電界、電子電流の2次元分布をGaAs MESFET 2次元シミュレータ (G-PISCES-IIB) [22] を用いて、それらの2次元効果が $n'$ 層、 $n^+$ 層の高濃度薄層化、そしてゲート・ $n^+$ 層間分離長の増加で低減しうるかどうかを検討した。上記改良後における電界の基板深さ方向成分の2次元分布のシミュレーション結果を図3-26に示す。このシミュレーション結果から、改良型BPLDD構造FETでは、 $n$ チャンネルのゲート・ドレイン端でかつチャンネルの深さ方向終端の部分での垂直電界強度は従来型BPLDD構造FETでの約30%に、また同一位置での垂直方向の電子電流は従来構造の約65%に各々低減できることが確認された。

本結果より、改良型BPLDD構造FETでは、従来型BPLDD構造FETに比べ基板リーク電流が有効に抑制されることが期待される。



1) 改良前： $n^+$ スルー注入プロセス



2) 改良後：サイドウォールプロセス

図3-26 BPLDD-FET構造内部での垂直電界2次元分布のシミュレーション結果

### 3. 7. 2 プロセス技術の改善

#### 3. 7. 2. 1 SiO/SiON 2層構造サイドウォールプロセス

前節3. 6までで用いていた $n^+$ 層用スルー注入法は、個々のプロセスとしては簡単であるものの、2000Å程度のスルー膜厚で160 keV程度の高エネルギー注入を必要とするため、低エネルギー注入に比べてイオン注入時の横方向拡がりやスルー膜厚のばらつきによる注入深さばらつきが大きいという問題がある。特に $n'$ 層の幅(ゲート・ $n^+$ 層間分離長)を増加させる場合、スルー膜を厚くするためさらにエネルギーを高める必要がありこの弊害はさらに大きくなる。この $n^+$ 層用スルー注入プロセスに対して、いわゆるサイドウォールプロセス [7], [8] では $n^+$ 層用イオンの注入をスルー膜無しにGaAs基板に直接行えるので、スルー注入に比べ低エネルギー注入が可能となる。そのために $n^+$ 層の横方向拡がりや注入深さのばらつきを低減できるという利点がある。

しかしながら従来のサイドウォールプロセスには以下のような幾つかの問題がある。即ち、

- 1) サイドウォール形成時、 $WSi_x$ ゲートの最表面がエッチングされる。
- 2) サイドウォール形成時、 $n^+$ 層表面を含むGaAs基板表面がダメージを受ける。

これらによりGaAs基板表面でのリークの増加、 $n^+$ 層でのキャリアの電気的活性化率の劣化が生じる [23]。これら为了避免するために本研究でのサイドウォール形成プロセスでは、サイドウォール厚を約3000Åに保った状態でゲートと $n^+$ 層表面を含むGaAs基板表面に約500Åのキャップ膜を形成した。

サイドウォール形成プロセスフローを図3-27に示す。従来型BPLDD-FETと同様のプロセスで $n$ 層、 $p$ 層、 $WSi_x$ ゲート、 $n'$ 層を形成した後、SiN(約700Å)とSiON(約3200Å)を順次プラズマCVDでウエハー全面に形成する。SiN, SiONの2層からなるサイドウォールは $C_2F_6$ ,  $CHF_3$ ,  $O_2$ , Heの混合ガスによるRIEで形成する。エッチングはほぼSiN/SiON界面で停止される。この時点でSiNは約500Å, SiONは約2500Åになっているので、サイドウォールの厚さは約3000Åとなる。従来の $n^+$ 層スルー注入では実効サイドウォール厚が約2000Åであるので、サイドウォール厚はこの場合約1000Å増加していることになる。続いて $n^+$ 層用に $^{29}Si^+$ イオンを40~80 keV,  $2\sim 6E13\text{ cm}^{-2}$ で注入する。この注入エネルギーは従来の $n^+$ 層スルー注入での160 KeVの半分以下に低減している。前述の $n^+$ 層用注入イオンの横方向拡がりも考慮すると、今回のサイドウォールプロセスでは、ゲートと $n^+$ 層の分離長は約1000Å以上従来の $n^+$ 層スルー注入プロセスよりも増加していると考えられる。

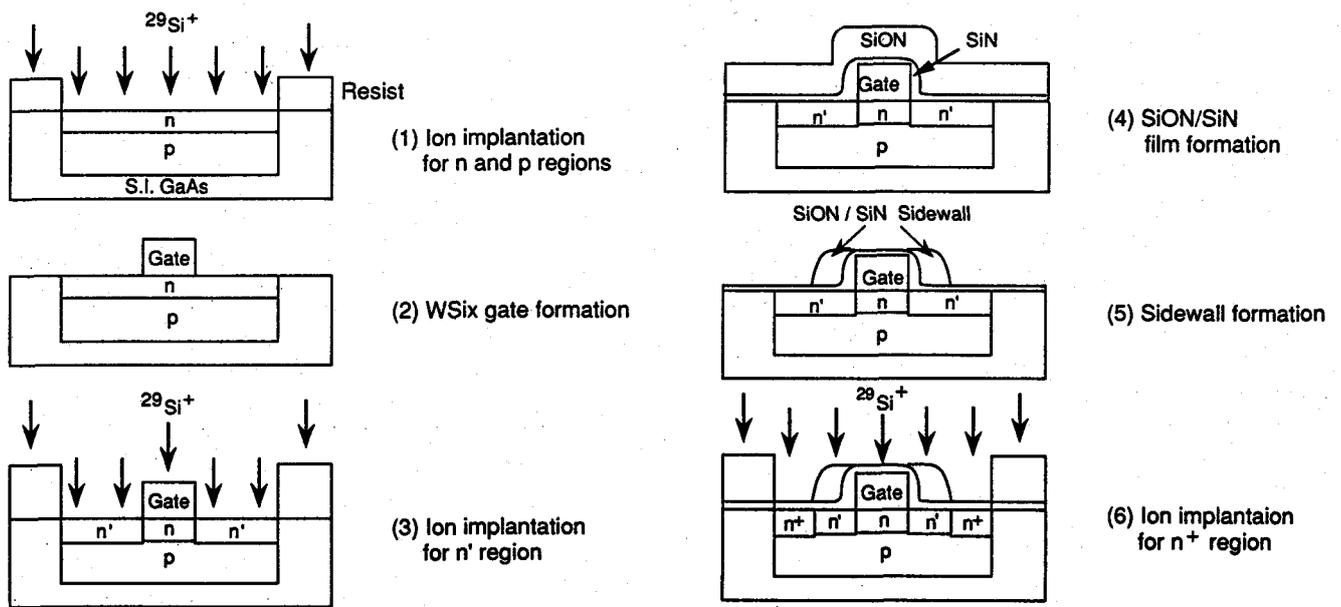


図3-27 SiN/SiON 2層サイドウォールプロセスフロー

### 3. 7. 2. 2 回転イオン注入

斜め静止イオン注入で生じるウエハー面内の注入深さの変動はウエハー回転注入法によって抑制できる。本研究で用いている静止注入でのイオン入射角度は3インチ基板面内で最大約4°の相違があるが、これは注入深さにして約2%のばらつきに相当する。これに対し回転注入では基板面内のどの部分にも多くの異なった入射角度から注入されるので、入射角度依存性が緩和されて注入深さの変動が抑制される。

FET構造を作製する前に、注入層のシート抵抗 Rsh の均一性について検討した。その結果を表3-3に示す。予想通り、回転注入によりシート抵抗の均一性は向上している。

一方、特にLDD構造の短ゲートSi MOSFET、あるいはGaAs MESFETではFET特性が非対称となることが観測されており、この現象は従来の斜めイオン注入とゲート端によるシャドー効果の観点から検討されている [24]-[26]。この非対称性の度合はウエハー面内の位置に依存する。ウエハー回転注入はこの非対称性を有効に緩和できるので[27]、n'層、n+層、特にそれらのエッジの位置の変動を低減してFET構造を均一化することができる。

表3—3 回転イオン注入による注入層のシート抵抗の均一性

Implantation	Rsh ( $\Omega$ )	$\sigma$ Rsh ( $\Omega$ )	$\frac{\sigma Rsh}{Rsh}$ (%)
Conventional	469	18.7	4.0
Wafer - Rotating	475	4.8	1.0

@ 40 KeV,  $1E13 \text{ cm}^{-2}$

### 3. 7. 2. 3 電子サイクロトロン共鳴プラズマエッチングによる $WSi_x$ ゲートの形成

ゲート長 $0.5 \mu\text{m}$ 以下のFETでは、短チャネル効果が顕著になるためにゲート長のばらつきが $V_{th}$ 均一性に非常に大きな影響を及ぼす。ゲート長ばらつきを低減するためには、ゲート加工形状の変動を抑制する必要がある。このためには特にゲート形状を矩形化することが重要であり、それにはECRプラズマエッチングが適した方法であることが知られている[28],[29]。その主な理由はゲート金属のエッチング中に生じるサイドエッチングが少ないからである。図3—28にECRプラズマエッチングによる $WSi_x$ の加工形状を示す。エッチング条件としては、エッチングガスは $CHF_3$ と $SF_6$ の混合ガス、エッチングガス圧は $0.4 \text{ Pa}$ 、RF電力は $120 \text{ W}$ である。図3—28から、その加工形状はサイドエッチングが少なく矩形形状になっていることが分かる。図3—29に3インチウエハー面内での $WSi_x$ ゲート長の標準偏差 $\sigma L_g$ とそのゲート長に対応するレジストパターン長 $L_g$ の関係を示す。この図から $WSi_x$ ゲート長の標準偏差はマスクゲート長 $0.3 \mu\text{m}$ まではほぼ一定であると言える。

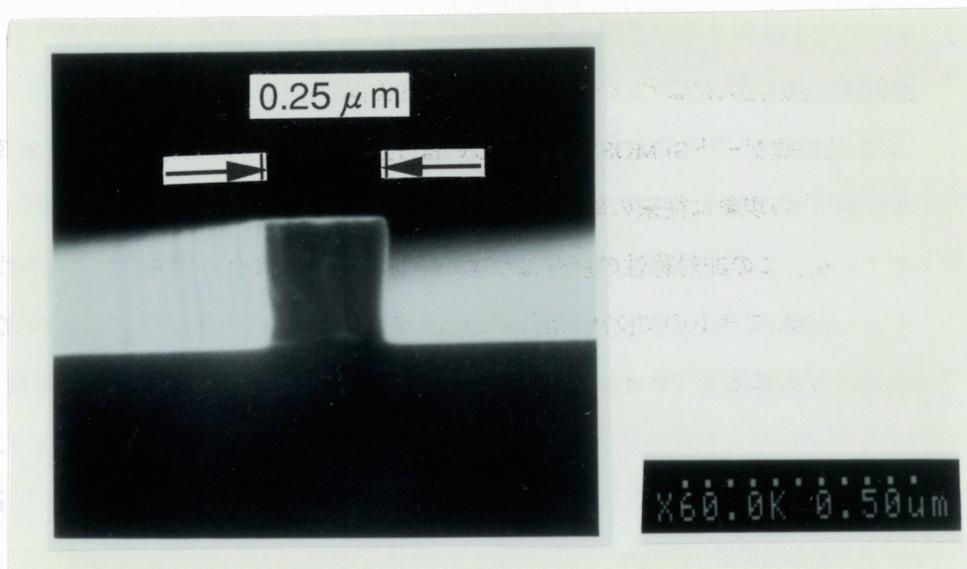


図3—28 ECRプラズマエッチングによる $WSi_x$ ゲートの加工形状

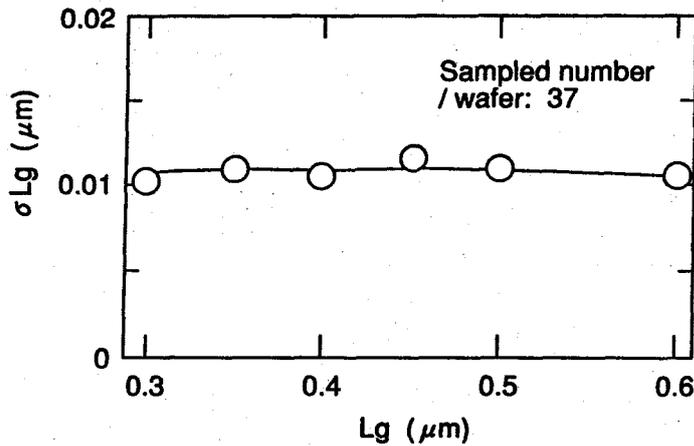


図3—29 WSi<sub>x</sub>ゲート長の標準偏差のレジストパターン長依存性

### 3. 7. 3 サイドウォールプロセス適用に伴う n<sup>+</sup>層, n' 層形成条件の再検討

#### 3. 7. 3. 1 n<sup>+</sup>層

ソース, ドレイン電極間のサブスレッショルドリーク電流は, n<sup>+</sup>層の厚み, キャリア濃度の増大に伴って増える。そこでこのリーク電流を低減するために, 注入エネルギーとスルー注入膜厚の最適化を検討して, n<sup>+</sup>層厚をnチャンネルと同等の約1000Åに設定した。注入ドーズはピークキャリア濃度が従来型BPLDDでの濃度の1.5倍以上の約 $5 \times 10^{17} \text{ cm}^{-3}$ になるようにした。図3—30にn<sup>+</sup>層のシート抵抗 ( $R_{sh}$ ) とコンタクト抵抗 ( $R_c$ ) の関係を示す。サイドウォールプロセスはシート抵抗 ( $R_{sh}$ ), コンタクト抵抗 ( $R_c$ ), あるいはそれらのばらつきとも従来のn<sup>+</sup>層スルー注入プロセスに比べて小さいことが分かる。この結果から, n<sup>+</sup>層の高濃度薄層化は電流駆動力とV<sub>th</sub>均一性を改善するものと考えられる。

#### 3. 7. 3. 2 n' 層

ゲートとn<sup>+</sup>層間の分離長が2000Åから3000Åに増加すると, n' 層の抵抗は50%増加する。よって電流駆動力を従来値と同等あるいは増大させるにはその抵抗値を低減する必要があるが, あまり小さくしすぎると短チャンネル効果が増大してV<sub>th</sub>ばらつきが増大する。ここで開発したサイドウォールプロセスはゲート・n<sup>+</sup>層間分離長を増大させるので, 短チャンネル効果を従来と同等に維持しながらある程度n' 層の注入ドーズを増加することができる。そこでn' 層の注入ドーズ依存性を検討した。図3—31はK値とサブスレッショルド因子Ngのn' 層注入ドーズ依存性を示す。Ngは注入ドーズとともに単調に増加するが, K値が $4E12 \text{ cm}^{-2}$ ぐらいから飽和し出すので, 約 $4E12 \text{ cm}^{-2}$ が最適と考えられる。 $4E12 \text{ cm}^{-2}$ の時, K値は $2E12 \text{ cm}^{-2}$  (従来値) の場合より約40%向上している。図3—32

に  $n'$  層の注入ドーズをパラメータとした遮断周波数  $f_T$  のゲート長依存性を示す。 $n'$  層注入ドーズが  $6E12 \text{ cm}^{-2}$  でゲート長が  $0.5 \mu\text{m}$  以下では、 $f_T$  は飽和して低下し出す。この結果は図 3-3 1 の  $N_g$  の結果と関連していると考えられる。つまりゲート長  $0.5 \mu\text{m}$  以下ではサブスレッショルド電流  $I_{sub}$  の増加により実効  $n$  チャンネル厚が増加するのである。これにより電流駆動力が低下して  $f_T$  も低下するのである。図 3-3 2 ではさらにパラメータとした両ドーズでの  $f_T$  はゲート長  $0.5 \mu\text{m}$  以上ではほぼ同等であることが分かる。これは注入ドーズが  $4E12 \text{ cm}^{-2}$  よりも  $6E12 \text{ cm}^{-2}$  の時の方がゲート端容量が大きいことを意味している。その理由は図 3-3 1 より  $4E12 \text{ cm}^{-2}$  よりも  $6E12 \text{ cm}^{-2}$  の時の方が電流駆動能力である  $K$  値は大きいからである。結果として、ゲート長が  $0.45 \mu\text{m}$ 、注入ドーズが  $4E12 \text{ cm}^{-2}$  の条件の下で、 $45 \text{ GHz}$  以上の  $f_T$  が得られた。

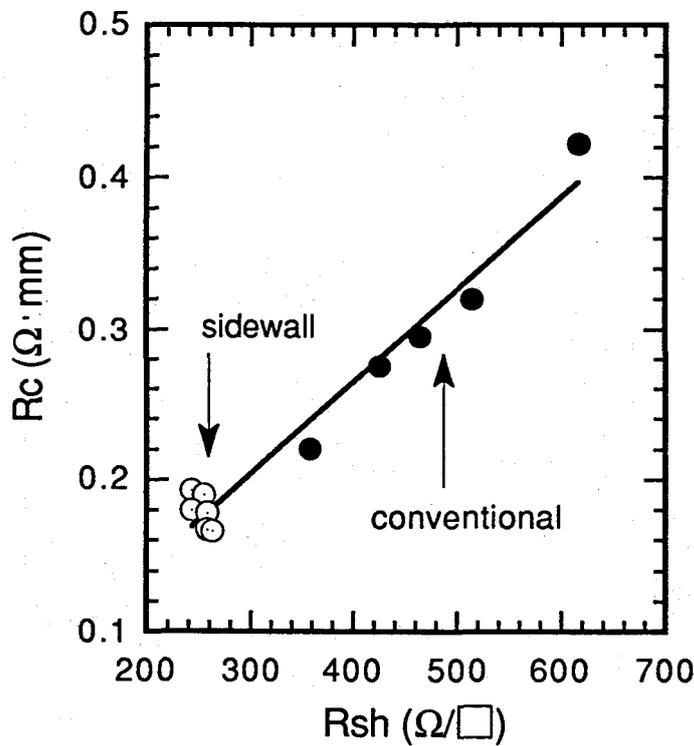


図 3-3 0  $n^+$  層のシート抵抗 ( $R_{sh}$ ) とコンタクト抵抗 ( $R_c$ ) の関係

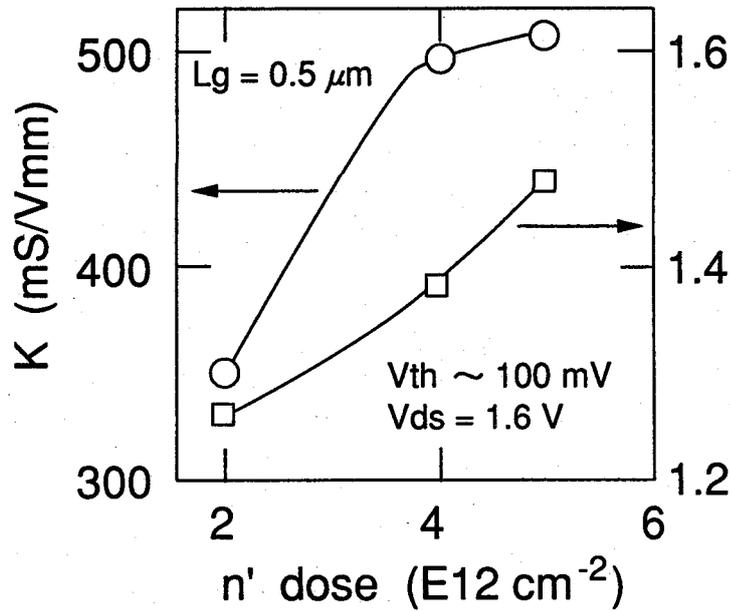


図3—31 K値、Ngのn'層用注入ドーズ依存性

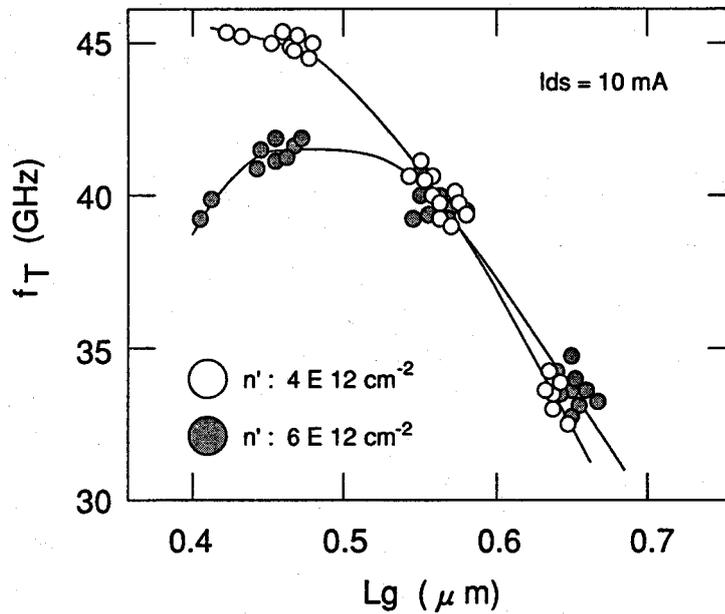


図3—32 f<sub>T</sub>のゲート長依存性 (パラメータ: n'層用注入ドーズ)

### 3. 7. 4 短チャネル効果とV<sub>th</sub>均一性

図3—33にゲート長0.5 μmでの改良型BPLDDと従来型BPLDDにおけるドレイン電流 I<sub>ds</sub> のゲート電圧 V<sub>gs</sub> 依存性を示す。本図において、改良型BPLDDのサブスレッショルド電流 I<sub>sub</sub> はゲート幅10 μmあたり約7 nAで、従来の約2倍に増加している。即ち、この改良型BPLDDでは従来より短チャネル効果が若干増加していると言える。図3—34(a), (b), (c)には各々V<sub>th</sub>, Ng, σ V<sub>th</sub>のゲート長依存性

を示す。図3-34 (a)において、ゲート長短縮時の $V_{th}$ 負方向シフトは改良型BPLDD-FETの方が従来型に比べ若干大きい。前記の図3-33からわかるように、その理由の一つはソース、ドレイン電極間のリーク電流が $n'$ 、 $n^+$ 層でのキャリア濃度の増加により増えたことが考えられる。図3-34 (b)では、 $N_g$ も改良型BPLDD-FETの方が従来型に比べ大きい。これは上記図3-34 (a)の結果と整合する。これらの結果は $n'$ 、 $n^+$ 層でのキャリア濃度の増加が容易に短チャネル効果を増大させることを示している。しかしながら、 $I_{sub}$ 、あるいは $V_{th}$ 負方向シフトの増加量は各々ゲート幅 $10\mu m$ あたり数 $nA$ 、約 $50mV$ と小さく、 $N_g$ の増加量も十分小さい。この事実は $n'$ 、 $n^+$ 層の薄層化、およびゲート端、 $n^+$ 層間の分離長の増加が、 $n'$ 、 $n^+$ 層でのキャリア濃度の増加による短チャネル効果の増大の抑制に寄与していることを意味すると考えられる。最終的な結果として、図3-34 (c)では改良型BPLDDの $\sigma V_{th}$ が従来型より小さくなっており、改良型BPLDD作製プロセス技術が、改良型BPLDDでの短チャネル効果の若干の増加にもかかわらず、 $V_{th}$ 均一性の向上に寄与できることが分かった。ゲート長 $0.5\mu m$ では $\sigma V_{th}$ は $25mV$ 以下に低減されている。この $V_{th}$ 均一性は、ゲート長 $0.7\mu m$ の従来型BPLDDでの均一性とほぼ同等である。

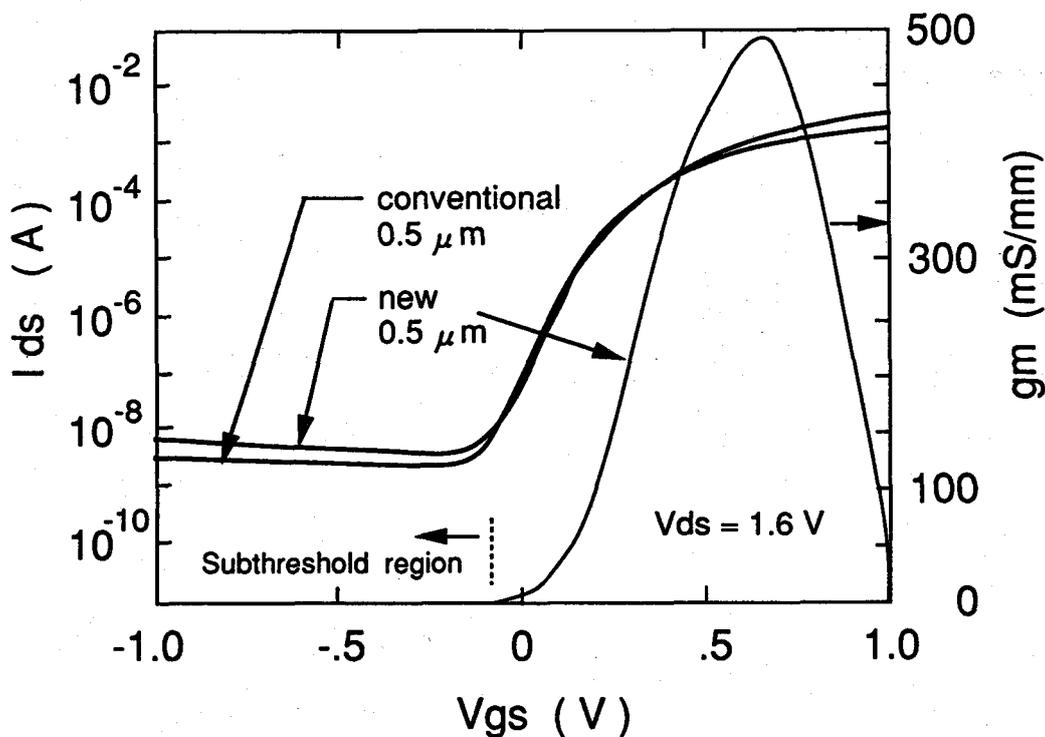


図3-33  $I_{ds} - V_{gs}$  特性の比較 (改良型BPLDD, 従来型BPLDD)

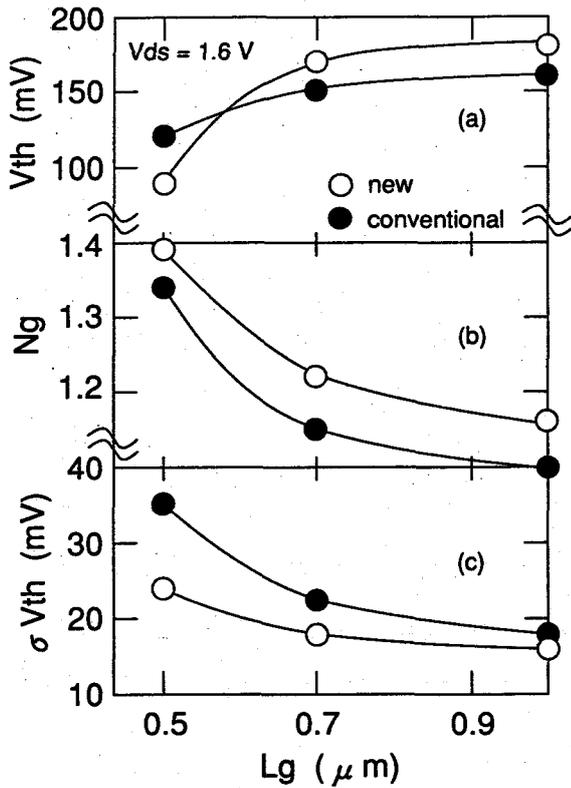


図3-34  $V_{th}$  (a),  $N_g$  (b),  $\sigma V_{th}$  (c) のゲート長依存性の比較 (改良型BPLDD, 従来型BPLDD)

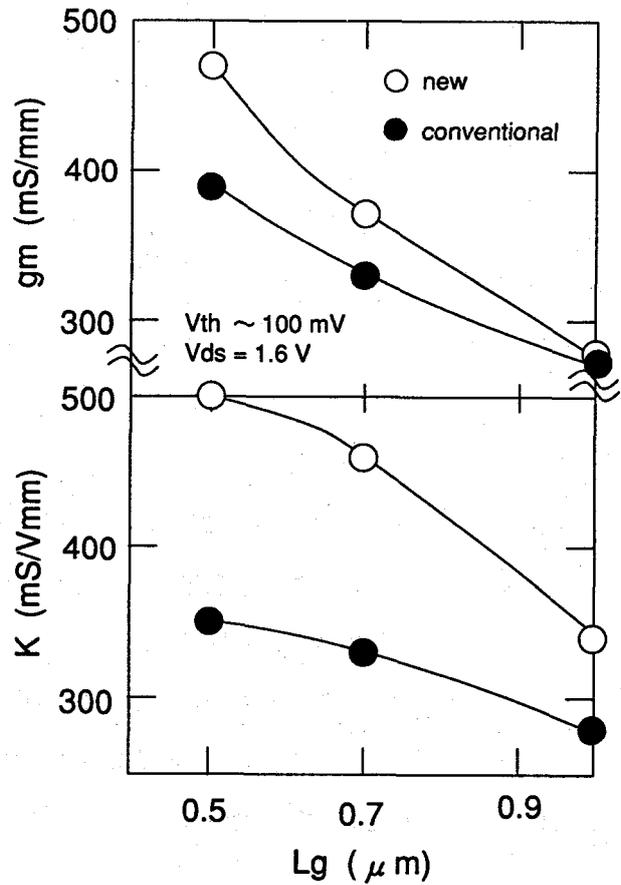


図3-35  $g_m$ 、K値のゲート長依存性の比較 (改良型BPLDD, 従来型BPLDD)

### 3. 7. 5 電流駆動力の改善

図3-35に改良型、従来型BPLDDの相互コンダクタンス $g_m$ とK値のゲート長依存性を示す。改良型BPLDDでは全てのゲート長に対して $g_m$ 、K値は向上している。図3-33には改良型BPLDDのゲート長 $0.5\mu m$ での $g_m$ の $V_{gs}$ 依存性を併せて示す。ゲート長 $0.5\mu m$ では $g_m$ 、K値は各々約 $500\text{ mS/mm}$ 、約 $500\text{ mS/Vmm}$ まで増加しており、これらの値はゲート長 $0.5\mu m$ の従来型BPLDDに比べ、約30%以上向上している。

### 3. 7. 6 p層と $n^+$ 層のオーバーラップ容量の $f_T$ への影響

前章で述べたようにp層埋め込みのFET動作速度に及ぼす影響についての検討 [30], [31] から、p型中性領域の存在はFET動作速度を大きく劣化させないという結果が得られている。しかしながらゲート長が $0.5\mu m$ 以下になると従来の長ゲートBPLDD-FETに比べて真性ゲート容量に対する寄生容量の比がさらに大きくなるので、その寄生容量によりFET動作速度が劣化することが再度懸念される。本節では、FET動作速度 ( $f_T$ ) に対するp型埋め込み層と $n^+$ 層の重なりの影響について検討した結果を

図3—36に示す。重なり幅  $W_p$  が増加すると単調に  $f_T$  は低下するが、 $f_T$  の最大値に対するその低下の比は5%以下でありその劣化の度合は十分小さいと考えられる。結果として、上記重なり幅  $W_p$  はチャンネル長に比べ十分大きいにもかかわらず、その重なりによる寄生  $p-n$  接合容量はFET動作速度にほとんど影響を及ぼさないことが分かった。この結果は前節3.6.7の結果と一致する。以上の結果から、改良型BPLDD構造での  $p$  型埋め込み層は図3—25の構造断面図で示すように、 $n$ 、 $n'$ 、 $n^+$ 層の全てを囲むように形成しても大きな速度劣化は生じないことが明らかとなった。

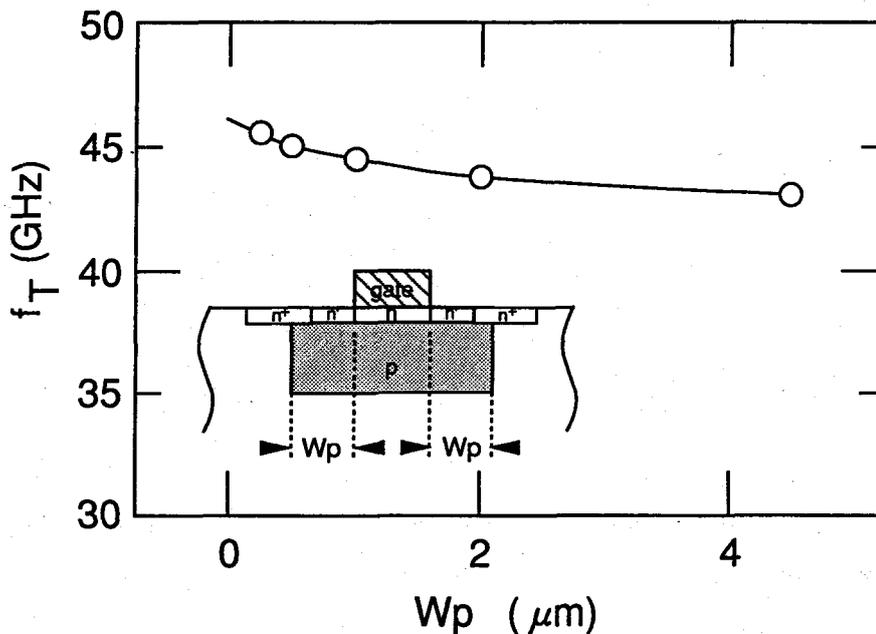


図3—36  $f_T$  の  $p$  層— $n^+$  層間重なり幅  $W_p$  依存性

### 3.7.7 ゲート遅延時間の改善

ゲート長  $0.5\mu\text{m}$  の改良型BPLDDでDCFL構成101段のリング発振器を作製し、ゲート遅延時間  $t_{pd}$  の評価を行った。図3—37にその  $t_{pd}$  のゲート消費電力  $P$  依存性を示す。図より消費電力  $2.5\text{mW}/\text{gate}$  以上で約  $7\text{ps}$  の  $t_{pd}$  が得られている。消費電力が  $2.5\text{mW}/\text{gate}$  以上になると  $t_{pd}$  は飽和し始めている。この値は従来の報告 [32] からすればかなり小さい値で、ゲート長  $0.5\mu\text{m}$  のGaAs MESFETとしては世界最高速である。現在のところ、このような小さい  $t_{pd}$  が何故得られたかについては十分な説明は付け加えられないが、電流駆動力の増加と、ゲート・ $n^+$ 層間の分離長の増加によるゲート端容量の低減が少なくとも寄与していると考えている。

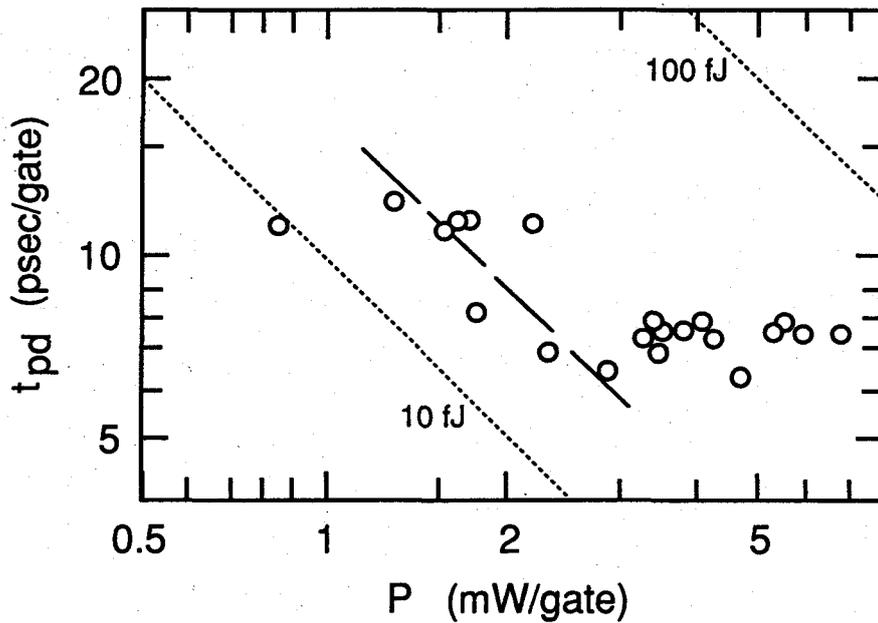


図3-37 t<sub>pd</sub>のゲート消費電力依存性 (改良型BPLDD)

### 3. 8 結言

本章では前章で検討したp型埋め込み層を有するSAGFETをLDD化したBPLDD構造FETについて、ゲートとn<sup>+</sup>層の分離、それによるオフセットゲート構造FET、n'中間濃度層とソース直列抵抗、即ち電流駆動能力の関係、LDD化による短チャネル効果、V<sub>th</sub>均一性、ゲート容量、並びに動作速度の改善、そして電流駆動能力の向上を第一に狙い、同時にV<sub>th</sub>均一性、動作速度を向上しうる改良型BPLDD構造、その作製プロセスについて検討し以下の結果を得た。

1) ゲート・n<sup>+</sup>層分離で用いたスルー注入法では、スルー注入膜としてSiN 2300 Å、注入エネルギー190 KeV、注入ドーズ $1 \times 10^{13} \text{ cm}^{-2}$ の時、n<sup>+</sup>層用注入イオン分布は本分離を行わないベア注入に比べ $1 \times 10^{18} \text{ cm}^{-3}$ の領域から判断すると約0.2 μmゲートから分離して形成できることを確認した。またn<sup>+</sup>層はアニール後さらに約0.15 μm拡散することから、上記スルー注入での最終的なゲート・n<sup>+</sup>層分離長は約0.05 μmであることを示した。

2) 上記ゲート・n<sup>+</sup>層分離を行ったオフセットゲート構造FETでは、2次元注入イオンプロファイルで明らかな様に本分離を行わないベア注入構造に比べてゲート・ドレイン端電界が緩和されるため、短チャネル効果は改善され、N<sub>g</sub>、γパラメータの特性値、I<sub>ds</sub>-V<sub>gs</sub>特性が向上することを明らかにした。特にドレイン電圧依存性がγパラメータにして1桁低減できることは、LSI用FETとして電源電圧マージンの点で非常に有効であることを示した。しかしながらこれらの良好な短チャネル効果を有す

るオフセットゲート構造FETのゲート・ $n^+$ 層間は完全に分離されている必要があり、その状態ではソース直列抵抗はベア注入の約2倍以上と大きく、電流駆動能力も相応して約30%劣化するために高速LSI用FETとして本FETをそのまま用いることはできないことを確認した。

3) オフセットゲート構造FETのソース直列抵抗を低減するためにゲート・ $n^+$ 層分離部に $n'$ 中間濃度層を導入(LDD化)した結果、 $n$ チャネルと同等の濃度の付加( $Si^+$ イオン, 50 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ 以上), 即ち $n$ チャネルの約2倍高濃度の $n'$ 層の形成で電流駆動能力である $K$ 値は前記オフセットゲート構造FETの約160%に増加し、電流駆動能力は十分回復できることを確認した。但し $n'$ 層濃度の単調な増加はゲート・ドレイン端電界の増大, 即ち短チャネル効果の増大を招き、 $V_{th}$ 均一性も劣化するため、前記 $K$ 値の大幅な増加が確認されたうちの最低濃度である $2 \times 10^{12} \text{ cm}^{-2}$ が最適であることを示した。

4)  $p$ 型埋め込み層を有するLDD構造SAGFET (BPLDD) は、BP-FET,  $p$ 層無しLDDと合わせた3種類の中で短チャネル効果の抑制が最も大きいことを明らかにした。 $p$ 層用 $Mg^+$ イオン注入ドーズを注入エネルギー300 KeV時、 $1.5 \times 10^{13} \text{ cm}^{-2}$ まで増加するにつれて、 $2 \sim 5 \times 10^{12} \text{ cm}^{-2}$ 以上では $I_{sub}$ は $1 \text{ nA} / 10 \mu\text{m}$ 以下で飽和するのに対し、 $V_{th}$ の負方向シフト量は単調に低下することを示し、 $V_{th}$ 負方向シフトは基板リーク電流 $I_{sub}$ のみには律速されておらず、 $n$ チャネル厚変動に伴うゲート電界の2次元効果, あるいはピエゾ効果の影響を受けることを指摘した。 $V_{th}$ 均一性は $p$ 層用 $Mg^+$ イオン注入条件として、注入エネルギー300 KeVの時、ゲート長 $0.7 \mu\text{m}$ では注入ドーズ $2 \times 10^{12} \text{ cm}^{-2}$ ,  $0.5 \mu\text{m}$ では $5 \times 10^{12} \text{ cm}^{-2}$ の条件で $\sigma V_{th}$ の最小値 $\sim 20 \text{ mV}$ を得た。微小領域での $V_{th}$ マイクロ分布では、ゲート長 $0.7 \mu\text{m}$ で $60 \mu\text{m}$ ピッチ $3 \text{ mm}$ 角内測定で $\sigma V_{th} = 7 \text{ mV}$ が得られ、前章での $1 \mu\text{m}$ ゲートBP-FETでの $9 \text{ mV}$ より良好であることを確認し、 $\sigma V_{th} \leq 5 \text{ mV}$ を理想とする16-Kb SRAMレベルのLSIの実現可能性をより高めることができた。それ以上の高ドーズ注入では $\sigma V_{th}$ は増加するため、前章で述べた短チャネル効果の抑制と $V_{th}$ 均一性の向上との相関はなくなることが確認され、短チャネル効果の良好な抑制にもかかわらず、高ドーズ注入での注入損傷に伴う活性化率ばらつきが発生していることを指摘した。

5) BPLDDでの $K$ 値は3)での結果と同様、 $n'$ 層用注入ドーズとして $2 \times 10^{12} \text{ cm}^{-2}$ の付加でBP-FETとはほぼ同等の値が得られるが、 $g_m$ についてはドレイン電圧特性の向上による $\gamma$ パラメータの低減によりBP-FETに比べると約20%劣化することを示し、この $g_m$ の低下が $n^+$ 層用スルー注入プロセスを基本として最適化を進めてきたBPLDDの欠点であることを確認した。

6) BPLDDのゲート容量は、BP-FETに比べゲート・ $n^+$ 層間分離によりゲート端寄生容量が減少することを示し、ゲート長 $0.7 \mu\text{m}$ ではBP-FETで $1.0 \text{ fF} / \mu\text{m}$ がBPLDDで $0.5 \text{ fF} / \mu\text{m}$ へと半減することを確認した。特に短ゲート長では $n$ チャネル真性容量に対するゲート端寄生容量の比が増加する

ので、ゲート端寄生容量の低減の効果は顕著になり、ゲート長 $0.5\mu\text{m}$ ではBPLDDの全ゲート容量はBPの約74%にまで低下することを明らかにした。このために $f_T$ 、ゲート遅延時間はBPに比べ改善され、 $f_T$ はゲート長 $0.5\mu\text{m}$ で35GHz、ゲート遅延時間はゲート長 $0.7\mu\text{m}$ でゲート消費電力1mW時、15psと良好な性能が得られた。特にゲート遅延時間は同一実効ゲート長のBPでの約65%に改善され、ゲート長 $0.7\mu\text{m}$ のGaAs MESFETとしては世界最高レベルであることを確認した。またp層中の中性領域による寄生容量の付加がゲート遅延時間に及ぼす影響は、前章のBP-FETと同等以上に小さいことを明らかにした。

7) 5) に記したBPLDDの電流駆動能力 $g_m$ の一層の向上を図るために、さらに $n'$ 層、 $n^+$ 層の高濃度化によるソース直列抵抗の低下を図る際、短チャネル効果を従来型BPLDDと同程度に維持するために、 $n^+$ 層の薄層化と $n'$ 層長(ゲート・ $n^+$ 層間分離長)の増加を可能とする新プロセスとして、SiN/SiON 2層サイドウォールプロセスを開発した。これにより $n^+$ 層は注入エネルギー50KeVのSiN 500Åのスルー注入で $n$ チャネルと同程度の注入深さに形成でき、また従来型スルー注入での約2000Åのゲート側壁厚から約3000Åのサイドウォールに側壁厚を増加して $n^+$ 層用注入を行うことができ、この結果、 $n'$ 層用注入ドーズは従来型の2倍の $4\times 10^{12}\text{cm}^{-2}$ 、 $n^+$ 層用注入ドーズは $3\times 10^{13}\text{cm}^{-2}$ でピークキャリア濃度としては従来型の1.5倍に増加させることができた。改良型BPLDD-FETを作製し、評価した結果、ゲート長 $0.5\mu\text{m}$ で $V_{th}$ 均一性を3インチウェハ一面内で $\sigma V_{th}\leq 25\text{mV}$ に維持しつつ、 $g_m\sim 500\text{mS/mm}$ 、 $f_T\sim 50\text{GHz}$ 、と従来型BPLDDに比べ、 $g_m$ を約25%、 $f_T$ を約30%向上でき、またゲート遅延時間は7ps(ゲート消費電力2.5mW時)であり、 $0.5\mu\text{m}$ ゲートGaAs MESFETとしては世界最高速であることを確認した。

## 参考文献

- [1] 山崎, 水谷, 牧村, 島田「GaAs MESFET 技術 SAINT と特性」NTT 研究実用化報告 vol. 33, No. 4, 1984, pp.643-654.
- [2] 加藤, 山根, 松岡, 大和田, 守屋「GaAs MESFET の短チャネル効果に対するN<sup>-</sup>-ゲート間隔の影響」電子通信学会研究会資料 SSD83-34, 1983, pp.9-14.
- [3] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", *IEEE J. Solid-State Circuits*, vol. SC-15, No. 4, Aug. 1980, pp.424-432.
- [4] K. Mayaram, J. C. Lee, and C. Hu, "A Model for the Electric Field in Lightly Doped Drain Structures", *IEEE Trans. Electron Devices*, vol. ED-34, No. 7, Jul. 1987, pp.1509-1518.
- [5] R. Izawa, T. Kure, and E. Takeda, "Impact of the gate-Drain Overlapped Device (GOLD) for Deep Submicrometer VLSI", *IEEE Trans. Electron Devices*, vol. ED-35, No. 12, Dec. 1988, pp.2088-2093.
- [6] T. Y. Huang, W. W. Yao, R. A. Martin, A. G. Lewis, M. Koyanagi, and J. Chen, "A novel submicron LDD transistor with inverse-T gate structure", in *IEDM Tech. Dig.*, 1986, pp.742.
- [7] N. Matsunaga, M. Miyazaki, Y. Umemoto, J. Shigeta, H. Tanaka, and H. Yanazawa, "Gallium arsenide MESFET technologies with 0.7  $\mu$  m gate-length for 4Kb 1ns static RAM", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.129-132.
- [8] S. Asai, N. Goto, M. Kanamori, Y. Tanaka, and T. Furutsuka, "A High Performance LDD GaAs MESFET with a Refractory Metal Gate", in *18th Conf. on Solid State Devices and Materials (Tokyo, Japan)*, 1986, pp.383-386.
- [9] M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A High - Speed and Highly Uniform Submicrometer - Gate BPLDD GaAs MESFET for GaAs LSI's", *IEEE Trans. Electron Devices*, vol. ED-39, Apr. 1992, pp. 757 -766.
- [10] S. M. Sze, *High-Speed Semiconductor Devices*, Wiley-Interscience, 1990.
- [11] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.
- [12] S. Furukawa and H. Ishiwara, *J. Appl. Phys.*, vol. 43, 1972, pp.1268.
- [13] E. P. Finchem, W.A. Vetanen, B. Odekirk, and P. C. Canfield, "Reduction of backgate effect in GaAs MESFETs by charge confinement at the backgate electrode", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.231-234.
- [14] K. Inokuchi, M. Tsunotani, T. Ichioka, Y. Sano, and K. Kaminishi, "Suppression of sidegating effect for high performance GaAs ICs", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.117-120.

- [15] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.
- [16] S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.41-44.
- [17] C. T. Chang, T. Vrotsos, M. T. Frizzel, and R. Carroll, "A subthreshold current model for GaAs MES FET's", *IEEE Electron Device Lett.*, vol. EDL-8, No. 2, Feb. 1987, pp.69-72.
- [18] Y. Awano, M. Kosugi, M. Kosemura, T. Mimura, and M. Abe, "Short-channel effects in subquarter-micrometer-gate HEMT's : Simulation and experiment", *IEEE Trans. Electron Devices*, vol. ED-36, Oct. 1989, pp.2260-2265.
- [19] P. M. Asbeck, C. P. Lee, and M. C. F. Chang, "Piezoelectric effects in GaAs FET's and their role in orientation-dependent device characteristics", *IEEE Trans. Electron Devices*, vol. ED-31, 1984, pp.1377-1380.
- [20] T. Humer-Hager and P. Zwicknagl, "Annealing Behaviour of Be- and Mg-Implants in GaAs", *Japan. J. Appl. Phys.*, vol. 27, no. 3, Mar. 1988, pp.428-433.
- [21] T. Takada, N. Yokoyama, M. Ida, and T. Sudo, "A MESFET variable-capacitance model for GaAs integrated circuit simulation", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, no. 5, 1982, pp.719-724.
- [22] M. Pinto, C. S. Raferty, H. R. Yeager, and R. W. Dutton, "PISCES II and II-B", Reports issued by the Stanford University Integrated Circuit Laboratory, 1984 and 1985. G-PISCES-IIB is a product of Gateway Modeling, Inc.
- [23] Y. Yuba, T. Ishida, K. Gamo, and Namba, "Characterization of ion beam etching induced defects in GaAs", *J. Vac. Sci. Technol.*, vol. B6, no. 1, Jan./Feb. 1988, pp.253-256.
- [24] J. Hui, F. C. Hsu, and J. Moll, "A New Substrate and Gate Current Phenomenon in Short-Channel LDD and Minimum Overlap Devices", *IEEE Electron Device Lett.*, vol. EDL-6, No. 3, Mar. 1985, pp.135-138.
- [25] P. K. Ko, S. Tam, and C. Hu, "ENHANCEMENT OF HOT-ELECTRON CURRENTS IN GRADED-GATE-OXIDE(GGO)-MOSFETS", in *IEDM Tech. Dig.*, Dec. 1984, pp.88-91.
- [26] Y. Kohno, K. Maemura, M. Sakai, T. Matsui, Y. Higaki, H. Takano, and M. Otsubo, "Enhancement of electrical asymmetry in GaAs LDD SAGFETs by piezoelectric effect", in *Proc. 17th Int. Symp. on GaAs and Related Compounds* (Jersey, England, 1990), pp.527-532.
- [27] T. Eimori, H. Ozaki, H. Oda, S. Ohsaki, J. Mitsuhashi, S. Satoh, and Matsukawa, "The Improvement of

- LDD MOSFET's Characteristics by the Oblique-Rotating Ion Implantation", in *19th Conf. on Solid State Devices and Materials (Tokyo, Japan)*, 1987, pp.27-30.
- [28] S. Matsuo and Y. Adachi, "Reactive Ion Beam ECR Ion Source", *Japan. J. Appl. Phys.*, vol. 21, no. 1, Jan. 1982, pp.L4-L6.
- [29] S. Samukawa, M. Sasaki, and Y. Suzuki, "Perfect selective and highly anisotropic electron cyclotron resonance position", *J. Vac. Sci. Technol.*, vol. B8, no. 5, Sep./Oct. 1990, pp.1062-1067.
- [30] M. Noda, K. Hosogi, K. Sumitani, H. Nakano, K. Nishitani, M. Otsubo, H. Makino, and A. Tada, "A GaAs MESFET with a Partially Depleted p Layer for SRAM Applications", *IEEE Trans. Electron Devices*, vol. ED-38, No. 12, Dec. 1990, pp.2590-2598.
- [31] M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A High-Speed and Highly Uniform Submicrometer-Gate BPLDD GaAs MESFET for GaAs LSI's", *IEEE Trans. Electron Devices*, vol. ED-39, No. 4, Apr. 1990, pp.757-766.
- [32] Y. Yamane, T. Enoki, S. Sugitani, and M. Hirayama, "5.9 ps/gate operation with 0.1  $\mu$  m gate length GaAs MESFET's", in *IEDM Tech. Dig.*, Dec. 1988, pp.894-896.

## 第4章 GaAs LSI用多層化配線

### 4.1 緒言

GaAs LSI用トランジスタの精力的な研究開発に比べ、GaAs LSI用配線技術の研究報告はそれほど多くない。その理由は実用レベルではSi LSIと未だ肩を並べるに至っていないGaAs LSI技術において、トランジスタ開発がより本質的でありそちらに開発の比重が置かれているためと考えられる。基本的に配線技術はGaAs材料特有の影響をトランジスタほど強くは受けない。極端に言えば、Si LSI配線技術を可能な限りそのまま使用することがGaAs LSI実用化への近道とも考えられる。

しかしながら、現実的にそれに至らなかった技術的な理由が幾つか存在する。それらを以下に述べる。

1) 通常のSi LSI配線プロセスには、400°C以上の高温プロセスが存在する。

poly-Si配線は600~900°Cの熱CVD法で形成するからもちろんのこと、poly-Siを用いない場合も例えば平坦化プロセスであるPSG (Phosphosilicate Glass) 等のリフロープロセス、あるいはSOG (Spin On Glass) の熱処理によるSiO<sub>2</sub>化がそれに当たり、それらの処理温度はGaAsでのAuGe/Ni オーミック電極のアロイ化処理温度である約400°Cより高い。

2) GaAs オーミックメタルAuGe/Niとのコンタクト特性、その信頼性の点において、Siプロセスでの配線材料であるAlは、Auと高抵抗の化合物Au-Alを形成するためコンタクト不良が生じやすく直接コンタクト構造は使用できない。そのためAu-Al間の安定な低抵抗コンタクトを可能とするバリアメタル構造を開発する必要がある [1]。

3) 従来よりマイクロ波 GaAs IC においてGaAs オーミックメタルAuGe/Niと良好なコンタクト特性、信頼性を有する配線材料としてAuが用いられている。特に高周波用低抵抗厚膜伝送線路としてAuメッキ配線は、その長所である低配線容量をも生かし上述のマイクロ波 IC において多用されている。

以上、特に1)の点でSi LSIの標準配線プロセスは適用できないため、現在までのGaAs LSI用配線はほとんどAu配線をベースに開発されてきている。それらのパターン形成は基本的に1) Au蒸着、リフトオフ、2) Auスパッタ、イオンミリング、3) Auメッキによるエアブリッジ、の3種類に分けられる。層間絶縁膜には400°C以下の低温形成で十分良質かつステップカバレッジの良いプラズマCVD膜 (SiO, SiON, SiN等) が用いられる。このうち1)の蒸着、リフトオフプロセスは、加藤らがSRAMに適用しているが [2]、蒸着法が指向性の強い成膜形成手段であるのでステップカバレッジが悪く断線を生じやすいこと、またリフトオフ時に配線パターン端で加工不良 (毛羽) が発生しやすく上層の配線形成を困難にすることから、本GaAs LSI用配線プロセスには不相当と考えられる。また3)

のエアブリッジ配線は多層化するのが困難なこと，さらに配線スパンをLSIの信号配線に使えるほど長くできていないこと等の理由から，現実的には単一層適用止まりである。以上のことからGaAs LSI用配線としては，配線材料自体は異なるもののSiプロセスで適用している2)の配線メタルのスパッタ成膜とそのドライ加工からなる配線プロセスが配線パターン不良発生率を十分低減できる点で現実的であるため，多くのGaAs LSI開発機関により適用されてきた[3], [4] [5]。

一方，GaAs LSIは，基本的に高速動作であることを宿命づけられているが，長谷川らが詳細に検討しているように動作速度が配線律速となっているため [6]，LSI動作速度と配線遅延の関係を十分に検討する必要がある。配線プロセス技術として，高速化には配線容量，配線抵抗を低減することが必要となるが，層間絶縁膜の低誘電率化は配線容量低減に特に有効であり[7]，その究極の構造がエアブリッジ構造である。但しその多層化は前述の通り困難であり，多層配線全てをエアブリッジ化することは現実的でない。

また配線遅延は上述したデバイス構造による配線容量，抵抗の低減以外に，回路レイアウトの変更—例えば回路レイアウトを多層化して配線長を短縮するという手法も考えられる。但しその場合は，多層化による下層配線とのクロスオーバー容量増加による配線遅延時間の増大と前述の配線長短縮による配線遅延時間の低下とのトレードオフを検討する必要がある [8]。

以上の観点から近年のGaAs LSI用配線技術の進展としては，多層化が少なくとも3層まで進んだこと [9], [10], [11]，層間絶縁膜としてPMSS (Silylated poly-methyl silsequioxane) [12] といった低誘電率の有機系材料，またエアブリッジメタルとしてAu/Rh多層構造 [13] としてエアブリッジたわみを補強する等の新材料を適用したこと，またLSI適用可能なエアブリッジプロセス技術を開発したこと [14] が挙げられる。

筆者が本研究に着手した時点ではAuの蒸着，リフトオフによる配線形成プロセスが一般的であったが，前述の通りLSI用プロセスとしては不適であったため，スパッタ，イオンミリングによるAu加工プロセスを先駆的に開発し [9]，3層までの多層化を図った。また動作速度が配線律速となるLSIレベルの集積度では配線容量の低下が不可欠であるが，低容量化に最も有効なエアブリッジ配線構造を初めてLSIに適用した [14]。さらに実際のGaAs LSIの動作時間についてFET真性遅延と配線遅延とを定量的に比較，検討した例は少なく，本研究ではLSI，特にSRAMにおける配線遅延を分布定数RC線路モデルで定量的に計算して，配線遅延の低下のLSI高速化への寄与を検討した。本章では上述のAuスパッタ，イオンミリングによる多層配線プロセス，Auエアブリッジ配線構造のLSIへの適用，そしてGaAs LSI動作速度と配線遅延の関係について検討した結果を述べる。

## 4. 2 Au系多層化配線プロセス技術

### 4. 2. 1 イオンミリングによるAu配線形成技術

前節で述べた様に、GaAs ICではFETのオーミック電極が通常AuGe-Niであるため、コンタクト性、信頼性の点から配線材料にはAu系材料が用いられている。一般的なAu系配線として、Ti/Au, Ti/Pt/Au, Ti/Mo/Au [15] 等の多層構造配線が用いられている。最下層のTiは、下地との密着性を良くするためのもので、中間層のPt, MoはTiとAuとの反応を抑えて配線の信頼性を向上させる目的で挿入されている。最上層のAuが最も厚く低抵抗で実質的な電気伝導体となっている。本研究ではLSI用配線として上述の多層構造膜のうちTi/Auを選定した。カバレッジを良くするためにスパッタ法で成膜した後Ar<sup>+</sup>イオンによるイオンミリング法によりパターン形成した。イオンミリングを用いる理由は、Auが化学的に安定でありプラズマエッチングやRIEでの化学的反応による加工は困難だからである。

Ar<sup>+</sup>イオンによるイオンミリングでの各種材料のエッチングレートを図4-1に示す。イオンミリングはイオンの物理的スパッタであるため、そのエッチングレートは材料のスパッタ率により異なり、スパッタ率はイオンのエネルギー密度、入射角度に依存する。

イオンミリングによるパターン形成において注意すべき事は、1) 前述のイオンミリングレートがイオン入射角度により変わること [16], 2) レジストに対するAuのエッチングレート比が十分大きくないため、レジストのサイドエッチに伴うAu加工寸法が減少すること [17], 3) スパッタエッチされた物質がプラズマエッチング、RIEのように気化されて排気されずに、そのまま再付着すること [18], そして4) イオンビーム損傷が発生すること [19], 等である。

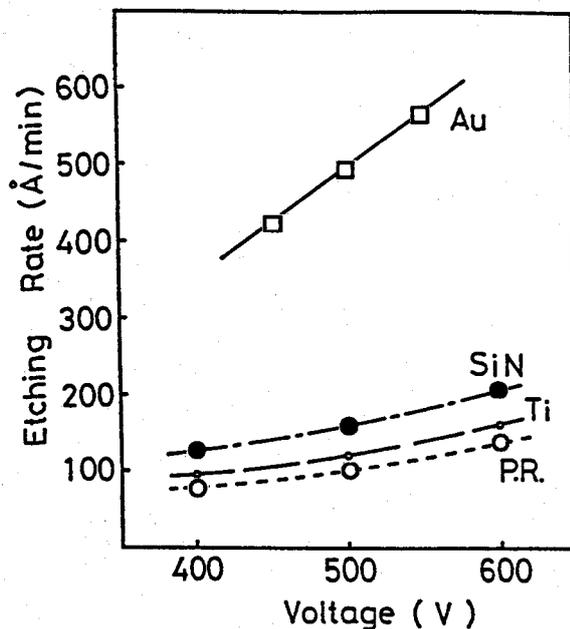


図4-1  
Ar<sup>+</sup>イオンによるイオンミリング  
での各種材料のエッチングレート

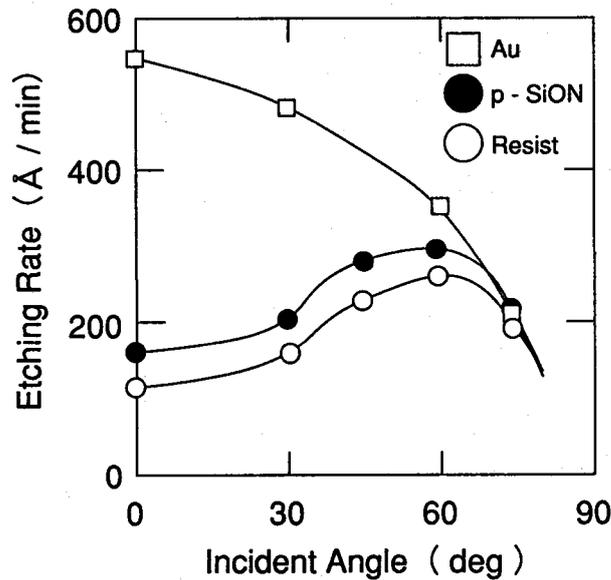


図4-2 イオンミリングレートのイオン入射角度依存性

図4-2にAuとフォトレジストのイオンミリングレートのイオン入射角度依存性を示す。エッチングマスクとなるレジストではイオン入射角度60度付近でイオンミリングレートが最大になることが分かるが、これはレジストマスクに対してイオンビームを垂直に照射した場合、約60度傾いた面 (facet) がエッチングの進行に伴いレジストエッジに発生しだすことを意味する [16]。この様子を図4-3に示す。エッチング時間が経過するとレジストは最初の矩形状から三角形状となり、レジストエッジからレジストパターンのサイドエッチングが始まる。このレジストの形状変化はそのまま下地のAuの加工形状に現れ、最終的に設計寸法より細くて三角形状をしたAuの配線パターンが形成される。三角形状は配線抵抗の増加とばらつき、さらには断線の危険も増大するので矩形状にする必要がある。それにはイオンビーム入射角度をレジストに対して垂直方向から約30度傾けることが有効である。それは上に述べたレジストのfacet面がAu表面に対して垂直になるからである。このイオンビーム入射角度 $\theta=0, 30$ 度でのイオンミリング形状のSEM写真を図4-4に示す。実際のイオンミリングではGaAs基板の方を傾斜し、かつ回転しながらエッチングを行った。図4-4より、 $\theta=0$ 度で加工形状が三角形状であったのが、 $\theta=30$ 度ではより矩形状に近づいているのが分かる。但し $\theta$ が増加すると、レジスト、及びエッチングにより発生する段差によって、ある時間では照射イオンビームがこれらの影になりエッチングレートの遅い部分がレジスト端部から発生する。これによるエッチング残りが図4-4の $\theta=40$ 度の加工パターン近傍に見られる。つまり上に述べたfacet面とは別の緩やかな傾斜面が残るため、ある程度のオーバーエッチングが必要となる。この時はその傾斜面の角度は基板表面の角度に極めて近いので、図4-2のAuのイオンビーム入射角度依存性により最もエッチングレートが高い入射角度 $\theta=0$ 度でエッチングすることが有効である。この時の加工形状を $\theta=30$ 度+0度として図4

—4に合わせて示す。上述の $\theta = 30$ 度の場合は矩形パターンを形成できるが、Au表面に対して垂直となった facet 面でのエッチングレートが高くパターンシフトが大きい懸念がある。しかしながら実際には図4—1に示したAuとレジストのエッチングレートの差によりパターンシフトは十分小さい。その結果を表4—1に示す。例えば設計寸法 $1\mu\text{m}$ の時、パターンシフトは $0.1\mu\text{m}$ 、即ち10%以下である。この表において第1層配線 (Ti/Au = 500 Å/5000 Å) に比べ第2層配線 (Ti/Au = 500 Å/8000 Å)の方がわずかにシフト量が多い傾向があるが、これは第2層配線の厚みが約55%厚くエッチング時間が長いと考えられる。また加工後寸法として約 $0.7\mu\text{m}$ の微細パターンまでは十分形成可能であると言える。

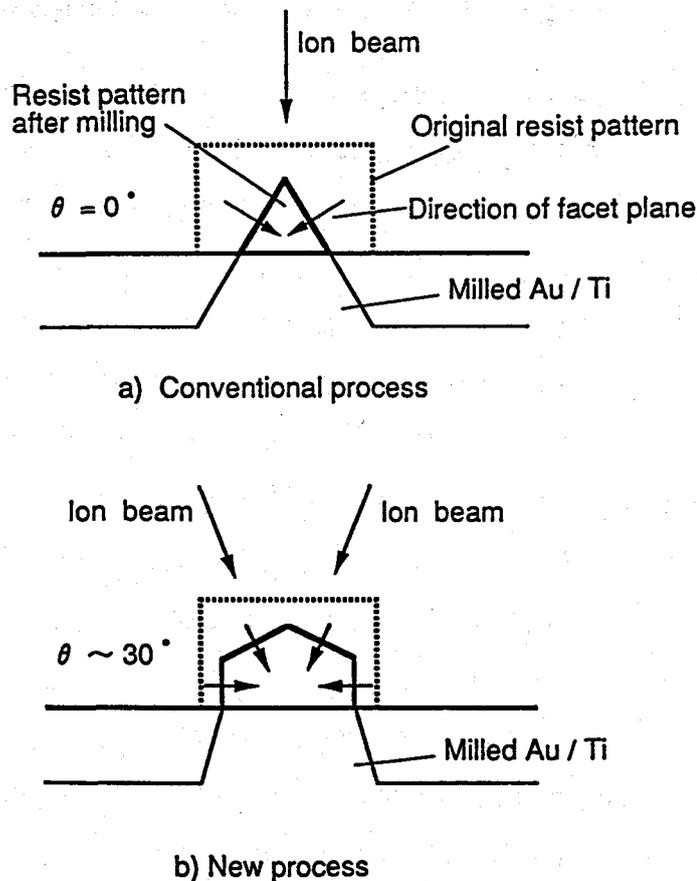


図4—3 イオンミリングによるレジストエッジでの facet の発生

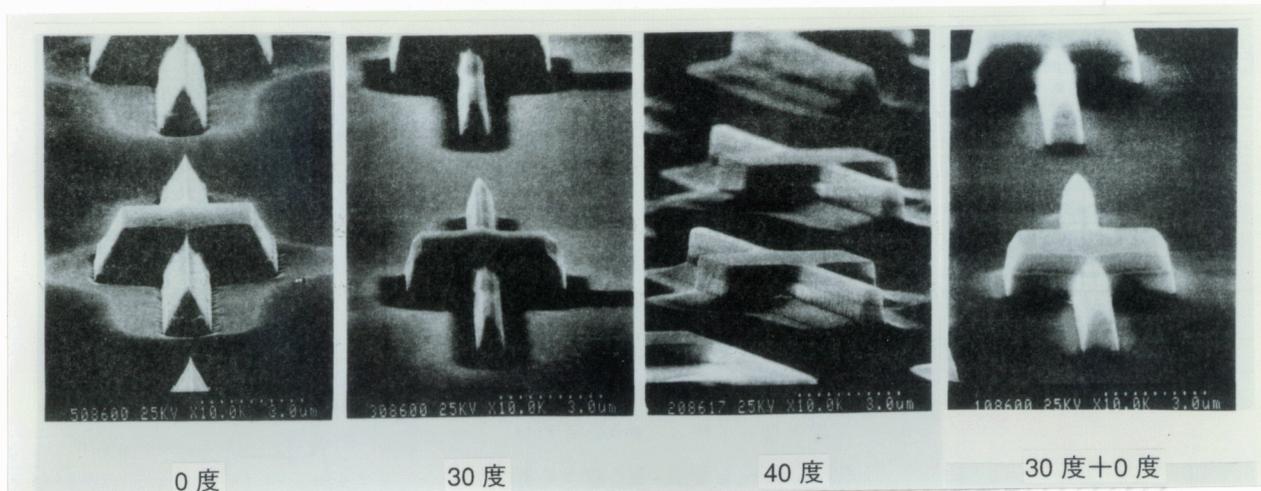
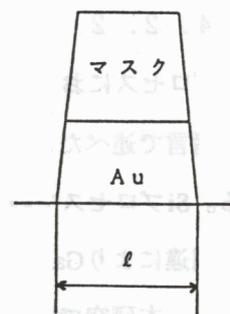


図4-4 Auのイオンミリング形状のSEM写真

表4-1 イオンミリングによるAuの加工寸法

設計寸法: x ( $\mu\text{m}$ )	第1層配線		第2層配線	
	配線幅: $\ell$ ( $\mu\text{m}$ )	パターンシフト $\ell-x$ ( $\mu\text{m}$ )	配線幅: $\ell$ ( $\mu\text{m}$ )	パターンシフト $\ell-x$ ( $\mu\text{m}$ )
0.8	0.67	-0.13	0.67	-0.13
1.0	0.92	-0.08	0.90	-0.10
1.5	1.42	-0.08	1.43	-0.07
2.0	1.93	-0.07	1.90	-0.10



イオンビーム入射角度  $\theta = 0$  度の場合、レジストマスクが矩形状であればその側壁部にはイオンは照射されないでエッチングされず、逆にAu表面からエッチングされたAuが側壁部に付着する。この側壁面はエッチング開始時には基板面に対し垂直でありほとんどエッチングされないで、エッチングの進行に伴いAuの付着量が増えてエッチング終了後のAuパターンはマスクパターンより太くなる。またレジスト側壁に付着したAuはレジスト除去後Auパターンエッジに突起として残る。これは上層との配線短絡の原因になる。これらの様子を図4-5に示す。上述の斜めからのイオンビーム入射角度を有するイオンミリングはレジスト側壁面にイオンが照射されるので、この再付着を防ぐ方法としても有効である。

以上、斜めからのイオンビーム入射角度として  $\theta = 30$  度を用いたイオンミリングにより、矩形状でパターンシフトが約  $0.1 \mu\text{m}$  と十分小さいAu配線パターンを加工後寸法約  $0.7 \mu\text{m}$  まで形成できることを確認した。

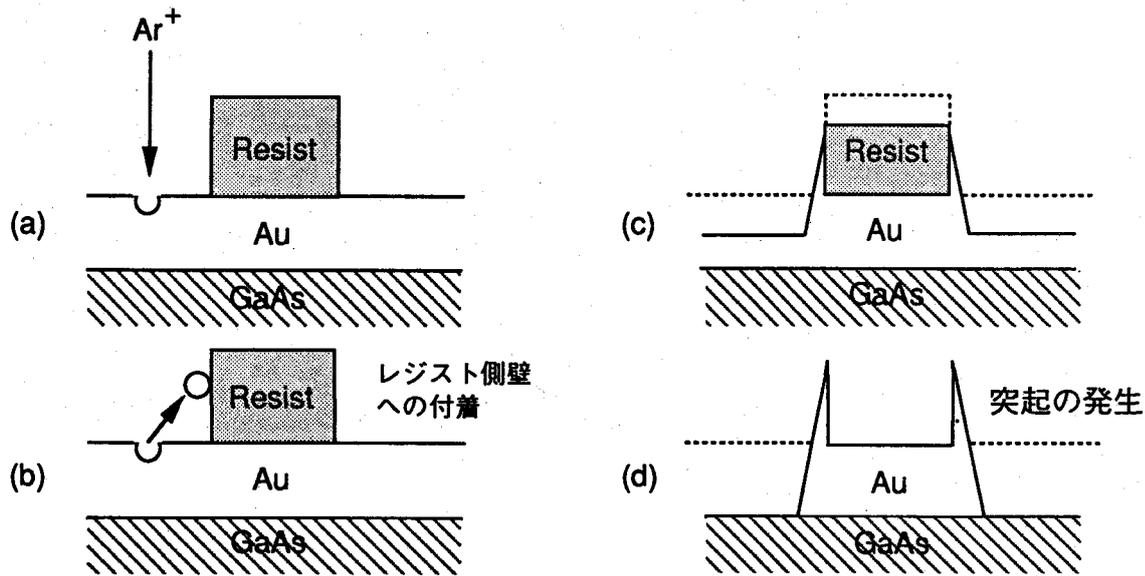


図4-5 レジスト, Au加工側壁部へのAuの再付着

#### 4. 2. 2 層間絶縁膜形成技術 — 平坦化・平滑化技術

Siプロセスにおける層間絶縁膜は、通常熱CVDによる $\text{SiO}_2$ が多用されるが、GaAsプロセスでは4.1の緒言で述べたように $400^\circ\text{C}$ 以下の低温プロセスでなければならないため、プラズマCVD法が用いられる。SiプロセスでのプラズマCVD法と同様に $\text{SiO}_x$ ,  $\text{SiN}_x$ を使用できるが、 $\text{SiN}_x$ はGaAsとの熱膨張係数の相違によりGaAs基板上では剥がれ易いため、より密着性の良い $\text{SiO}_x$ あるいは $\text{SiO}_x\text{N}_y$ が多用されている。本研究では $\text{SiO}_x\text{N}_y$ （以後SiONと記載）を層間絶縁膜として採用した。

パターンの微細化が進んでも、その高さ方向、即ち配線メタル、層間絶縁膜の厚みはある限界値より薄くはできない。何故ならば、配線抵抗は十分低抵抗である必要があること、層間絶縁膜は配線容量を増加させてはならないこと、絶縁破壊電圧をある一定値以下にできないこと、等のためである。さらに配線メタル、層間絶縁膜は同時に信頼性を維持しなければならない。また微細化は異方性エッチングによりなされるので、配線メタル、層間絶縁膜がある一定の膜厚を維持する時、そのパターンのアスペクト比（パターン幅に対するパターン厚の比）は増大する。このような段差のある配線の上にさらに微細配線を形成する場合、以下の問題が発生する。

- 1) リソグラフィ工程におけるパターン解像度の劣化
- 2) 配線形成時に段差側壁にエッチング残りが生じる等のエッチング不良
- 3) 配線のカバレッジ不良に起因するエレクトロマイグレーションあるいは断線等
- 4) 段差に伴う実効的な配線長増加による配線抵抗や容量の増大

このような問題を解決するのに平坦化技術は不可欠である。

Siプロセスにおける平坦化方法をおおまかに分類すると、

1) 固体に熱を加えて流動性を持たせてリフローする方法

通常PSG (Phosphosilicate Glass) 膜をウエハ全面に形成した後、約1000℃の高温熱処理によってリフローして平坦化する。

2) 液体の流動性を利用する方法

常温で液体であるSOG (Spin On Glass) 膜や有機樹脂膜 (ポリイミド膜等) を塗布後、熱処理する。

3) エッチングによって平坦な面を形成する方法

スパッタ率の角度依存性を利用した凸部を平坦化するスパッタエッチ法やバイアスECR-CVD法、また2) と組み合わせたエッチバック法等がある。

4) 凹部に選択的に材料を埋め込む、あるいは成長させる方法

コンタクトホールへの埋め込み方法として、スペーサリフトオフ法やWの選択CVDがある。

GaAs LSI において多層配線を形成するためには、使用している材料やプロセス条件と整合のとれる平坦化技術が必要となる。プロセス上の大きな制約は、4. 1で述べた様に約400℃以下の低温プロセスでなければならない事で、このため高温処理の必要なりフロー法は使用できない。これに対しSOGや有機樹脂膜 (ポリイミド膜) では400℃以下の低温処理でも形成が可能で、そのプロセスも後に述べる様に比較的容易なためGaAs LSI用にプロセスを検討した。

プラズマCVD法によるSION膜はカバレッジが良好なために下地配線パターンの形状をそのまま反映して形成される (図4-6) ので、このままの状態ではAuをスパッタした後前節での述べたイオンミリングによってAu配線を形成する方法では、図4-7に示すようなエッチング残りが発生するために同層の配線との間で短絡が生じやすくなる。このような問題を解決するために、図4-6の上部にSOGを塗布すると図4-8の様に段差部の平坦化が可能となる。通常SiプロセスではこのSOG塗布による平坦化の後、高温熱処理によりSOGを焼きしめるわけであるが、GaAsプロセスでは400℃以下の熱処理しかできないことから、膜中にOH基を含んでいるためにこの後の熱処理によって"ふくれ"を生じる場合がある。そこでイオンミリングにより段差部以外のSOG膜をほとんどエッチング除去する工程を付加することにより、図4-8の平坦性はほぼ維持したまま上述のふくれのない、信頼性の高い配線を形成することができた。このようなSOG法を用いた2層配線プロセスフローを図4-9に示す。また本プロセスで作製した2層配線の断面図を図4-10に示す。図4-7で見られたAuのエッチング残りは発生していないことが分かる。

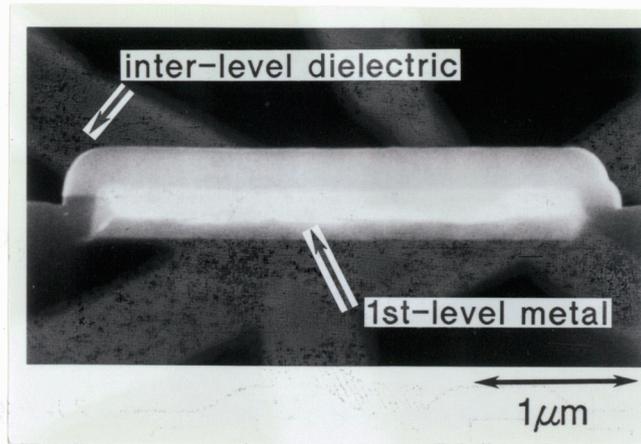


図4-6 第1層Au配線上の第1層間SiON絶縁膜のカバレッジの様子

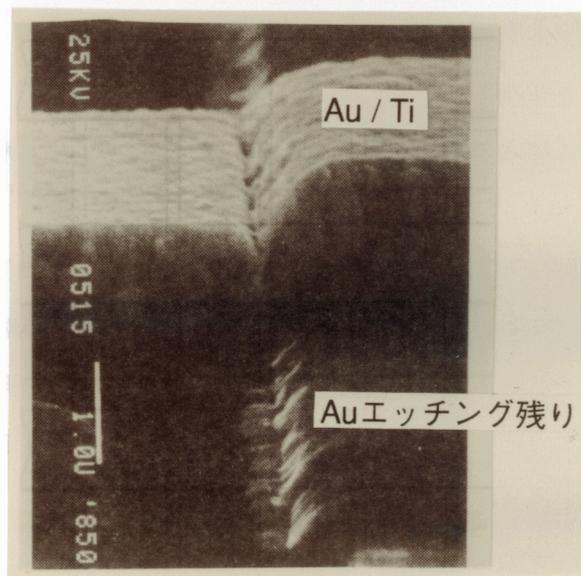


図4-7 Auイオンミリングでエッチング残りが発生した段差部のSEM写真

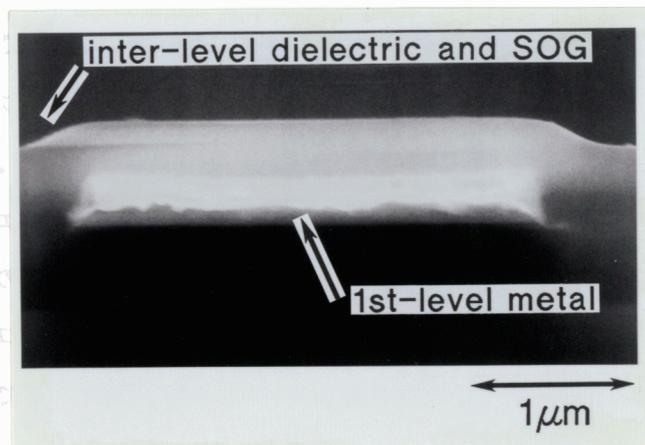


図4-8 SOGによる下地段差部の平坦化

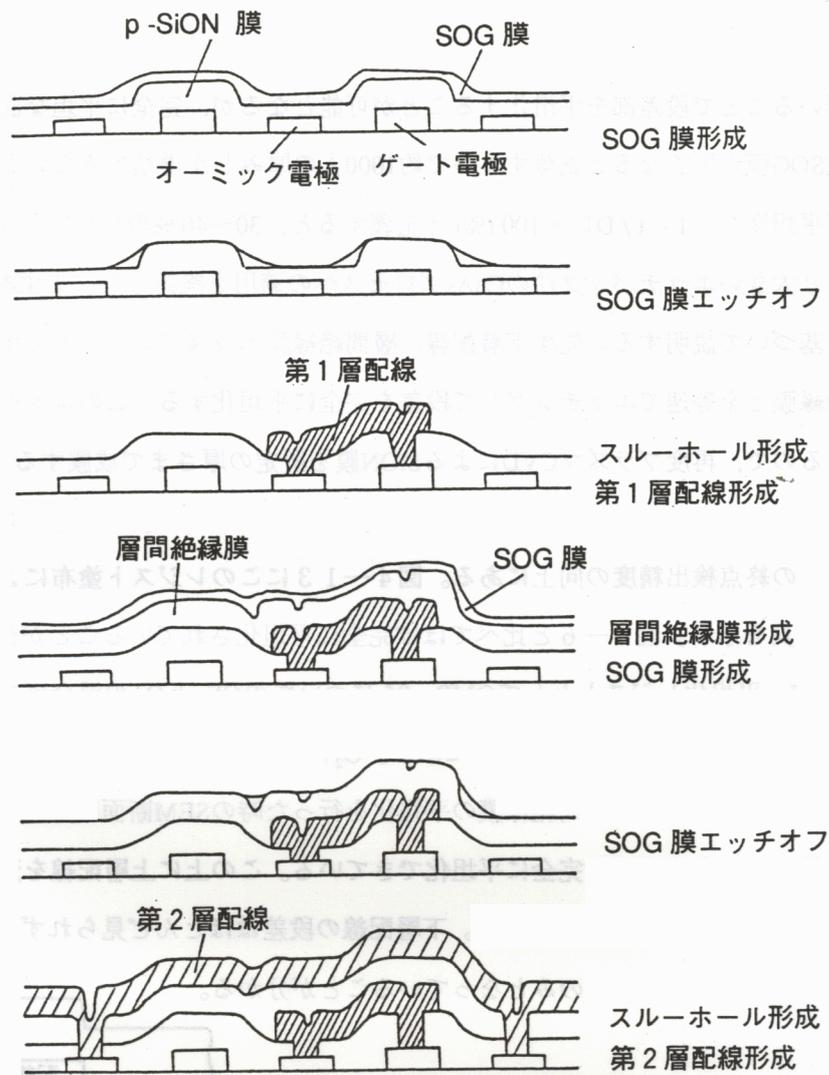


図4-9 SOG法を用いた2層配線プロセスフロー

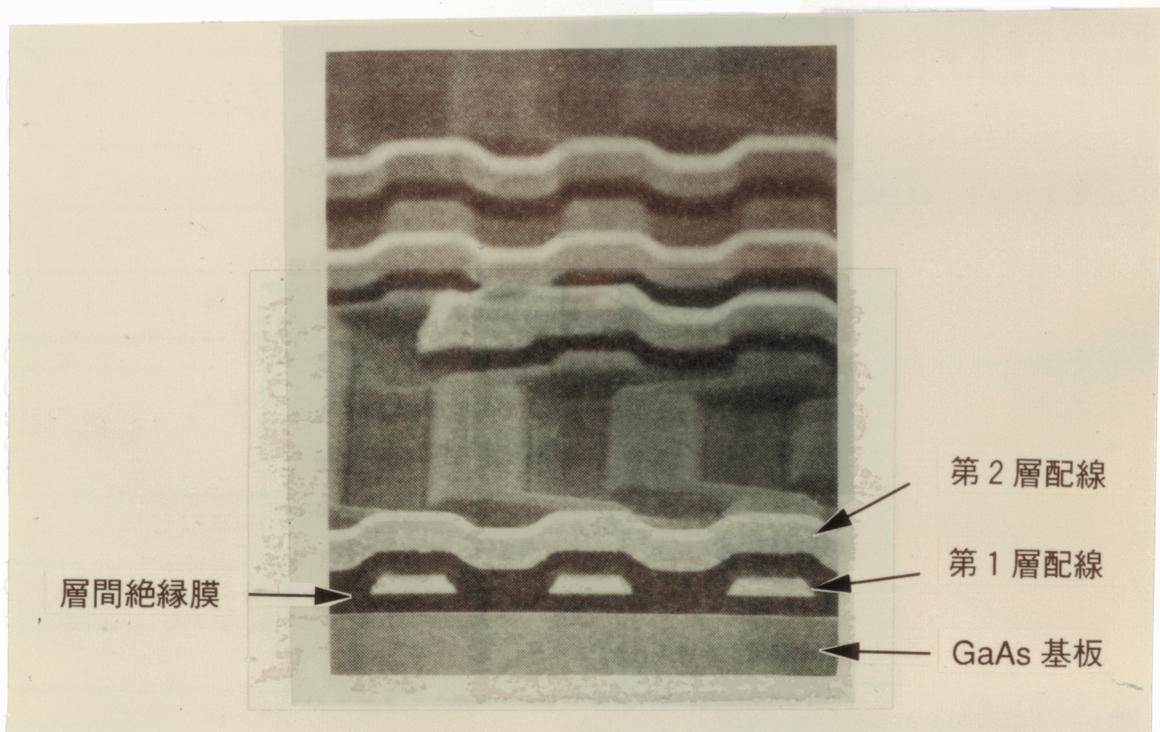


図4-10 SOG法で形成した2層配線の断面図

SOG法を用いることで段差部を平滑化することが可能となるが、完全に平坦な面を得ることはできない。それはSOG膜が厚くなると剥離するので約1000Åの厚みしか堆積できないからであり、図4-11において平坦度を  $(1 - t/D) \times 100(\%)$  と定義すると、30~40%の平坦度しか得られない。そこで平坦度のより大きいエッチバック法のGaAsプロセスへの適用を検討した。まず本方法のプロセスを図4-12に基づいて説明する。先ず下層配線、層間絶縁膜形成後にレジストを塗布する。次にレジストと層間絶縁膜とを等速でエッチングして段差を完全に平坦化する。このエッチングにより層間絶縁膜は薄くなるので、再度プラズマCVDによるSiON膜を所定の厚さまで成膜する。エッチバック法のポイントはレジスト塗布時の平坦性を確保すること、レジストと絶縁膜を等速でエッチングすること、及びエッチングの終点検出精度の向上にある。図4-13にこのレジスト塗布により段差を平坦化した場合のSEM写真を示す。図4-6と比べてほぼ完全に平坦化されていることが分かる。次に層間絶縁膜としてSiON、平坦化レジストとしてOMR-85についてのCF<sub>4</sub>とO<sub>2</sub>の混合ガスでのRIEによるエッチングレートとO<sub>2</sub>濃度依存性を図4-14に示す。O<sub>2</sub>濃度が約43%の時に等速エッチングが達成されることが分かる。この条件で層間絶縁膜の平坦化を行った時のSEM断面図を図4-15に示す。わずかな段差が見られるもののほぼ完全に平坦化できている。この上に上層配線を形成した際の45度方向からの表面SEM写真を図4-16に示す。下層配線の段差はほとんど見られず、上層配線を形成する面の凹凸はコンタクトホール部のみとなっていることが分かる。

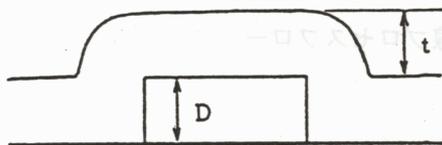


図4-11 段差部の模式図

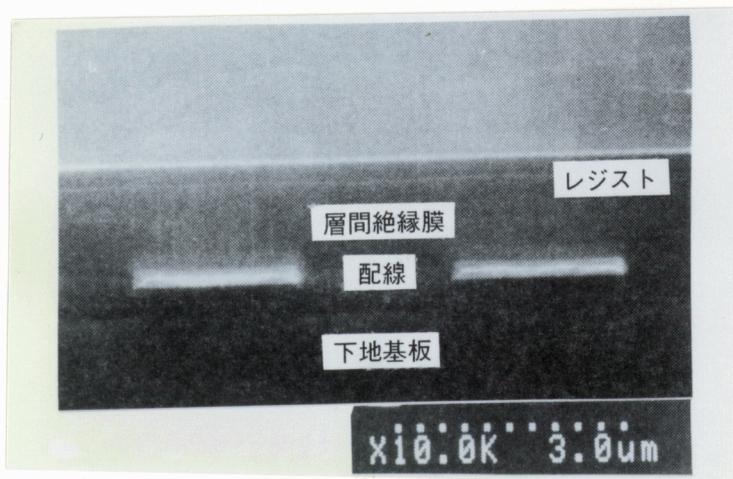
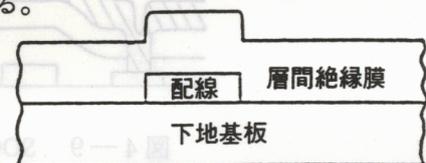
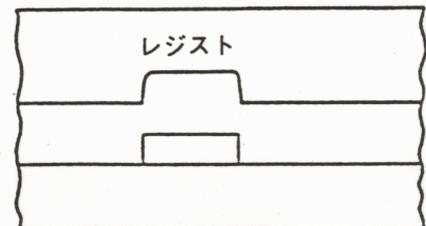


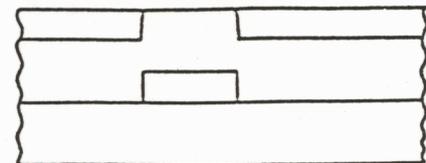
図4-13 レジスト塗布後の段差平坦化の様子のSEM写真



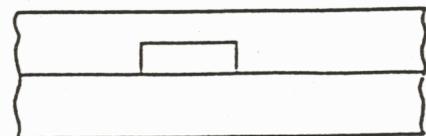
(a)



(b)



(c)



(d)

図4-12 エッチバックプロセスフロー

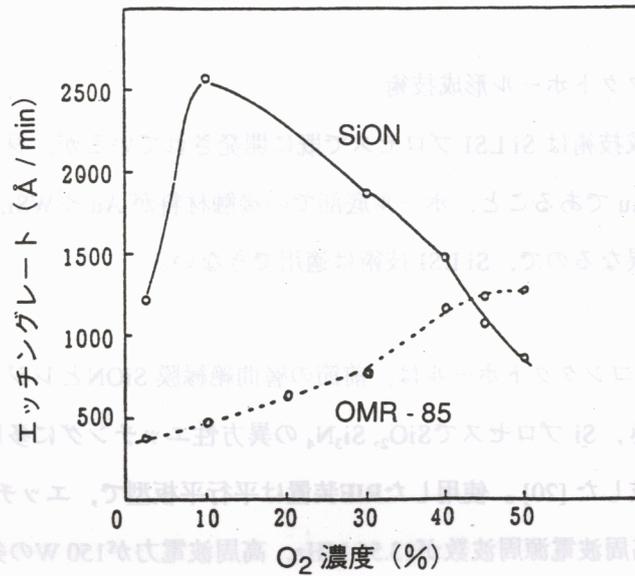


図4-14 SiON, 平坦化レジストOMR-85のRIE エッチングレート $O_2$ 濃度依存性

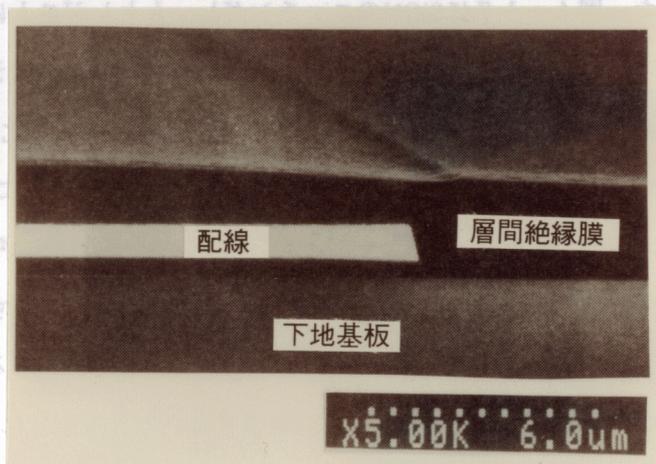


図4-15 エッチバック後の平坦化の様子

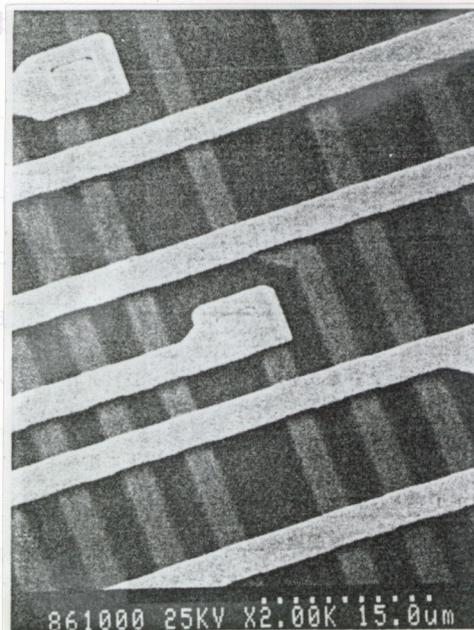


図4-16 エッチバック平坦化後に上層配線が形成された表面

#### 4. 2. 3 コンタクトホール形成技術

コンタクトホール形成技術は Si LSI プロセスで既に関発されているが、材料が GaAs であること、ホール埋め込み金属が Au であること、ホール底部での接触材料が Au や  $WSi_x$  であることから Si プロセスとは状況が大きく異なるので、Si LSI 技術は適用できない。

$2\mu\text{m}$ 径以下の微細なコンタクトホールは、前節の層間絶縁膜 SiON とレジスト、 $WSi_x$ 、Au、GaAs との選択比を大きくでき、Si プロセスで  $SiO_2$ 、 $Si_3N_4$  の異方性エッチングに多用されている  $CHF_3$  ガスによる RIE 法により形成した [20]。使用した RIE 装置は平行平板型で、エッチングはガス圧が 10 Pa、ガス流量が 100 sccm、高周波電源周波数が 13.56 MHz、高周波電力が 150 W の条件下で行った。この装置はカソードカップリング方式でありカソード電極は Al、アノード電極は石英で作られている。また電極間隔は 5 cm である。先ず SiON に対する  $CF_3^+$  活性イオンのエッチングレートを増加させるために  $O_2$  添加の効果を検討した。図 4—17 に SiON のエッチングレートとレジストに対する選択比の  $O_2$  濃度依存性を示す。 $O_2$  濃度の増加と共に SiON のエッチングレートは増加するがレジストとの選択比は低下する。 $O_2$  濃度比が 4% 以下ではレジストがエッチングされなくなるため選択比は著しく増加する。 $O_2$  濃度が小さくなると SiON とのエッチング反応で  $C + O \rightarrow CO \uparrow$  の反応が起こりにくくなり、特にレジスト上には C が過剰になる。このため  $C + F \rightarrow CF \downarrow$  の反応により CF ポリマーが発生しやすくなり、これがレジスト上に堆積することによりレジストのエッチングレートが低下し対レジストとの選択比が大きくなる。また選択比が増加するものの SiON のエッチングレートが低下するのは、レジスト表面に比べて C の供給量は少ないが CF ポリマーが SiON 上に堆積するためと考えられる。本研究では、選択比は低い  $O_2$  濃度変化に対してより安定と考えられる  $O_2$  濃度として 10% を選んだ。この時レジストに対する選択比は 4 であり実用上問題はない。また  $WSi_x$ 、GaAs との選択比は約 10、Au との選択比は 10 以上が得られている。

4000 Å の SiON 膜を GaAs ウエハ上に形成してその上にコンタクトホール形成用レジストパターン形成し、上述の RIE 条件で 20% 程度オーバーエッチングを行った場合のコンタクトホール部の SEM 写真を図 4—18 に示す。コンタクトホール内に柱状のエッチング反応生成物が発生している。柱状のエッチング反応生成物は高さ約 2000 Å、幅数百 Å で密集して残っている。この反応生成物は、上述の RIE 条件を変更しても発生することを確認している。尾崎らも SiO を CF 系ガスで RIE した際、同様の反応生成物の発生を報告しており、 $CF_x$  ポリマーと分析している [21]。一方、 $CHF_3$  の RIE での  $CF_x$  ポリマー生成は高エネルギーのイオン衝撃を受ける高周波電力の印加されたカソード電極上には生じにくいことが報告されている [22]。エッチング反応生成物の AES 分析結果を図 4—19 に示す。最初 Ar ス

パッタエッチングをしない時には、Si, C, O, N, Fが検出される。Arスパッタエッチング開始1分後にCのオーージェピークは消失する。Arスパッタエッチングを続けるとSi, Ga, Asのオーージェピークが明白になるのに対し、Fのオーージェピークが小さくなり28分後には消失する。さらにArスパッタエッチングを続けるとSi, O, Nのオーージェピークが小さくなり、88分後には90eV付近に見られるSiのスペクトルはGaAsに変わっている。図4-18, 図4-19から柱状のエッチング反応生成物はおおよそ図4-20に示す構造を有していると考えられる。つまりSiONの周囲にSiONF, さらにその周囲をCFOが覆っている形状である。ここで各層の膜厚は図4-19でのArスパッタエッチング時間, 図4-18で観測された反応生成物の高さから計算したものである。少なくとも本エッチング反応生成物は前述のただのCF<sub>x</sub>ポリマーではないと結論できる。

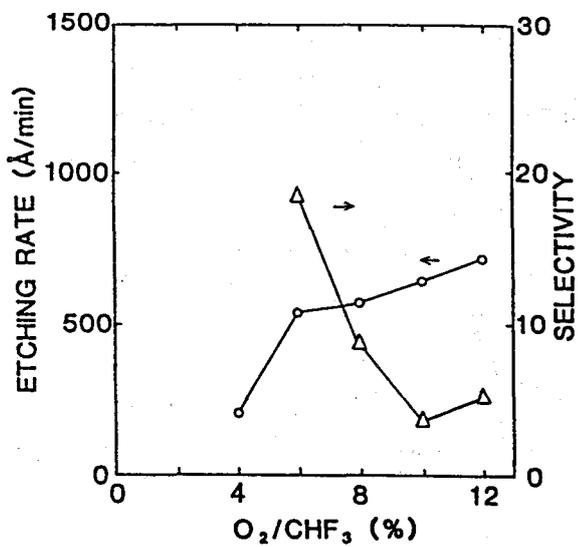


図4-17 SiONのエッチングレートとレジストに対する選択比のO<sub>2</sub>濃度依存性

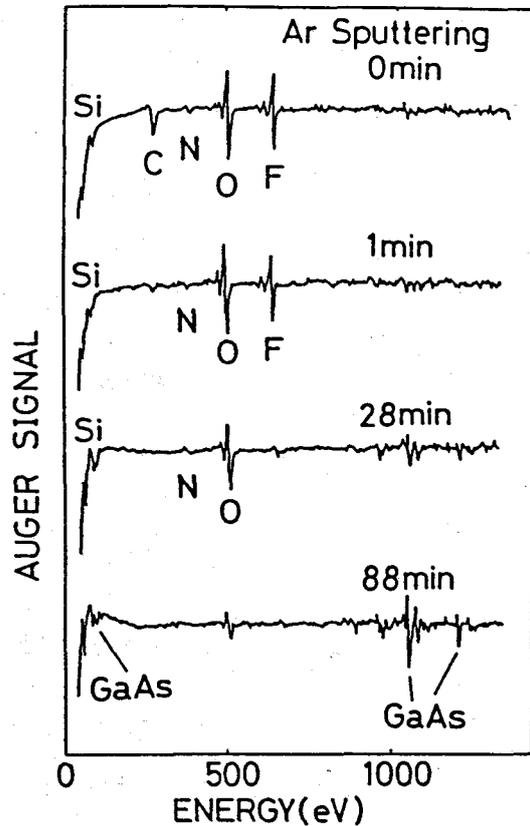


図4-19 エッチング反応生成物のAES分析結果

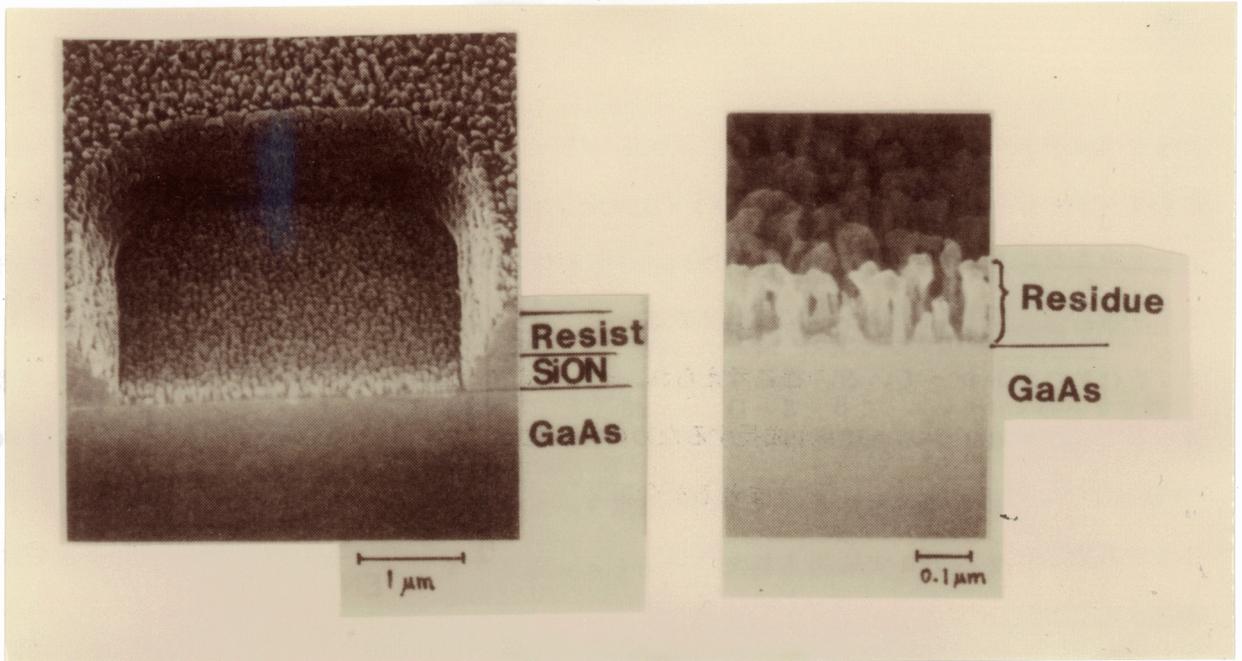


図4-18 コンタクトホール部のエッチング反応生成物

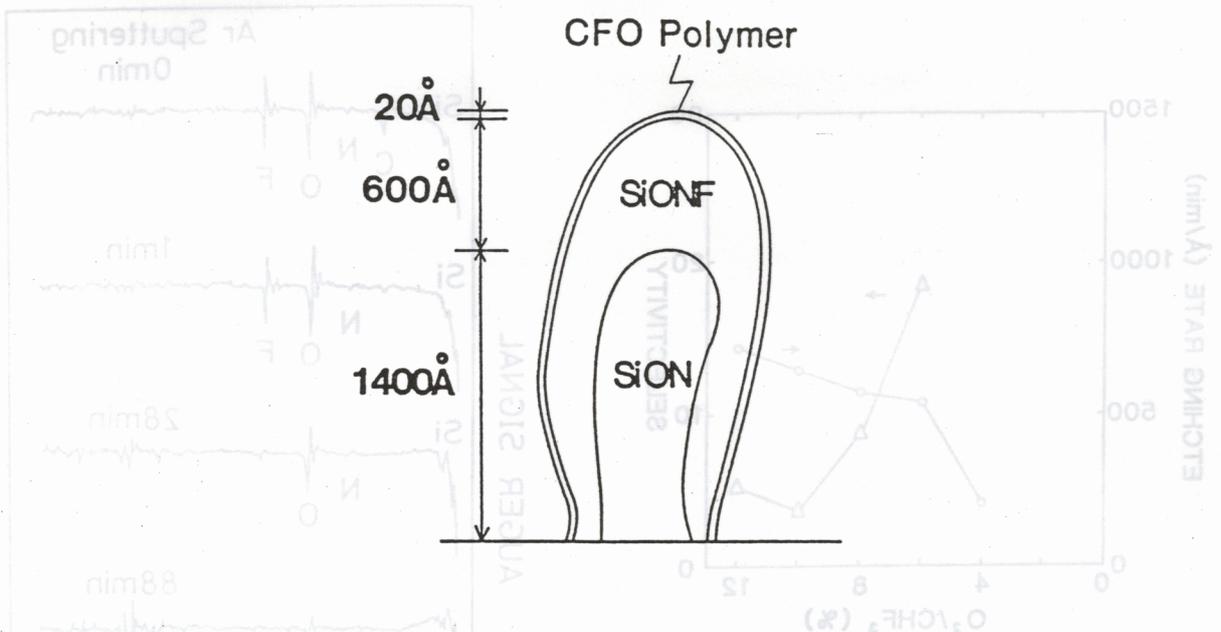


図4-20 柱状のエッチング反応生成物の構造

このようなエッチング反応生成物がコンタクトホール内に残留した状態ではコンタクト不良が生じるので、発生原因を明らかにし、それらを除去しなくてはならない。図4-20に示したエッチング反応生成物の構造、尾崎らの報告結果より、 $CF_x$ ポリマーが反応生成物の発生に関与すると考えられるため、CF系でない $SF_6$ 、 $NF_3$ を用いてエッチングを行ったところ、反応生成物は発生しないことが確認された。さらに本RIEではウエハーを設置するカソード電極がAlであり、SiONエッチング時にこのAlがエッチングされること、Alのフッ化物が検出されること等の点から、Alの影響に着目した。これを調べるために、Al製カソード電極をテフロン、あるいはSiで覆った状態でRIEを行ったコンタクトホール内部を観察した。そのコンタクトホールのSEM写真を図4-21に示す。図4-18の結

果に比べるとエッチング反応生成物の発生はほとんど無いことが分かる。つまりカソード電極を覆う材料はテフロンでもSiでも良く、エッチング反応生成物の発生にはAlカソード電極自体が関与していると言える。以上、図4-20のエッチング反応生成物の構造、図4-19のエッチング反応生成物のAES分析結果、エッチングガスの種類、カソード電極であるAlの影響を総合して、エッチング反応生成物の発生メカニズムは以下の様に考えられ、その模式図を図4-22に示す。まずエッチング開始以後、SiON上にCFOポリマーが成長するための核が生成される。この核はAlカソード電極を構成するAlの、あるいは不純物として含まれる重金属の酸化物やフッ化物と考えられる。エッチングが進むと同時にCFOポリマーが成長するが、ポリマーの成長する部分のSiONはエッチングされにくいのでポリマーがSiONを包み込みながら柱状のエッチング反応生成物を成長させていく。この反応生成物は、最表面の $CF_x$ ポリマーを $O_2$ プラズマ処理で分解し、内側のSi酸化物をHF水溶液でエッチングすることにより除去できることを確認している。

尚、 $CHF_3 + O_2$  ガスを用いた $SiO_2$ ,  $Si_3N_4$  のRIEでは十分な異方性エッチングが得られることが知られているが[20]、本RIE条件でのコンタクトホールのエッジ形状も図4-18, 図4-21から分かる様に十分急峻でありサブミクロンホール径にも対応できると考えられる。

以上の検討により、GaAs LSI作製プロセスでのSiONのコンタクトホール形成には $CHF_3 + O_2$  ガスを用いたRIEが適用できるが、Alカソード電極を用いた場合には $CF_x$ ポリマーに関与するエッチング反応生成物が成長するので、Alカソード電極自体が露出しない処置(テフロン, Siでのカソード電極のコーティング)が必要であることが明らかとなった。

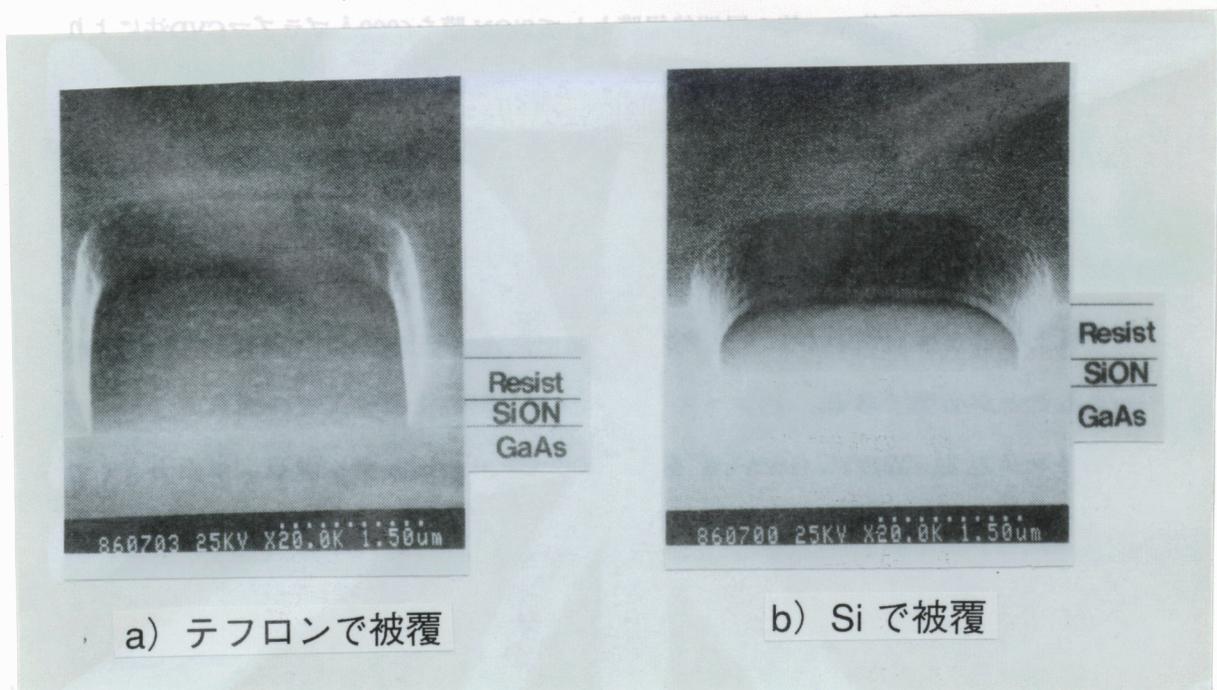


図4-21 Alカソード電極を a) テフロン, b) Siで被覆した場合のRIEによるコンタクトホール部のSEM写真

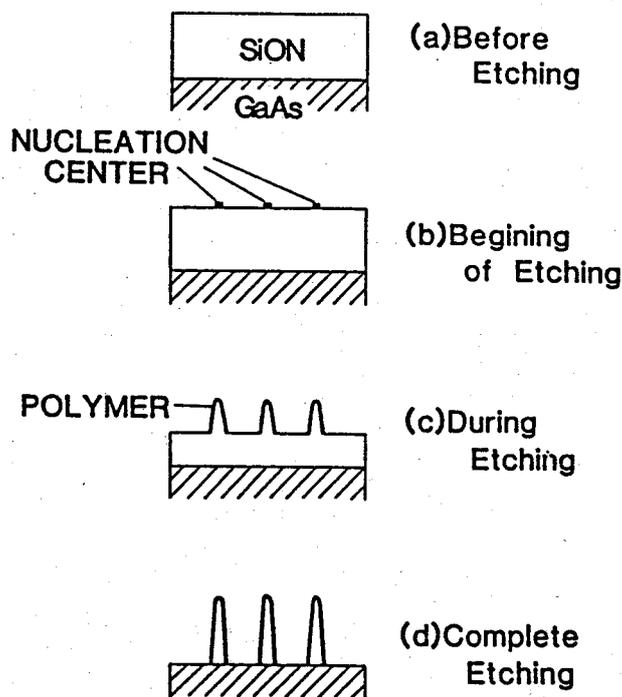


図4-22 エッチング反応生成物の発生メカニズム

#### 4. 2. 4 多層配線プロセスフロー

前節で述べたGaAs LSI 配線用個別プロセス技術を用いて、3層配線形成プロセスフローを図4-23のように構成した。以下に概略を説明する。

##### 1) 第1層間絶縁膜形成

- (1) BPLDD-FET形成後に、第1層間絶縁膜としてSiON膜を6000ÅプラズマCVD法によりウエハー全面に形成する。
- (2) 平坦化のためにSOG膜をスピンコーティング法で塗布形成し、300°C程度の熱処理により安定化を図る。
- (3) 段差部以外のSOG膜をイオンミリングによりエッチング除去する。
- (4) レジストを塗布した後、SiON膜とレジストをRIEにより等速エッチングを行う。
- (5) 減少分(約2000Å)に相当するSiONを再成膜する。
- (6) BPLDD-FETのゲート電極およびソース・ドレイン電極とのコンタクトホール形成用レジストのパターニングを行う。
- (7)  $\text{CHF}_3 + \text{O}_2$  ガスを用いたRIEにより前述のレジストパターンをマスクにSiON膜をエッチング除去する。
- (8) RIE後のコンタクトホール内残留物である $\text{CF}_x$ ポリマー、あるいは酸化物を除去するために、各々 $\text{O}_2$ プラズマ処理、HF水溶液によるウェットエッチングを追加する。

(9) レジストパターンの除去を行う。

## 2) 第1層配線形成

- (1) 1) で形成したコンタクトホールを介してBPLDD-FETのゲート電極、ソース・ドレイン電極とコンタクトをとるための第1層配線用Ti (500 Å)/Au (5000 Å) 2層膜をスパッタ法でウエハー全面に形成する。
- (2) 第1層配線パターン用のレジストパターンを形成する。
- (3) Ar<sup>+</sup>イオンによるイオンミリング法により、上記レジストパターンをマスクにTi/Au 2層スパッタ膜のエッチングを行う。
- (4) レジストパターンを除去する。

## 3) 第2層間絶縁膜形成

- (1) 第1層間絶縁膜形成後に第2層間絶縁膜としてSiON膜をプラズマCVD法によりウエハー全面に形成する。ここで第1層間絶縁膜形成時に比べて、下地に5500 Åの第1層配線パターンが存在しているので段差が増加している。そのため第2層間絶縁膜は第1層間絶縁膜より2000 Å厚い8000 Åとした。
- (2) 1) の(2)~(5)と同様だが、エッチバック後に再成膜するSiONの厚みは3000 Åとなる。
- (3) 主に第1層配線間を接続するためのコンタクトホール形成用のレジストパターンを形成する。
- (4) RIEによりレジストパターンをマスクに第2層間絶縁膜であるSiONをエッチングする。
- (5) RIE後のコンタクトホール内残留物を除去するためにO<sub>2</sub>プラズマ処理、HF水溶液によるウェットエッチングを追加する。
- (6) レジストパターンの除去を行う。

## 4) 第2層配線形成

- (1) 3) で形成された第2コンタクトホールを介して、主に第1層配線と接続するための第2層配線用Ti/Au 2層膜をスパッタ法によりウエハー全面に形成するが、第2層絶縁膜を8000 Åに厚膜化したことにより第2コンタクトホールは第1コンタクトホールより2000 Å深いので、第2層配線はTi = 500 Å / Au = 8000 Åに厚膜化させた。
- (2) 第2層配線パターン形成用レジストパターンを形成する。
- (3) イオンミリング法により上記レジストパターンをマスクにTi/Au 2層スパッタ膜のエッチングを行う。
- (4) 2) の(4)と同様に、レジストパターンを除去する。

### 5) 第3層間絶縁膜形成

- (1) 第2層配線形成後に第3層絶縁膜としてSiON膜をプラズマCVD法でウエハー全面に形成するが、第1層配線よりも厚い第2層配線が下地に存在するためカバレッジが不良になりやすいこと、また第2層、3層配線間容量の低減により配線遅延時間の短縮を図りたいこと、等により、第3層間絶縁膜は10000Åまで厚膜化した。
- (2) 1)の(2)~(5)と同様だが、エッチバック後に再成膜するSiONの厚みは4000Åとなる。
- (3) 主に第2層配線間を接続するためのコンタクトホール形成用のレジストパターンを形成する。
- (4) RIEにより上記レジストパターンをマスクに第3層間絶縁膜であるSiONをエッチングする。
- (5) RIE後のコンタクトホール内残留物を除去するためにO<sub>2</sub>プラズマ処理、HF水溶液によるウェットエッチングを追加する。
- (6) レジストパターンの除去を行う。

### 6) 第3層配線形成

- (1) 5)で形成された第3コンタクトホールを介して主に第2層配線と接続するための第3層用Ti/Au 2層膜をスパッタ法によりウエハー全面に形成する。第3層配線は、本研究のLSIにおいて最上層配線であり主に電源、アース用配線に用いるため電流密度が特に大きいため発熱による温度上昇を抑える必要があること、電源ノイズの低減には電源ラインの低インピーダンス化が有効であること、等を考慮して第2層配線より厚いTi = 500Å / Au = 10000Åに設定した。
- (2) 第3層配線パターン形成用レジストパターンを形成する。
- (3) イオンミリング法により上記レジストパターンをマスクにTi/Au 2層スパッタ膜のエッチングを行う。
- (4) レジストパターンを除去する。

### 7) パシベーション膜形成

- (1) 第3層配線形成後、SiON膜を4000Åウエハー全面に形成する。本パシベーション膜は最上層になるため特に平坦化は行わない。
- (2) ボンディングパッド部上にも開口を有するレジストパターンを形成する。
- (3) RIEにより上記開口部のSiON膜のエッチングを行う。
- (4) ボンディングパッド部で接触不良が生じないようにO<sub>2</sub>プラズマ処理、HF水溶液によるウェットエッチングを追加する。
- (5) レジストパターンを除去する。

以上が、本研究で作製するGaAs LSI用3層配線プロセスとなる。本プロセスフローで作製した3層配線断面のSEM写真を図4-24に示す。本図より次のことが分かる。

- 1) 上層の配線，層間絶縁膜になるにつれて設定値通りに膜厚は増加している。
- 2) Ti/Au スパッタ膜のコンタクトホール内のカバレッジは十分良好である。
- 3) 第2コンタクトホールで大きな段差があるにもかかわらず，その上部の第3層間絶縁膜はかなり平坦化されている。
- 4) RIEにより急峻なエッジ形状を有する微細コンタクトホールが形成できている。

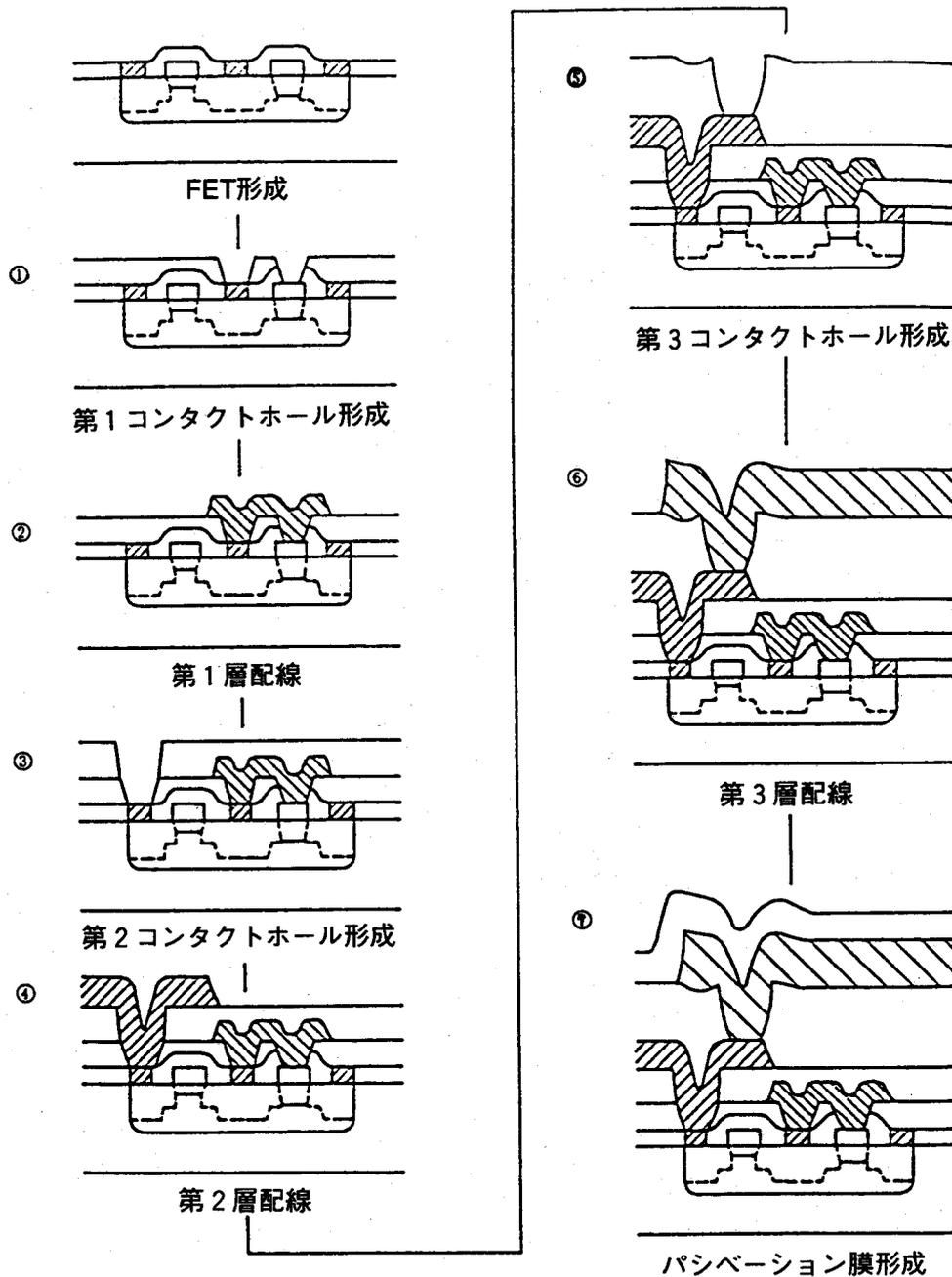


図4-23 3層配線プロセスフローの概略図

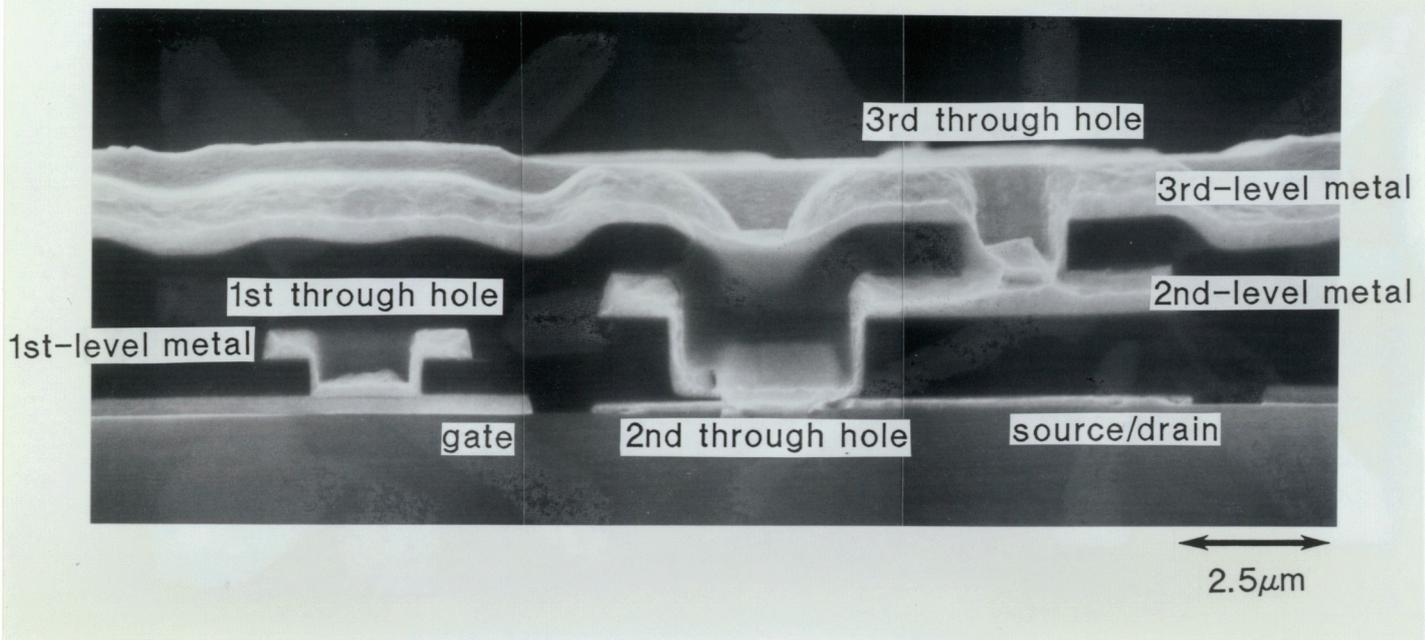


図4-24 3層配線断面のSEM写真

#### 4. 2. 5 Auヒロックの発生とその低減

前節の3層配線プロセスでは、その平坦化を行ったにもかかわらず上層・下層配線間リークがかなりの頻度で観測された。顕微鏡観察により下層配線上、特にそのエッジ部に突起物が存在していることが判明した。SiプロセスにおけるAl配線上の異物、ヒロック、ボイドについては数多くの研究がなされているが[23]-[25]、GaAsプロセスにおけるAu配線に対しては報告は殆どない。上述のAu配線上の突起物は多層配線の平坦性を損ない、層間リークを発生させる可能性が高い。その一例として、下層配線上に発生している異物により上層絶縁膜、配線の平坦性が損なわれている箇所の断面を、FIB (Focused Ion Beam) エッチングで切り出してSEM観察した様子を図4-25に示す。本研究ではこのAu配線上の突起物の発生機構とその低減について、種々の検討を行った。

まずこの突起物はどのような物質から構成されているか検討した。突起物の発生密度は、下層配線上の層間絶縁膜SiONを形成するプラズマCVD装置内で発生する発塵密度に比べ1~2桁多いため、その起源は発塵自体ではない。また突起物が発生した下層配線上の層間絶縁膜SiONをHF水溶液で除去した後もこの突起物は残るので、SiONに由来する何らかの酸化物でもないと言える。次にこの突起物のSEM観察を行った結果を図4-26に示す。このSEM写真から、突起物周辺のAu配線上にも突起物自体にも grain boundaryが見られる。即ち、この突起物はAu自体であると考えられる。これをさらに明らかにするために、突起物のマイクロAES分析を行った。図4-27に突起物上、及びその周辺領域でのマイクロAESスペクトルを示す。この結果から、突起物はAu, Tiを含んでおり、また突起物

周辺と突起物自体では明白な差が認められないので、本突起物はAu 自体であり、Au配線からのヒロック成長であると結論できる。

SiプロセスではAl配線でのヒロックの発生が、多層配線の歩留りを低下させる原因の一つとしてその発生機構、及びその対策が詳細に検討されている [26]。それらを参考にして、本Auヒロックについてもその発生機構について次の様に考えることができる。GaAsプロセスでのAu配線の場合、GaAs基板上に形成されたAuスパッタ膜は、次の層間絶縁膜形成工程での昇温プロセスでGaAs基板から圧縮応力を受けるが、その応力を緩和するためにAu が自己拡散を起こしてAu表面にヒロックを形成すると考えられる。Auのヒロックが下地段差のある部分に多く集中して観察されるのもこの部分に応力が集中しているためと思われる。

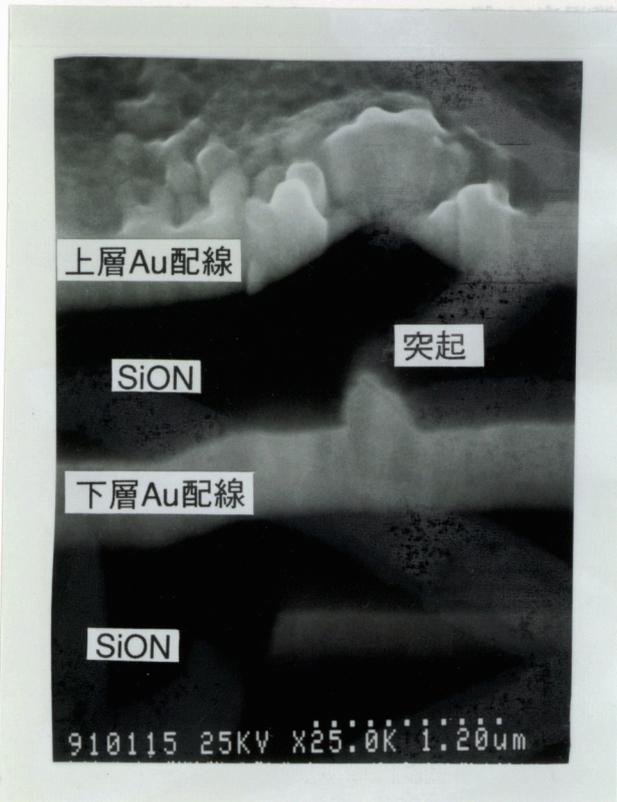


図4—25 下層配線上の突起物による上層の平坦性劣化の様子

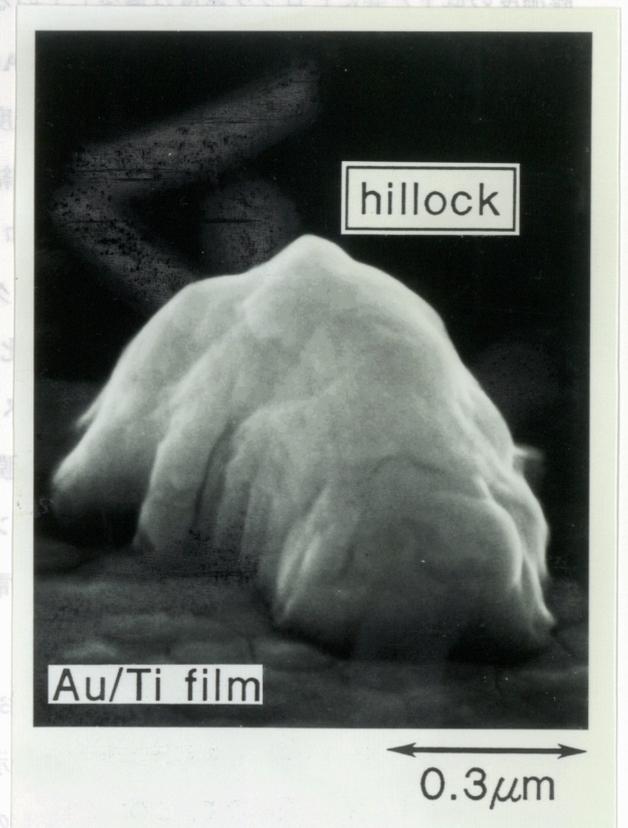


図4—26 突起物のSEM写真

そこでこのAu ヒロックの発生を抑制する方策としては、

1) Au の自己拡散を抑える。

- (1) 次工程である層間絶縁膜形成時の昇温温度を下げる（プラズマCVD SiON 成膜温度を下げる）。
- (2) Au配線上に緻密な膜質を有するバリアメタル（例えばアモルファス状の高融点金属であるTiN等）を設ける。
- (3) Auに他の金属を添加する（AlSiにおけるCu添加に相当する）。

2) Auに加わる応力を減少させる。

- (1) スパッタ条件を変更してTi/Au配線自体のストレスを低下させる。
- (2) 下地段差を低減する（層間絶縁膜をさらに平坦化する）。

が考えられるが、本研究では1)の(1)であるプラズマCVD SiON成膜温度の低下による効果について検討した。

まずヒロック密度のSiON成膜温度依存性を図4-28に示す。SiプロセスのAl配線と同様に、成膜温度の低下と共にヒロック密度は減少している。成膜温度250℃でのヒロック密度は、成膜温度300℃での6%に減少した。次に図4-29にTi/Auスパッタ膜の熱処理に伴う圧縮応力の熱処理前からの増加量と熱処理温度の関係を示す。熱処理温度の増加につれてTi/Auスパッタ膜の圧縮応力は増加している。つまり図4-28のヒロック密度の結果と合わせて、Ti/Auスパッタ膜の圧縮応力とヒロック密度は相関しており、前述したAuヒロックの発生機構のモデルを裏付けるものと考えられる。図4-28のアレニウスプロットから、ヒロック発生の活性化エネルギー $E_a$ は1.50 eVであるが、このエネルギーはAuのバルク中での拡散の活性化エネルギー1.81 eV [27] に比べ小さく、ヒロック生成に伴うAu拡散は図4-26に見られるTi/Auスパッタ膜のgrain boundaryを通じて生じると考えられる [28]。尚、SiON成膜温度の低下によりSiON膜質が劣化する危険性があるため、HFバッファ水溶液に対するエッチングレート、電気的絶縁性、コンタクトホール加工性、剥離性について検討した結果、エッチングレートは約50%増加したものの、電気的絶縁性、コンタクトホール加工性、剥離性についてはほとんど変化は見られなかった。

層間絶縁膜SiONの成膜温度300℃、250℃における、16-kb SRAMの第2層-第3層配線間リーク不良の3インチウエハー面内分布を図4-30に示す。この成膜温度の低下に伴う層間リーク不良数の低減は、ヒロック密度の低減により図4-25のような層間配線不良の頻度が減少するからと考えられる。

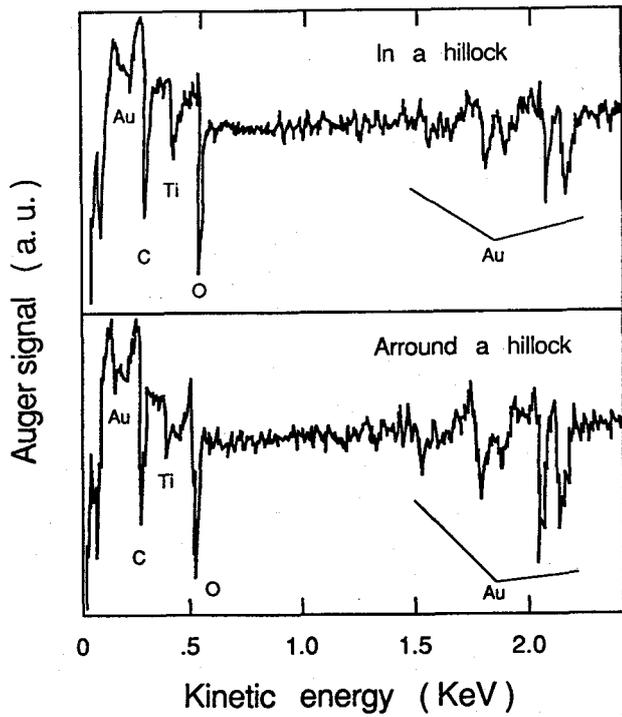


図4—27 突起物上とその周辺の  
マイクロAES分析結果

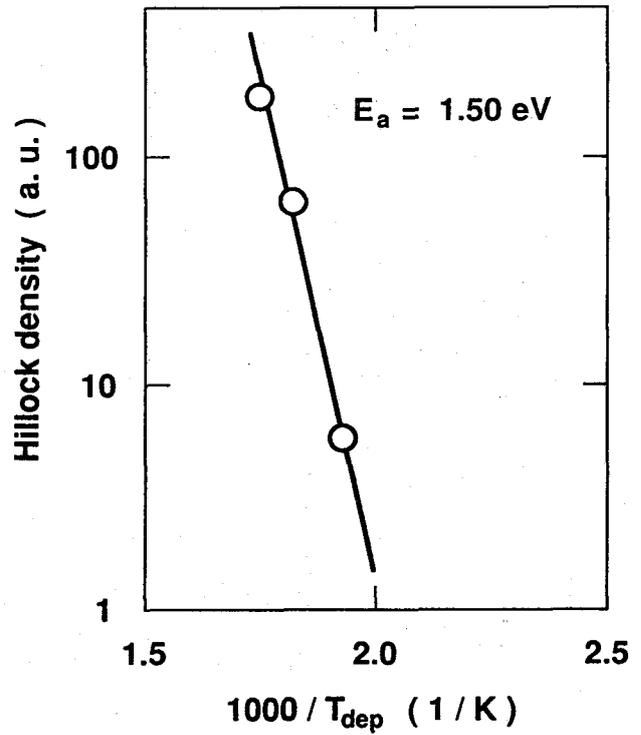


図4—28 ヒロック密度のSiON  
成膜温度依存性

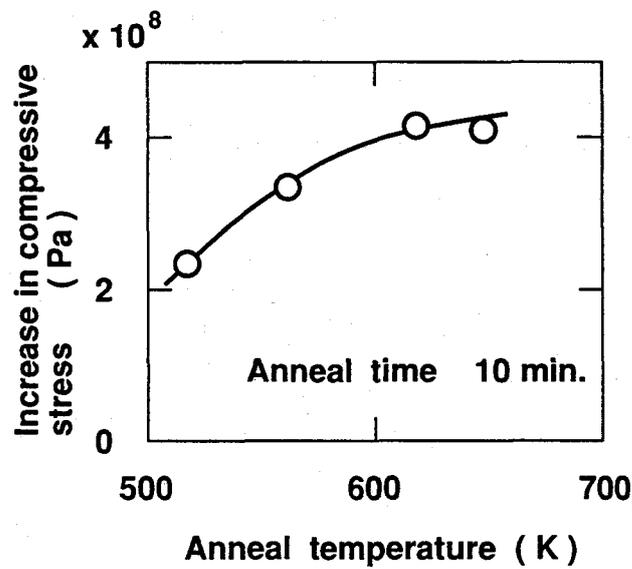


図4—29 Ti / Au スパッタ膜の熱処理に伴う圧縮応力増加量と熱処理温度の関係

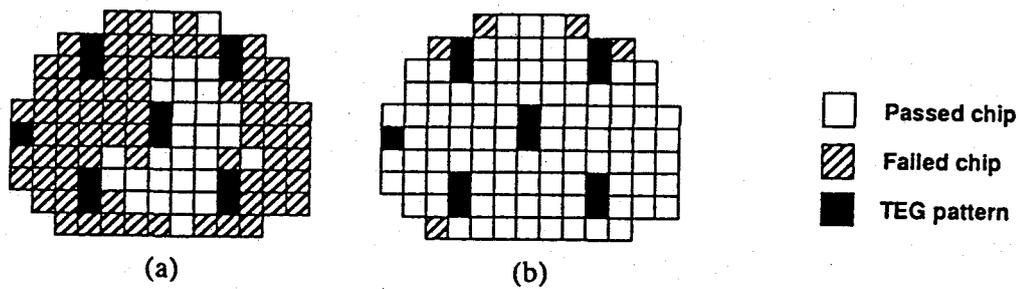


図4—30 16-kb SRAMの第2層—第3層配線間リーク不良のウエハー面内分布

#### 4.3 Auエアブリッジ配線技術

前節4.2の多層配線プロセス技術において層間絶縁膜であるSiONの比誘電率は約5.0であるが、より一層の高速化のため配線容量をさらに低減する方法として、配線間を空気で絶縁するエアブリッジ配線技術がある[29], [30]。エアブリッジ構造で配線容量の低減を図る場合、通常信号配線自体に適用することを考える。しかしながらLSIレベルの多層配線で複数層間にわたる信号配線にエアブリッジを適用することは、現在のところプロセス技術上困難であるために、現在までGaAs ICでエアブリッジ配線が用いられているのは単一層のみである。一方、LSIでは電源、アースからなる給電配線は一般には回路全体に対して供給されるため、レイアウト全体にわたり配置されるのが普通で、電源、アース配線は信号配線より上層に多層化して配置される場合が多い。

そこで本研究では、上述のエアブリッジ形成プロセス上の制約とLSIでの信号配線、電源、アース配線の配置関係を考慮して、最上層に配置する電源、アース配線のみをエアブリッジ化する配線構造を新たに検討した。LSIにエアブリッジ配線を適用するのは、本研究が初めてである。本構造では、従来の配線構造に比べて信号配線—電源、アース配線間寄生容量が小さく配線容量を低減できると共に、エアブリッジ化に伴うAu配線層の厚膜化により電源、アースの十分な低インピーダンス化が図れるため、電位変動、外因性誘起ノイズが低減され、かつアンペアオーダーの電流供給が可能となり、高速動作時の安定化が図れる。LSI適用に際してエアブリッジ配線構造に要求される事項としては、前節4.2.1のAuスパッタ膜のイオンミリング加工では形成が困難となる数 $\mu\text{m}$ 厚のAu配線を、メタルポスト配置の自由度向上と配線容量の低減のために、できるだけ長い(数百 $\mu\text{m}$ 以上の)スパン(メタルポスト間配線距離)で形成することである。

上述のLSI用給電配線に適用するAuエアブリッジ形成プロセスについて以下に述べる。図4—31にそのプロセスフローを示す。GaAs基板上に前節4.2.4の多層配線プロセスで第2層配線ま

で形成した後(a), エアブリッジ配線の高さに相当する厚さのレジスト(下層レジスト)を塗布し, 下層配線と接続するメタルポスト領域を開口したレジストパターンを形成する。そしてウエハー全面に電解メッキ成膜時に用いる給電用導電膜(Auスパッタ膜)を形成する(b)。次に給電用導電膜上に電解メッキ時のマスクとなる上層レジストパターンを形成する。上層レジストパターンはエアブリッジ形状を良好とするため, 厚く垂直性の高い必要がある。図4-32に作製した上層レジストパターン断面のSEM写真を示す。この後にAuの電解メッキを行う(c)。Auメッキ成長が終了したら, 給電用導電膜を除去しないように上層レジストのみ除去し, 給電用導電膜をイオンミリングでエッチング除去する。この時にメッキされた部分はエッチングマスクとなる(d)。最後に下層レジストを除去することにより, 給電配線用Auメッキ・エアブリッジ配線が完成する(e)。

LSI用エアブリッジ配線では, 先に述べた様に, メタルポスト間スパンをどれだけ長くできるかが配線容量低減に対し重要となる。スパンを長くすると, Auエアブリッジ配線自体の自重によりメタルポスト間の中央部でたわみが発生して, ついには下地と接触する不良となる。図4-33に示すスパン長 $500\mu\text{m}$ のAuエアブリッジ断面図から分かる様に, 本プロセスでは少なくともスパン長 $500\mu\text{m}$ まではこのたわみが発生しないことを確認している。次章で述べるLSI(ゲートアレイ)にはスパン長 $400\mu\text{m}$ のエアブリッジ配線を適用した。

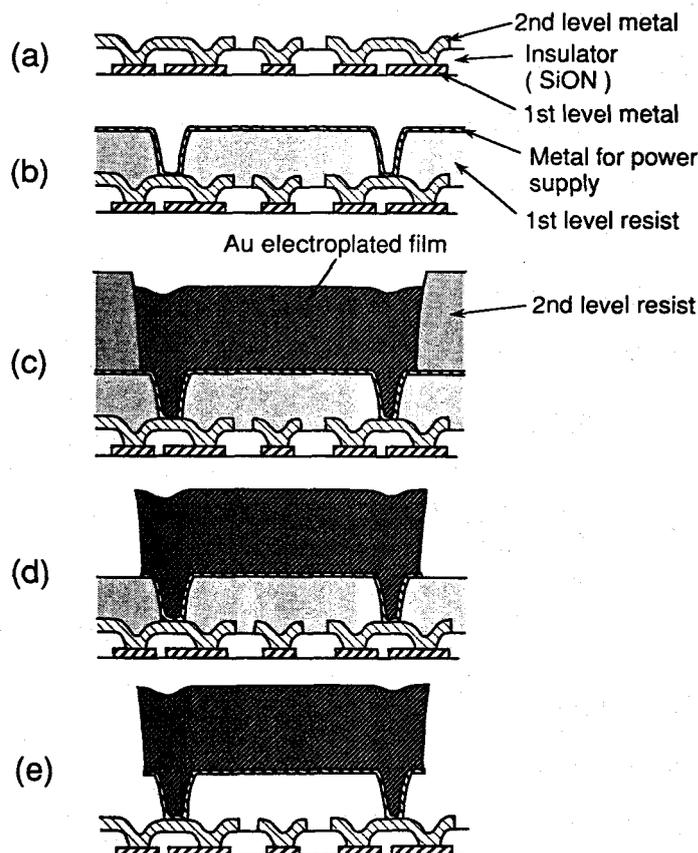


図4-31  
Auエアブリッジ  
形成プロセスフロー



図4-32 上層レジストパターン断面のSEM写真

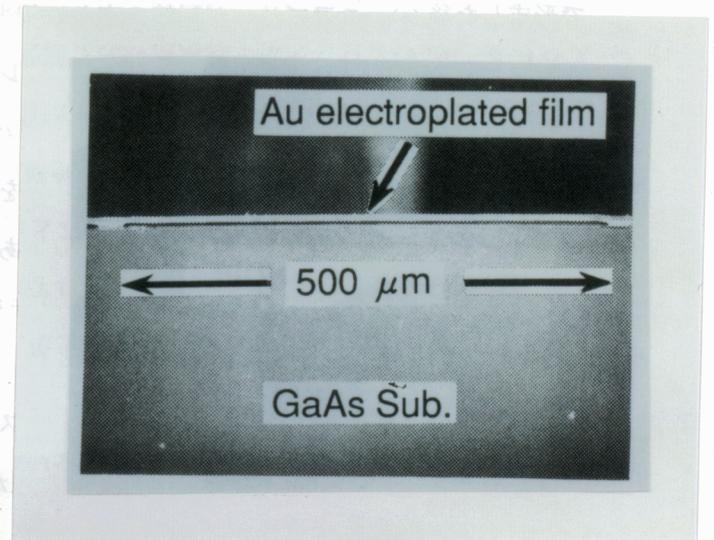


図4-33 スパン長 500 μm のAu エアブリッジ断面図

#### 4. 4 LSI 動作速度と配線遅延の関係

##### 4. 4. 1 LSI 高速化における配線容量低減の重要性

GaAs FET IC は CMOS IC と同じくバイポーラ IC に比べて低消費電力を指向するデバイスであり、内部論理ゲートの電流駆動能力はバイポーラ Tr. に比べて通常約 1/10 以下と小さく素子自身のスイッチング時間よりも配線による遅延時間の方が大きくなる傾向にある[31]。特に GaAs FET ではそのスイッチング時間が Si Tr. より小さいが、上記の通り電流駆動能力が比較的小さいのでスイッチング時間に比べて配線を充放電する時間が大きく、これはスイッチング時間のより遅い Si MOSFET の場合より顕著になる。LSI の動作速度と集積度（ファンアウト負荷と配線負荷の増加）の関係については長谷川らによる集中定数的解析があり [6]、能動素子の真性遅延時間と配線遅延時間とが等しくなる集積ゲート数  $G_o$  として次式を導出している。

$$G_o = \left( \frac{C_o FO}{C_w KVA} \right)^{\frac{1}{\alpha}} \quad (4.1)$$

$C_o$  : 次段のゲート入力容量,  $C_w$  : 単位長あたりの配線容量,  $FO$  : ゲートの平均ファンアウト数,  
 $K$  : 定数,  $A$  : ゲートの占有面積,  $\alpha$  : 定数 (但し  $K, \alpha$  は経験的に求まる定数)

$L_g/W_g = 1 \mu m / 10 \mu m$  の E-MESFET で  $C_o = 10 \text{ fF}$ ,  $FO = 3$ ,  $C_w = 100 \text{ fF/mm}$  を想定すると,  $G_o = \sim 100 \sim 1000$  となり、通常の LSI はゲート数とその  $G_o$  値より大きいので LSI 動作速度は配線律速になる

と結論している。また長谷川らは、能動素子の立ち上がり時間、立ち下がり時間が100~200 ps 以下になる場合は、配線は集中定数ではなく分布定数線路として扱う必要性があることも合わせて指摘している。(4.1)式に $K, \alpha$ は同様として、本研究で次章に述べるSRAMの場合である $C_0 = 150 \sim 1200$  fF,  $FO = 4$ ,  $C_w = 500$  fF/mm では、 $G_0 = \sim 1600 \sim 16000$  となるが、周辺回路も含めてSRAMの総ゲート数は、4kビットで4500程度、16kビットで18000程度あるので、LSI動作速度としては十分配線律速領域に入っている。そこで次章で説明するSRAM、ゲートアレイの高速化を図るために、それらの配線容量の低減について検討した。

#### 4.4.2 16-kb SRAMの3層配線化における速度トレードオフ

配線の多層化は、配線長、及びチップ面積の縮小をもたらすため、LSIの高速化、あるいは歩留り向上には有効である反面、新たな層間クロスオーバー容量が付加されるので、高速化のためにはその付加分以上に配線長短縮による配線容量の低減を図る必要がある。本研究の16-kb SRAMでは、2層配線から3層配線へと多層化を図る際に総配線長の短縮による配線容量の低減と3層化によるクロスオーバー容量の付加との大小関係を検討した。図4-34に2層配線、3層配線における単位長あたりの簡単なモデルを示す。本16-kb SRAMでの最大配線長は3mmであり、それは前節4.4.1より、分布RC遅延を有すると考えられる。本研究ではこのモデルとして、以下に示すWilhelmの式[32]を用いた。

$$t_d \sim 0.7R_s \cdot C_0 \cdot l + 0.4R_0 \cdot C_0 \cdot l^2 \quad (4.2)$$

$t_d$ : 信号配線遅延時間,  $R_s$ : ドライバーFETのソース抵抗,  $C_0$ : 単位長あたりの配線容量,

$l$ : 信号配線長,  $R_0$ : 単位長あたりの配線抵抗

簡単のために、各層間での $C_0$ , 即ち1) 1-2層間, 2) 2-3層間, 3) 1層-基板オーミック電極間での $C_0$ , 各層の $R_0$ は全て等しいと仮定し、各々C, Rとする。またあるバッファから次段のバッファまでの信号配線において、第1層、第2層での配線長を各々 $l_1, l_2$ とする。2層配線における配線長 $l_1 + l_2$ の信号配線での遅延時間 $t_2$ は(4.2)式より次の様に近似される。

$$t_2 \sim 0.7R_s(2Cl_1 + Cl_2) + 0.4R(2Cl_1 + Cl_2) \cdot (l_1 + l_2) \quad (4.3)$$

3層配線における短縮された配線長 $(l_1 + l_2) \times \alpha$ の信号配線での遅延時間 $t_3$ も同様に次の様に近似される。

$$t_3 \sim 0.7R_s(2C \alpha l_1 + 2C \alpha l_2) + 0.4R(2C \alpha l_1 + 2C \alpha l_2) \cdot (\alpha l_1 + \alpha l_2) \quad (4.4)$$

$\alpha$  : 3層化に伴う信号配線長の短縮比

上記の(4.3), (4.4)式, 及び本研究での設計において $l_1 \sim l_2 (=L)$ であることから以下の式を得る。

$$t_3/t_2 \sim 4\alpha(0.7R_s + 0.8\alpha RL) / 3(0.7R_s + 0.8RL) \quad (4.5)$$

本SRAMでは,  $R_s = 70\Omega$ ,  $C_o = 500 \text{ fF/mm}$ ,  $R_o = 70\Omega/\text{mm}$ ,  $l_1 + l_2 (=2L) = 3 \text{ mm}$ であるので, 上式より, 3層での配線遅延 $t_3$ を2層での配線遅延 $t_2$ より短縮するには, 短縮比 $\alpha$ として84%以下が必要であると言える。

一方, 分布RC遅延を表わす別のモデルとして, Si MOSFETについて考案された桜井の式[33]を次に示す。

$$td / (CoR_o) \sim 1.02 + 2.21\{C_{gi} / (Co \cdot l) + R_s / (R_o \cdot l) + C_{gi}R_s / (Co \cdot l \cdot R_o \cdot l)\} \quad (4.6)$$

$C_{gi}$  : 主に次段で駆動されるFETの入力ゲート容量からなる負荷容量

桜井の式では, 低抵抗Si基板上の信号配線における配線遅延時間を対象としており, その時考慮される配線容量はSi基板—信号配線間容量である。本研究における検討は半絶縁性GaAs基板上の配線ではあるものの層間配線容量の検討であり, 低抵抗導体上での配線遅延を検討していること, またこの層間配線容量に比べて半絶縁性GaAs基板—信号配線間容量は十分小さいことより, 本式は十分適用できるものと考えられる。本SRAMでは $C_{gi} \sim 1100 \text{ fF}$ であり, 上述の検討と同じく $\alpha$ を導出すると, 87%以下が得られた。この値は(4.2)のWilhelmの式での結果とほぼ同等になっている。本研究での16-kb SRAMの総信号配線長は, 3層配線化により, 2層配線での28.6 mmから19.8 mmへと69%に短縮できた。これは上述の84, あるいは87%より小さく, 3層化によりアクセス時間の短縮が期待される。 $\alpha = 69\%$ の時, (4.5)式から $t_3/t_2 = 74\%$ が予想される。

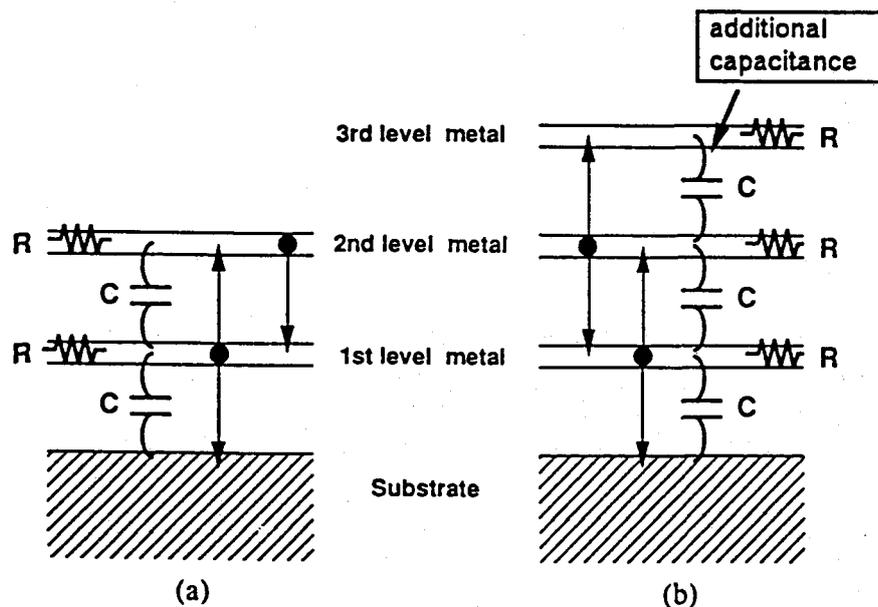


図4—34 2層配線, 3層配線における単位長当たりの簡単な配線モデル

一方, 16-kb SRAM のアクセス時間についてSPICE2 による回路シミュレーションを, 2層, 3層配線のSRAMの双方について行った。このシミュレーションでは, 等価回路において配線部を集中RC回路として扱っている。図4—35にSPICE2による16-kb SRAMのアクセス時間のシミュレーション結果を示す。2層, 3層配線でのアクセス時間と配線容量を考慮していないFETのみによるアクセス時間の差から,  $t_3/t_2 = (4.0 \text{ ns} - 2.4 \text{ ns}) / (5.2 \text{ ns} - 2.4 \text{ ns}) = 57\%$  が導出される。これは(4.5)式での分布RC遅延を用いて導出された  $t_3/t_2 = 74\%$  とはあまり一致していない。16-kb SRAMの測定結果については次章で詳細に述べるが, 実測値として  $t_3/t_2 = (4.3 \text{ ns} - 2.4 \text{ ns}) / (5.1 \text{ ns} - 2.4 \text{ ns}) = 70\%$  が得られた。この結果は分布RC遅延を用いて導出された  $t_3/t_2 = 74\%$  に近く, 本16-kb SRAMでの配線遅延は分布定数線路としての取り扱いが必要であると結論できる。

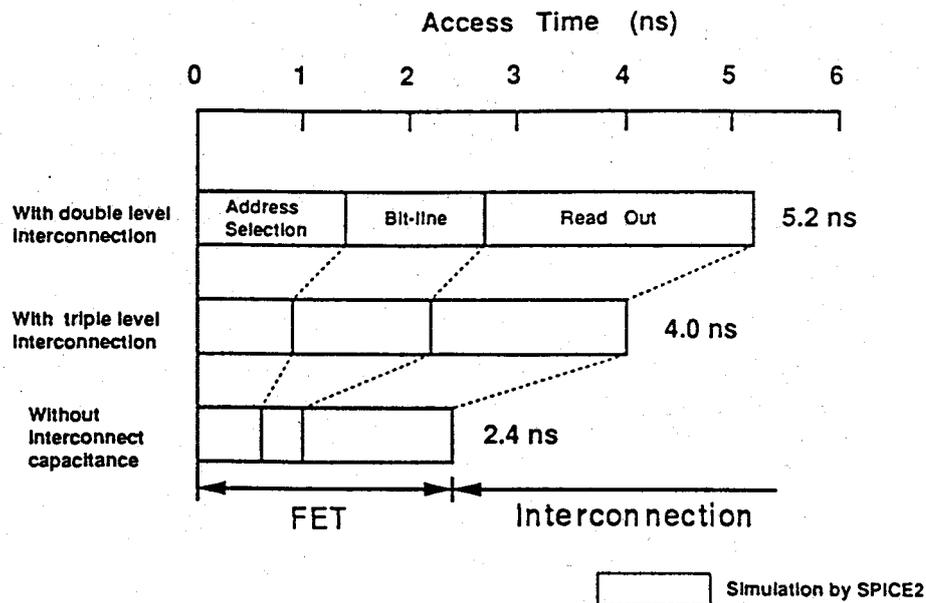


図4-35 SPICE2による16-kb SRAMのアクセス時間のシミュレーション結果

#### 4.4.3 エアブリッジ化による配線遅延の低減

前節4.3に述べたように本研究でのエアブリッジ配線は、最上層の電源、アース配線に用い、それと下層配線間の寄生容量を層間絶縁膜SiONを有する従来構造に比べて低減できる。また最上層Au配線の抵抗もメッキ厚膜化により低減できる。配線容量、および最上層配線抵抗の低減により、信号配線遅延をどの程度低減し得るかについて、前節4.4.2の桜井の式(4.6)を用い検討した。

図4-36に示す3層配線構造で、(a)の通常配線と(b)のエアブリッジ配線での配線遅延の相対比を検討する。両構造において、第1層、第2層配線は $0.85\mu\text{m}$ 厚のTi/Auスパッタ膜でそれらの最小幅は $1.5\mu\text{m}$ であり、層間絶縁膜SiONは $1\mu\text{m}$ 厚である。(a)の通常配線の第3層配線は $2\mu\text{m}$ 厚のTi/Auスパッタ膜で、(b)のエアブリッジ配線の第3層配線は $4\mu\text{m}$ 厚のAuメッキ膜である。そのエアギャップは $2.5\mu\text{m}$ である。図4-37にこの電源-信号配線間容量の模式図を示す。両者では電源配線構造のみが異なり、信号配線長、信号配線抵抗、出力端での負荷容量、ドライバーFETは同等とした。このため通常配線(図4-36(a)、図4-37(a))、及びエアブリッジ配線(図4-36(b)、図4-37(b))での配線遅延時間、電源-信号配線間容量を各々 $t_{d1}$ 、 $t_{d2}$ 、また $C_1$ 、 $C_2$ とすると、(4.6)式より特に配線抵抗 $R_o \cdot l$ が小さく、 $C_{gi}/(C_o \cdot l)$ 、 $C_{gi}R_s/(C_o \cdot l \cdot R_o \cdot l)$ に比べ $R_s/(R_o \cdot l)$ が十分大きい時、

$$t_{d1}/t_{d2} \sim C_1/C_2 \quad (4.7)$$

となり、両者での配線遅延時間の相対比は単に容量の比に近似される。これは前述のWilhelmの式

(4. 2) を用いた場合にも同様の結果になることを確認している。

次に配線容量測定TEG (Test Element Group) による通常配線, エアブリッジ配線における電源-信号配線間容量を評価した。本TEGの構造断面図は図4-36(a), (b)と同じであり, 第2層配線は50本のフィンガーからなる櫛形パターンで, フィンガー幅とスペースは各々 $1.5, 4.5 \mu\text{m}$ である。第3層配線は平板形状で完全に第2層配線パターンを覆っている。本容量をYHP社製4194インピーダンス・ゲイン・フェイズアナライザにより測定周波数1MHzで測定し, 1) 平行平板モデル, 2) spectral domain法による2次元電磁界full wave analysis [34]による計算結果と比較した。この2次元解析では, 第2層配線のフィンガー数を1本から8本に, 測定周波数を0.1MHzから1GHzまで変化させた。容量の計算値は測定周波数にはほとんど依存しなかったが, フィンガー数が増えるにつれてカップリング容量の増加により, フィンガー1本当たり6~14%増加した。これらの結果をまとめて表4-2に示す。平行平板モデルによる計算値は実測値の30%以下であり, 本モデルでは含まれていないフリンジング容量が実測値を占めていることが分かる。これに対し, 2次元電磁界解析の計算値ではフリンジング電界の影響が考慮されているので, 実測値にほぼ等しい。

表4-2より, 両配線構造での配線容量実測値の比は11%であり, 両配線構造での測定結果では $C_{gi}/(C_o \cdot l)$ ,  $C_{gi}R_s/(C_o \cdot l \cdot R_o \cdot l)$ に比べ $R_s/(R_o \cdot l)$ が十分大きいので, (4.7)式から配線遅延時間の相対比も約10%になると見込まれる。配線遅延時間の短縮がLSIのゲート遅延時間(FET真性遅延, ファンイン, ファンアウト負荷遅延, 配線負荷遅延の総和)の短縮にどれほど有効であるかについて, 実際に(4.6)式で $t_d$ を配線長1mm当たりで試算すると, 通常配線では約170ps, エアブリッジ配線では20~30psであり, エアブリッジ化による配線遅延時間の低減量(約150ps)は本研究での $0.7 \mu\text{m}$ ゲートGaAs DCFLでの単位ゲート当たり標準負荷付き遅延時間より大きい。同ゲート長での $F_I = F_O = 2$ の負荷付きDCFLゲート遅延は次章の表5-2に示す結果では高々100ps程度であり, 信号配線寄生容量はほとんどが信号配線-最上層電源, アース配線間容量であるので各ゲート間の配線長が1mm程度あればLSIのゲート遅延時間は, エアブリッジ配線で通常配線の約40%  
( $= (100+20)/(100+170)$ )に改善し得ると予測される。

エアブリッジ配線を用いたゲートアレイ, 4-kb SRAMの測定結果について次章で詳細に述べるが, ゲートアレイに搭載したリング発振器の測定結果より, 1) 2層配線に比べて, 3層配線化によるエアブリッジ配線での配線遅延の増加分は, 通常3層配線での配線遅延の増加分の約20%であること, 2) エアブリッジ配線での配線遅延は, 通常配線での配線遅延の約50%であること, 3) これによりエアブリッジ配線でのLSIのゲート遅延時間は, 通常配線でのLSIのゲート遅延時間の約60%になることが判明した。これらの実測結果は上述の検討結果にほぼ近いものと考えられる。またエアブリッジ配線を用いた4-kb SRAMのアクセス時間は通常配線を用いたものの約80%に短縮された。

以上により、最上層電源、アース配線としてのエアブリッジ配線の適用は、信号配線遅延時間の大幅な低減をもたらすため、GaAs LSI の高速化に対して非常に有効であると結論できる。

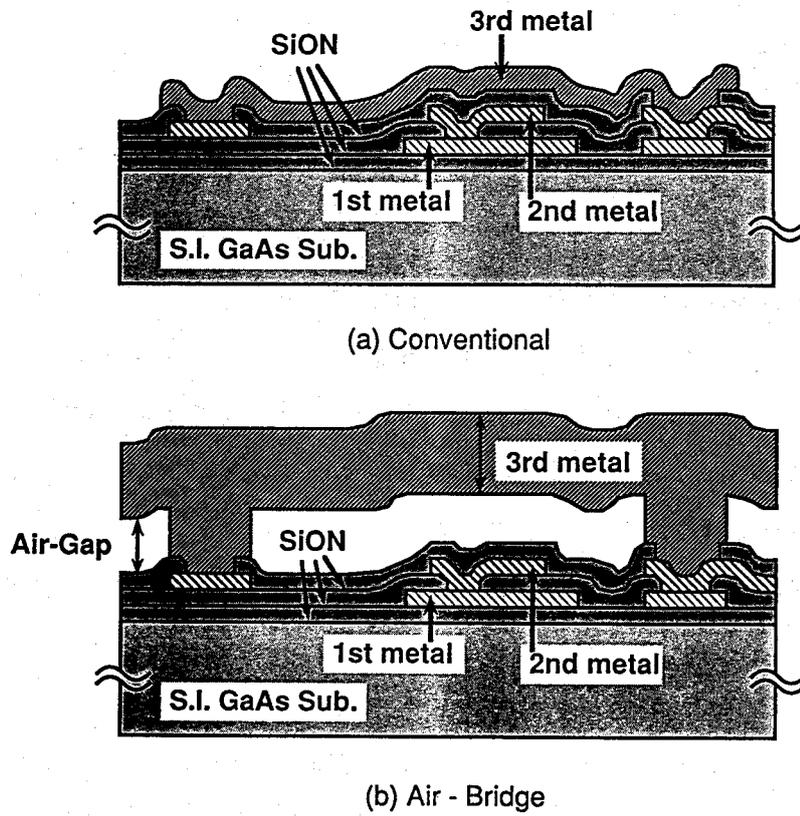


図4—36 3層配線構造の断面図 (a) 通常配線, (b) エアブリッジ配線

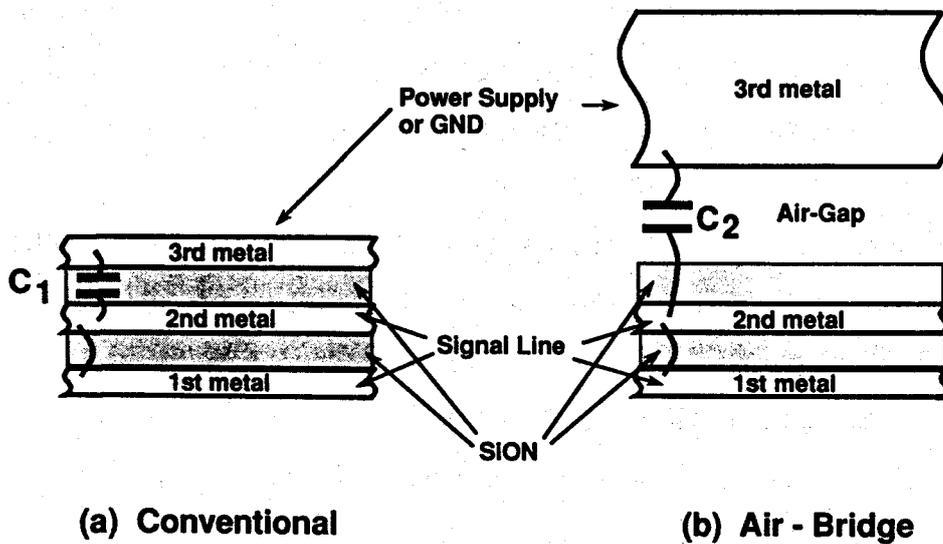


図4—37 電源—信号配線間容量の模式図 (a) 通常配線, (b) エアブリッジ配線

表4-2 第2層—第3層配線間容量の実測値とシミュレーション値

Structure	Measured (fF/mm)	Simulated (fF/mm)	
		Parallel Plate	2D - Analysis
Conventional	189	66	140
Air - Bridged	20	5	31
A.B. / Conv.	0.11	0.08	0.22

#### 4. 5 結言

本章ではGaAs LSI用配線技術として、Au系多層配線プロセス技術を構成するAu配線形成技術、層間絶縁膜形成技術、コンタクトホール形成技術、及び本プロセスによる多層配線プロセスフロー、Auヒロックの発生について検討した。さらに、Auエアブリッジ配線プロセス技術、そしてGaAs LSI動作速度と配線遅延の関係について検討を行い、以下の結果を得た。

1) Ar<sup>+</sup>イオンを用いたイオンミリング法によるAu配線パターン加工においては、イオンミリングレートにイオン入射角度依存性があるため、イオンミリングレートが最大になる入射角度に対してfacetが現われるが、ウエハ面に対してイオンビームを垂直に照射した場合、レジスト端では垂直方向から60度傾いてfacetが形成されてエッチングが進み、そのレジストの後退により、下地のAuは最終的に三角形状となることを示した。これを回避するために30度斜めからイオンビームを照射することにより、上述のレジスト端facetをウエハ表面に対し垂直にしてレジスト形状を矩形化し、それを反映させて下地Auの加工形状も矩形状にできることを確認した。この時、垂直となったレジスト端facetはレジストの中で最もエッチングレートが高くパターン細りが懸念されるが、Auとレジストのミリングレートの差によりパターン細りは約0.1μmに留まり、最小仕上がり寸法0.7μmまでの矩形状Au配線パターンの加工が可能となった。

2) 上記の斜めからのイオンビーム照射により、レジスト側壁、あるいはAu加工パターン側壁に再付着するAuがエッチングされるために、垂直イオンビーム照射時に発生するAu加工パターン幅の太り、パターン端での突起物発生は回避できることを確認した。

3) 層間絶縁膜SiONをプラズマCVD法で形成すると、ステップカバレッジが良好なために、下地パターンを反映して段差が発生するが、SOG (Spin On Glass) 膜塗布後、段差部以外のSOG膜をイオンミリングで除去し、かつ平坦化レジストOMR-85を用いてエッチバックすることにより、前記の段

差はほぼ完全に平坦化できることを示した。尚、GaAs配線プロセスではAuGe-Ni からなるオーミック電極を劣化させないため、約400℃以下の低温プロセスにする必要があるが、本平坦化プロセスは約400℃以下で十分行える特長を有している。

4)  $\text{CHF}_3 + \text{O}_2$  ガスを用いたカソードカップリングのRIEにより層間絶縁膜SiONに異方性の高い急峻な加工形状を有するコンタクトホールを形成できることを示した。カソード電極がAlの場合、コンタクトホール内に柱状のエッチング反応生成物が生じるが、これはAES分析の結果、最表層を $\text{CF}_x$ ポリマーで覆われたSiONFであることを確認した。この生成物は $\text{SF}_6$ ,  $\text{NF}_3$  ガスを用いたRIEでは見られないため、SiON表面の $\text{CF}_x$ ポリマー発生が関与していると考えられるが、Alカソード電極をテフロン、あるいはSiで被覆した場合発生しないのでAlのフッ化物、酸化物、あるいはAlに含まれる重金属不純物のフッ化物、酸化物が $\text{CF}_x$ ポリマー形成の核となり、以後 $\text{CF}_x$ ポリマーに包まれる形で柱状のSiONFが残留するものと推定された。この反応生成物は、最表面の $\text{CF}_x$ ポリマーを $\text{O}_2$ プラズマ処理で、内側のSiONFをHF水溶液のエッチングで除去することができる。

5) 下地に段差を有するAu配線パターン上にAuヒロックが発生することを明らかにした。このヒロックは、上層のSiON成膜温度の増加と共に増えるが、その発生メカニズムとして、GaAs基板上に形成されたAuスパッタ膜が昇温プロセスにより圧縮応力を受け、それを緩和するためにAuが自己拡散を起こしてAu表面にヒロックを形成するというモデルが考えられる。Auヒロックが下地に段差を有する部分に集中して多く観察されるのはこの部分に応力が集中しているためと言え、上述のヒロック密度と熱処理温度の関係からヒロック発生の活性化エネルギーは1.50 eVであったが、これはAuバルク中での自己拡散の活性化エネルギー1.81 eVより小さく、本ヒロック中に見られるgrain boundaryを介した拡散であると推定された。SiON成膜温度を300℃から250℃に低下すると、ヒロック密度は前者での6%に低減し、これにより16-kb SRAMの層間リーク不良発生頻度も大幅に低減することができた。

6) メタルポスト用下層レジスト、エアブリッジ配線上層レジストからなる2層レジストプロセスにより、メタルポスト高さ $2.5\mu\text{m}$ 、エアブリッジ膜厚 $4.0\mu\text{m}$ のAuメッキエアブリッジ構造で、Auメッキ膜の自重によるたわみの無い状態で、メタルポスト間スパン長 $500\mu\text{m}$ の長スパンAuエアブリッジ配線が形成できることを確認した。

7) 2層、3層配線両構造の16-kb SRAMでの配線遅延時間を、半絶縁性GaAs基板容量の影響は無視し、層間配線容量の効果を考慮して分布RC遅延モデルであるWilhelm、あるいは桜井の式で見積った結果、2層配線のSRAMに対する3層配線のSRAMのアクセス時間の中での配線遅延の短縮比は74%であり、実測結果である同短縮比70%とほぼ一致することを明らかにした。また2層配線の16-kb SRAMでの配線遅延と3層配線の16-kb SRAMでの配線遅延の相対比74%は、配線容量を集中RC回路として扱うSPICE2シミュレーションによる相対比57%とはかなり異なるが、16-kb SRAMの実測結果

70%は分布RC遅延モデルでの計算値に近いので、本16-kb SRAM 程度の集積度を有するLSIでは、配線遅延は分布RC遅延として扱う必要があることが明らかになった。

8) Auエアブリッジ配線を最上層電源、アース配線として、LSIに初めて適用した。その結果、下層信号配線—最上層エアブリッジ配線間容量は、エアブリッジでない従来の層間絶縁膜SiONを有する構造に比べて約10%に、信号配線遅延時間は約50%に、 $0.7\mu\text{m}$ ゲートBPLDD-FETを用いたDCFLゲートの標準負荷付き遅延時間（FET真性遅延、ファンイン、ファンアウト負荷遅延、配線負荷遅延の総和：ファンイン数=ファンアウト数=2、Au負荷配線長2mm）は約60%に低下した。これらの実測結果に対する7)の分布RC遅延モデル（桜井の式）での予測値はおおよそ一致した。

## 参考文献

- [1] E. Philofsky "Design Limit when using Gold-Aluminum Bond", in *10th Annual Proc. of Intl. Reliability Physics Symp.*, 1972, pp.114.
- [2] N. Kato, M. Hirayama, M. Asai, K. Matsuoka, K. Yamasaki, and T. Ogino, "A high density GaAs static RAM process using MASFET", in *IEDM Tech. Dig.*, Dec. 1985, pp.90-93.
- [3] N. Tanino, S. Takano, M. Noda, H. Makino, K. Sumitani, H. Nakano, K. Nishitani, and S. Kayano, "A 2.5 ns / 200 mW GaAs 4Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1986, pp.101-104.
- [4] R. C. Kezer, K. R. Elliott, L. G. Salmon, A. M. Cappon, E. V. Korpinen, E. R. Walton, S. J. Ross, and C. T. Tsen, "A 7K GaAs Configurable Cluster Gate Array", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.193-196.
- [5] C. J. Anderson, J. H. Magerlein, G. J. Scott, S. Bermon, A. Callegari, J. D. Feder, J. H. Greiner, P. D. Hoh, H. J. Hovel, A. T. S. Pomerence, P. Roche, and M. Thomas, "A GaAs MESFET 16 x 16 Crosspoint Switch at 1700 Mbit/sec", in *GaAs IC Symp. Tech. Dig.*, 1988, pp.91-94.
- [6] 長谷川, 関「超高速LSI/VLSI とその基本素子特性に関する一考察」電子情報通信学会研究会資料 ED84-127, 1984, pp.61-68.
- [7] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.
- [8] M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A High-Speed 16-kb GaAs SRAM of Less than 5 ns Using Triple-Level Metal Interconnection", *IEEE Trans. Electron Devices*, vol. ED-39, No. 3, Mar. 1992, pp.494-499.
- [9] M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A triple-level interconnection technology for high speed 16Kb GaAs SRAM", in *20th Conf. on Solid State Devices and Materials (Sendai, Japan)*, 1990, pp.71-74.
- [10] H. Kawasaki, M. Wada, Y. Hida, C. Takano, and J. Kasahara, "10K Gate GaAs JFET Sea of Gate", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.135-138.
- [11] G. Lee, B. Donckels, A. Grey, and I. Deyhimy, "A High Density GaAs Gate Array Architecture", in *CICC Tech. Dig.*, 1991, pp.14.7.1-14.7.4.
- [12] S. Notomi, Y. Watanabe, M. Kosugi, I. Hanyu, M. Suzuki, T. Mimura, and M. Abe, "A 45-K Gate HEMT Array with 35-ps DCFL and 50-ps BDCFL Gates", *IEEE J. Solid-State Circuits*, vol. SC-26, no. 11, Nov. 1991, pp.1621-1625.
- [13] T. Inoue, K. Tomita, Y. Kitaura, T. Terada, and N. Uchidomi, "A Rh/Au/Rh rigid air-bridge interconnection technique for ultra-high speed GaAs LSIs", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.253-256.

- [14] M. Noda, H. Matsuoka, N. Higashisaka, M. Shimada, H. Makino, S. Matsue, Y. Mitsui, K. Nishitani, and A. Tada, "An Application of Air-Bridge Metal Interconnections to High Speed GaAs LSI's", *IEICE Trans. Electron.*, vol. E75-C, No. 10, Oct. 1992, pp.1146-1153.
- [15] 大森 正道 「超高速化合物半導体デバイス」培風館, 1986.
- [16] I. W. Rangelow, "Computer simulation of line edge profiles undergoing ion bombardment", *J. Vac. Sci. Technol.*, vol. A1, no. 2, Apr./Jun. 1983, pp.410-414.
- [17] 今井, 生駒, 佐藤, 藤本 「化合物半導体デバイス (II)」工業調査会, 1984.
- [18] H. Tsuge, S. Esho, and H. Gokan, "Simulation of ion-beam etched pattern profiles", *J. Vac. Sci. Technol.*, vol. 19, no. 2, Jul./Aug. 1981, pp.221-224.
- [19] Y. Yuba, T. Ishida, K. Gamo, and Namba, "Characterization of ion beam etching induced defects in GaAs", *J. Vac. Sci. Technol.*, vol. B6, no. 1, Jan./Feb. 1988, pp.253-256.
- [20] 菅野 卓雄 「半導体プラズマプロセス技術」産業図書, 1985.
- [21] Y. Ozaki and K. Hirata, *J. Vac. Sci. Technol.*, vol. 21, 1982, pp.61.
- [22] S. M. Sze, *VLSI Technology*, McGraw-Hill, 1983.
- [23] S. Vaidya, D. B. Fraser, and A. K. Sinha, "Electromigration Resistance of Fine Line Al", in *Proc. 18th Reliability Physics Symp.*, New York, 1980, p.165.
- [24] K. Hinode, I. Asano, and Y. Homma, "Void formation mechanism in VLSI aluminum metallization", *IEEE Trans. Electron Devices*, vol. ED-36, No. 6, Jun. 1989, pp.1050-1055.
- [25] J. Yue, W. Funsten, and R. Taylor, "Stress induced voids in aluminum interconnects during IC processing", in *23th Annual Proc. of Intl. Reliability Physics Symp.*, 1985, pp.126-134.
- [26] S. Suzuki, A. Shintani, and H. Nakashima, "Temperature dependence of the stress in PSG/Al-Si structures", *Thin Solid Films*, vol. 82, 1981, pp.143-150.
- [27] C. V. Smithells, *Metal Reference Book*, vol. 2, 4th ed. Stoneham, MA: Butterworths, 1967.
- [28] H. U. Schreiber, "Activation energies for the different electromigration mechanisms in aluminum", *Solid -State Electron.* vol. 24, 1981, pp.583-589.
- [29] G. D. McCormack, A. G. Rode, and E. W. Strid, "A GaAs MSI 8-bit Multiplexer and Demultiplexer", in *GaAs IC Symp. Tech. Dig.*, 1982, pp.25-28.
- [30] T. Inoue, K. Tomita, Y. Kitaura, T. Terada, and N. Uchidomi, "A Rh/Au/Rh Rigid Air-bridge Interconnection Technique for Ultra-high Speed GaAs LSIs", in *IEICE Technical Report*, vol. ED90-381, 1991.
- [31] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.
- [32] W. Wilhelm, "Propagation Delays of Interconnect Lines in Large-Scale Integrated Circuits", *Simens*

*Research and Development Reports*, vol. BD-15, no. 2, 1986, pp.60-63.

[33] T. Sakurai, "Approximation of wiring delay in MOSFET LSI", *IEEE J. Solid-State Circuits*, vol. SC-18, no. 8, Aug. 1983, pp.418-426.

[34] R. H. Janzen, "The Spectral-Domain Approach for Microwave Integrated Circuits", *IEEE Trans. Microwave Theory Tech.*, vol. 33, no. 10, Oct. 1985, pp.1043-1056.

## 第5章 GaAs LSI 設計技術とSRAM, マルチプレクサー/デマルチプレクサーへの応用

### 5.1 緒言

GaAs MESFET LSI 設計技術のSi に対する独自性は、まずMESFET による基本論理回路を用いる点にある。GaAs MESFET 用基本論理回路として、開発当初より種々の回路が考案されてきた。それらをまとめて表5-1 に示す。このうち特にDCFL (Direct - Coupled FET Logic) はSi MOSFET によるNMOS 回路と同等であり、他の基本ゲート回路と比べてゲート当りの素子数は2個と少なく高集積化、低消費電力化に向いている [1]。LSI の仕様はシステム側から消費電力を限定される場合がほとんどであるため現時点では、DCFL がLSI, VLSI 用基本ゲートの主流となっている。但し1000ゲート程度以下のLSI で消費電力よりも特に超高速動作を要求される場合は、Si バイポーラTr. を用いたECL 回路と同等のSCFL (Source - Coupled FET Logic) が、両相駆動であるためDCFL に比べて駆動力が大きい点、複合ゲートを構成しやすく総合ゲート数を少なくできる点で有利である [2]。

これらの基本ゲートを用いて実際に回路設計する際、GaAs MESFET ではSi MOSFET に比べて基板リーク電流が約3桁大きいこと例えばゲートオフ時の消費電流を無視できないこと [3]、また特にDCFL を用いる場合、論理 "High" レベルの電圧 $V_H$  が次段入力ゲートの $\phi_B$  に相当する約0.7V にクランプされてしまうために論理振幅が約0.6V と小さいこと、基板リーク電流、 $\Phi_B$ 、 $V_{th}$  等に温度依存性があること [4]、論理振幅が小さいのでGaAs MESFET の比較的大きい $V_{th}$  ばらつきの影響をより大きく受けってしまうこと等の重大な問題が存在する。よって具体的なLSI 設計の中でそれらに対策を講じていく必要がある。またメモリLSI の場合、十分なソフトエラー耐性を確保するためにメモリセル設計、あるいは素子構造を検討しなくてはならない。

本章では、まずGaAs LSI 用基本論理回路としてのDCFLとSCFLの比較結果、負荷付きリング発振器による動作速度、消費電力からのDCFLゲートの負荷駆動能力の検討結果、さらには具体的な回路として、メモリ LSI では4-kb SRAM, また16-kb SRAM, ロジックLSI では2.5 Gb/s 16:1 マルチプレクサー/デマルチプレクサーの回路設計、試作・評価結果について述べる。

表5-1 GaAs MESFET 用基本論理回路

基本回路形式		使用形態	
DCFL	(Direct Coupled FET Logic)	E/D, E/R-MES	エンハンスメント形 (ノーマリオフまたは) 弱ノーマリオン形
LPFL	(Low Pinchoff-voltage FET Logic)	E/D, E/R-MES	
LSCFL	(Low-power Source Coupled FET Logic)	E/R-MES	
BFL	(Buffered FET Logic)	D-MES	ディプリーション形
SDFL	(Schottcky Diode FET Logic)	D-MES	
SCFL	(Source Coupled FET Logic)	D/R-MES	
CCL	(Capacitor Coupled FET Logic)	D-MES	
CDFL	(Capacitor Diode FET Logic)	D-MES	

## 5. 2 GaAs LSI 用基本論理回路

### 5. 2. 1 DCFL (Direct-Coupled FET Logic)

DCFL はSi MOSFETでのNMOS回路と同様の ratio 回路である。図5-1にその回路構成を示す。本図はインバータNOR 回路で、E (エンハンスメント) 型 FET をスイッチング素子とし、D (デプレッション) 型 FET または抵抗を負荷素子とした2種類の素子から構成される。電源は正の単一電源 0.6 ~ 2.0 V, スwitching FET の  $V_{th}$  は 0 ~ 0.3 V, 出力は電源電圧と上述の E/D-FET の抵抗比で決まる正電圧になるはずであるが、この出力は直接次段の DCFL ゲートに接続されるためにそのショットキー特性により約 0.7 V でクランプされる。この点が Si の E/D NMOS ゲートで  $V_H$  が電源電圧の約 5 V まで引き上げられるのと異なる。通常 DCFL での論理 "Low"  $V_L$  は約 0.1 V に設定されるので、DCFL での論理振幅は約 0.6 V になり、Si E/D NMOS に比べ約 1 桁近く小さい。この小さい論理振幅は  $V_{th}$  ばらつきの影響を受けやすいという大きな問題があるものの、高速動作の点では有利である。またこの DCFL は使用素子数が少なく、同時に消費電力も通常  $10 \mu W \sim 1 mW / gate$  と他の基本論理回路に比べて 1 桁以上小さいので LSI, VLSI 用基本ゲートに適しており [5], 現在まで報告されている GaAs LSI の多くは DCFL 構成である [2],[6],[7]。

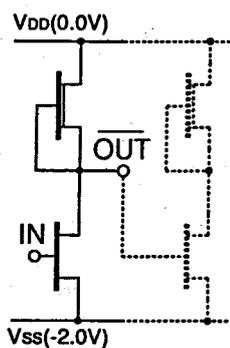


図5-1 DCFL 回路

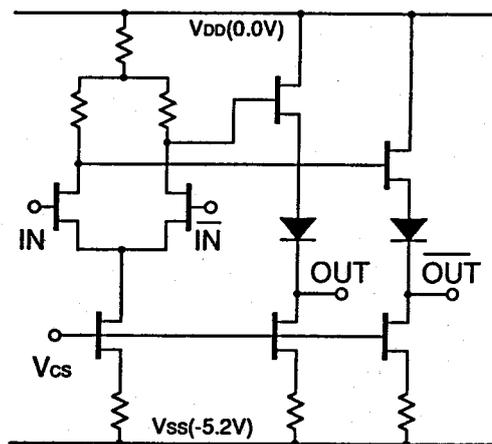


図5-2 SCFL 回路

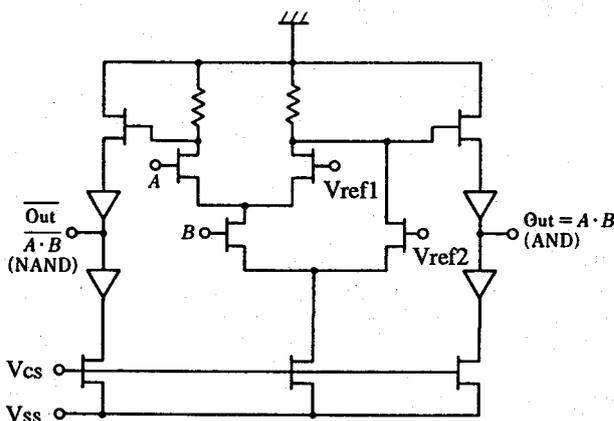


図5-3 SCFL における縦積みゲート論理

### 5. 2. 2 SCFL (Source-Coupled FET Logic)

これに対して、SCFLはSiパイポーラTr.によるECL (Emitter-Coupled Logic) 回路と同様の構成であり、電流切換え型回路である。図5-2にその回路構成を示すが、1つの差動増幅器と2つのダイオードレベルシフター付きソースフォロワバッファからなり、素子種、素子数が多く、常にどちらかのスイッチングFETはオンしているので消費電力が大きい。しかし基本的に相補入出力を持ち、ソースフォロワ出力なので負荷駆動性が高いこと、差動増幅器なので $V_{th}$ の絶対値はあまり問題ではなくその変動に対してDCFLより強いこと、さらに大きな利点として図5-3に示す様な縦積みゲート論理を構成できるのでAND-NAND等の複合ゲートが容易に得られ、少ないゲート数でフリップフロップ、分周器等の基本論理ブロックを組むことができるため、通常NORゲートしか組めないDCFLに比べて総ゲート数を低減でき、より高速動作が可能となる。但し単位ゲートを構成する素子数が多く、かつ相補入出力を有するので配線は複雑になりその面積も大きくなる [2]。

### 5. 2. 3 DCFLゲートの負荷駆動特性

GaAs LSI用基本論理回路としてDCFLとSCFLの特徴を前節に述べたが、本研究では高速動作でかつ消費電力の上限が設定されたSRAM、マルチプレクサー/デマルチプレクサーの開発を行なうために、DCFLを採用することにした。DCFLは高速かつ低消費電力であるものの、前節で述べた様にMESFETのE/Dインバータ出力が直接次段を駆動する構成なので負荷駆動力が小さい。DCFLゲートの負荷駆動特性は負荷付きリング発振器動作時のゲート遅延時間、その時のゲート消費電力から評価した。

DCFLゲートはE-FET, D-FET共 $0.7\mu\text{m}$ ゲートBPLDD-FETを用い、そのサイズ(ゲート幅)は各々 $20\mu\text{m}$ ,  $10\mu\text{m}$ とした。負荷付きリング発振器は負荷無しリング発振器と共に図5-4に示す2.1-kゲートのDCFLゲートアレイ上に構成した。本ゲートアレイのチップフロアプラン、基本セルを図5-5に示す。基本セルは2NORである。本検討では、前章4.4.3のエアブリッジ配線適用による配線遅延低減の検討を同時に行った。負荷としてファンイン負荷( $FI=2$ )、ファンアウト負荷( $FO=2$ )、Au信号配線負荷(配線長 $2\text{mm}$ )の各々を付加したリング発振器を別個に作製した。リング発振器は2層配線までで十分構成できるので、第3層電源用エアブリッジ配線による配線遅延は2層配線でリング発振器を作製、評価した後、その上部に2層配線での電源部に接続したエアブリッジ配線を形成して再評価した。同時に第3層電源用通常配線による配線遅延についても評価した。ゲートアレイ上に構成した第3層電源用エアブリッジ配線を図5-6に示す。交互に配置された電源線、グラウンド線、及びメタルポストが見られる。表5-2に上述の負荷付きリング発振器の測定結果を示す。 $t_{di}$ は真性ゲート遅延、 $K_{FI}$ は単位ファンイン遅延、 $K_{FO}$ は単位ファンアウト遅延、 $K_{Au}$ はAu配線

1 mm当たりの遅延, Total は各遅延の総和 (但しAu 配線は2 mmとして計算) を表す。本結果より, 出力側のファンアウト遅延, 配線遅延は真性ゲート遅延とはほぼ同等であり, 先に予想したDCFL ゲートの負荷駆動力不足が現われている。よってファンアウト数, 及び前章で検討した配線遅延の影響を十分考慮した上で実際のLSI 設計を行う必要がある。エアブリッジ化による配線遅延低減は, 前章4.4.3にて既に述べたように2層配線の $K_{Au}$ と3層配線の $K_{Au}$ の差が3層電源配線と下層信号配線間クロスオーバー容量による配線遅延に対応するが, 3層電源配線がエアブリッジ配線の場合, その配線遅延は3層電源配線が通常配線の場合の約20%に改善されている。これにより3層電源配線がエアブリッジ配線の場合の配線遅延 $K_{Au}$ は, 3層電源配線が通常配線の場合の配線遅延 $K_{Au}$ に比べ約50%に低減され, さらに上記の負荷付きゲート遅延 (FI=FO=2, Au 配線長 2 mm) においては約60%低減されることが分かる。このように負荷駆動力が高くないDCFLでLSIを構成する際には, エアブリッジ配線は極めて有効であると言える。尚, ゲート消費電力はどの配線構造においても高々2 mW / gate 以下であり, SCFL での通常値約20 mW / gate に比べ十分小さい。

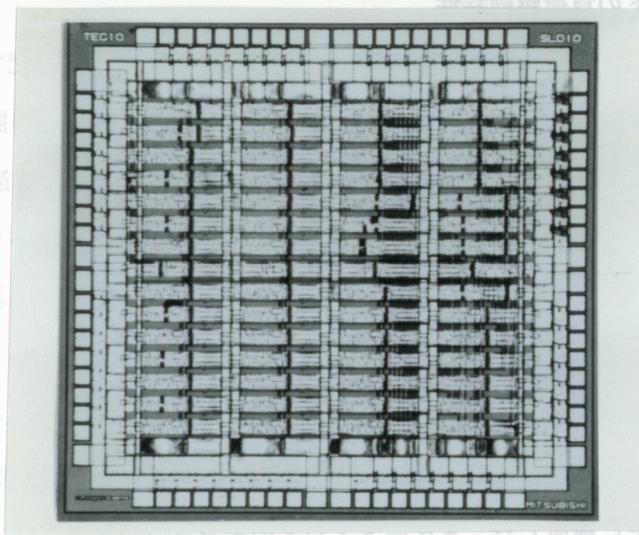


図5-4  
2.1-k ゲートDCFL  
ゲートアレイ

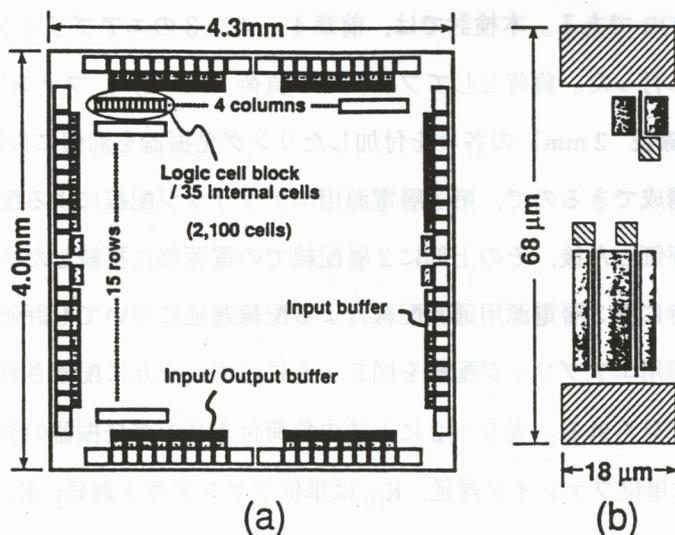


図5-5  
本ゲートアレイの  
チップフロアプラン (a),  
基本セル (b)

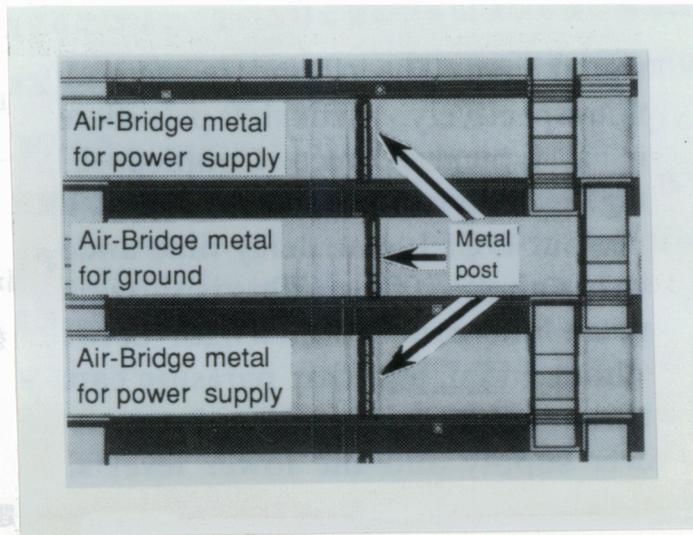


図5—6 ゲートアレイ上に構成した第3層電源用エアブリッジ配線

No.	Structure	tdi (ps)	$K_{FI}$ (ps)	$K_{FO}$ (ps)	$K_{Au}$ (ps)	Total (ps)
1	Double	27	8	16	23	98
2	Triple (conventional)	30	9	20	59	177
3	Triple (Air-Bridged)	29	8	18	29	110
Difference	2—1	3	1	4	36	79
	3—1	2	0	3	6	12

表5—2 負荷付きリング発振器の測定結果

### 5. 3 メモリLSI (SRAM) 設計技術

従来より高速GaAs SRAMは大規模シミュレーションや大容量高速画像処理等を実現できる科学技術計算用スーパーコンピュータへの応用が期待されてきており [7], [8], 現在では既に4-kb SRAMまでの製品化アナウンスがなされるに至っている [9]。今までに数多くのGaAs SRAMに関する報告が高速動作の観点でなされているが [10], [11], 実使用時の高温状態での全ビットにおける動作マージンについての検討はほとんどなされていなかった。GaAs MESFET固有の高速性を実証するためにチップ内の最高速ビット動作を確認することも大事であるが、実用上広い温度範囲で十分な動作マージンを持ってGaAs SRAM中の全てのビットが動作することがより重要である。

E/D - DCFLで構成されるGaAs SRAMでは、前節で述べた様に信号電圧振幅がSi MOSFETに比べ約1桁小さくMESFET特性の温度依存性により高温動作時に広い動作マージンを維持するのは難しい。そこで温度依存性を小さくする回路技術が必要となる。

#### 5. 3. 1 高温動作時のGaAs MESFET 特性劣化に伴う回路動作上の問題点

温度上昇に伴いGaAs MESFET 特性は変動するが [12], [13], 特に $V_{th}$ は約1 mV/deg, K値は約0.15 %/deg 温度増加により低下する。またサブスレッショルドリーク電流やゲートからソース, ドレインへ流れるショットキー電流も, 0°Cから100°Cへの温度上昇で, 各々約3桁, また100%以上増大する。これらのFETデバイスパラメータの変動は当然SRAMとしての回路動作に影響を及ぼす。この高温時にGaAs SRAMに生じる2つの主な問題を次に述べる。

##### 5. 3. 1. 1 DCFL インバータ特性の劣化

図5-7に0, 25, 50, 75, 100°CにおけるE/D - DCFL構成のインバータ特性を示す。温度上昇に伴い, インバータ出力の"High" レベル, "Low" レベルは各々低下, 上昇し, また"High" から"Low"へ遷移する領域は広くなる。つまり信号電圧振幅は低下し, "High" レベルから"Low" レベルへの遷移傾斜は緩くなる。出力の"High" レベルの低下はドライバーE-FETでのドレイン-ソース間リーク, 及び次段のドライバーE-FETでのゲート-ソース間ショットキー電流の増加により生じる。出力の"Low" レベルの上昇はドライバーE-FETでのゲート-ソース, ドレイン間ショットキー電流の増加による。"High" から"Low"へ遷移する領域が広がるのは, ドライバーE-FETの $V_{th}$ が低下するので"High"レベルが早く低下し始め, K値も低下するのでドライバーE-FETがON時の等価ドレイン-ソース間抵抗が増加するためである。

信号電圧振幅と"High" レベルから"Low" レベルへの遷移傾斜の低下によりノイズマージンは減少する。特に出力の"Low" レベルの上昇は次段ドライバーE-FETでのドレイン-ソース間リークを増加させるので, 次段出力の"High" レベルはさらに低下する。

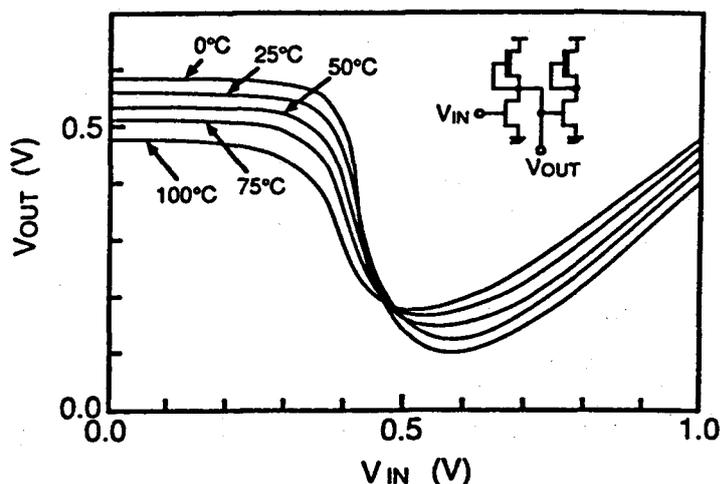


図5-7 E/D-DCFL インバータ特性 (パラメータ：温度)

### 5. 3. 1. 2 リーク電流の増加によるビットライン電位，メモリセル安定性の低下

もう一つの高温動作時の重大な問題は，図5-8に示すビット線電位とメモリセルの安定性がメモリセルのアクセスTr.でのリーク電流に強く影響されることである。100℃程度の高温時には，GaAs MESFETのサブスレッショルドリーク電流はSi MOSFETより5～6桁大きいので，このリーク電流は容易に回路動作に影響を及ぼす。メモリ回路の中ではメモリセルとビット線が最も微小な電流で動作するためにそのようなリーク電流の影響を特に強く受けやすい。図5-9にメモリセルを通るリーク電流の経路を示す。図においてワード線レベルは"Low" (0～0.1 V)でメモリセルは非選択状態にある。メモリセルは左側の蓄積ノードに"Low"データを，右側の蓄積ノードに"High"データを保持している。リーク電流は図中矢印で示す"Low"ノードに接続しているアクセスTr.を介する経路を流れることになる。その理由は，"High"ノードのレベルは約0.6 Vでビット線電位は"Low"を0.4 V，"High"を0.6 Vに設計しているため，"High"ノードに接続しているアクセスTr.はゲートドレイン，ソース間が逆バイアスされていることになりリーク電流は十分小さくなるからである。リーク電流は上述の"Low"ノードでのみ流れるので，ビット線当たりのリーク電流の総和は個々のアクセスTr.でのリーク電流だけでなくメモリセル数，各カラムでの蓄積データの組み合わせにも依存する。図5-10に  $V_{th} = 0.15$  VのアクセスTr.におけるドレイン-ソース間リーク電流の温度依存性を示す。測定条件は  $V_{ds} = 0.6$  V,  $V_{gs} = -0.2, 0, 0.1$  Vである。リーク電流は，温度上昇，あるいはゲート電圧の増加に伴い急速に増加することが分かる。 $V_{gs}$ は $V_{th}$ に対して十分低いことが有効である。

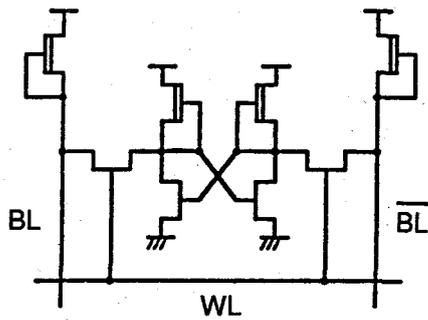


図5-8 ビット線、ワード線、メモリセルの接続状態

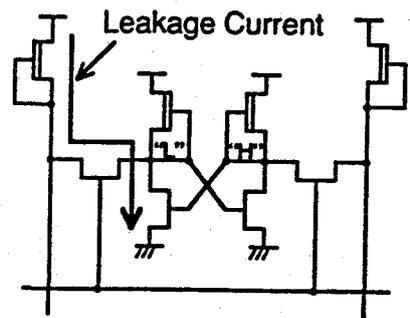


図5-9 メモリセルを通るリーク電流の経路

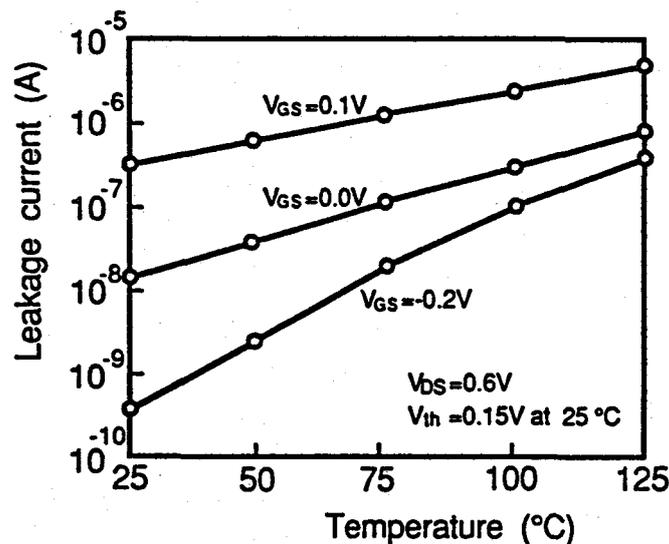


図5-10 アクセスTr.におけるドレイン-ソース間リーク電流の温度依存性

ビット線とメモリセルに対するリーク電流の影響を解析するために、SPICE2を用いたシミュレーションを行った。図5-11にシミュレーションに用いた回路ダイアグラムを示す。この回路には互いに反対のデータを蓄積するメモリセル (Cell 1 と Cell 2) , ビット線負荷FET (Q1, Q2) , ビット線容量  $C_B$  , 同じカラムに接続される他のメモリセルのアクセスTr. でのリーク電流の総和を表す電流源  $I_L$  がある。この図での状況は、他の全てのメモリセルが "BL"側で "Low" を、" $\overline{BL}$ "側で "High" を保持している場合に相当する。メモリセルを選択するのに逆相の2信号 (WL1, WL2) が与えられる。図5-12にビット線電位のリーク電流  $I_L$  依存性を示す。リーク電流  $I_L$  が増加すると、ビット線電位BLは低下する。ビット線信号はビット線電位に敏感なセンスアンプへの入力信号であり、SRAMのアクセス時間に影響を及ぼす。よってアクセス時間は温度に依存する。さらにビット線でのリーク電流はカラムでの蓄積データの組み合わせに依存するので、アクセス時間は実動作時での種々のデータパターンに依存し、温度が上昇するほど顕著になる。

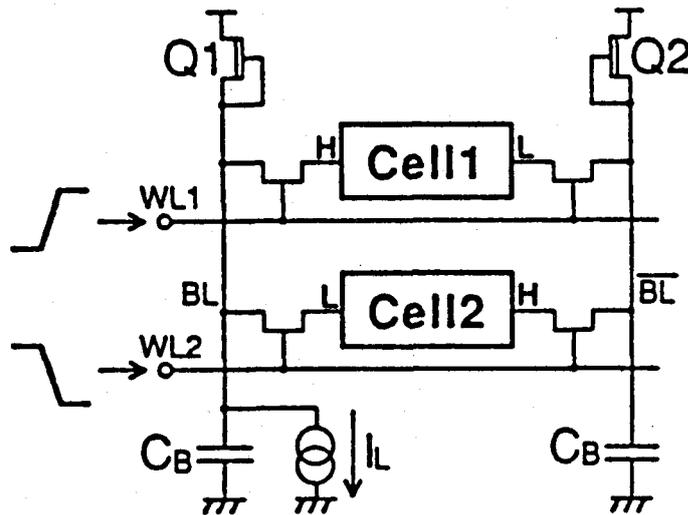


図5-11 リーク電流シミュレーション用回路ダイアグラム

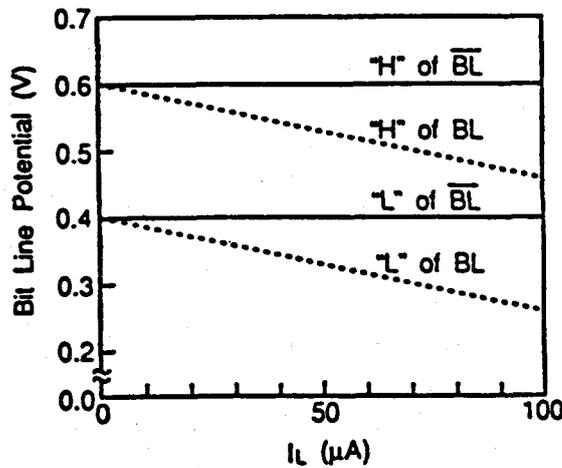


図5-12 ビット線電位のリーク電流  $I_L$  依存性

図5-13にリーク電流  $I_L$  とビット線容量  $C_B$  に対するメモリセルの安定性を示す。図中 "PASS" (正常動作) 領域と "FAIL" (不良動作) 領域があり, "PASS" 領域ではデータはビット線に正常に読み出されているが, "FAIL" 領域ではCell 1 が選択されるとすぐに直前のビット線データによりCell 1 の蓄積データが反転してしまうため, 読み出し動作は不良になる。リーク電流  $I_L$  またはビット線容量  $C_B$  が増加するとメモリセルは不安定になる。リーク電流  $I_L$  とビット線容量  $C_B$  は共に一つのカラムに接続しているメモリセル数に比例するので, 本シミュレーション結果からその数は制限されるべきであることが分かる。図5-13中の3つの白丸は, ワード線電位が0Vのカラム1個当たりに16, 32, 64

個のメモリセルがある場合の  $I_L$ ,  $C_B$  を表す。同様に3つの黒丸はワード線電位が0.1Vの場合である。ビット線容量はメモリセル当たり20 pF, 温度は75°Cを仮定している。一つのカラムに64個のメモリセルが接続すると, ワード線電位が0, 0.1Vの双方とも対応点は"FAIL"領域にありSRAMは75°Cでは動作しないことが分かる。メモリセル数を32個に減らすとワード線電位が0.1V付近でもメモリセル動作は安定となる。SRAMがE/D-DCFLで構成される時, ワード線の"Low"レベルは約0.1Vで図5-13での黒丸に対応するので, その動作は75°Cで安定になる。メモリセル数をさらに16個まで減らすとワード線電位が0.1Vを大きく越えても対応点は"PASS"領域を維持すると考えられる。以上の解析により, アクセスTr.でのリーク電流の低減と1カラムでのメモリセル数の最適化が, GaAs SRAMを広い温度領域にわたり動作させるのに必要であると結論できる。

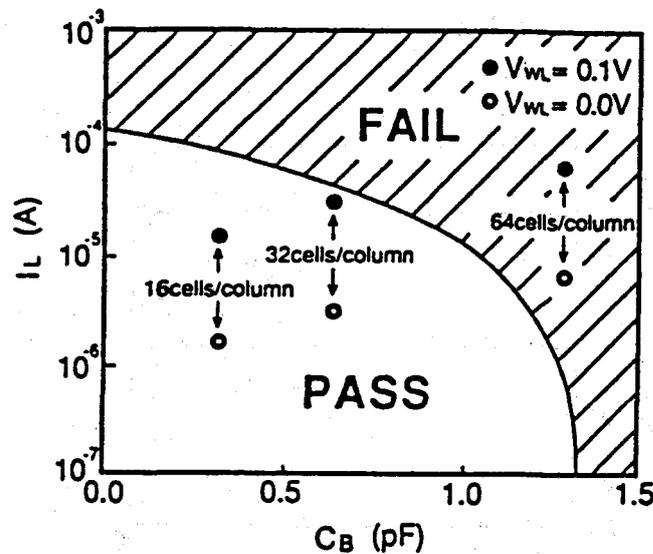


図5-13 リーク電流  $I_L$  とビット線容量  $C_B$  に対するメモリセルの安定性

### 5.3.2 ソフトエラー耐性の問題

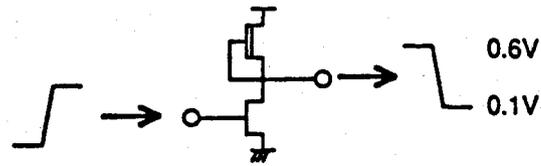
ソフトエラーは次の様な現象である。 $\alpha$ 粒子がメモリセルの"High"レベルを保持するノード付近に入射すると, 基板中に多くの電子-正孔対が発生してその大部分の電子が短時間のうちにドリフトと拡散により"High"レベルのノードに吸引される。単一 $\alpha$ 線入射での蓄積データの反転は, 以上のプロセスにより"High"レベルを保持するノードの電位が低下することで生じる[14]。よってGaAs SRAMのソフトエラー耐性を改善するには,  $\alpha$ 線誘起電流で生じるノード電位の変動を抑制することが必要である。

GaAsはSiに比べその広いバンドギャップにより耐放射線性が優れている [15], [16] が, 従来のGaAs SRAMのソフトエラー率はSi SRAMよりも大きかった。その理由はメモリセルの蓄積ノードの"High"レベルがショットキーバリア高さ $\phi_B$ より高くできず, その結果 $\alpha$ 線誘起電流により蓄積データは容易に反転されてしまうからである。現在までGaAs SRAMのソフトエラー耐性について幾つかの報告があるが [17], [18], 4-kb以上のGaAs SRAMについての具体的な解決策は未だ提示されていない。筆者らの実験によると, 特にソフトエラー対策を施さないGaAs 4-kb SRAMのソフトエラー率はSi 1-kb ECL SRAMでの100 FIT ( $1 \times 10^7$  error / device · hour) より約2桁高い。通常コンピュータシステムで使用されるRAMでは100 FIT以下のソフトエラー率が要求されるので, GaAs SRAMのソフトエラー耐性の向上が実使用上必須となる。

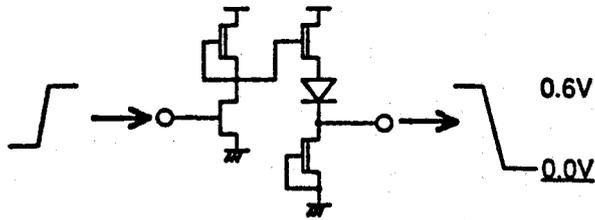
### 5. 3. 3 回路設計での対策

#### 5. 3. 3. 1 ソースフォロア回路の適用

GaAs 4-kb / 16-kb SRAMは基本的に低消費電力, 高集積性に適したE/D - DCFLで構成しているが, 前述の通りE/D - DCFLでは高温時にインバータ特性が劣化するため高温時の動作マージンを確保するのが困難である。特にトランスファージェット, あるいは周辺回路での多入力NORゲートでは, 寄生ショットキー電流の増加により"Low"レベルが上昇しやすく誤動作が容易に起こる。そこで高温時にも十分な電圧振幅が必要となる箇所にソースフォロワ回路を適用した。図5-14にE/Dインバータとソースフォロワでの出力電圧レベルを示す。ソースフォロワ回路では出力の"Low"レベルがほぼグラウンドレベルにまで低下し, 100°Cの高温時でも0.1 V以下を維持している。さらに16-kb SRAMではソースフォロワ回路入力部にクランプダイオードを付加して"High"レベルと消費電力の電源電圧依存性の低減を図った。図5-15に通常のE/D - DCFLとソースフォロワ回路を適用した新回路における信号レベルの電源電圧依存性を示す。動作温度25~100°C, 電源電圧1.6~2.0 Vの範囲で, "Low"レベルは0.02~0.08 V, 電圧振幅は0.50~0.58 Vと変動は十分抑制されている。16-kb SRAMにおいては100°Cで十分な電圧振幅を確保するために電源電圧は1.8 Vに設定した。ソースフォロワ出力での"High"レベルは次段のドライバーFET入力ゲートのショットキーバリア高さで決まるため, E/Dインバータの場合と同等である。このようにソースフォロワ回路の適用により電圧振幅は増加し, 回路動作は高温時でも安定となる。

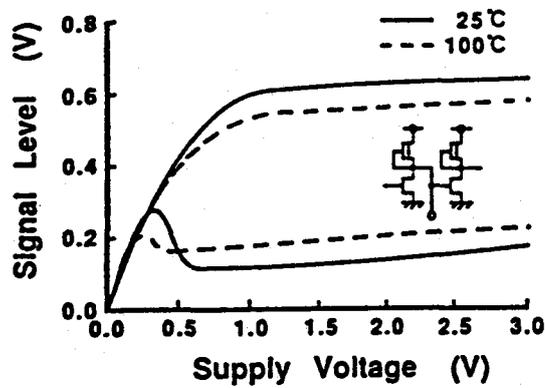


E/D-inverter

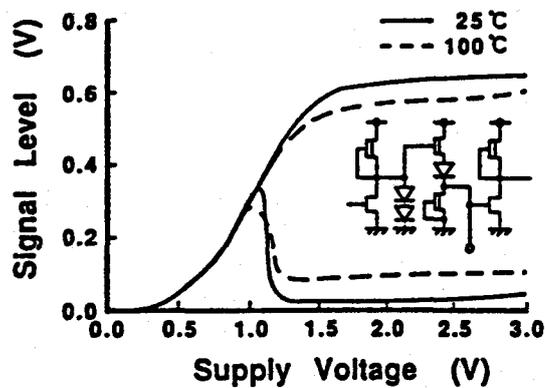


E/D-inverter + Source-follower

図5—14 E/D インバータとソースフォロワでの出力電圧レベル



(a)



(b)

図5—15 通常のE/D-DCFL (a) とソースフォロワ回路を適用した場合 (b) の信号レベルの電源電圧依存性

### 5. 3. 3. 2 メモリセル配置

高温時でのGaAs SRAMの動作を安定化させるために、非選択メモリセルのアクセスTr.でのリーク電流の総和を低減する必要がある。前述のメモリセルの安定性についての解析から、カラム当たりのメモリセル数は32個以下が望ましく、4-kb SRAMの回路設計では32個、あるいは16個に、16-kb SRAMでは32個に設定した。4-kb SRAMは32ロウ（行）と32カラム（列）、あるいは16ロウと64カラムからなる1-kbブロック4個、16-kb SRAMでは32ロウと32カラムからなる1-kbブロック16個から各々構成される。

### 5. 3. 3. 3 ロウ選択回路

各々のアクセスTr.でのリーク電流を低減するために、次に述べる方法をロウ選択回路に適用する。図5-16にロウ選択回路を示す。図中、エンハンスメント型FET Q1とショットキーダイオードD1はメモリセルのベース線N1とグランド間に接続されている。ロウが選択されない時、ワード線WLとロウ選択信号RSは"Low"レベルにある。Q1はオフ状態にあるのでメモリセルのベース線N1の電位はグランドレベルからダイオードD1のショットキーバリア高さ(0.6V)の分だけ上昇する。よってメモリセル蓄積ノードの"Low", "High"レベルは各々0.6V, 1.2Vに上昇する。ソースフォロワ回路がワード線ドライバーに使われるとWLの電位は0Vになり、読み出し動作時にビット線(BL,  $\overline{BL}$ )電位が0.4~0.6Vになるとこれにより非選択メモリセルに接続されるアクセスTr.の入力ゲートは0.4V以上逆バイアスされ、アクセスTr.でのリーク電流は減少する。これらの方法によりビット線当たりのリーク電流の総和は75°Cで1 $\mu$ A以下にすることができた。

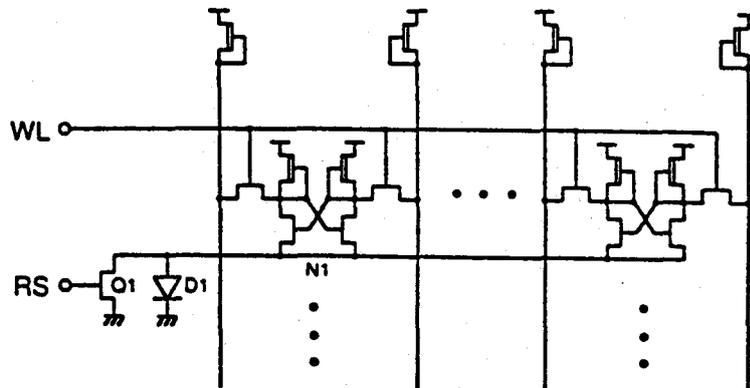


図5-16 ロウ選択回路

### 5. 3. 3. 4 ソフトエラー耐性を向上したメモリセル

ソフトエラー耐性を向上するために二つの方法を適用した。一つはメモリセル蓄積ノードに対応するFET領域下部にp層を形成して $\alpha$ 線入射時に発生する電子のうち"High"レベルノード付近で収集される電子量を低減する方法である [17]。もう一つは蓄積ノードに容量を付加してノード反転臨界電荷量を増加させる方法である [18]。容量付加によりメモリセルサイズは増加するので、容量を蓄積ノードに効果的に付加する新しいセル構造が必要である。付加容量としてはMIM やMIS容量の様に絶縁膜形成工程を増やす必要のないショットキーダイオードを容量として用いる。図5-17に本研究で新たに考案したメモリセルを示す。二つのショットキーダイオードが各々の蓄積ノードとダイオード線 DL の間に接続されている。DL の電位は負荷トランジスタ Q により約 0.3 V に調整される。これはダイオードを付加したノードが"High"レベルになるとダイオードが順方向バイアス状態となりノード電位が下がることを回避するために行う。収集電荷に対する本メモリセルの安定性を解析するために、SPICE2 を用いた以下のシミュレーションを行った。図5-18にソフトエラーシミュレーションに用いた回路ダイアグラムを示す。図中、"High" を保持したノードは  $\alpha$  線誘起電流  $I_c$  を表す電流源に接続されている。本シミュレーションでは、 $I_c$  は時間幅  $T_w$  ( $=1$  ns) , 最大値  $I_{MAX}$  を有する三角形状パルスと仮定する。収集電荷はその三角形の面積になる。 $I_{MAX}$  が増加する間、ある電流値  $I'_{MAX}$  でデータは反転するが、 $I'_{MAX}$  はデータ反転を起こす最小電流値なので臨界電荷  $Q_c$  は  $I'_{MAX} \cdot T_w / 2$  となる。図5-19に臨界電荷  $Q_c$  と蓄積ノードの"High"レベルの付加容量ダイオードサイズ依存性を示す。比較データとして DL がグラウンドレベルとなっている (負荷  $Tr. Q$  が無い) メモリセルでのシミュレーション結果を点線で示す。比較セルに比べて臨界電荷  $Q_c$  は増加して"High"レベルの低下が抑制されており、上記の新構造セルの蓄積ノードでは有効にダイオード容量が付加されていると言える。新構造セルでのダイオードサイズは臨界電荷  $Q_c$  とセルサイズとのトレードオフにより決まる。

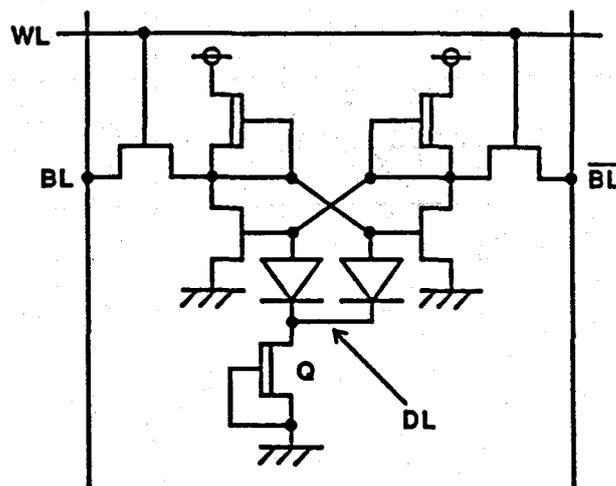


図5-17 ソフトエラー耐性を向上したメモリセル

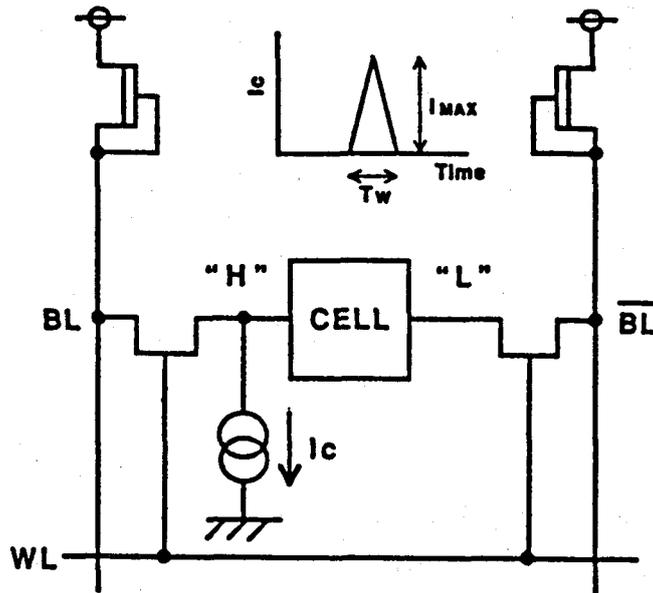


図5—18 ソフトエラーシミュレーション用回路ダイアグラム

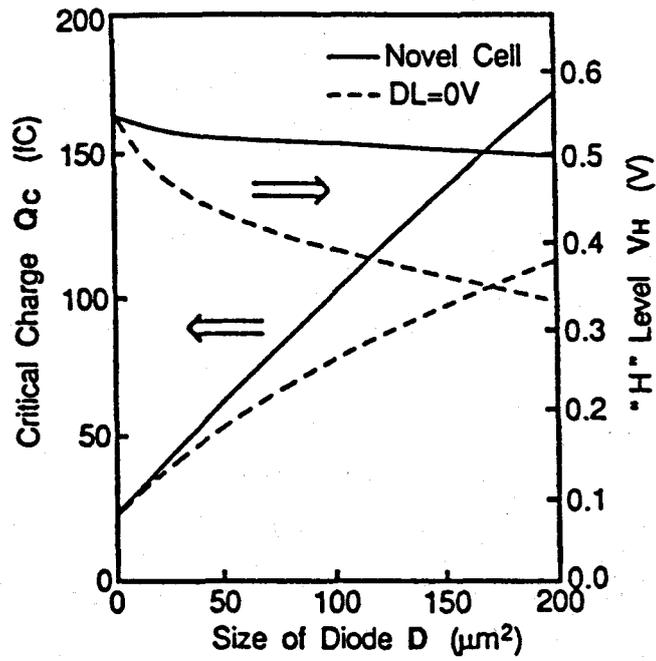


図5—19 臨界電荷  $Q_c$  と蓄積ノードの"High"レベルの付加ダイオードサイズ依存性

#### 5. 3. 4 SRAMにおける回路構成

図5-20に4-kb SRAM（カラム当たりのメモリセル数16の場合）における回路構成を示す。各メモリセルを選択する10個のアドレスバッファがある。それらのうち4個（ $X_0 \sim X_3$ ）はロウ選択に、6個（ $Y_0 \sim Y_5$ ）はカラム選択に用いる。カラム当たりのメモリセル数を16個にすると、1-kbブロック当たりのカラム数は64個に増加し、またデータ線（DATA,  $\overline{\text{DATA}}$ ）の負荷容量も増加している。読み出し動作でのデータ線信号の遷移時間を低減するために、各カラムでカラムセンスアンプを設けた。カラムセンスアンプは温度依存性が小さく高い電流駆動力を有するE/Dプッシュプル回路で構成した。また非選択カラムでの電流をカットするために電圧源と各カラムセンスアンプの間にE-FETを挿入して低消費電力化を図った。尚、本4-kb SRAMは1.6V単一電源動作とした。

図5-21に16-kb SRAMにおける回路構成を示す。上に述べたカラムセンスアンプ技術以外に、周辺回路はE/Dインバータとクランプされた入力端子を有するソースフォロワ回路を用いた。高温での電源電圧変動を抑制するためにプリデコード法を採用した。デコード回路では、温度上昇に伴い多入力NORゲートでの寄生ショットキーダイオードにより、“High”レベルは急速に低下するが、プリデコード法の適用により各デコード線に接続されるTr.の総数は減るので上記の“High”レベルでの低下は抑制される。各プリデコーダの最終段は消費電力低減のためにE/Eプッシュプル回路で構成している。読み出し回路では、安定な読み出しデータを伝搬するために新たな方法を用いた。トランスファージェートにMESFETを用いると、読み出しデータの電圧振幅はトランスファージェートTr.の寄生ショットキーダイオード電流により低下するので、トランスファージェートTr.のゲート電位は十分に安定していなければならない。そこで本16-kb SRAMの読み出し回路ではメモリセルのアクセスTr.以外にはトランスファージェートを使用していない。読み出しデータは基本的にインバータを介して伝搬するので、読み出しデータはその都度増幅されて電圧振幅は一定に維持され、読み出し動作は温度やプロセスによるFET特性の変動の影響をほとんど受けなくなる。

16-kb SRAMでは各入出力I/Oでのメモリセルアレイは128カラムから成り、一つのカラムには32個のメモリセルが接続されている。全てのセルは16個の1-kbブロックに分けられ、各ブロックの内8個は電源Vdd線、残りの8個はグランド線用の第3層配線にその上部を覆われている。このブロックはチェッカーボード状に配列されている。図5-22に第3層配線がグランドである場合のメモリセルの写真を示す。メモリセルサイズは $36 \times 23 \mu\text{m}^2$ で、メモリセルの各蓄積ノードには各々 $100 \mu\text{m}^2$ のショットキーダイオードが付加されている。図5-19から分かるように、蓄積ノードでの容量は従来のセルより約4倍増加している。各DLには負荷Tr.と一つのロウに対し32個のメモリセルが接続されている。

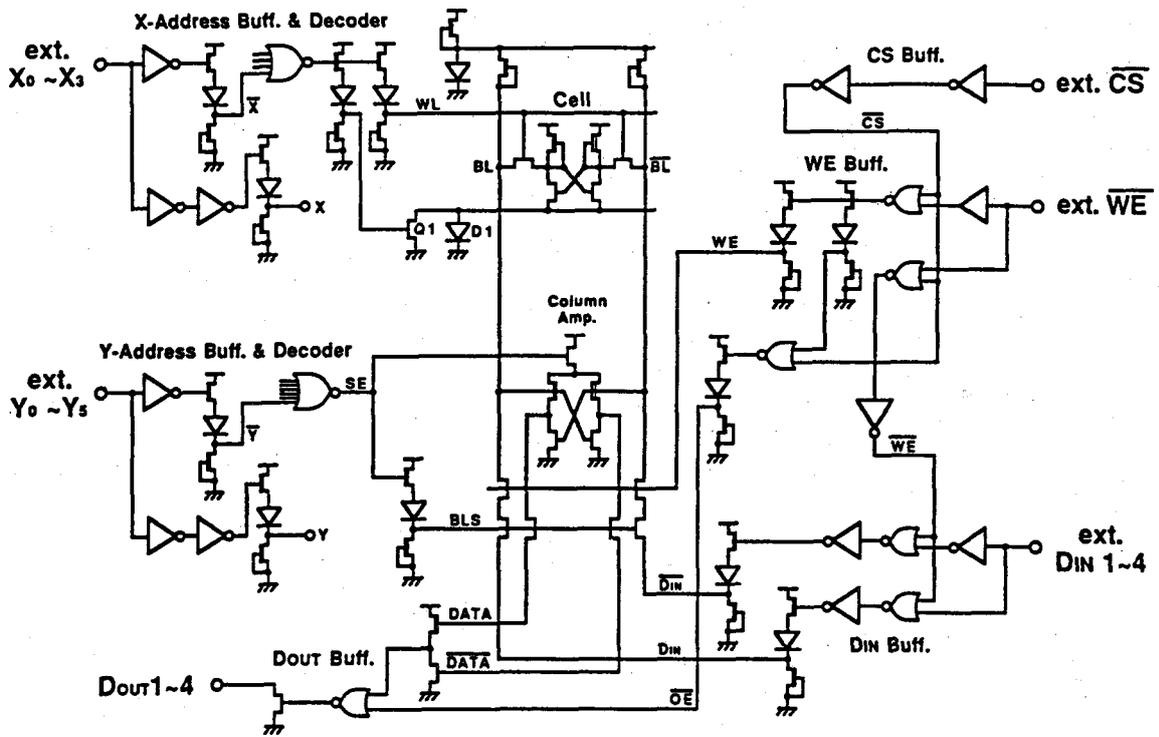


図5-20 4-kb SRAMの回路構成

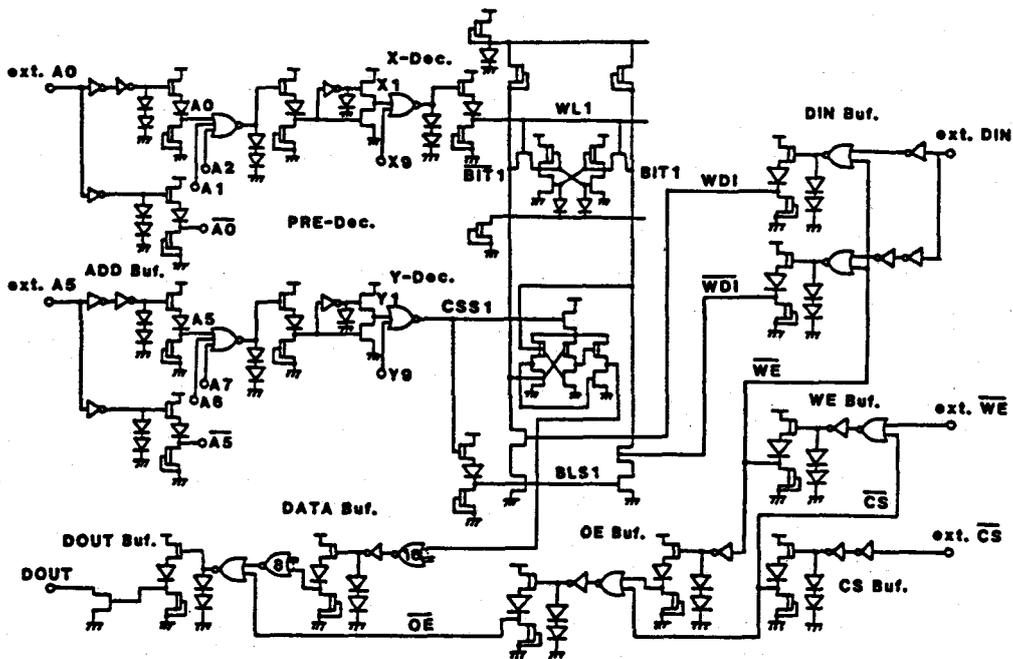


図5-21 16-kb SRAMの回路構成

## 5. 4 SRAM の性能評価

### 5. 4. 1 16-kb SRAM

第3章の $0.7\mu\text{m}$ ゲートBPLDD-FETと第4章で述べた2層配線,あるいは3層配線を用いて16-kb SRAMを作製した。図5-23に3層配線を用いた16-kb SRAMのチップ写真を示す。チップサイズ,セルサイズは各々 $6.00\times 5.05\text{mm}^2$ , $36\times 23\mu\text{m}^2$ である。

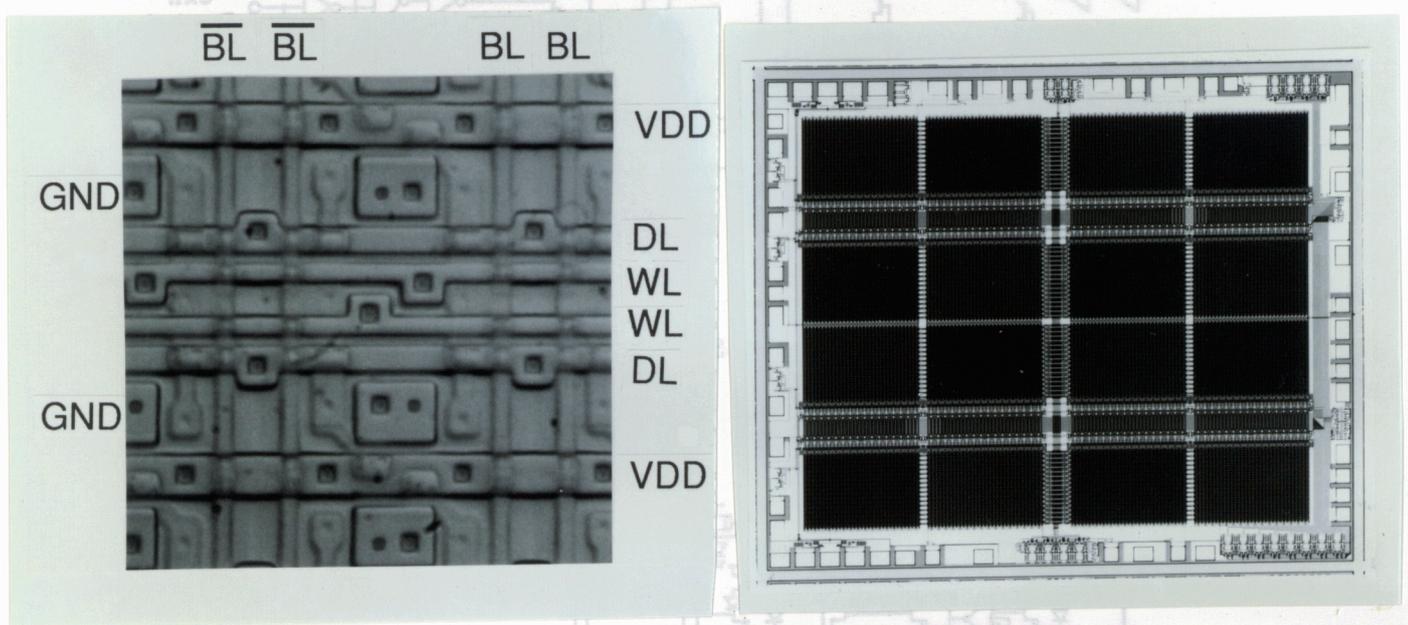


図5-22 16-kb SRAMのメモリセル写真

図5-23 3層配線を用いた16-kb SRAMのチップ写真

#### 5. 4. 1. 1 新回路技術によるSRAM動作特性の改善

16-kb SRAMはオンウエハー,及びメタルヒートシンクの付いた52ピンセラミック製リードレスチップキャリア(Leadless Chip Carrier:LCC)にパッケージング後評価した。電源ピン,グランドピンは各々17,20本である。SRAMの機能評価はアドバンテスト社製T3331B高速LSIテスターによりRAM評価で最もパスが難しいテストパターンである"Galloping"を用いて行った。測定時の出力負荷容量は $30\text{pF}$ である。図5-24に上述した新回路と3層配線を用いて作製した16-kb SRAMのアドレス入力波形とデータ出力波形を示す。最大アクセス時間は $5\text{ns}$ 以下であることが分かる。図5-25(a),(b),(c)に各々新回路と3層配線,新回路と2層配線[19],従来のE/D-DCFLのみで2層配線[20]を用いた16-kb SRAMのチップ内におけるアドレスアクセス時間の分布を示す。E/D-DCFL(c)のみに対して新回路の適用(b)によりアドレスアクセス時間の分布,即ち各ビット動作の均一性は明らかに改善され

ている。これは先に述べた高温動作時のE/Dインバータ特性の劣化、ビット線電位やメモリセル安定性の低下等が新回路の適用により改善されたことに対応する。さらに2層配線(b)に対して3層配線の適用(a)により最大アクセス時間は71%に低下し、最大アクセス時間に対する最小アクセス時間の比は70%に増加しており、アドレスアクセス時間の分布は改善されている。これは配線の多層化で図った信号配線長、及びチップサイズの縮小により信号配線遅延とチップ内 $V_{th}$ ばらつきが低減されたことに対応している。図5-26に図5-25(b)の新回路と2層配線を用いた16-kb SRAMでの最小、最大アクセス時間のテストパターン依存性を示す。この図より、テストパターンの違いによる最大アクセス時間の差は最大アクセス時間7 ns に対して1 ns以下であり、上述の新回路設計で検討した非選択メモリセルのアクセス $T_r$ でのリーク電流を低減することにより各カラムでの蓄積データの組み合わせの違いに対してビット線電位が安定化されたことが分かる。図5-27に新回路と3層配線を用いた16-kb SRAMのアクセス時間のチップ周囲温度依存性を示す。電源電圧1.8 V時、 $-40\sim 135^{\circ}\text{C}$ の温度範囲で全ビット動作が確認されている。 $-40^{\circ}\text{C}$ 以下は本テストシステムの測定限界以下であり、 $135^{\circ}\text{C}$ 以上では不良ビットの発生が見られた。この温度範囲でのチップ消費電力は2 W以下であった。この良好な温度特性も、前記の新回路の適用により高温動作時のE/Dインバータ特性の劣化、ビット線電位やメモリセル安定性の低下等が改善されたことに相当する。 $100^{\circ}\text{C}$ ではチップ消費電力2 W時、最大アクセス時間は4.4 nsであった。またRAMは実使用時に広い電源電圧( $V_{DD}$ )マージンが要求される。図5-28に室温でのチップ内最大アクセス時間の電源電圧依存性を示す。 $V_{DD}$ の設定値である1.8 Vでは最大アクセス時間は4.9~5.0 nsで、アクセス時間の設計値5.0 ns以下を満たす $V_{DD}$ マージンは450 mVと十分大きい。さらに $V_{DD}$ が2.05~2.15 Vの範囲では、全ビット動作となる最大アクセス時間は4.4~4.6 nsが実現されていることが分かる。3層配線構造の適用による電源/グランド配線抵抗の低下で同配線での電圧低下が抑制されるので動作マージンは広がる。最終的に $25\sim 100^{\circ}\text{C}$ の温度範囲で、最大アクセス時間5 ns、チップ消費電力2 Wを電源電圧 $1.8\pm 0.1$  Vで実現することができた。

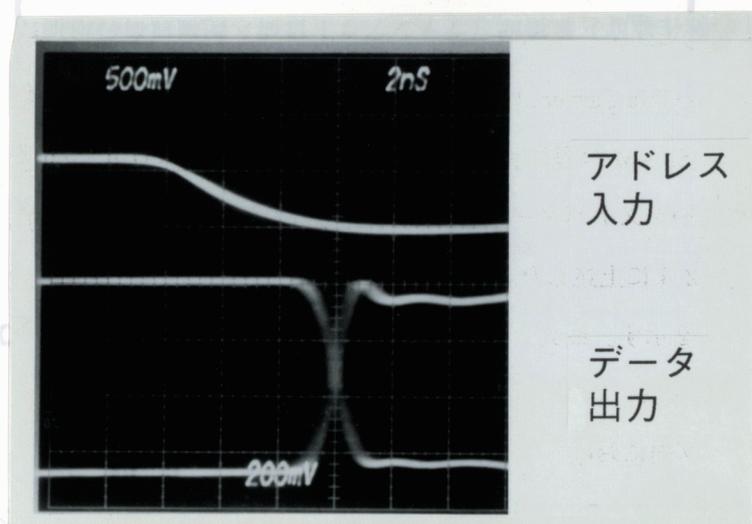


図5-24 16-kb SRAMのアドレス入力波形とデータ出力波形

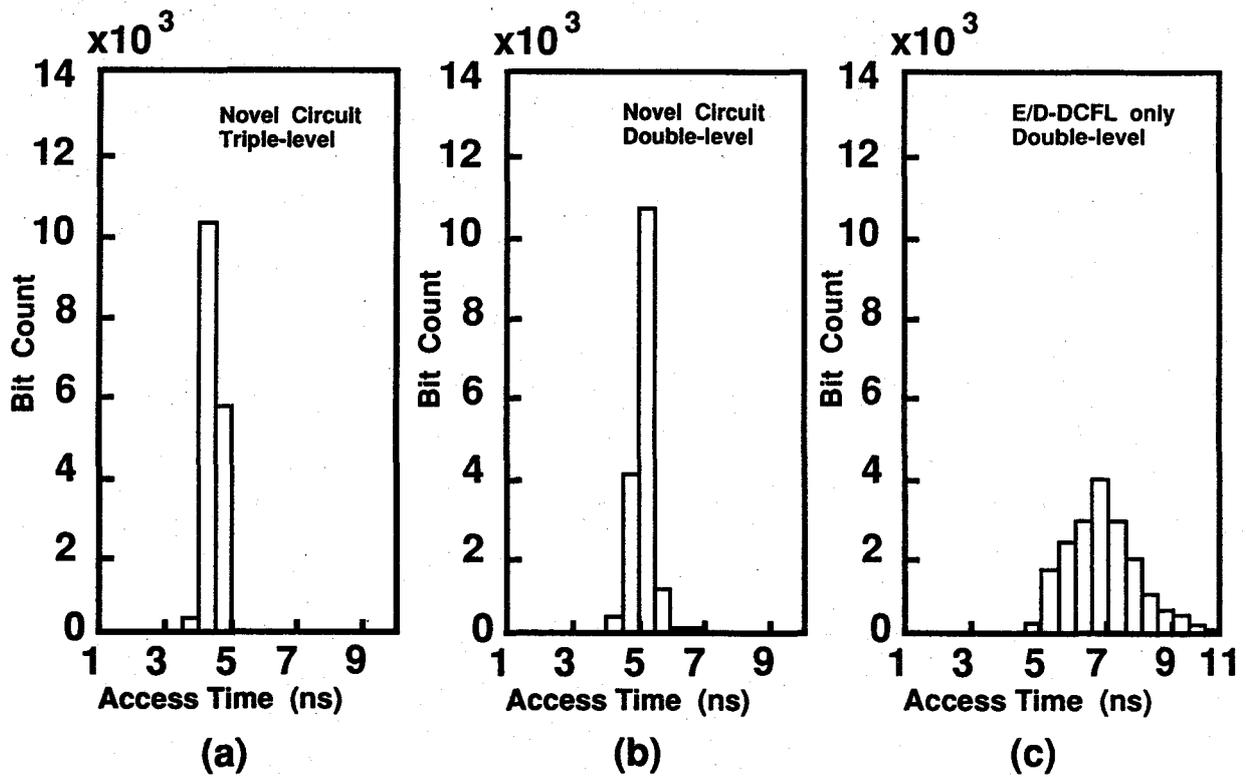


図5-25 16-kb SRAM チップ内でのアドレスアクセス時間分布  
 (a) 新回路と3層配線, (b) 新回路と2層配線, (c) E/D-DCFL のみと2層配線

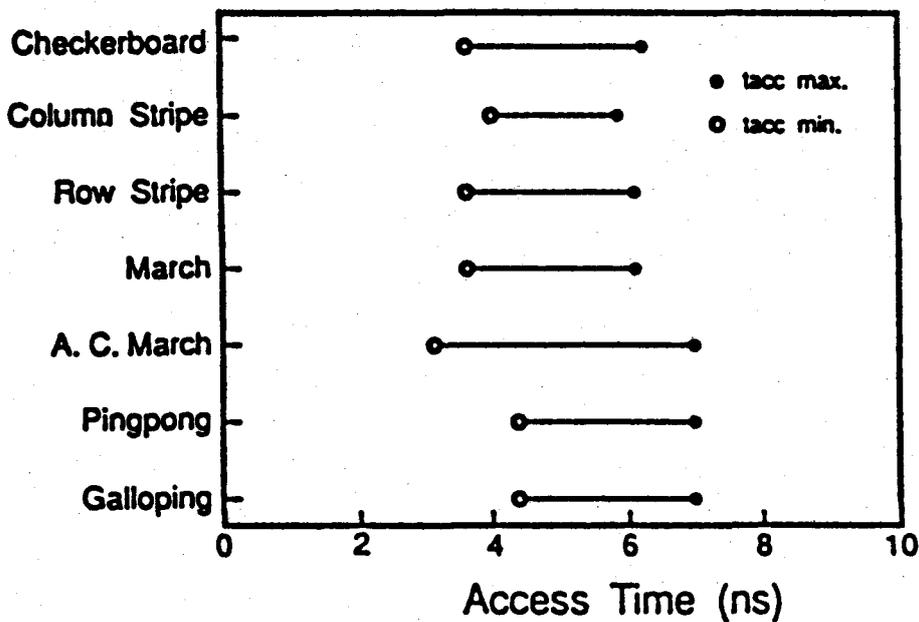


図5-26 16-kb SRAM の最小, 最大アクセス時間のテストパターン依存性

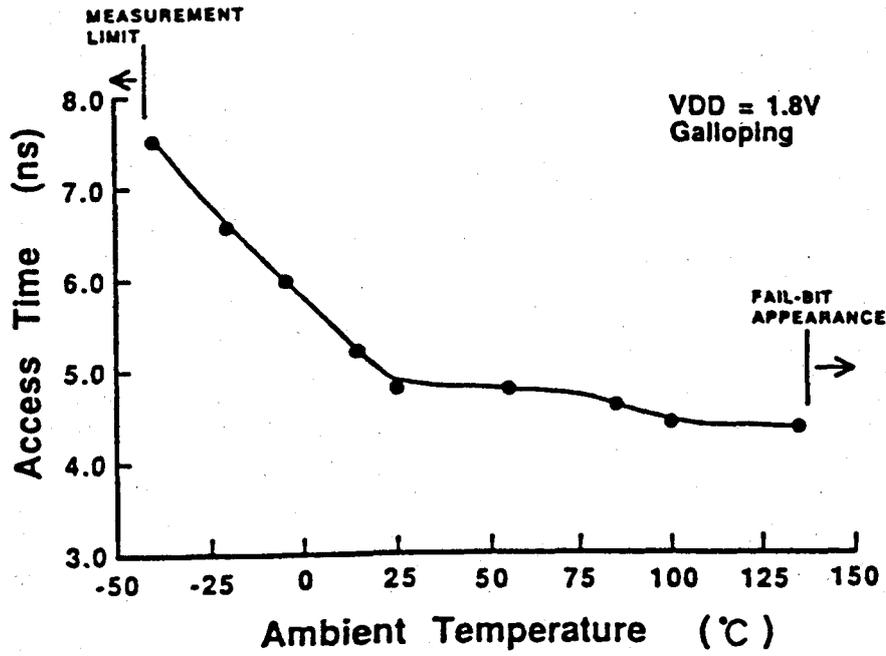


図5—27 16-kb SRAM のアクセス時間のチップ周囲温度依存性

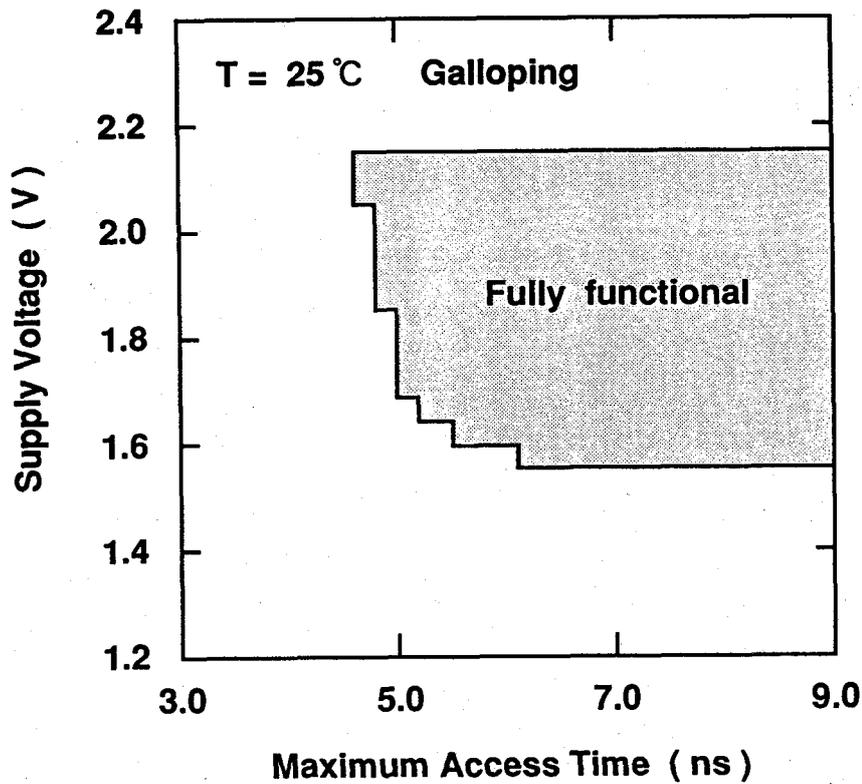


図5—28 16-kb SRAM チップ内最大アクセス時間の電源電圧依存性  
(16-kb SRAM の最大アクセス時間—電源電圧特性における全ビット動作領域)

#### 5. 4. 1. 2 新メモリセルによるソフトエラー耐性の改善

表5-3に4種類のSRAMのソフトエラー率を比較した結果を示す。比較したSRAMは、p層埋め込みFET/新メモリセルを適用した16-kb SRAM, p層埋め込みFET/従来メモリセルを適用した4-kb SRAM, p層埋め込み無しのFET/従来メモリセルを適用した4-kb SRAM, そして市販のソフトエラー率100 FIT以下のSi ECL 1-kb SRAMである。ここでp層は第2, 3章で最適化された形成条件を用いた。評価は次の条件で行った。放射線源は<sup>241</sup>Amで、各ソフトエラー率の測定値は20秒間でのソフトエラーカウントとし、各測定は5回行いそれらの平均値を計算した。表5-3よりp層埋め込みFETと新メモリセルを適用したGaAs SRAMでは、両者を適用しない場合より2桁ソフトエラー率は改善されている。さらにそのソフトエラー率は市販のSi ECL 1-kb SRAMより低い結果が得られている。以上により、蓄積ノード部FETをp層埋め込み型FETとし、かつ蓄積ノードとグラウンドの間にショットキーダイオードと負荷FETを形成した新型メモリセルはソフトエラー耐性を向上する上で非常に有効であることが明らかとなった。

上記の16-kb SRAMの諸元、機能評価結果、そしてソフトエラー評価結果をまとめて表5-4に示す。

表5-3 GaAs SRAM及びSi ECL SRAMのソフトエラー率評価結果

RADIATION SOURCE: Am-241

SAMPLE	TIMES					MEAN
	1	2	3	4	5	
GaAs 16-kb RAM (Novel Cell)	4	7	5	0	4	4.0
GaAs 4-kb RAM (Buried p-Layer)	298	301	283	324	259	293.0
GaAs 4-kb RAM (Conv. Cell).	~17000	~18000	~17000	~17000	~16000	17000
1-kb ECL RAM	18	20	15	18	20	18.2

Unit: Error Counts/20 s

表5-4 16-kb SRAMの諸元、機能評価、ソフトエラー評価

Organization	4096 word × 4 b
Circuit	E/D DCFL with source follower
Memory Cell	6 transistors + 2 diodes
Transistor	0.7- $\mu$ m BPLDD FET
Chip Size	6.00 × 5.05 mm <sup>2</sup>
Cell Size	36 × 23 $\mu$ m <sup>2</sup>
Supply Voltage	1.8 V
Access Time	5.0 ns
Power Dissipation	2.0 W
Soft-Error Rate	less than commercial 1-kb ECL RAM

25 ~ 100°C

#### 5. 4. 2 4-kb SRAM

4-kb SRAMは16-kb SRAMに先立って回路検討を行ったので、4-kb SRAMで用いた回路技術は基本的に前節で述べた16-kb SRAMと同等である。先行して検討を行った4-kb SRAMでは回路技術を固定した状態でプロセス技術進展の効果を評価する役割を主に持たせた。

##### 5. 4. 2. 1 FET技術によるアクセス時間の改善

表5—5に同じ回路技術を用いた4-kb SRAMでのFET技術の進展によるアクセス時間の改善を示す。配線が同一の通常2層配線で、 $1\mu\text{m}$ ゲートp層埋め込み型FET (BP-FET) から $0.7\mu\text{m}$ ゲートp層埋め込み型LDD-FET (BPLDD-FET) へ変更した時、最大アクセス時間は7 ns から5 ns に、またアクセス時間の平均値は5.5 ns から4.0 ns に改善された。後者の低下率は27%であるが、これは第3章で求めたFET単体での無負荷ゲート遅延時間の低下率35%に比べ小さい。アクセス時間の平均値の改善に対するFET真性速度の改善の寄与率は77%になる。ここに第4章で検討した配線遅延の影響が現れている。また上記のFET変更に伴うアクセス時間分布は2.5 ns から1.5 ns と40%も改善されている。これは定量的な説明は現時点では出来ないが、第2、3章で求めた微小領域での $V_{th}$ ばらつきが $\sigma V_{th} = 9\text{ mV}$  から7 mV に低減され、より均一化されたことに対応する。

次に配線が同一の通常3層配線で $0.7\mu\text{m}$ ゲートBPLDD-FET から $0.5\mu\text{m}$ ゲートBPLDD-FETにゲート長を短縮した時、最大アクセス時間は3.0 ns から1.8 ns に、アクセス時間の平均値は2.2 ns から1.5 ns に低下した。前に述べた結果と同様に、後者の低下率32%は第3章で求めたBPLDDの無負荷ゲート遅延時間15 ps から9 psへの低下率40%に比べ小さく、アクセス時間の平均値の改善に対するFET真性速度の改善の寄与率は80%になる。またFET変更に伴うアクセス時間分布は1.1 ns から0.7 ns へと36%改善されている。これは第3章で述べた様に、サイドウォール等のFETプロセスの進展に伴いゲート長の短縮にもかかわらず3インチウエハー面内での $\sigma V_{th}$ は約30 mVから25 mVへと均一化されたこと、またゲート長の短縮によりメモリセル、チップサイズが縮小されてさらにチップ内での $V_{th}$ 均一性が向上したためと考えられる。以上、4-kb SRAMの集積度ではFET真性速度、あるいは電流駆動能力の向上がLSI動作速度であるアクセス時間低減の約80%を占めていると言える。実際にはFET真性速度以外の $V_{th}$ 均一性の向上に伴うアクセス時間分布の改善も、定量的には言えないが、アクセス時間の平均値を改善すると考えられる。但し残り20%の配線遅延も十分大きく当然考慮する必要がある。

表5—5 FET技術, 配線技術の進展による4-kb SRAMのアクセス時間の改善

FET	配線	チップサイズ (mm)	t <sub>acc</sub> 平均値 (ns)	最大t <sub>acc</sub> (ns)
1 μm BP	2層	4.84×4.62	5.5	7.0
0.7 μm BPLDD	2層	4.84×4.62	4.0	5.0
0.7 μm BPLDD	3層	2.50×1.70	2.2	3.0
0.5 μm BPLDD	3層	2.50×1.70	1.5	1.8
0.5 μm BPLDD	3層 (第3層 A/B配線)	2.50×1.70	1.2	1.5

#### 5. 4. 2. 2 多層配線技術によるアクセス時間の改善

表5—5に同じ回路技術を用いた4-kb SRAMでの多層配線技術の進展によるアクセス時間の変遷を示す。FETが同一の0.7 μmゲートBPLDDで、2層配線から3層配線の変更に伴い最大アクセス時間は5.0 nsから3.0 nsに、アクセス時間の平均値は4.0 nsから2.2 nsへと大幅に低減された。これは第4章の16-kb SRAMの配線遅延時間についての解析と同様、多層化により配線長とチップサイズ、特にチップサイズは4.84×4.62 mm<sup>2</sup>から2.5×1.7 mm<sup>2</sup>へと約80%縮小されて配線寄生容量による配線遅延が低減したこと、また同じくチップサイズの縮小によりチップ内V<sub>th</sub>均一性が向上したことによる。さらにFETが同一の0.5 μmゲートBPLDDで3層配線ではあるが、第3層電源用配線を通常配線からエアブリッジ配線に変更すると、最大アクセス時間は1.8 nsから1.5 nsに、アクセス時間の平均値は1.5 nsから1.2 nsへと低減された。第3層配線の形成方法以外の回路、FET、配線形成技術、さらにメモリセル、チップサイズは全く同等であるため、両4-kb SRAMのアクセス時間の相違は第4章で検討した第3層電源用配線—下層信号配線間寄生容量に基づく配線遅延によるものと考えられる。これらのアクセス時間と配線遅延については次項で定量的に検討することにする。

#### 5. 4. 2. 3 第3層電源用エアブリッジ配線を用いた4-kb SRAMの評価結果

この第3層電源用エアブリッジ配線を用いた4-kb SRAMのチップ写真とエアブリッジ配線の拡大写真を図5—29, 30に各々示す。4個の1-kb SRAMブロック上にグラウンド線用エアブリッジが、RAM中心に十文字状に配置されたX-Yデコーダ上には電源線用エアブリッジが配置されている。図5—30の1-kb SRAMブロック中に見られる矩形状のアレイはメモリセルのソース部と接続するメタル

ポストである。表5—6にこのエアブリッジ配線を用いた4-kb SRAMの諸元を示す。図5—3 1, 3 2に本4-kb SRAMのアドレス入力, データ出力波形の写真, チップ内のアクセス時間分布を第3層電源用配線が通常配線である場合と比較して各々示す。テストパターンは前述した"Galloping"である。最大アクセス時間, アクセス時間の平均値は前項に述べたが, エアブリッジ化により各々1.8 ns から1.5 nsへ, 1.5 ns から1.2 ns へと特に後者は20%も改善されている。この時のチップ消費電力は700 mWであり, 現在のところ消費電力・遅延時間積はSi ECL SRAM をも含めた4-kb SRAMの中で最小である [22]。

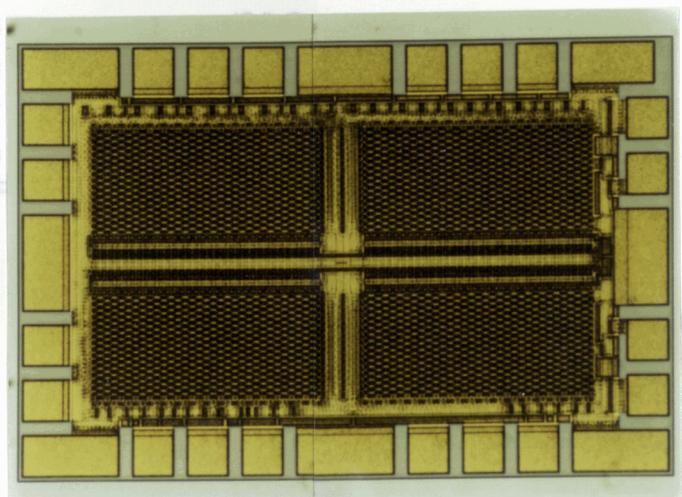


図5—2 9 第3層電源用エアブリッジ配線を用いた4-kb SRAM のチップ写真

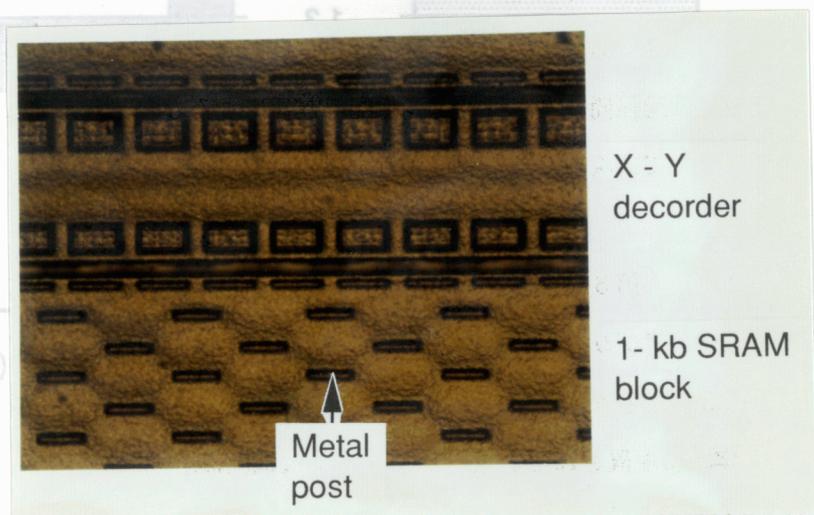


図5—3 0 4-kb SRAM に用いたエアブリッジ配線の拡大写真

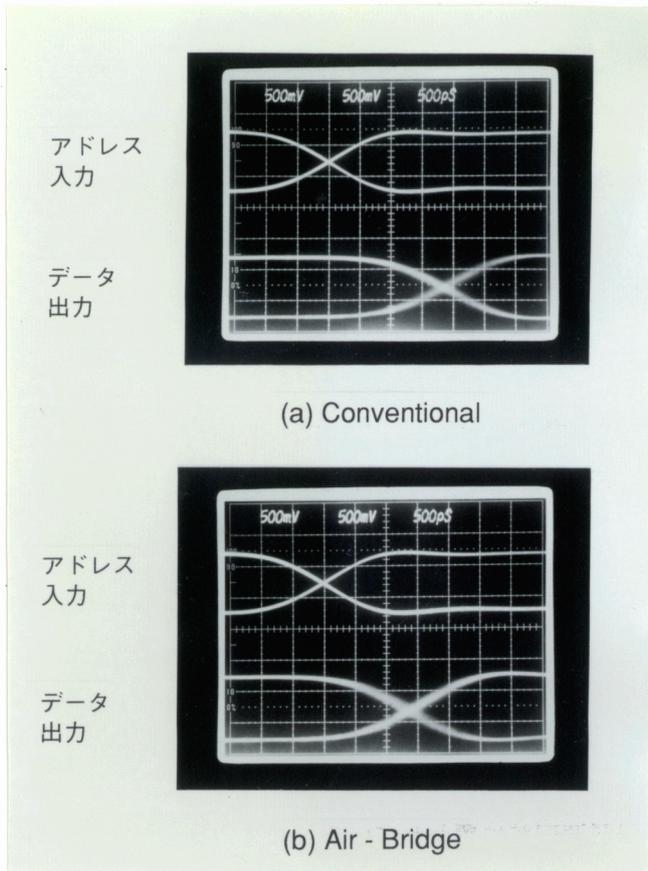


図5-31 4-kb SRAM のアドレス入力,  
データ出力波形

表5-6 エアブリッジ配線を用いた  
4-kb SRAM の諸元

Organization	1,024 x 4 bit
Circuit	E/D-DCFL with Source-follower
Supply Voltage	2.0 V
I/O Level	ECL Level
Transistor	0.5 $\mu\text{m}$ gate BPLDD-FET
Line / Space	1.5 $\mu\text{m}$ / 1.5 $\mu\text{m}$
Hole Size	1.0 x 1.0 $\mu\text{m}^2$
Chip Size	2.5 x 1.7 $\text{mm}^2$
Cell Size	26.0 x 11.75 $\mu\text{m}^2$
Access Time	max. 1.5ns
Power Dissipation	700 mW
Operative Temperature	0 ~ 75 $^{\circ}\text{C}$

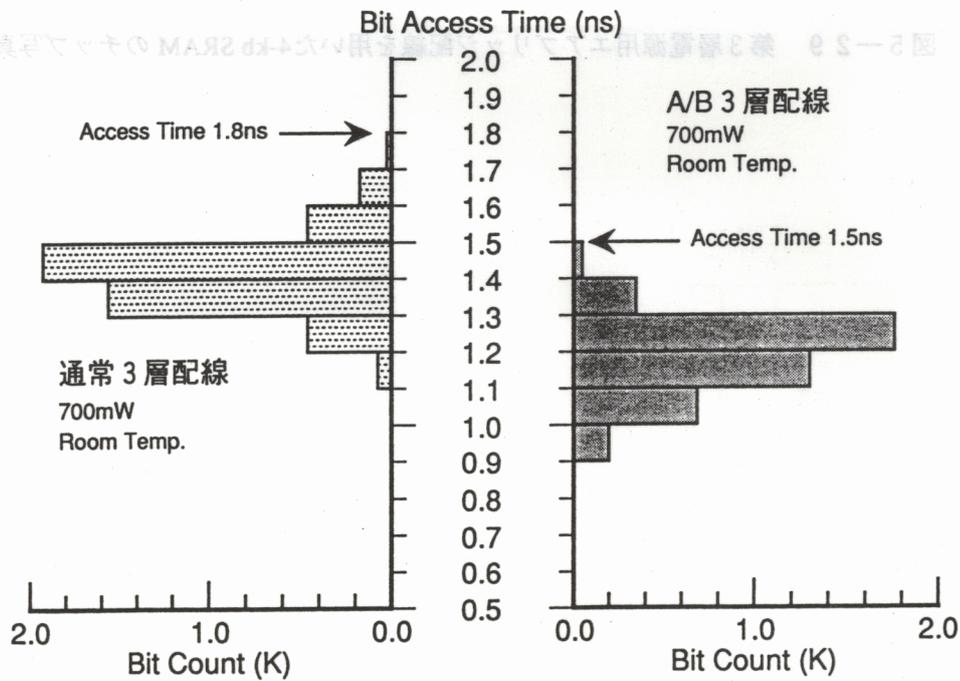
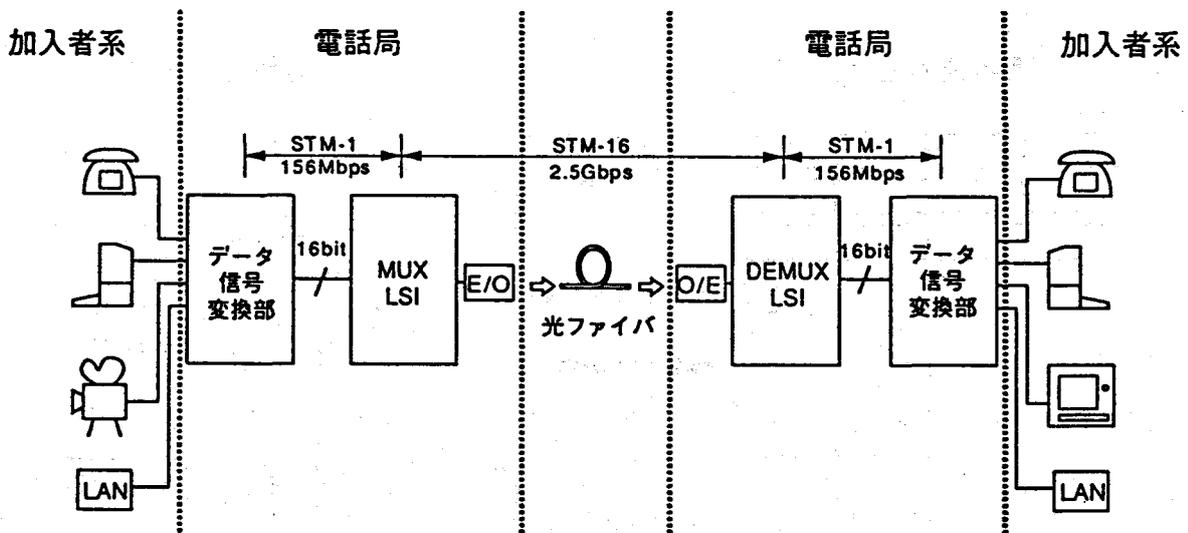


図5-32 4-kb SRAM チップ内のアクセス時間分布

一方、この4-kb SRAMでのエアブリッジ化によるアクセス時間の改善比（通常配線の約80%）は、前節5.2.3 DCF Lゲートの負荷駆動特性においてゲートアレイ上に構成したリング発振器で測定された負荷付きゲート遅延時間の改善比（通常配線の約60%）に比べて悪い。この原因については次の様に考えられる。

1) 本SRAMは平均的にファンアウト数  $FO=4$  であり、表5-2のゲートアレイ上で構成したリング発振器の  $FO=2$  に比べファンアウト負荷が大きく、SRAMの方が相対的に全遅延時間中の配線遅延の割合が低い。SRAMでの負荷付きゲート遅延時間として表5-2の  $K_{FO}$  の3倍を、同じくリング発振器での負荷付きゲート遅延時間に付加すると、エアブリッジ化しない4-kb SRAMでは207 ps、エアブリッジ化した4-kb SRAMでは164 ps となりエアブリッジ化による負荷付きゲート遅延時間の改善比は79%になるので、アクセス時間の平均値の改善比約80%と同等になる。

2) 本SRAMではレイアウトの最適化のため、第2層配線は信号配線以外に一部電源配線として使用している。第1層信号配線の20~30%はこの第2層電源配線に覆われているため、その間で寄生容量が発生する。これに対してゲートアレイ上で構成したリング発振器では、第2層配線は信号配線としてのみ第1層信号配線を覆っており、そのクロスオーバー面積はSRAMの場合に比べ十分小さい。したがってSRAMの方が全遅延時間に対する第3層電源配線—下層信号配線間寄生容量の低減による配線遅延低減の効果が小さくなる。



ISDN : Integrated Services Digital Network  
 STM : Synchronous Transfer Mode

図5-33 広帯域ISDNの簡単な模式図

## 5.5 ロジックLSI (マルチプレクサー(MUX)/デマルチプレクサー(DEMUX)) 設計

### 5.5.1 広帯域ISDN通信システムにおけるMUX/DEMUX

近年、デジタル技術の急速な進展に伴って、通信システムにおいても加入者系まで含めた全体をデジタル化したサービスが既開始されており、利用者のニーズはさらに高品質な通信サービスへと変化している。これらの要望に応える大容量光ファイバ通信ネットワークとして広帯域ISDN (Broadband Integrated Services Digital Network) [22] の開発が世界各国で盛んに行われている。図5-33に広帯域ISDNの簡単な模式図を示す。広帯域ISDNでは従来の電話はもちろんのことコンピュータ間的高速パケットデータ転送やテレビ放送品質並みの動画データ転送、高速LAN (Local Area Network) 間的高速データ転送等を同一線路を用いて行うことが可能となる。広帯域ISDNの伝送方式はCCITT (国際電信電話諮問委員会) で世界的に標準化されSDH (Synchronous Digital Hierarchy) [23] と呼ばれる階層構造により世界的に統一されようとしている。SDHにおいて各階層はSTM-N (Synchronous Transfer Module level N: Nは整数) と呼ばれ、伝送速度 155.52 Mb/s のSTM-1をバイト (8ビット) 単位にNチャンネル多重化することにより構成される [24]。そして各端局ではSTM-1を単位として交換等がなされる。つまり伝送速度が 156 Mb/s のSTM-1を基本単位としてデータ転送が行われているが、広帯域ISDNでのデータ処理量はかなり大きいため高い伝送速度が要求されており、現在伝送速度 2.5 Gb/s ( $155.52 \text{ Mb/s} \times 16 = 2488.32 \text{ Mb/s}$ ) のSTM-16による局間伝送が開発されている。

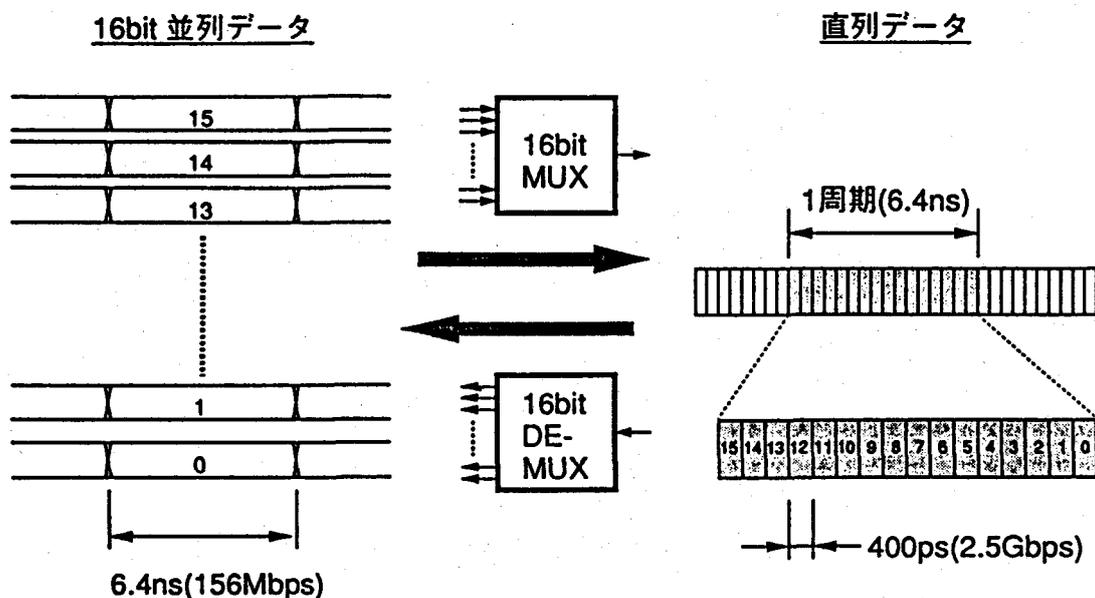


図5-34 2.5 Gb/s 16:1 MUX / DEMUX の機能

MUXはこのシステムの中でSTM-1の低速並列データをSTM-16の高速直列データに多重化し、DEMUXはSTM-16の高速直列データをSTM-1の低速並列データに分離する機能を有するLSIである。図5-34に本研究で検討する2.5 Gb/s 16:1 MUX / DEMUXの機能ブロック図を示す。16:1 MUXでは伝送速度156 Mb/sの0~15別々の16個の並列データを多重化し直列データにする。この多重化された直列データは図の様に0~15の16並列データが400 psごと順に並んだ配置となる。16:1 DEMUXでは逆に伝送速度2.5Gb/sの直列データを分離して伝送速度156 Mb/sの0~15の16並列データにする。

この2.5 Gb/s 16:1 MUX / DEMUXに要求される仕様は、1) 2.5 Gb/s以上の高速動作、2) 通信システム構成の簡略化のため、単一電源動作でしかも低消費電力(2 W以下)で水冷が不要であることが望ましく、この観点から前節のSRAMと同様に基本論理回路としてDCFLを採用した。

### 5.5.2 シフトレジスタ回路の検討

図5-34に示したMUX / DEMUXの多重、分離機能を実現する回路構成として、図5-35に示す2:1 MUX / DEMUXを基本単位としてツリー状に接続する方法[25]とシフトレジスタ回路を用いる方法[26]がある。ツリー状構成の場合、初段8個のMUXに供給する1/16クロックのファンアウト数は最終段の1個のMUXに供給する1/2クロック数の8倍であり、負荷駆動力の低いDCFLゲートのファンアウト依存性の影響が懸念され、タイミング設計が難しくなる。これに対してシフトレジスタの場合、必要なクロックはシフトレジスタ駆動用クロックとシフトレジスタへのロードパルスのみであり、どちらもファンアウト数はほぼ等しいのでタイミング設計は比較的容易である。そこで本研究においては後者を用いることにした。

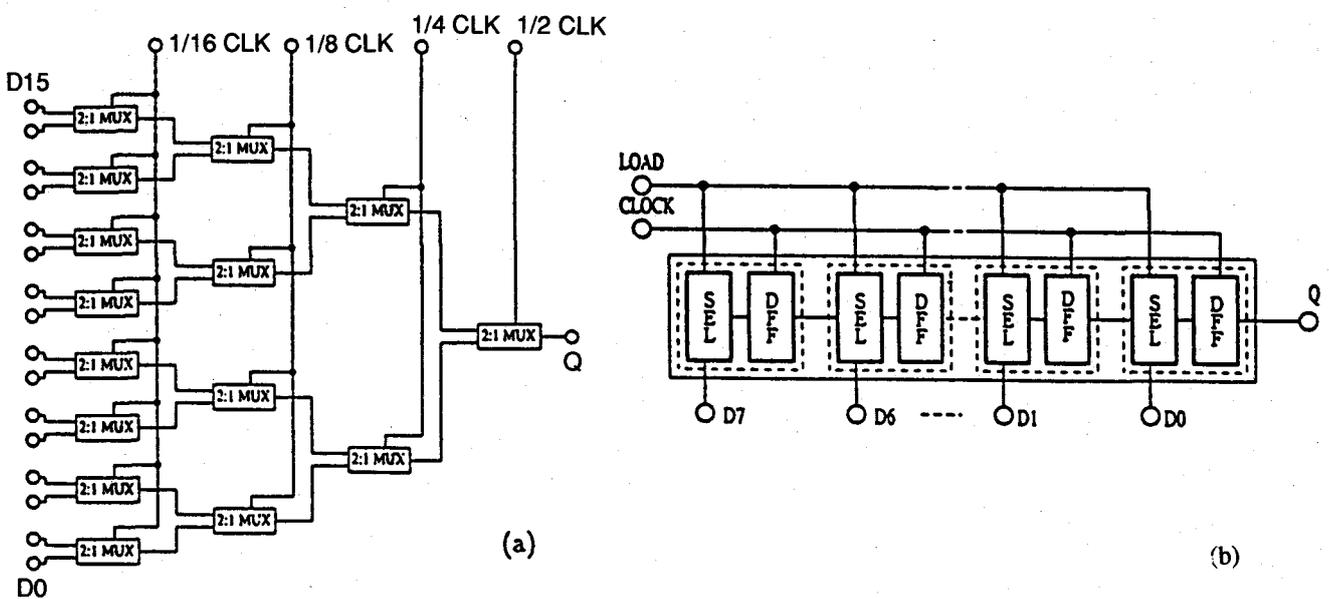


図5-35 16:1 MUX / DEMUXの構成方法 (a) ツリー状構成, (b) シフトレジスタ構成

図5-36にMUXに用いる並列入力・直列出力型シフトレジスタ回路の動作を示す。図右のタイミングチャートにおいて、セレクト信号が"High"の時、シフトレジスタSRは並列データA, B, C, Dを同時にSR内に取り込む。次にセレクト信号が"Low"になると、SRは並列データの取り込みを止めてデータを次段のSRに順に送る。最終的にSR dからの出力はA, B, C, Dのデータが多重化された直列データになる。これに対してDEMUXでは上述の並列入力・直列出力型シフトレジスタ回路とは逆の動作となる直列入力・並列出力型シフトレジスタ回路を用いる。

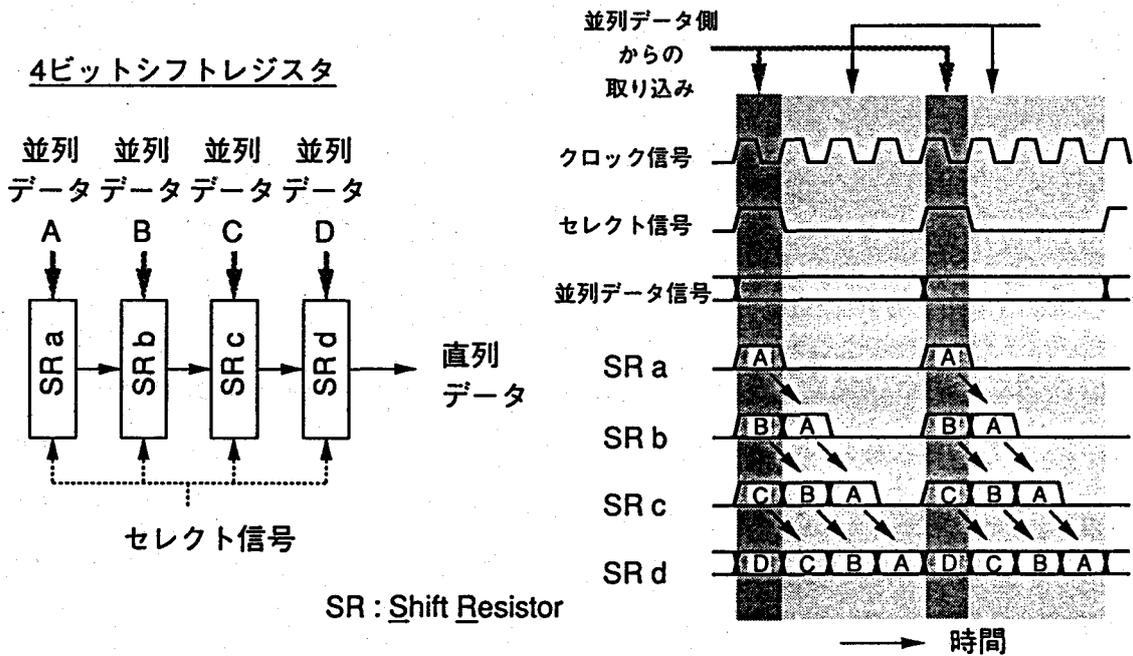
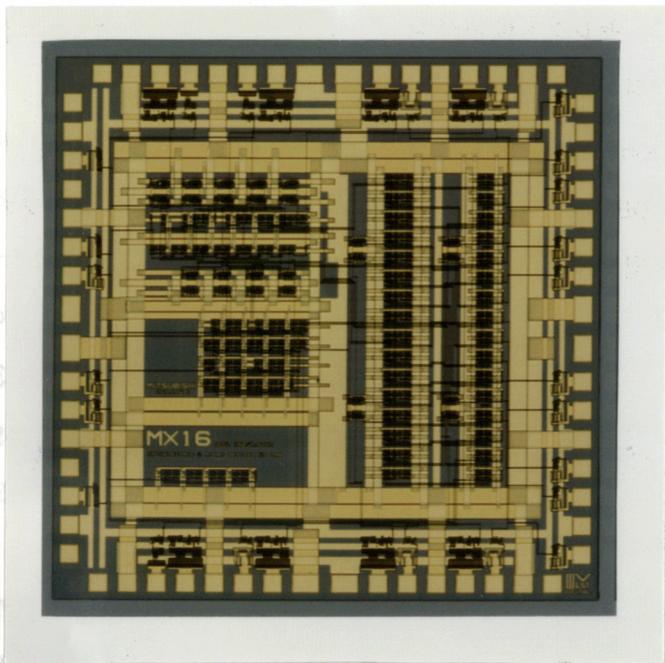
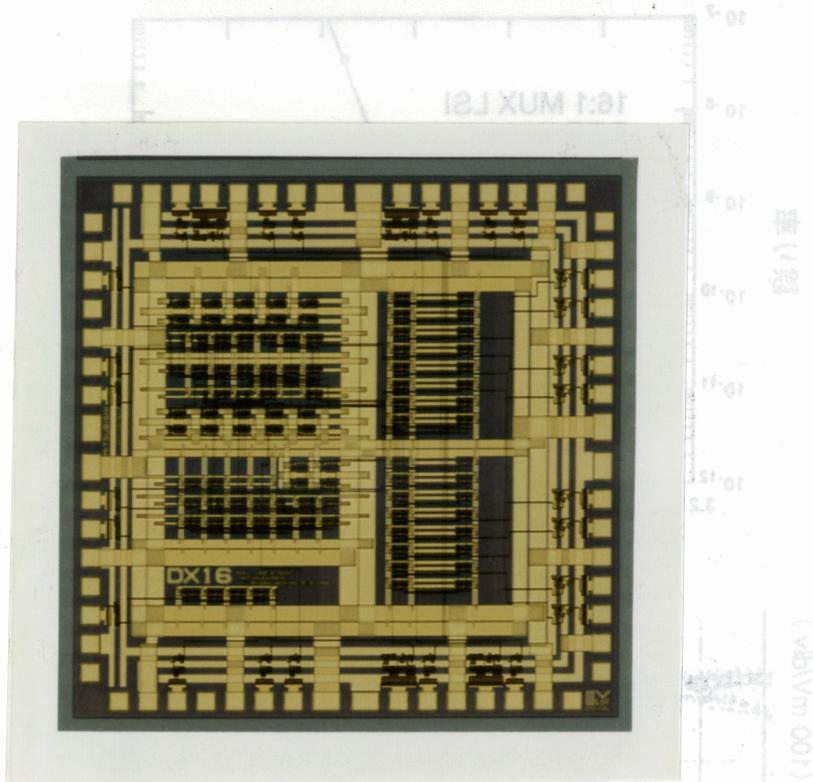


図5-36 並列入力・直列出力型シフトレジスタ回路の動作

本16:1 MUX/DEMUXは $0.7\mu\text{m}$ ゲートBPLDD-FET、及び2層配線プロセスを用いて作製した。最小ライン/スペースは $1.5\mu\text{m}/1.5\mu\text{m}$ 、最小コンタクトホールサイズは $1.0\times 1.0\mu\text{m}^2$ である。集積ゲート数はMUXで約1.2K、DEMUXで約1.0Kであり、チップサイズは両者とも $3.3\times 3.3\text{mm}^2$ である。チップ写真を図5-37に示す。



a) MUX



b) DEMUX

図5—37 16:1 MUX/DEMUX のチップ写真

## 5.6 MUX/DEMUXの動作機能とその性能評価

### 5.6.1 MUXの誤り率, 出力データ波形, 最高動作周波数

図5-38に16:1 MUXの誤り率を示す。本測定にはアドバンテスト社製パルスパターン発生器, ビットエラー検出器を用い, その評価には, 出力シリアルデータが $2^7-1$ 周期ビット長の疑似ランダムパターン PRBS (Pseudo Random Bit Sequence) [27] となるようにパラレルデータを生成, 入力して出力シリアルデータのエラー評価を行った。動作速度100 Mb/s から3.2 Gb/s までの誤り率は $10^{-11}$  以下で十分エラーフリーに近く2.5 Gb/s での動作は実用上問題ないと言える。図5-39に16:1 MUXの出力データ波形を示す。誤り率の評価と同様に $2^7-1$ の疑似ランダムパターン PRBS を用いた。明白なアイパターンが形成され, 出力振幅も800 mV とほぼシミュレーション通りである。立ち上がり, 立ち下がり時間は各々170 ps, 160 ps であり, 2.5 Gb/s の周期となる400 ps に対し十分なマージンを有している。図5-40に3インチウエハ面内における16:1 MUXの最高動作周波数のヒストグラムを示す。機能動作したチップの90%が2.5 Gb/s 以上, 最高3.2 Gb/s で動作することを確認している。さらに2.5 Gb/s 動作チップの消費電力は1.3 W とシミュレーション値に近い低消費電力が達成されている。

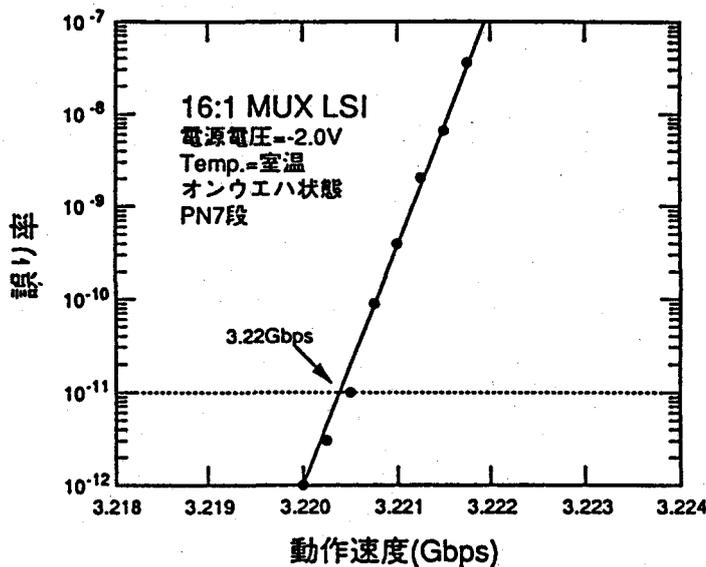


図5-38  
16:1 MUXの誤り率

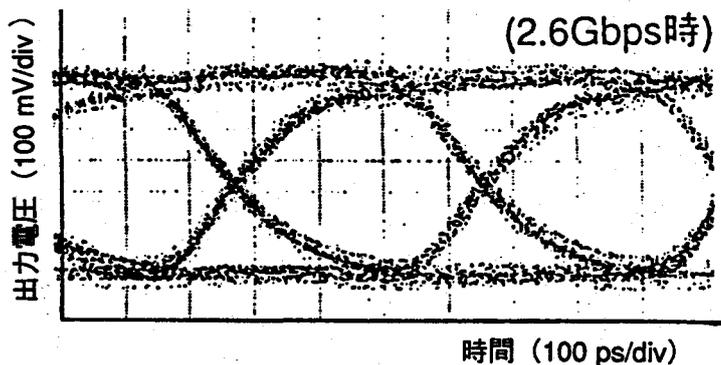
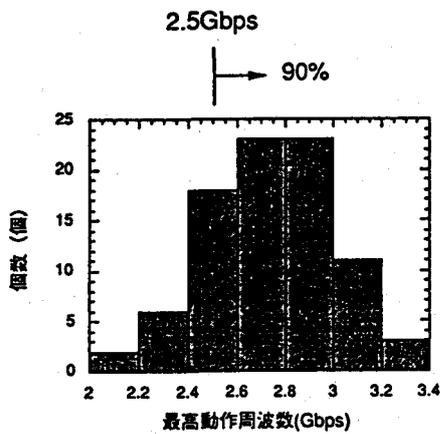
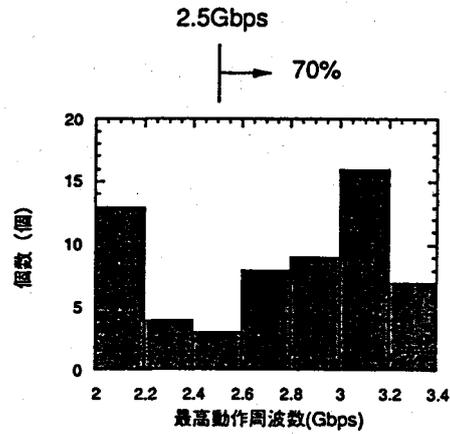


図5-39  
16:1 MUXの出力データ波形



MUXの最高動作周波数



DEMUXの最高動作周波数

図5-40 16:1 MUX の最高動作周波数のヒストグラム (3インチウエハー面内)

図5-42 16:1 DEMUX の最高動作周波数のヒストグラム (3インチウエハー面内)

### 5.6.2 DEMUXの入力位相余裕度, 最高動作周波数

図5-41に16:1 DEMUXの入力位相余裕度を示す。先の評価と同様の $2^7-1$ の疑似ランダムパターンPRBSを入力シリアルデータとした。位相余裕度とはDEMUXが正常動作する場合の入力クロックと入力データの位相範囲である。動作速度の増加に伴い入力位相余裕度は単調に減少するが、2.5 Gb/sでは $290^\circ$ 、3.2 Gb/sでは $220^\circ$ と実用上問題ない値であることが確認された。図5-42に3インチウエハー面内における16:1 DEMUXの最高動作周波数のヒストグラムを示す。機能動作したチップの70%が2.5 Gb/s以上で動作し、最高3.2 Gb/sでの動作まで確認している。さらに2.5 Gb/s動作チップの消費電力も1.3 Wとシミュレーション値に近い低消費電力が得られている。特に本2.5 Gb/s 16:1 MUX/DEMUX [28]の消費電力は、動作速度、16:1処理であることを考慮すると従来報告例 [26], [37]に比べ十分小さく、前述の光ファイバ通信システム用MUX/DEMUXとして非常に有利であると考えられる。

以上、本研究で開発した2.5 Gb/s 16:1 MUX/DEMUXの諸元を表5-7にまとめる。

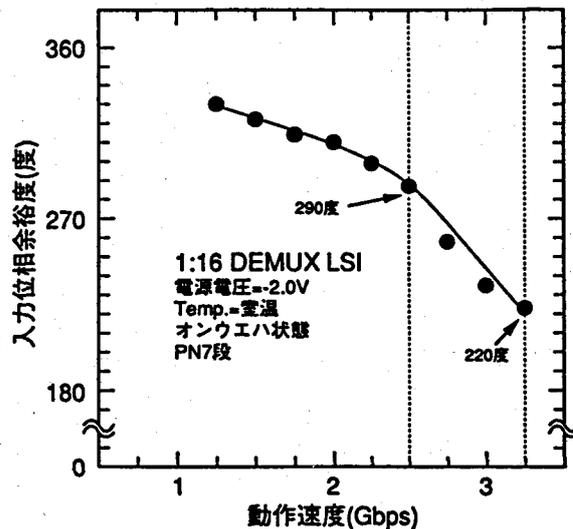


図5-41 16:1 DEMUXの入力位相余裕度

表5—7 2.5 Gb/s 16:1 MUX / DEMUX の諸元

		MUX	DEMUX
回路構成	論理構成	8×2シフトレジスタ	2×8シフトレジスタ
	集積度	1.2Kゲート	1.0Kゲート
	基本回路	E/D DCFL	
	入出力レベル	ECL	
	電源電圧	-2V単一	
	トランジスタ	ゲート長0.7 $\mu$ mBPLDD-MESFET	
	チップサイズ	3.3×3.3mm <sup>2</sup>	
評価結果	動作速度	>2.5Gbps (最高3.2Gbps)	
	消費電力	1.3W	1.3W
	入力位相余裕度	~360°	290° @2.5Gbps
	Tr (@20~80%)	170ps	250ps
	Tl (@20~80%)	160ps	250ps

### 5. 7 結言

本章では、メモリLSIでは4-kb / 16-kb SRAM、ロジックLSIでは2.5 Gb/s 16:1 MUX / DEMUX のGaAs LSIを設計、評価して以下の結果を得た。

1) GaAs LSI, VLSI 用基本ゲートとしては、高集積化、低消費電力化の観点からDCFLが優れている。しかしながら、負荷駆動力が小さいため、例えば標準負荷付きゲート (FI = FO = 2, 負荷配線長2 mm) では真性ゲート遅延とファンアウト遅延、配線遅延が同等になるため、ファンアウト数、配線容量を減らす設計が必要になる。配線容量については第4章で検討した最上層電源用エアブリッジ配線が負荷付きDCFLゲート遅延の低減に有効で、エアブリッジを用いない通常配線に比べて標準負荷条件でその約60%に低減できた。

2) E/D - DCFLでSRAMを構成する場合、MESFET高温動作時の劣化に基づくDCFLインバータ特性の劣化、また基板リーク、ショットキーリーク電流の増加に基づくビット線電位、メモリセル安定性の低下が問題となる。DCFLインバータ特性の劣化に対しては、ソースフォロワ回路をDCFLゲートの後段に付加することで出力"Low"レベルを0V近くまで低下できるので、電圧振幅は増加し高温時の回路動作は安定化する。またビット線電位、メモリセル安定性の低下に対しては、ビット線電位を低下させる非選択メモリセルのアクセスTr.でのリーク電流の総和を低減するために、カラム当たりのメモリセル数を十分減らすこと(本研究では32個以下)、またロウ選択回路としてメモリセルのベース線とグランド間にショットキーダイオードを挿入することにより、メモリセルのアクセスTr.の入力ゲートを逆バイアスして同Tr.でのリーク電流を十分抑制することが非常に有効であることを明らかにした。

3) GaAs SRAMを実用化する上で、ソフトエラー耐性向上は不可欠であるが、これに対しては素子構造の点ではメモリセルの蓄積ノードに相当するFET下部にp層を第2, 3章で検討した条件で形成すると共に、メモリセル回路構成の点では蓄積ノードとグランド間にショットキーダイオードと負荷Tr.を挿入する方法を考案し、ノード反転臨界電荷量を十分大きく、また"High"レベルの低下量を十

分低く抑制できることを初めて示した。またそのソフトエラー耐性は市販の100 FIT以下のSi ECL 1-kb SRAMの約3倍良好であった。

4) 第3章の $0.7\mu\text{m}$ ゲートBPLDD-FET, 第4章の3層配線構造, そして2), 3)の回路技術を用いて16-kb SRAMを作製, 評価した結果,  $25\sim 100^\circ\text{C}$ の温度範囲で最大アクセス時間5 ns, チップ消費電力2 Wを電源電圧 $1.8\pm 0.1\text{ V}$ で実現できた。特に2)の高温時でのメモリ動作を安定化させる回路技術は, 実際の16-kb SRAM動作における温度特性を改善させることが明らかとなった。

5) 4-kb SRAMの回路技術, 及び配線プロセス技術は変えずにFET構造をBP-FETからBPLDD-FETに変更し, またゲート長を $1.0, 0.7, 0.5\mu\text{m}$ へと短縮させた結果, アクセス時間の平均値の改善比はFETの真性ゲート遅延時間の改善比に対して約80%である。4-kb SRAMの集積規模(約3万Tr.)ではまだFET動作速度の改善効果が配線遅延の改善効果より支配的であると言える。しかしながら実際にはFET動作速度の改善と同時に $V_{th}$ 均一性も向上しており, アクセス時間分布の改善効果もアクセス時間平均値の改善効果に寄与するため, 上記のFETの真性ゲート遅延時間の改善比に対する比率は低くなると考えられる。

6) 4-kb SRAMの回路技術, 及びFET技術は変えずに配線構造を2層配線から3層配線に変更することにより, チップサイズの大幅な縮小(本研究では約20%に縮小)が可能となり, 配線長の短縮による配線遅延の改善とチップ内 $V_{th}$ ばらつき低減によるアクセス時間分布の改善が実現される結果, アクセス時間の平均値を約60%に低減できた。また同じく第3層電源配線を通常配線からエアブリッジ配線に変更することにより, 第3層電源配線一下層信号配線間寄生容量が減少してアクセス時間の平均値を約80%に低減できた。

7) 第3章に記述した $0.5\mu\text{m}$ ゲートBPLDD-FET, 第4章の第3層電源用エアブリッジ配線構造, そして2), 3)の回路技術を用いて4-kb SRAMを作製, 評価した結果, 最大アクセス時間1.5 ns, チップ消費電力700 mWという速度・消費電力積においてSi ECL SRAMをも含めて世界最小の優れた性能が電源電圧1.6 Vで実現できた。

8) 広帯域ISDN対応のSTM-1の並列信号をSTM-16の多重信号に変換し, 逆にSTM-16の多重信号をSTM-1の並列信号に変換する2.5 Gb/s 16:1 MUX/DEMUXを製作した。回路動作の安定化を図るために, シフトレジスタ型回路構成にすることにより, 誤り率 $10^{-11}$ 以下で最高動作周波数3.2 Gb/sの16:1 MUXを, また最高動作周波数3.2 Gb/s, 入力位相余裕度 $220^\circ$ で動作する16:1 DEMUXを共に1.3 Wというシステム上空冷で十分対応可能な低消費電力で実現できることを示した。

## 参考文献

- [1] N. Kanopoulos, *Gallium Arsenide Digital Integrated Circuits: A System Perspective*. Englewood Cliffs, NJ: Prentice Hall, 1989.
- [2] Marc Rocchi, *HIGH-SPEED DIGITAL IC TECHNOLOGIES*, Artech House, 1990.
- [3] C. T. Chang, T. Vrotsos, M. T. Frizzel, and R. Carroll, "A subthreshold current model for GaAs MES FET's", *IEEE Electron Device Lett.*, vol. EDL-8, No. 2, Feb. 1987, pp.69-72.
- [4] 松永, 八田, 重田, 光定「GaAs MESFET 特性の温度依存性」応用物理学連合講演会, 1986, 4a-T-3, pp.646.
- [5] H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A 7-ns / 850-mW GaAs 4-kb SRAM with Little Dependence on Temperature," in *IEEE J. Solid - State Circuits*, vol. SC-25, Oct. 1990, pp.1232-1238.
- [6] G. Lee, S. Canaga, B. Terrel, and I Deyhimy, "A High Performance GaAs Gate Array Family", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.33-36.
- [7] S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano, "A 5-ns GaAs 16-kb SRAM", *IEEE J. Solid-State Ciruits*, vol. SC-126, no. 10, Oct. 1991, pp.1399-1406.
- [8] H. Yanazawa, "New Device Technologies Developed in The Japanese National Project on Super Computer System", in *GaAs IC Symp. Tech. Dig.*, 1990, pp.7-10.
- [9] Gigabit Logic, *Product Guide*, 1986.
- [10] H. Tanaka, H. Yamashita, N. Masuda, N. Matsunaga, M. Miyazaki, H. Yanazawa, and N. Hashimoto, "A 4K GaAs SRAM with 1 ns Access Time", in *ISSCC Tech. Dig.*, Feb. 1987, pp.138-139.
- [11] M. Hirayama, M. Togashi, N. Kato, M. Suzuki, Y. Matsuoka, and Y. Kawasaki, "A GaAs 16-kbit Static RAM Using Dislocation-Free crystal", *IEEE Trans. Electron Devices*, vol. ED-33, No. 1, Jan. 1986, pp.104-110.
- [12] S. J. Lee *et al.*, *Electron Lett.* vol. 17, 1981, pp.761.
- [13] R. A. Kiehl, P. G. Flahive, S. H. Wemple, H. M. Cox, "Direct-Couple GaAs Ring Oscillators with Self -Aligned Gates", *IEEE Electron Device Lett.*, vol. EDL-3, 1982, pp.325-326.
- [14] T. C. May and M. H. Woods, "A New Physical Mechanism for Soft Errors in Dynamic Memories", in *16th Annual Proc. of Intl. Reliability Physics Symp.*, 1978, pp.33-40.
- [15] 今井, 生駒, 佐藤, 藤本「化合物半導体デバイス (I)」工業調査会, 1984.
- [16] 大森 正道 「超高速化合物半導体デバイス」培風館, 1986.
- [17] Y. Umemoto, N. Masuda, J. Shigeta, and Mitsusada, "Improvement of alpha-particle induced soft-error

- immunity in a GaAs SRAM by a buried p-layer", *IEEE Trans. Electron Devices*, vol. ED-35, Mar. 1988, pp.268-274.
- [18] S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano, "A 5-ns GaAs 16-kb SRAM," in *IEEE J. Solid - State Circuits*, vol. SC-26, Oct. 1991, p.1399 - 1406.
- [19] S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.41-44.
- [20] S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano, "A GaAs 16K SRAM with a single 1-V supply", *IEEE J. Solid-State Circuits*, vol. SC-22, Oct. 1987, pp.699-703.
- [21] S. Notomi, Y. Awano, M. Kosugi, T. Nagata, K. Kosemura, M. Ono, N. Kobayashi, H. Ishiwari, K. Odani, T. Mimura, and M. Abe, "A High Speed 1Kx4-bit Static RAM Using 0.5  $\mu$  m-gate HEMT", in *GaAs IC Symp. Tech. Dig.*, 1987, pp.177-180.
- [22] 寺田 康和「B - ISDN の展望」*NTT R&D*, vol. 40, No. 1, 1991, pp.1-8.
- [23] 上田, 辻, 坪井「新しい同期インタフェースを適用した同期端局装置」*NTT R&D*, vol. 39, No. 4, 1990, pp.627-638.
- [24] 榎, 三浦, 岡田「今後の伝送路網構成のありかたと新しい同期インタフェースの適用」*NTT R&D*, vol. 39, No. 4, 1990, pp.619-626.
- [25] G. Flower, "A 3 GHz 4:1 Time Division Multiplexer with Output Retiming", in *IEEE Bipolar Circuits & Technology Meeting Tech. Dig.*, 1988, pp.146-149.
- [26] 藤井, 徳島, 石川, 前多, 樋田, 大野, 高野「STM-16 用低消費電力 16:1 MUX / DMUX DMT LSI」電子情報通信学会研究会資料 ED91-179, 1992, pp.93-99.
- [27] H. Naito, M. Kawai, T. Ohtuka, T. Ishihara, K. Yamaguchi, A. Taniguchi, H. Onodera, and T. Endo, "3-Gbit/s 16-Channel GaAs Multiplexer and Demultiplexer LSIs", in *GaAs IC Symp. Tech. Dig.*, 1989, pp.321-324.
- [28] 島田, 東坂, 太田, 細木, 野田, 久保, 飛田, 三井, 「2.5 Gbps DCFL 16:1 MUX/DEMUX LSI」電子情報通信学会秋季大会 C-408, 1992, pp.5-88.

## 第6章 総括

本論文では、実用レベルの高速・低消費電力GaAs LSIの実現を目的として、GaAs LSI構成素子として用いるMESFET、Au系多層配線の構造と作製プロセス、そしてLSIである4-Kb/16-Kb SRAM、2.5 Gb/s 16:1 マルチプレクサー/デマルチプレクサーの回路設計の検討を行い、それらの特性を評価することにより得られた主要な成果を以下に総括した

(1) GaAsセルフアラインゲートMESFET (SAGFET) の耐熱性ゲート材料として用いる $WSi_x$ は、従来のコスパッタではない単一のコンパウンドターゲットからのスパッタでも形成可能であり、スパッタガス圧、スパッタ電力により組成比を $x \sim 0.1 \sim 0.3$ の範囲で制御でき、その組成比で $WSi_x$ /GaAs ショットキー接合における $\Phi_B$ は0.7 eV以上、 $n$ 値は1.1以下とGaAsの表面欠陥によるFermi level pinningに相当する良好なショットキー界面特性が得られる。(第2章)

(2)  $WSi_x$ /GaAs ショットキー特性は $WSi_x$ 膜全体の組成比では一意的に決まらず、同界面付近での $WSi_x$ 組成比、即ちGaAs最表面でのSiの付着割合が大きく影響を及ぼす。(第2章)

(3) SAGFETの $n$ チャネル下 $p$ 型埋め込み層の形成条件は、 $p$ 層中に中性領域が発生する程度の高いホール濃度が短チャネル効果の十分な抑制には必要である。これに相当する $p$ 層用イオン注入条件( $Be^+$ イオン 70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ )で作製した $0.5 \mu\text{m}$ ゲート $p$ 層埋め込みSAGFETで3インチウエハー面内において $\sigma V_{th} \sim 25 \text{ mV}$ なる良好な $V_{th}$ 均一性を確認した。さらに $p$ 層を高濃度化した場合 $\sigma V_{th}$ は約20 mVに飽和するがゲート寄生容量は増加するため、 $p$ 層濃度は $\sigma V_{th}$ が飽和する最小濃度が最適である。(第2章)

(4)  $p$ 層は $n$ チャネルとの界面付近が高濃度であることが重要であり、同界面から離れた深い位置に形成された $p$ 層は短チャネル効果抑制にはほとんど寄与しない。この結果、 $n$ チャネル下基板リーク電流はチャネル下の極く近傍を流れるという知見を得た。(第2章)

(5)  $p$ 層濃度の増加に伴いゲート寄生容量が増加するが、それは $V_{th}$ を一定にするために同じく増加された $n$ チャネル濃度によるゲート真性容量の増加分の15%以下で、実際のFET動作にはゲート真性容量の増加の影響が大きい。実際 $Be^+$ イオン 70 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$ の $p$ 層の有無により、同一ゲート消費電力時のゲート遅延時間は、 $p$ 層有りて約10%の増加に留まり動作速度の顕著な劣化には至らないことを確認した。(第2章)

(6)  $p$ 層埋め込みによる $n/p$ 界面での空乏層は $n$ チャネル側も空乏化して $n$ チャネル厚は $p$ 層無しの場合の約2/3に薄層化され、これによりチャネル厚に反比例する電流駆動能力 $g_m$ はゲート長 $1 \mu\text{m}$ 時、250 mS/mmから330 mS/mmへと約30%増大する。さらに短チャネル効果の抑制と併せて、

Be<sup>+</sup> イオン 70KeV,  $2 \times 10^{12} \text{ cm}^{-2}$  による p 層によりゲート長は  $0.5 \mu\text{m}$  まで短縮でき、その時の  $g_m$ , K 値は各々 600 mS/mm, 490 mS/Vmm と本ゲート長の GaAs MESFET としては最高の性能が得られることを実証した。(第 2 章)

(7) ストイキオメトリックな In ドープ低転位基板を AsH<sub>3</sub> 雰囲気中 800°C, 30分 で SiO キャップアニールした本 SAGFET 作製プロセスにおいては、ゲート (n チャネル部) と最近接転位までの距離が  $1 \mu\text{m}$  以上の場合、両者に顕著な相関は見られないが、転位がゲートの直下にある場合、V<sub>th</sub> は約 30 mV 負側にシフトする。本プロセスでは As よりも Ga の SiO 中への外方拡散量が多く、GaAs 基板表面付近は As 過剰であると考えられるが、前者の結果は As 過剰とする従来報告例の多くと一致する。しかしながら後者の結果はむしろ Ga 過剰の従来報告結果と同じ傾向であり、本結果が従来報告例の中で中間的な実験結果であることを確認した。(第 2 章)

(8)  $60 \mu\text{m}$ , あるいは  $15 \mu\text{m}$  ピッチの高密度微細 FET アレイによる V<sub>th</sub> のミクロな分布の測定結果から、V<sub>th</sub> が前記ピッチで単独点として数十 mV 正側にシフトする異常点が存在する。本異常点の上記転位との相関は全くなく、短チャネル効果が抑制されていれば見られず、逆に同効果が大きければ異常点の密度、V<sub>th</sub> シフト量ともに増加する。本異常点はゲート形状不良、ゲートショットキー特性不良、ピエゾ効果異常には対応せず、周辺の正常点に比べ基板リーク電流が 1 桁弱低いことが明らかとなっている。現在のところ転位を除外した基板結晶特性が n チャネル下の基板抵抗の局所的増大、あるいは n<sup>+</sup> 層用 Si<sup>+</sup> 注入イオンのアニール時の横方向拡散長の局所的減少をもたらすことが主要な原因と推定される。(第 2 章)

(9) オフセットゲート構造 FET のソース直列抵抗を低減するためにゲート・n<sup>+</sup> 層分離部に n' 中間濃度層を導入 (LDD 化) した結果、n チャネルと同等の濃度の付加 (Si<sup>+</sup> イオン, 50 KeV,  $2 \times 10^{12} \text{ cm}^{-2}$  以上), 即ち n チャネルの約 2 倍高濃度の n' 層の形成で電流駆動能力である K 値は前記オフセットゲート構造 FET の約 160% に増加し、電流駆動能力は十分回復できる。但し n' 層濃度の単調な増加はゲート・ドレイン端電界の増大、即ち短チャネル効果の増大を招き、V<sub>th</sub> 均一性も劣化するため、前記 K 値の大幅な増加が確認されたうちの最低濃度である  $2 \times 10^{12} \text{ cm}^{-2}$  が最適であることを実証した。(第 3 章)

(10) p 型埋め込み層を有する LDD 構造 SAGFET (BPLDD) は、BP-FET, p 層無し LDD と合わせた 3 種類の中で短チャネル効果の抑制が最も大きい。p 層用 Mg<sup>+</sup> イオン注入ドーズを注入エネルギー 300 KeV の時、 $1.5 \times 10^{13} \text{ cm}^{-2}$  まで増加するにつれて、 $2 \sim 5 \times 10^{12} \text{ cm}^{-2}$  以上では I<sub>sub</sub> は 1 nA /  $10 \mu\text{m}$  以下で飽和するのに対し、V<sub>th</sub> の負方向シフト量は単調に低下することを示し、V<sub>th</sub> 負方向シフトは基板リーク電流 I<sub>sub</sub> のみには律速されておらず、n チャネル厚変動に伴うゲート電界の 2 次元効果、あるいはピエゾ効果の影響を受けることを指摘した。V<sub>th</sub> 均一性は p 層用 Mg<sup>+</sup> イオン注入条件として、

注入エネルギー300 KeVの時、ゲート長  $0.7\mu\text{m}$  では注入ドーズ  $2\times 10^{12}\text{cm}^{-2}$ 、 $0.5\mu\text{m}$  では  $5\times 10^{12}\text{cm}^{-2}$  の条件で3インチウエハー面内において  $\sigma V_{th}$  の最小値 $\sim 20\text{mV}$ を得た。微小領域での  $V_{th}$  ミクロ分布では、ゲート長  $0.7\mu\text{m}$  で  $60\mu\text{m}$  ピッチ  $3\text{mm}$  角内測定で  $\sigma V_{th} = 7\text{mV}$  が得られ、前章での  $1\mu\text{m}$  ゲートBP-FETでの  $9\text{mV}$  より良好であることを確認し、 $\sigma V_{th} \leq 5\text{mV}$  を理想とする16-Kb SRAMレベルのLSIの実現の可能性をより高めることができた。それ以上の高ドーズ注入では  $\sigma V_{th}$  は増加するため、短チャネル効果の抑制と  $V_{th}$  均一性の向上との相関はなくなることが確認され、短チャネル効果の良好な抑制にもかかわらず、高ドーズ注入での注入損傷に伴う活性化率ばらつきが発生していることを指摘した。(第3章)

(11) BPLDDのゲート容量は、BP-FETに比べゲート・ $n^+$ 層間分離によりゲート端寄生容量が減少することを示し、ゲート長  $0.7\mu\text{m}$  ではBP-FETで  $1.0\text{fF}/\mu\text{m}$  がBPLDDで  $0.5\text{fF}/\mu\text{m}$  へと半減することを実証した。特に短ゲート長では  $n$  チャネル真性容量に対するゲート端寄生容量の比が増加するのでゲート端寄生容量が減少する効果は顕著になり、ゲート長  $0.5\mu\text{m}$  ではBPLDDの全ゲート容量はBPの約74%にまで低下することを明らかにした。このために  $f_T$ 、ゲート遅延時間はBPに比べ改善され、 $f_T$  はゲート長  $0.5\mu\text{m}$  で  $35\text{GHz}$ 、ゲート遅延時間はゲート長  $0.7\mu\text{m}$  でゲート消費電力  $1\text{mW}$  の時、 $15\text{ps}$  と良好な性能が得られた。特にゲート遅延時間は同一実効ゲート長のBPでの約65%に改善され、ゲート長  $0.7\mu\text{m}$  のGaAs MESFETとしては世界最高レベルである。また  $p$  層中の中性領域による寄生容量の付加がゲート遅延時間に及ぼす影響は前章のBP-FETと同等以上に小さいことを明らかにした。(第3章)

(12) BPLDDの電流駆動能力  $g_m$  の一層の向上を図るために、さらに  $n'$  層、 $n^+$ 層の高濃度化によるソース直列抵抗の低下を図る際、短チャネル効果を従来型BPLDDと同程度に維持するために、 $n^+$ 層の薄層化と  $n'$  層長(ゲート・ $n^+$ 層間分離長)の増加を可能とする新プロセスとして、SiN/SiON 2層サイドウォールプロセスを開発した。これにより  $n^+$ 層は注入エネルギー  $50\text{KeV}$  のSiN  $500\text{\AA}$  のスルー注入で  $n$  チャネルと同程度の注入深さに形成でき、また従来型スルー注入での約  $2000\text{\AA}$  のゲート側壁厚から約  $3000\text{\AA}$  のサイドウォールに側壁厚を増加して  $n^+$ 層用注入を行え、この結果、 $n'$  層用注入ドーズは従来型の2倍の  $4\times 10^{12}\text{cm}^{-2}$ 、 $n^+$ 層用注入ドーズは  $3\times 10^{13}\text{cm}^{-2}$  でピークキャリア濃度としては従来型の1.5倍に増加させることができる。改良型BPLDDを作製し、評価した結果、ゲート長  $0.5\mu\text{m}$  で  $V_{th}$  均一性を3インチウエハー面内で  $\sigma V_{th} \leq 25\text{mV}$  に維持しつつ、 $g_m \sim 500\text{mS/mm}$ 、 $f_T \sim 50\text{GHz}$ 、と従来型BPLDDに比べ、 $g_m$  を約25%、 $f_T$  を約30%向上でき、またゲート遅延時間は  $7\text{ps}$  (ゲート消費電力  $2.5\text{mW}$  の時) であり、 $0.5\mu\text{m}$  ゲートGaAs MESFETとしては世界最高速であることを確認した。(第3章)

(13)  $\text{Ar}^+$  イオンを用いたイオンミリング法によるAu配線パターン加工において、30度斜めか

らイオンビームを照射することにより、レジスト端に発生する facet をウエハ表面に対し垂直にしてレジスト形状を矩形化し、それを反映させて下地Auの加工形状も矩形状にできる。この時、垂直となったレジスト端 facet はレジストの中で最もエッチングレートが高くパターン細りが懸念されるが、Auとレジストのミリングレートの差によりパターン細りは約  $0.1\mu\text{m}$  に留まり、最小仕上がり寸法  $0.7\mu\text{m}$  までの矩形状Au配線パターンの加工が出来る。また斜めからのイオンビーム照射により、レジスト側壁、あるいはAu加工パターン側壁に再付着する Auがエッチングされるために、垂直イオンビーム照射時に発生するAu加工パターン幅の太り、パターン端でのAuの突起物発生は回避できることを確認した。(第4章)

(14) 下地に段差を有するAu配線パターン上にAuのヒロックが発生する。このヒロックは、上層のSiON成膜温度の増加と共に増えるが、その発生メカニズムとしてGaAs基板上に形成されたAuスパッタ膜が昇温プロセスにより圧縮応力を受け、それを緩和するためにAuが自己拡散を起こしてAu表面にヒロックを形成するというモデルが考えられる。Auヒロックが下地の段差部分に集中して多く観察されるのはこの部分に応力が集中しているためと言え、上述のヒロック密度と熱処理温度の関係からヒロック発生の活性化エネルギーは  $1.50\text{eV}$  であったが、これはAuバルク中での自己拡散の活性化エネルギー  $1.81\text{eV}$  より小さく、本ヒロック中に見られる grain boundary を介した拡散であると推定される。SiON成膜温度を  $300^\circ\text{C}$  から  $250^\circ\text{C}$  に低下すると、ヒロック密度は前者での6%に低減し、これにより16-kb SRAMでの層間リーク不良の発生頻度も大幅に低減することができた。(第4章)

(15) メタルポスト用下層レジスト、エアブリッジ配線上層レジストからなる2層レジストプロセスにより、メタルポスト高さ  $2.5\mu\text{m}$ 、エアブリッジ膜厚  $4.0\mu\text{m}$  のAuメッキエアブリッジ構造で、Auメッキ膜の自重によるたわみの無い状態で、メタルポスト間のスパン長  $500\mu\text{m}$  の長スパンAuエアブリッジ配線が形成できることを実証した。(第4章)

(16) 2層、3層配線両構造の16-kb SRAMでの配線遅延時間を、GaAs基板容量の影響を無視して層間配線容量の効果を考慮した分布RC遅延モデルであるWilhelm、あるいは桜井の式で見積った結果、2層配線を用いたSRAMに対する3層配線を用いたSRAMのアクセス時間の中での配線遅延の短縮比は74%であり、実測結果である同短縮比70%とほぼ一致することを確認した。この2層配線による16-kb SRAMでの配線遅延と3層配線による16-kb SRAMでの配線遅延の相対比74%は、配線容量を集中RC回路として扱うSPICE2シミュレーションによる相対比57%とはかなり異なり、16-kb SRAMの実測結果70%は分布RC遅延モデルでの計算値に近いので、本16-kb SRAM程度の集積度を有するLSIでの配線遅延は分布RC遅延として扱う必要があることを明らかにした。(第4章)

(17) Auエアブリッジ配線を最上層電源、アース配線として、LSIに初めて適用した。その結果、下層信号配線—最上層エアブリッジ配線間容量は、エアブリッジでない従来の層間絶縁膜SiONを有す

る構造に比べて約10%に、信号配線遅延時間は約50%に、 $0.7\mu\text{m}$ ゲートBPLDD-FETを用いたDCFLゲートの標準負荷付き遅延時間（FET真性遅延，ファンイン，ファンアウト負荷遅延，配線負荷遅延の総和：ファンイン数=ファンアウト数=2，Au負荷配線長2mm）は約60%に低下する。これらの実測結果に対する（16）の分布RC遅延モデル（桜井の式）での予測値はおおよそ一致した。

（第4章）

（18）E/D-DCFLでSRAMを構成する場合，高温時のDCFLインバータ特性の劣化に対しては，ソースフォロワ回路をDCFLゲート後段に付加することで出力"Low"レベルを0V近くまで下げられるので，電圧振幅は増加し高温時の回路動作は安定化する。またビット線電位，メモリセル安定性の低下に対しては，ビット線電位を低下させる非選択メモリセルのアクセス $T_r$ でのリーク電流の総和を低減するためにカラム当たりのメモリセル数を十分減らすこと（本研究では32個以下），またロウ選択回路としてメモリセルのベース線とグラウンド間にショットキーダイオードを挿入することにより，メモリセルのアクセス $T_r$ の入力ゲートを逆バイアスして同 $T_r$ でのリーク電流を十分抑制することが非常に有効であることを明らかにした。（第5章）

（19）ソフトエラー耐性の向上を図る上で，素子構造の点ではメモリセル蓄積ノードFET下部にp層を第2，3章で検討した条件で形成すると共に，メモリセル回路構成の点では蓄積ノードとグラウンド間にショットキーダイオードと負荷 $T_r$ を挿入する方法を考案し，ノード反転臨界電荷量を十分大きく，"High"レベルの低下量を十分小さく抑制できることを初めて示した。またそのソフトエラー耐性は市販の100FIT以下のSi ECL 1-kb SRAMの約3倍良好であった。（第5章）

（20）第3章の $0.7\mu\text{m}$ ゲートBPLDD-FET，第4章の3層配線構造，そして（18），（19）の回路技術を用いて16-kb SRAMを作製，評価した結果，25~100°Cの温度範囲で最大アクセス時間5ns，チップ消費電力2Wを電源電圧 $1.8\pm 0.1\text{V}$ で実現した。（第5章）

（21）第3章に記述した $0.5\mu\text{m}$ ゲートBPLDD-FET，第4章の第3層電源用エアブリッジ配線構造，そして（18），（19）の回路技術を用いて4-kb SRAMを作製，評価した結果，最大アクセス時間1.5ns，チップ消費電力700mWという速度・消費電力積においてSi ECL SRAMをも含め世界最小の優れた性能が電源電圧1.6Vで実現できた。（第5章）

（22）広帯域ISDN対応のSTM-1の並列信号をSTM-16の多重信号に変換し，逆にSTM-16の多重信号をSTM-1の並列信号に変換する2.5Gb/s 16:1 MUX/DEMUXを開発した。回路動作の安定化を図るために，シフトレジスタ型回路構成にすることにより，誤り率 $10^{-11}$ 以下で最高動作周波数3.2Gb/sの16:1 MUXを，また最高動作周波数3.2Gb/s，入力位相余裕度 $220^\circ$ で動作する16:1 DEMUXを共に1.3Wというシステム上空冷で十分対応可能な低消費電力で実現できた。（第5章）

## 謝 辞

本論文をまとめるにあたり、終始御親切なる御指導と御鞭撻を賜った大阪大学基礎工学部 濱川圭弘教授に衷心より御礼申し上げます。

また、本論文の作成にあたり御懇篤なる御検討と御教示を頂いた大阪大学基礎工学部 奥山雅則教授、蒲生健次教授、小林猛教授に厚く御礼申し上げます。

本研究の遂行にあたり、終始御懇切なる御教示と御鞭撻を賜り、また本論文作成の機会を与えて頂いた三菱電機株式会社光・マイクロ波デバイス研究所所長 三井茂博士、同 LSI 研究所所長 小宮啓義博士に厚く御礼申し上げます。

本研究の遂行、及び論文の作成にあたり、直接御指導頂き、数々の御教示を頂いた三菱電機（株）光・マイクロ波デバイス研究所マイクロ波デバイス開発部部長 大坪睦之博士、同カスタムLSI 設計技術開発センター部長 茅野晋平博士、同北伊丹製作所波光部次長 西谷和雄博士、同研究所グループマネージャー 三井康郎博士、高野博三主幹、折坂伸治主幹に厚く御礼申し上げます。

また、本論文における数々の実験とその分析・解析に御協力頂き、有益な御討論と御指摘をしていただいた三菱電機（株）光・マイクロ波デバイス研究所 伊藤和彦氏、谷野憲之氏、紫村輝之氏、細木健治氏、中野博之氏、奥友希氏、河野康孝氏、酒井将行氏、松岡敬氏、東坂範雄氏、鳥田征明氏、同 LSI 研究所 高野聡博士、牧野博之氏、同カスタムLSI 設計技術開発センター 松江秀一氏、同北伊丹製作所 住谷光一氏に心から感謝致します。

末筆ながら、本研究の期間中終始有益な御討論と御協力を頂いた三菱電機（株）光・マイクロ波デバイス研究所、LSI 研究所、ならびに北伊丹製作所の各位に心から感謝致します。

## 研究業績目録

(Full Paper : 主著論文, 審査有り)

- 1). S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano,  
"A GaAs 16K SRAM with a Single 1 - V Supply," in *IEEE J. Solid - State Circuits*, vol. SC - 22,  
Oct. 1987, pp. 699 - 703.
- 2). H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,  
"A 7-ns / 850-mW GaAs 4-kb SRAM with Little Dependence on Temperature,"  
in *IEEE J. Solid - State Circuits*, vol. SC - 25, Oct. 1990, pp.1232 - 1238.
- 3). S. Matsue, H. Makino, M. Noda, H. Nakano, S. Takano, K. Nishitani, and S. Kayano,  
"A 5-ns GaAs 16-kb SRAM," in *IEEE J. Solid - State Circuits*, vol. SC - 26, Oct. 1991, pp.1399 - 1406.
- 4). M. Noda, K. Hosogi, K. Sumitani, H. Nakano, K. Nishitani, M. Otsubo, H. Makino, and A. Tada,  
"A GaAs MESFET with a Partially Depleted p Layer for SRAM Applications,"  
in *IEEE Trans. Electron Devices*, vol. ED - 38, Dec. 1991, pp. 2590 -2598.
- 5). M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, T. Oku, H. Makino,  
K. Nishitani, and M. Otsubo, "A High - Speed 16-kb SRAM of Less than 5 ns Using Triple - Level Metal  
Interconnection," in *IEEE Trans. Electron Devices*, vol. ED - 39, Mar. 1992, pp. 494 -499.
- 6). M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo,  
"A High - Speed and Highly Uniform Submicrometer - Gate BPLDD GaAs MESFET for GaAs LSI's,"  
in *IEEE Trans. Electron Devices*, vol. ED - 39, Apr. 1992, pp. 757 -766.
- 7). M. Noda, H. Matsuoka, N. Higashisaka, M. Shimada, H. Makino, S. Matsue, Y. Mitsui, K. Nishitani,  
and A. Tada, "An Application of Air - Bridge Metal Interconnections to High Speed GaAs LSI's,"  
in *IEICE Trans. Electronics, Special Issue on Compound Semiconductor Integrated Circuits*, vol. E75-C,  
No. 10, Oct. 1992, pp.1146-1153.
- 8). M. Noda, T. Oku, M. Sakai, K. Hosogi, Y. Kohno, S. Terazono, and K. Nishitani,  
"An Advanced GaAs BPLDD MESFET with Dense and Shallow n' and n<sup>+</sup> Regions for LSI Applications,"  
in *IEEE Trans. Electron Devices*, to be submitted
- 9). M. Noda, M. Okuyama, and Y. Hamakawa,  
"CARRIER TRAPPING CENTERS AND INTERFACE STATES INDUCED BY r.f. SPUTTERING OF  
MOLYBDENUM ELECTRODES IN MOS-STRUCTURE DIODES," in *Solid-State Electronics*, vol. 27,  
No. 5, May 1984, pp. 399 - 406.

(国際学会発表：審査有り)

- 1). T. Shimura, M. Noda, K. Hosogi, N. Tanino, K. Nishitani, and M. Otsubo,  
"A Buried P-Layer Lightly Doped Drain (BPLDD) Self-Aligned GaAs MESFET,"  
in *18th Conf. on Solid State Devices and Materials (Tokyo, Japan, 1986)*, pp.387 - 391.
- 2). N. Tanino, S. Takano, M. Noda, H. Makino, K. Sumitani, H. Nakano, K. Nishitani, and S. Kayano,  
"A 2.5 ns / 200 mW GaAs 4Kb SRAM," in *IEEE GaAs IC Symp. Tech. Dig.*, 1986, pp. 101 - 104.
- 3). S. Takano, H. Makino, N. Tanino, M. Noda, K. Nishitani, and S. Kayano,  
"A 16K GaAs SRAM," in *IEEE ISSCC Tech. Dig.*, 1987, pp. 140 - 143.
- 4). M. Noda, K. Hosogi, K. Sumitani, H. Nakano, H. Makino, K. Nishitani, and M. Otsubo,  
"A high-yield 4Kb SRAM process technology using self-aligned gate MESFETs with a partially depleted p-layer," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 227 - 230. (但し前記主著論文4) に本内容を掲載)
- 5). H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,  
"A 7 ns / 850 mW GaAs 4Kb SRAM fully operative at 75 °C," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 71 - 74.
- 6). M. Kobayashi, N. Tanino, M. Komaru, T. Shimura, M. Noda, and O. Ishihara,  
"A High Frequency GaAs Multivibrator IC," in *IEEE GaAs IC Symp. Tech. Dig.*, 1988, pp. 151 - 154.
- 7). M. Noda, K. Hosogi, K. Maemura, T. Kato, Y. Nakajima, K. Nishitani, and M. Otsubo,  
"High-speed and highly uniform submicron gate BPLDDFET for GaAs LSIs,"  
in *Proc. 16th Int. Symp. on GaAs and Related Compounds (Karuizawa, Japan, 1989)*, pp. 653 - 658.  
(但し前記主著論文6) に本内容を掲載)
- 8). K. Hosogi, T. Shimura, Y. Nakajima, M. Noda, and K. Nishitani,  
"Microscopic Uniformity of  $V_{th}$  in GaAs MESFETs,"  
in *Proc. 16th Int. Symp. on GaAs and Related Compounds (Karuizawa, Japan, 1989)*, pp. 659 - 664.
- 9). S. Matsue, H. Makino, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano,  
"A soft error improved 7 ns / 2.1 W GaAs 16Kb SRAM," in *IEEE GaAs IC Symp. Tech. Dig.*, 1989,  
pp. 41 - 44.
- 10). M. Noda, S. Matsue, M. Sakai, K. Sumitani, H. Nakano, T. Oku, H. Makino, K. Nishitani, and M. Otsubo, "A Triple-Level Interconnection Technology for High Speed 16 Kb GaAs SRAM,"  
in *22nd Conf. on Solid State Devices and Materials (Sendai, Japan, 1990)*, pp. 71 - 74.  
(但し前記主著論文5) に本内容を掲載)

- 11). H. Nakano, M. Noda, M. Sakai, S. Matsue, T. Oku, K. Sumitani, H. Makino, H. Takano, and K. Nishitani, "A HIGH-SPEED GaAs 16Kb SRAM of 4.4 ns / 2 W USING TRIPLE-LEVEL METAL INTERCONNECTION," in *IEEE GaAs IC Symp. Tech. Dig.*, 1990, pp. 151 - 154.
- 12). N. Higashisaka, M. Shimada, T. Nishimura, N. Sasaki, M. Noda, H. Matsuoka, and S. Kayano, "A Quasi-Complementary-Logic GaAs Gate Array employing Air-Bridge Metalization Technology," in *IEEE CICC Tech. Dig.*, 1991, pp. 14.6.1 - 14.6.4.
- 13). K. Yamamoto, K. Maemura, N. Andoh, M. Noda, K. Oki, H. Ishida, Y. Mitsui, M. Otsubo, and S. Mitsui, "A 1.9 GHz-Band GaAs Direct-Quadrature Modulator IC with a Phase Shifter," in *IEEE GaAs IC Symp. Tech. Dig.*, 1992, pp. 37 - 40.

(国内学会発表：審査無し)

1. 応用物理学会

- 1) 第31回応用物理学関係連合講演会1984年(昭和59年)春季  
31a-O-6: 大沢 勝、野田 実、西谷 和雄、大坪 睦之  
「Wシリサイドのリアクテイヴィオンエッチング」
- 2) 第45回応用物理学会学術講演会1984年(昭和59年)秋季  
13p-U-7: 野田 実、西谷 和雄、大坪 睦之  
「Wシリサイドの反応性イオンエッチング(2)」
- 3) 第32回応用物理学関係連合講演会1985年(昭和60年)春季  
31p-X-3: 野田 実、住谷 光一、細木 健治、紫村 輝之、伊藤 和彦、  
谷野 憲之、西谷 和雄、大坪 睦之  
「WSix/W2層構造ゲートを有するセルフアラインGaAsMESFET」
- 4) 第46回応用物理学会学術講演会1985年(昭和60年)秋季  
2a-B-3: 野田 実、細木 健治、伊藤 和彦、谷野 憲之、西谷 和雄、大坪 睦之  
「キャップレスアニールによるGaAsMESFETのVthゲート方位依存性」
- 5) 第33回応用物理学関係連合講演会1986年(昭和61年)春季  
4p-T-2: 野田 実、紫村 輝之、細木 健治、谷野 憲之、西谷 和雄、大坪 睦之  
「n<sup>+</sup>スルー注入によるGaAsMESFET特性の改善」
- 6) 第47回応用物理学会学術講演会1986年(昭和61年)秋季  
28p-B-5: 野田 実、細木 健治、中島 康晴、紫村 輝之、西谷 和雄、大坪 睦之  
「n<sup>+</sup>スルー注入によるGaAsMESFET特性の改善(2)」

7) 第47回応用物理学会学術講演会1986年(昭和61年)秋季

28p-B-7: 細木 健治、野田 実、紫村 輝之、谷野 憲之、西谷 和雄、大坪 睦之

「 $n^+$ スルー注入LDD構造GaAsMESFET特性の検討」

8) 第34回応用物理学関係連合講演会1987年(昭和62年)春季

29p-X-2: 細木 健治、野田 実、中島 康晴、谷野 憲之、西谷 和雄

「高密度微細FETアレイによる $V_{th}$ ばらつき評価」

9) 第34回応用物理学関係連合講演会1987年(昭和62年)春季

29p-X-7: 伊藤 和彦、細木 健治、野田 実、奥 友希、桧垣 幸夫、西谷 和雄

「スルー注入によるGaAsMESFETの高性能化」

10) 第34回応用物理学関係連合講演会1987年(昭和62年)春季

29p-X-8: 細木 健治、紫村 輝之、野田 実、伊藤 和彦、西谷 和雄

「LDD構造GaAsMESFETの高性能化」

11) 第35回応用物理学関係連合講演会1988年(昭和63年)春季

30a-ZB-3: 細木 健治、野田 実、中島 康晴、高野 博三、西谷 和雄

「GaAsMESFETにおけるスパイク状 $V_{th}$ 異常の検討」

12) 第35回応用物理学関係連合講演会1988年(昭和63年)春季

30a-ZB-4: 野田 実、伊藤 和彦、細木 健治、西谷 和雄

「p層埋め込みFETの高性能化(2)」

2. 電子情報通信学会

1) 昭和61年度電子通信学会総合全国大会(1986年)

牧野 博之、高野 聡、野田 実、谷野 憲之、西谷 和雄、茅野 晋平

「プリデコード方式を用いた低消費電力GaAs4KbスタティックRAMの設計」

2) 電子情報通信学会技術研究報告 電子デバイス研究会

ED86-134: 野田 実、住谷 光一、中野 博文、伊藤 和彦、細木 健治、  
西谷 和雄、

「GaAs LSIメモリプロセス技術」

3) 電子情報通信学会技術研究報告 電子デバイス研究会

ED86-135: 牧野 博之、高野 聡、野田 実、谷野 憲之、西谷 和雄、茅野 晋平

「GaAs4KbスタティックRAM」

4) 電子情報通信学会技術研究報告 電子デバイス研究会

- ED88-144:野田 実、細木 健治、住谷 光一、中野 博文、牧野 博之、  
西谷 和雄、  
「部分空乏化したp型埋め込み層を有するセルフアラインゲートMES  
FETを用いたGaAs 4Kb SRAMプロセス技術」
- 5) 電子情報通信学会技術研究報告 電子デバイス研究会  
ED88-150:牧野 博之、松江 秀一、野田 実、谷野 憲之、高野 聡、西谷 和雄、  
「75℃で動作する7ns/850mWのGaAs 4KビットRAM」
- 6) 電子情報通信学会技術研究報告 電子デバイス研究会  
ED89-130:野田 実、細木 健治、前村 公正、加藤 隆幸、中島 康晴、  
牧野 博之、西谷 和雄、大坪 睦之、  
「GaAs LSI用サブミクロンゲートp層埋め込み型FETのLDD化に  
よる均一性、高速性の改善」
- 7) 電子情報通信学会技術研究報告 電子デバイス研究会  
ED89-137:松江 秀一、牧野 博之、野田 実、谷野 憲之、高野 聡、西谷 和雄、  
茅野 晋平、  
「ソフトエラー耐性を改善した7ns/2.1W GaAs 16Kb  
SRAM」
- 8) 電子情報通信学会技術研究報告 電子デバイス研究会  
ED90-150:中野 博文、野田 実、酒井 将行、松江 秀一、奥 友希、住谷 光一、  
牧野 博之、高野 博三、西谷 和雄、  
「3層配線を用いた4.4ns/2W GaAs 16Kb SRAM」
- 9) 電子情報通信学会技術研究報告 電子デバイス研究会  
ED91-178:野田 実、松岡 敬、東坂 範雄、鳥田 征明、牧野 博之、三井 康郎  
「Auエアブリッジ配線によるGaAs LSIの高速化検討」
- 10) 1992年電子情報通信学会秋季大会  
C-408:鳥田 征明、東坂 範雄、太田 彰、野田 実、久保 和夫、飛田 康夫、  
三井 康郎、「2.5Gbps DCFL 16:1 MUX/DEMUX LSI」
- 11) 1992年電子情報通信学会秋季大会  
C-404:山本 和也、前村 公正、安藤 直人、野田 実、沖 和也、石田 博一、  
三井 康郎、大坪 睦之、「1.9GHz帯GaAs直接直交変調器IC」