OUKA
Osaka University Knowledge Archive

Title	A Study on All-Digital Phase-Locked Loop for Biomedical RF Transceivers
Author(s)	Bae, Jungnam
Citation	大阪大学, 2016, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/59590
rights	
Note	

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

Form 3

Abstract of Thesis

Name (Bae Jungnam)	
Title	A Study on All-Digital Phase-Locked Loop for Biomedical RF Transceivers (医療生体計測用途RFトランシーバのための全デジタル制御位相同期回路の研究)

Abstract of Thesis

This dissertation addresses low-voltage and low-complexity design and implementation of fully integrated all-digital phase-locked loop (ADPLL) for biomedical radio frequency (RF) transceivers. It is organized into five chapters. The summary of each chapter is as follows:

In Chapter 1, the background for this work and fundamentals of PLLs and the medical implant communication service (MICS) band are described.

In Chapter 2, a phase noise reduction technique for low-voltage oscillator design is demonstrated. Phase noise is a key parameter for the design of RF transceivers and depends on many factors. In addition, the current biasing technique affects the phase noise. In this study, MOS current source and resistive biasing were considered as current biasing techniques. The current biasing technique, which has less noise contribution, was analyzed for low-voltage oscillators in terms of phase noise, and it was confirmed that top resistive biasing has good compatibility between phase noise and low-voltage operation. In addition, an LC oscillator with resistive biasing is presented to verify the implementation feasibility.

In Chapter 3, a low-voltage design of a delta-sigma digitally controlled oscillator (DCO) for biomedical applications is demonstrated. The analog type of frequency tuning by voltage control has a limitation because of voltage scaling and linearity. Therefore, the digital approach is more suitable for low-voltage operation because of its robustness and programmability. In this study, an 11-bit DCO controlled by digital logic blocks was designed. This architecture has fully digital control and a fractional tuning range using the delta-sigma modulator. In addition, dynamic element matching was used to reduce the capacitor mismatch. In the DCO core design, for low-voltage operation, the g_m/I_D methodology was used for optimizing the MOS size. For current biasing, top resistive biasing was applied for low voltage and low phase noise. The DCO was fabricated in a 130-nm CMOS process for a 0.7-V supply voltage. The fabricated chip was evaluated via a field-programmable gate array (FPGA)-based test bench. This DCO exhibited a good phase noise performance and a wide frequency tuning range with precise resolution. Through chip evaluation, it has been demonstrated that the fabricated DCO satisfies the MICS band requirements and exhibits good performance compared with related works.

In Chapter 4, a low-complexity ADPLL for biomedical RF transceivers is demonstrated. In this study, a time-to-digital converter-less controller-based architecture was employed for a low-complexity ADPLL. In addition, to improve the phase acquisition performance, a phase selection scheme was applied that provided pre-settled operation of the phase of the ADPLL output signals. Through phase domain model analysis, it was confirmed that this architecture performs the PLL functionality, and its functionality was validated through the behavior model simulations. ADPLL circuits were implemented with a focus on low-voltage operation and high performance. Digital circuits were synthesized and implemented by using the standard cell library. This ADPLL was fabricated in a 130-nm CMOS process for a 0.7-V supply voltage. In this study, the FPGA-based test bench was used to evaluate the chip performance. This ADPLL exhibited a fast settling time and good phase noise performance. In addition, it has precise channel selection based on the precise frequency resolution from the delta-sigma DCO. Through chip evaluation, it has been demonstrated that the fabricated ADPLL satisfies all MICS band requirements and shows better performance compared with related works. In addition, it is compatible with the various CMOS processes and supply voltages, and thus can be utilized in various fields that require high-performance, fully integrated RF transceivers with a low-voltage and advanced CMOS process.

Finally, in Chapter 5, the achievements obtained in this study were summarized and this dissertation was concluded.

様式 7

論文審査の結果の要旨及び担当者

氏　名　（　Bae Jungnam　）			
論文審査担当者		(職)	氏　名
	主 査	准教授	松岡 俊匡
	副 査	教 授	八木 哲也
	副 査	教 授	森　伸也
	副 査	教 授	伊藤 利道
	副 査	教 授	森　勇介
	副 査	教 授	片山 光浩
	副 査	教 授	尾崎 雅則
	副 査	教 授	片山 竜二
	副 査	教 授	近藤 正彦

論文審査の結果の要旨

本論文は、医療生体計測用途に用いられる medical implant communication service (MICS)帯 RF トランシーバの低電源電圧化、設計容易化を目指し、その要素技術の１つである全デジタル制御位相同期回路(ADPLL)の設計と回路実装に関するものであり、全５章で構成されている。

第１章では、本研究の背景、目的、及び、本論文の構成内容、位相同期回路(PLL)と MICS 帯の基礎について述べている。

第２章では、PLL の構成要素の１つである電圧制御発振器 VCO の低電源電圧動作での位相雑音低減手法に関して述べている。素子ことの熱雑音の寄与、及び発振振幅に着目して、トップ抵抗バイアス手法により NMOS Cross-Couple 差動構成に対して電流供給することで，雑音を抑制するのみでなく、発振振幅の低下も防げることを回路シミュレーションにより明確化している。この技術は、第３章のデジタル制御発振器(DCO)の設計にも応用されている重要技術である。

第３章では、MICS 帯 ADPLL のための DCO の回路実現とその評価結果について述べている。Feedforward 3 次Δ - Σ変調器とダイナミック・エレメント・マッチング(DEM)を用いて、わずか 16 個の容量のデジタル制御により MICS 帯で必要な高精度周波数チューニングを実現する回路技術を述べている。130 nm CMOS プロセスを用いて DCO を試作し、電源電圧 0.7 V において 397 MHz を中心に 7.6%の発振周波数可変範囲という MICS 帯(402～405MHｚ)に十分対応できる周波数チューニングを実現しているだけでなく、18 kHz という周波数精度も達成している。位相雑音もオフセット周波数 200kHz で -115 dBc/Hz という低雑音化も実現している．DCO の消費電力は 740 μW であるが、デジタル制御回路の低電源電圧化による低消費電力化が大きく寄与しており、消費電力低減における DCO の利点が明確に示されている。

第４章では、MICS 帯 ADPLL のための回路実現とその評価結果について述べている。従来の ADPLL で用いられた Time-to-digital 変換器を使うことなく、制御回路を工夫することで、ADPLL を構成している。さらに、ポリフェーズ・フィルタと位相補間回路で発生した多相信号の中、デジタル的に位相選択することにより、高速位相追随を可能としている。130 nm CMOS プロセスを用いて試作した ADPLL を評価した結果、MICS 帯に十分対応できる周波数の信号の発生を達成しただけでなく、オフセット周波数 200kHz で -114 dBc/Hz という低位相雑音も達成している．セトリング時間 80 μs という高速位相同期も確認できている。電源電圧 0.7 V において ADPLL の消費電力は 840 μW であるが、DCO 同様にデジタル回路の割合を増やすことで、低電源電圧化が低消費電力化に大いに寄与することが明確に示されている。

第５章では、本論文を通して得られた結果をまとめ、結論を述べている。

以上のように、本論文は ADPLL 技術による PLL の低電源電圧化と設計容易化を目的として、1）低電源電圧動作 LC 発振回路の低位相雑音化のためのトップ抵抗バイアス法、2）Feedforward Δ - Σ変調器と DEM による小数容量アレイによるデジタル制御高精度周波数チューニングを実現した DCO、3）ADPLL における高速位相追随を可能とする制御技術とその回路実現方法を提案し、これらの技術を総合して設計、試作した IC の評価により提案技術の有効性を実験的にも明らかにしている。これらの研究成果及び本論文で述べた ADPLL 技術は、医療生体計測用途 RF トランシーバの他、様々な無線通信機器への応用を可能とし、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。