



Title	高移動度ゲルマニウムデバイスのMOS界面評価とその制御に関する研究
Author(s)	小川, 慎吾
Citation	大阪大学, 2017, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/61788
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

博士学位論文

高移動度ゲルマニウムデバイスの
MOS 界面評価とその制御に関する研究

小 川 慎 吾

2017 年 1 月

大阪大学大学院工学研究科
生命先端工学専攻

目次

略語表	4
第 1 章 序論	5
1.1 半導体デバイスの微細化とその限界	5
1.2 MOSFET の動作原理	7
1.2.1 MOS キャパシタ特性	7
1.2.2 MOSFET 特性	9
1.3 最先端 MOSFET のための新技術導入	10
1.3.1 メタルゲート電極	10
1.3.2 高誘電率 (high-k) 絶縁膜	11
1.3.3 ゲートラストプロセス	12
1.3.4 3 次元構造 MOSFET (Fin-FET)	13
1.3.5 高移動度ゲルマニウム (Ge) チャネル	15
1.4 Ge-MOSFET 実現に向けた研究	16
1.4.1 Ge チャネル上の GeO ₂ 絶縁膜の問題点	16
1.4.2 メタルゲート電極形成による GeO ₂ 絶縁膜の劣化	19
1.4.3 高品質熱酸化 GeO ₂ /Ge 界面の形成	20
1.4.4 high-k/Ge MOS デバイスの課題	21
1.4.5 Ge-MOSFET の試作例	22
1.5 Ge-MOS デバイス開発の課題と本研究の目的	26
参考文献	28
第 2 章 GeO ₂ 絶縁膜の安定性および不純物吸収特性の評価	32
2.1 緒言	32
2.2 実験	34
2.2.1 試料作製	34
2.2.2 評価手法	35
2.2.2.1 GeO ₂ 膜の表面状態および表面吸着物の評価	35
2.2.2.2 GeO ₂ 膜の膜質評価	38
2.2.3 重水を用いた GeO ₂ 膜中の水分拡散挙動の動的評価	40
2.3 結果と考察	40
2.3.1 大気曝露による GeO ₂ 膜表面の反応挙動	40
2.3.2 GeO ₂ 膜が大気から吸収する不純物の評価	45

目次

2.3.3	重水を用いた GeO_2 膜中の水分拡散挙動の評価	48
2.3.4	GeO_2 膜中の特異な水素分布	49
2.3.5	Ge-MOS デバイスの電気特性と不純物吸収との関係	52
2.4	結言	54
参考文献		55
第3章 金属電極/GeO_2 絶縁膜界面反応の理解と制御		58
3.1	緒言	58
3.2	実験	59
3.2.1	試料作製	59
3.2.2	評価手法	60
3.2.2.1	Ge-MOS キャパシタの電気特性評価	60
3.2.2.2	金属電極/ GeO_2 界面の構造および化学状態の評価	62
3.2.2.3	硬 X 線光電子分光法による金属電極/ GeO_2 界面の評価	64
3.3	結果と考察	66
3.3.1	異なる電極材料を有した Ge-MOS キャパシタの電気特性	66
3.3.2	金属電極/ GeO_2 界面構造の物理分析結果	67
3.3.3	Al/ GeO_2 界面反応メカニズムのモデル化	74
3.3.4	Al/ GeO_2 界面反応制御技術の検証	76
3.4	結言	80
参考文献		81
第4章 $\text{HfO}_2/\text{GeO}_2$ 界面反応の理解および原子拡散制御効果の検証		84
4.1	緒言	84
4.2	実験	87
4.2.1	試料作製	87
4.2.2	評価手法	89
4.2.2.1	Ge-MOS キャパシタの構造およびデプスプロファイルの評価	89
4.2.2.2	$\text{HfO}_2/\text{GeO}_2$ 界面の反応および原子拡散の評価	91
4.3	結果と考察	92
4.3.1	Pt/ $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ MOS キャパシタの電気特性と界面構造	92
4.3.2	$\text{HfO}_2/\text{GeO}_2$ 界面への極薄 AlO_x 膜挿入効果	94
4.3.3	$\text{HfO}_2/\text{GeO}_2$ 界面反応が引き起こす原子拡散挙動の解析	97
4.3.4	Pt/ $\text{HfO}_2/\text{AlO}_x/\text{GeO}_2/\text{Ge}$ MOS キャパシタの構造と電気特性	105
4.4	結言	108
参考文献		109

目次

第 5 章	総括	112
5.1	GeO ₂ 膜および MOS 界面の性質の理解と制御	112
5.2	本研究で導入した分析技術および将来展望	114
謝辞		116
研究業績		118

略語表

略語	定義
AFM	Atomic force microscope
ALD	Atomic layer deposition
ATR	Attenuated total reflection
C-V	Capacitance-Voltage
I-V	Current-Voltage
DOS	Density of state
Dynamic-SIMS	Dynamic secondary ion mass spectrometry
EFW	Effective work function
ECR	Electron cyclotron resonance
EELS	Electron energy loss spectroscopy
EOT	Equivalent oxide thickness
EGA	Evolved gas analysis
FET	Field-effect transistor
FGA	Forming gas annealing
FT-IR	Fourier transform infrared spectroscopy
HAXPES	Hard x-ray photoelectron spectroscopy
HAADF	High-angle annular dark field
LSI	Large scale integrated circuit
MOS	Metal-oxide-semiconductor
MOSFET	Metal-oxide-semiconductor field-effect transistor
PE-CVD	Plasma enhanced chemical vapor deposition
PMA	Post metallization annealing
PMD	Pre metal dielectric
STEM	Scanning transmission electron microscope
STM	Scanning tunneling microscope
Cs	Spherical aberration
TPD-MS	Temperature programmed desorption mass spectrometry
TDS	Thermal desorption spectroscopy
TOF-SIMS	Time-of-flight secondary ion mass spectrometry
TEM	Transmission electron microscope
XPS	X-ray photoelectron spectroscopy

第 1 章 序論

金属－酸化膜－半導体 (Metal-oxide-semiconductor: MOS) を積層した構造に対して、金属－半導体間に電界を印加してスイッチング処理を行う電界効果トランジスタ (Field-effect transistor: FET) のチャネルを現在主流のシリコン (Si) から高移動度材料であるゲルマニウム (Ge) に置き換えて高性能化を推進する研究が進められている。本章では研究背景として、MOSFET の微細化限界や微細化に頼らない新しい取り組みなどを紹介し、その後、本研究で取り扱う Ge をチャネルとする MOS デバイスの性質や課題を説明し、最後に本研究の目的を述べる。

1.1 半導体デバイスの微細化とその限界

1947 年に Bardeen, Brattain, Shockley らがバイポーラトランジスタ[1]を発明して以降、半導体の特性を活用した様々なトランジスタおよびデバイスが開発され、それらの飛躍的な性能向上が我々の生活に変革をもたらした。今や半導体デバイスがあらゆる電子機器に搭載され今日の情報化社会を支えている。半導体デバイスはコンピュータに搭載されるデバイスの他に、光学デバイス、センサーデバイスなど、トランジスタ以外のデバイスも含め電子機器の中でその用途に応じて様々な方法で用いられている。世界の半導体デバイスの市場規模は 2015 年時点で 30 兆円を超えており[2]、世界 GDP の約 0.5 % を占める。すなわち、半導体デバイス産業は現在の世界経済を牽引する主要産業の一つでもある。

半導体デバイスの中でもコンピュータの信号処理用途として最も多く製造されている重要なトランジスタが MOSFET である。MOSFET はバイポーラトランジスタと比べて集積化が容易である特徴がある。そのため、コンピュータの大規模集積回路 (Large scale integrated circuit: LSI) に組み込まれ、継続的な高集積化および特性向上を背景に、今日までコンピュータの処理速度向上に貢献してきた。なお、1960 年に Kahng および Atalla によりはじめて実現された MOSFET には、チャネルにシリコン (Si)、ゲート絶縁膜にはその酸化膜である SiO_2 膜が採用された[3]。この SiO_2/Si 構造は SiO_2 の安定性の高さと SiO_2/Si 界面の品質の良さの観点から、今日の MOSFET の最も重要な基本構造である。図 1.1 に SiO_2/Si 構造をベースとした典型的な n チャネル型の MOSFET (nMOSFET または nFET) の模式図を示す。MOSFET のゲート電極に電圧を印加しない時はソースドレイン間に電流は流れないが、ゲート電極にある一定以上の正電圧を印加すると、ゲート絶縁膜である SiO_2 膜の直下の p-Si チャネルにキャリアである電子が誘起され、その結果、ソースドレイン間に電流が流れるようになる。すなわち、MOSFET はゲート電圧のオン・オフにより回路に流れる電流を制御できるデバイスである。なお、図 1.1 における Si の p 型と n^+ をそれぞれ n 型、 p^+ に置き換えたものは p チャネル型 MOSFET (pMOSFET または pFET) と呼ばれる。nFET と pFET

第1章 序論

を直列に接続した構造は相補的 (Complementary) MOSFET (CMOSFET または CMOS) と呼ばれ、先端 LSI 回路の中で用いられている[4]。

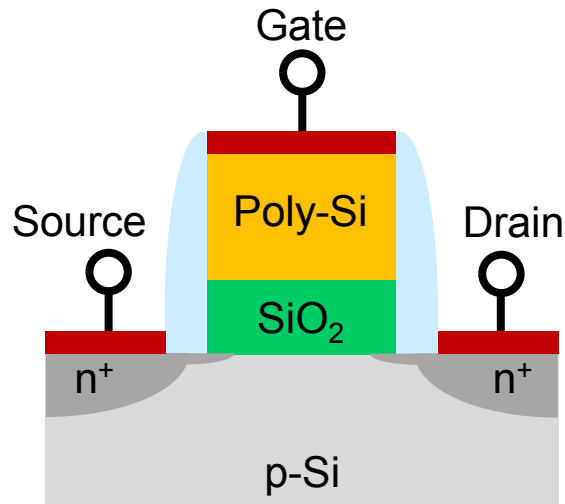


図 1.1 n チャネル型 MOSFET の模式図

LSI の高性能化を促進するために、MOSFET の微細化による高集積化が半導体の歴史の中でたゆみなく続けられてきた。「半導体チップの集積度はおよそ 1.5～2 年で 2 倍になる」という Moore による予測 (Moore の法則[5]) が 1965 年に発表されて以来、今日までこの法則を指標に集積化が進められてきた。なお、デバイスの微細化は高集積化だけでなく高性能化も促進する。1974 年に Dennard らはデバイス寸法が小さくなってもデバイス内部の電界が同じに保たれ、デバイスおよび回路を正常に動作させるための指針として一定電界スケールリング則 (縮小則) を提唱している[6]。表 1.1 に、全てのデバイス寸法および電圧をスケールリング率 $K (> 1)$ で小さくした際の回路パラメータを示した。理論的には $1/K$ 倍のスケールリングにより、デバイスの特性を変えることなく高性能化、低消費電力化ならびに高集積化が実現できる。さらには、MOSFET の製造プロセスはパターニングなど大面積で同時に行われるため、デバイスの微細化はプロセス複雑化によるコスト増大を見込んでも、デバイス 1 個あたりの生産コストを下げる役割を果たす。

しかしながら、近年、 SiO_2/Si 構造をベースとした MOSFET の微細化は物理的限界を迎え、Moore の法則も今後踏襲できない可能性がある。チャネル長 (ソースドレイン間距離) が短くなることにより、ソースおよびドレインにかかる電界の影響をチャネルが受けてトランジスタのしきい値電圧が変動する問題 (短チャネル効果) や、ゲート絶縁膜である SiO_2 膜を薄膜化した際に生じるリーク電流増大の問題などが深刻な性能劣化を引き起こすためである。 SiO_2 膜厚のスケールリングについては、2015 年時点で最先端 MOSFET に要求される

第1章 序論

SiO₂ 等価換算膜厚 (Equivalent oxide thickness: EOT) が 1 nm を下回っている[7]。SiO₂ 膜厚が約 3 nm を下回ると、直接トンネル電流によるリーク電流の増大を避けることができず、消費電力の増大や発熱、また、それにとまなうデバイス動作の信頼性低下など多くの問題が引き起こされる。そのため、これら問題を回避するために従来の微細化とは異なる方法で性能を向上させる研究が進められている。

表 1.1 MOSFET のスケーリング則と回路パラメータ[6]

決定要因	パラメータ	スケーリング率 ($K > 1$)
縮小の仮定	ゲート長 : L 、ゲート幅 : W	$1/K$
	ゲート酸化膜厚 : t_{ox}	$1/K$
	接合深さ : x_j	$1/K$
	基板不純物濃度 : N_d, N_A	K
	電圧 : V	$1/K$
デバイスパラメータ	電流 : I	$1/K$
縮小による変化	容量 : C	$1/K$
回路パラメータ縮小による変化	遅延時間 : $\tau = CV/I$	$1/K$
	消費電力 : $P = VI$	$1/K^2$
	集積度 (トランジスタ数)	K^2
	消費電力密度 (チップ消費電力)	1

1.2 MOSFET の動作原理

1.2.1 MOS キャパシタ特性

MOS キャパシタの構造は絶縁膜が上下の電極に挟まれたコンデンサの構造に見立てられるため、ゲート電極に電圧を印加することで絶縁膜/半導体界面近傍の電荷量を制御することができる。ここで、MOS キャパシタの基本特性を説明するため、例として p 型半導体を用いた MOS キャパシタの容量-電圧 (Capacitance-Voltage: C-V) 曲線の模式図を図 1.2 に示す[8]。なお、n 型半導体 MOS キャパシタは p 型と極性を反転させたものとなる。

蓄積領域

図 1.2 において、ゲート電圧 (V_G) が負に印加された状態では、p 型半導体の多数キャリアである正孔が絶縁膜/半導体界面に引き寄せられ、界面に正孔が蓄積された状態になる (蓄積領域)。蓄積領域における容量 (C) の値は次式で与えられる。

$$C = \epsilon_0 k \frac{LW}{t_{ox}} \quad (1.1)$$

ϵ_0 は真空の誘電率、 k は絶縁膜の比誘電率、 L はゲート長、 W はゲート幅、 t_{ox} は絶縁膜厚である。加工寸法に依存する L や W を除くと、容量は絶縁膜の比誘電率や膜厚により決まるため、これらのパラメータを制御することが MOS キャパシタの高性能化のために必要である。

空乏領域

ゲート電極に正電圧を印加すると、絶縁膜/半導体界面から正孔は遠ざかる。蓄積されていた容量は減少し、界面付近にキャリアが存在しない状態となる（空乏領域）。絶縁膜や絶縁膜/半導体界面に欠陥または電荷をトラップする準位などが存在すると、空乏領域の C - V 曲線においてハンプ（こぶ）構造の形成や、負電圧から正電圧方向に電圧を掃引する場合と逆方向に掃引する場合で差（ヒステリシス）が見られる。そのため、空乏領域のスペクトル形状は、絶縁膜や絶縁膜/半導体界面における電荷トラップサイトの量など界面の品質を評価する指標となる。

反転領域

空乏領域から正電圧をさらに印加すると、 p 型半導体のエネルギーバンドの曲がりが増大し、半導体の伝導帯下端がフェルミレベルに近づき、その結果、少数キャリアである電子が絶縁膜/半導体界面に蓄積される（反転領域）。反転領域において、高周波で電圧が印加さ

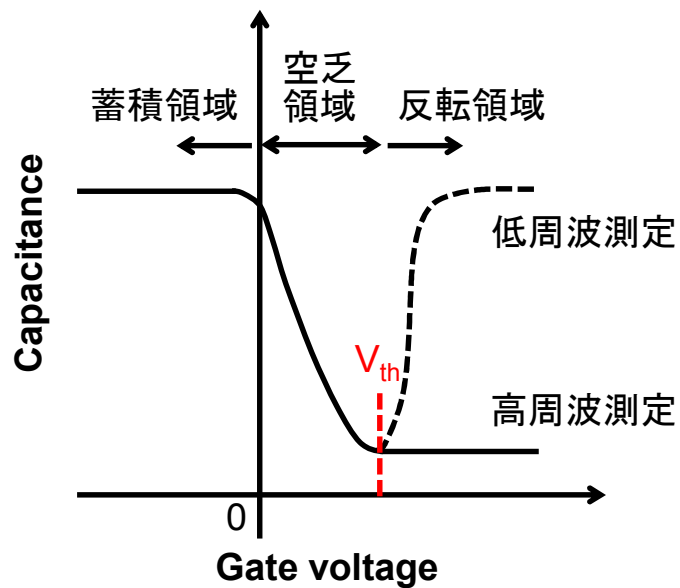


図 1.2 p 型半導体を用いた MOS キャパシタの C - V 曲線の模式図[8]

第1章 序論

れている状態では、反転層の電子が周波数に追従できず容量として観察されないが、低周波測定では電子が印加電圧に応答するため容量として観察される。反転領域の周波数応答も、絶縁膜/半導体界面の特性を敏感に反映するため、MOS キャパシタ特性の指標となる。なお、反転領域において、中性領域における正孔密度より電子密度を高くするために必要なゲート電圧の値をしきい値電圧 (V_{th}) と呼ぶ。

1.2.2 MOSFET 特性

次に、MOSFET の動作原理を述べる。MOSFET はゲート電圧を印加することで絶縁膜/チャンネル界面に少数キャリアを発生させて動作するデバイスである。図 1.3 に、nMOSFET のゲート電極に V_{th} 電圧以上の正電圧を印加した状態の模式図と、ドレイン電流-ゲート電圧 (I_D - V_G) 曲線を示した。

ゲート電圧が V_{th} 以下であった場合、ドレイン電圧 (V_D) に電圧が印加されていても、チャンネル領域がソース (n 型) - チャンネル (p 型) - ドレイン (n 型) 構造となっており電流は流れない。一方、ゲート電極に V_{th} 以上の正電圧が印加されると、チャンネルに反転層が形成され、ソース-チャンネル-ドレイン間の極性が揃うため、電流が流れるようになる。

ここで、 V_{th} は以下の式で表される[9]。

$$V_{th} = \frac{\varphi_{MS}}{q} + 2\varphi_F + \frac{\sqrt{2k\epsilon_0 N_A (2\varphi_F)}}{C} \quad (1.2)$$

φ_{MS} はゲート電極とチャンネル Si の仕事関数差、 q は電子の電荷、 φ_F はチャンネル Si のフェルミレベルと真性 Si のフェルミレベルのエネルギー差、 N_A はアクセプタ濃度である。 V_{th} は MOSFET を動作させる上で極めて重要なパラメータである。 V_{th} が低くなりゲート電圧 0 V でも電流が流れてしまう場合はノーマリーオン動作と呼ばれ、LSI のような安全性や信頼性が求められるデバイスでは採用できない。すなわちノーマリーオフ動作が必須であるが、一方で、 V_{th} が高すぎるとスイッチング動作の効率が低下する。そのため、 V_{th} を決定している各種パラメータを精密に設計し最適値で動作するデバイスの開発が行われている。

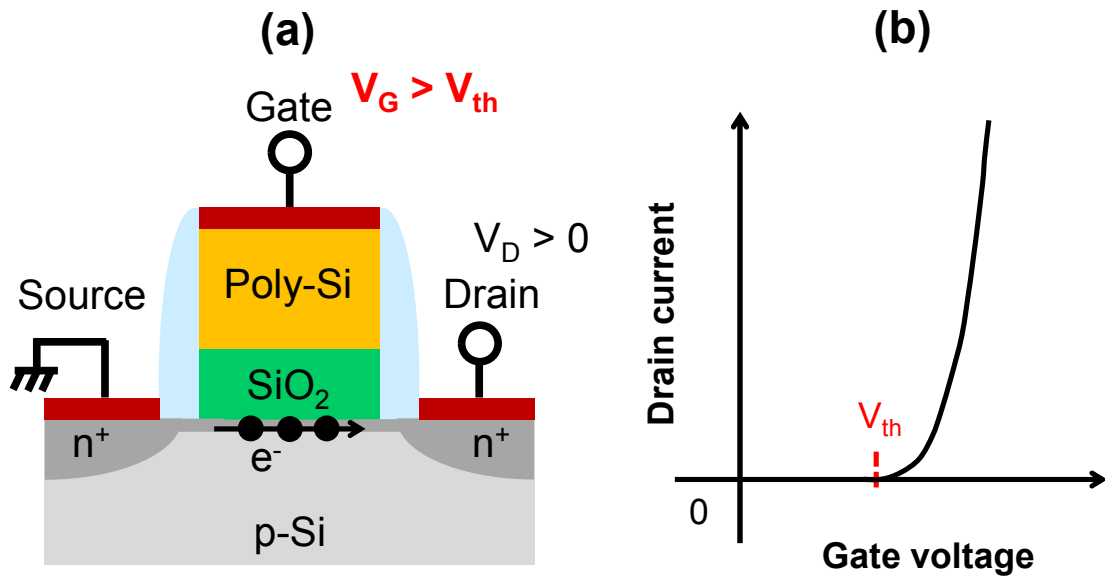


図 1.3 (a)ゲート電圧 ($V_G > V_{th}$) を印加した nMOSFET の模式図, (b) nMOSFET のドレイン電流-ゲート電圧 (I_D - V_G) 特性[8]

1.3 最先端 MOSFET のための新技術導入

MOSFET の高性能化を推進するために、本研究で取り組んだ高移動度チャネル材料を導入する研究の他にも様々な技術の開発が進められている。以下に、MOSFET 高性能化のための代表的な新技術についてまとめた。

1.3.1 メタルゲート電極

典型的な MOSFET のゲート電極には多結晶シリコンが用いられている。多結晶シリコンは n 型, p 型の不純物 (ドーパント) ドープにより低抵抗化に加えて仕事関数を変調させることができるため、nFET, pFET のゲート電極として使い分けて CMOS 回路に適用することができる。しかしながら、不純物をドーピングして抵抗が下がった多結晶シリコンも半導体としての性質を有するため、印加電圧の条件によっては多結晶シリコン中でキャリアの空乏化が起きる[9]。例えば nMOSFET の場合、ゲート電極には n 型の多結晶シリコンが用いられる。トランジスタを動作させる際、n 型多結晶シリコンに正電圧を印加し p 型のチャネル層を反転させるが、その際 n 型多結晶シリコン中の電子はゲート電極/絶縁膜界面から遠く方向に移動するため、ゲート電極/絶縁膜界面でわずかではあるが多結晶シリコン中のキャリアの空乏化が起きる。多結晶シリコン中のキャリア空乏化は MOS キャパシタの絶縁膜容量の低下を引き起こすため、微細化によりゲート絶縁膜が薄膜化された最先端 MOSFET では、その影響が顕在化し問題となる。また、後述する high-k 絶縁膜上に多結晶シリコン

第1章 序論

電極を形成した場合に、多結晶シリコン電極の実効的な仕事関数が想定値から外れる現象が報告されている[10]。この現象は多結晶シリコンのフェルミレベルが設計通りの値にならず、一定値にピン止めされたかのように見える現象（フェルミレベルピンング）として併せて問題視されている。

そこで、多結晶シリコン電極を金属電極（メタルゲート電極）に替える研究が進められている。ゲート電極が金属であればキャリア空乏化が起きず、加えて、適切な仕事関数値の金属材料を選定すれば、意図的に MOSFET の V_{th} を制御することができる。しかしながら、実際には、 V_{th} 制御のために適切な仕事関数の金属を用いて MOSFET を形成しても、狙い通りの V_{th} が得られないことがあるため現象は単純ではない。また、メタルゲート電極は high- k 絶縁膜と組み合わせて最先端 MOSFET の世代で実用化されるため、Metal/high- k 界面の制御が必要である。例えば、メタルゲート電極と high- k 絶縁膜との界面においてもフェルミレベルピンング現象[11, 12]やダイポールの形成[13, 14]が起き、 V_{th} がシフトする現象が報告されている。メタルゲート電極は特性向上のキーププロセスとして期待されているが、経験と知見が多い多結晶シリコン電極からの材料変更でもあるため、プロセス適合性の観点で解決すべき課題が多く残されている。

1.3.2 高誘電率 (high- k) 絶縁膜

上述した通り、現行の MOSFET はチャネルである Si の表面、すなわち、 SiO_2/Si 界面の電気伝導を制御するデバイスであることから、その電気的特性は SiO_2 および SiO_2/Si 界面の性質に依存する。長きにわたり MOSFET に SiO_2/Si 構造が採用された理由は、本質的に Si 上に形成された SiO_2 膜が大気下で安定かつ化学的にも安定であり、さらに、 SiO_2/Si 界面は欠陥の少ない高品質な界面を形成しやすいためである。もちろん、 SiO_2/Si 界面および SiO_2 膜の高品質化のための精力的な研究が微細化と並行して進められたことも、MOSFET の性能を飛躍的に向上させてきた一因である。しかしながら、 SiO_2 膜厚のスケールアップが将来的に物理限界を迎えることは古くから認識されていた。1.1 節で述べた通り、最先端 MOSFET では絶縁膜の SiO_2 等価換算膜厚である EOT は 1 nm 以下が要求されるため、 SiO_2 に替わる高い比誘電率 (high- k) を有する絶縁膜を導入する研究が精力的に行われてきた。

ここで、MOS キャパシタの容量から求められる EOT は以下の式に書き換えることができる。

$$\text{EOT} = \frac{k_{\text{SiO}_2}}{k} \times t_{\text{ox}} \quad (1.3)$$

k_{SiO_2} は SiO_2 の比誘電率（約 3.9）である。容量の式（1.1 式）から、絶縁膜の比誘電率が高いほどチャネルに多くのキャリアを誘起できることがわかる。また、1.3 式は、 SiO_2 より比誘電率が高い絶縁膜を用いれば、その分、絶縁膜厚（ t_{ox} ）を厚く設定できることを表す。例

第1章 序論

例えば EOT 1 nm のデバイスを得る場合、比誘電率が SiO_2 の 2 倍の材料を用いると、原理的には実際の絶縁膜の物理膜厚は 2 nm に設定できることがわかる。かつては、 SiO_2 膜より比誘電率が高く、かつ、プロセス整合性が高い SiON 膜または Si_3N_4 膜（比誘電率 約 8）が導入され、EOT スケーリングが進められていたが[15]、現在は、より比誘電率が高く、かつ、バンドギャップも比較的大きい（Si との伝導帯オフセットが十分に大きい）酸化ハフニウム（ HfO_2 ：比誘電率 約 20）および HfO_2 をベースに異種元素が添加された材料の研究が主流となり、既に一部の最先端 MOSFET のゲート絶縁膜に導入されている。しかしながら、 HfO_2 膜と Si チャネルの直接接合は界面特性の顕著な劣化を招くため、極薄の SiO_2 界面層を挿入し $\text{HfO}_2/\text{SiO}_2/\text{Si}$ 積層構造にする必要がある。すなわち、比誘電率が低い SiO_2 界面層は可能な限り薄く、かつ高品質な SiO_2/Si 界面を形成する適切な設計が必要である。また、1.3.1 項で述べたゲート電極/ HfO_2 界面におけるフェルミレベルピニング現象によるゲート電極の実効仕事関数変調の問題もある。このような様々な課題があるため、単純に SiO_2 を HfO_2 に置き換えれば良いわけではないが、今後も続く EOT スケーリングの要求に応えるために、MOS 構造への high-k 絶縁膜の導入とさらなる高誘電率（higher-k）絶縁膜の開発は避けて通ることができない重要なテーマである。

1.3.3 ゲートラストプロセス

従来の MOSFET の作製プロセスは、Si チャネル上に絶縁膜やゲート電極を最初に形成し、その後ソース・ドレインを形成する「ゲートファーストプロセス」と呼ばれるものであった。一方で、最先端 MOSFET に Metal/high-k スタック構造を導入する研究が進む中で、従来通りのゲートファーストプロセスでゲートスタック構造を作製した後に、ソース・ドレインのドーパント活性化のための高温アニールを施すと、高温アニールによりメタルゲート電極または high-k 絶縁膜の特性が制御できない問題が発生した。そこで、ソース・ドレイン領域を先に作り込んでおき、最後にゲートスタック部分を形成する「ゲートラストプロセス」が提案された[16]。図 1.4 にゲートラストプロセスの模式図を示した[9]。最初にダミーとなるゲート絶縁膜およびゲート電極を形成し、その後イオン注入および活性化アニールを施しソース・ドレイン領域を形成する[図 1.4(a)]。続けて、層間絶縁膜（Pre metal dielectric: PMD と呼ばれる）を堆積し[図 1.4(b)]、ダミーゲート部を除去する[図 1.4(c)]。その後、high-k 絶縁膜、メタルゲート電極を形成する[図 1.4(d)]。ゲートラストプロセスは、このようにダミーゲートを形成し除去するプロセスがあるため、置き換え（リプレイスメント）ゲートプロセスとも言われている。ゲートラストプロセスで作製すれば、Metal/high-k スタック構造には、余計な熱処理がかからないメリットがある一方で、これまでより製造プロセスが複雑化するデメリットもある。例えば、層間絶縁膜堆積後やメタルゲート電極形成後に化学機械研磨（Chemical mechanical polishing: CMP）で余剰分の材料を除去するプロセスを追加する必要がある。そのため、ゲートファーストプロセスで作製した MOSFET の特性を制御する研究も盛んに行われており、どちらの方式で最先端 MOSFET を作製する

か各機関で慎重な検討が行われている。後述するゲルマニウム（Ge）をチャネルとする MOSFET においても、アニール処理条件が MOSFET の特性に敏感に反映されるため、ゲートファーストプロセスに耐えるデバイスを設計できるか、またはゲートラストプロセスを選択するかの議論が尽きない。

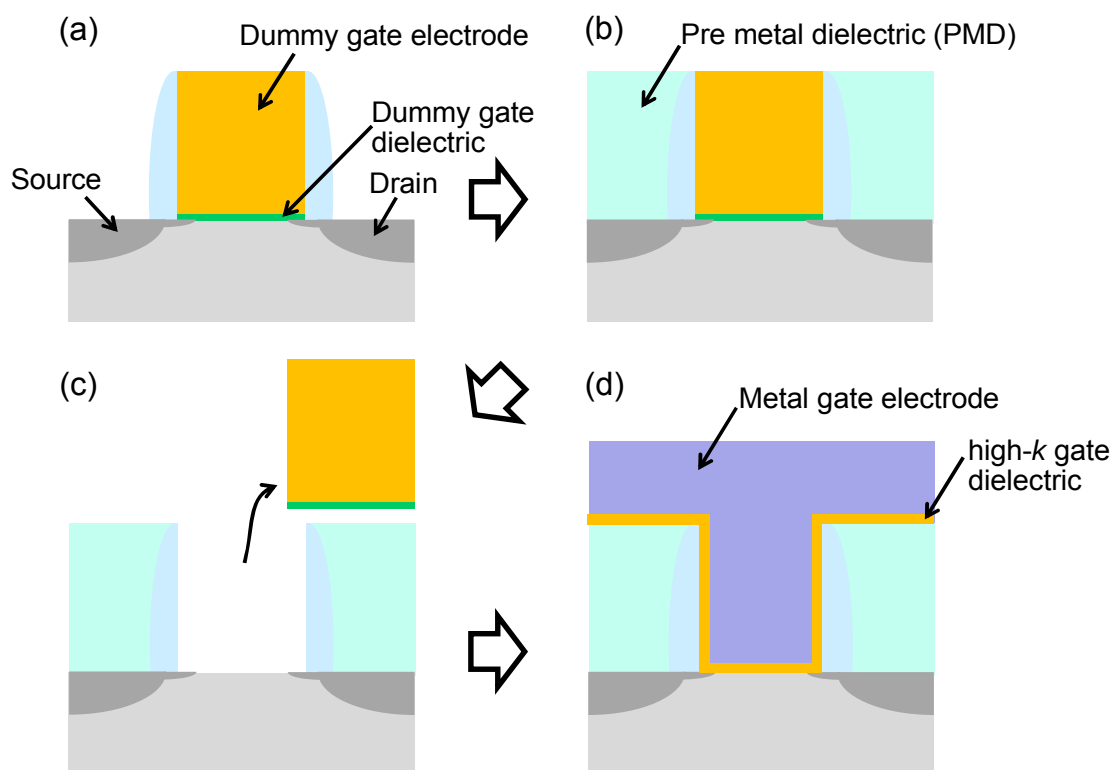


図 1.4 ゲートラストプロセスの概念図. (a) ダミーゲート形成後のソース，ドレイン形成, (b) 層間絶縁膜（PMD）堆積, (c) ダミーゲート除去, (d) high-k 絶縁膜，メタルゲート電極形成. [9]

1.3.4 3次元構造 MOSFET (Fin-FET)

これまでの MOSFET は、ゲート電極やゲート絶縁膜などの各層を平面的に積層するプレーナ型と呼ばれる構造が主流であった。一方で、1989 年に久本らはチャネルを立体的に加工し、ゲート絶縁膜およびゲート電極で 3 方向から取り囲む 3 次元的な MOSFET 構造を提案した[17]。チャネルが魚のヒレ (Fin) のような形をしていることから Fin-FET と呼ばれるこの構造は、3 方向からのゲート電界によりチャネルを制御するため、電流の制御性が高まり、より小さなゲート長まで短チャネル効果を抑制することができる。各機関が競って Fin 構造の MOS トランジスタの開発を進めているが、2011 年には Intel が世界に先駆けて Fin-FET の最先端 LSI への導入および量産化を発表した。図 1.5 に Intel が発表した Fin-FET

第1章 序論

(Tri-gate と呼ばれる)構造の模式図を、プレーナ型 MOSFET と比較して示した[18]。図 1.5(b)の通り、Fin 型に加工されたチャネルが 3 方向からゲートに取り囲まれているため、ソースからドレインに流れるキャリアのオン状態での制御性が向上し、電流駆動力が増加するだけでなく、オフ状態（待機時）でもリーク電流が抑制され、従来のプレーナ型より一層の低消費電力化が進む。今後さらなる微細化および高性能化を実現し続けるために、3 次元的構造のトランジスタの導入は必然的な要素であると考えられているが、3 次元的な微細加工プロセスは難易度がこれまでより格段に高まるため、各機関において継続的な研究開発が進められている。

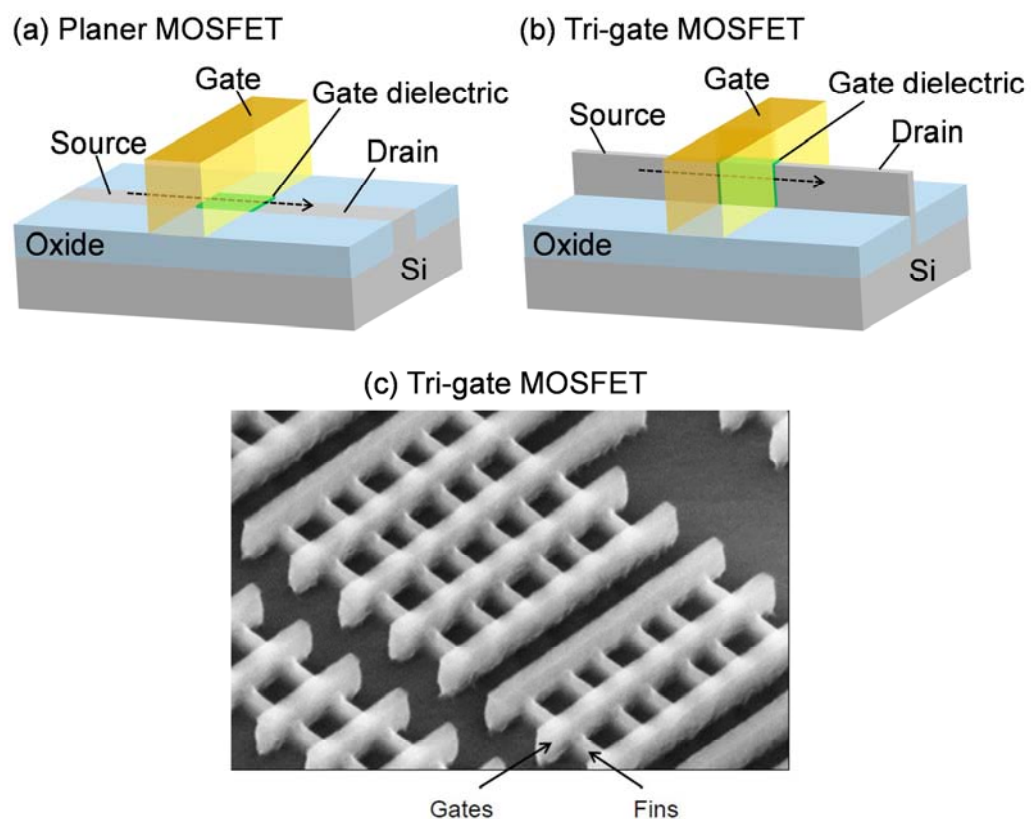


図 1.5 (a)従来のプレーナ型 MOSFET, (b)Intel が発表した Tri-gate MOSFET. (c)実際の Tri-gate MOSFET. [18]

1.3.5 高移動度ゲルマニウム (Ge) チャンネル

MOSFET へのメタルゲート電極、high- k 膜の導入および Fin-FET の採用などと並行して、高移動度チャンネル実用化への取り組みが各研究機関において進められている。ここで、基板の不純物濃度が低い場合における MOSFET のチャンネルに流れる駆動電流 (I_D) は飽和領域において次式で表される。

$$I_D \cong \left(\frac{W\mu C}{2L} \right) (V_G - V_{th})^2 \quad (1.4)$$

μ はキャリア移動度である。1.4 式から、チャンネルのキャリア移動度を向上させることが、トランジスタの駆動電流を増加させるための効果的な手段であることがわかる。現行の Si をチャンネルとした CMOS (Si-CMOS) デバイスでは、チャンネル部に力学的に歪みを導入し、結晶 Si のバンド構造を変調することで、チャンネルのキャリア移動度を向上させる技術が用いられている。キャリア移動度を向上させるためには、nMOSFET には引っ張り歪みを、pMOSFET には圧縮歪みを導入する必要がある[19]、歪みを導入するために、ゲートスタック上に SiN 膜を成膜し局所的に歪みを導入する方法や、Si 中に Ge を導入することでチャンネルに歪みを導入する技術も知られている。しかしながら、歪みによる Si のキャリア移動度向上には限界があるため、チャンネル材料である Si そのものを高移動度材料に置き換える研究が進められている。

表 1.2 に Si, Ge およびヒ化ガリウム (GaAs) の物性値を示す[20]。化合物半導体である GaAs は、リン化インジウム (InP) などその他の化合物も含め、電子移動度が Si や Ge と比べて極めて高い特徴を有するため、次世代 nMOSFET のチャンネル材料としての研究が進められている。しかしながら、正孔移動度は Si と同等であるため、pMOSFET のチャンネルには材料としてのメリットが無い。一方、Ge は電子移動度と正孔移動度がともに Si より高い特徴を有する材料であるため、Si に替わる CMOS デバイスのチャンネル材料として期待されている。Ge をチャンネルに用いた MOSFET (Ge-MOSFET) には、後述する問題点があることも報告されているが、近年、その問題点への対策が進められ Si-MOSFET の性能を超える結果も報告されるようになった。次節で Ge-MOSFET の近年の研究動向を述べる。

表 1.2 Si, Ge, GaAs の 300 K での物性値 [20]

	Si	Ge	GaAs
電子移動度 (cm^2/Vs)	1600	3900	9200
正孔移動度 (cm^2/Vs)	430	1900	400
バンドギャップ (eV)	1.12	0.66	1.42
比誘電率	11.9	16	12.4

1.4 Ge-MOSFET 実現に向けた研究

1947 年に世界ではじめてトランジスタ動作が確認された際、半導体として用いられた材料は Ge であった。しかしながら、トランジスタの高性能化の歴史の中で、Ge は Si に取って替わられた。Ge には Si より高キャリア移動度という物質本来の優位性があったにも関わらず、Ge の酸化物である GeO_2 が不安定であるデメリットがあり、高い信頼性が要求される MOSFET の量産に不向きであったためである。一方で、近年、Si-CMOS の微細化および高性能化の観点で物理的な限界が近づき、微細化以外の新たな性能向上のファクターが模索される中で、改めて Ge の高いキャリア移動度の優位な性質が見直され、MOSFET への適用に向けた研究開発が活発化している。以下、Ge-MOS デバイスの問題点や課題および近年の研究開発状況を報告する。

1.4.1 Ge チャネル上の GeO_2 絶縁膜の問題点

Ge チャネル上 GeO_2 膜の熱的不安定性

過去 50 年以上、LSI に Si が使われ続けたのは、Si 上の SiO_2 膜が化学的にも熱的にも安定であり、高品質な SiO_2 /Si 界面を形成できるためである。フッ化水素酸水溶液で処理した Si 表面は水素で終端され (Si-H) 安定化することが見いだされ[21]、加えて、熱酸化により形成した SiO_2 /Si 界面は、原子レベルで平坦である。また、 SiO_2 /Si 界面に形成された欠陥（ダングリングボンド）を水素雰囲気中のアニール処理（Forming gas annealing: FGA）により低減させる技術も確立されている。このような SiO_2 /Si 構造の良好な性質と特性向上技術により、 SiO_2 /Si 構造を有する MOSFET は安定に製造することができた。

一方で、 GeO_2 膜は水溶性を示し、加えて熱的に不安定であることが報告されている[22, 23]。Prabhakaran らは、Ge 基板上に化学酸化で形成した GeO_2 薄膜の安定性のアニール温度依存性を、放射光を利用した X 線光電子分光法（X-ray photoelectron spectroscopy: XPS）により調べている。図 1.6 に、放射光 XPS により得られた真空中で 430°C まで段階的にアニール処理を施した際の Ge3d スペクトルを示した[23]。アニール温度 400°C 程度からスペクトルに変化が認められ、 430°C で GeO_2 膜が消失していることがわかる。

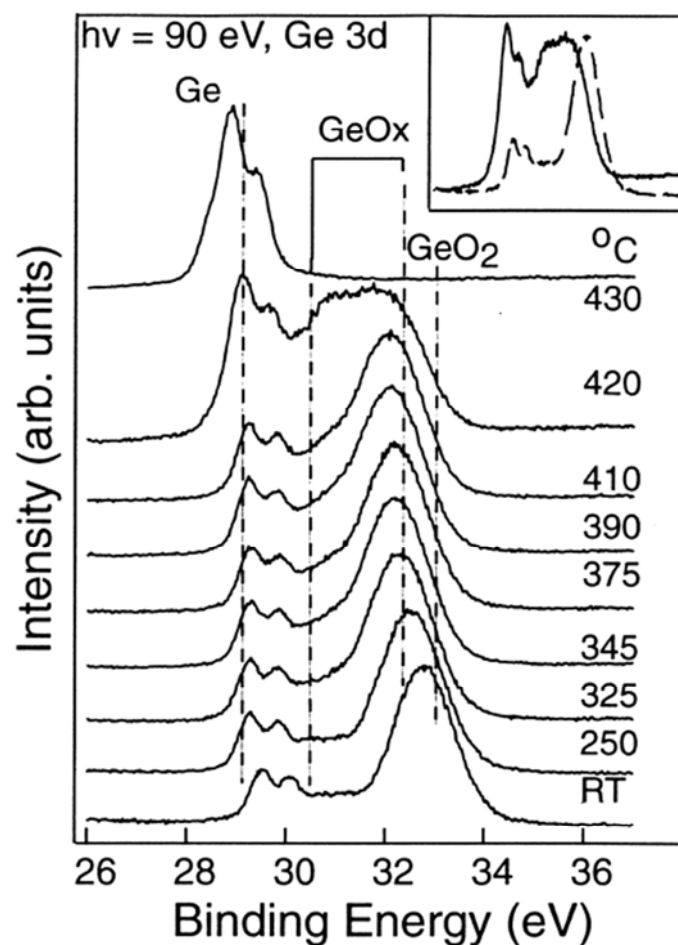


図1.6 放射光XPSにより得られたGe基板上のGeO₂薄膜におけるGe3dスペクトル．真空中で430°Cまで段階的にアニール処理が施されている．[23]

また、喜多らは、Ge 基板上に GeO₂ 膜を形成した後、昇温熱脱離質量分析（Thermal desorption spectroscopy: TDS）を行い、GeO₂/Ge スタック構造において GeO 分子が熱脱離すること、さらにアニール後に電気特性が著しく劣化することを報告している[24]。図 1.7 に、喜多らが報告した各種基板（Ge, Si, SiO₂/Si）それぞれに GeO₂ 膜（約 10 nm）を堆積し、その後 600°C（N₂ 中）でアニールを施した際の C-V 曲線を示した。Ge 上に GeO₂ 膜を成膜した場合のみ C-V 曲線のヒステリシスが著しく増大していることから、GeO₂ 膜の熱的不安定性は GeO₂/Ge 界面特有の問題であることがわかる。

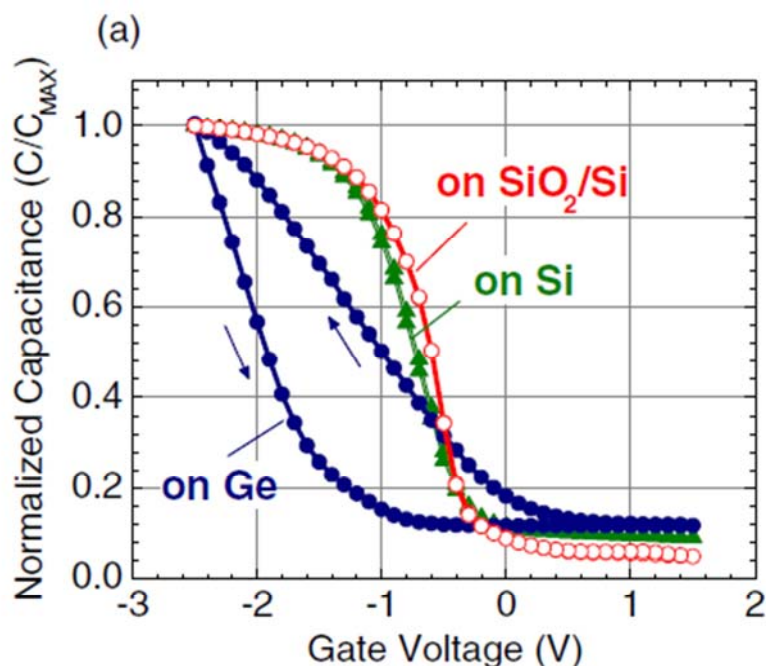


図 1.7 各種基板 (Ge, Si, SiO₂/Si) それぞれに GeO₂ 膜 (約 10 nm) を堆積し、その後 600°C (N₂ 中) でアニールを施した際の C-V 曲線. ゲート電極は金. GeO₂/Ge 基板の場合のみ、顕著なヒステリシスが認められる. [24]

大気曝露による GeO₂ 膜の劣化

GeO₂ 膜は水溶性を示すため、大気中の水分とも反応する可能性がある。細井らは、大気曝露した GeO₂ 膜の TDS 測定を行い、GeO₂ 膜が大気中において水分やその他の不純物を吸収すること、加えて大気曝露することで電気特性も著しく劣化することを報告している[25]。図 1.8 に、細井らが報告した Au/GeO₂/Ge MOS キャパシタの C-V 曲線における反転容量の経時的変化を示した[25]。MOS キャパシタの反転容量が大気曝露により増大すること、さらに GeO₂ 表面を極薄 Al₂O₃ 膜でキャップすることでその反転容量増大が抑制可能であることが見出されている。

これらの結果は、GeO₂/Ge スタック構造はウェットプロセスへの耐久性が乏しく、かつ高温熱処理ができないこと、さらに大気雰囲気中で保管するだけでも劣化することを示している。特に大気下での劣化は製品管理の観点で極めて重要な問題である。このような Ge-MOS スタック構造の取り扱いづらさが、高い信頼性が求められる LSI への適用を阻んできたと考えられる。既に GeO₂ 膜の劣化を抑制する改善技術が一部では報告されているが、GeO₂ 膜の性質の理解は十分になされていないため、大気下における GeO₂ 膜の劣化メカニズム解明が望まれている。

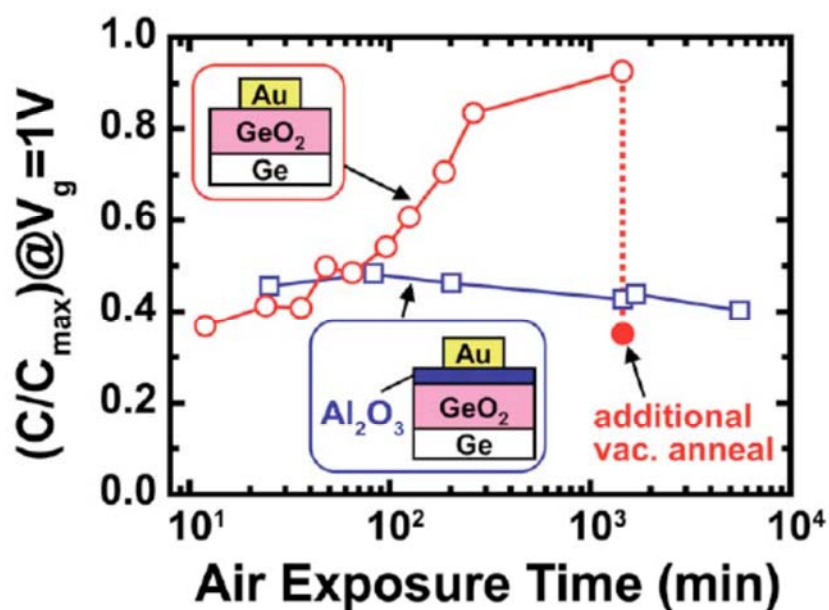


図 1.8 Au/(Al₂O₃)/GeO₂/Ge MOS キャパシタの C-V 曲線における反転領域 ($V_g=1$ V) の容量 (Forward 時) の大気曝露時間による変化. 測定周波数は 10 kHz. [25]

1.4.2 メタルゲート電極形成による GeO₂ 絶縁膜の劣化

Ge-MOS デバイスにもメタルゲート電極を採用することが期待されている。Alzakia らは仕事関数が異なる 3 種類の金属をゲート電極として、GeO₂/SiO₂/p-Si, SiO₂/p-Si および HfO₂/SiO₂/p-Si スタック構造上に蒸着した時のそれぞれの V_{FB} と金属の仕事関数値との関係を調べた[26]。図 1.9 に、Alzakia らにより得られた V_{FB} と仕事関数のプロットを示した。その結果、GeO₂ 膜上に金 (Au) 電極を形成すると Au の仕事関数値から予想される V_{FB} 値より約 0.5 eV 低い値が得られている。ここで、絶縁膜中に酸素欠損 (V_O) が生じるとゲート電極/絶縁膜界面のエネルギーバンド構造が真空準位方向に曲がり、その結果 V_{FB} を負方向にシフトさせることが知られている[12, 27]。そのため Au/GeO₂ 界面では GeO₂ 膜中に酸素欠損 (V_O) が存在し V_{FB} がシフトした可能性があることが報告されている。また、アルミニウム (Al) を GeO₂ 膜上に蒸着すると Al/GeO₂ 界面で反応が起き、GeO₂ の還元が起きることも報告されている。しかしながら、金属電極/GeO₂ 界面に起きる物理現象は十分な理解がなされていない。界面の反応や反応生成物の存在はリーク電流増加や V_{FB} シフトなどの電気特性変化を引き起こす可能性があるため、金属電極/GeO₂ 界面で起きる物理現象を理解する必要がある。

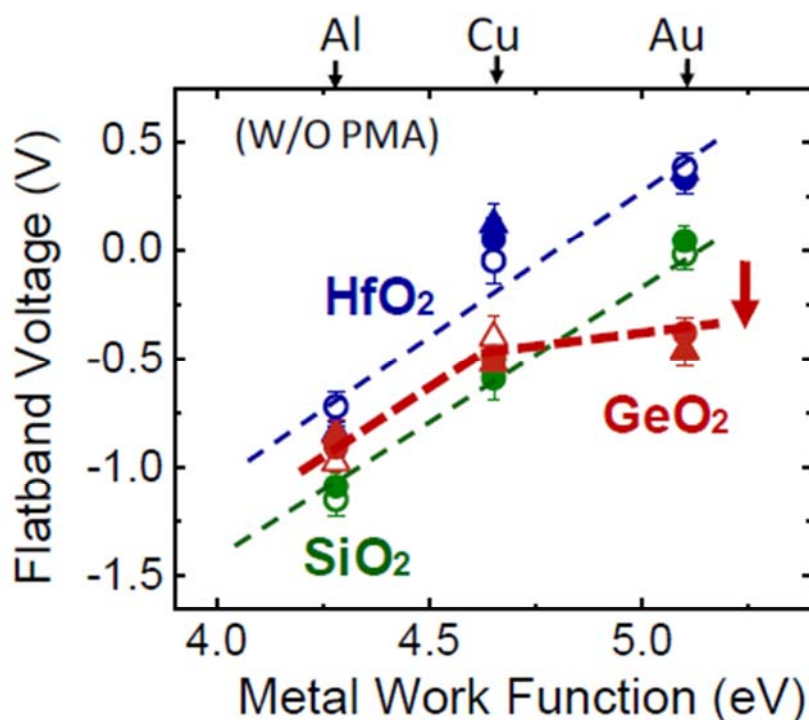


図 1.9 3 種類の金属電極を $\text{GeO}_2/\text{SiO}_2/\text{p-Si}$, $\text{SiO}_2/\text{p-Si}$, $\text{HfO}_2/\text{SiO}_2/\text{p-Si}$ スタック構造上にそれぞれ蒸着した際の金属の仕事関数と V_{FB} の関係. SiO_2 膜厚は約 6 nm, GeO_2 および HfO_2 膜厚は約 2.5 nm. [26]

1.4.3 高品質熱酸化 GeO_2/Ge 界面の形成

1.4.1 項において、 GeO_2/Ge スタック構造の材料学的な問題点を述べたが、一方で、松原らは、厚膜 GeO_2 膜を Ge 基板上に熱酸化で形成した MOS キャパシタにおいて極めて欠陥が少ない良好な電気特性を報告している。図 1.10 に、松原らにより報告された Ge 上に GeO_2 膜を熱酸化温度 575°C で形成した MOS キャパシタの界面準位密度 (D_{it}) 評価結果を示す[28]。適切な熱酸化温度による GeO_2 膜（膜厚 37.7 nm）の形成により、上述した GeO 脱離による劣化を可能な限り抑制し、 D_{it} 値が最小値で $1 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ を下回る特性が得られている。すなわち、 GeO_2/Ge 構造でも SiO_2/Si 構造に匹敵する高品質な界面を形成可能であることが示された。また、理論研究からは、 GeO_2 は骨格構造が柔軟である性質があり、 GeO_2/Ge 界面は、 SiO_2/Si よりもさらに欠陥が少ない界面を形成可能であることが示唆されている[29, 30]。これらの結果は、適切な条件で GeO_2/Ge 構造を形成すれば、 GeO_2 の劣性を克服し Ge の優位性を活かして、 Si-MOSFET の性能を超える高性能 Ge-MOSFET を実現できる可能性を示している。

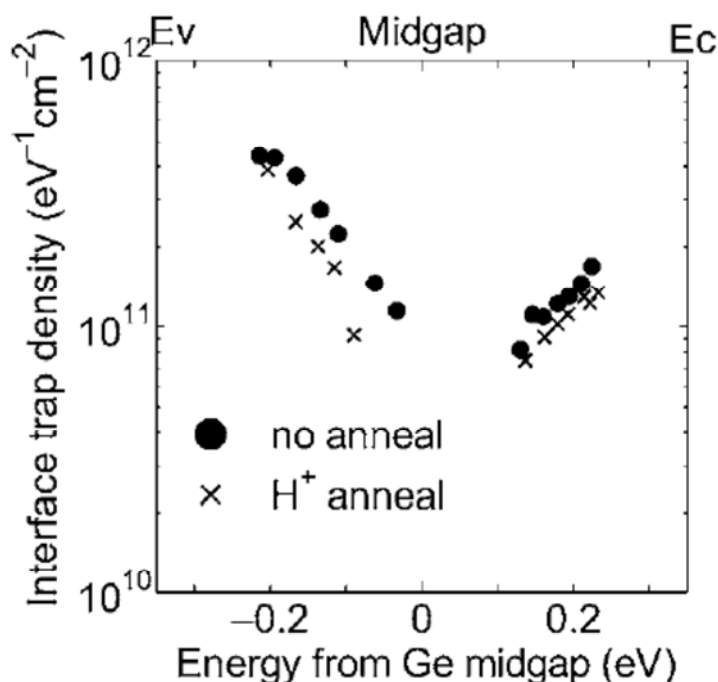


図 1.10 Al/GeO₂/Ge スタック構造における界面準位密度 (D_{it}) [28]

1.4.4 high-k/Ge MOS デバイスの課題

Ge が MOSFET に導入される世代では、EOT 1 nm 以下が必須条件であるため、high-k 膜がゲート絶縁膜に採用される可能性が高い。そこで、Si-CMOS において high-k 膜として導入が進められている HfO₂ 膜を Ge-MOS キャパシタにも適用することが Si と Ge を置き換える際のプロセス整合性の観点で有用であると考えられる。しかしながら、HfO₂ 膜を Ge に直接接合した場合、電気特性は著しく劣化することが報告されている[31]。また、HfO₂/Ge 界面に GeO₂ 膜を挿入した HfO₂/GeO₂/Ge スタック構造でも、単純なプロセスでは良好な電気特性が得られない[32-34]。図 1.11 に、Houssa らが報告した極薄 GeO_x 膜 (1 nm 以下) と HfO₂ 膜 (3 nm) を積層した HfO₂/GeO_x/n-Ge MOS キャパシタの C-V, I-V 特性を示した[33]。C-V 測定結果において、ゲート電圧 0 V 付近で周波数分散が認められており界面欠陥の存在が示唆されている。また、リーク電流量が多いことも確認されている[図 1.11(b)]。

各機関において、HfO₂ 膜と GeO₂ 膜の界面に安定なバッファ層を挿入することで、電気特性劣化を抑制する技術が報告されているが[31, 33, 35-37]、HfO₂/GeO₂ 積層界面における物理現象は十分な理解がなされていないため、次世代の高性能 Ge-MOS デバイス実現に向けて電気特性と物理現象の理解の両面のアプローチで研究を推進することが望まれている。

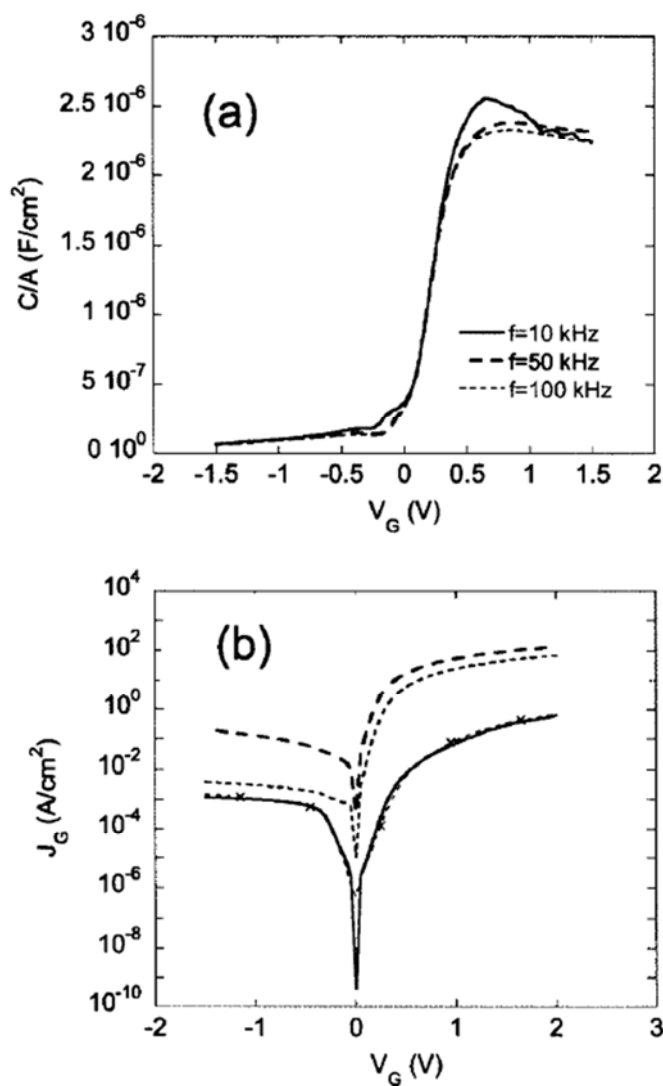


図 1.11 TiN/HfO₂ (3 nm)/GeO_x/n-Ge MOS キャパシタの(a) C-V, (b) I-V 特性. I-V 結果は同一ウェハ内複数箇所での測定結果. [33]

1.4.5 Ge-MOSFET の試作例

GeO₂/Ge スタック構造には材料的な問題点もあるが、技術的な改善によりそれらの諸問題を克服した事例が報告されている。以下、技術革新により Si-MOSFET の性能を超えるトランジスタ特性を報告した事例を紹介する。

プラズマ窒化 GeON 膜により絶縁特性が改善された Ge-MOSFET

前述した通り GeO₂/Ge スタック構造は熱的に不安定であり大気曝露により劣化する。朽木らは、この問題を GeO₂ 膜表面のプラズマ窒化により克服し高品質な MOS キャパシタを

形成している。図 1.12 に、Au/GeO₂/Ge および GeO₂ 膜表面にプラズマ窒化を施した Au/GeON/Ge MOS キャパシタの C-V 曲線における反転容量の経時変化を示した[38]。GeO₂ 膜表面のプラズマ窒化により、大気曝露による反転容量の増加を劇的に遅らせることができおり、大気に対する耐性が向上していることがわかる。また、アニール時の熱安定性が向上することに加えて、リーク電流も低減可能であることが報告されている。このプラズマ窒化プロセスを用いて MOSFET 作製も行われており、図 1.13 に示した Al/GeON/Ge MOSFET の正孔移動度では、Si-MOSFET で得られるユニバーサルカーブの 2 倍を超える正孔移動度を達成している[38]。

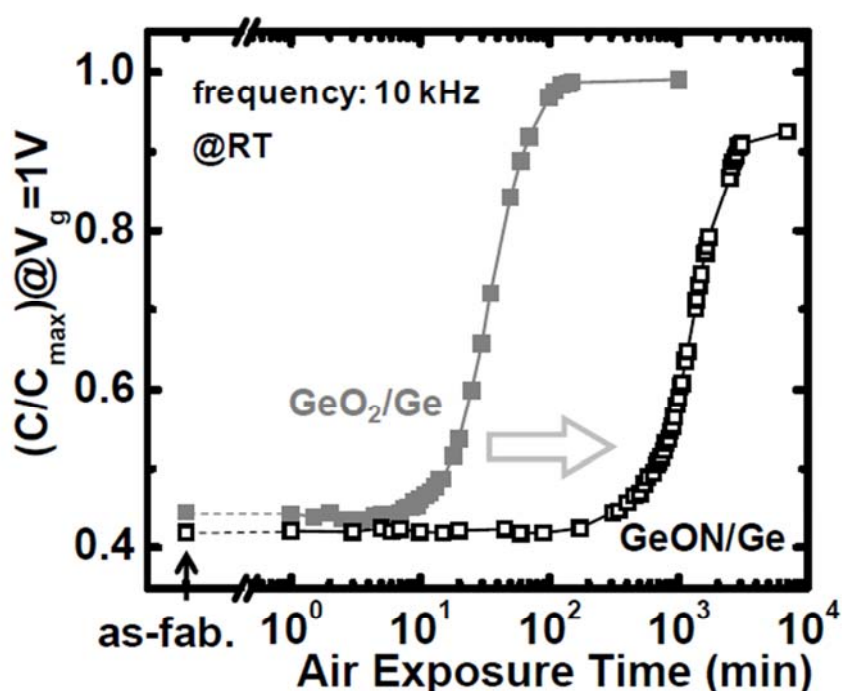


図 1.12 Au/GeO₂/Ge, Au/GeON/Ge MOS キャパシタの C-V 曲線における反転領域 ($V_g=1$ V) の容量 (Forward 時) の大気曝露に伴う変化. GeO₂ 膜厚は約 30 nm. 測定周波数は 10 kHz. [38]

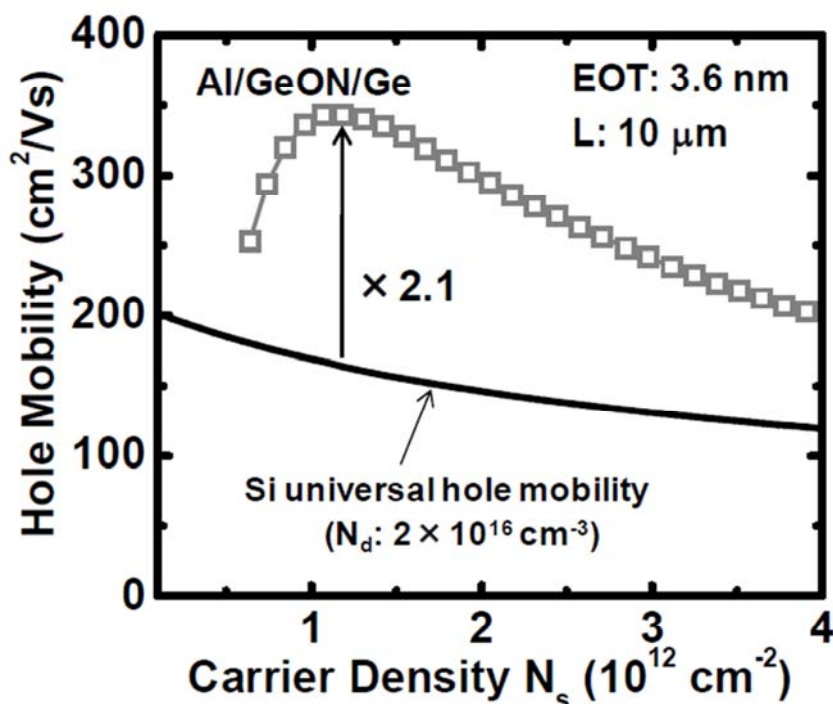


図 1.13 Al/GeON/Ge MOSFET の正孔移動度. 実線は Si-MOSFET のユニバーサルカーブ[38]

極薄 Al_2O_3 膜を $\text{HfO}_2/\text{GeO}_x$ 界面に挿入した Ge-MOSFET の特性

1.4.4 項で示した通り、 $\text{HfO}_2/\text{GeO}_2$ スタック構造を有する MOS キャパシタは電気特性の著しい劣化が認められる。Zhang らは、 $\text{HfO}_2/\text{GeO}_2$ 界面に極薄 Al_2O_3 膜を挿入することで電気特性が改善すると報告している [36]。図 1.14 に、Zhang らにより得られた $\text{Au}/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOSFET の正孔移動度を示した。Zhang らは、Ge チャネル上に原子層堆積法 (Atomic layer deposition: ALD) により Al_2O_3 膜を約 0.2 nm 形成し、その後、電子サイクロトロン共鳴 (Electron cyclotron resonance: ECR) プラズマ酸化を施すことで Al_2O_3 膜越しに極薄 GeO_x 界面層を形成している。さらにその後、 HfO_2 膜 (約 2 nm) を成膜してスタック構造を作製し、良好な MOS キャパシタ特性および正孔移動度を得ている。

また、図 1.15 に示す通り、細井らも $\text{Pt}/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOS キャパシタ構造と、ソース/ドレイン領域にリン (P) をドーピングした NiGe を用いたショットキー障壁型接合を組み合わせた MOSFET を作製し、EOT 1 nm 以下で高い正孔移動度を有するトランジスタ特性を報告している [39]。

上述の様に、 $\text{HfO}_2/\text{GeO}_2$ 界面への極薄 Al_2O_3 膜挿入による顕著な電気特性改善効果が得られているが、 $\text{HfO}_2/\text{GeO}_2$ 界面における劣化メカニズムおよび特性改善のメカニズムが十分に

理解されていない。そのため、 $\text{HfO}_2/\text{GeO}_2$ 界面反応メカニズムを理解し制御することで、さらなる特性改善の指針を得ることにも期待が寄せられる。

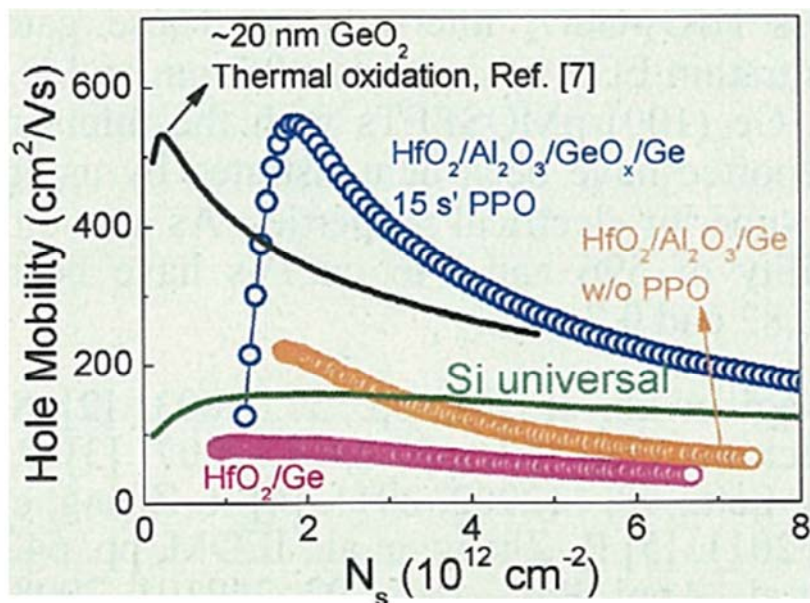


図 1.14 Au/ $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOSFET の正孔移動度[36]

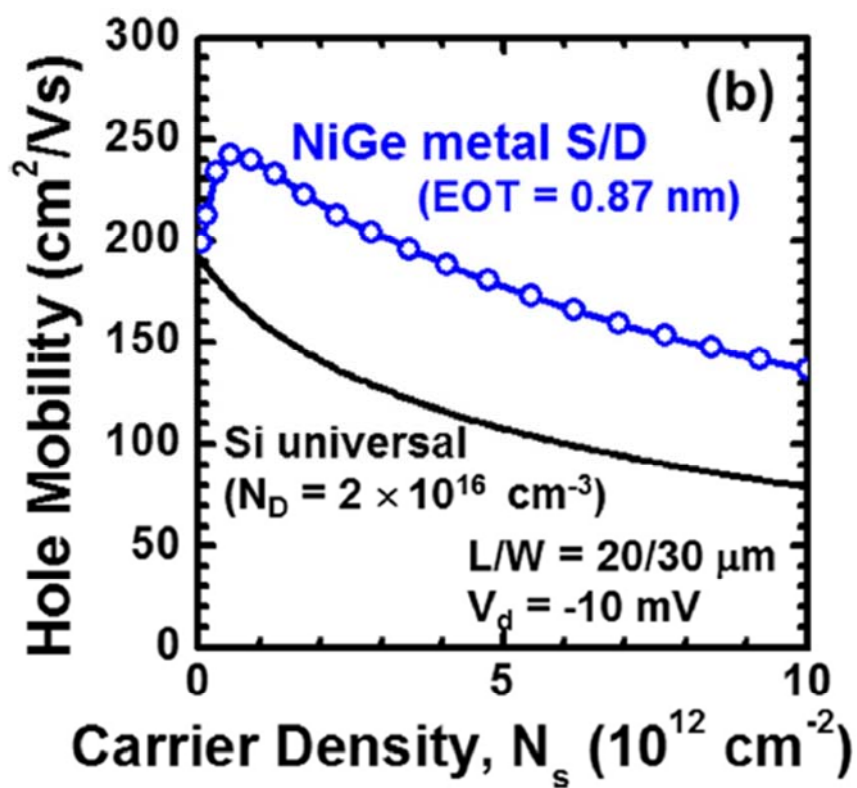


図 1.15 NiGe ショットキー障壁型ソース/ドレイン構造を有する Pt/ $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ MOSFET の正孔移動度[39]

1.5 Ge-MOS デバイス開発の課題と本研究の目的

1.4 節において、Ge-MOS スタック構造の材料学的な問題点やその問題を克服した上で得られる良好な電気特性を述べた。既に Ge-MOSFET において Si-MOSFET を超えるトランジスタ特性が報告されているが、Ge の物性値を考慮すると、まだそのポテンシャルを十分に引き出せているとは言い切れない。特に GeO₂ 膜の脆弱な性質が Ge-MOS デバイスの実用化を長きに渡り阻んでいることの主たる要因であると言えるため、GeO₂ 膜および GeO₂ 膜がスタックされた MOS 構造の積層界面に起きる問題の本質を明らかにして、Ge-MOSFET のさらなる高性能化の指針を得る必要がある。しかしながら、電気特性劣化を引き起こす絶縁膜の膜質劣化や積層界面における界面反応などの諸現象は、物理的にはわずかな変化であることが多く、また、界面反応などが引き起こす原子拡散現象は主成分元素の情報に埋もれてしまうこともあり、一般的な分析技術では評価できないことが多い。

そこで本研究では、高性能 Ge-MOSFET 実現のための MOS 構造の高品質化に向けて、GeO₂ 膜および Metal/GeO₂ 界面、さらには HfO₂/GeO₂ 界面の性質の理解と界面反応の制御、ならびに電気特性への影響を系統的に調べることを目的として、通常では調べるできない現象を明らかにするための分析技術の導入も含め、以下の4点の研究課題に取り組んだ。図 1.16 に Ge-MOS デバイスにおいて本研究で着目したポイントの概念図を示した。

1) 大気下における GeO₂ 膜の性質の理解

GeO₂/Ge 構造が大気曝露により劣化することに加えて、GeO₂ 膜を保護するために窒化を施すこと、または極薄 Al₂O₃ 膜でキャップすることで劣化を抑制できることを述べた。すなわち、GeO₂ 膜と大気との反応を抑制することが電気特性向上のキーファクターである。しかしながら、GeO₂ 膜と大気との間の反応挙動やその生成物については詳細に調べられていない。大気下における GeO₂ 膜の性質を理解すれば、電気特性をさらに向上させる指針や、あるいは踏み込んだデバイス作製プロセスの提案が可能になると考えられる。

そこで第2章において、大気下における GeO₂ 膜の性質を理解することを目的として、GeO₂ 膜が大気と反応した際の生成物および大気から GeO₂ 膜中に拡散する不純物の種類および量を様々な分析手法を駆使して調べた。さらに、GeO₂ 膜中の不純物が電気特性に及ぼす影響を評価し、Ge-MOSFET 実現に向けた GeO₂ 膜質制御の指針を示す。

2) ゲート電極/GeO₂ 界面の性質の理解

GeO₂/Ge 界面の劣化抑制および性能向上に関する研究は活発に行われているが、ゲート電極/GeO₂ 界面の反応についての詳細な議論はこれまでなされてこなかった。しかしながら、ゲート電極/GeO₂ 界面の性質は、ゲートリーク電流量の増大、実効仕事関数の変調、さらには EOT の変化など MOS キャパシタの電気特性に強く影響を及ぼす。CMOSFET への導入を考慮すると、pFET, nFET それぞれで仕事関数が異なる金属種のゲート電極を用いる可能性

第1章 序論

も高いため、ゲート電極形成時のゲート電極/ GeO_2 界面の性質と電気特性に及ぼす影響を理解し、高品質 MOS キャパシタ形成のための指針を得る必要がある。

そのため第3章で、 GeO_2 膜上に金属電極を成膜した際の金属電極/ GeO_2 界面における反応の理解と制御を目的として、反応性が異なる金属を成膜した際の金属電極/ GeO_2 界面の構造や化学状態を調べた。金属電極/ GeO_2 界面の反応と電気特性の相関を調査し、界面反応制御および電気特性向上への指針を示す。

3) $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ スタック構造の性質の理解

Ge が MOSFET に導入される世代では high-k 膜が絶縁膜に採用される可能性が高い。そのため、Si-MOSFET で既に実用化されている HfO_2 膜を Ge-MOS にも適用することに期待が寄せられている。しかしながら HfO_2/Ge スタック構造の電気特性は劣化が著しい。 $\text{HfO}_2/\text{GeO}_2$ 界面に対して安定な界面層を挿入し電気特性劣化を抑制する技術が一部報告されているが、 $\text{HfO}_2/\text{GeO}_2$ 界面で起きる反応やその生成物、また界面反応により引き起こされる原子拡散などの物理現象の詳細なメカニズムは明らかにされていない。したがって、 $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ 界面で起きる反応の性質および電気特性改善メカニズムを明らかにして、高性能 Ge-MOSFET デバイス実現に向けた指針を示す必要がある。

そこで第4章では、 HfO_2 膜を GeO_2 膜上に積層しアニールを施した際の $\text{HfO}_2/\text{GeO}_2$ 界面の反応および原子拡散を詳細に調べた。また、 $\text{HfO}_2/\text{GeO}_2$ 界面に極薄 AlO_x 層を挿入することで界面反応が制御できることを確認し、 $\text{HfO}_2/\text{AlO}_x/\text{GeO}_2$ 積層構造の MOS キャパシタがアニール後も良好な電気特性を維持できることの物理的起源を明らかにする。

4) MOS 界面評価のための分析技術の確立

作製した MOS デバイスの構造や状態を理解することが特性改善の指針を得るために極めて重要である。しかしながら、Ge-MOS キャパシタの解析に一般的に行われるのは、X 線光電子分光法によるデバイス表面の評価、透過型電子顕微鏡による断面構造の観察、加えて動的 2 次イオン質量分析法による不純物分布の評価など極めて限定的である。これらの手法は MOS キャパシタの状態を解釈する上で有用ではあるが、それぞれメリットとデメリットがあるため、適用する分析手法の偏りは重要な情報を見逃すことにつながりかねない。

そこで本研究では、Ge-MOS キャパシタに起きる諸現象を解明するための適切な手法の選定と、通常の実験手法では評価することができない現象を調べるための独自性のある分析手法の導入を進めた。確立した分析手法により、これまで理解されていなかった現象を解明すること、さらに Ge-MOS デバイスの研究開発における新たなアプローチ方法を構築することを目的とした。

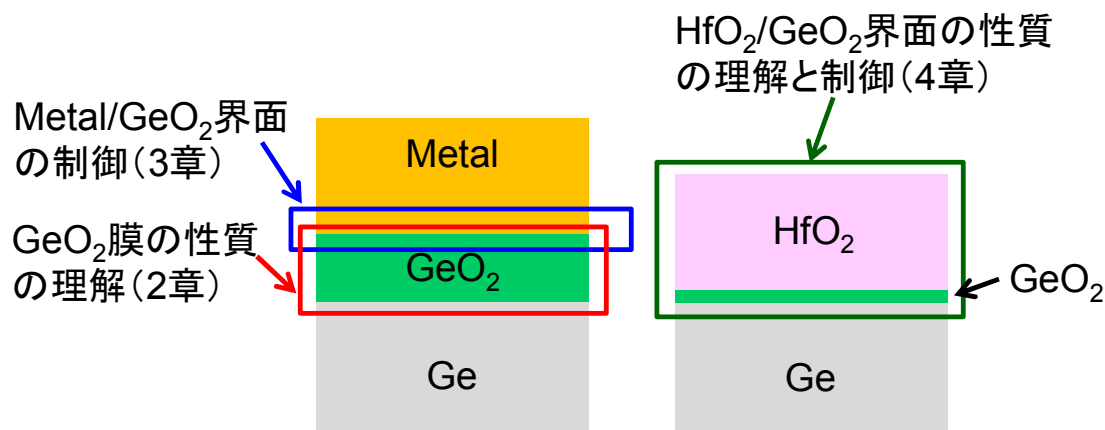


図 1.16 Ge-MOS 構造の高品質化に向けた本研究の取り組み

参考文献

- [1] J. Bardeen and W. H. Brattain, “The Transistor, a Semiconductor Triode” Phys. Rev. **71**, 230 (1948).
- [2] 世界半導体市場統計 (World Semiconductor Trade Statistics: WSTS) HP, (<https://www.wsts.org/>) (2016).
- [3] D. Kahng and M. M. Atalla, “Silicon-Silicon Dioxide Surface Device” in IRE Device Research Conference, Pittsburgh, (1960).
- [4] S. M. Sze, “SEMOCONDUCTOR DEVICES Physics and Technology”, John Wiley & Sons, 2nd edition, 1987, p.184.
- [5] G. E. Moore, “Cramming More Components onto Integrated Circuits”, Electronics **38**, 114 (1965).
- [6] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, “Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions”, IEEE J. Solid-State Circuits **SC-9**, 256 (1974).
- [7] INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS (ITRS) 2015 Edition (http://www.semiconductors.org/main/2015_international_technology_roadmap_for_semiconductors_itrs/) (2015).
- [8] 電子デバイス工学 (宮尾 正信, 佐藤 泰造 著), 株式会社朝倉書店, (2007).
- [9] プロセスインテグレーション (谷口 研二, 鳥海 明, 財満 鎮明 編著), 丸善出版株式会社, (2010).
- [10] C. Hobbs, H. Tseng, K. Reid, B. Taylor, L. Dip, L. Hebert, R. Garcia, R. Hegde, J. Grant,

- D. Gilmer, A. Franke, V. Dhandapani, M. Azrak, L. Prabhu, R. Rai, S. Bagchi, J. Conner, S. Backer, F. Dumbuya, B. Nguyen, and P. Tobin, “80 nm Poly-Si Gate CMOS with HfO₂ Gate Dielectric”, Tech. Dig. Int. -Electron Devices Meet., 2001, p.651.
- [11] J. Schaeffer, L. Fonseca, S. Samavedam, Y. Liang, P. Tobin, and B. White, “Contributions to the effective work function of platinum on hafnium dioxide”, Appl. Phys. Lett. **85**, 1826 (2004).
- [12] K. Shiraishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima, M. Konno, T. Chikyo, H. Kitajima, and T. Arikado, “Oxygen Vacancy Induced Substantial Threshold Voltage Shifts in the Hf-Based High-*k* MISFET with p⁺ poly-Si Gates -A Theoretical Approach-”, Jpn. J. Appl. Phys. **43**, L1413 (2004).
- [13] Y. Yamamoto, K. Kita, K. Kyuno, and A. Toriumi, “Study of La-Induced Flat Band Voltage Shift in Metal/HfLaO_x/SiO₂/Si Capacitors”, Jpn. J. Appl. Phys. **46**, 7251 (2007).
- [14] H. Arimura, R. Haight, S. L. Brown, A. Kellock, A. Callegari, M. Copel, H. Watanabe, V. Narayanan, and T. Ando, “Temperature-dependent La- and Al-induced dipole behavior monitored by femtosecond pump/probe photoelectron spectroscopy”, Appl. Phys. Lett. **96**, 132902 (2010).
- [15] 松下 大介, 村岡 浩一, 加藤 弘一, “次世代極薄ゲートシリコン酸窒化膜の実現”, 東芝レビュー **60**, 44 (2005).
- [16] A. Chatterjee, R. A. Chapman, G. Dixit, J. Kuehne, S. Hattangady, H. Yang, G. A. Brown, R. Aggarwal, U. Erdogan, Q. He, M. Hanratty, D. Rogers, S. Murtaza, S. J. Fang, R. Kraft, A. L. P. Rotondaro, J. C. Hu, M. Terry, W. Lee, C. Fernando, A. Konicni, G. Wells, D. Frystak, C. Bowen, M. Rodder, and I. C. Chen, “Sub-100 nm gate length metal gate NMOS transistors fabricated by a replacement gate process”, Tech. Dig. -Int. Electron Devices Meet., 1997, p.821.
- [17] D. Hisamoto, T. Koga, Y. Kawamoto, and H. Suzuki, “A Fully Depleted Lean-Channel Transistor (DELTA) -A Novel Vertical Ultra Thin SOI MOSFET-”, Tech. Dig. -Int. Electron Devices Meet., 1989, p.833.
- [18] Intel HP, (<http://www.intel.com/content/www/us/en/silicon-innovations/standards-22nm-3d-tri-gate-transistors-presentation.html?wapkw=transistor>)
- [19] 岩井 洋, 角嶋 邦之, 川那子 高暢, “ゲートスタック技術”, 表面科学 **33**, 600 (2012).
- [20] S. M. Sze, “Physics of Semiconductor Devices”, Wiley, New York, 2nd edition, 1981, p. 849.
- [21] T. Takahagi, I. Nagai, A. Ishitani, H. Kuroda, and Y. Nagasawa, “The formation of hydrogen passivated silicon single-crystal surfaces using ultraviolet cleaning and HF etching”, J. Appl. Phys. **643**, 3516 (1988).
- [22] K. Prabhakaran and T. Ogino, “Oxidation of Ge(100) and Ge(111) surfaces: an UPS and XPS study”, Surf. Sci. **325**, 263 (1995).
- [23] K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino, “Thermal decomposition pathway of Ge and Si oxides: observation of a distinct difference”, Thin Solid Films **369**, 289 (2000).

- [24] K. Kita, S. Suzuki, H. Nomura, T. Takahashi, T. Nishimura, and A. Toriumi, “Direct Evidence of GeO Volatilization from GeO₂/Ge and Impact of Its Suppression on GeO₂/Ge Metal-Insulator-Semiconductor Characteristics”, *Jpn. J. Appl. Phys.* **47**, 2349 (2008).
- [25] T. Hosoi, K. Kutsuki, G. Okamoto, M. Saito, T. Shimura, and H. Watanabe, “Origin of flatband voltage shift and unusual minority carrier generation in thermally grown GeO₂/Ge metal-oxide-semiconductor devices”, *Appl. Phys. Lett.* **94**, 202112 (2009).
- [26] F. I. Alzakia, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, “Effects of GeO₂-Metal Interaction on V_{FB} of GeO₂ MIS Gate Stacks”, *Extended Abstracts of the 2010 International Conference on Solid State Devices and Materials*, Tokyo, 2010, P. 29.
- [27] Y. Kita, S. Yoshida, T. Hosoi, T. Shimura, K. Shiraishi, Y. Nara, K. Yamada, and H. Watanabe, “Systematic study on work-function-shift in metal/Hf-based high-*k* gate stacks”, *Appl. Phys. Lett.* **94**, 122905 (2009).
- [28] H. Matsubara, T. Sasada, M. Takenaka, and S. Takagi, “Evidence of low interface trap density in GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation”, *Appl. Phys. Lett.* **93**, 032104 (2008).
- [29] M. Houssa, G. Pourtois, M. Caymax, M. Meuris, M. M. Heyns, V. V. Afanas'ev, and A. Stesmans, “Ge dangling bonds at the (100)Ge/GeO₂ interface and the viscoelastic properties of GeO₂”, *Appl. Phys. Lett.* **93**, 161909 (2008).
- [30] S. Saito, T. Hosoi, H. Watanabe, and T. Ono, “First-principles study to obtain evidence of low interface defect density at Ge/GeO₂ interfaces”, *Appl. Phys. Lett.* **95**, 011908 (2009).
- [31] N. Wu, Q. Zhang, C. Zhu, C. C. Yeo, S. J. Whang, D. S. H. Chan, M. F. Li, and B. J. Cho, “Effect of surface NH₃ anneal on the physical and electrical properties of HfO₂ films on Ge substrate”, *Appl. Phys. Lett.* **84**, 3741 (2004).
- [32] Y. Kamata, Y. Kamimuta, T. Ino, and A. Nishiyama, “Direct Comparison of ZrO₂ and HfO₂ on Ge Substrate in Terms of the Realization of Ultrathin High-*k* Gate Stacks”, *Jpn. J. Appl. Phys., Part 1* **44**, 2323 (2005).
- [33] M. Houssa, T. Conard, F. Bellenger, G. Mavrou, Y. Panayiotatos, A. Sotiropoulos, A. Dimoulas, M. Meuris, M. Caymax, and M. M. Heyns, “Electrical Properties of Atomic-Beam Deposited GeO_{1-x}N_x/HfO₂ Gate Stacks on Ge”, *J. Electrochem. Soc.* **153**, G1112 (2006).
- [34] T. Hosoi, I. Hideshima, R. Tanaka, Y. Minoura, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe, “Ge diffusion and bonding state change in metal/high-*k*/Ge gate stacks and its impact on electrical properties”, *Microelectron. Eng.* **109**, 137 (2013).
- [35] N. Lu, W. Bai, A. Ramirez, C. Mouli, A. Ritenour, M. L. Lee, D. Antoniadis, and D. L. Kwong, “Ge diffusion in Ge metal oxide semiconductor with chemical vapor deposition HfO₂ dielectric”, *Appl. Phys. Lett.* **87**, 051922 (2005).
- [36] R. Zhang, P. C. Huang, N. Taoka, M. Takenaka, and S. Takagi, “High Mobility Ge pMOSFETs

with 0.7 nm Ultrathin EOT using $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ Gate Stacks Fabricated by Plasma Post Oxidation”, Dig. Tech. Pap. - Symp. VLSI Technol. 2012, p.161.

[37] R. Asahara, I. Hideshima, H. Oka, Y. Minoura, S. Ogawa, A. Yoshigoe, Y. Teraoka, T. Hosoi, T. Shimura, and H. Watanabe, “Comprehensive study and design of scaled metal/high- k /Ge gate stacks with ultrathin aluminum oxide interlayers”, Appl. Phys. Lett. **106**, 233503 (2015).

[38] 朽木 克博, “高移動度ゲルマニウムMOSデバイスの実現に向けたプラズマ窒化応用ゲートスタック技術に関する研究”, 大阪大学 博士論文, 2011, p.89.

[39] T. Hosoi, Y. Minoura, R. Asahara, H. Oka, T. Shimura, and H. Watanabe, “Schottky source/drain germanium-based metal-oxide-semiconductor field-effect transistors with self-aligned NiGe/Ge junction and aggressively scaled high- k gate stack”, Appl. Phys. Lett. **107**, 252104 (2015).

第2章 GeO₂絶縁膜の安定性

および不純物吸収特性の評価

Ge-MOS デバイスを実用化するためには、Ge 上に高品質な絶縁膜を形成する必要がある。現在主流の SiO₂/Si スタック構造と同様に、Ge 上に Ge の酸化絶縁膜である GeO₂ 膜を形成することが基本的構造であるが、GeO₂ 膜の熱的不安定性および大気下で劣化する性質が Ge-MOS デバイスの実用化を阻んできた。そこで本章において、電気特性改善の指針を得ることを目的として、GeO₂ 膜と大気との反応および不純物を吸収する特性を明らかにする。Ge-MOS デバイス高性能化のために GeO₂ 膜の性質を理解し制御することが本論文の一貫した研究命題である。

2.1 緒言

シリコン (Si) に対して熱酸化処理を施すと Si 上には絶縁性および安定性に優れた SiO₂ 膜が形成される。さらに、熱酸化により形成した SiO₂ 膜と Si の界面は平滑かつ均一で欠陥が少ない特徴を有するため、SiO₂/Si 構造はこれまで LSI 回路の MOSFET の主流となり続けた。一方、MOSFET のチャネルを現行の Si から高移動度のゲルマニウム (Ge) に置き換える場合、Si 上の SiO₂ 膜と同様に Ge 上には GeO₂ 膜を形成することが、Ge-MOSFET の最も基本的なプロセスになると考えられる。しかしながら、GeO₂ 膜は熱的に不安定であり、かつ、水溶性を示すことが知られており、Ge-MOS デバイスの実用に不適であると考えられてきた[1, 2]。さらに、GeO₂/Ge 構造では、400°C 以上の熱処理により界面から GeO 分子が脱離し、Ge-MOS デバイスの電気特性は著しく劣化することが知られている[3]。そのため、Ge チャネル上に高品質な絶縁膜を形成することが Ge-MOS デバイスに関する最も必要な課題の一つである。

しかし一方で近年、理論計算結果から、GeO₂/Ge 界面は、GeO₂ 骨格構造の柔軟さのため、SiO₂/Si 界面よりさらに欠陥 (Ge ダングリングボンド) が少ない界面を形成可能であることが示された[4, 5]。また、実際の実験結果でも熱酸化 GeO₂/Ge スタック構造の MOS キャパシタにて良好な電気特性が報告されている[6-9]。それらの報告の中で、細井らは Ge 表面の熱酸化後、電極形成前に 300°C の *in situ* 真空アニールを施すことで Ge-MOS キャパシタの電気特性が改善すること、加えて、形成した MOS キャパシタを大気に曝露することで容量-電圧 (Capacitance-Voltage: C-V) 曲線の反転領域の容量が増大するが、GeO₂ 表面を極薄の Al₂O₃ 膜でキャップすることでその反転容量増大は抑制可能であることを見出した[7]。さらに、朽木らは、GeO₂ 膜の表面に窒化処理を施した GeON 膜が、MOS キャパシタのリーク電流低減に効果的であることを報告した[8]。これらの研究結果は、GeO₂ 表面に形成した Al₂O₃

膜や窒化膜 (Ge₃N₄) が GeO₂ 膜と大気との反応を抑制するバリアの働きをすることで、GeO₂ 膜の安定性や電気特性が向上したことを示唆している。一方、Amy らは、GeO₂ 膜が大気中で hidrocarbon を吸収する特異な性質を有することを示した。図 2.1 に、大気曝露後の Ge ウェハ表面の変化を赤外吸収分光法で調べた結果を示す[10]。大気曝露時間が増加すると、Ge ウェハ表面の自然酸化 GeO₂ 膜が増加するとともに (GeO₂ 膜厚は 1 nm 程度と推定される)、hydrocarbon である CH_x 量も増加したことが確認できる。すなわち、GeO₂ 膜は大気との反応による劣化や不純物吸収などの特異な性質を示すことが明らかとなったが、GeO₂ 膜と大気との反応およびその反応が電気特性に与える影響を詳細に調べた研究はない。また、Amy らの実験は Ge 表面に自然酸化で成長した極薄 GeO₂ 膜を用いているため、不安定な GeO₂ 膜であった可能性もある。そのため、熱酸化により形成した高品質な GeO₂ 膜の性質を理解し、高品質 GeO₂/Ge スタック構造を有する MOS キャパシタの実現に向け新たな指針を見出す必要がある。また、GeO₂/Ge スタック構造の評価において、透過型電子顕微鏡や X 線光電子分光法などの分析手法が適用された事例は多いが、評価手法は限定的であり、その他の分析手法で評価した事例はまだ少ない。Ge-MOS デバイスに適用できる分析技術の確立と、大気中で試料を取扱う際に注意すべき事項の明確化が今後は必要である。そこで本章では、GeO₂ 膜の大気曝露の影響と電気特性改善のメカニズムを明らかにすることを目的として、GeO₂ 膜が大気中で吸収する不純物の種類およびその拡散挙動や真空アニールの効果を様々な分析手法を適用して調べた。

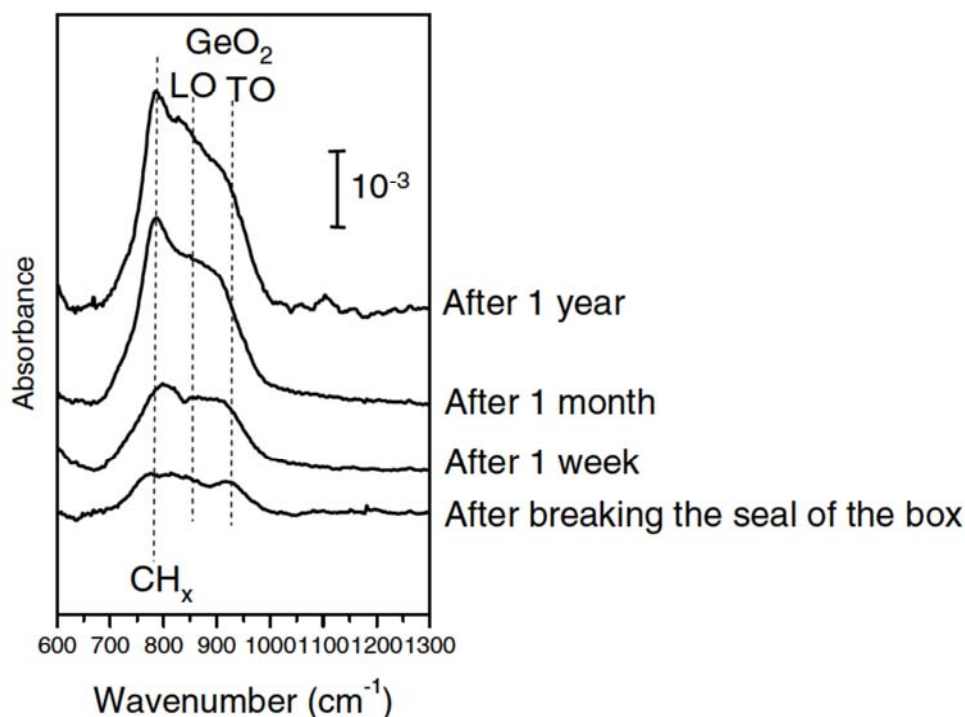


図 2.1 赤外吸収分光法による大気曝露後の Ge ウェハ表面構造の評価[10]

2.2 実験

2.2.1 試料作製

試料作製プロセスを図 2.2 に示した。p 型 Ge(100)基板（抵抗値 0.1～0.5 Ωcm）を約 5 %の希フッ酸と超純水に交互に浸漬（サイクリック洗浄）することで、Ge 基板表面の自然酸化膜およびダメージ層の除去を行った。その後、洗浄後の Ge 基板を速やかに横型の石英チューブ酸化炉端部（低温部）に導入しアルゴンガス雰囲気で保持した。酸化炉中心部（加熱部）が 550℃に到達した時点でアルゴンガスからドライ酸素ガスに切り替え、Ge 基板を酸化炉中心部に導入し熱酸化処理を施した。熱酸化時間は 4～6 時間であり Ge 基板上に GeO₂ 膜を約 20～30 nm 形成した。作製した GeO₂/Ge スタック構造の試料のうち、7 日間および 3 ヶ月間大気（温度 20-25℃、湿度 40-50 %）に曝露したもの、 6×10^{-4} Pa の真空中で 300℃、30 分アニールしたものをそれぞれ用意した。なお、熱酸化後および真空アニール後の試料は、速やかに分析装置に搬送したものの、一時的に大気に触れるため、後述する通り高い吸湿性を有する GeO₂ 膜において、リファレンスとすべき酸化後大気曝露無し（as-oxidation）の試料を用意することができなかった。そのため、真空アニール後の試料を基準として大気に曝露した試料と比較した。

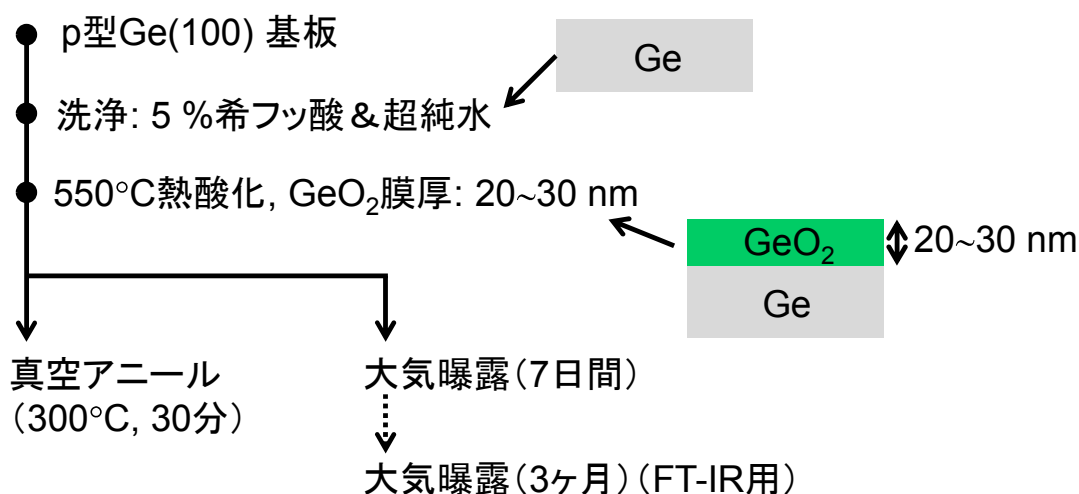


図 2.2 試料作製プロセス

2.2.2 評価手法

本章で用いた分析手法を以下にまとめた。

2.2.2.1 GeO₂膜の表面状態および表面吸着物の評価

X線光電子分光法 (X-ray photoelectron spectroscopy: XPS)

GeO₂膜最表面の元素組成および各元素の化学状態をXPSにより調べた。XPSの概念図を図2.3に示す。XPSは試料表面に軟X線を照射した際、軟X線により励起され真空中に放出された電子(光電子)のエネルギー分布を調べる手法である[図2.3(b)]。励起された光電子の運動エネルギー(結合エネルギー)値から元素の種類を同定することができ、ピーク強度(ピーク面積)から元素組成を調べることができる(水素を除く)。また、ピーク位置およびピーク形状を詳細に解析することで、各元素の化学状態(価数など)も評価できる。軟X線で励起された光電子の平均自由行程は、光電子のエネルギー値や物質の分子量(原子量)、密度などにも依存するがおおむね数nm程度であるため、本手法の検出深さも数nm程度となる。すなわち、XPSは物質の表面数nmの情報をバルクと切り分けて選択的に得ることができる手法である。また、数nm以下の極薄膜の評価も可能であるため、半導体デバイス開発のみならずあらゆる材料の評価において極めて有用な手法として認識されている。さらに、XPSは非破壊で評価できることも特徴の一つである(ただし、X線照射により変性が起こる試料に対しては注意が必要である)。本章で実施したXPSの測定系の模式図を図2.3(a)に示す。軟X線の入射角度は試料平面に対して45°、光電子検出角度は90°に設定した。X線源は単色化Al K α 線であり、X線のエネルギーは1486.6 eVである。なお、検出角度は0~90°の範囲において、検出角度が大きいほど検出深さが深くなる。本測定条件での検出深

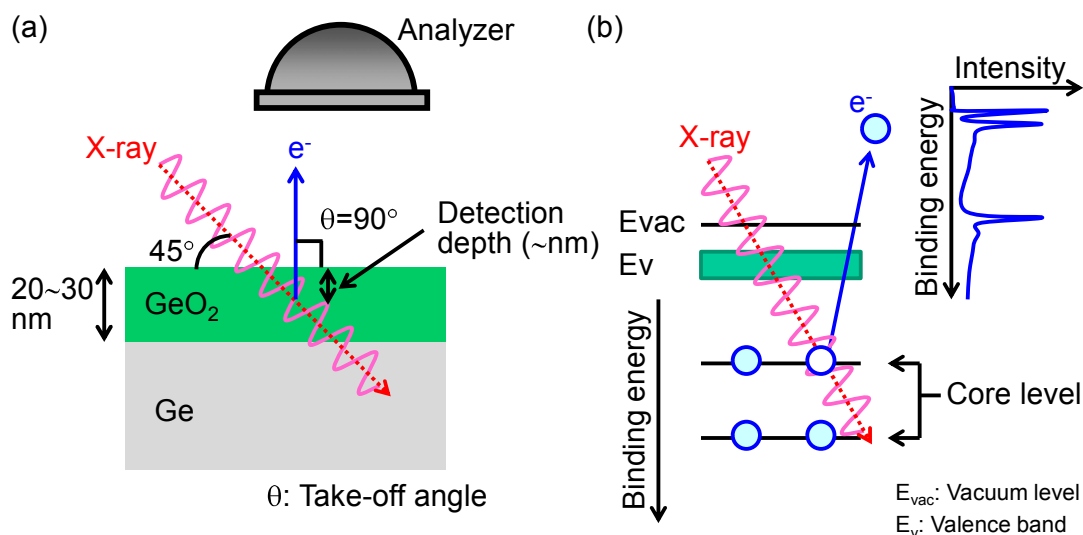


図 2.3 XPS の概念図.

(a) 測定系の模式図, (b) 光電子放出の概念図

さ（情報深さ）は、検出するピークのエネルギー値にも依存するが、GeO₂ 膜（密度 4.76 g/cm³ と仮定）中の Ge3d の平均自由行程（ λ ）を計算し[11]、Ge3d の 95 % の情報が検出される深さ（ $3\lambda \cdot \sin \theta$ ）を計算すると約 9 nm であることを付記しておく[12]。また、得られた各光電子スペクトルのエネルギー軸（横軸）は、Ge3d メインピーク位置が 32.5 eV になるように補正した。

飛行時間型 2 次イオン質量分析法 (Time-of-flight secondary ion mass spectrometry: TOF-SIMS)

GeO₂ 膜表面に吸着した有機分子種を TOF-SIMS により定性した。TOF-SIMS の概念図を図 2.4 に示す。TOF-SIMS は試料表面に 1 次イオンを照射し、スパッタリング現象により放出された 2 次イオンを飛行時間型の質量検出器で検出し、試料表面に存在する元素または分子種を評価する手法である[13]。試料表面で原子がスパッタリングされる現象を利用した手法ではあるものの、TOF-SIMS で照射する 1 次イオンのドーズ量（約 10¹² ions/cm²）は、試料表面に存在する原子の総数（約 10¹⁵ atoms/cm²）より数桁以上低いため、発生する 2 次イオンがある程度、元の分子構造を保ったまま検出器に到達する。イオンの検出感度が高いことに加えて、飛行時間型質量検出器の質量分解能が高い特徴があるため、TOF-SIMS は表面（検出深さは数 nm 程度）に存在する分子種を高感度、高質量分解能で定性できる特徴を有する。また、位置（面）分解能が比較的高い（位置分解能：数百 nm）手法であるため、

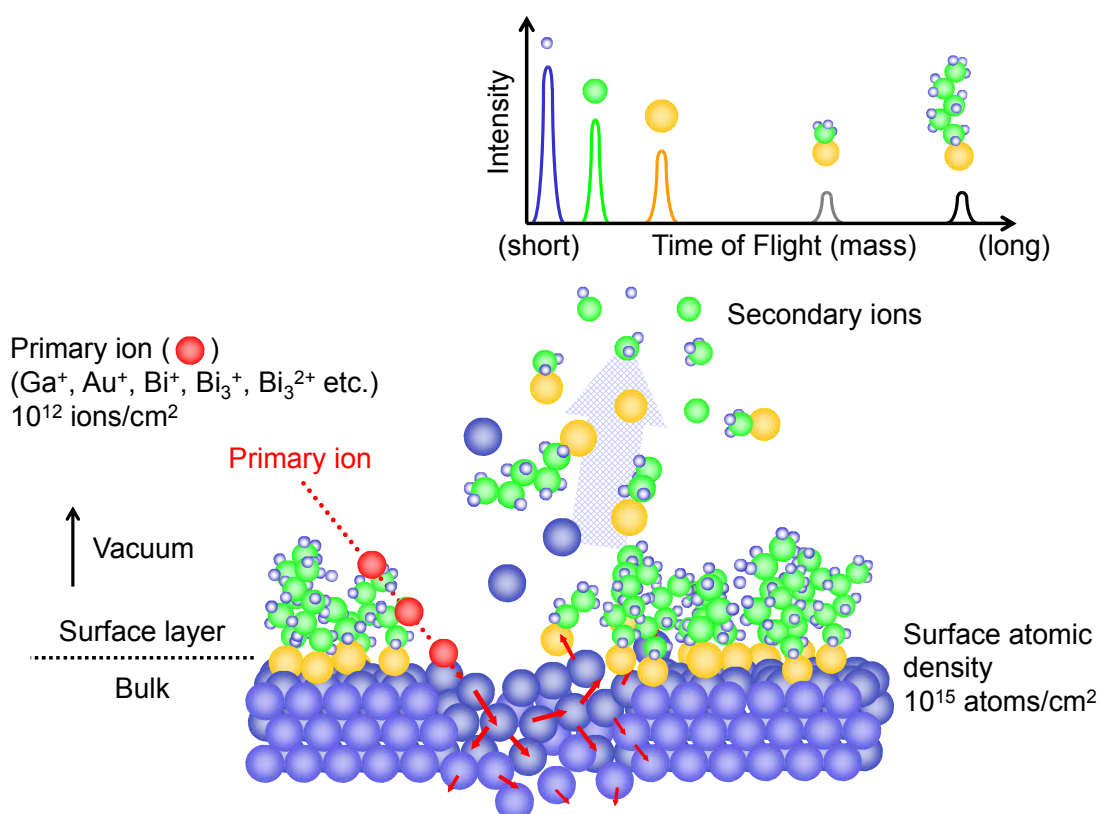


図 2.4 TOF-SIMS の概念図

第2章 GeO₂ 絶縁膜の安定性および不純物吸収特性の評価

表面に存在する異物などの定性にも利用される。なお、TOF-SIMS のように照射する 1 次イオンのドーズ量が極めて低く、非破壊に近い状態で評価する場合は Static-SIMS と定義し、1 次イオンのドーズ量が高く、1 次イオンにより試料をエッチングしながら深さ方向の不純物元素の分布を評価する場合は Dynamic-SIMS と定義する（Dynamic-SIMS の原理については後述する）。

本章で用いた TOF-SIMS 装置の 1 次イオンには Bi₃²⁺イオンを用いた。また、検出した 2 次イオンは正 2 次イオンであり、各イオン種は主成分である GeO₂ に由来するピーク (⁷⁴Ge⁺) の強度で規格化して試料間比較を行った（負 2 次イオンも別途測定しているがデータ掲載無し）。

原子間力顕微鏡 (Atomic force microscope: AFM)

GeO₂ 膜表面のモルフォロジーは AFM で調べた。AFM の概念図を図 2.5 に示す。AFM は鋭角に削り込まれた探針を試料表面に近付け、探針と試料表面の間の原子間力を感知しながら探針を走査させることで、試料表面の原子レベルでの凹凸をマッピングする手法である[14]。超高真空中で試料表面と探針の間に流れるトンネル電流を計測することで原子像マッピングを取得する走査型トンネル顕微鏡 (Scanning tunneling microscope: STM) と比べて、AFM は空間分解能では劣るものの、絶縁物の測定も可能であり、加えて大気下または液中でも測定できることから、半導体デバイス材料だけでなく、あらゆる固体表面の凹凸評価に適用されている。また、LSI の MOSFET に用いられる Si 表面は、原子 1 層レベルでの平坦性が求められるため、AFM による評価が広く普及している。本章では、探針を試料表面に周期的に接触させ、カンチレバーの振動振幅の変化から表面形状を測定するタッピングモードで GeO₂ 膜表面の凹凸を評価した。タッピングモードは試料に接触させる探針の圧力

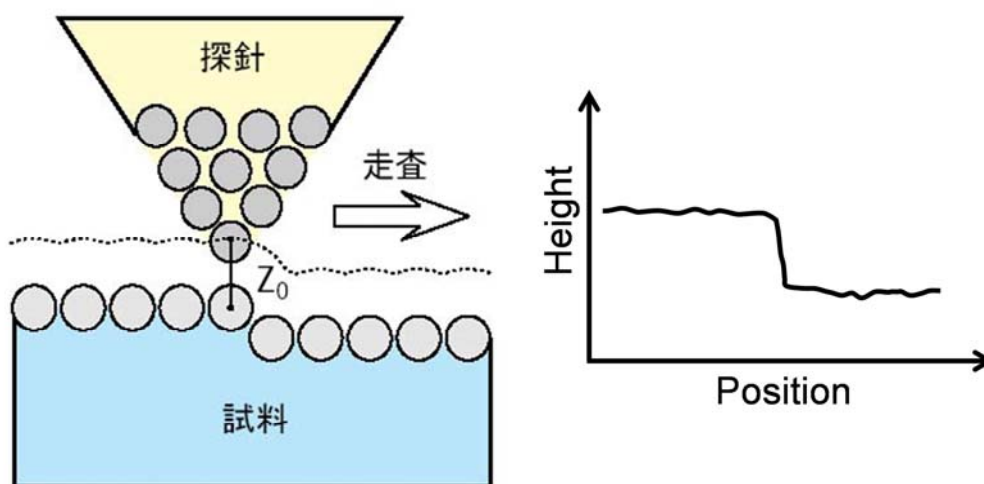


図 2.5 AFM の概念図

第2章 GeO₂絶縁膜の安定性および不純物吸収特性の評価

を極めて低くすることができ、試料表面へのダメージを抑制できる方式である。マッピング測定のスキャン範囲は3×3 μmとし、凹凸の指標として算術平均粗さ（Ra）を算出した。

2.2.2.2 GeO₂膜の膜質評価

フーリエ変換赤外吸収分光法（Fourier transform infrared spectroscopy: FT-IR）

GeO₂膜が吸収した分子種およびGeO₂膜の化学状態をFT-IRにより調べた。FT-IRの概念図を図2.6に示す。FT-IRは試料に赤外光を照射した際、試料が吸収した赤外光の波長分布を調べる手法である[15]。原子間の固有振動エネルギー値が赤外光のエネルギー帯に存在する場合、外部から入射した赤外光と原子間または分子間の結合が共鳴し赤外光が吸収される。吸収された赤外光のエネルギー分布から、分子または原子の結合情報を得ることができる。水分子や有機分子の結合に加えて、Si-O-Si結合またはGe-O-Ge結合などの無機物の構造情報も得られることから、有機物、無機物を問わず様々な材料の評価に適用される。また、減衰全反射法（Attenuated total reflection: ATR）を用いれば、表面吸着官能基や数nm以下の極薄膜の評価も可能であるため、MOSFETの微細化の歴史とともに、Si表面および極薄SiO₂膜のSi-H結合やSi-O-Si結合の詳細な研究がFT-IR（ATR法）を用いて進められてきた[16, 17]。

本章では、膜厚20 nmのGeO₂膜全体の情報を得るため透過法にて評価を行った。GeO₂膜付きの試料の測定とGeO₂膜を除去した後のGe基板のみの測定を行い、両者の差分を取ることでGeO₂の情報を得た。

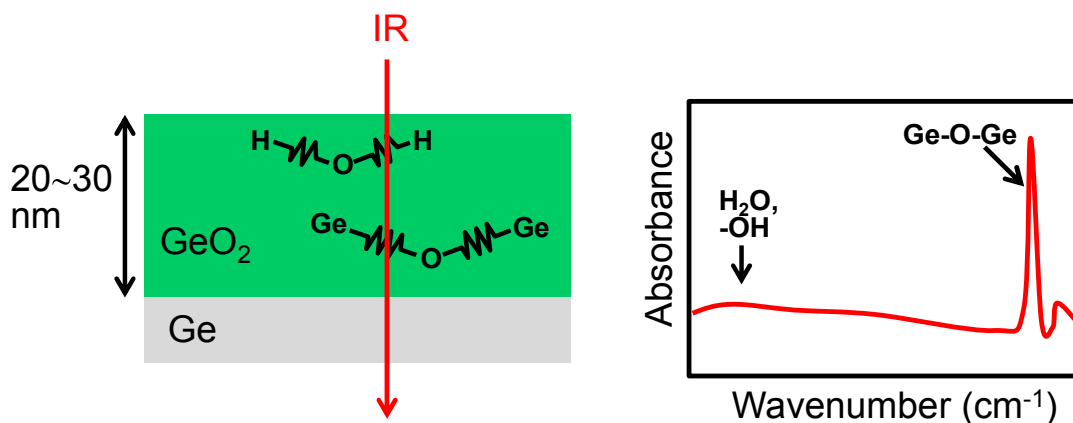


図 2.6 FT-IR の概念図

昇温脱離質量分析法 (Temperature programmed desorption mass spectrometry: TPD-MS)

7日間大気に曝露した GeO₂ 膜が吸収した水分量を TPD-MS にて評価した。TPD-MS は、試料をヘリウムガス雰囲気下で加熱し、発生したガスを質量検出器で検出する手法である[18]。一般的に、発生ガス分析 (Evolved gas analysis: EGA) や昇温熱脱離質量分析法 (Thermal desorption spectroscopy: TDS) と呼ばれる手法であるが、本章では TPD-MS と呼ぶ。TPD-MS により各温度での発生ガス量を定量的に評価できるため、半導体材料の評価に広く適用されている[19]。真空中で加熱処理を行い発生するガスを検出する場合もあるが、本研究では、真空に引くことにより水分が脱離する可能性も考慮し、大気圧下で測定を実施した。また、ガス発生量を十分確保し定量精度を向上させるために、試料1水準につき、Ge 基板を 2×2 cm サイズ 4 枚分用意して測定を行った。測定時のヘリウムガス流速は 50 ml/min、昇温速度は 10°C/min.とした。

動的2次イオン質量分析法 (Dynamic secondary ion mass spectrometry: Dynamic-SIMS)

大気に曝露した際に GeO₂ 膜中に拡散した水素 (H)、炭素 (C)、窒素 (N) の深さ方向分布 (デプスプロファイル) を Dynamic-SIMS により調べた。Dynamic-SIMS は、前述した TOF-SIMS と同様に、1次イオンを照射し、スパッタリングにより放出された2次イオンの質量を検出することで試料に含まれる不純物の濃度を高感度で調べる手法であるが[13, 20]、TOF-SIMS との違いは、1次イオンにより試料をエッチングしながら、深さ方向の不純物分布を調べることである。半導体デバイスでは、材料に不純物を導入することで電気伝導性などの特性を制御するため、不純物の濃度を評価する際に Dynamic-SIMS は欠かせない手法である。なお、Dynamic-SIMS の2次イオン検出機構には2種類あり、それぞれに特徴がある。図 2.7 に Dynamic-SIMS の検出機構を示した[13, 21]。二重収束型 (セクター磁場型) の SIMS 装置は、高感度、高質量分解能に加えて高い位置 (面) 分解能を有する特徴があるが、

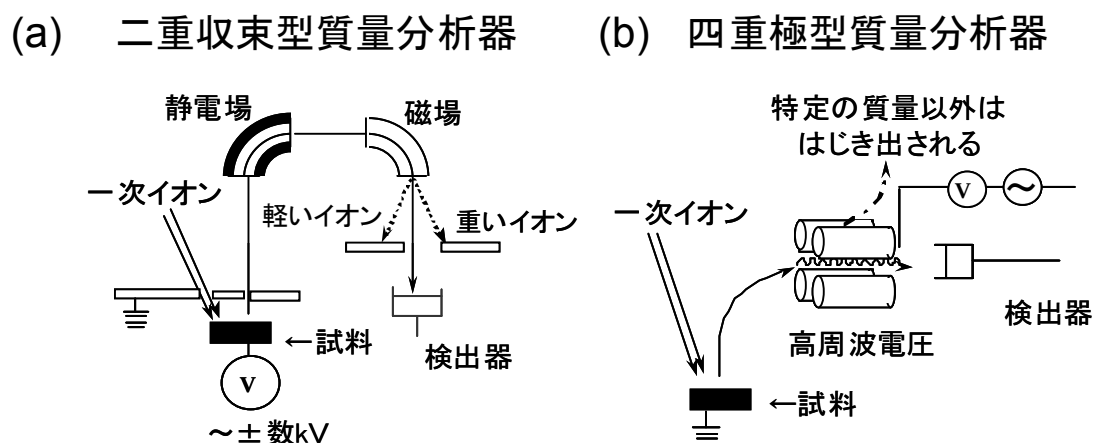


図 2.7 Dynamic-SIMS の検出機構。

(a) 二重収束型質量分析器, (b) 四重極型質量分析器

第2章 GeO₂ 絶縁膜の安定性および不純物吸収特性の評価

1 次イオンの加速電圧を下げるできないため、深さ分解能を高くできないデメリットがある。一方、四重極型の SIMS 装置では、1 次イオンの加速電圧を低く設定でき、かつ、1 次イオンの入射角も独立で設定できるため、高い深さ分解能で測定できる特徴がある。そのため、数十 nm 以下の薄膜材料の評価には、四重極型 SIMS 装置を用いることが多く、本研究でも四重極型 SIMS 装置を採用している。本章の Dynamic-SIMS 測定では、一次イオンとして Cs⁺を用い、加速電圧 500 V とした。Dynamic-SIMS では不純物濃度を定量する場合、濃度既知の標準試料が必要であるが、本研究では、水素、炭素および窒素の濃度既知の GeO₂ の標準試料を用意できなかった。そのため、GeO₂ 膜中の主成分元素である酸素に由来するイオンの強度で各不純物イオンの強度を、各深さにおいて規格化することで、GeO₂ 膜中の不純物分布および試料間の不純物濃度（強度）比較を行った。

2.2.3 重水を用いた GeO₂ 膜中の水分拡散挙動の動的評価

本研究では、大気中の水分が GeO₂ 膜に拡散する挙動を詳細に調べるため、水素（H）の同位体である重水素（D）で構成される高純度の重水（D₂O）を用いて、GeO₂ 膜に対して重水曝露処理を施し、その時の GeO₂ 膜中の不純物元素の分布を調べた。重水素 D（質量数：約 2）は水素 H（質量数：約 1）の同位体であり、自然界での存在比率は全水素のうち 0.015 % 程度であるため、通常の物質中に D はごくわずかしかな存在しない。そのため、水の代わりに重水を用いれば、大気から GeO₂ 膜中に拡散する水分（重水）由来の水素（重水素）と、それ以外の GeO₂ 膜中にもともと存在する可能性がある水素や汚染由来の水素（例えば、有機物の水素）を区別してモニターすることができる。このような同位体を用いた研究は、水素を含有する有機物中の水素の拡散（¹H と ²D）、酸化膜中の酸素の拡散（¹⁶O と ¹⁸O）また、Si 中の Si の拡散（²⁸Si と ³⁰Si）などを評価するために行われている[22-24]。

本実験では、300°C、30 分真空アニールを施した GeO₂ 膜を、大気に曝露させること無く重水雰囲気（温度：20-25°C、湿度：80-90 %、窒素充填下）に曝露し、重水曝露時間を 0.1 分、1 分、10 分および 60 分と変えた際の GeO₂ 膜中の不純物の分布を、D も含め Dynamic-SIMS で調べた。なお、Dynamic-SIMS では H と D を質量数で区別してモニターすることができる。

2.3 結果と考察

2.3.1 大気曝露による GeO₂ 膜表面の反応挙動

熱酸化により形成した GeO₂ 膜を大気に曝露した際の GeO₂ 膜表面の反応挙動を、表面の元素組成、吸着物およびモルフォロジーの観点で各種表面分析手法により評価した。300°C 真空アニール後（Vac. anneal）の GeO₂ 膜を基準として、大気曝露 7 日後（Air expo.）の GeO₂ 膜の表面の変化を調べた。

GeO₂ 膜表面の組成および化学状態の評価

XPSにより得られた 300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜表面の元素組成および原子数比 (O/Ge 比) を表 2.1 に示し、C1s, O1s および Ge3d スペクトルを図 2.8 に示した。表 2.1 において、両試料とも、GeO₂ に由来する酸素および Ge が検出され、加えて微量の炭素も認められた。両者の元素組成はおおむね同程度であったが、大気曝露 7 日後 (Air expo.) は 300°C 真空アニール後 (Vac. anneal) より O/Ge 比がわずかに高かった。

ゲルマニウムの化学状態について、O1s, Ge3d スペクトル形状から判断して[図 2.8(b), (c)]、両試料とも最表面のゲルマニウムは GeO₂ に帰属される。両者のゲルマニウムの化学状態に顕著な違いは認められなかった。一方、炭素の化学状態について、C1s スペクトル形状から判断して、両試料とも CH_x, C-C が主成分であり、その他、酸素を含有する成分 (C-O, C=O, O=C-O, CO₃²⁻) も認められたが、大気曝露 7 日後 (Air expo.) は 300°C 真空アニール後 (Vac. anneal) より炭酸塩 (CO₃²⁻) (O=C-O を含む) の割合がわずかに高かった。以上の結果より、大気曝露を施した試料の GeO₂ 膜表面は、GeO₂ 構造を保持しているものの、微量の炭酸塩形成が起き、元素組成として酸素濃度がわずかに増加したと考えられる。

表 2.1 XPS により得られた GeO₂ 膜表面の元素組成および O/Ge 比

	Atomic %			O/Ge
	C	O	Ge	
Vac. anneal	3.8	63.4	32.8	1.93
Air expo.	5.4	64.0	30.6	2.09

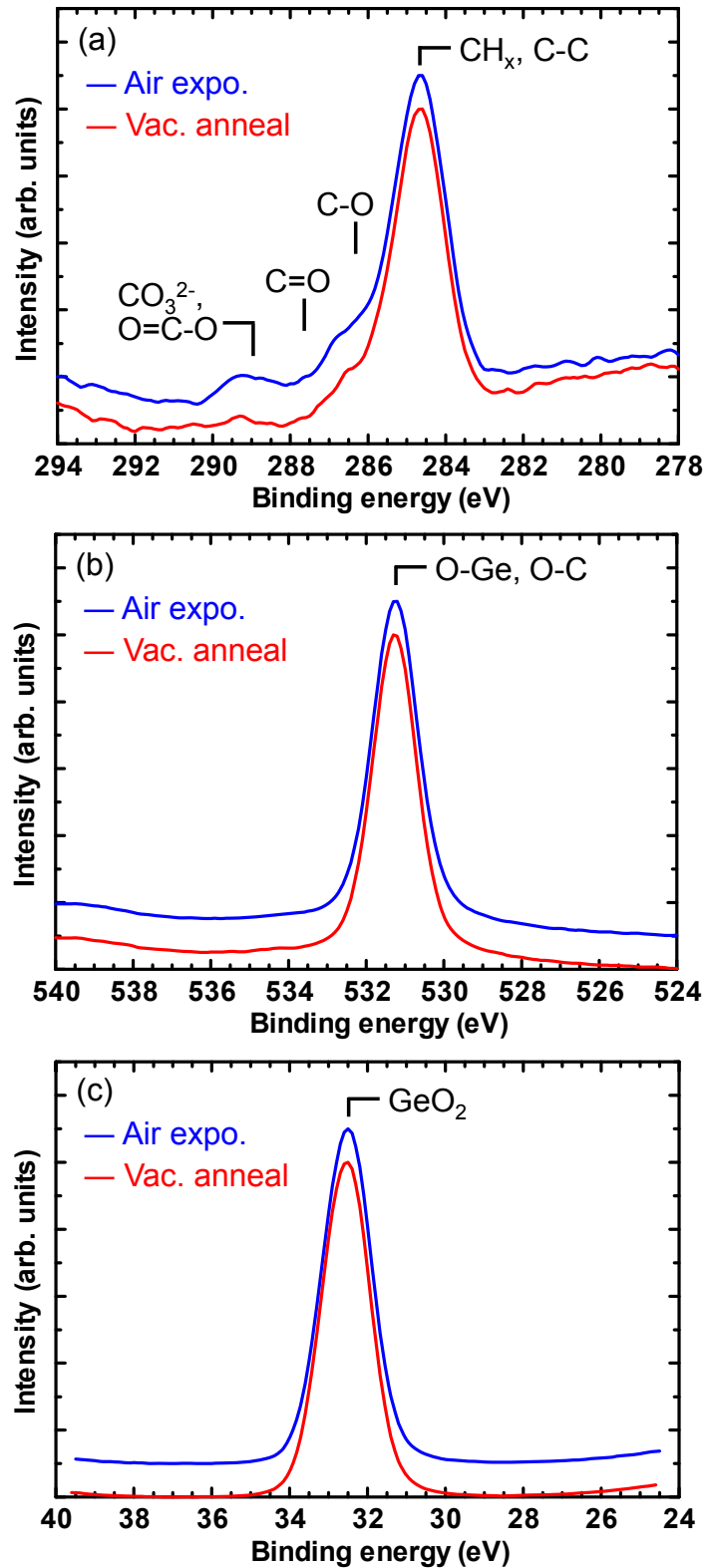


図 2.8 XPS により得られた 300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜の (a) C1s, (b) O1s および (c) Ge3d スペクトル. 各スペクトルの縦軸はピークトップ位置で規格化した.

GeO₂ 膜表面の吸着物の評価

300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜について、TOF-SIMS により得られた各種 2 次イオンの相対ピーク強度を図 2.9 に示した。参考のため、大気曝露した自然酸化 SiO₂ 膜 (Air expo.) の結果も併せて示した[25]。TOF-SIMS 結果より、GeO₂ 膜表面には、炭化水素系分子 ($^{27}\text{C}_2\text{H}_3^+$, $^{57}\text{C}_4\text{H}_9^+$)、ヒドロキシ基またはカルボニル基などの酸素官能基を有する分子 ($^{43}\text{C}_2\text{H}_3\text{O}^+$)、アンモニウム塩 ($^{18}\text{NH}_4^+$) およびアミン系分子 ($^{30}\text{CH}_4\text{N}^+$, $^{102}\text{C}_6\text{H}_{16}\text{N}^+$) など、様々な有機分子が吸着していると考えられる。なお、大気曝露 7 日後 (Air expo.) の GeO₂ 膜だけでなく、300°C 真空アニール後 (Vac. anneal) の GeO₂ 膜にも吸着物が存在するのは、300°C 真空アニールを施した後に試料を速やかに測定チャンパーに導入したものの、短時間ではあるが大気に曝露されたためであると考えられる。300°C 真空アニール後 (Vac. anneal) と大気曝露 7 日後 (Air expo.) を比較すると、アンモニウム塩 ($^{18}\text{NH}_4^+$) やアミン系分子 ($^{30}\text{CH}_4\text{N}^+$, $^{102}\text{C}_6\text{H}_{16}\text{N}^+$) は、大気曝露時間が長くなるほど増加することが確認された。ただし、図 2.9 の SiO₂ 膜表面の吸着物の結果からもわかるように、GeO₂ 膜表層に吸着した有機分子は SiO₂ 膜表層にも存在している。そのため、有機分子の吸着が GeO₂ 膜特有の現象ではないと判断される。また、質量スペクトルから総合的に判断しても、大気曝露の際に GeO₂ 膜のみに特異的に吸着する分子があるわけではないことも確認している。

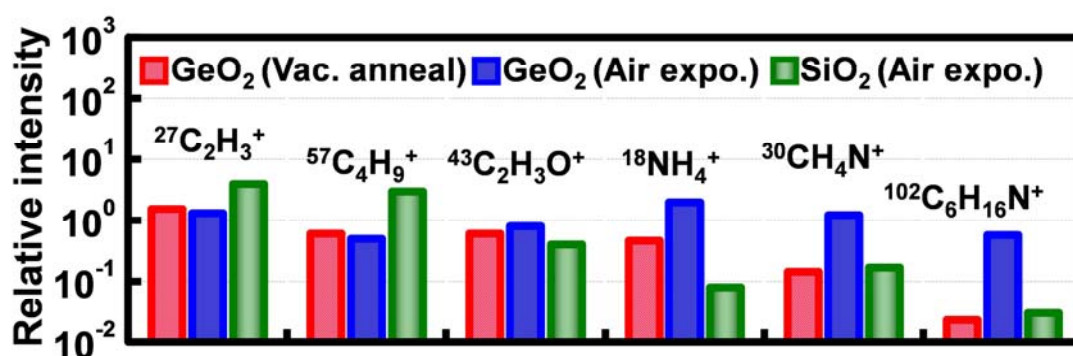


図 2.9 300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜の TOF-SIMS により得られた各種 2 次イオンの相対ピーク強度。参考として大気曝露した自然酸化 SiO₂ 膜 (Air expo.) の結果も併せて示した[25]。GeO₂ 膜および SiO₂ 膜の 2 次イオンピーク強度は検出された $^{74}\text{Ge}^+$ および $^{30}\text{Si}^+$ のピーク強度でそれぞれ規格化した。

GeO₂ 膜表面のモルフォロジーの評価

図 2.10 に 300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜の AFM 像を示した。大気曝露 7 日後 (Air expo.) は 300°C 真空アニール後 (Vac. anneal) より像の分解能がごくわずかに低い (ぼやけて見える) が、これは表面に吸着物の存在を示唆している。ただし、Ra 値で示した両者の粗さは同程度であることから、この条件で大気曝露を施しても、表面モルフォロジーに顕著な変化は無いと言える。

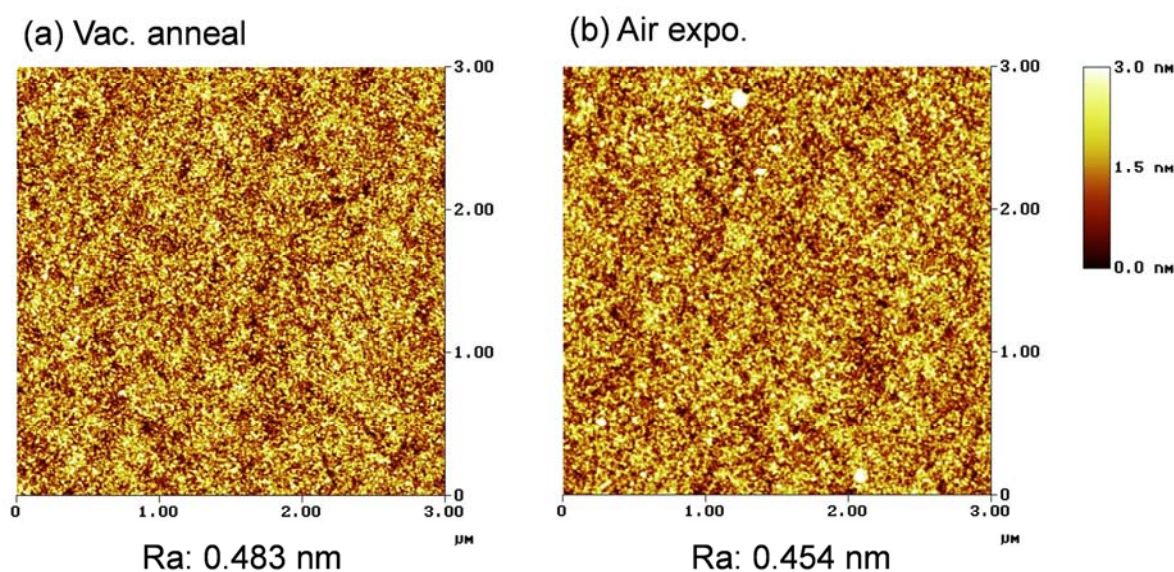


図 2.10 (a) 300°C 真空アニール後 (Vac. anneal) および(b) 大気曝露 7 日後 (Air expo.) の GeO₂ 表面の AFM 像. Ra は算術平均粗さ.

以上の結果から、熱酸化 GeO₂ 膜を大気に曝露した際の GeO₂ 膜表面には以下の特徴があることを確認した。

- 1) GeO₂ 膜を大気曝露しても GeO₂ 構造を保持している。ただし、炭酸塩がわずかに形成され、表面の酸素濃度 (O/Ge 比) が増加する。
- 2) GeO₂ 膜を大気曝露すると、いくつかの有機分子が吸着するが、それらの有機分子は SiO₂ 膜表面にも存在するものであり GeO₂ 膜特有の現象ではない。ただし、大気曝露時間が長くなると、アンモニウム塩 (¹⁸NH₄⁺) やアミン系分子 (³⁰CH₄N⁺, ¹⁰²C₆H₁₆N⁺) など特定分子の吸着量が増える。
- 3) GeO₂ 膜を大気曝露しても表面モルフォロジーの変化は無い。

2.3.2 GeO₂膜が大気から吸収する不純物の評価

前項において、GeO₂膜が大気に曝露されると、GeO₂膜表面で反応や吸着が起きることがわかった。そこで、大気曝露により GeO₂膜の表面で起きた反応が、GeO₂膜中（GeO₂膜全体）に及ぼす影響を、バルク分析の観点で評価した。

GeO₂膜の膜質および GeO₂膜が吸収した不純物の評価

図 2.11 に、300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂膜の FT-IR スペクトルを示した。なお、大気曝露の影響をより強調するため、大気曝露 3 ヶ月後 (3 months air expo.) の結果も併せて示した。図 2.11(a)において、300°C 真空アニール後では水分（または水酸基）からの信号は弱いだが、大気曝露 7 日後は水分に由来するシグナルが認められた。そのため、GeO₂膜は大気中の水分を吸収する性質を有することがわかる。また、大気曝露 3 ヶ月後では、水分吸収量がさらに増大し、加えて、N-H, C-H 基を有する有機物も吸収していることが確認できる。さらに、図 2.11(b), (c)から、大気曝露により炭酸塩またはアンモニウム塩や水酸基などの変性物も形成され、かつ、大気曝露時間が増大するに従い変性物の量が増加することがわかった。このような長期間に渡る大気曝露により、不純物吸収量や炭酸塩、水酸基などの変性物が増大する挙動は、SiO₂膜では見られないため、GeO₂膜特有の現象であると言える。

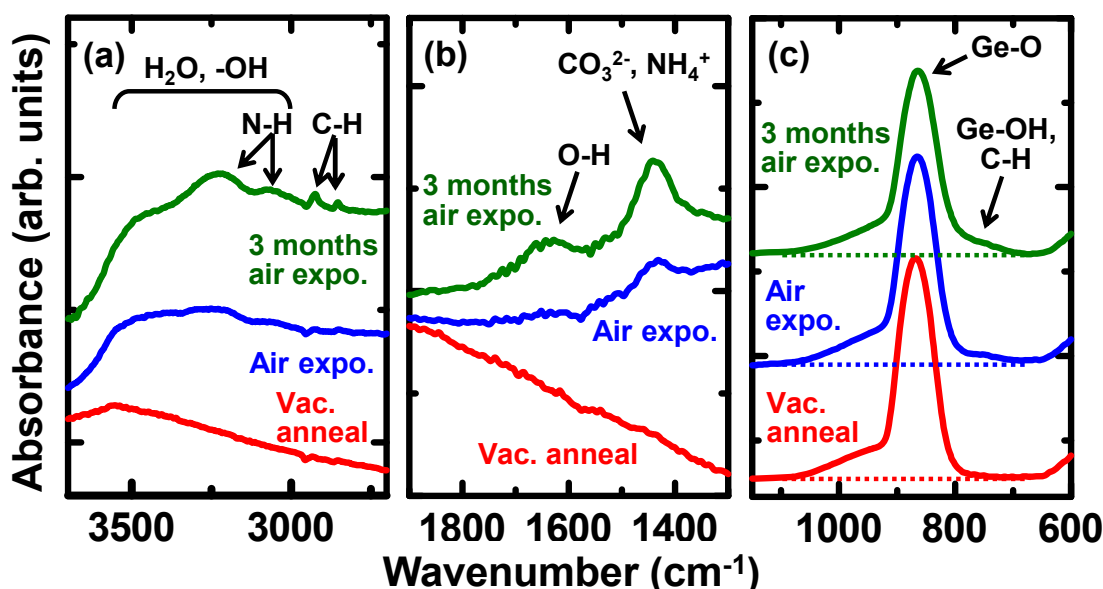


図 2.11 300°C 真空アニール後 (Vac. anneal) , 大気曝露 7 日後 (Air expo.) および大気曝露 3 ヶ月後 (3 months air expo.) の GeO₂膜の FT-IR 透過法による赤外吸収スペクトル

GeO₂膜が吸収した水分量の定量

続いて、図 2.12 に大気曝露 7 日後の GeO₂ 膜の水分脱離曲線を、2 種類の方法で成膜した SiO₂ 膜の結果[26]と対比して示した。その結果、大気曝露 7 日後の GeO₂ 膜は、SiO₂ 膜より一桁近く多くの水分を吸収していることがわかった。また、吸収した水分量（脱離量）の合計値と GeO₂ 膜最表面の GeO₂ 分子の数を考慮すると、GeO₂ 膜表面のみに吸着した水分量では説明できないことに加えて、比較的高温（300°C 以上）の温度帯でも水分脱離が継続していることから、脱離した水分には表面吸着物に加え、GeO₂ 膜の内部に取り込まれたものも含まれると考えられる。これらの結果から、GeO₂ 膜は大気中において、特異的に水分および有機物を吸収し、かつ炭酸塩またはアンモニウム塩など変性物を形成する性質があることが明らかになった。したがって、GeO₂ 膜を Ge-MOS デバイスに用いる際は、大気中に存在する特定の物質との反応が電気特性に及ぼす影響[7]を十分考慮する必要がある。

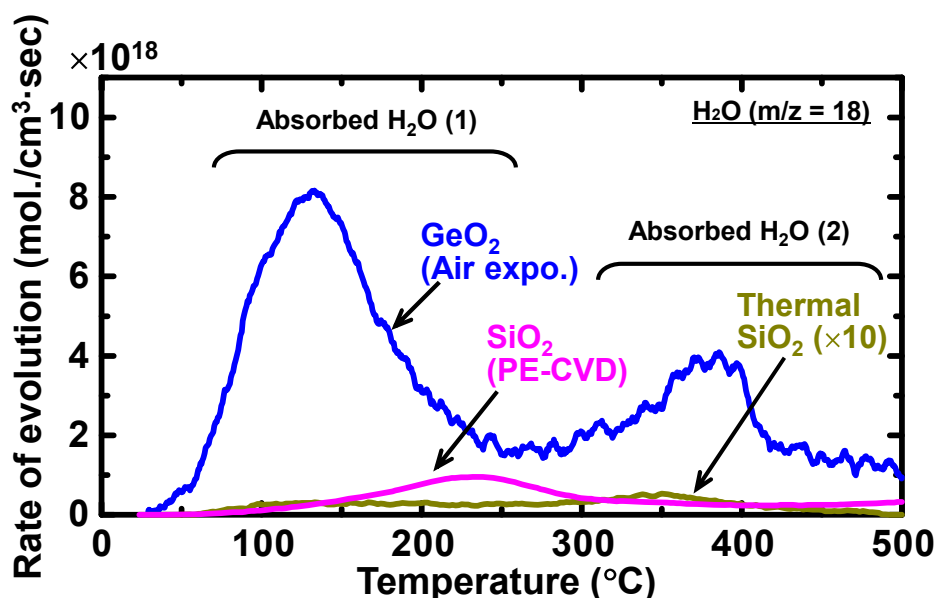


図 2.12 大気曝露 7 日後 (Air expo.) の GeO₂ 膜の TPD-MS による水分脱離曲線。参考として 2 種類の方法（プラズマ支援化学気相蒸着：Plasma enhanced chemical vapor deposition [PE-CVD] および熱酸化）で成膜した SiO₂ 膜のスペクトルも併せて示した[26]。Absorbed H₂O (1)は吸着水、Absorbed H₂O (2)は GeO₂ 膜中に取り込まれ Absorbed H₂O (1)よりやや強く結合した水分と帰属される。

GeO₂膜中の不純物分布の評価

吸着した不純物の GeO₂ 膜中への拡散挙動を調べるため、水素 (H)、炭素 (C) および窒素 (N) の深さ方向分布（デプスプロファイル）を Dynamic-SIMS により調べた。図 2.13 に、

300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜のデプスプロファイルを示す。水素、炭素および窒素ともに大気曝露 7 日後より真空アニール後の方が GeO₂ 膜中の濃度が低かった。また、大気曝露 7 日後および真空アニール後ともに、炭素と窒素は GeO₂ 膜の表面付近に多く分布している一方で、水素は GeO₂ 膜中の全ての深さにおいて概ね同程度の濃度で分布していた。水素のデプスプロファイルの詳細を見ると、GeO₂ 膜の中間部 (深さ約 10 nm) から GeO₂/Ge 界面方向に向かって水素濃度は徐々に増加した。これらの元素分布から、水素と、炭素および窒素では拡散挙動が全く異なることが明らかになった。

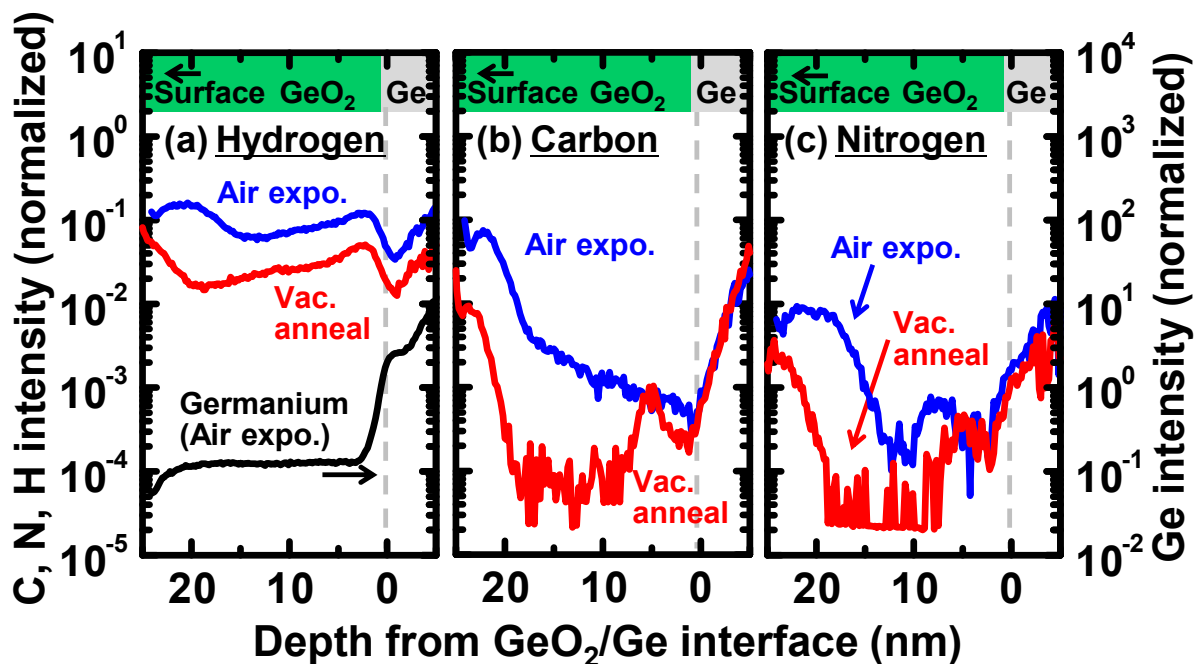


図 2.13 Dynamic-SIMS により得られた 300°C 真空アニール後 (Vac. anneal) および大気曝露 7 日後 (Air expo.) の GeO₂ 膜中の (a) H, (b) C および (c) N のデプスプロファイル。横軸 (深さ) は別途測定した Ge プロファイルにおける GeO₂/Ge 界面を基準として示した [図 2.13(a)]。縦軸 (2 次イオン強度) は各深さにおいて酸素の強度で規格化した。Ge 基板中 (深さ 0 nm 以下) のイオン強度は規格化方法固有のアーティファクトであり正しい分布を示していない。

2.3.3 重水を用いた GeO₂ 膜中の水分拡散挙動の評価

これまでの実験結果から、GeO₂ 膜は大気中において以下の性質を有することがわかった。

- 1) 大気中において多くの水分を吸収する。
- 2) 不純物として有機物も吸収する。
- 3) 変性成分（水酸基など）を形成する。
- 4) 水素は GeO₂/Ge 界面まで速やかに拡散する。

これらの性質のうち、GeO₂/Ge 界面まで拡散している水素は水分由来である可能性が高いと推定され、GeO₂ 膜と水分の反応が電気特性に及ぼす影響は大きいと考えられる。そこで、大気中から GeO₂ 膜中に拡散する水分の挙動をより詳細に調べるため、重水 (D₂O) 雰囲気にて試料を曝露し、重水素 (D) のデプスプロファイル調べた。

膜厚 20 nm の GeO₂ 膜に対して 300°C、30 分の真空アニールを施し、その後、大気に触れさせることなく重水雰囲気内(湿度: 80-90 %)に試料を導入し GeO₂ 膜に重水曝露を施した。なお、高湿度雰囲気に GeO₂ 膜を曝露することで、GeO₂ 膜と水分の反応を意図的に加速させた。重水曝露時間を変えた場合の GeO₂ 膜中の重水素と炭素の深さ方向分布を Dynamic-SIMS により調べた。図 2.14(a), (b)に重水素および炭素のデプスプロファイルをそれぞれ示した。重水素は短時間の曝露時間で、膜の内部まで速やかに拡散し、その後、曝露時間が増加するほど拡散量が増大することがわかった。すなわち、大気から GeO₂ 膜中に拡散する水素には 2 通りの挙動があり、曝露初期の段階で速やかに GeO₂/Ge 界面に到達する挙動と、曝露時間に応じて徐々に拡散していく挙動がある。一方で、炭素は曝露時間 10 分まで膜中への顕著な拡散は認められなかったが、曝露時間 60 分で劇的に拡散が進行した。図 2.14(c)に GeO₂ 膜中の深さ 10 nm の位置における重水素、炭素および Ge の検出強度を曝露時間に対してプロットした。重水素の検出強度 (GeO₂ 膜中の濃度) は曝露時間 10 分まで、曝露時間の平方根に比例して増加することがわかった。このことから、ごく短時間で速やかに拡散する重水素を除くと、大気から GeO₂ 膜中に拡散する重水素 (水分由来の水素) は、Fick の第 2 法則に則った拡散律速プロセスに従うと考えられる[27]。一方、曝露時間 60 分では、重水素、炭素の拡散量の劇的な増大に加え、Ge の検出強度にも変化が認められた。GeO₂ は大気中で変性物を生成することが 2.3.1, 2.3.2 項で確認されたため、Ge の強度変化は、GeO₂ 膜の化学構造 (化学状態) の変化によるものと推定される。以上の結果より、GeO₂ 膜は、短時間の重水曝露により水分 (重水) を著しく吸収し、かつ時間が経つにつれ吸収量が増大すること、また、GeO₂ 膜中の水分量 (重水素濃度) が一定値に達すると、GeO₂ の構造変化を伴って炭素などの不純物を吸収する性質があると考えられる。

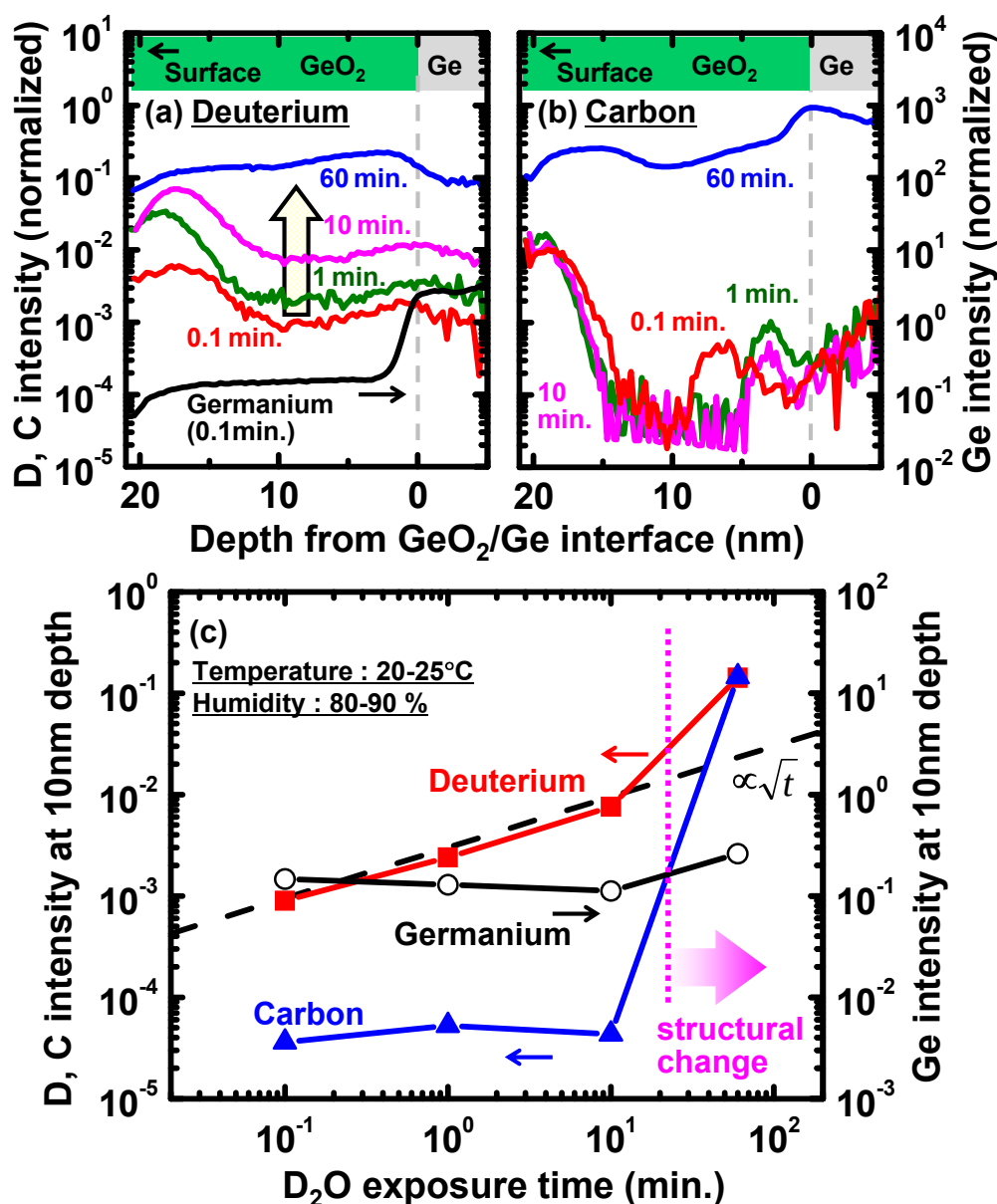


図 2.14 Dynamic-SIMS により得られた 300°C, 30 分の真空アニール後に曝露時間を変えて重水に曝した GeO₂ 膜中の(a) D および(b) C のデプスプロファイル. 横軸 (深さ) および縦軸 (2 次イオン強度) の補正は図 2.13 と同様である. (c) GeO₂ 膜の深さ 10 nm の位置における D, C および Ge の重水曝露時間に対する検出強度の変化.

2.3.4 GeO₂ 膜中の特異な水素分布

これまでの結果から、GeO₂ 膜は大気中の水分を吸収しやすい性質を有することが確認された。そこで、GeO₂ 膜に拡散する水素の挙動をより詳細に調べるため、GeO₂ 膜厚約 15 nm (薄膜) と約 25 nm (厚膜) の 2 水準の膜厚を有する試料を用意し、それぞれの水素のデプ

第2章 GeO₂絶縁膜の安定性および不純物吸収特性の評価

スプロファイルの評価した。図 2.15(a)に、Dynamic-SIMS で得られた薄膜 (thin) および厚膜 (thick) の GeO₂ 膜について、400°C 真空アニールを施す前後 (w/o, w/) の水素のデプスプロファイルを示した。本実験では、400°C 真空アニール後の試料は不活性ガス (窒素) の雰囲気を通して測定チャンバーに導入したため、アニール後の大気曝露の影響は無い状態で測定した。その結果、GeO₂ 膜厚に依存せず、400°C 真空アニールにより GeO₂ 膜中の水素濃度は減少した。この結果は、真空アニールにより Ge-MOS デバイスの電気特性が改善すること [7] と明確に対応すると考えられる。さらに、GeO₂/Ge 界面付近において、薄膜、厚膜ともに、真空アニールの有無に関わらず水素分布は酷似していた。すなわち、GeO₂/Ge 界面の水素分布が、GeO₂/Ge 界面からの距離で決まり、表面からの拡散距離に依存しないことを示している。図 2.16 に、上記結果および前項の結果 (重水素分布) を考慮して描いた GeO₂ 膜中における水素拡散の概念図を示した。大気曝露初期において、大気から GeO₂ 膜中に拡散した水素は速やかに GeO₂/Ge 界面まで到達する [図 2.16(b)]。大気曝露初期段階に拡散した水素は、GeO₂ 表面からの距離に依存せず、GeO₂/Ge 界面からの距離に依存した分布を示す。一方、大気曝露時間が増えると、表面側から拡散律速プロセスに則って比較的遅い速度で拡散する水素が増大し、GeO₂ 膜中の水素濃度が増加する [図 2.16(c)]。すなわち GeO₂ 膜中を拡散する水素の分布は GeO₂ 膜の表面側と GeO₂/Ge 界面側において、2 通りの特異な拡散プロセスにより形成されることが明らかになった。これらのプロセスは、水分を吸収する性質を有する GeO₂ 膜が大気に曝された際、構造変化することも含め避けることは出来ない現象である。なお、Wang らは GeO₂/Ge スタック構造の試料に対して 400°C 以上の熱処理を施すと、GeO₂/Ge 界面で酸素欠損が生成し、その酸素欠損が GeO₂ 膜表面側に向かって拡散すること、さらに酸素欠損が GeO₂ 膜表面に達した際に GeO 分子が脱離すると報告している [28]。また、喜多らはその GeO 分子の脱離レートは GeO₂ 膜中を拡散する拡散律速プロセスに則ると報告している [29]。すなわち、GeO₂/Ge 界面付近の水素分布は、GeO₂ 膜中を拡散する酸素欠損 (反応性サイト) の量を反映した可能性がある (図 2.17 参照)。拡散種やそれらのトラップサイトの起源を明確に特定するにはさらなる検証が必要ではあるが、この欠損サイトが、高い拡散係数を有する水素または水素を含有する分子を捕獲すると仮定すると、GeO₂ 膜の特異な不純物吸収特性を説明することができる。

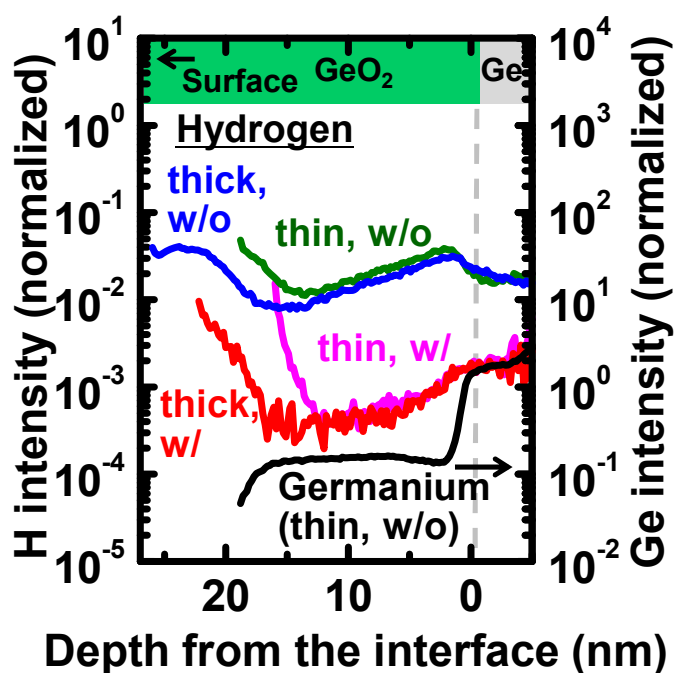


図 2.15 Dynamic-SIMS により得られた薄膜(thin)および厚膜(thick)GeO₂ 試料中の H のデプスプロファイル. 400°C, 30 分の真空アニール前後 (w/o, w/) での比較. 真空アニール後大気曝露させずに測定チャンバー内に導入した. 横軸 (深さ) および縦軸 (2 次イオン強度) の補正は図 2.13 と同様である.

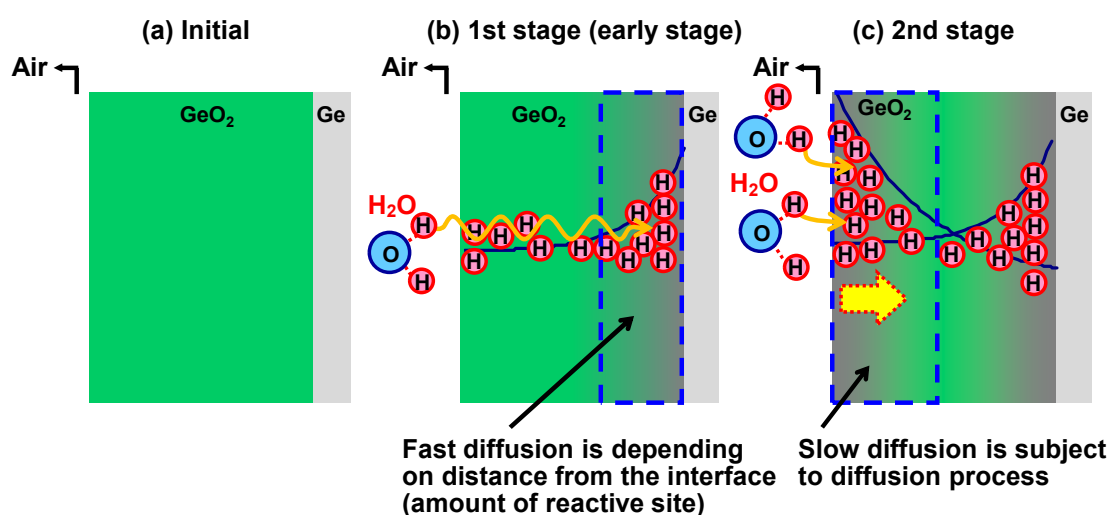


図 2.16 GeO₂ 膜中に拡散した水素分布の概念図. (a) イニシャル状態 (水分曝露無し), (b) 大気曝露第 1 (初期) 段階: 水素の急速な拡散, (c) 大気曝露第 2 段階: 拡散律速プロセスに従う比較的遅い拡散.

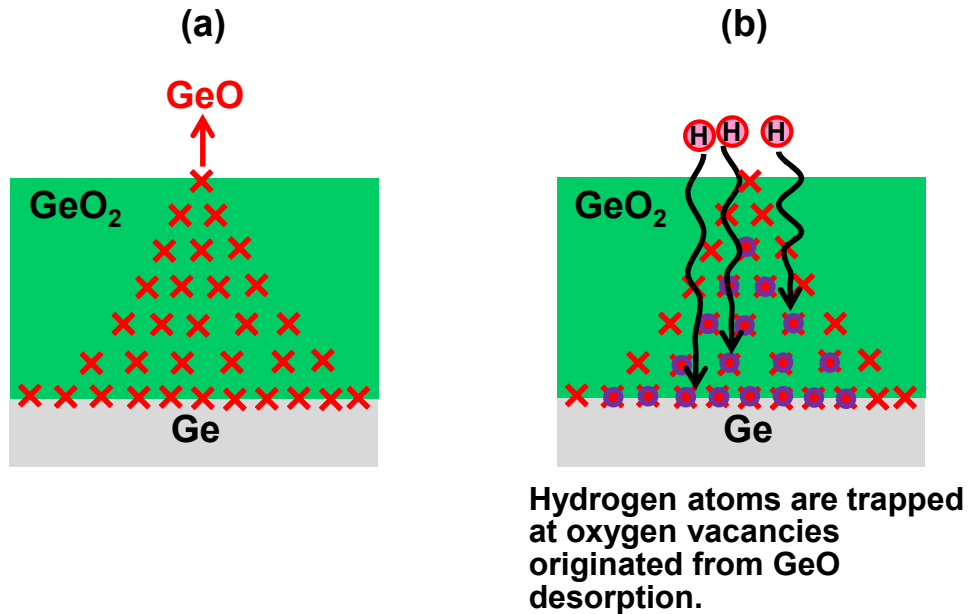


図 2.17 (a) 400°C 以上のアニールを施した際の GeO₂ 膜中の酸素欠損の分布のモデル図。アニールにより GeO₂/Ge 界面で発生した酸素欠損は GeO₂ 膜中を拡散律速プロセスに則り拡散し、GeO₂ 膜表面に到達すると GeO 分子として脱離する[28, 29]. (b) GeO₂ 膜表面から拡散した水素が酸素欠損サイトにトラップされるモデル図。

2.3.5 Ge-MOS デバイスの電気特性と不純物吸収との関係

図 2.18 に、細井らが報告した Au/GeO₂/Ge MOS キャパシタの C-V 測定結果を示した[7]。GeO₂ 膜厚は約 20 nm, 真空アニールは 300°C, 30 分であり、本章で評価した試料とほぼ同じ条件の試料である。真空アニール無し[図 2.18(a)]と比べて、金属電極形成前に真空アニールを施すことで[図 2.18(c)], フラットバンド電圧 (V_{FB}) のシフト (固定電荷または界面ダイポール量の変化)、低周波測定での反転領域の容量減少 (少数キャリア応答の減少) および C-V 曲線のヒステリシス低減が確認できる。GeO₂ 膜中に存在する不純物は、真空アニールにより低減することが本章で示されたため、不純物の除去と電気特性の改善に明らかな相関が認められる。また、電極形成前に真空アニールを実施し、その後 24 時間大気中で保持した試料[図 2.18(d)]では、真空アニール後の試料[図 2.18(c)]と比べて、 V_{FB} には変化が無いが、ヒステリシスの増大および反転領域での容量増大が認められる。

図 2.19 は、反転領域における容量の大気曝露時間による変化をプロットした図である[7]。Au/GeO₂/Ge スタック構造では、大気曝露時間が増加するにつれ反転領域の容量が増加することがわかる。不純物分布の重水曝露時間依存性の調査結果 (図 2.14) から、大気曝露初期においては水分由来の水素のみ経時的変化が認められたため、拡散する水素の量と反転領域における容量増加を引き起こす少数キャリアの生成に関係があると推定される。なお、

第2章 GeO₂ 絶縁膜の安定性および不純物吸収特性の評価

重水曝露実験は高湿度雰囲気で行ったため、GeO₂ 膜質の劣化を加速させた状態で評価していることを付記しておく。そのため、反転容量増加と重水素濃度増加のタイムスケールが異なるのは曝露雰囲気の違いによるものと推定される。GeO₂ 膜中に取り込まれた水素が GeO₂/Ge 界面まで速やかに拡散することからも、水素が電気特性に与える影響は大きいと考えられる。以上のことから、GeO₂ 膜中の水素濃度の制御が、電気特性向上のための極めて重要なファクターであると言える。

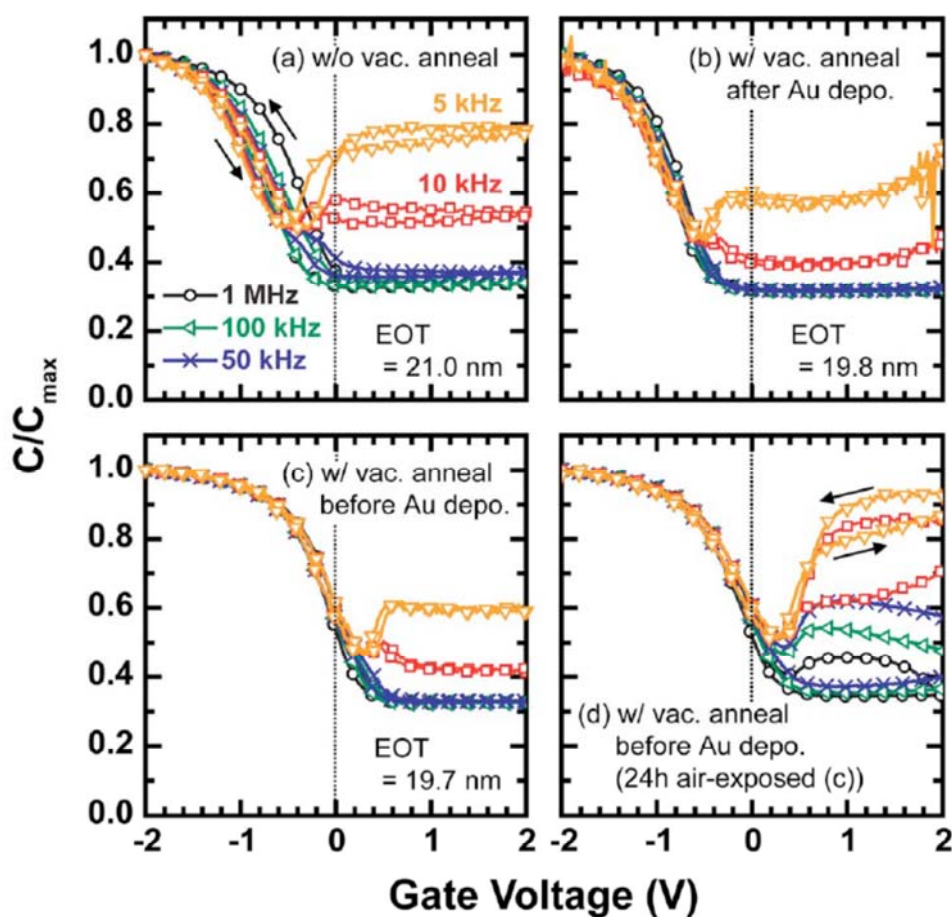


図 2.18 Au/GeO₂/Ge MOS キャパシタの C-V 曲線. (a) 真空アニール無し, (b) 金電極形成後に真空アニールを実施, (c) 金電極形成前に真空アニールを実施, (d) 金電極形成前に真空アニールを実施し金電極を形成, その後 24 時間大気中で保持. [7]

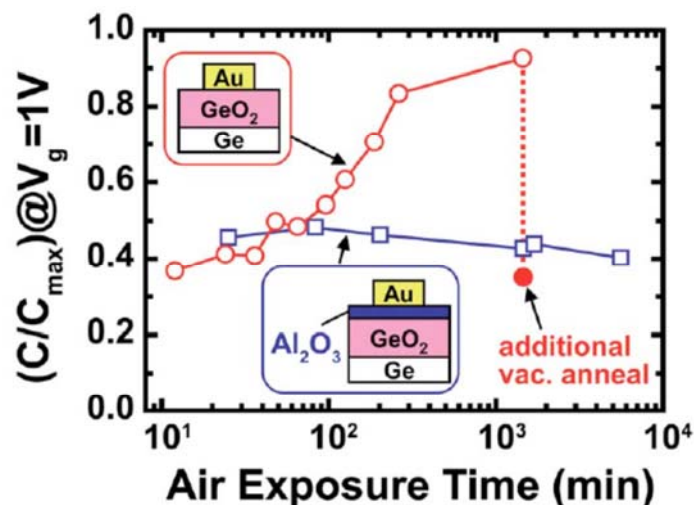


図 2.19 Au/GeO₂/(Al₂O₃)/Ge MOS キャパシタの C-V 曲線における反転領域 ($V_g=1$ V) の容量 (Forward 時). 大気曝露時間による変化. 測定周波数は 10 kHz. [7]

2.4 結言

本章では、GeO₂/Ge スタック構造を有する試料が大気曝露により受ける影響を、様々な分析手法を用いて詳細に調べた。大気下で脆弱な性質を有する GeO₂ 膜に起きる諸現象を解明し、電気特性改善の指針を得るために、GeO₂ 膜形成後に大気に曝露させることなくアニール処理を施し評価する実験や、水の同位体である重水を充満させた雰囲気中に曝露して水分拡散の動的な挙動を評価する実験など、雰囲気を制御した試料作製とそのプロセスを経た試料の評価を行うことで、GeO₂ 膜の特異な不純物吸収特性を明らかにした。得られた知見および成果を以下にまとめた。

GeO₂ 膜の不純物吸収特性

GeO₂ 膜を大気に曝露すると、表面モルフォロジーに変化は起きないが、GeO₂ 膜表面において反応が起きる。水分由来の水素は速やかに GeO₂ 膜内部まで拡散し、曝露時間に応じて膜中の水素濃度が増加する。結果的に GeO₂ 膜は多くの水分を吸収するが、水素含有量が一定の値に達すると、一部の GeO₂ が炭酸塩やアンモニウム塩、水酸基などに変性し、それに伴い有機物を急激に膜内部まで吸収するようになる。

GeO₂ 膜中の特異な水素分布

GeO₂ 膜に吸収された水分由来の水素は、GeO₂ 膜の表面側では大気中からの拡散律速に則り、GeO₂/Ge 界面側では界面からの距離に依存する。拡散律速に則った水素の拡散は、大気

第2章 GeO₂絶縁膜の安定性および不純物吸収特性の評価

曝露の際、避けることができない現象であり、GeO₂膜質の制御において極めて重要な知見である。また、GeO₂膜中より GeO₂/Ge 界面近傍の方が水素濃度は高い傾向があり、GeO₂/Ge 界面付近には水素がトラップされやすいサイトが多く存在する可能性がある。

GeO₂/Ge スタック構造の電気特性改善への指針

GeO₂膜が吸収した不純物は真空アニールにより低減可能である。GeO₂膜中の不純物量の低減が電気特性改善のファクターのひとつであることは明らかであり、特に水分に由来する水素の拡散量が C-V 特性における反転領域の容量（少数キャリアの応答）に影響を及ぼす可能性が高い。したがって、Ge-MOS デバイス形成時の成膜雰囲気制御は極めて重要であると言える。

GeO₂膜を評価する分析技術の確立

本研究では、大気下に曝露された GeO₂膜に起きた諸現象を様々な分析手法を活用して多角的に評価した。これまで十分な評価が行われていなかった GeO₂膜に対して、大気中で脆弱であることに注意を払いながら、分析手法それぞれの特徴を活かした評価を行った。特に、大気中の水分の GeO₂膜中への拡散挙動を、重水雰囲気にて GeO₂膜を曝露し重水素の分布を Dynamic-SIMS でモニターすることで調べた。GeO₂膜中を拡散する水分由来の水素の動的な評価を可能にしたことは、本研究における分析技術確立の観点において特徴ある成果であったと言える。

参考文献

- [1] K. Prabhakaran and T. Ogino, “Oxidation of Ge(100) and Ge(111) surfaces: an UPS and XPS study”, *Surf. Sci.* **325**, 263 (1995).
- [2] K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino, “Thermal decomposition pathway of Ge and Si oxides: observation of a distinct difference”, *Thin Solid Films* **369**, 289 (2000).
- [3] K. Kita, S. Suzuki, H. Nomura, T. Takahashi, T. Nishimura, and A. Toriumi, “Direct Evidence of GeO Volatilization from GeO₂/Ge and Impact of Its Suppression on GeO₂/Ge Metal-Insulator-Semiconductor Characteristics”, *Jpn. J. Appl. Phys.* **47**, 2349 (2008).
- [4] M. Houssa, G. Pourtois, M. Caymax, M. Meuris, M. M. Heyns, V. V. Afanas’ev, and A. Stesmans, “Ge dangling bonds at the (100)Ge/GeO₂ interface and the viscoelastic properties of GeO₂”, *Appl. Phys. Lett.* **93**, 161909 (2008).
- [5] S. Saito, T. Hosoi, H. Watanabe, and T. Ono, “First-principles study to obtain evidence of low interface defect density at Ge/GeO₂ interfaces”, *Appl. Phys. Lett.* **95**, 011908 (2009).
- [6] H. Matsubara, T. Sasada, M. Takenaka, and S. Takagi, “Evidence of low interface trap density in

GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation”, Appl. Phys. Lett. **93**, 032104 (2008).

[7] T. Hosoi, K. Kutsuki, G. Okamoto, M. Saito, T. Shimura, and H. Watanabe, “Origin of flatband voltage shift and unusual minority carrier generation in thermally grown GeO₂/Ge metal-oxide-semiconductor devices”, Appl. Phys. Lett. **94**, 202112 (2009).

[8] K. Kutsuki, G. Okamoto, T. Hosoi, T. Shimura, and H. Watanabe, “Germanium oxynitride gate dielectrics formed by plasma nitridation of ultrathin thermal oxides on Ge(100)”, Appl. Phys. Lett. **95**, 022102 (2009).

[9] C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, “Ge/GeO₂ Interface Control with High-Pressure Oxidation for Improving Electrical Characteristics”, Appl. Phys. Express **2**, 071404 (2009).

[10] S. R. Amy, Y. J Chabal, F. Amy, A. Kahn, C. Krugg, and P. Kirsch, “Wet Chemical Cleaning of Germanium Surfaces for Growth of High-*k* Dielectrics”, Mater. Res. Soc. Symp. Proc. **917**, 0917-E01-05 (2006).

[11] M. P. Seah and W. A. Dench, “Quantitative Electron Spectroscopy of Surfaces: A Standard Data Base for Electron Inelastic Mean Free Paths in Solids”, Surf. Interf. Anal. **1**, 2 (1979).

[12] X線光電子分光法（日本表面科学会編），丸善株式会社, (1998).

[13] 二次イオン質量分析法（日本表面科学会編），丸善株式会社, (1999).

[14] 走査型プローブ顕微鏡 最新技術と未来予測（森田 清三 編著），丸善株式会社, (2005).

[15] 新訂版・表面科学の基礎と応用（日本表面科学会編），株式会社エヌ・ティー・エス, (2004).

[16] S. Miyazaki, H. Nishimura, M. Fukuda, L. Ley, and J. Ristein, “Structure and electronic states of ultrathin SiO₂ thermally grown on Si(100) and Si(111) surfaces”, Appl. Surf. Sci. **113/114**, 585 (1997).

[17] T. Takahagi, I. Nagai, A. Ishitani, H. Kuroda, and Y. Nagasawa, “The formation of hydrogen passivated silicon single-crystal surfaces using ultraviolet cleaning and HF etching”, J. Appl. Phys. **64**, 3516 (1988).

[18] S. Bernal, R. Garcia, and J. M. Rodriguez-Izquierdo, “Characterization of an experimental TPD-MS System. Quantitative calibrations”, Thermochemica Acta **70**, 249 (1983).

[19] R. I. Masel, “Principles of Adsorption and Reaction on Solid Surfaces”, (John Wiley & Sons, NY, 1996).

[20] R. G. Wilson, F. A. Stevie, and C. W. Magee, “Secondary ion Mass Spectrometry, A PRACTICAL HANDBOOK FOR DEPTH PROFILING AND BULK IMPURITY ANALYSIS”, (John Wiley & Sons, NY, 1989).

[21] 山元 隆志, “高誘電率ゲート絶縁膜の高機能化に向けた化学構造および界面反応に関する研究 ”, 大阪大学 博士論文, 2012, p.43.

- [22] 宮本 隆志, “同位体マーカー法を用いた封止性能評価”, The TRC News **112**, 16 (2016).
- [23] S. K. Wang, K. Kita, C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, “Desorption kinetics of GeO from GeO₂/Ge structure”, J. Appl. Phys. **108**, 054104 (2010).
- [24] S. Fukatsu, T. Takahashi, K. M. Itoh, M. Umetsu, A. Fujiwara, H. Kageshima, Y. Takahashi, K. Shiraishi, and U. Gosele, “Effect of the Si/SiO₂ interface on self-diffusion of Si in semiconductor-grade SiO₂”, Appl. Phys. Lett. **83**, 3897 (2003).
- [25] A. Karen, K. Ozawa, and A. Ishitani, “ANALYSIS OF ORGANIC CONTAMINANTS ON SILICON WAFERS BY TOF-SIMS AND PURGE-AND-TRAP GC/MS”, in Proceedings of SIMS XI (Wiley, Chichester, 1997), p. 229.
- [26] 石切山 一彦, 高井 良浩, 泉 由貴子, “層間絶縁用酸化膜の加熱時発生水分分析 – TPD-MS法とFT-IR法の応用 –”, The TRC News **87**, 36 (2004).
- [27] For example, J. Crank, “The Mathematics of Diffusion” (Clarendon, Oxford, 1956).
- [28] S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, “Isotope Tracing Study of GeO Desorption Mechanism from GeO₂/Ge Stack Using ⁷³Ge and ¹⁸O”, Jpn. J. Appl. Phys. **50**, 04DA01 (2011).
- [29] K. Kita, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, “Study of Kinetic Behaviors of GeO in GeO₂/Ge stacks”, ECS Trans. **16**, 187 (2008).

第3章 金属電極/GeO₂絶縁膜界面反応の理解と制御

本章において、脆弱な性質を有する GeO₂ 膜上に金属電極を形成した際の金属電極/GeO₂ 界面の反応と反応後の生成物が電気特性に及ぼす影響を明らかにする。不活性な性質を有する Au と比較的反応性が高い Al を電極とした MOS キャパシタの界面構造を調べ、さらに Al/GeO₂ 界面反応を制御する安定層挿入プロセスの検証も進める。

3.1 緒言

2章において、水分が存在する環境下（大気中）での GeO₂ 膜の劣化現象を論じた。GeO₂ 膜は水分に対して脆弱な性質を有するが、それでも欠陥の少ない高品質な GeO₂/Ge 界面を形成できる優位性があるため、現在でも Ge-MOS デバイスのゲート絶縁膜または、high-*k* 絶縁膜/Ge 界面に挿入する界面層として有力な候補である。既に各機関の研究において、GeO₂ 膜の膜質を向上させる技術[1, 2]や、GeO₂ 膜上部への安定層の挿入[3-5]、または、異元素導入による結合の安定化[6]などの様々な改善技術が報告されており、Ge-MOS デバイスとしての良好な電気特性が示されている。しかしながら、GeO₂ 膜を用いた高品質なゲートスタック構造形成のためのさらなる改善技術や物理的および電気的特性のより深い理解が、Ge-MOS デバイスの実現のために望まれている。

一方、これまでに GeO₂/Ge 界面については、特性劣化を抑制するための研究が精力的に行われてきたが、ゲート電極と GeO₂ 膜の界面（上界面）の性質については、電気特性に影響を及ぼす重要な要素であるにも関わらず、研究事例が少なく体系的な理解が進められてこなかった。例えば、ゲート電極/絶縁膜界面で化学的な反応が起きると、絶縁膜の膜厚や膜質が変化する可能性があり、MOS デバイスの重要なパラメータである SiO₂ 等価換算膜厚（Equivalent oxide thickness: EOT）の変化やリーク電流の増大が引き起こされる可能性がある。また、ゲート電極/絶縁膜界面に変性物が生成することで実効仕事関数（Effective work function: EWF）の変調およびフラットバンド電圧（V_{FB}）の変化が起きる可能性があり、MOS デバイスの信頼性および特性制御の観点で問題になる。Metal/GeO₂ 界面の研究の一例として、大田らが報告した GeO₂ 膜上にアルミニウム（Al）膜を 4 nm 形成した試料の XPS 結果を図 3.1 に示す[7]。各種金属薄膜（約 4 nm）を熱酸化 GeO₂ 膜上に形成した際の Metal/GeO₂ 界面の化学状態を、金属膜越しに XPS で評価した結果、GeO₂ 膜上に金（Au）薄膜を形成した場合は顕著な反応は起きないが、GeO₂ 膜上に Al 薄膜を形成すると、Al/GeO₂ 界面で反応が起き、Ge-Al 結合（GeAl_x alloy）が形成される。平山らは Al 電極と GeO₂ 膜の間に SiO₂ 膜を挿入することで、良好な MOS キャパシタ特性が得られることを報告している[8]。一方、Alzakia らは、GeO₂ 膜上に Al 電極を形成したゲートスタック構造の V_{FB} は Al と Ge の仕事関数差から見積もられる理想 V_{FB} 値に近いが、Au 電極を形成したゲートスタック構造では、

V_{FB} が理想値より負方向にシフトすることを報告している[9]。このように電極の元素種により Metal/GeO₂ 界面の性質が異なることが報告されているが、界面の性質や反応生成物が電気特性に与える影響は十分な理解がなされていない。Metal/GeO₂ 界面の体系的な理解を進めるため、より詳細な研究が必要であると考えられる。そこで本章では、ゲート電極と GeO₂ 膜の界面における界面反応の理解と制御を目的として、反応性が異なる 2 種類の金属、Au と Al (Al は酸素と反応し易い性質を有する) をゲート電極に用いた際の GeO₂ 膜との界面の状態を詳細に調べた。ゲート電極/GeO₂ 界面の化学的な構造と Ge-MOS キャパシタの特性との相関、および、Al/GeO₂ 界面の反応を抑制する技術について論じる。

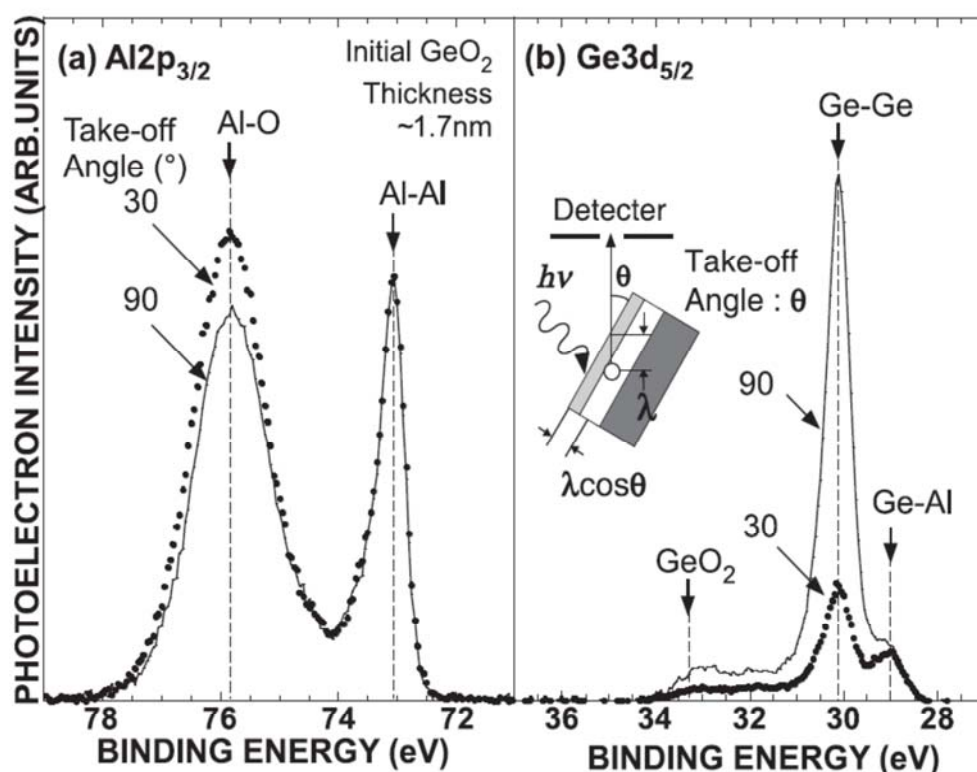


図 3.1 XPS により得られた Al (4 nm)/GeO₂ (1.7 nm)/Ge スタック構造の (a) Al2p_{3/2} および(b) Ge3d_{5/2} スペクトル。光電子検出角度は 30 および 90°。 [7]

3.2 実験

3.2.1 試料作製

試料作製プロセスの概念図を図 3.2 に示した。p 型 Ge(100)基板 (抵抗値 0.1~0.5 Ωcm) を約 5% の希フッ酸と超純水に交互に浸漬することで洗浄した。洗浄後の Ge 基板を酸化炉に導入し、550°C で熱酸化 GeO₂ 膜を形成した。熱酸化時間を調整することで GeO₂ 膜厚 5 nm

第3章 金属電極/GeO₂絶縁膜界面反応の理解と制御

および 20 nm の試料を用意し、電気特性評価用および物理分析用にそれぞれ用いた。一部の試料には電子サイクロトロン共鳴 (Electron cyclotron resonance: ECR) プラズマ源を用いて、GeO₂ 膜表面のプラズマ窒化処理を施し[4]、GeO₂ 膜表層に Ge₃N₄ 膜を約 1 nm 形成した。プラズマ窒化条件は、基板温度 350°C、窒素分圧 1×10^{-4} Pa、投入電力 50 W、処理時間は 30 分とした。また、反応性スパッタリング法 (室温、酸素分圧 1×10^{-4} Pa) により GeO₂ 膜上に約 1 nm の Al₂O₃ 膜を堆積した試料も用意した。これらの試料にゲート電極として、膜厚約 15 nm (物理分析用) または 100 nm (電気特性評価用) の Au または Al 膜を真空蒸着 (室温) によりそれぞれ形成し MOS 構造を作製した。また、電気特性評価用試料には、裏面に Al 電極を 100 nm 形成した。

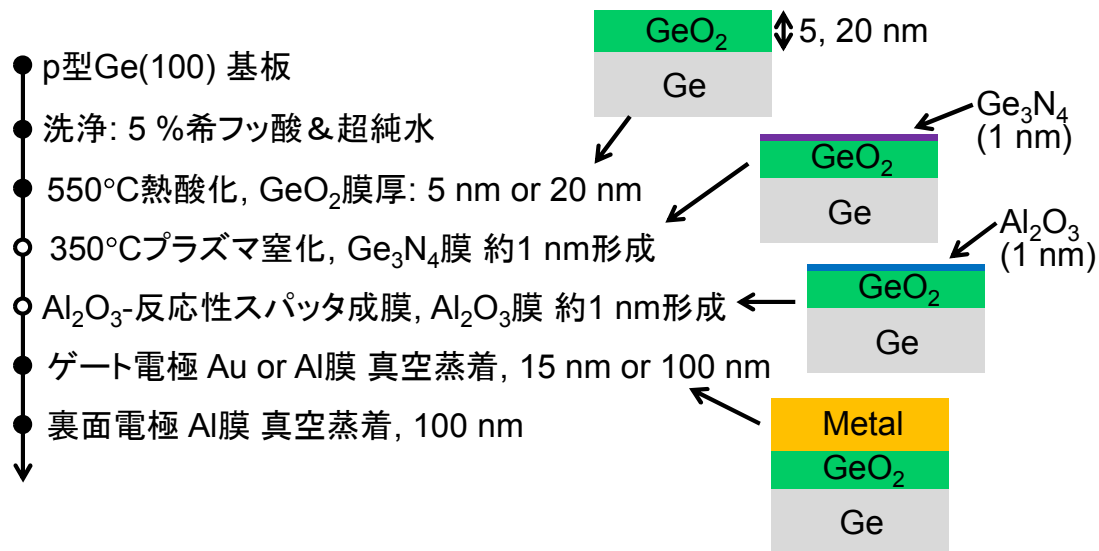


図 3.2 試料作製プロセス

3.2.2 評価手法

本章で用いた評価 (分析) 手法を以下にまとめた。

3.2.2.1 Ge-MOS キャパシタの電気特性評価

容量-電圧特性 (Capacitance-Voltage: C-V)、電流-電圧特性 (Current-Voltage: I-V)

作製した MOS キャパシタの電気特性は、C-V 測定および I-V 測定により評価した。典型的な MOS キャパシタの電気特性の事例として、熱酸化により p 型 Si 基板上に SiO₂ 膜を 100 nm 形成した試料の C-V, I-V 結果を図 3.3 に示した。図 3.3(a)において、ゲート電圧 0 V 付近を境にして負電圧側は容量が増加し、正電圧側は容量が低下していることがわかる。この容量が増加しはじめる電圧値は、絶縁膜のエネルギーバンドがフラットな状態であることを意味しており、V_{FB} と定義される[10]。V_{FB} は MOS 構造のエネルギーバンド構造の指標

であり、MOS キャパシタの動作を制御する上で重要なパラメータの一つである。ゲート電極に負電圧が印加されたキャリア蓄積状態の容量から EOT が求められる。EOT は絶縁膜厚をスケールリングする際の MOS キャパシタの性能の指標となる。一方、正電圧方向に電圧が印加されると、正孔が SiO₂/Si 界面から遠ざかるため容量が低下し（空乏領域）、さらに正方向に電圧が印加されると、Si のエネルギーバンドの曲がりが増加し、少数キャリアである電子が SiO₂/Si 界面に蓄積される（反転領域：ただし、高周波数 C-V 測定では容量の増加は見られない）。空乏領域、反転領域の容量は SiO₂/Si 界面に存在する欠陥などにトラップされるキャリアの応答を示すため、MOS キャパシタの界面特性を示す指標となる。また、図 3.3(a)において、C-V 曲線における行き（赤）と帰り（青）の差（ヒステリシス）は絶縁膜または SiO₂/Si 界面にトラップされる電荷の応答を表すため、MOS 特性の重要な指標である。なお、図 3.3(a)はヒステリシスが小さいことを示しており、熱酸化で形成された SiO₂/Si 構造の MOS キャパシタの電荷トラップサイトが少ないことを表す。図 3.3(b)は絶縁膜のリーク電流特性を表しており、SiO₂ 膜においては、ゲート電圧、-55 V 程度まで絶縁破壊が起かない良好な膜であることが確認できる。

本章の Ge-MOS キャパシタは周波数 1 MHz で C-V 測定を行った。また、C-V, I-V とともに室温で測定した。EOT は C-V 曲線の容量最大値から、 V_{FB} は絶縁膜の容量および Ge 基板の容量から見積もられるフラットバンド容量 (C_{FB}) から求めた。

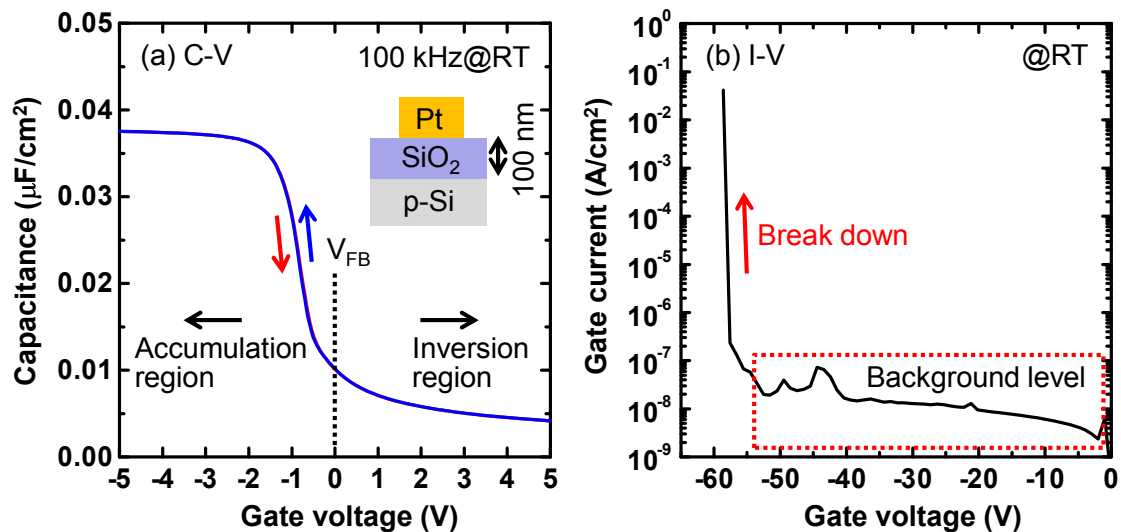


図 3.3 熱酸化 SiO₂ 膜(100 nm)を絶縁膜とする MOS キャパシタの電気特性事例.

(a) C-V 結果, (b) I-V 結果

3.2.2.2 金属電極/GeO₂界面の構造および化学状態の評価透過型電子顕微鏡観察 (Transmission electron microscope: TEM)

作製した Ge-MOS キャパシタの断面構造は TEM により観察した。TEM は、厚さ 50～150 nm 程度まで薄片化した試料に電子線を入射し、電子線の透過像を観察することで、ナノメートルオーダーの微小領域の形態を観察する手法である[11]。近年の微細化された最先端 MOSFET の構造はナノメートルオーダーのサイズであるため、作製した実際のデバイス構造の評価にも原子レベルの観察が必要となる。そのため、今や半導体デバイスの開発には TEM 観察が必須である。図 3.4 に、TEM の電子線光路の模式図および多波干渉像の事例 (多結晶 Si) を示した。試料を透過した電子線は最初に対物レンズにより拡大され、さらに中間レンズで拡大される。光学顕微鏡のレンズがガラスなどの屈折率が空気に異なるものを利用するのに対し、電子顕微鏡のレンズは電磁石であり、これにより電子線の向きを変える。また、試料が結晶物であった場合、一部の入射電子は回折の影響を受ける。多波干渉像[図 3.4(b)]には回折の影響を受けた電子も取り込まれており像中に格子縞が観察される。

本研究では、試料加工ダメージが比較的少ないイオンミリング法により試料を薄片化し、入射電子線の加速電圧を 300 kV に設定し多波干渉像を取得した。

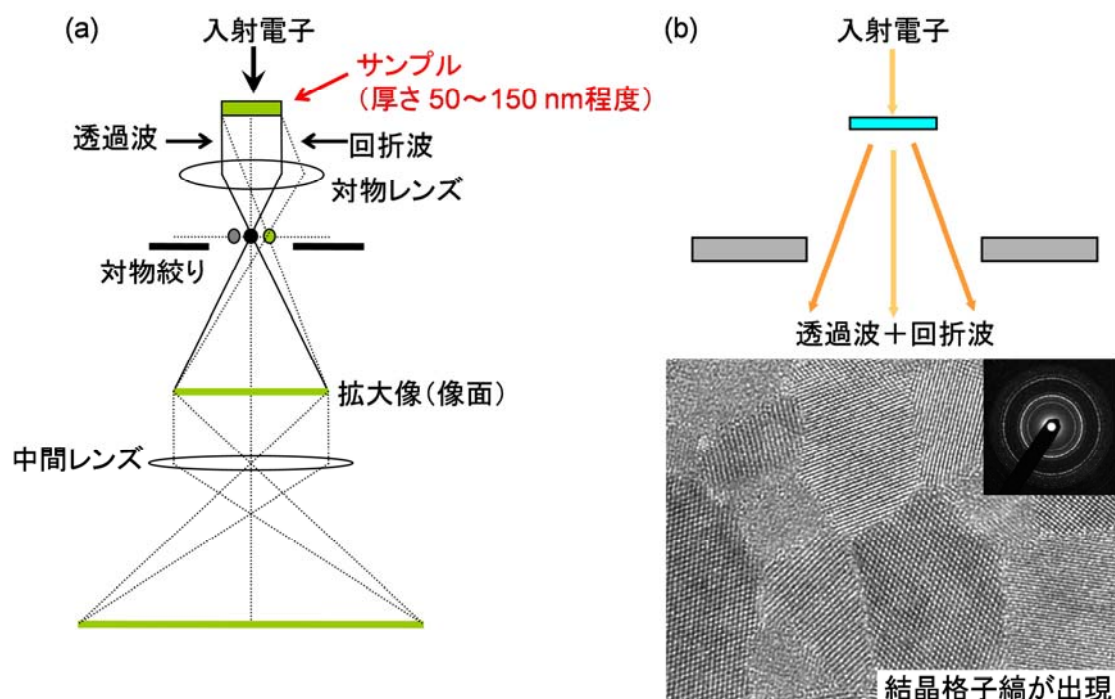


図 3.4 (a) TEM の電子線光路の模式図,
(b) 多波干渉像の概念図と観察像の事例 (多結晶 Si)

X線光電子分光法 (X-ray photoelectron spectroscopy: XPS)

XPSの原理は2章で述べた通りである。本章では、測定チャンバー内でAr⁺イオンによるエッチングとXPS測定を繰り返すことで、MOS構造試料の深さ方向の元素分布（デプスプロファイル）を調べた。XPSは検出深さが浅い特徴と主成分元素の定量が可能な特徴があるため、イオンエッチングを併用することで元素組成の深さ方向分析ができる。図3.5に、XPS深さ方向分析の模式図と、XPSにより得られたSi基板上にSiO₂膜が100 nm形成された試料のデプスプロファイルおよび光電子スペクトルの重ね合わせを示す。図3.5(b)において、横軸はエッチング時間（スパッタリング時間）、縦軸は元素組成である。エッチング時間0分（最表面）から約17分まで、SiO₂膜の情報が得られていることが元素組成からも判断でき、エッチング時間17分以降はSi基板の情報が検出されていることがわかる。一般的なXPS装置にはエッチング用のイオン源が標準的に搭載されており、深さ方向の元素分析が実施できるようになっている。ただし、材料によっては、Ar⁺イオンでエッチングを施した際に、顕著に変性が起きる場合があり注意が必要である。例えば、TiO₂やHfO₂などの酸化物は、Ar⁺イオンでエッチングすると、チタンやハフニウムの還元が起きることが知られている[12]。なお、SiO₂はイオンエッチングを施しても顕著な変性が起きない（無視できる）ことが知られており、図3.5のデプスプロファイル（組成）やO1s, Si2pスペクトルでもSiO₂の顕著な変性は認められない。本研究で取り扱うGeO₂についても、SiO₂と同様にAr⁺イオンエッチングによる還元の影響が少ない（無視できる）ことを事前に確認している。

本章で使用したXPS装置のX線源はAl K α 線源（ $h\nu=1486.6$ eV）、X線入射角度は試料平面に対して90°、光電子検出角度は45°である（検出角度が大きいほど検出深さが深い）。また、エッチング用のAr⁺イオンの加速電圧は1 kV、ラスターサイズ（エッチングした領域）は2×2 mmに設定した。

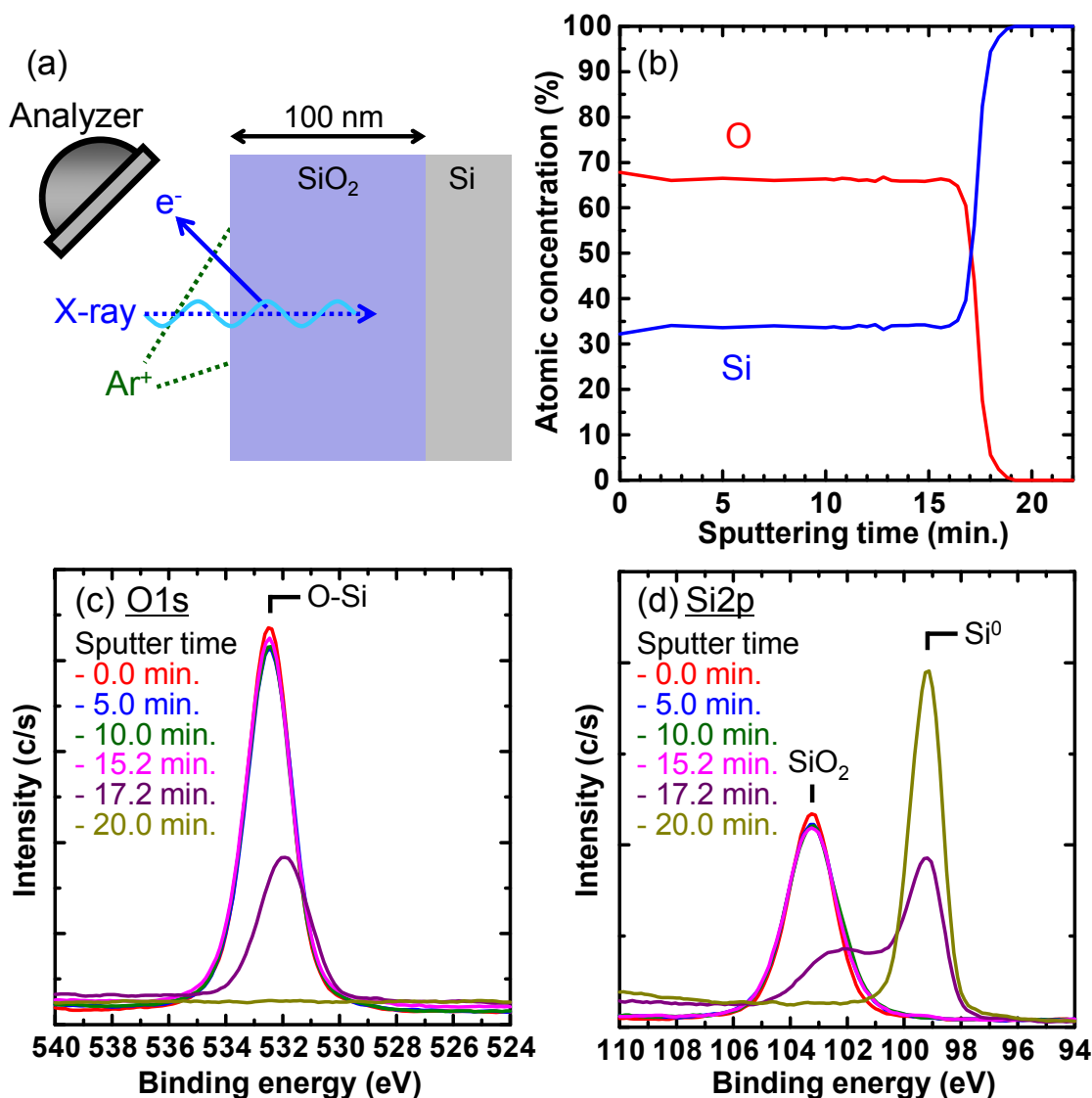


図 3.5 (a) XPS による深さ方向分析の模式図, (b) XPS により得られた Si 基板上に SiO₂ 膜が 100 nm 形成された試料のデプスプロファイル, (c) O1s, (d) Si2p スペクトル. 光電子検出角度は 45°, Ar⁺イオンの加速電圧は 2 kV に設定した.

3.2.2.3 硬 X 線光電子分光法による金属電極/GeO₂ 界面の評価

硬 X 線光電子分光法 (Hard x-ray photoelectron spectroscopy: HAXPES)

上述した実験室で一般的に用いられる XPS の検出深さは表面から深さ数 nm 程度である。そのため、金属電極の膜厚が 10 nm を超えている試料の Metal/GeO₂ 界面を XPS で評価するためには、上述した Ar⁺イオンエッチングを施す必要がある。GeO₂ は Ar⁺イオンエッチングの影響が少ないことを確認しているものの、本来は非破壊で Metal/GeO₂ 界面の化学状態を調べることが望ましい。

一方、金属電極を数 nm 以下の膜厚で成膜し、XPS で Metal/GeO₂ 界面を評価することも可能ではあるが、金属電極が薄すぎると金属膜が均一に成膜できない場合があることや、金属電極としての機能を果たさない可能性もある。その場合、物理分析用の試料と実際の MOS キャパシタとで Metal/GeO₂ 界面の状態が変わる可能性がある。そのため、物理分析用の試料についても、金属膜を 10 nm 以上成膜し、実際の金属電極/GeO₂ スタック構造に近い状態で評価を行うことが望ましい。

そこで本研究では、GeO₂ 膜上に金属膜を約 15 nm 成膜したスタック構造の試料について、入射 X 線のエネルギーが XPS の軟 X 線 (Al K α 線源: 1486.6 eV) より高く、検出深さが XPS より深い HAXPES 測定を適用した[13]。HAXPES の測定原理は XPS と基本的に同じであり、異なるのは入射 X 線のエネルギーと検出する光電子の運動エネルギーである。HAXPES の特徴を示す事例として、Si 基板上に SiO₂ 膜が 25 nm 形成された試料に対して、XPS と HAXPES を適用した結果を図 3.6 に示した[14]。XPS で得られた Si2p では、SiO₂ 膜の情報のみが得られており、SiO₂ 膜 (25 nm) の下の Si 基板 (Si⁰) の情報は得られていない。一方、HAXPES で得られた Si1s では、SiO₂ 膜の情報だけでなく、25 nm の SiO₂ 膜越しに Si 基板の情報も得られていることがわかる。HAXPES は、材料の構成元素や測定する光電子ピークのエネルギーにも依存するが、最大で 30 nm 程度の深さの情報を非破壊で得ることができる特徴を有する。検出深さが通常の XPS より深いことを利用して積層膜の界面の情報を得る使い方に加えて、試料表面に少量の汚染物が付着していても無視できるレベルで評価する使い方もある。本研究では、放射光施設 SPring-8 の BL47XU にて HAXPES 測定を実施した。入射 X 線のエネルギーは 7939.9 eV であり、X 線の入射角度は試料平面に対して 2°, 光電子検出角度は 88°に設定した (検出角度が大きいほど検出深さが深い)。

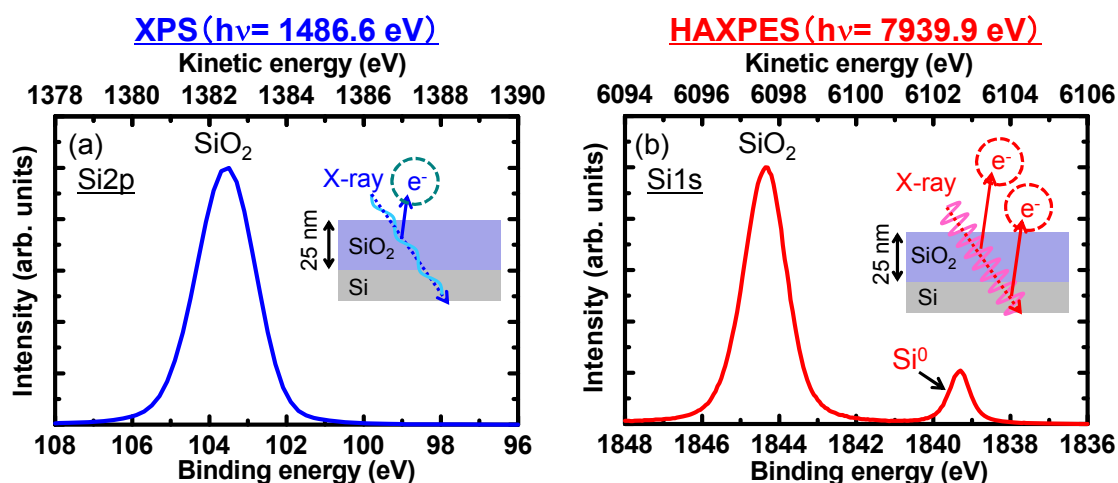


図 3.6 Si 基板上に SiO₂ 膜が 25 nm 形成された試料の XPS および HAXPES 結果の比較。 (a) XPS (hv = 1486.6 eV) で得た Si2p, (b) HAXPES (hv = 7939.9 eV) で得た Si1s スペクトル。光電子検出角度はどちらも 80°。 [14]

3.3 結果と考察

3.3.1 異なる電極材料を有した Ge-MOS キャパシタの電気特性

図 3.7 に、Au/GeO₂/Ge および Al/GeO₂/Ge MOS キャパシタの C-V, I-V 特性を示した。C-V 結果において、両試料ともゲート電極に負方向の電圧が印加されると、p 型 Ge 基板側に正孔が蓄積され容量が増加する。蓄積領域 (-2.0~-1.5 V 付近) の容量最大値 ($C_{\max}$) から見積もった EOT は、どちらの MOS キャパシタとも 4.6~4.7 nm であり試料間で顕著な違いは認められなかった。また、Au ゲートおよび Al ゲート MOS キャパシタの V_{FB} はそれぞれ -0.05, -0.45 V と見積もられた。金属の真空仕事関数を考慮すると、Au ゲートおよび Al ゲート MOS キャパシタの理想 V_{FB} 値はそれぞれ約 0.5, -0.5 V である。すなわち、Al ゲート MOS キャパシタの V_{FB} は理想値に近いが、Au ゲート MOS キャパシタでは、 V_{FB} が理想値より負方向にシフトしていた。この結果は、Alzakia らが過去に報告した傾向と一致しており [9]、Au/GeO₂ 界面における GeO₂ の酸素欠損が誘起する正電荷が V_{FB} の負方向シフトを引き起こしたと考えられる。Au ゲート MOS キャパシタの C-V 曲線においてヒステリシスがわずかに認められたことも、このような電荷が生じるトラップサイトの存在を示唆したと考えられる。

一方、Al ゲート MOS キャパシタでは、Au ゲート MOS キャパシタと比べて C-V 曲線のヒステリシスは小さいものの、空乏領域 (0 V 付近) において顕著なハンプ (コブ) 構造が認められた。この結果は、GeO₂ 膜上に Al 膜を形成しただけで、GeO₂ 膜中または GeO₂/Ge 界面に欠陥準位が形成されたことを示唆している [15, 16]。また、I-V 結果において、Al ゲート MOS キャパシタは Au ゲート MOS キャパシタと比べて、リーク電流量が 4 桁以上高いことがわかった。これらの結果は、Ge-MOS キャパシタの電気特性が金属電極の元素種に強く依存することを明確に示しており、特に Al ゲート MOS キャパシタでは深刻な絶縁特性の劣化があると認識された。Al 電極は MOS キャパシタのゲート電極として一般的に用いられる材料でもあり、特に仕事関数が小さいため n チャネル MOSFET のしきい値電圧 (V_{th}) 制御の観点で有利であることから、Al と GeO₂ の界面反応メカニズムの理解と、このような不利益をもたらす界面反応の抑制が極めて重要であると言える。

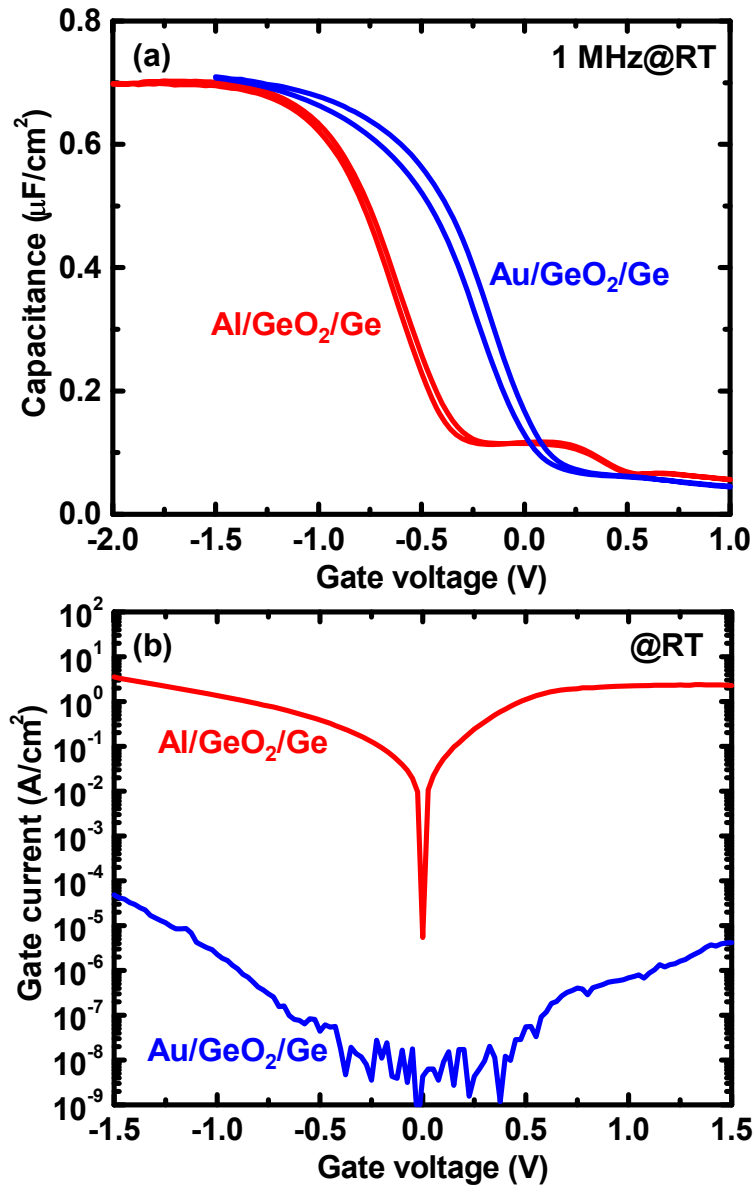


図 3.7 Au/GeO₂/Ge および Al/GeO₂/Ge MOS キャパシタの(a) C-V および(b) I-V 曲線

3.3.2 金属電極/GeO₂界面構造の物理分析結果

図 3.8 に、Au/GeO₂/Ge および Al/GeO₂/Ge スタック構造の断面 TEM 像（多波干渉像）を示した。Au ゲートスタック構造では、Au/GeO₂ 界面に顕著な反応層は認められなかった。Au が不活性な性質を有するためであると考えられる。一方で、Al ゲートスタック構造では、Al/GeO₂ 界面に数 nm 程度のコントラストが異なる層が明確に観察された。この界面層のコントラストは Al 電極の表層側に認められる Al の自然酸化膜（Al₂O₃）のコントラストと類似しているため（図中の矢印で示した領域）、GeO₂ 膜上に Al 膜を形成すると、Al/GeO₂ 界

面に Al の酸化層が形成されると推定される。加えて、Al/GeO₂ 界面の Al 酸化層の直下にコントラストがやや濃い領域が認められており、この領域についても界面反応による変性物の存在が疑われる。

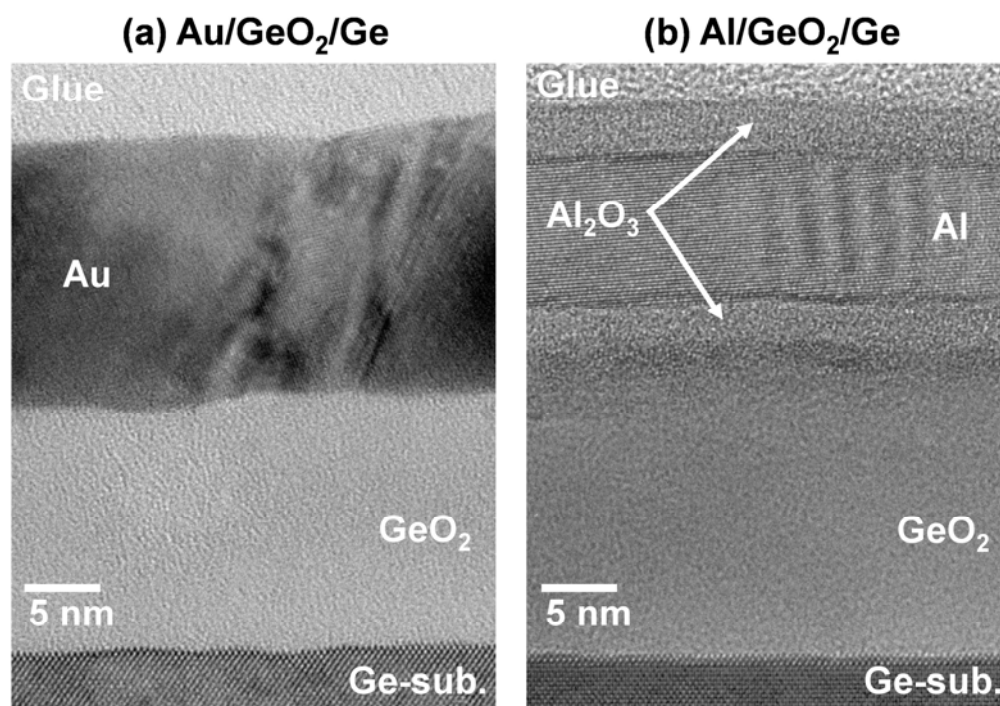


図 3.8 (a) Au/GeO₂/Ge および(b) Al/GeO₂/Ge スタック構造の断面 TEM 像

そこで、Metal/GeO₂ 界面の反応を詳細に調べるため、Au/GeO₂ および Al/GeO₂ 界面の化学状態を XPS 深さ方向分析により調べた。図 3.9 に、XPS により得られた Au/GeO₂/Ge および Al/GeO₂/Ge スタック構造における各元素のデプスプロファイルを示した。なお、各深さにおいて取得した Al2p および Ge3d スペクトルの化学状態解析を行い、それぞれ Al₂O₃ と Al⁰ および GeO₂ と Ge⁰ を成分分離しデプスプロファイルに反映させたことを付記しておく (Al2p, Ge3d スペクトルは図 3.10 参照)。Au ゲートスタック構造のデプスプロファイルでは、Au/GeO₂ 界面において顕著な界面層は認められなかった。そのため、TEM 像で見られた通りの急峻な界面が形成されていると XPS 結果からも判断される。対照的に Al ゲートスタック構造のデプスプロファイルでは、Al 酸化物 (Al₂O₃) が Al 電極表面および Al/GeO₂ 界面で顕著に検出された。なお、Al₂O₃ が GeO₂ 膜中で減衰しつつも存在しているように見えるが、Al₂O₃ はイオンエッチング時に一部が深部に押し込まれ (ノックオン)、デプスプロファイルが見かけ上テーリングすることが知られているため、GeO₂ 膜中の Al₂O₃ の存在有無は判断できないことに注意が必要である。ただし、Al/GeO₂ 界面で Al₂O₃ の濃度が局所

的に増加していることから、Al/GeO₂ 界面に Al₂O₃ が存在 (Al/GeO₂ 界面で偏析) していることは明確に判定できる。ここで、Al 電極表面の Al₂O₃ は Al の自然酸化膜に由来すると考えられ、Al/GeO₂ 界面の Al₂O₃ は Al 電極形成の際に Al と GeO₂ が反応し形成されたと考えられる。また、Al/GeO₂ 界面において Ge⁰ も検出されている。Au ゲートスタック構造の Au/GeO₂ 界面で Ge⁰ は認められないことから、Al/GeO₂ 界面で認められた Ge⁰ はイオンエッ

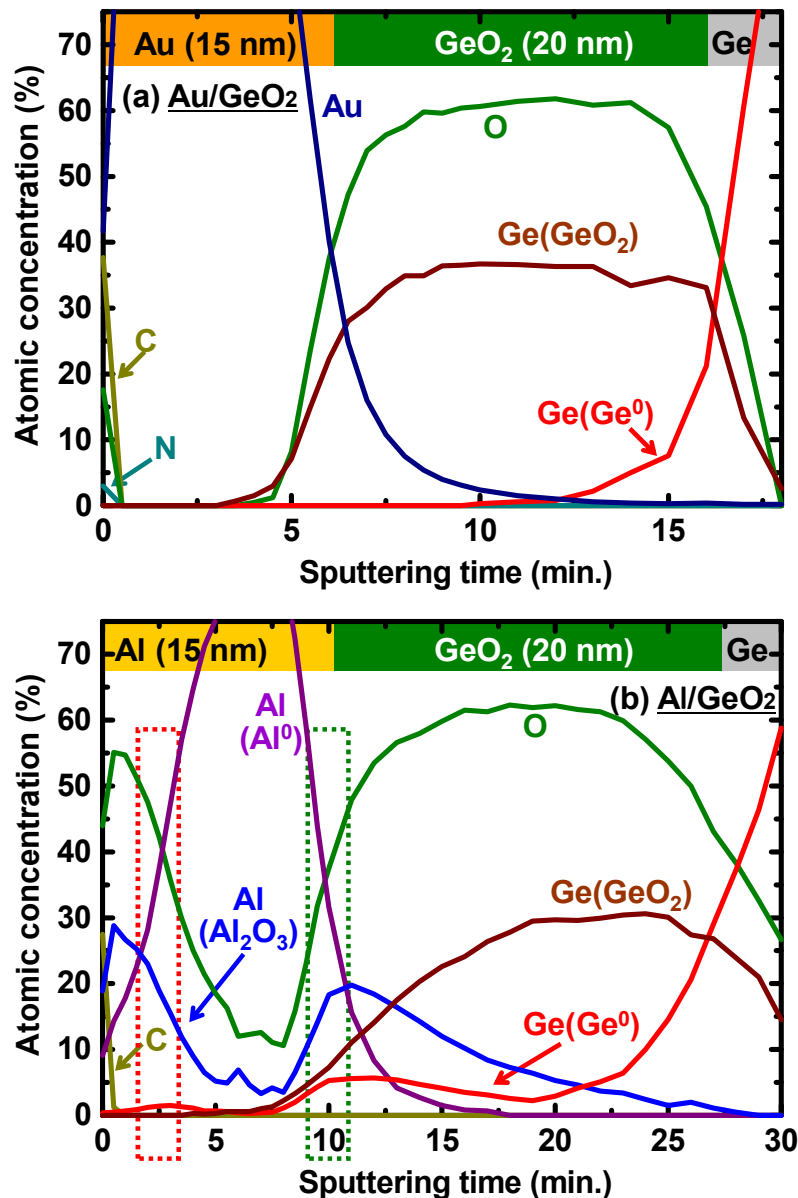


図 3.9 XPS 深さ方向分析により得られた(a) Au/GeO₂/Ge および(b) Al/GeO₂/Ge スタック構造のデプスプロファイル。横軸（スパッタリング時間）は、金属電極表面を基準としたスタック構造の深さを表す。なお、Al2p および Ge3d の波形分離を行い、それぞれ Al₂O₃ と Al⁰ および GeO₂ と Ge⁰ に成分分離してデプスプロファイルに反映させた。

チングで生成されたものではないと言える。すなわち、GeO₂膜上にAl電極を形成した時に、Alの酸化とGeO₂の還元が同時に起きたと考えられる。このAl/GeO₂界面における酸化-還元反応は大田らの報告とも一致している[7]。Alゲートスタック構造のTEM像において、Al/GeO₂界面のAl₂O₃層の直下で認められたコントラストがやや濃い領域は、GeO₂より密度が高いGe⁰に由来する可能性が高い。さらに我々は、Ge⁰に帰属される成分がわずかにAl電極の表層にも存在することを見出した[図3.9(b)]。

図3.10に、XPS深さ方向分析で得られたAlゲートスタック構造のAl電極表面（スパッタ時間3分）およびAl/GeO₂界面（スパッタ時間10分）のAl2pおよびGe3dスペクトルの重ね合わせを示した。Al2pスペクトルから、Al/GeO₂界面においてAl⁰とAl₂O₃がともに存在することがわかる。さらに、Al/GeO₂界面において、GeO₂だけでなくGe⁰も存在することがGe3dスペクトルより判断できる。これらは上述したAl膜とGeO₂膜の界面における酸化-還元反応を示している。ここで、Al電極表面で検出されたGe⁰は、Al/GeO₂界面で認められたGe⁰より低結合エネルギー側にシフトしていた。Al/GeO₂界面のGe⁰は、Ge3dピーク位置から判断してGe-Ge結合に帰属される。一方でAl電極表面のGe⁰は、Al膜中でGeがAlと結合しGe-Al合金を形成したと考ええると、GeとAlの電気陰性度（Ge: 1.8, Al: 1.5）の違いによる電荷移動の観点で低結合エネルギー側へのシフトを説明できる[17]。なお、Alゲートスタック構造の試料において、Al膜の膜厚が厚くなっても、Al電極表層側にGe-Al結合（Ge-Al合金）が存在することを確認している（図3.11参照）。Ge-Al合金はAl膜の中間層領域に存在しないことから、Al膜厚に依存せずAl膜表層のみに存在することがわかった。

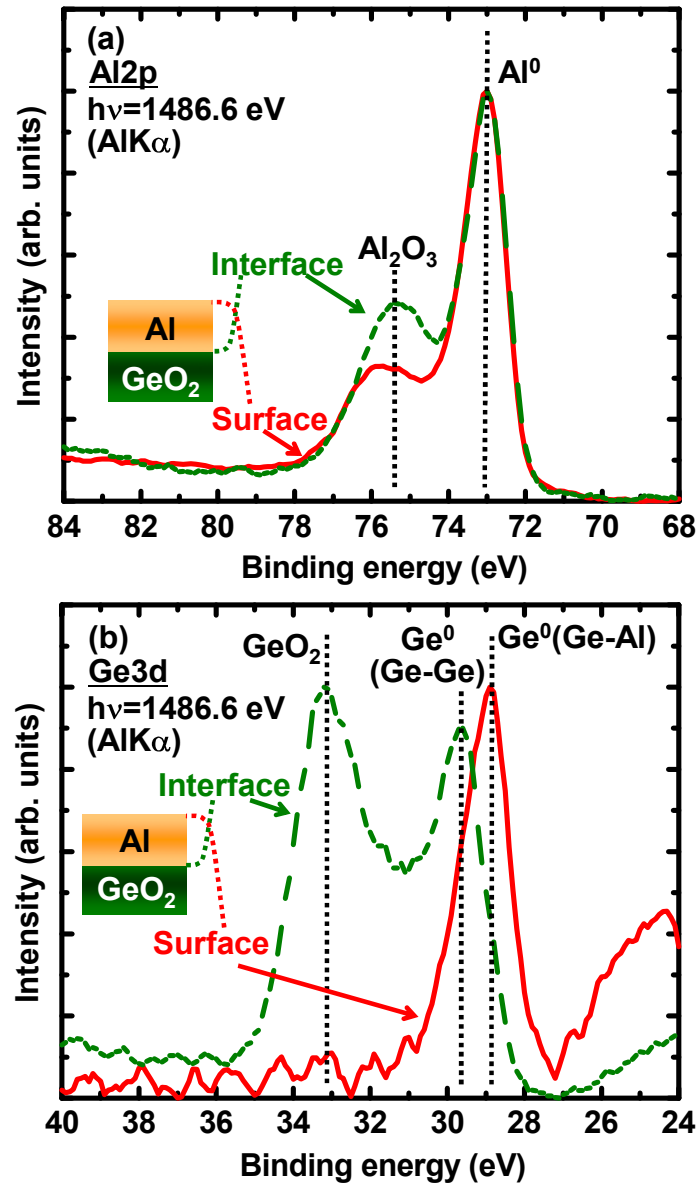


図 3.10 XPS 深さ方向分析により得られた Al 電極表面 (スパッタリング時間 3 分) および Al/GeO₂ 界面 (スパッタリング時間 10 分) の (a) Al₂p および (b) Ge₃d スペクトル. スパッタリング時間は図 3.9(b) の横軸 (深さ) に相当する. スペクトルの縦軸は光電子強度の最大値と最小値で規格化されている.

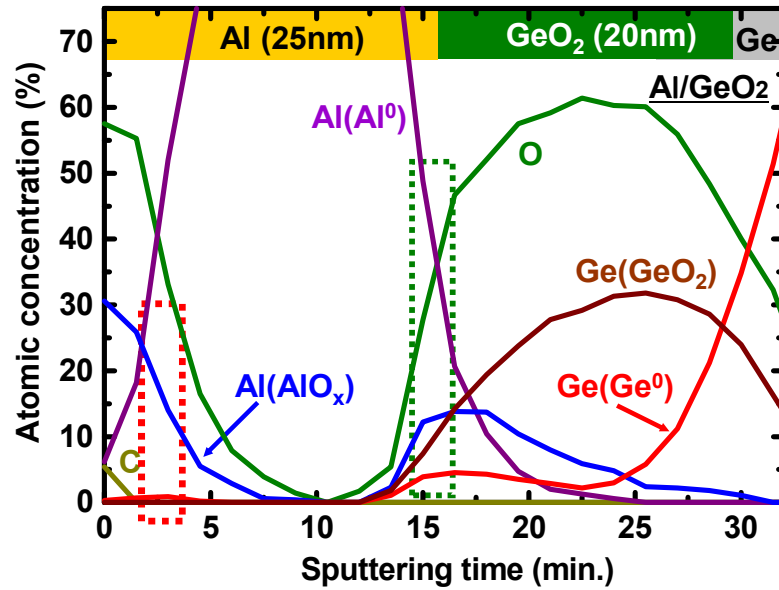


図 3.11 XPS 深さ方向分析により得られた Al/GeO₂/Ge スタック構造のデプスプロファイル. 図 3.9(b)の Al ゲートスタック構造より Al 電極の膜厚が厚い試料の結果. データ処理方法は図 3.9 と同様である.

さらに Ge-Al 合金について調べるため、HAXPES による Ge の化学状態解析を行った。図 3.12 に、HAXPES により得られた Au/GeO₂/Ge および Al/GeO₂/Ge スタック構造における Ge2p_{3/2} スペクトルを示した。HAXPES により、膜厚約 15 nm の Al または Au 膜越しに、GeO₂ および Ge⁰ (Ge 基板の情報も含む) の情報が非破壊で検出されている。Au/GeO₂/Ge スタック構造では Ge-Al 合金の存在は認められないが、Al/GeO₂/Ge スタック構造では合金層に由来するピーク (1217 eV 付近) が明確に検出された。すなわち、HAXPES を用いることで、Metal/GeO₂ 界面の非破壊分析が可能となった。

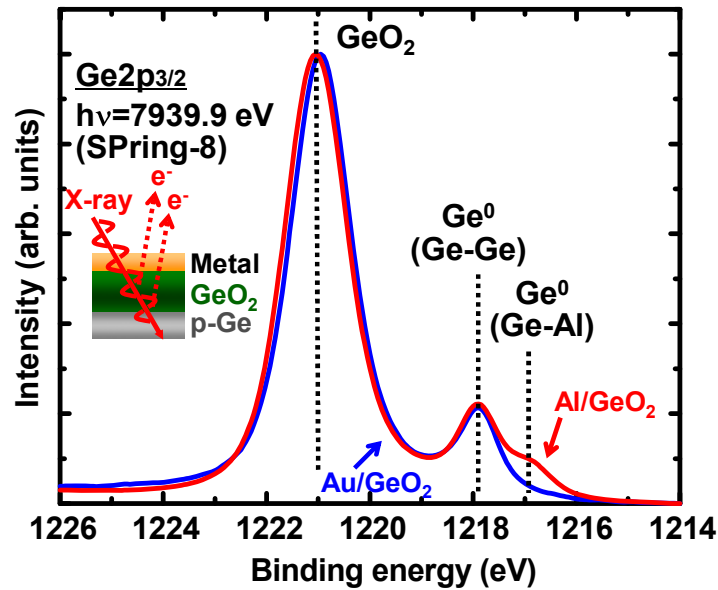


図 3.12 HAXPES により得られた Au/GeO₂/Ge および Al/GeO₂/Ge スタック構造の Ge2p_{3/2} スペクトル。縦軸は GeO₂ ピークで規格化されている。

ここで、大気曝露による GeO₂ 膜の劣化が Metal/GeO₂ 界面の状態に及ぼす影響を確認する実験を行った。2 章で述べた通り、GeO₂ 膜は大気曝露により水分などの不純物を吸収し劣化する。これまで述べた実験で用いた試料は全て、GeO₂ 膜形成後速やかに金属電極を形成することで、可能な限り大気曝露の影響を抑えて作製しているが、劣化した状態の GeO₂ 膜の上に金属膜が成膜された場合の挙動を把握しておく必要がある。

図 3.13 に、HAXPES により得られた GeO₂ 膜形成後速やかに金属膜を形成した試料と、1 日間大気曝露 (Air expo.) した後に金属膜を形成した試料の Ge2p_{3/2} スペクトルを示した。Au ゲートスタック構造および Al ゲートスタック構造の試料どちらも大気曝露による Ge2p_{3/2} スペクトルの顕著な変化は認められなかった。すなわち、Metal/GeO₂ 界面の研究では大気曝露の影響を顕著に受けることはなく、Al/GeO₂ 界面反応により生成される Ge-Al 合金も大気曝露とは無関係であり、Al/GeO₂ 界面の本質的な現象であると言える。

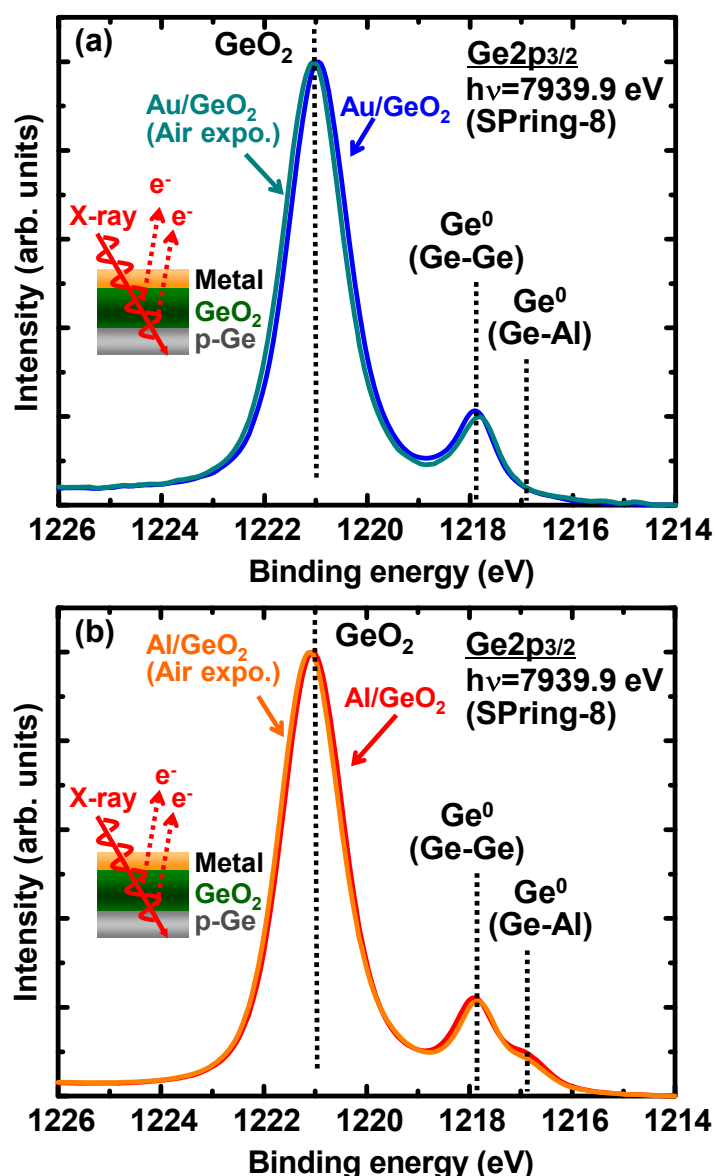


図 3.13 HAXPES により得られた GeO₂ 膜形成後速やかに金属膜を形成した試料と、1 日間大気曝露 (Air expo.) した後に金属膜を形成した試料の Ge₂p_{3/2} スペクトルの比較. (a) Au/GeO₂/Ge, (b) Al/GeO₂/Ge. 縦軸は GeO₂ ピークで規格化されている.

3.3.3 Al/GeO₂ 界面反応メカニズムのモデル化

上述した実験事実に基づき、GeO₂ 膜上に Al 電極を形成した際の界面反応メカニズムをモデル化した。図 3.14 に Al/GeO₂ 界面反応モデルを模式図で示した。

GeO₂ 膜上への Al 蒸着の初期段階 (1st stage) において、酸素との反応性が高い Al は、室温蒸着であっても GeO₂ から酸素を引き抜き、AlO_x を形成する。その際、GeO₂ は還元し

Al/GeO₂ 界面において Ge-Ge および Ge-Al 結合が形成される (2nd stage)。その後、Al 電極が連続的に形成される過程において、Ge-Al 合金は Al 電極の表層に拡散する (Final stage)。Ge-Al 合金は Al 電極の中間層領域には存在しないため[図 3.9(b), 図 3.11]、Al 表面に偏析する性質を有すると考えられる。Al 中の Ge の固溶限は 2 %以下程度であることが報告されており[18, 19]、また、理論研究において、Al バルク中で Ge 原子は不安定であり、Al 表面に自発的に拡散することが示唆されている[20]。すなわち、界面反応後の GeO₂ の還元により形成された Ge⁰ の一部は Al 膜中に拡散するが、Al 中で Ge 原子は安定化しないため、Al 連続成膜の過程で Ge-Al 結合からエネルギー的に安定な Al-Al 結合と連続的に置換されながら Al 電極表面に拡散すると考えることができる。その結果、Ge-Al 合金は Al 電極表面に偏析する。Prabhakaran らは、Si 基板上にコバルト (Co) および Ge を積層した試料 (Co/Ge/Si 基板) に対して熱処理を施すと、Ge が表層側に拡散し、Ge/CoSi₂/Si 基板構造に変化することを報告している[21]。Ge が Co 中で安定化せず上方に拡散すると考えると、本研究の Ge 拡散の挙動と類似した現象であると考えられる。また、このような Ge の拡散現象は、ヘテロエピタキシャル成長の際に界面活性材として機能する原子の拡散および表面偏析現象にも似ていることも付記しておく[22]。

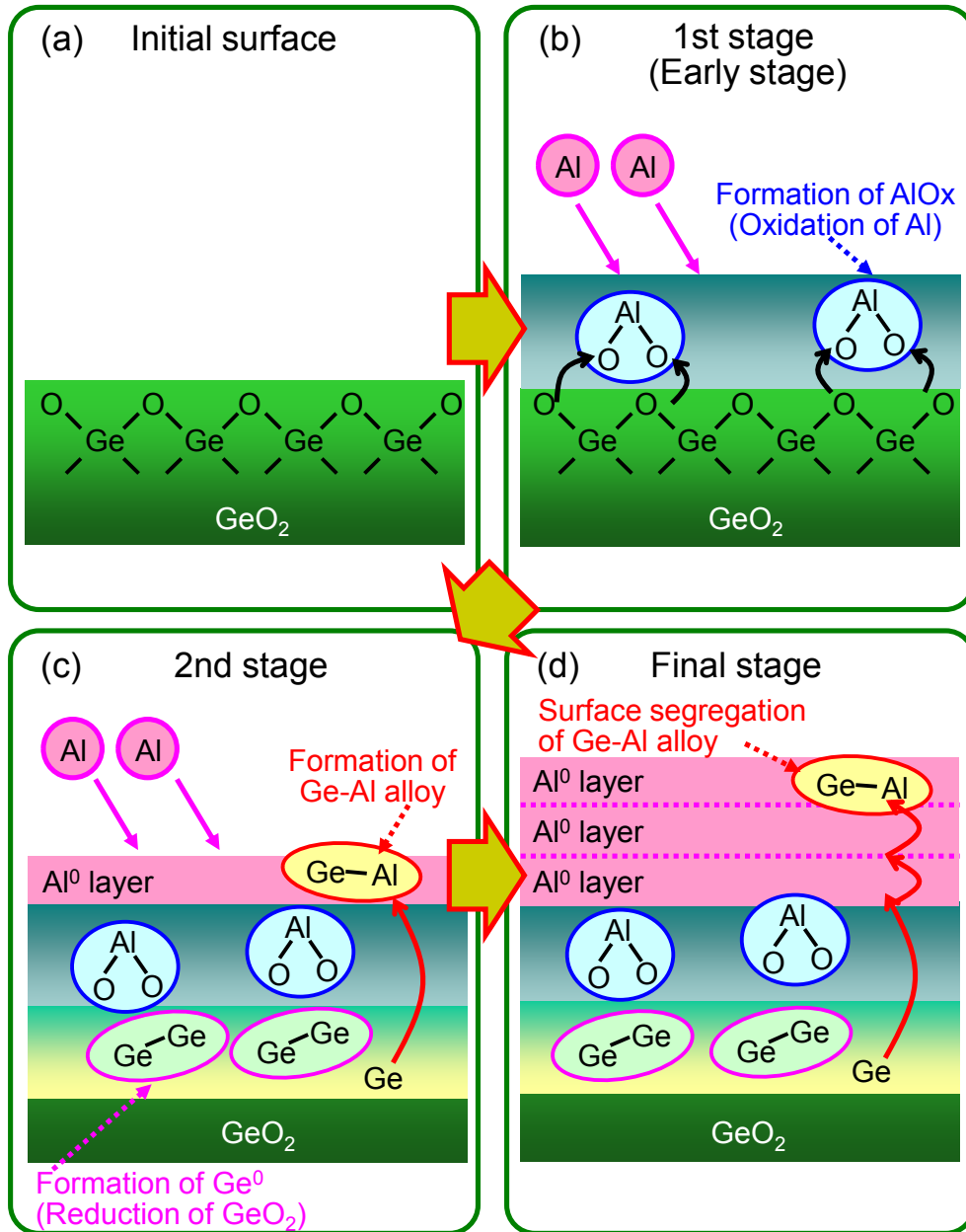


図 3.14 Al 電極と GeO₂ 絶縁膜の界面反応の模式図

3.3.4 Al/GeO₂ 界面反応制御技術の検証

これまでの電気特性評価と物理分析の結果を総合的に判断すると、Al/GeO₂ 界面の反応が GeO₂ の還元を引き起こし、その結果、GeO₂ 中に欠陥準位が形成され、加えて、変性物であり絶縁性が低い Ge⁰ はゲートリーク電流増加を引き起こすと考えられる。このような Al ゲート Ge-MOS キャパシタの電気特性に対して不利益をもたらす Al/GeO₂ 界面反応を抑制するため、界面反応のトリガーとなる界面での Al の酸化を抑制する技術を検証した。

Al に対する耐性を高めるため、Al と GeO₂ の間に安定バッファ層を挿入することを意図して、Al 成膜前の GeO₂ 膜表面の窒化 (Ge₃N₄ 形成[4])、また、極薄 Al₂O₃ 膜成膜[3]を試みた。

図 3.15 に HAXPES により得られた Al 膜形成前に GeO₂ 膜表面を窒化した試料 (Al/Ge₃N₄/GeO₂/Ge)、Al 膜形成前に極薄 Al₂O₃ 膜 (約 1 nm) を成膜した試料 (Al/Al₂O₃/GeO₂/Ge) および GeO₂ 膜上に Al 膜を直接成膜した試料 (Al/GeO₂/Ge) の Ge2p_{3/2}

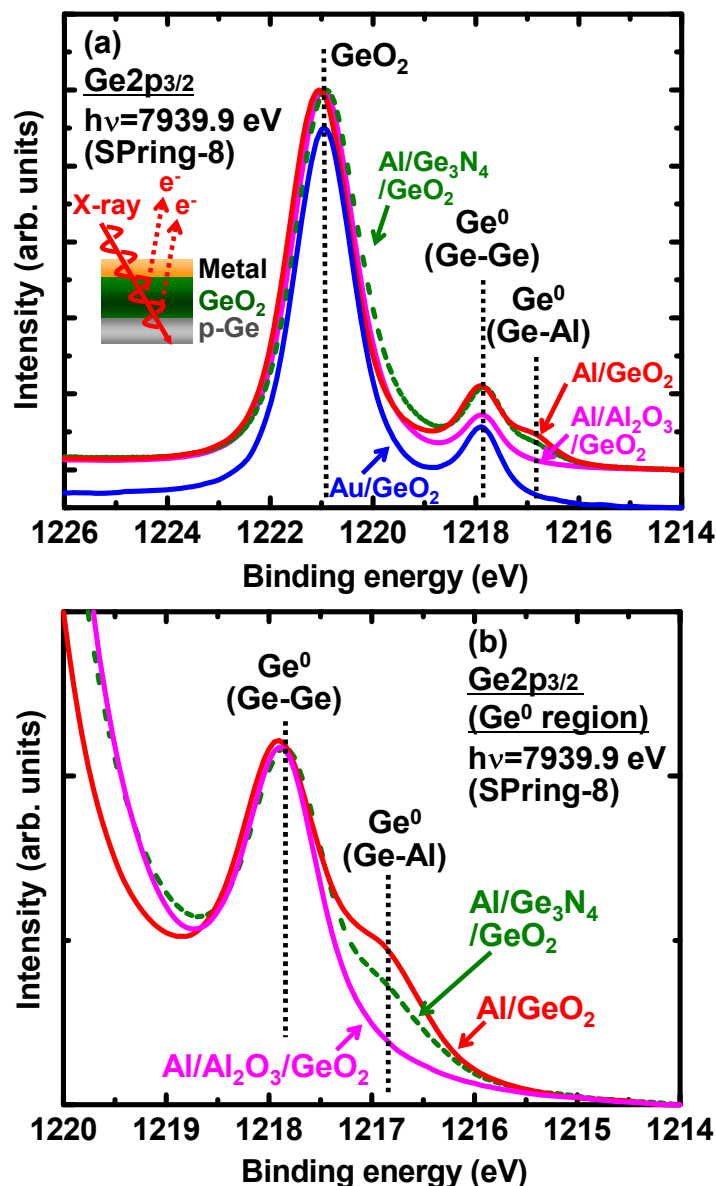


図 3.15 (a) HAXPES により得られた Au/GeO₂/Ge, Al/GeO₂/Ge, Al/Ge₃N₄/GeO₂/Ge および Al/Al₂O₃/GeO₂/Ge スタック構造の Ge2p_{3/2} スペクトル. (b) Al 電極試料の Ge2p_{3/2} スペクトルにおける Ge⁰ 領域の拡大図. 縦軸は Ge⁰ (Ge-Ge)ピークで規格化している.

スペクトルを示した。比較として、GeO₂ 膜上に Au 膜を直接成膜した試料 (Au/GeO₂/Ge) の結果も併せて示した。Al/GeO₂/Ge スタック構造では Ge-Al 合金が明確に検出されているが、GeO₂ 膜表面を窒化することで、Ge-Al 合金の生成が若干抑制されることを確認した。さらに、Al 膜形成前に極薄 Al₂O₃ 膜を成膜すると、Ge-Al 合金は検出されず、Al/GeO₂ 界面の反応が顕著に抑制されることが明らかになった。XPS 深さ方向分析でも、Al/GeO₂ 界面反応により生成される Ge⁰ (Ge-Al) の評価を行った結果 (図 3.16)、Al 膜中 (エッチング時間: 0~7 分) の Ge⁰ の濃度の傾向は HAXPES で認められた Ge-Al の強度の傾向と一致した。ただし、Al/GeO₂ 界面において極薄 Al₂O₃ 膜を挿入した試料でも、Ge⁰ がわずかに認められた。つまり、膜厚 1 nm 程度の極薄 Al₂O₃ 膜成膜では、Al 蒸着時の GeO₂ の還元を完全には抑制できていない可能性があり、さらなる最適化が求められている。

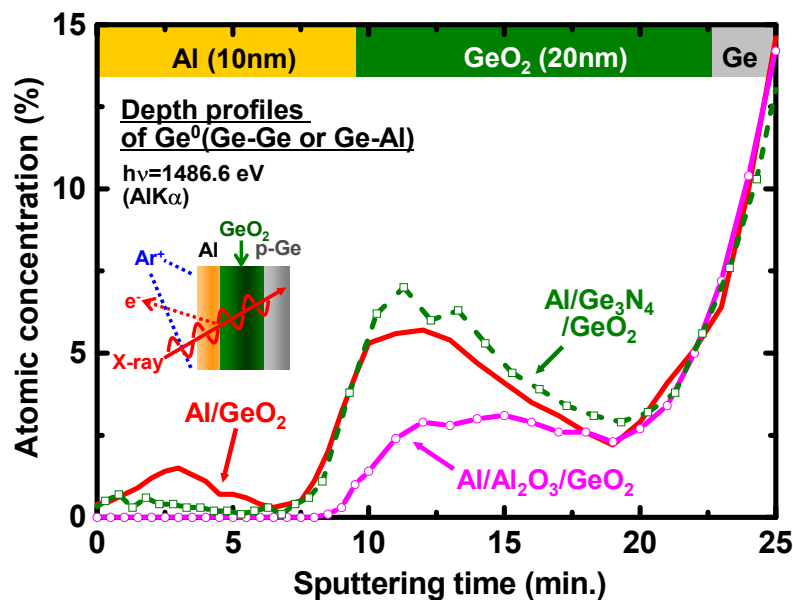


図 3.16 XPS 深さ方向分析により得られた Al/GeO₂/Ge, Al/Ge₃N₄/GeO₂/Ge および Al/Al₂O₃/GeO₂/Ge スタック構造の Ge⁰ のデプスプロファイル重ね合わせ. データ処理方法は図 3.9 と同様である.

本実験における GeO₂ 膜表面の窒化は Ge-Al 合金形成を十分に抑制できておらず、さらなる条件最適化が必要であったが、その後、本研究の共同実施者であった箕浦らは GeO₂ 膜表面窒化後の *in situ* Al 電極形成やアニール条件の検討を行い、Al/GeON/Ge MOS キャパシタにおいて良好な電気特性を報告している[23]。図 3.17 に、箕浦らが報告した *in situ* または *ex situ* Al 電極形成プロセスにより作製した Al/GeON/Ge MOS キャパシタの C-V 特性評価結果を示す。GeON 膜形成後、大気曝露した後 (*ex situ*) に Al 電極を形成した MOS キャパシ

タは、大気曝露せずに (*in situ*) Al 電極を形成した場合より C-V 曲線のヒステリシス増大が認められる。GeON 膜は GeO₂ 膜より大気への耐性が向上しているが[4]、大気中の水分により膜質の劣化が起きることも確認されている[24]。劣化した GeON 膜上に Al 電極を形成すると、Al/GeON 界面で反応が起きやすくなると推定されたため、*in situ* プロセスで MOS キャパシタを形成し、かつアニール条件も最適化することで良好な C-V 特性が得られている [図 3.17(d)]。他の研究機関においても、GeO₂ 膜上への極薄 Al₂O₃ 膜形成による Al ゲート MOS キャパシタにおける良好な電気特性結果も報告されており [25]、Al/GeO₂ 界面反応の理解と制御が電気特性改善の重要な指針であると結論付けられる。

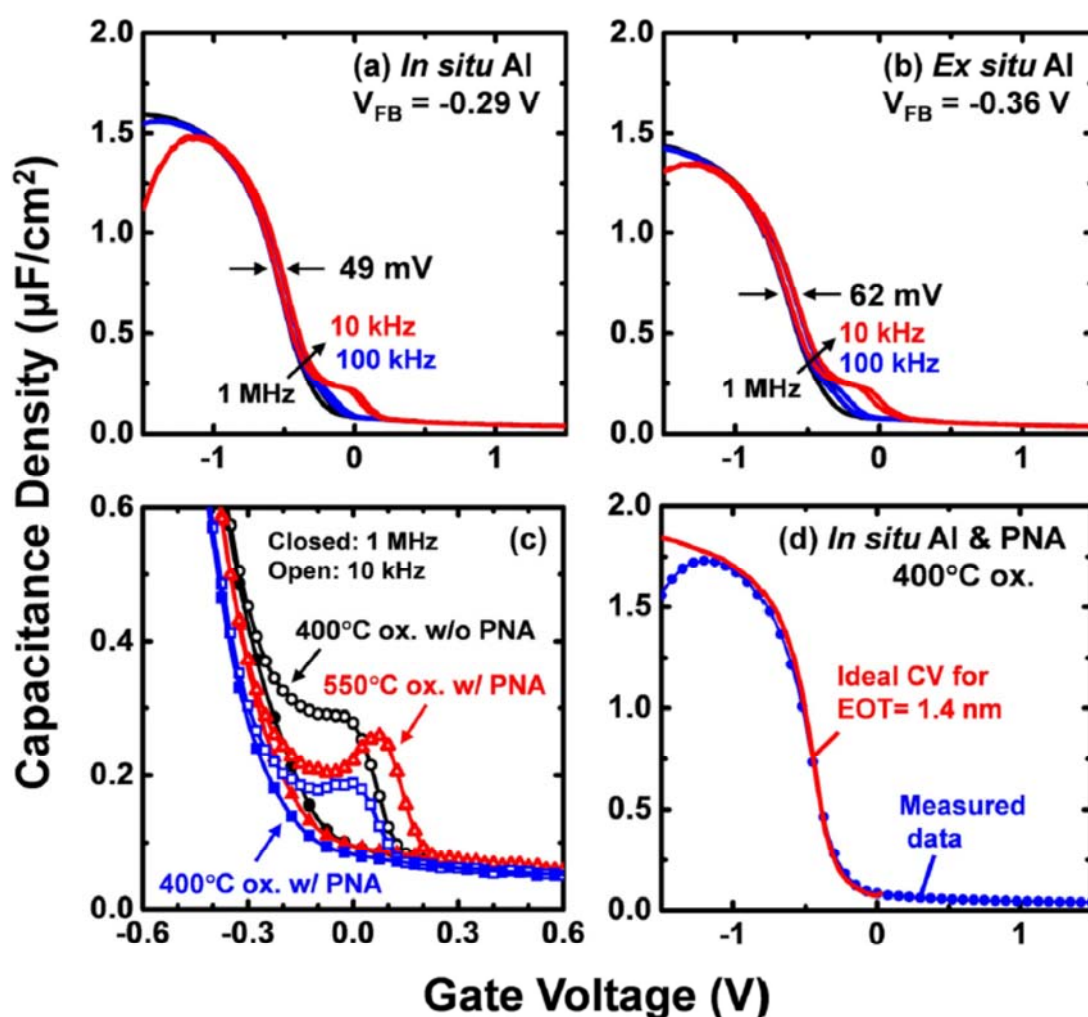


図 3.17 (a) *in situ*, (b) *ex situ* Al 電極形成プロセスにより作製された Al/GeON/Ge MOS キャパシタの C-V 曲線. (c) 様々な条件で作製された *in situ* 成膜 MOS キャパシタのゲート電圧 0 V 付近の C-V 曲線拡大図. (d) 最適条件で作製した *in situ* プロセス成膜 Al/GeON/Ge MOS キャパシタの高周波数 (1 MHz) C-V 曲線. [23]

3.4 結言

本章では、Metal/GeO₂/Ge スタック構造の試料を作製し、ゲート電極の元素種の違いが MOS キャパシタの電気特性に及ぼす影響と Metal/GeO₂ 界面の化学状態との相関関係を詳細に調べた。顕著な界面反応が認められた Al/GeO₂ 界面については、実験事実に基づいて界面反応メカニズムのモデルを提案し、Al/GeO₂ 界面反応を抑制するための改善技術について検証した。以下、本章で得られた知見および成果をまとめた。

電気特性のゲート電極金属種依存性

C-V, I-V 特性から、Ge-MOS キャパシタの電気特性は金属電極の元素種に強く依存することが示された。Au ゲート MOS キャパシタでは V_{FB} の理想値からの乖離がやや大きく、C-V 曲線にわずかなヒステリシスも認められた。一方、Al ゲート MOS キャパシタでは、欠陥準位の生成 (C-V 曲線のハンプ構造) やリーク電流の増加など、電気特性の深刻な劣化が認められた。仕事関数が小さい Al 電極は、n チャンネル MOSFET の V_{th} 制御の観点で重要な材料であるため、Al/GeO₂ 界面反応メカニズムの理解と抑制が重要である。

Metal/GeO₂ 界面の構造および化学状態

TEM, XPS および HAXPES 結果から判断して、Au/GeO₂ 界面に界面反応は認められなかった。一方、Al/GeO₂ 界面では顕著な界面反応が認められ、Al 電極形成時に Al の酸化と GeO₂ の還元が同時に起こることが確認された。さらに、Al/GeO₂ 界面反応により生成した Ge⁰ の一部が Al 電極中を拡散し、Al 電極表層に偏析する特異な現象を明らかにした。

Al/GeO₂ 界面反応と電気特性との相関関係の理解

Al 電極形成時に Al/GeO₂ 界面で反応が起き GeO₂ が還元される。それにより GeO₂ 膜中に欠陥が生成され、さらに絶縁性が低い Ge⁰ がリーク電流増大を引き起こしたと考えられる。電気特性評価と物理分析の相関解析により、電気特性劣化メカニズムを明確に提案できたことは本研究の重要な成果であると考えられる。

Al/GeO₂ 界面反応抑制技術の検証

電気特性に不利益をもたらす Al/GeO₂ 界面の反応を抑制するため、界面反応のトリガーとなる Al/GeO₂ 界面での Al の酸化を止める目的で、Al 電極形成前に GeO₂ 膜表面の窒化 (Ge₃N₄ 形成) および極薄 Al₂O₃ 膜の成膜を行った。GeO₂ 膜表面を窒化することで、Al/GeO₂ 界面の反応を和らげることができ、また、極薄 Al₂O₃ 膜成膜を施せば界面反応は顕著に抑えられることがわかった。Ge-MOS デバイスの電気特性が Metal/GeO₂ 界面の反応や界面反応による副生成物に強く依存することが示されたため、適切な電極の選定や界面反応の制御などの界面エンジニアリングが Ge-MOS デバイス実現のために必要である。

Metal/GeO₂界面を非破壊で評価する HAXPES 技術の導入

本章では、ゲート電極（約 15 nm）を形成した後、Metal/GeO₂ 界面の化学状態を HAXPES で調べた。通常の XPS ではゲート電極形成後に Metal/GeO₂ を評価する場合、イオンエッチングを併用して深さ方向分析を実施することとなる。しかし、イオンエッチングは試料を変性させる可能性もあるため、全ての材料に適用できるわけでは無い。そこで、本研究では XPS 深さ方向分析だけでなく、検出深さが深い HAXPES も併せて実施して相補的な解析を行った。HAXPES により界面の情報が非破壊で抽出されており、当手法の有用性を示すことができた。

参考文献

- [1] H. Matsubara, T. Sasada, M. Takenaka, and S. Takagi, “Evidence of low interface trap density in GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation”, Appl. Phys. Lett. **93**, 032104 (2008).
- [2] C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, “Ge/GeO₂ Interface Control with High-Pressure Oxidation for Improving Electrical Characteristics”, Appl. Phys. Express **2**, 071404 (2009).
- [3] T. Hosoi, K. Kutsuki, G. Okamoto, M. Saito, T. Shimura, and H. Watanabe, “Origin of flatband voltage shift and unusual minority carrier generation in thermally grown GeO₂/Ge metal-oxide-semiconductor devices”, Appl. Phys. Lett. **94**, 202112 (2009).
- [4] K. Kutsuki, G. Okamoto, T. Hosoi, T. Shimura, and H. Watanabe, “Germanium oxynitride gate dielectrics formed by plasma nitridation of ultrathin thermal oxides on Ge(100)”, Appl. Phys. Lett. **95**, 022102 (2009).
- [5] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, “Al₂O₃/GeO_x/Ge gate stacks with low interface trap density fabricated by electron cyclotron resonance plasma postoxidation”, Appl. Phys. Lett. **98**, 112902 (2011).
- [6] C. Lu, C. H. Lee, W. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, “Enhancement of thermal stability and water resistance in yttrium-doped GeO₂/Ge gate stack”, Appl. Phys. Lett. **104**, 092909 (2014).
- [7] A. Ohta, T. Fujioka, H. Murakami, S. Higashi, and S. Miyazaki, “X-ray Photoelectron Spectroscopy Study of Interfacial Reactions between Metal and Ultrathin Ge Oxide”, Jpn. J. Appl. Phys. **50**, 10PE01 (2011).
- [8] K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima, “Fabrication of Ge Metal-Oxide-Semiconductor Capacitors with High-Quality Interface by ultrathin SiO₂/GeO₂ Bilayer Passivation and Postmetallization Annealing Effect of Al”, Jpn. J. Appl. Phys. **50**, 04DA10 (2011).

- [9] F. I. Alzakia, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, “Effects of GeO₂-Metal Interaction on V_{FB} of GeO₂ MIS Gate Stacks”, Extended Abstracts of the 2010 International Conference on Solid State Devices and Materials, Tokyo, 2010, P. 29.
- [10] 電子デバイス工学（宮尾 正信, 佐藤 泰造 著）, 株式会社朝倉書店, (2007).
- [11] 坂 公恭, “結晶電子顕微鏡学 - 材料研究者のための -”, 株式会社内田老鶴圃, (1997).
- [12] X線光電子分光法（日本表面科学会編）, 丸善株式会社, (1998).
- [13] K. Kobayashi, “High-resolution hard X-ray photoelectron spectroscopy: Application of valence band and core-level spectroscopy to materials science”, Nucl. Instr. and Meth. A **547**, 98 (2005).
- [14] 藤田 学, 安居 麻美, 小川 慎吾, 山元 隆志, “硬 X 線光電子分光法による状態分析への新たなアプローチ - 「より内部」や「埋もれた界面」の非破壊分析を目指して -”, The TRC News **112**, 23 (2011).
- [15] C. O. Chui, S. Ramanathan, B. B. Triplett, P. C. McIntyre, and K. C. Saraswat, “Germanium MOS Capacitors Incorporating Ultrathin High- k Gate Dielectric”, IEEE Electron Device Lett. **23**, 473 (2002).
- [16] P. Masson, J. L. Autran, M. Houssa, X. Garros, and C. Leroux, “Frequency characterization and modeling of interface traps in HfSi_xO_y/HfO₂ gate dielectric stack from a capacitance point-of-view”, Appl. Phys. Lett. **81**, 3392 (2002).
- [17] L. Pauling, “The Nature of Chemical Bond 3rd ed.”, (Cornell University Press, Ithaca, NY, 1960).
- [18] I. I. Tashlykova-Bushkevich and V. G. Shepelevich, “Dope depth distribution in rapidly solidified Al-Ge and Al-Me (Me5Fe, Cu, Sb) alloys”, J. Alloys Compd. **299**, 205 (2000).
- [19] K. Kaneko, K. Inoke, K. Sato, K. Kitawaki, H. Higashida, I. Arslan, P.A. Midgley, “TEM characterization of Ge precipitates in an Al-1.6 at% Ge alloy”, Ultramicroscopy **108**, 210 (2008).
- [20] X. Zhang, J. Liu, J. Tang, L. Li, M. Chen, S. Liu, B. Zhu, “Element segregation on the surfaces of pure aluminum foils”, Appl. Surf. Sci. **256**, 7300 (2010).
- [21] K. Prabhakaran, K. Sumitomo, and T. Ogino, “Fabrication of buried epitaxial CoSi₂ layer through selective diffusion”, Appl. Phys. Lett. **70**, 607 (1997).
- [22] M. Copel, M. C. Reuter, E. Kaxiras, and R. Tromp, “Surfactants in Epitaxial Growth”, Phys. Rev. Lett. **63**, 632 (1989).
- [23] Y. Minoura, A. Kasuya, T. Hosoi, T. Shimura, and H. Watanabe, “Design and control of Ge-based metal-oxide-semiconductor interfaces for high-mobility field-effect transistors with ultrathin oxynitride gate dielectrics”, Appl. Phys. Lett. **103**, 033502 (2013).
- [24] 朽木 克博, “高移動度ゲルマニウムMOSデバイスの実現に向けたプラズマ窒化応用ゲートスタック技術に関する研究”, 大阪大学 博士論文, 2011, p.60.

[25] R. Zhang, P. C. Huang, J. C. Lin, M. Takenaka, and S. Takagi, “Physical Mechanism Determining Ge p- and n-MOSFETs Mobility in High N_s Region and Mobility Improvement by Atomically Flat GeO_x/Ge Interfaces”, Tech. Dig. – Int. Electron Devices Meet. 2012, 16.1.1-16.1.4.

第4章 HfO₂/GeO₂ 界面反応の理解 および原子拡散制御効果の検証

Ge-MOS デバイスにも将来的に high-*k* 絶縁膜を導入する必要がある。しかしながら代表的な high-*k* 膜であり Si-CMOS デバイスにも導入されている HfO₂ 膜を Ge 上に成膜すると、多くの界面欠陥が形成され電気特性が劣化すると報告されている。そこで本章では、HfO₂/GeO₂/Ge スタック構造を形成した際の HfO₂/GeO₂ 界面の反応および原子拡散の挙動を調べて電気特性劣化の要因を明らかにするとともに、電気特性改善技術の検証を行う。HfO₂ 膜中への Ge 拡散が HfO₂/GeO₂ 界面に極薄 AlO_x 膜を挿入することで制御できること、および分析結果に基づき最適化された MOS デバイスの良好な電気特性を示す。

4.1 緒言

2 章で Ge 基板上に熱酸化で形成した GeO₂ 膜の性質について論じ、3 章では GeO₂ 膜上にゲート電極を形成した際の界面反応の挙動を論じた。GeO₂ 膜は比誘電率が 6 程度と高くないが、一方で、MOS 界面特性の観点では特別な界面終端処理を施さなくても、GeO₂/Ge 界面の品質が SiO₂/Si より優れていると実験的にも理論的にも明らかにされている[1-4]。すなわち、高性能 Ge-MOSFET を実現するために、高品質な GeO₂ 膜を Ge チャネル上に形成する必要があることに疑いの余地は無い。ただし、将来の最先端 MOSFET の性能指標において、絶縁膜の SiO₂ 等価換算膜厚 (Equivalent oxide thickness: EOT) は 1 nm 以下であることが要求されている。そのため、MOS キャパシタのゲート絶縁膜には高誘電率 (high-*k*) 絶縁膜と GeO₂ 膜を原子レベルで制御して積層した high-*k*/GeO₂/Ge スタック構造の導入が必須であると考えられている。ここで、典型的な high-*k* 絶縁膜である酸化ハフニウム (HfO₂) 膜は、比誘電率が 20 程度と高く、Si チャネルで構成される Si-MOSFET の先端デバイスには一部、既に実用化が進められている。これまでに HfO₂ 膜に関する多くの研究が行われているため、汎用性、プロセス適合性の観点から、Ge-MOS デバイスのゲート絶縁膜にも HfO₂ 膜を適用することが、高性能 Ge-MOS デバイス実現に向けた最重要課題の一つである[5-10]。

Ge-MOS デバイスへの HfO₂ 膜導入の研究において、Ge チャネル上への HfO₂ 膜の直接成膜は HfO₂/Ge スタック構造の界面特性を著しく劣化させることが報告されている[5, 7, 9]。また、HfO₂/Ge 界面に GeO₂ 膜または GeON 膜を挿入したスタック構造であっても、熱処理により電気特性が劣化することが報告されている[7, 8, 10]。図 4.1 に、Lu らにより報告された TaN/HfO₂/GeON/Ge スタック構造の電気特性および断面 TEM 像を示した[7]。600°C アニール後に、リーク電流が増加し、かつ界面 GeON 層のコントラストが不明瞭になっている

ことがわかる。この様に HfO₂/GeO₂ 積層構造の試料に対して熱処理を施すと、HfO₂/GeO₂ 界面で反応が起き、原子拡散が起きることが示唆されている[7, 8, 10]。

一方で、GeO₂/Ge 界面は 450°C 以上の温度領域では不安定であることが知られており[11]、GeO₂/Ge 界面を起点として GeO 分子が熱脱離し、結果として電気特性の顕著な劣化が引き起こされる[12]。また、酸素の拡散について、典型的な共有結合性酸化物の SiO₂ や Al₂O₃ より、イオン結合性酸化物の HfO₂ 中では酸素原子または酸素欠損が容易に拡散することが知られている[13-19]。すなわち、HfO₂/GeO₂/Ge スタック構造は、Ge や酸素が拡散しやすい環境である。

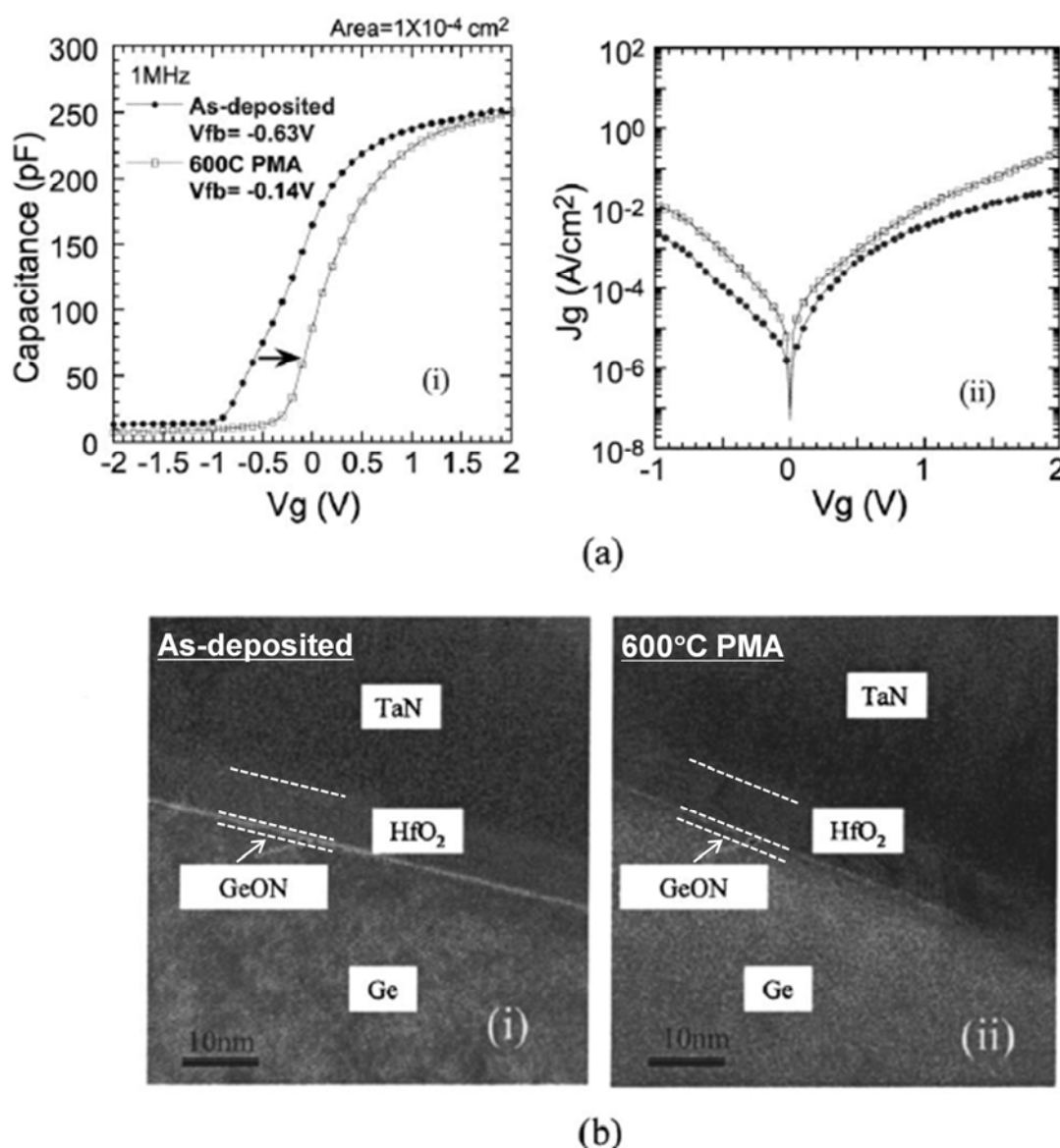


図 4.1 TaN/HfO₂/GeON/Ge スタック構造の(a)電気特性(C-V, I-V)および(b)断面 TEM 像. TaN 電極形成後の 600°C アニール有無の比較[7]. 断面 TEM 像において、600°C アニール後(ii)に GeON 層のコントラストが不明瞭になっており、HfO₂/GeON 界面での原子拡散が示唆されている。

また、理論計算結果からも HfO₂/GeO₂/Ge スタック構造は電気特性に対してデメリットがあることが示唆されている。図 4.2 に Houssa らにより得られた Ge 上 GeO₂ 薄膜において Ge 原子の一部を異元素に置き換えた構造の電子状態密度 (Density of state: DOS) の第 1 原理計算結果を示した[20]。GeO₂ 中に La や Al を導入した場合はジャーマネート構造 (Ge-O-La, Ge-O-Al) が形成され GeO₂ のバンドギャップ内に準位を作らないが、Hf を導入すると Ge-Hf 結合が形成され GeO₂ のバンドギャップ内に準位が形成されることが報告されている。すなわち、HfO₂ と GeO₂ が接した界面では金属的な結合である Ge-Hf 結合が形成される可能性があり、その場合にはリーク電流増加が引き起こされる。そのため、HfO₂/GeO₂ 界面の反応を抑制することを目的として、HfO₂ 膜成膜前の GeO₂ 膜の窒化[5, 7]や、HfO₂/GeO₂ 界面への Al₂O₃ 薄膜の挿入など[21]、いくつかの手法が報告されている。しかしながら、HfO₂/GeO₂ 界面への界面層の挿入の効果が認められているにも関わらず、ゲートスタック構造中の Ge や酸素の詳細な拡散メカニズムはいまだ明らかにされていない。GeO の生成や、Ge、酸素または酸素欠損あるいはそれらの複合体の拡散など、複雑な反応が引き起こされている可能性もある。HfO₂/GeO₂ 界面における Ge や酸素の挙動を理解することで、電気特性劣化を引き起こす起源を特定し、電気特性改善の指針を見出すことが望まれている。そこで本研究では、HfO₂/GeO₂ 界面から HfO₂ 膜中に拡散する Ge や酸素の挙動、および極薄 AlO_x 界面層の役割を各種分析手法により系統的に調べた。特に、高純度の同位体酸素 (¹⁸O) を用いて酸化膜を形成し、¹⁸O の深さ方向分布を評価することで、酸化膜中の酸素拡散を詳細に評価した。

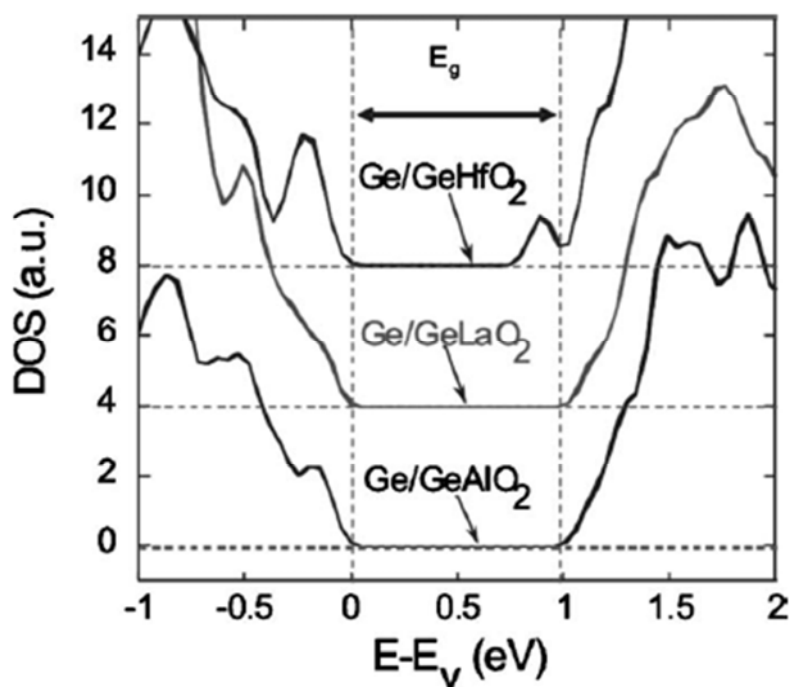


図 4.2 Ge 上の GeO₂ 膜に異元素 (Hf, La, Al) を導入した構造における電子状態密度 (Density of state: DOS) の理論計算結果[20]

4.2 実験

4.2.1 試料作製

本章では、電気特性評価および断面構造観察用プロセスとスタック構造試料の原子拡散評価用プロセスの2通りの試料を作製した。

電気特性評価および断面構造観察用プロセス

MOS キャパシタ形成プロセスを図 4.3(a)に示した。約 5 %の希フッ酸と超純水で洗浄した p 型 Ge(100)基板（抵抗値 0.1~0.5 Ωcm ）を超高真空チャンバーに導入し、有機汚染および自然酸化膜除去のため、550°C, 10 分の加熱清浄化処理を施した。その後、一部の試料において、極薄 AlO_x 界面層を有するゲート絶縁膜を作製するため、Ge 基板上に AlO_x を蒸着レート換算値で 0.15 nm 成膜し、加えて電子サイクロトロン共鳴（Electron cyclotron resonance: ECR）プラズマ酸化を施すことで、Al 層の酸化と同時に GeO₂ 界面層を成長させて AlO_x/GeO₂/Ge スタック構造を形成した。なお、Ge 基板上に極薄 Al₂O₃ 膜または Al 膜を成膜した後にプラズマ酸化処理を施すことで、Al₂O₃ 膜越しに Ge 基板が酸化され、Al₂O₃/GeO₂/Ge スタック構造が形成されることが確認されている[22, 23]。加熱清浄化処理後の Ge 基板または Al₂O₃/GeO₂/Ge スタック構造形成後の試料に対して、酸素雰囲気（1×10⁻⁴ Pa）において電子ビーム蒸着法により HfO₂ 膜を約 2 nm 成膜し、さらにプラズマ酸化処理を施すことで HfO₂/GeO₂/Ge または HfO₂/Al₂O₃/GeO₂/Ge スタック構造を形成した。絶縁膜上にゲート電極として白金（Pt）を約 3 nm 蒸着することで MOS キャパシタ構造を形成した。以上のプロセスは大気曝露せず *in situ* プロセスで行った。Pt 電極の上にさらに Au 膜を成膜しパターンニングによりゲート電極を形成し、裏面には Al 膜を成膜した。ゲート電極形成後の試料に対して、窒素雰囲気中で 300~500°C の加熱アニール処理を施した。

原子拡散評価用プロセス

原子拡散評価用のゲート絶縁膜スタック構造形成プロセスを図 4.3(b)に示した。ウェット洗浄および超高真空中での加熱清浄化処理を施した p 型 Ge(100)基板に、高純度同位体酸素（¹⁸O₂）雰囲気（300°C, 0.4 Pa）で ECR プラズマによるラジカル酸素処理を行い、Ge 基板上に Ge¹⁸O₂ 膜を約 2 nm 形成した。Ge¹⁸O₂ 膜を形成した後、通常の酸素（¹⁶O₂）雰囲気（室温, 1×10⁻⁴ Pa）において電子ビーム蒸着法により Ge¹⁸O₂ 膜上に Hf¹⁶O₂ 膜を約 17 nm 成膜し、HfO₂/GeO₂/Ge スタック構造を形成した。MOS キャパシタ形成プロセスと同様に、極薄 AlO_x 界面層を有するゲート絶縁膜を作製するため、Ge 基板上に Al を蒸着レート換算値で 0.15 nm 成膜し、その後 ECR プラズマ ¹⁸O 酸化を施すことで、AlO_x/GeO₂/Ge スタック構造を形成した試料も準備した。この AlO_x/GeO₂/Ge スタック構造に対し、さらに HfO₂ 膜を成膜し、HfO₂/AlO_x/GeO₂/Ge スタック構造を形成した。これらのゲート絶縁膜スタック構造は大気曝露せず *in situ* プロセスにて形成し、その後、超高真空中で 200~500°C, 10 分のアニール処

第4章 HfO₂/GeO₂ 界面反応の理解および原子拡散制御効果の検証

理を施した。過去の研究において、超高真空中での適切な温度でのアニールにより、電気特性の改善に加えて、EOT もスケーリングできることが報告されている[24]。また、近年、HfO₂ 膜と GeO₂ 膜の間に原子層堆積法 (Atomic layer deposition: ALD) で形成した AlO_x 界面層を挿入することで、電気特性が顕著に改善されることが報告されている[21]。共同研究者である浅原らも、極薄 AlO_x 膜を導入したゲート絶縁膜により EOT を 0.56 nm までスケーリングした状態で、絶縁特性および低界面準位密度 (D_{it}) を達成している[25]。以上の知見に基づき、HfO₂/GeO₂/Ge スタック構造のモデル試料を作製し、真空アニールの影響および HfO₂/GeO₂ 界面への極薄 AlO_x 界面層挿入の効果を原子拡散の観点で調べた。

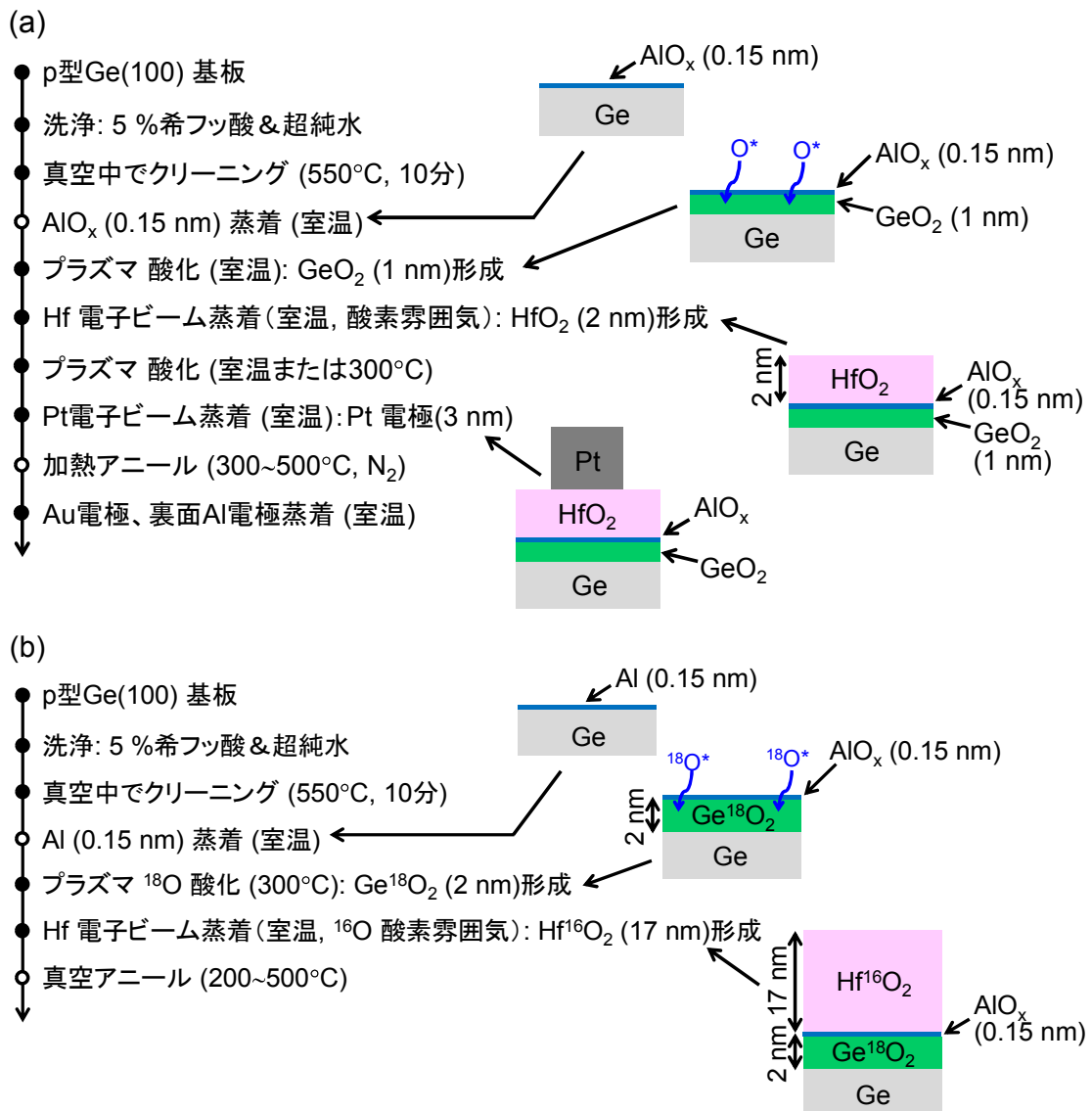


図 4.3 試料作製プロセス.

(a) 電気特性評価および断面構造観察用プロセス, (b) 原子拡散評価用プロセス

4.2.2 評価手法

本章で用いた評価（分析）手法を以下にまとめた。

4.2.2.1 Ge-MOS キャパシタの構造およびデプスプロファイルの評価

走査型透過電子顕微鏡観察（Scanning transmission electron microscope: STEM）

本章で作製した Ge-MOS キャパシタの断面構造は STEM により観察した。STEM は 3 章で述べた TEM より入射電子線のプローブ径が小さく、ナノメートル以下まで絞った電子線を試料上で走査することで像を得る手法である。本研究で用いた STEM 観察は電子線の球面収差（Spherical aberration: Cs）を補正する機能（図 4.4）を搭載した装置で実施しており、プローブ径が 0.1 nm 程度まで絞られ、高空間分解能かつ高感度観察を可能としている。また、入射電子線が絞られていることで、様々な観察方法が可能となる。図 4.5 に高角度環状暗視野（High-angular annular dark field: HAADF）検出器を用いた HAADF-STEM 観察および入射電子線のエネルギー損失分光法（Electron energy loss spectroscopy: EELS）の模式図と Si 結晶の HAADF-STEM 観察事例を示した。図 4.5(a)において、入射した電子線のうち、一部は試料と相互作用し高角度で散乱される。その際、散乱角度は試料中に存在する原子の重さ（原子番号）に依存するため、HAADF 検出器で散乱電子の位置を調べることで原子番号を反映したコントラスト像を得ることができる。HAADF-STEM により観察すると、試料によっては原子レベルの空間分解能で像を得ることができる[図 4.5(b)]。また、入射電子線の EELS スペクトルを取得することで、極微小領域に存在する原子種の同定および（半）定量が可能である。さらに、STEM では通常、加速電圧を高くして電子線プローブ径を絞るが、Cs 補正を行えば、それ自身によりプローブ径が十分に絞られるため電子線の加速電圧を下げることができる。そのため電子線によりダメージを受けやすい試料に対して、比較的ダメージを抑えた状態で測定できることも Cs 補正 STEM 観察の特徴である。HfO₂ 膜は電子線ダメージを受けやすいことが知られているため、本研究では、加速電圧を 80 kV と比較的低い加速電圧に設定し、HAADF-STEM 観察および EELS による断面方向のラインプロファイル分析を実施した。

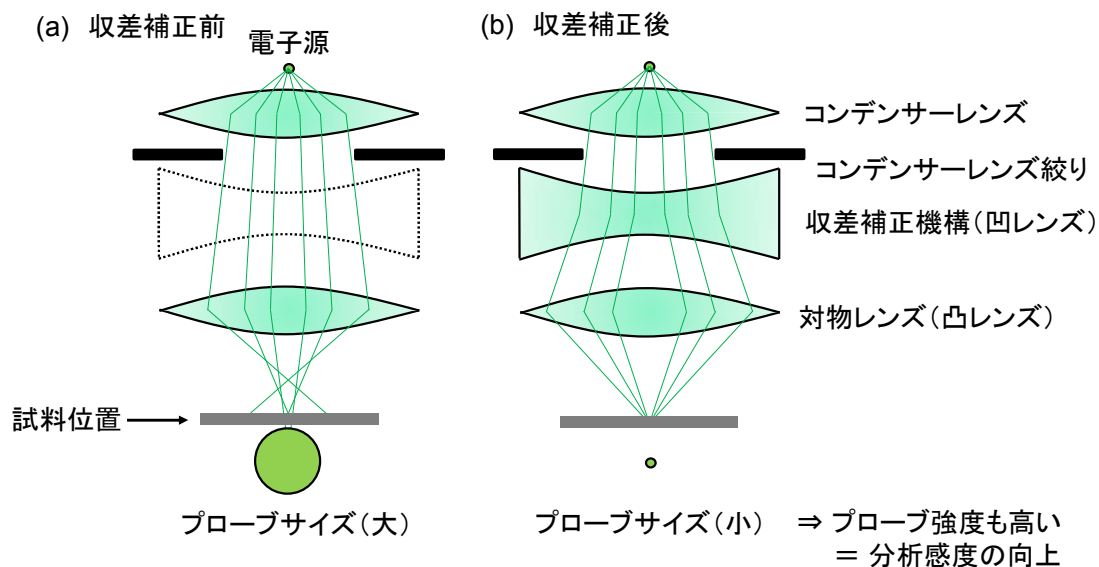


図 4.4 STEM の収差補正機構の概念図. (a) 収差補正前, (b) 収差補正後

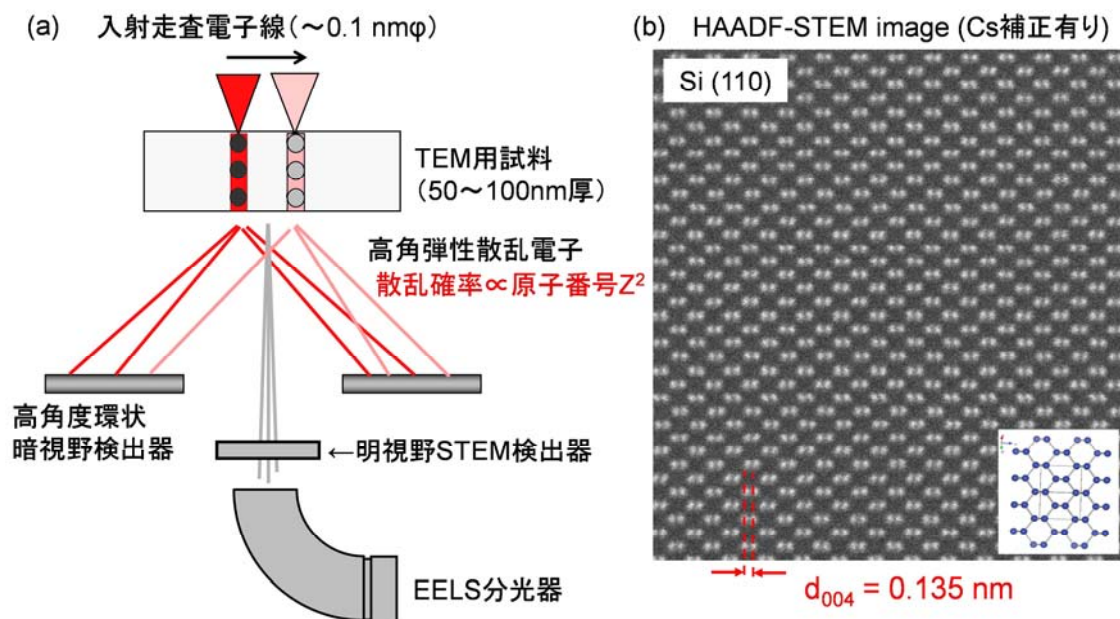


図 4.5 (a) HAADF-STEM 観察および EELS 測定 の概念図, (b) Si(110) の HAADF-STEM 観察事例 (Cs 補正有り). 超高分解能 HAADF-STEM 観察により結晶 Si の原子位置を直接観察できる.

4.2.2.2 HfO₂/GeO₂ 界面の反応および原子拡散の評価

X線光電子分光法 (X-ray photoelectron spectroscopy: XPS)

原子拡散評価用プロセスにより作製したスタック構造試料の HfO₂ 膜（膜厚約 17 nm）表面の元素組成および化学状態を XPS により評価した。本章で使用した XPS 装置の X 線源は Al K α 線源 ($h\nu = 1486.6$ eV)、X 線入射角度は試料平面に対して 90°、光電子検出角度は 45° である（光電子検出角度が大きいほど検出深さが深い）。なお、本測定条件における検出深さを2章で述べた方法と同様に HfO₂ 膜（密度 9.68 g/cm³ と仮定）中における光電子の平均自由行程から見積もると、おおむね 3~6 nm 程度となる。そのため、膜厚 17 nm の HfO₂ 膜の表層の情報を得ていることを付記しておく。また、XPS は得られた各元素に由来する内殻ピークの面積比から定量値（半定量値）を算出できる特徴がある。本研究において、後述する Dynamic-SIMS では拡散原子の定量ができないため（相対強度比較のみ）、HfO₂ 膜中に拡散した Ge の濃度は XPS 分析結果を指標にした。スペクトルのエネルギー軸（横軸）は、Hf4f_{7/2} ピーク位置が 17.0 eV (HfO₂) になるように補正した。

動的2次イオン質量分析法 (Dynamic secondary ion mass spectrometry: Dynamic-SIMS)

本章では、同位体酸素 (¹⁸O) を用いて、酸化膜中の酸素の拡散を調べた。図 4.6 に、Wang らにより得られた同位体酸素を用いて GeO₂ 膜中の酸素拡散を評価した事例を示す[26]。図 4.6(a)は昇温熱脱離質量分析法 (Thermal desorption spectroscopy: TDS) により得られた Ge¹⁶O と Ge¹⁸O の熱脱離スペクトルであり、GeO 分子の熱脱離において、Ge¹⁶O と Ge¹⁸O を質量で区別して測定することができる。図 4.6(b)-(d)は Dynamic-SIMS により得られた ¹⁶O, ¹⁸O および Ge のデプスプロファイルである。Dynamic-SIMS でも ¹⁶O と ¹⁸O を質量分離して検出することができ、熱処理温度 520°C までは上層 Ge¹⁶O₂ 膜と下層 Ge¹⁸O₂ 膜の酸素の拡散は認められていないが、580°C の熱処理により、下層 Ge¹⁸O₂ 膜と Ge¹⁶O₂ 膜の酸素が相互拡散する挙動が確認されている。

本章では、¹⁸O₂ で形成した 2 nm 厚の GeO₂ 膜から HfO₂ 膜中に拡散する ¹⁸O の挙動を調べた。Dynamic-SIMS の測定条件は、1 次イオン源 : Cs⁺、加速電圧 : 500 V とした。HfO₂ 中の Ge および酸素の標準試料が無い場合、本測定で不純物濃度の定量はできない。そのため、Ge および ¹⁸O の強度（縦軸）を HfO₂ 膜中の HfO⁺ の平均強度で規格化して比較した。また、深さ（横軸）は ¹⁸O の強度が GeO₂ 膜中の半分になる深さを HfO₂/GeO₂ 界面と定義し基準位置とした。

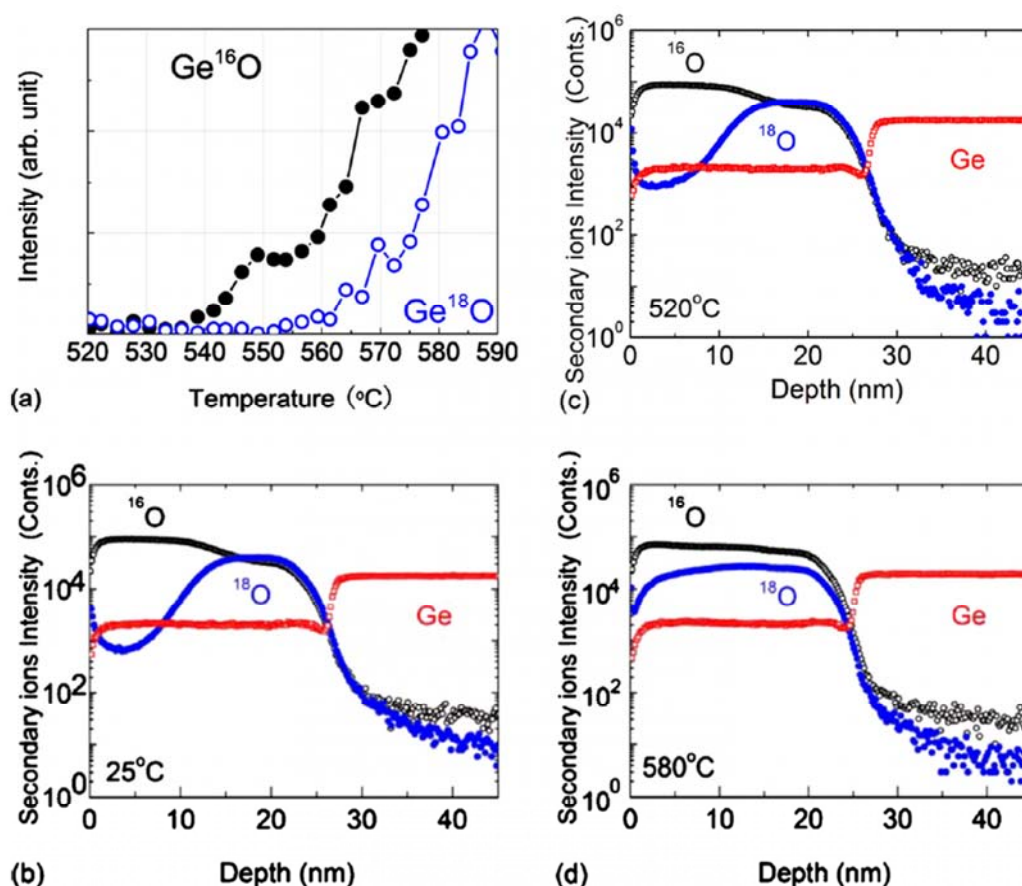


図 4.6 同位体酸素 (^{18}O) を用いて $\text{Ge}^{16}\text{O}_2/\text{Ge}^{18}\text{O}_2/\text{Ge}$ 積層構造を作成し、 GeO_2 膜中の酸素拡散を評価した事例. (a) TDS スペクトル, (b)-(d) アニール処理前後の SIMS デプスプロファイル. [26]

4.3 結果と考察

4.3.1 $\text{Pt}/\text{HfO}_2/\text{GeO}_2/\text{Ge}$ MOS キャパシタの電気特性と界面構造

図 4.7 に細井らにより得られた、電極形成後のアニール温度が異なる Pt/HfO_2 (2 nm)/ GeO_2 (1 nm)/Ge MOS キャパシタのリーク電流と EOT のプロットを示した[10]。アニール温度 300 ~ 400°C ではアニール無し (w/o) よりリーク電流が低減している。加熱処理により HfO_2 膜および GeO_2 膜の膜質が向上したためであると考えられる。しかしながら、アニール温度が 450°C を超えると、リーク電流が増加し、EOT も増加している。この原因を調べるため、STEM による断面構造解析を行った。図 4.8 に、(a)アニール無しおよび(b)500°C アニール後の HAADF-STEM 像および EELS ラインプロファイルを示した。STEM 像から、500°C アニールにより、 GeO_2 界面層の膜厚が増加し、さらに HfO_2 膜表層のコントラストのムラが増加していることがわかる。また、EELS プロファイルから、 HfO_2 表層側に Ge が拡散している

ことも確認された。比誘電率が低い GeO₂ 膜の増膜および HfO₂ 膜中への Ge の拡散 (HfO₂ 膜の誘電率低下) が、ゲート絶縁膜の容量低下すなわち図 4.7 における EOT 増膜を招いたと推定される。また、HfO₂ 膜中への Ge の拡散は絶縁膜中に欠陥を生成させると考えられ、リーク電流増加も引き起こしたと推定される。すなわち、450°C 以上の熱処理により、HfO₂/GeO₂ 界面にて反応が起き、それがトリガーとなって電気特性を著しく劣化させたと考えられる。これらの結果は、過去の報告とも良い一致を示すとともに[7, 8]、より明確に極薄ゲートスタック構造中の原子拡散現象を捉えたものである。なお、拡散した Ge のプロファイルから判断して、Ge は HfO₂ 膜の中間部より表層側に偏析する傾向があると考えられる。すなわち、HfO₂/GeO₂ 界面の反応により HfO₂ 膜中に拡散した Ge は、HfO₂ 膜中で安定化せず HfO₂ 表層まで突き抜け偏析する性質を有する。この挙動は、3 章で示した Al 膜中を拡散する Ge の挙動と類似しており、HfO₂ と Ge の親和性の低さを示唆した可能性がある。

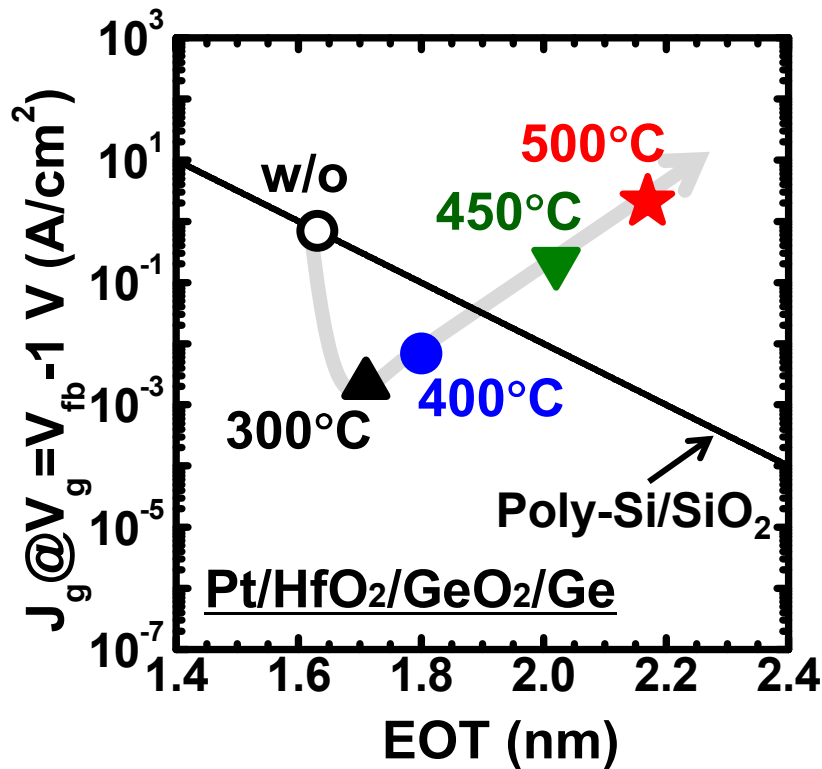


図 4.7 電極形成後のアニール温度を変えた場合の Pt/HfO₂/GeO₂/Ge MOS キャパシタにおけるリーク電流と EOT のプロット。実線は Poly-Si/SiO₂/Si MOS キャパシタにより見積もられる特性であり EOT スケーリングの指標となる。 [10]

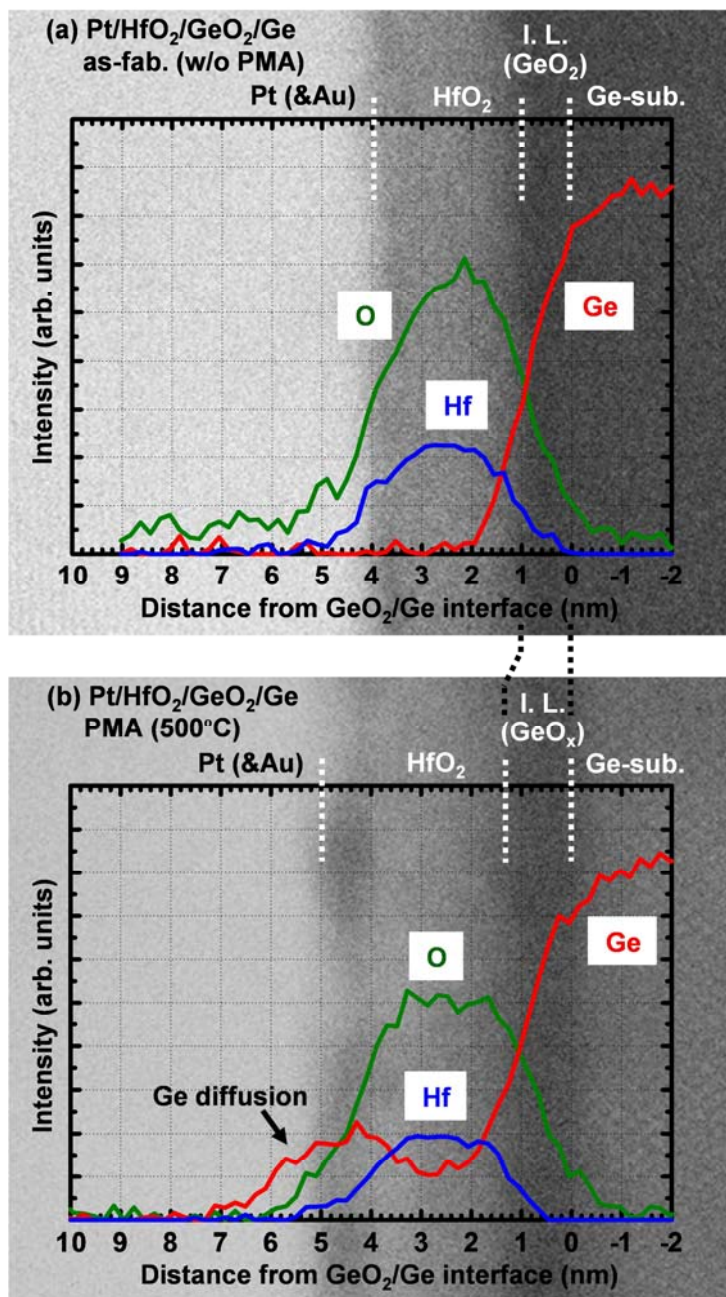


図 4.8 Pt/HfO₂/GeO₂/Ge MOS キャパシタの HAADF-STEM 像および EELS プロファイル. (a) アニール無し, (b) 500°C アニール後. EELS プロファイルの縦軸 (強度) は任意単位である.

4.3.2 HfO₂/GeO₂ 界面への極薄 AlO_x 膜挿入効果

HfO₂/GeO₂ スタック構造におけるアニール時の界面反応を抑制するため、HfO₂/GeO₂ 界面への極薄 AlO_x 膜の挿入効果を検証した。図 4.9 に、浅原らにより得られた AlO_x 膜厚をスケ

ーリング (0.15~0.5 nm) した Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタのリーク電流と EOT のプロットを示した[25]。なお、電極形成後のアニール温度はいずれも 400°C である。極薄 AlO_x 膜挿入により良好な電気特性が示されており、EOT 1 nm 以下で Poly-Si/SiO₂ スタックより数桁低いリーク電流を達成している。AlO_x 膜厚が約 0.15 nm (換算値) と極めて少ない成膜量であっても、十分な特性改善効果が認められ、EOT 0.6 nm 以下にまでスケーリングされている。

そこで、HfO₂/GeO₂ 界面に極薄 AlO_x 膜 (0.15 nm) を挿入したゲートスタック構造の STEM 観察を行った。図 4.10 に、(a)400°C アニール後および(b)500°C アニール後の HAADF-STEM 像および EELS ラインプロファイルを示した。400°C, 500°C アニール後であっても、界面層の GeO₂ 膜は 1 nm 以下に保たれていることから、図 4.9 で示した sub-nm オーダーの EOT が実現されている結果とも整合する。また、EELS ライン分析において、HfO₂ 膜中への Ge の顕著な拡散も認められなかった。このことが、低いリーク電流が維持されている要因であると推定される。しかしながら、500°C アニール後に HfO₂ 膜表層側のコントラストムラの増加が認められた。このコントラストムラはボイドの形成または Ge の拡散 (ただし、EELS の検出下限以下) に由来すると推定され、C-V 特性においても欠陥準位の存在を示す周波数分散がわずかに認められたため (データ掲載なし)、さらなるプロセス改善が必要であるこ

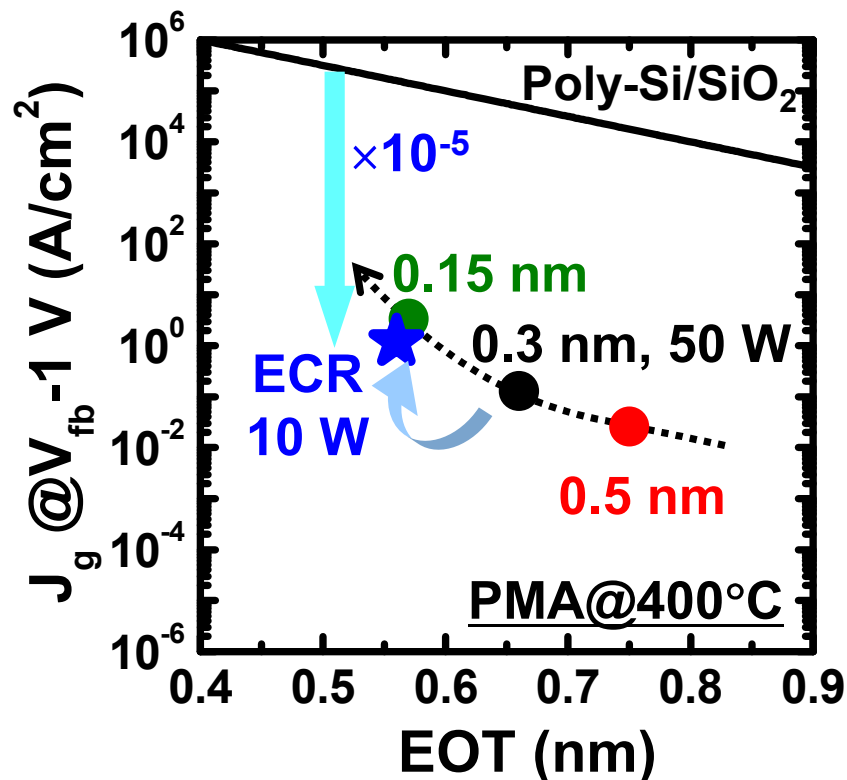


図 4.9 AlO_x 膜厚をスケーリングした Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタのリーク電流と EOT のプロット。電極形成後のアニール温度はいずれも 400°C。 [25]

とも確認された。

以上の結果により、 $\text{HfO}_2/\text{GeO}_2$ 界面の反応が引き起こす Ge の拡散が、MOS キャパシタの電気特性に有害な影響を及ぼすこと、および極薄 AlO_x 膜挿入の効果を相関付けて説明することができた。MOS キャパシタの特性改善の指針として、 $\text{HfO}_2/\text{GeO}_2$ 界面反応および界面反応により引き起こされる原子拡散を制御する必要があると結論付けられる。

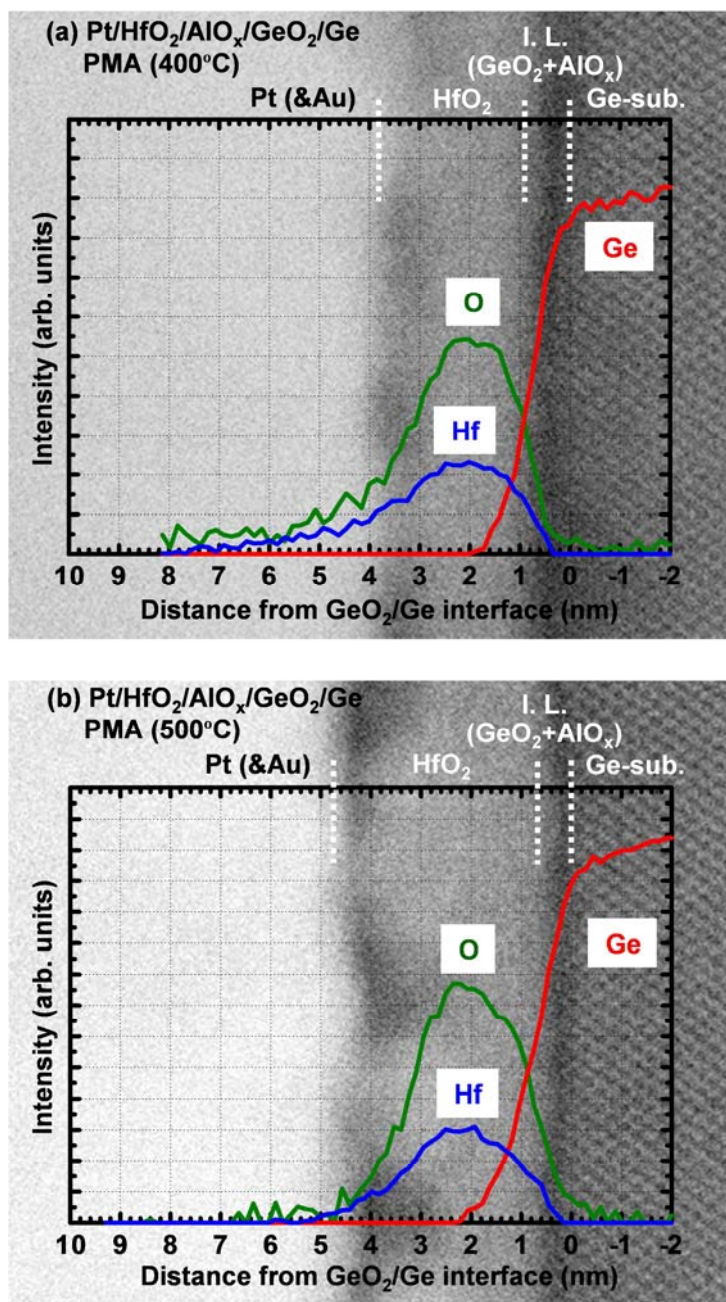


図 4.10 $\text{Pt}/\text{HfO}_2/\text{AlO}_x/\text{GeO}_2/\text{Ge}$ MOS キャパシタの HAADF-STEM 像および EELS プロファイル. (a) 400°C アニール後, (b) 500°C アニール後.

4.3.3 HfO₂/GeO₂ 界面反応が引き起こす原子拡散挙動の解析

4.3.1, 4.3.2 項で、電気特性とスタック構造の特徴を相関付けて評価した。しかしながら、主成分である酸素の拡散の影響やGeとの相関関係は明らかになっていない。酸素の拡散は、酸化膜中の酸素欠損の生成や酸化膜厚の増膜など電気特性への影響が大きいため、Geだけでなく酸素の拡散も含め、HfO₂/GeO₂ 界面における反応モデルを構築し、デバイス設計の指針として組み込む必要がある。そこで本項では、Geと酸素の拡散現象をより詳細に調べるため、絶縁膜スタック構造のモデル試料を作製し、原子拡散の詳細な評価を行った。

最初に、作製したスタック構造の試料に真空アニール処理を施した際のHfO₂膜表面の元素組成と各原子の化学状態をXPSにより調べた。図4.11に、HfO₂/GeO₂/GeおよびHfO₂/AlO_x/GeO₂/Geスタック構造のHf4f、Ge2p_{3/2}スペクトルを示した。なお、HfO₂膜厚は約17 nmであるため、HfO₂膜の下のGeO₂膜の情報はXPSでは得られないことを付記しておく。Hf4fスペクトルから判断して、極薄AlO_x膜の挿入有無に関わらず、ハフニウムはHfO₂が主成分であると考えられる(Hfジャーマネートをわずかに含む可能性がある

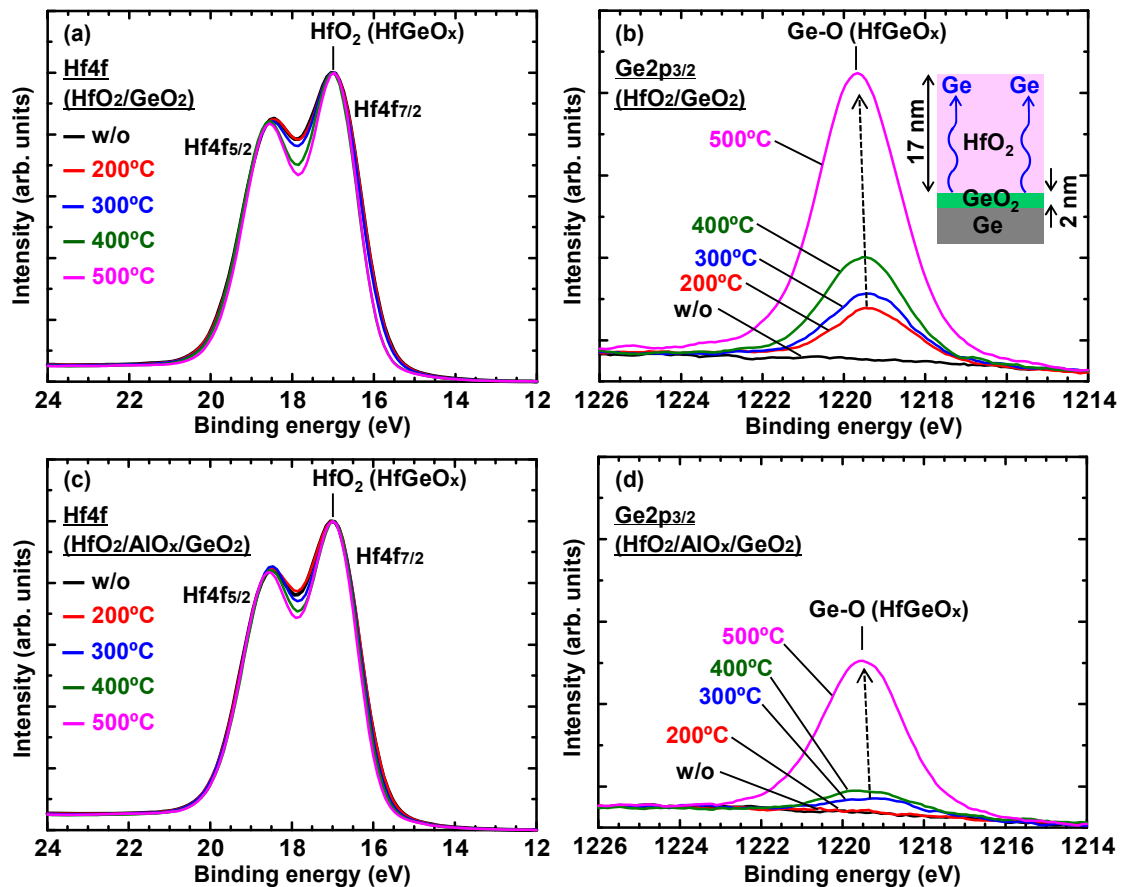


図4.11 XPSにより得られたHfO₂/GeO₂/GeおよびHfO₂/AlO_x/GeO₂/Geスタック構造の(a, c)Hf4fおよび(b, d)Ge2p_{3/2}スペクトル。Hf4fスペクトルは縦軸を最大・最小値で規格化しており、Ge2p_{3/2}スペクトルは縦軸の規格化無し。

る)。アニール処理温度が高くなると、Hf4f ピークがわずかにシャープになり、Hf4f_{7/2} ピークと Hf4f_{5/2} ピークの谷が深くなった。XPS で得られるスペクトルは化学状態が均一または結晶性が高いほどピークがシャープになる傾向があるため（例えばアモルファス Si より結晶 Si の方が光電子ピークがシャープになる）、アニール処理により HfO₂ 膜が緻密化したことでピークがシャープになったと考えられる。

一方、Ge2p_{3/2} スペクトルにおいて、極薄 AlO_x 膜を挿入していない HfO₂/GeO₂ スタック構造[図 4.11(b)]では、アニール温度 200°C で Ge が検出され、アニール温度が高くなるほどピーク強度が増大した。さらにアニール温度 500°C では Ge 強度の顕著な増大が確認された。これらの結果から、HfO₂/GeO₂ スタック構造では、200°C 程度の比較的低温においても HfO₂ 膜中を Ge が拡散し、かつアニール温度が高くなるほど拡散量が増大する。なお、Ge2p_{3/2} ピーク位置から判断して、Ge は GeO₂ などの酸化物（Hf ジャーマネートを含む可能性がある）に帰属されるため、HfO₂ 膜中で Ge は酸素と結合していると考えられる。ここで、HfO₂/GeO₂ 界面に極薄 AlO_x 膜を挿入すると、アニール温度 400°C までは Ge の拡散を顕著に抑制できているが、アニール温度 500°C では、Ge 強度の顕著な増大が確認された。図 4.12 に、XPS 結果から定量した Ge 濃度のアニール温度上昇に伴う変化をまとめた。アニール温度が高くなるほど、拡散する Ge 濃度が増大する一方で、HfO₂/GeO₂ 界面への極薄 AlO_x 膜の挿入により、Ge 拡散量は明らかに低減している。ただし、500°C のアニールでは極薄 AlO_x 膜挿入の有無に関わらず顕著な Ge 濃度の増大が認められたため、400°C 以下と 500°C 以上では Ge の拡散メカニズムが異なると推定される。なお、GeO₂/Ge スタック構造の試料に対

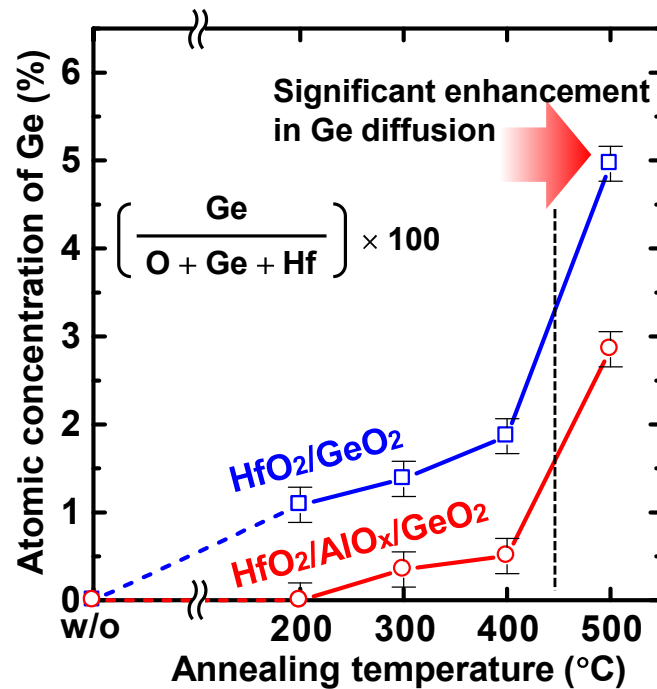


図 4.12 HfO₂/GeO₂/Ge および HfO₂/AlO_x/GeO₂/Ge スタック構造における HfO₂ 膜表面の Ge 濃度のアニール温度上昇に伴う変化。

して 450°C 以上の加熱を行うと GeO 分子の熱脱離が起きることが知られている[12]。また、図 4.13 に示した鎌田らの研究結果では、HfO₂ (3 nm)/Ge スタック構造においても 500°C 程度の加熱により GeO が脱離することが報告されている[8]。そのため、アニール温度 500°C における Ge 拡散量の顕著な増大は、GeO 熱脱離がトリガーとなって引き起こされたか、または Ge 拡散と GeO 熱脱離の連続的な反応の過程で引き起こされた可能性がある。HfO₂/GeO₂ 界面への膜厚 0.15 nm の AlO_x 膜挿入は、500°C 以上の Ge の熱拡散への対策としては不十分であったと考えられ、さらなるプロセス改善が望まれる。

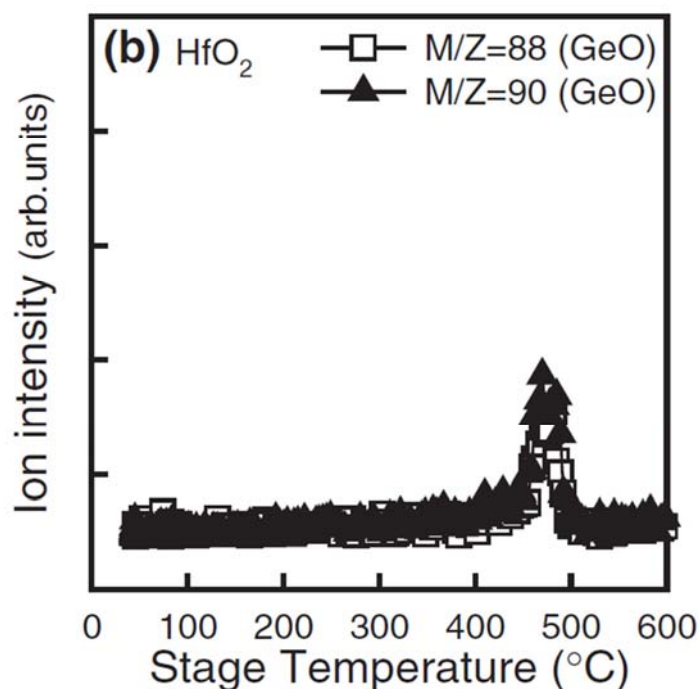


図 4.13 HfO₂ (3 nm)/Ge スタック構造の TDS スペクトル。質量数 (M/Z) 88, 90 は GeO 分子 (⁷²Ge¹⁶O, ⁷⁴Ge¹⁶O) に由来する。 [8]

より詳細に Ge の拡散挙動を評価するため、Dynamic-SIMS により Ge の深さ方向分布を調べた。図 4.14 に、HfO₂/GeO₂/Ge および HfO₂/AlO_x/GeO₂/Ge スタック構造の Ge デプスプロファイルを示した。HfO₂/GeO₂/Ge スタック構造[図 4.14(a)]では、200°C の比較的低温のアニールでも HfO₂ 膜の表層側で Ge 強度が増大しており、アニール温度が高くなるほど Ge 強度が増加する傾向が認められた。このことは、上述した XPS 結果と同様である。また、HfO₂ 膜の中間部よりも表層側で Ge 強度が高い傾向が得られている。このことは、STEM 観察の EELS プロファイル[図 4.8(b)]でも認められた現象であり、拡散した Ge の HfO₂ 膜中での不安定性を反映した結果であると考えられる。一方、HfO₂/GeO₂ 界面に極薄 AlO_x 膜を挿入することで、アニール温度 400°C 程度まで Ge 強度は検出下限レベル程度に抑えられており、

第4章 HfO₂/GeO₂ 界面反応の理解および原子拡散制御効果の検証

明確な極薄 AlO_x 膜の挿入効果が認められる。しかしながら、500°C のアニールを施すと、極薄 AlO_x 膜挿入の有無に関わらず顕著な Ge 拡散が認められ、加えて、HfO₂ 膜の中間部にも比較的多くの Ge が存在するようになる。すなわち、500°C のアニール処理により HfO₂ 膜中の Hf ジャーマネート結合形成が促進されたと考えられる。また、HfO₂/GeO₂ 界面付近（深さ：～0 nm 付近）において、Ge プロファイルに肩（2 段）構造が認められる。この肩構造はアニール無し（w/o）の試料でも認められるため、HfO₂ 成膜時に HfO₂/GeO₂ 界面に生成された相互拡散層であり、Hf ジャーマネート界面層が形成されていると考えられる。この Hf ジャーマネート界面層形成も、HfO₂/GeO₂ 界面への極薄 AlO_x 膜挿入により低減可能であることが確認できる。

なお、XPS や Dynamic-SIMS では、極薄 AlO_x 膜が挿入された HfO₂/AlO_x/GeO₂ スタック構造に 500°C アニールを施すと Ge 拡散量の顕著な増加が確認されているが、STEM-EELS プロファイルでは、Pt/HfO₂/AlO_x/GeO₂/Ge スタック構造に 500°C アニール（電極形成後）を施しても Ge の拡散が認められなかった[図 4.10(b)]。喜多らは、GeO₂/Ge 界面の反応により生じる GeO 熱脱離は、GeO₂ 膜の上部に適切なキャップ層を形成すると抑制可能であると報告している[12]。そのため、STEM-EELS で測定した試料は、膜厚約 3 nm の Pt 電極が完全ではないもののキャップ層の役割を果たし、結果として Ge の拡散が減少した可能性がある。ただし、EELS の検出感度自体が XPS や Dynamic-SIMS より低いため、このことも Ge が検出されなかった一因である可能性がある。

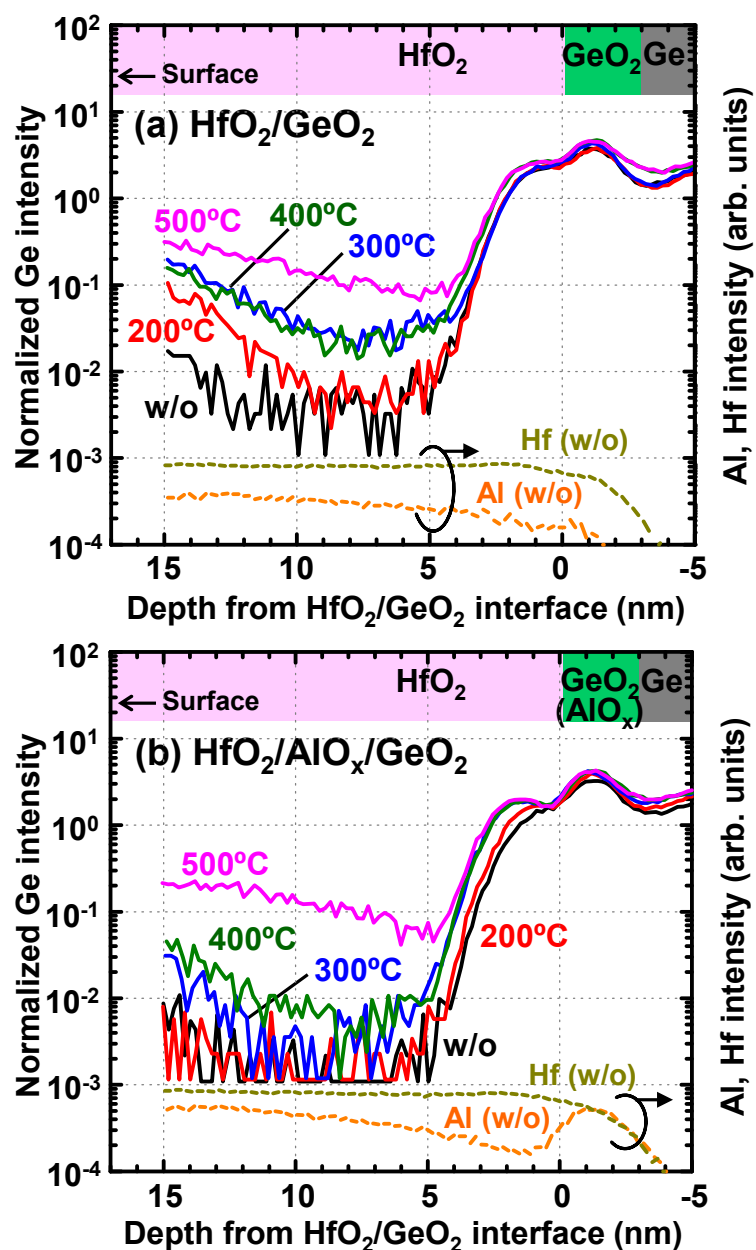


図 4.14 Dynamic-SIMS により得られた (a) $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ および (b) $\text{HfO}_2/\text{AlO}_x/\text{GeO}_2/\text{Ge}$ スタック構造における Ge のデプスプロファイル. HfO_2 膜の表層約 2 nm のプロファイルは、イオン強度が不安定な遷移層のためデプスプロファイルから除いた. 参考として、アニール処理無しの試料の Hf, Al デプスプロファイルを併せて示した.

第4章 HfO₂/GeO₂ 界面反応の理解および原子拡散制御効果の検証

次に、GeO₂ 膜から HfO₂ 膜に拡散した酸素の分布を、同位体酸素 (¹⁸O) をトレーサーとして調べた。図 4.15 に、HfO₂/GeO₂/Ge および HfO₂/AlO_x/GeO₂/Ge スタック構造の ¹⁸O のデプスプロファイルを示した。HfO₂/GeO₂/Ge スタック構造[図 4.15(a)]において、アニール処理により、Ge のデプスプロファイルと同様に HfO₂ 膜中の ¹⁸O 強度が増加していることがわかる。ただし、HfO₂ 膜中の分布は Ge と ¹⁸O では異なり、¹⁸O は HfO₂/GeO₂ 界面から HfO₂ 膜表面側に向かって単調に減少する傾向が認められた。アニール温度が高くなるほど ¹⁸O の拡散量は増大するが、400°C 以上では飽和している。一方、HfO₂/GeO₂ 界面に極薄 AlO_x 膜を挿入した場合[図 4.15(b)]、極薄 AlO_x 膜挿入無しと比べて、ある程度 ¹⁸O 拡散を抑制することができているが、300°C 以上のアニールで明確な ¹⁸O 拡散が認められている。また、図中に示したアニール処理無し (w/o) とアニール温度 500°C の ¹⁶O プロファイルから判断して、アニール処理により HfO₂ 膜中の ¹⁶O が GeO₂ 側に拡散していることがわかる。これらの結果を考慮すると、アニール処理により HfO₂/GeO₂ 界面において酸素は相互に拡散し、膜中に徐々に拡がっていくと考えられる。HfO₂ 膜中を拡散する Ge は HfO₂ 膜を突き抜けて HfO₂ 膜表層に偏析する挙動を示したこと、HfO₂/GeO₂ 界面における Ge と酸素の拡散はお互いに相関が無くそれぞれ独立した挙動を示すと考えられ、すなわち、GeO 分子として拡散している可能性も低いと結論付けられる。

ここで、GeO 熱脱離が起きないと推定される 400°C 以下のアニール条件下で、HfO₂ 膜中の酸素 (¹⁸O) 拡散が Fick の法則に基づく以下の原子拡散モデルに則ると仮定して、得られた ¹⁸O プロファイルをフィッティングし、各アニール温度における酸素の拡散係数を見積もった[27]。

$$C(x, t) = \frac{1}{2} C_0 \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \quad (1.1)$$

ここで、 C_0 は GeO₂ 膜中の初期状態 (アニール無し : w/o) の ¹⁸O 強度、 x は HfO₂/GeO₂ 界面からの深さ (m)、 t はアニール時間 (s) である。アニール温度 200~400°C の ¹⁸O プロファイルは上記の式に基づく拡散曲線によくフィッティングされたため、得られた酸素の拡散係数を温度の逆数に対してプロット (アレニウスプロット) し図 4.16 に示した。また、比較のため、HfO₂, GeO₂, Al₂O₃ の文献値も併せて示した[14, 16, 28, 29]。拡散係数の温度依存性の傾きから算出した HfO₂ 膜中の酸素拡散の活性化エネルギーは、極薄 AlO_x 膜挿入の有無に関わらず約 0.5 eV 程度と低い値を示し、かつ、Zafer らにより得られた Si 基板上の HfO₂ 薄膜 (3.5~4.0 nm) の酸素または酸素欠損の活性化エネルギー値 ($E_a = 0.46\text{--}0.60$ eV) と近い値であった[14]。なお、拡散係数の値自身は本研究の結果と Zafer らにより得られた結果で異なっているが、HfO₂ 膜中の酸素拡散係数は、HfO₂ 膜の膜質や結晶性に大きく依存することが知られているため、成膜方法の違いなどが影響を及ぼしたと推定される[14, 29]。

以上の結果から、 HfO_2 膜中に拡散する酸素の拡散のしやすさは、極薄 AlO_x 膜の挿入や基板材料とは無関係であるが、極薄 AlO_x 膜が $\text{HfO}_2/\text{GeO}_2$ 界面で Ge 拡散のバリア層として機能し、その結果、電気特性改善に貢献していると結論できる。

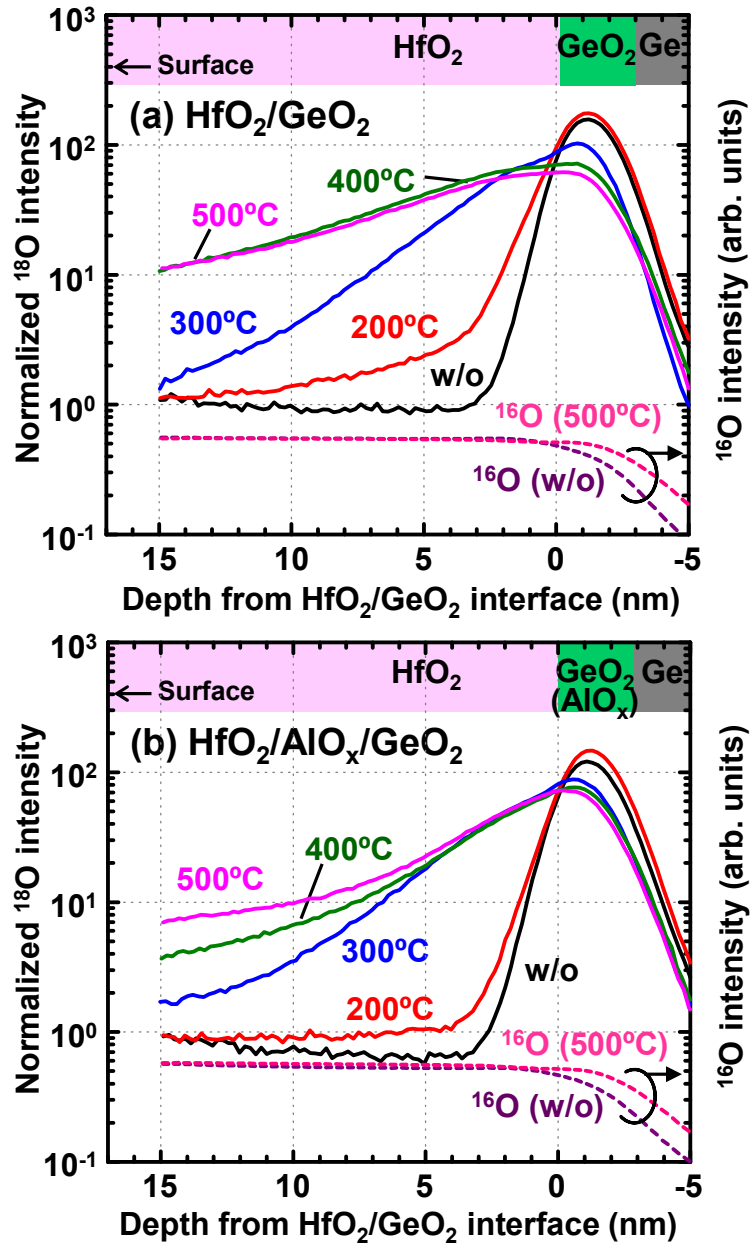


図 4.15 Dynamic-SIMS により得られた (a) $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ および (b) $\text{HfO}_2/\text{AlO}_x/\text{GeO}_2/\text{Ge}$ スタック構造における ^{18}O のデプスプロファイル. HfO_2 膜の表層約 2 nm のプロファイルは、イオン強度が不安定な遷移層のためデプスプロファイルから除いた. アニール処理無し (w/o) の HfO_2 膜中の ^{18}O 強度は天然の酸素中に存在する約 0.2 % の ^{18}O に由来するため、本測定バックグラウンドレベルとなる. 参考として、アニール処理無しおよびアニール温度 500°C の試料の ^{16}O デプスプロファイルを示した.

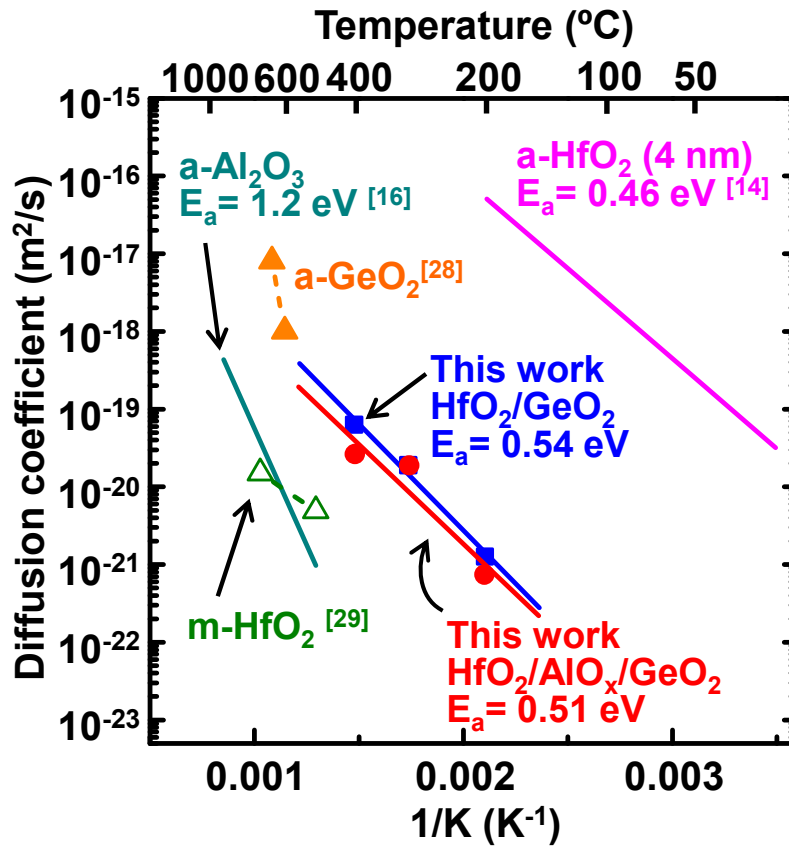


図 4.16 ¹⁸O デプスプロファイル (図 4.15) から見積もられた HfO₂ 膜中における酸素の拡散係数のアレニウスプロット. アレニウスプロットから求めた HfO₂ 膜中の酸素拡散の活性化エネルギーを図中に示した. また、比較のため他の文献値[14, 16, 28, 29]の値も併せて示した.

これまでに得られた結果に基づき、HfO₂/GeO₂/Ge スタック構造における Ge と酸素の熱拡散挙動の模式図を図 4.17 に示し、HfO₂ 膜中の原子拡散モデルおよび極薄 AlO_x 膜挿入の効果を以下にまとめた。

HfO₂/GeO₂/Ge スタック構造における Ge および酸素の熱拡散モデル

- 1) 図 4.17(a)は、高純度 ¹⁸O₂ 源を用いたプラズマ酸化により Ge 基板の上に GeO₂ 膜を形成し、同位体トレースによる酸素拡散評価が可能な HfO₂/GeO₂/Ge スタック構造が作製されている初期状態である。
- 2) 図 4.17(b)において、200～400℃ の比較的低温アニールでも、Ge、酸素ともに HfO₂/GeO₂ 界面から HfO₂ 膜中に拡散するが、両者の拡散プロセスは独立している。Ge は HfO₂ 膜を突き抜け HfO₂ 膜表層で偏析する特異な挙動を示し、電気特性を顕著に悪化させる。

一方で、酸素は低い活性化エネルギー（約 0.5 eV）で HfO₂ 膜中を拡散し、HfO₂/GeO₂ 界面において相互拡散していると推定された。酸素の相互拡散が電気特性に及ぼす影響は少ないと考えられる。

- 3) 図 4.17(c)において、アニール温度が 500°C を超えると、GeO 熱脱離を伴った Ge の顕著な拡散が引き起こされる。また、HfO₂ 膜中間部にも Ge が比較的多く存在するようになる。HfO₂ 膜中への Ge の顕著な拡散は、リーク電流特性の著しい劣化を引き起こす。

極薄 AlO_x 膜挿入の効果

- 1) 極薄 AlO_x 膜は、400°C 以下のアニール温度において、HfO₂/GeO₂ 界面の反応バリア層として機能し、スタック構造の熱的安定性を向上させる。Ge の拡散を顕著に抑制することができるため、リーク電流の増大を抑制でき、加えて界面層の増膜も抑え EOT 増膜も抑制される。一方で、酸素の拡散については抑制効果が小さい。
- 2) アニール温度 500°C の GeO 熱脱離が支配的な温度領域では、極薄 AlO_x 膜挿入の顕著な効果が認められなくなる。

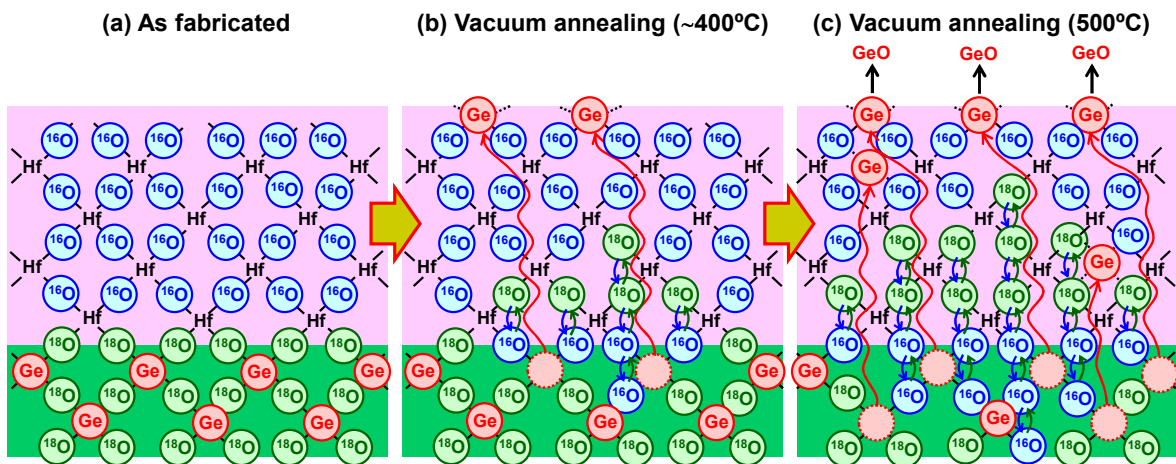


図 4.17 HfO₂/GeO₂/Ge スタック構造における Ge および酸素の熱拡散挙動の模式図。

(a) アニール処理無し, (b) 400°C 以下の低温真空アニール処理, (c) 500°C 真空アニール処理

4.3.4 Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタの構造と電気特性

HfO₂ 膜中の Ge と酸素の熱拡散を評価した結果、Ge と酸素はお互いに独立した拡散挙動を示し、加えて Ge の拡散が電気特性に強く影響を及ぼすことが示された。すなわち、Ge の拡散および GeO の熱脱離を抑制することが、電気特性改善の重要な指針であると考えられる。4.3.2 項で示した約 3 nm の Pt 膜を成膜した Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタでは、Pt 膜成膜後の 500°C アニールにおいて、Pt/HfO₂ 界面付近のラフネスが増大する現象が

認められた[図 4.10(b)]。EELS プロファイルにおいて Ge の拡散は認められなかったが、アニール温度を考慮すると GeO 熱脱離が引き起こされる温度領域であるため、Pt 膜厚 3 nm ではキャップ効果が弱かったと推定される。

そこで、共同研究者の浅原らによりプロセスの改善が行われ、厚い金属膜を形成した後に 500°C アニールを施す実験が行われた[25]。図 4.18 に、Pt 膜 (3 nm) 成膜後さらに Au 膜を厚く形成した後に 500°C アニールを施した Au/Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタの HAADF-STEM 像および EELS プロファイルを示した。STEM 像から、500°C アニール後も Pt/HfO₂ 界面にコントラストムラが無く、平坦性が維持されていることがわかり、EELS プロファイルにおいて Ge の拡散は認められなかった。また、20 nm の Pt 膜を形成した後に 500°C アニールを施した MOS キャパシタの C-V 特性および界面準位密度 (D_{it}) を図 4.19 に示した。C-V 特性[図 4.19(a)]において、EOT 1 nm 以下でありながら、周波数分散が極めて少ない C-V 特性が得られ、良好な界面特性を実現可能であることがわかった。また、 D_{it} 値においても[図 4.19(b)]、厚膜 GeO₂/Ge MOS キャパシタに匹敵する極めて低い D_{it} 値 ($2.4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$) が達成されている。膜厚約 3 nm および約 20 nm の Pt 膜を成膜した Pt/HfO₂/AlO_x/GeO₂/Ge スタック構造に対して 500°C アニールを施した際の断面構造および Ge 拡散の模式図を図 4.20 に示した。Pt 膜厚約 3 nm では、500°C アニール後に Pt/HfO₂ 界面のラフネスが増大し、HfO₂/GeO₂ 界面に極薄 AlO_x 膜を挿入していても GeO 脱離および Ge 拡散を完全には抑制できず界面特性の劣化が引き起こされる。一方、Pt 膜厚約 20 nm では Pt/HfO₂ 界面のラフネス増大の抑制およびキャップ効果[12]による GeO 脱離および Ge 拡散の抑制が両立され良好な界面特性が維持されたと考えられる。ゲートスタック構造における界面反応メカニズムの理解と電気特性評価の両面からのアプローチにより、極めて良好な電気特性がもたらされた。

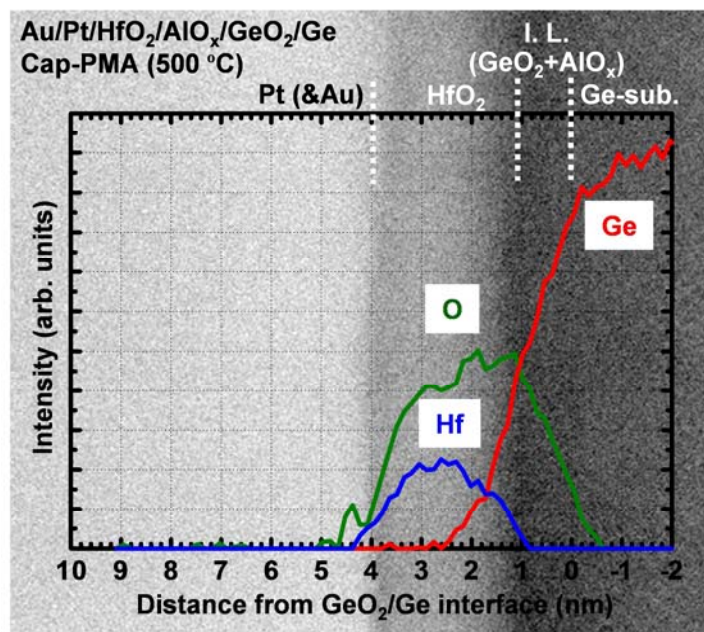


図 4.18 キャップ層として厚い Au 膜を成膜した後に 500°C アニールを施した Au/Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタの HAADF-STEM 像および EELS プロファイル.

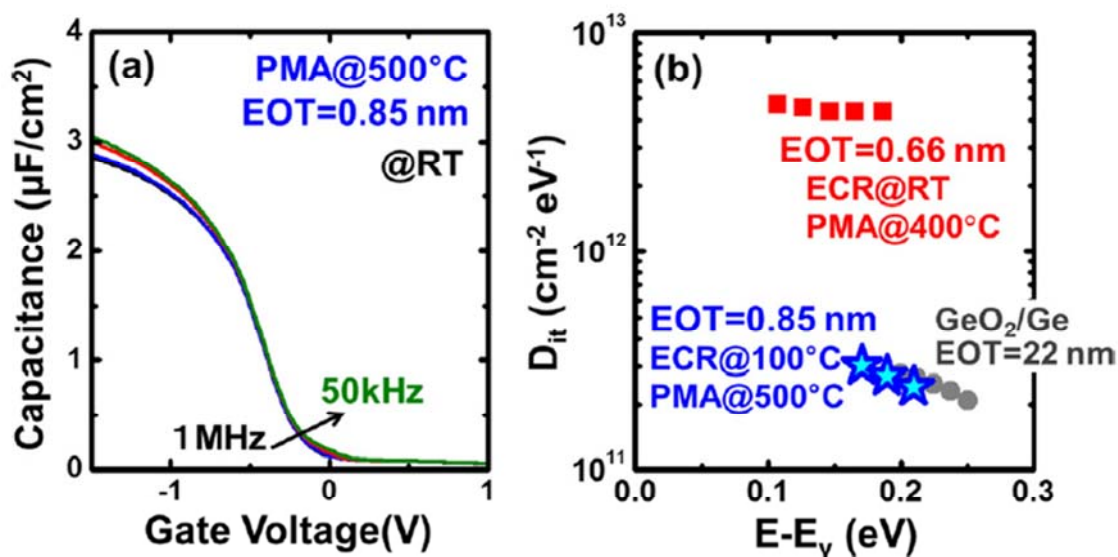


図 4.19 (a) キャップ層として約 20 nm の Pt 膜を成膜した後に 500°C アニールを施した Pt/HfO₂/AlO_x/GeO₂/Ge MOS キャパシタの C-V 特性, (b) 各種条件で形成した MOS キャパシタの界面準位密度 (D_{it}). 厚膜 GeO₂/Ge MOS キャパシタの結果も併せて示している. [25]

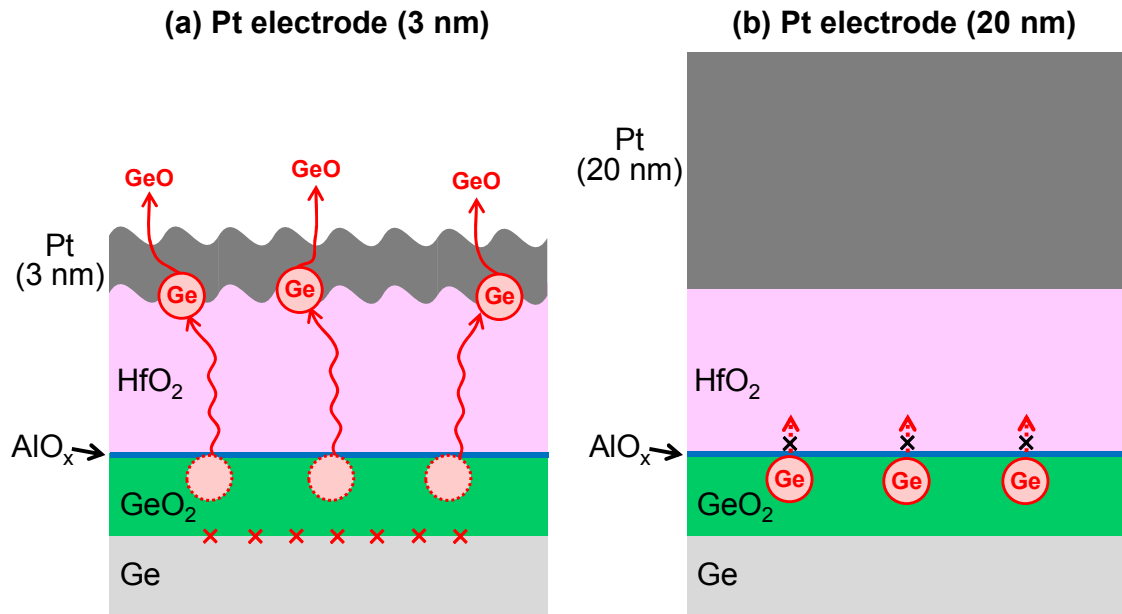


図 4.20 Pt 膜成膜後に 500°C アニールを施した際の Pt/HfO₂/AlO_x/GeO₂/Ge スタック構造および Ge 拡散の模式図. (a) Pt 膜厚約 3 nm, (b) Pt 膜厚約 20 nm. Pt 膜厚 20 nm では Ge 拡散が起きず、かつ Pt/HfO₂ 界面のラフネス増大も抑制される.

4.4 結言

本章では、 $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ スタック構造形成後の試料に対してアニールを施した際の MOS キャパシタ特性とスタック構造の相関関係の理解ならびに $\text{HfO}_2/\text{GeO}_2$ 界面に極薄 AlO_x 膜を挿入した際の電気特性改善効果の物理的理解を進めるとともに、 $\text{HfO}_2/\text{GeO}_2$ 界面反応により引き起こされる原子拡散挙動の系統的な評価を行った。以下、本章で得られた知見および成果をまとめた。

500°C アニールにより引き起こされる $\text{HfO}_2/\text{GeO}_2$ 界面反応の理解

Pt/HfO₂/GeO₂/Ge MOS キャパシタに 500°C アニールを施すと、リーク電流増大および EOT 増膜が引き起こされる。ゲートスタック構造を調べた結果、 $\text{HfO}_2/\text{GeO}_2$ 界面で反応が起き、 HfO_2 膜中に Ge が拡散することが確認された。Ge の拡散は電気特性劣化を招く主要因であると特定された。

$\text{HfO}_2/\text{GeO}_2$ 界面への極薄 AlO_x 膜挿入効果の理解

$\text{HfO}_2/\text{GeO}_2$ 界面への極薄 AlO_x 膜挿入は、アニール時の $\text{HfO}_2/\text{GeO}_2$ 界面反応を抑制する役割がある。その結果、 HfO_2 膜中への Ge 拡散が顕著に抑制され、良好な電気特性が維持され

第4章 HfO₂/GeO₂ 界面反応の理解および原子拡散制御効果の検証

る。ただし、アニール温度 500°C の GeO 熱脱離が支配的な温度領域では、極薄 AlO_x 膜挿入の顕著な効果が認められなくなる。

HfO₂/GeO₂ 界面反応により引き起こされる原子拡散モデルの構築

アニール温度を 200~500°C まで変えた際に HfO₂ 膜中に拡散する Ge および酸素のデプスプロファイルを調べた結果、200~400°C の比較的低温アニールでも、Ge、酸素ともに HfO₂/GeO₂ 界面から HfO₂ 膜中に拡散するが、両者は独立した拡散挙動を示す。Ge は HfO₂ 膜を突き抜け HfO₂ 膜表層で偏析する特異な挙動を示し、電気特性劣化を引き起こす。一方で、酸素は HfO₂/GeO₂ 界面で相互拡散しており、HfO₂ 膜中を低い活性化エネルギー（約 0.5 eV）で拡散する。酸素拡散が電気特性に与える影響は少ないと推定される。

アニール温度が 500°C を超えると、GeO 熱脱離を伴った Ge の顕著な拡散が引き起こされ、リーク電流特性の著しい劣化を引き起こす。

電気特性改善の指針およびプロセス改善後のゲートスタック構造と電気特性

本研究により、HfO₂ 膜中への Ge の拡散および GeO 熱脱離の抑制が、電気特性改善の重要な指針であることが示された。得られた知見に基づき、500°C アニール時の Ge 拡散のトリガーとなる GeO 熱脱離を抑制する目的で HfO₂ 膜を厚い金属膜でキャップし、その後アニールを施した試料の断面構造を調べた。その結果、Pt/HfO₂ 界面のラフネス低減および Ge 拡散の抑制が確認され、電気特性改善のエビデンスを得た。MOS 界面における界面反応メカニズムの理解と電気特性評価の総合的な解釈が技術革新のために極めて重要であると考えられる。

同位体酸素 (¹⁸O) を用いた酸化膜中の酸素拡散評価技術の確立

本章では、HfO₂ 膜中を拡散する酸素の分布を評価する必要があった。そこで、試料作製の段階において同位体酸素を利用して Hf¹⁶O₂ 膜と Ge¹⁸O₂ 膜を作り分ける独自の技術を用いた。その結果、GeO₂ 膜から HfO₂ 膜に拡散する酸素の分布を明確に計測することができ、さらに HfO₂ 膜中の酸素拡散係数の算出につながった。

参考文献

- [1] H. Matsubara, T. Sasada, M. Takenaka, and S. Takagi, “Evidence of low interface trap density in GeO₂/Ge metal-oxide-semiconductor structures fabricated by thermal oxidation”, Appl. Phys. Lett. **93**, 032104 (2008).
- [2] M. Houssa, G. Pourtois, M. Caymax, M. Meuris, M. M. Heyns, V. V. Afanas'ev, and A. Stesmans, “Ge dangling bonds at the (100)Ge/GeO₂ interface and the viscoelastic properties of GeO₂”, Appl. Phys. Lett. **93**, 161909 (2008).

- [3] T. Hosoi, K. Kutsuki, G. Okamoto, M. Saito, T. Shimura, and H. Watanabe, “Origin of flatband voltage shift and unusual minority carrier generation in thermally grown GeO₂/Ge metal-oxide-semiconductor devices”, *Appl. Phys. Lett.* **94**, 202112 (2009).
- [4] S. Saito, T. Hosoi, H. Watanabe, and T. Ono, “First-principles study to obtain evidence of low interface defect density at Ge/GeO₂ interfaces”, *Appl. Phys. Lett.* **95**, 011908 (2009).
- [5] N. Wu, Q. Zhang, C. Zhu, C. C. Yeo, S. J. Whang, D. S. H. Chan, M. F. Li, and B. J. Cho, “Effect of surface NH₃ anneal on the physical and electrical properties of HfO₂ films on Ge substrate”, *Appl. Phys. Lett.* **84**, 3741 (2004).
- [6] K. Kita, K. Kyuno, A. Toriumi, “Growth mechanism difference of sputtered HfO₂ on Ge and on Si”, *Appl. Phys. Lett.* **85**, 52 (2004).
- [7] N. Lu, W. Bai, A. Ramirez, C. Mouli, A. Ritenour, M. L. Lee, D. Antoniadis, and D. L. Kwong, “Ge diffusion in Ge metal oxide semiconductor with chemical vapor deposition HfO₂ dielectric”, *Appl. Phys. Lett.* **87**, 051922 (2005).
- [8] Y. Kamata, Y. Kamimuta, T. Ino, and A. Nishiyama, “Direct Comparison of ZrO₂ and HfO₂ on Ge Substrate in Term of the Realization of Ultrathin High-*k* Gate Stacks”, *Jpn. J. Appl. Phys.* **44**, 2323 (2005).
- [9] M. Caymax, S. V. Elshocht, M. Houssa, A. Delabie, T. Conard, M. Meuris, M. M. Heyns, A. Dimoulas, S. Spiga, M. Fanciulli, J. W. Seo, and L. V. Goncharova, “HfO₂ as gate dielectric on Ge: Interfaces and deposition techniques”, *Materials Science and Engineering B* **135**, 256 (2006).
- [10] T. Hosoi, I. Hideshima, R. Tanaka, Y. Minoura, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe, “Ge diffusion and bonding state change in metal/high-*k*/Ge gate stacks and its impact on electrical properties”, *Microelectron. Eng.* **109**, 137 (2013).
- [11] K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino, “Thermal decomposition pathway of Ge and Si oxides: observation of a distinct difference”, *Thin Solid Films* **369**, 289 (2000).
- [12] K. Kita, S. Suzuki, H. Nomura, T. Takahashi, T. Nishimura, and A. Toriumi, “Direct Evidence of GeO Volatilization from GeO₂/Ge and Impact of Its Suppression on GeO₂/Ge Metal-Insulator-Semiconductor Characteristics”, *Jpn. J. Appl. Phys.* **47**, 2349 (2008).
- [13] S. Ferrari and G. Scarel, “Oxygen diffusion in atomic layer deposited ZrO₂ and HfO₂ thin films on Si(100)”, *J. Appl. Phys.* **96**, 144 (2004).
- [14] S. Zafer, H. Jagannathan, L. F. Edge, and D. Gupta, “Measurement of oxygen diffusion in nanometer scale HfO₂ gate dielectric films”, *Appl. Phys. Lett.* **98**, 152903 (2011).
- [15] J. D. Kalen, R. S. Boyce, and J. D. Cawley, “Oxygen Tracer Diffusion in Vitreous Silica”, *J. Am. Ceram. Soc.* **74**, 203 (1991).
- [16] T. Nabatame, T. Yasuda, M. Nishizawa, M. Ikeda, T. Horikawa, and A. Toriumi, “Comparative Studies on Oxygen Diffusion Coefficients for Amorphous and γ -Al₂O₃ Films using ¹⁸O Isotope”, *Jpn. J. Appl. Phys.* **42**, 7205 (2003).

- [17] S. Ferrari and M. Fanciulli, “Diffusion Reaction of Oxygen in HfO₂/SiO₂/Stacks”, J. Phys. Chem. B **110**, 14905 (2006).
- [18] K. P. Bastos, J. Morais, L. Miotti, R. P. Pezzi, G. V. Soares, I. J. R. Baumvol, R. I. Hegde, H. H. Tseng, and P. J. Tobin, “Oxygen reaction-diffusion in metalorganic chemical vapor deposition HfO₂ films annealed in O₂”, Appl. Phys. Lett. **81**, 1669 (2002).
- [19] L. V. Goncharova, M. Dalponte, D. G. Starodub, T. Gustafsson, E. Garfunkel, P. S. Lysaght, B. Foran, J. Barnett, and G. Bersuker, “Oxygen diffusion and reactions in Hf-based dielectrics”, Appl. Phys. Lett. **89**, 044108 (2006).
- [20] M. Houssa, G. Pourtois, M. Caymax, M. Meuris, and M. M. Heynsb, “First-principles study of the structural and electronic properties of (100)Ge/Ge(M)O₂ interfaces (*M*=Al, La, or Hf)”, Appl. Phys. Lett. **92**, 242101 (2008).
- [21] R. Zhang, P. C. Huang, N. Taoka, M. Takenaka, and S. Takagi, “High Mobility Ge pMOSFETs with 0.7 nm Ultrathin EOT using HfO₂/Al₂O₃/GeO_x/Ge Gate Stacks Fabricated by Plasma Post Oxidation”, Dig. Tech. Pap. - Symp. VLSI Technol. 2012, 161.
- [22] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, “Al₂O₃/GeO_x/Ge gate stacks with low interface trap density fabricated by electron cyclotron resonance plasma postoxidation”, Appl. Phys. Lett. **98**, 112902 (2011).
- [23] I. Hideshima, T. Hosoi, T. Shimura, H. Watanabe, “Al₂O₃/GeO₂ stacked gate dielectrics formed by post-deposition oxidation of ultrathin metal Al layer directly grown on Ge substrates”, Current Appl. Phys. **12**, S75 (2012).
- [24] K. Kutsuki, I. Hideshima, G. Okamoto, T. Hosoi, T. Shimura, and H. Watanabe, “Thermal Robustness and Improved Electrical Properties of Ultrathin Germanium Oxynitride Gate Dielectric”, Jpn. J. Appl. Phys. **50**, 010106 (2011).
- [25] R. Asahara, I. Hideshima, H. Oka, Y. Minoura, S. Ogawa, A. Yoshigoe, Y. Teraoka, T. Hosoi, T. Shimura, and H. Watanabe, “Comprehensive study and design of scaled metal/high-*k*/Ge gate stacks with ultrathin aluminum oxide interlayers”, Appl. Phys. Lett. **106**, 233503 (2015).
- [26] S. K. Wang, K. Kita, C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, “Desorption kinetics of GeO from GeO₂/Ge structure”, J. Appl. Phys. **108**, 054104 (2010).
- [27] J. Crank, “The Mathematics of Diffusion, 2nd ed.”, (Clarendon, Oxford, 1975).
- [28] S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, “Isotope Tracing Study of GeO Desorption Mechanism from GeO₂/Ge Stack Using ⁷³Ge and ¹⁸O”, Jpn. J. Appl. Phys. **50**, 04DA01 (2011).
- [29] T. Nabatame, T. Yasuda, M. Nishizawa, M. Ikeda, T. Horikawa, and A. Toriumi, “Comparison Studies on Oxygen Diffusion Coefficients for ALD-Al₂O₃ and PLD-HfO₂ Films Using ¹⁸O Isotope”, Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials, Nagoya, 2002, C-2-4.

第5章 総括

5.1 GeO₂膜およびMOS界面の性質の理解と制御

世界ではじめて作製されたトランジスタに半導体として用いられたのは Si ではなく Ge であった。しかしながら、高い信頼性が要求される MOSFET に Ge を採用するためには、Ge 上に高品質な絶縁膜を形成する必要がある、Ge の酸化絶縁膜である GeO₂ 膜の材料学的に脆弱な性質が MOSFET への実用化を阻んできた。一方、Si 上の SiO₂ 膜は極めて高い安定性を有することから SiO₂/Si 構造が長きに渡り MOSFET の主流となったが、Si をチャネル材料とする MOSFET (Si-MOSFET) は微細化の物理的な限界を迎えつつある。そのため、チャネル材料を Si よりキャリア移動度が高い Ge に置き換えて MOSFET を高性能化することに改めてスポットライトが当てられ、研究開発が加速している。このような潮流の中で、GeO₂ 膜は脆弱な性質を有する反面、GeO₂/Ge 界面の特性は本質的に良好であることが実験的にも理論的にも報告された。そのため、高性能 Ge-MOSFET 実現のために高品質な GeO₂/Ge スタック構造を形成することは欠くことができない要素であり、さらに high-*k* 絶縁膜やメタルゲート電極のスタックと精密な制御も必要となる。

そこで本研究では、Ge-MOS デバイス実現に向けて GeO₂ 膜および GeO₂ 膜がスタックされた MOS 界面の高品質化と電気特性改善の指針を得るために、GeO₂ 膜そのものの性質を理解すること、および MOS 構造の界面反応のメカニズムを明らかにすること、さらにそれらの物理現象が MOS キャパシタの電気特性に及ぼす影響を総合的に把握することを目的として研究を進めた。特に、GeO₂ 膜中を拡散する水素の特異な挙動、GeO₂ 膜上に反応性が比較的高い Al 電極を形成した際の Al/GeO₂ 界面の反応および生成物、また、GeO₂ 膜上に HfO₂ 膜を形成した際の界面反応および HfO₂ 膜中への Ge および酸素の拡散挙動を明らかにしたことが本研究における重要な成果となった。以下、各章で得られた成果のまとめを示す。

第2章では、大気下に曝露された GeO₂ 膜がどのような反応を示すかを網羅的に調べ、大気曝露した際の電気特性の劣化との相関を調べた。

- GeO₂ 膜は大気下で水分を吸収する。その際、水分由来の水素は速やかに GeO₂ 膜の内部まで拡散し蓄積されていく。水分吸収および GeO₂ 膜中の水素濃度増加が GeO₂ 膜質劣化のトリガーとなるため、環境雰囲気制御 (特に水分) または GeO₂ 膜中の水素濃度の制御が極めて重要であると言える。
- 吸収した水素含有量がある一定の値に達すると、一部の GeO₂ が炭酸塩やアンモニウム塩、水酸化物などに変性し、それに伴い有機物を吸収するようになる。

第5章 総括

- GeO_2 膜が吸収した不純物は真空アニールにより低減でき、不純物量の低減は電気特性改善につながる。特に膜中の水素濃度増加は少数キャリア生成と相関がある。さらに、 GeO_2/Ge 界面近傍の水素分布は反応性が高い酸素欠損サイトの量を反映した可能性があるため、水素分布は特性改善のための重要な知見になると考えられる。
- 本章で明らかにした大気下における GeO_2 膜の不安定性を考慮すると、高性能 Ge-MOS デバイスを作製するプロセスにおいて GeO_2 膜を大気曝露させないプロセスが必然であると言える。ただし、 GeO_2 膜が大気下で示した特異な反応や不純物吸収の本質的なメカニズム、すなわち実際にどのような反応が起き、どのような形態（原子、分子、イオンまたはラジカルなど）で不純物が拡散するかは完全に解明できていないため、 GeO_2 膜の性質をより詳細に理解することが、Ge-MOS デバイス作製プロセスおよびデバイス性能を極限的に追求する上での今後の課題であると考えられる。

第3章では、 GeO_2 膜上に反応性が異なる2種の金属をゲート電極として形成した際の金属電極/ GeO_2 界面の構造と電気特性との相関を調べた。また、界面反応を制御する技術の検証を行った。

- GeO_2 膜上に Au 電極を形成した場合、Au が不活性であるため Au/ GeO_2 界面の反応は起きない。そのため、Au ゲート MOS キャパシタは低いリーク電流特性を維持できる。ただし、 V_{FB} の負方向へのシフトや、わずかではあるが C-V 曲線においてヒステリシスが認められたため、電気特性制御のために今後さらなる改善が必要である。
- GeO_2 膜上に Al 電極を形成すると、比較的反応性が高い Al の性質に由来して Al/ GeO_2 界面で反応が起き、Al の酸化と GeO_2 の還元が同時に起きる。Al ゲート MOS キャパシタは、Al/ GeO_2 界面の反応による変性物生成の影響を受け、リーク電流増加および欠陥準位の生成といった深刻な電気特性劣化が引き起こされる。しかし本研究において、Al/ GeO_2 界面の反応は、 GeO_2 膜の窒化や極薄 Al_2O_3 膜の挿入により低減できることを確認した。
- Al/ GeO_2 界面で起きる反応により、Ge-Al 合金が形成され、この成分が Al 中を拡散する特異な挙動が認められた。Al/ GeO_2 界面反応の挙動は詳細な実験結果に基づきモデル化して提案した。

第4章では、 HfO_2 膜を GeO_2 膜上に積層しアニールを施した際の $\text{HfO}_2/\text{GeO}_2$ 界面の反応および原子拡散を詳細に調べた。極薄 AlO_x 膜挿入による $\text{HfO}_2/\text{GeO}_2$ 界面反応の制御を検証し、電気特性との相関関係を明らかにした。

- $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ スタック構造では 200~400°C の比較的低温アニールでも、Ge、酸素ともに $\text{HfO}_2/\text{GeO}_2$ 界面から HfO_2 膜中に拡散する。ただし、両者は独立した拡散挙動を示す。

- Ge は HfO_2 膜を突き抜け HfO_2 膜表層で偏析する特異な挙動を示し、電気特性劣化（リーク電流増加、EOT 増膜）を引き起こす。
- 酸素は $\text{HfO}_2/\text{GeO}_2$ 界面で相互拡散しており、 HfO_2 膜中を低い活性化エネルギー（約 0.5 eV）で拡散する。ただし、酸素拡散は電気特性に顕著な影響を与えない。
- アニール温度が 500°C を超えると、 GeO 熱脱離を伴った Ge の顕著な拡散が引き起こされ、リーク電流特性の著しい劣化を引き起こす。
- $\text{HfO}_2/\text{GeO}_2$ 界面への極薄 AlO_x 膜挿入は $\text{HfO}_2/\text{GeO}_2$ 界面反応の抑制に効果的である。極薄 AlO_x 膜挿入に加え、厚い Pt 電極でキャップすることで、 500°C アニール処理後も良好な状態を維持できることをスタック構造解析と電気特性の両面から明らかにした。

本研究により、 GeO_2 膜および MOS 界面の性質を理解することの重要性と得られた結果に基づいた研究開発へのフィードバックの必要性が示せたと考えている。一方で、Ge-MOS デバイスは極めて繊細な制御が必要であることも示されたため、MOS 構造の性質のみならず個々の原子の性質を理解し制御することが、高性能 Ge-MOS デバイスの実現のために必要であると結論付けられる。解決すべき課題はまだ多く残されているが、本研究で得られた知見に基づいて高い精度で制御された革新的な Ge-MOS デバイスを実現することを期待する。

5.2 本研究で導入した分析技術および将来展望

Ge-MOS デバイスの性能を向上させるために、作製した MOS 構造の性質を理解し現状の品質を把握した上で改善の指針を構築するプロセスが必要不可欠である。しかしながら、大気下で不安定な GeO_2 膜を適切に評価すること、および MOS 界面を評価すること自体の難易度が高いため、これまでは GeO_2 膜および MOS 界面の性質を詳細に調べた事例が乏しかった。そこで本研究において、 GeO_2 膜および MOS 界面の性質を物理分析で明らかにして、プロセス改善の指針を示すことに取り組んだ。様々な評価を進める中で、通常の分析では評価できない現象を明らかにするため、必要に応じて特殊な分析技術の導入を進めた。以下、本研究で構築した独自性が高い評価手法について述べる。

同位体トレーサー法による原子拡散評価

- GeO_2 膜中の水分由来の水素の拡散挙動を詳細に調べるため、水分由来の水素とそれ以外の水素を切り分ける目的で水 (H_2O) の同位体である重水 (D_2O) を用いた。高純度 D_2O 雰囲気試料を曝露し、Dynamic-SIMS により D の分布をモニターし、それ以外の水素と切り分けて評価することを可能にして、水分由来の水素が GeO_2 膜中において極めて特異的な拡散挙動を示すことを明らかにした。

- 酸素 ($^{16}\text{O}_2$) の同位体である重酸素 ($^{18}\text{O}_2$) を用いて酸化膜を形成することで、 GeO_2 膜から HfO_2 膜に拡散する酸素の挙動を調べた。高純度 $^{18}\text{O}_2$ で Ge^{18}O_2 膜を形成し、その後、 Ge^{18}O_2 膜上に通常酸素 ($^{16}\text{O}_2$) で Hf^{16}O_2 膜を成膜した。作製した $\text{Hf}^{16}\text{O}_2/\text{Ge}^{18}\text{O}_2/\text{Ge}$ スタック構造に対して、真空アニール処理を施し GeO_2 膜から HfO_2 膜中に拡散する酸素の挙動を Ge の拡散と対比させて Dynamic-SIMS で評価した。その結果、酸素と Ge はどちらも HfO_2 膜中に拡散するが、両者の拡散挙動は全く異なり、電気特性を劣化させる要因が Ge の拡散にあることを証明した。

HAXPES によるゲート電極/ GeO_2 界面の非破壊分析

- ゲート電極を約 15 nm 形成した後のゲート電極/ GeO_2 界面の化学状態を調べるため、放射光の硬 X 線を活用した硬 X 線光電子分光法 (HAXPES) を導入した。ゲート電極形成後にゲート電極/ GeO_2 界面を通常軟 X 線を用いる光電子分光法 (XPS) で評価しようとしても、XPS の検出深さが数 nm 程度と浅いため、そのままではゲート電極越しに界面の情報を得ることはできない。本研究でも実施したように XPS 測定時にイオンエッチングを施して界面の情報を得る方法があるが、試料の破壊を伴うことに加えて試料によってはイオンエッチングによる変性 (酸化物の還元など) が起きる場合があるため注意が必要である。そこで本研究では通常 XPS より検出深さが深い (約 30 nm) HAXPES を適用し、非破壊で界面の状態を調べることを実行した。その結果、電極形成後の Al/GeO_2 界面の反応生成物 (Ge-Al 合金) を電極越しに非破壊で検出することに成功し、Ge-Al 合金生成量の比較から、界面反応制御プロセスの有効性を実証した。

本研究で構築した分析技術により得られた結果および考察に基づく特性改善への提言が、Ge-MOS デバイスの研究開発をより一層推進したと考えている。また、これらの分析技術は今後の MOS デバイスの研究開発においても有益な情報を得るためのツールになると考えられる。しかしながら、例えば本研究で評価した原子拡散現象における詳細なメカニズムの解明 (どのような反応式に基づき、どのような形態で拡散するのか) など、さらなるデバイスの高性能化のために解決すべき課題が残されている。分析技術が MOS デバイスの研究開発を推進する原動力、ひいては先導役であり続けるために、高まり続ける評価への要求に応える分析技術を構築し続ける必要がある。多くの分析方法が物理的または化学的な性能の限界に直面しているため、新たな技術の開発または導入は容易ではないが、現状を打破する技術の確立およびあらゆる要求に応える分析技術の構築に今後も挑戦し続けることを宣言して、本論文の結びとする。

謝辞

本研究を進めるにあたり、終始一貫して懇切なるご指導、ご鞭撻を賜りました大阪大学大学院工学研究科 生命先端工学専攻 渡部 平司教授に深甚なる謝意を表します。渡部教授の考察の深さ、研究の推進力および総括する力を直に学べたことが私の研究生生活の大きなモチベーションとなり代え難い財産となりました。また、本論文をまとめるにあたり有益なご指摘、ご助言を賜りました大阪大学大学院工学研究科 生命先端工学専攻 高井 義造教授、兼松 泰男教授に心より深く御礼申し上げます。

本研究を推進するにあたり、多くの有益なご助言をいただきました大阪大学大学院工学研究科 生命先端工学専攻 志村 考功准教授に厚く御礼申し上げます。また、具体的な実験内容、結果の考察に関して直接的に丁寧にご指導いただきました大阪大学大学院工学研究科 生命先端工学専攻 細井 卓治助教に深く御礼申し上げます。さらに、事務的な面で丁寧なご対応とご支援をいただきました須賀 真理子様、辻本 有香様に深謝致します。

本研究における実際の実験を遂行するにあたり、多大なるサポートおよび貴重なご討論を賜りました渡部研究室の皆様、特に多くの実験を共に進めていただきました朽木 克博博士、秀島 伊織様、箕浦 佑也様、浅原 亮平様、岡 博史様、小山 真広様に心より御礼申し上げます。

本研究において分析評価を行う上で、筆者の所属する株式会社東レリサーチセンターの関係者の皆様に多くのご協力を賜りました。この場を借りて御礼申し上げます。本研究の機会を与えていただきました前代表取締役社長 佐藤 卓治様、現代表取締役社長 川村 邦昭様、前常務取締役 研究部門長 片桐 元博士、現常務取締役 研究部門長 吉川 正信博士、形態科学研究部長 大塚 祐二博士、表面科学研究部長 中川 善嗣様、表面科学研究部次長 森田 直威様、技術開発企画部 先端分析推進室長 萬 尚樹様、表面科学研究部 表面科学第2研究室長 辻 淳一博士に厚く御礼申し上げます。また、有益な分析結果を提供していただきました材料物性研究部 材料物性第1研究室 柳澤 知佳様、材料物性第2研究室 村司 雄一様、構造化学研究部 構造化学第1研究室長 関 洋文様、表面科学研究部 表面科学第1研究室 伊達 友嗣様、須田 泰市様、山田 一子様、宮本 隆志様、児島 幸子様、形態科学研究部 形態科学第1研究室 川崎 直彦様、木村 耕輔博士、迫 秀樹様、現株式会社東芝 伊藤 俊彦様に深く御礼申し上げます。また、実験結果の考察を深めるにあたり有意義なご助言をいただきました常務取締役 総合企画室長 石切山 一彦博士、理事 名古屋営業部長 大石 学博士に感謝致します。さらに筆者が所属する職場において、日々の業務および実験を細部に渡りサポートしていただきました表面科学研究部 表面科学第2研究室 宮田 洋明様、吉川 和宏様、高橋 久美子様、

長谷川 博子様、織田 志保様、安居 麻美様にこの上ない謝意を表します。加えて、研究開始の初期から一貫してご指導を賜り、研究活動の道筋を示していただきました技術開発企画部 連携推進室長 山元 隆志博士にひとかたならぬ感謝の意を表します。

最後に、研究生生活を送けるにあたり献身的に支えていただきました妻 照美および最高の笑顔で常に支えてくれた息子 圭翔、桃李、莉汰および両親、兄弟に心からの感謝の意を捧げます。

平成29年1月
大阪大学大学院工学研究科
生命先端工学専攻
小川 慎吾

研究業績

◆本研究に関する主たる原著論文

- [1] S. Ogawa, T. Suda, T. Yamamoto, K. Kutsuki, I. Hideshima, T. Hosoi, T. Shimura, and H. Watanabe, “Insight into unusual impurity absorbability of GeO₂ in GeO₂/Ge stacks”, Appl. Phys. Lett. **99**, 142101 (2010).
- [2] S. Ogawa, I. Hideshima, Y. Minoura, T. Yamamoto, A. Yasui, H. Miyata, K. Kimura, T. Ito, T. Hosoi, T. Shimura, and H. Watanabe, ”Interface engineering between metal electrode and GeO₂ dielectric for future Ge-based metal-oxide-semiconductor technologies”, Appl. Phys. Lett. **101**, 201601 (2012).
- [3] S. Ogawa, R. Asahara, Y. Minoura, H. Sako, N. Kawasaki, I. Yamada, T. Miyamoto, T. Hosoi, T. Shimura, and H. Watanabe, “Insights into thermal diffusion of germanium and oxygen atoms in HfO₂/GeO₂/Ge gate stacks and their suppressed reaction with atomically thin AlO_x interlayers”, J. Appl. Phys. **118**, 235704 (2015).

本博士論文は上記の原著論文に掲載された研究成果を主たる構成要素としてまとめたものである。第2章は原著論文[1]、第3章は原著論文[2]、第4章は原著論文[3]の内容に基づき構成されている。本博士論文を執筆するにあたり、原著論文3報の出版元である AIP Publishing LLC よりデータ再使用許可を得ていることを付記しておく。

◆その他の研究論文

- [1] R. Asahara, I. Hideshima, H. Oka, Y. Minoura, S. Ogawa, A. Yoshigoe, Y. Teraoka, T. Hosoi, T. Shimura, and H. Watanabe, “Comprehensive study and design of scaled metal/high-*k*/Ge gate stacks with ultrathin aluminum oxide interlayers”, Appl. Phys. Lett. **106**, 233503 (2015).

◆国際会議における発表

◆口頭発表

- [1] S. Ogawa, T. Yamamoto, G. Okamoto, K. Kutsuki, T. Hosoi, T. Shimura, and H. Watanabe, “Investigation of the physical origin of the improved electrical properties of GeO₂ dielectric by vacuum annealing”, Extended Abstracts of Material Research Society 2010 Spring Meeting, I4.1.

◆ポスター発表

- [1] S. Ogawa, T. Suda, T. Yamamoto, K. Kutsuki, I. Hideshima, T. Hosoi, T. Shimura, and H. Watanabe, “Unusual impurity absorbability of GeO₂ in GeO₂/Ge stacks”, Extended Abstracts of Fourth International Symposium on Atomically Controlled Fabrication Technology, 2011, pp. 260.

[2] S. Ogawa, I. Hideshima, Y. Minoura, T. Yamamoto, A. Yasui, H. Miyata, T. Hosoi, T. Shimura, and H. Watanabe, “Interface engineering between metal electrode and GeO₂ dielectric for future Ge-based metal-oxide-semiconductor technologies”, Extended Abstracts of Fifth International Symposium on Atomically Controlled Fabrication Technology, 2012, pp. 224.

◆国内学会における発表

◆口頭発表

[1] 小川 慎吾, 児島 幸子, 村司 雄一, 関 洋文, 伊達 友嗣, 山元 隆志, 岡本 学, 朽木 克博, 細井 卓治, 志村 考功, 渡部 平司, “電極形成前の真空アニールによる GeO₂ 絶縁膜の特性改善機構の解明”, 2009 年秋季 第 70 回応用物理学会学術講演会 予稿集, 11p-TD-2.

[2] 小川 慎吾, 須田 泰市, 山元 隆志, 朽木 克博, 秀島 伊織, 細井 卓治, 志村 考功, 渡部 平司, “プラズマ窒化による GeO₂ 膜中への大気中不純物拡散の抑制”, 2010 年秋季 第 71 回応用物理学会学術講演会 予稿集, 15p-ZA-8.

[3] 小川 慎吾, 須田 泰市, 山元 隆志, 秀島 伊織, 朽木 克博, 細井 卓治, 志村 考功, 渡部 平司, “硬 X 線光電子分光法による金属電極/GeO₂ 絶縁膜界面反応の解析”, 2011 年春季 第 58 回応用物理学関係連合講演会 予稿集, 26p-KW-16.

[4] 小川 慎吾, 秀島 伊織, 箕浦 佑也, 木村 耕輔, 川崎 直彦, 安居 麻美, 宮田 洋明, 山元 隆志, 細井 卓治, 志村 考功, 渡部 平司, “球面収差補正 (Cs-corrected) STEM-EELS による金属電極/GeO₂ 絶縁膜界面反応の解析”, 第 60 回応用物理学会春季学術講演会 予稿集, 2013, 28p-G2-3.

◆ポスター発表

[1] 小川 慎吾, 秀島 伊織, 箕浦 佑也, 山元 隆志, 安居 麻美, 宮田 洋明, 木村 耕輔, 細井 卓治, 志村 考功, 渡部 平司, “Interface Engineering between Metal Electrode and GeO₂ Dielectric for Future Ge-based Metal-Oxide-Semiconductor Technologies”, ゲートスタック研究会—材料・プロセス・評価の物理— (第 18 回研究会) 予稿集, 2013, pp. 225.

[2] 小川 慎吾, 川崎 直彦, 木村 耕輔, 田中 亮平, 箕浦 佑也, 細井 卓治, 志村 考功, 渡部 平司, “極薄 AlO_x 層挿入による High-*k*/Ge 界面反応制御機構の解析”, 第 61 回応用物理学会春季学術講演会 予稿集, 2014, 19p-PG2-7.

[3] 小川 慎吾, 浅原 亮平, 箕浦 佑也, 迫 秀樹, 川崎 直彦, 山田 一子, 宮本 隆志, 細井 卓治, 志村 考功, 渡部 平司, “HfO₂/GeO₂/Ge スタック構造におけるゲルマニウムと酸素の熱拡散に関する研究”, 第 63 回応用物理学会春季学術講演会 予稿集, 2016, 19p-P3-1.

◆受賞

- [1] 小川 慎吾, 川崎 直彦, 木村 耕輔, 田中 亮平, 箕浦 佑也, 細井 卓治, 志村 考功, 渡部 平司, “極薄 AlO_x 層挿入による High- k /Ge 界面反応制御機構の解析”, 第 61 回応用物理学会春季学術講演会, 2014, ポスターアワード.
- [2] 小川 慎吾, 浅原 亮平, 箕浦 佑也, 迫 秀樹, 川崎 直彦, 山田 一子, 宮本 隆志, 細井 卓治, 志村 考功, 渡部 平司, “ $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ スタック構造におけるゲルマニウムと酸素の熱拡散に関する研究”, 第 63 回応用物理学会春季学術講演会, 2016, ポスターアワード.