

Title	ACOSシステム (2) : S700のハードウェア その1
Author(s)	
Citation	大阪大学大型計算機センターニュース. 1977, 25, p. 31-38
Version Type	VoR
URL	https://hdl.handle.net/11094/65346
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

ACOS システム (2)

— S 700 のハードウェア : その 1 —

前号では ACOS システムの開発思想について説明したので、今回は S 700 のハードウェアを中央処理装置を中心に述べる。特に数値の扱われ方と精度については、N 500・N 700 との比較を行っている。

なお本稿は参考資料 1) 2) より引用して作成したが、詳細については直接参照されたい。

3. ハードウェア

3.1 概 説

従来の中央処理装置 (N 500, N 700 など) は、演算制御部、主メモリおよびチャネル機構が完全に一体化されたものとして存在していた。しかし I S S を支える多次元処理機能、データベース機能、コミュニケーション機能というような多くの機能を効率良く実現するためには、命令の処理、入出力の処理、ネットワーク処理など各機能をお互いに独立して処理させる必要があるという考えの下に、徹底した処理の分散化がはかられ機能毎に独立の装置で構成するモジュール化方式を採用している。(図 3.1 参照)

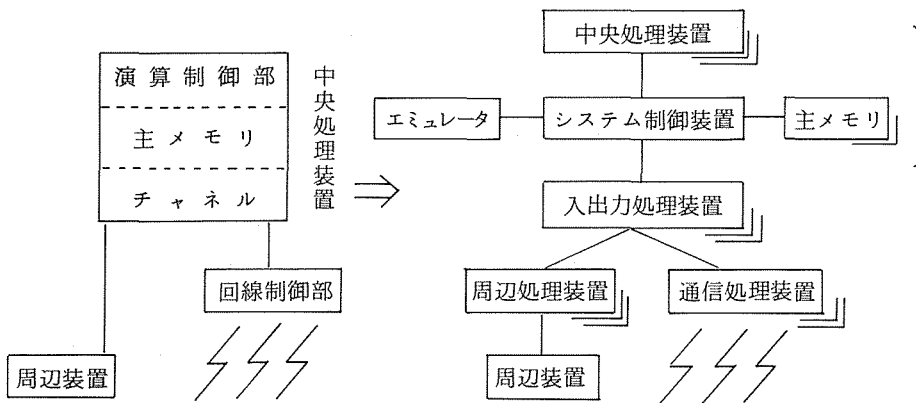


図 3.1 システム構成の比較

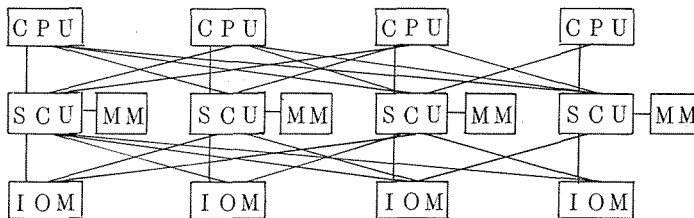
図で明らかな通り、S 700 は演算を行う中央処理装置 (以下 CPU と略す)、N 2200 の命令を実行できるエミュレータ、主メモリ、チャネル機構を司る入出力処理装置 (以下 I O M と略す) がシステム制御装置 (以下 S C U と略す) を中心に配されている。

I O M の下には、通信処理を行う通信処理装置 (以下 F N P と略す) と周辺装置の制御を行う周辺処理装置がある。周辺処理装置には、磁気ディスク処理装置 (以下 M S P と略す)

磁気テープ処理装置（以下MTPと略す）、ユニットレコード装置（カードリーダー、カードパンチ、ラインプリンタの制御を行う、以下URPと略す）、汎用周辺処理装置（OCR、OMRプロッタの制御を行う、以下GPPと略す）、漢字処理装置がある。各処理装置は独立のプロセッサであり（特にFNP、GPP、漢字処理装置はストアードプログラム方式を採用している）SCUが各プロセッサ間および各プロセッサと主メモリ間の干渉を制御している。ここで述べられたエミュレータ、GPP、漢字処理装置はACOSシステムのハードウェア構成の考え方を理解できるようにするために触れられたものであり、現在のS700システムには接続されていないので注意を要する。以下、S700システムに接続されている装置を中心に説明する。

3.2 システム制御装置（SCU）

システムの中心を成す装置であり、CPU・IOMと主メモリ間のデータ転送、CPUとIOM間の情報交換は本SCUを介して行われる。SCU1台には最大CPU4台、IOM4台、主メモリIMBが接続可能であり、1つのシステムにSCUは最大4台まで接続可能である。S700の最大システム構成の時のSCUは図3.2のような接続関係となる。



但しMMは主メモリ（各IMB）

図 3.2 最大構成時のSCUの接続関係

図の構成で、ACOS-6の下で1システムとして動作するが、SCUのインタフェイスは処理装置の如何によらず共通で、システム制御コマンドとよばれるハードウェアにより行われる。

処理装置間の情報交換は、図3.3のように行われる。CPUが他のCPUやIOMを起動する命令はコネクト命令ただ一つである。SCUはその命令を解読し、該当処理装置に起動信号を出す。CPUが受けるとコネクトフォルトを起し、主メモリ内の処理ルーチンにとぶ。IOMが受けると、主メモリ内のメールボックス(Mail Box)を利用して、入出力プログラムを実行し、終了するとSCUの割込レジスタをセットする。

SCUはそれを調べ該当CPUに割込をかけ、CPUは割込処理ルーチンに入る。

SCUは、さらにシステムタイマと、システム構成制御機能をもつ。タイマは1μsの精度で約142年間の長さをもっており、各処理装置間の時間校正や絶対時間表示に用いられる。システム構成制御用として、主メモリやCPU、IOMの接続状態やマスク等制御状態を指定する機能もち、CPUの特殊命令によりアクセスできるようになっている。

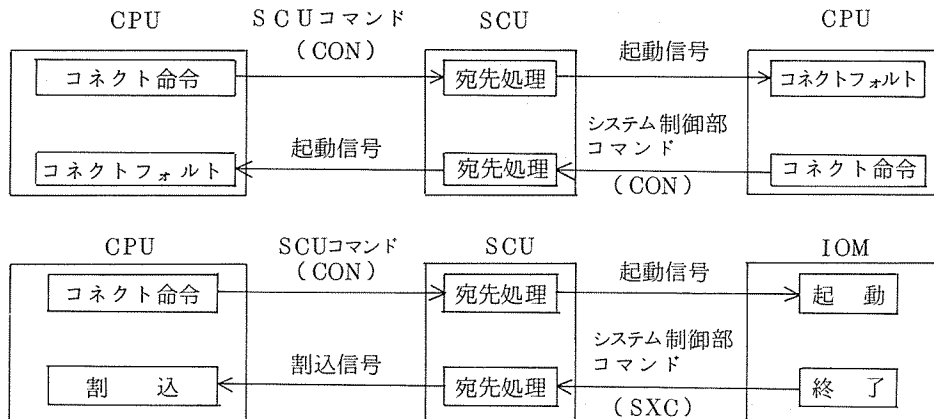


図 3.3 処理装置間の情報交換

3.3 中央処理装置 (CPU)

3.3.1 CPUの構成と概要

CPUの構成は図 3.4 のような構成をしており、3 レベルの先回り制御と各ユニットの並行処理により複数命令の並行処理が可能である。

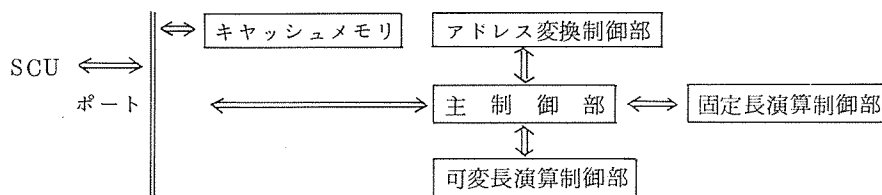
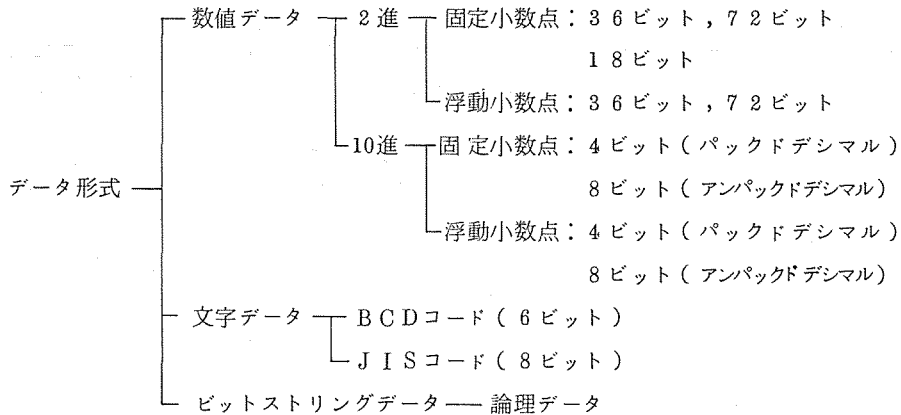


図 3.4 CPUの構成

図でアドレス変換制御部は仮想記憶機構を利用する時に接続されるユニットである。CPUの語構成は4バイト(1バイトは9ビット)すなわち36ビットであり、命令は合わせて272種、アドレス形式も0, 1, 2, 3アドレス方式がある。また17種76個のレジスタを持ち、動作モードとしては特権マスター、マスター、スレーブの3つがある。CPUの能力は、最高4ウェイの主メモリインターリーブ、先回り制御やキャッシュメモリにより1秒間に1,100,000命令(1.1 MIPS)の命令の実行を行うことができる。

3.3.2 データ形式

S700では次のようなデータ形式を扱うことができる。



ここでは特に FORTRAN など技術計算に必要な 2 進固定小数点，2 進浮動小数点，文字データについて詳述する。

(1) 2 進固定小数点データ

2 進固定小数点データ形式には，① 36 ビット，② 72 ビット，および③ 18 ビットの 3 種類があり，これらの形式を図 3.5 に示す。

2 進固定小数点データの最初の 1 ビット（ビット 0）は，符号指定に用いられ，負数のデータは 2 の補数表示で表される。

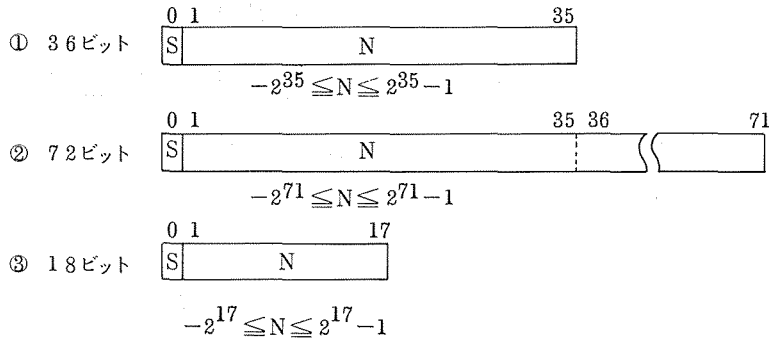


図 3.5 2 進固定少数点データ形式

1 語で表わされる数値の範囲は

$$-2^{-35} \sim 2^{35} - 1 \quad (-34, 359, 738, 368 \sim 34, 359, 738, 367)$$

であるが，N500，N700 では 1 語が 48 ビットであるため，その範囲は

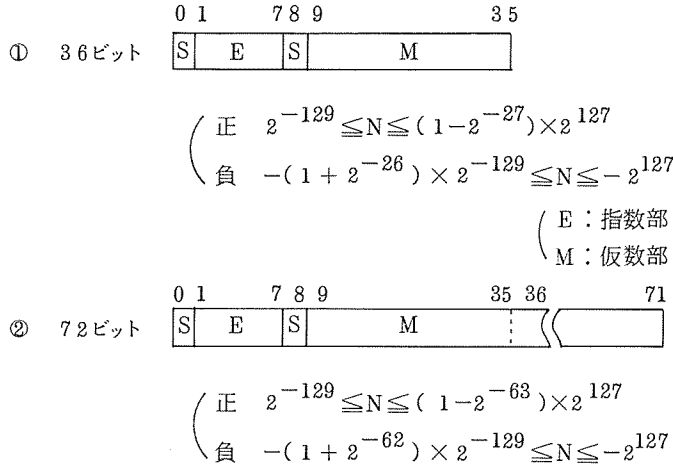
$$-2^{-47} \sim 2^{47} - 1 \quad (-140, 737, 488, 355, 328 \sim 140, 737, 488, 355, 327)$$

であり，S700 の方が約 1 桁程小さくなっているのに注意を要する。

(2) 2進浮動少数点データ

2進浮動小数点データ形式には、① 36ビット、② 72ビットの2種類があり、これらの形式を図3.6に示す。

2進浮動小数点データは、8ビットの指数部と、① 28ビット、② 64ビットの仮数部とから成り、いずれも最初の1ビットは符号指定に用いられる。また、指数部・仮数部とも、負数のデータは2の補数で表され、指数部は2のべき乗で表される。



注 Nは正規化され、かつ0を含まない。

図3.6 2進浮動少数点データ形式

従って、扱える数の絶対値の範囲は36ビット(単精度)、72ビット(倍精度)とも、 $10^{-38.8} \sim 10^{38.2}$ となり、有効桁数は単精度で10進8.1桁、倍精度で10進18.6桁となる。N500、N700は単精度で仮数部が符号共で36ビット、指数部が同様に12ビットであるため、数の範囲は $10^{-616.7} \sim 10^{616.1}$ 、有効桁数は10進で10.2桁であり、倍精度では仮数部が72ビットになるので有効桁数は10進で21.0桁まで表わせた。このようにみるとS700は精度の面ではN500、N700よりかなり悪いことがわかるので、利用にあたっては特に注意を要する。

(3) 文字データ

文字データ形式には①BCDコード(6ビット)と②JISコード(8ビット)の2種類があり、この形式を図3.7に示す。

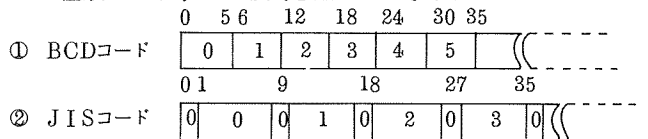


図3.7 文字データ形式

3.3.3 命令形式

3.3.3.1 CPU命令は全部で272種あり，その形式より基本命令形式と複数語命令形式に大別される。命令の仕様，命令が取り扱うデータの形式を図3.8に示す。

命令形式	命令の仕様		取り扱うデータの形式		命令種類
	長さ	アドレス方式	長さ	表現	
基本命令	1語 (36ビット)	1アドレス	固定長	①2進数(固定/浮動) ②文字(6ビット)	243
複数語命令	3語 または 4語	2アドレス または 3アドレス	可変長	①10進法 (固定/浮動) (バック/アンパック) ②文字 (8ビット/6ビット) ③ビットストリング	29

図3.8 命令の仕様とデータの形式

複数語命令では，データ記述語により，取り扱うデータの形式およびアドレスを命令語と独立に指定することができるが，これはCOBOLを始めとする高級言語において，プロセッサとデータを独立に指定する方式と完全にマッチした機能であり，これらの高級言語による処理を効率よく実現できる。

3.3.4 レジスタ

3.3.4.1 CPUには図3.9に示すようなレジスタがあるが，ここではその詳細については触れない。

レジスタ名称	個数	レジスタビット長
アキュムレータレジスタ	1	72ビット
インデックスレジスタ	8	各18ビット
指数レジスタ	1	8ビット
ベースアドレスレジスタ	1	18ビット
インディケータレジスタ	1	18ビット
タイマレジスタ	1	27ビット
インストラクションカウンタ	1	18ビット
フォルトレジスタ	1	36ビット
モードレジスタ	1	36ビット
キャッシュモードレジスタ	1	6ビット
アドレスレジスタ	8	各24ビット
ベース拡張レジスタ	1	6ビット
マスタモード BAR A	1	15ビット
マスタモード BAR B	1	15ビット
制御部ヒストリレジスタ	16	各72ビット
演算部ヒストリレジスタ	16	各72ビット
10進演算部ヒストリレジスタ	16	各72ビット

図3.9 レジスタ一覧

3.3.5 キャッシュメモリ

各CPUは8kバイトのアクセスタイム100nsのキャッシュメモリを内蔵し、CPUの処理能力の向上や他の処理装置との主メモリアクセス競合の軽減の効果をあげている。キャッシュメモリは、セット アソシエイティブ方式をとり、ブロック長16バイト、ブロック数512の合計8kバイトの容量をもち、リプレースアルゴリズムはFIFO方式をとっている。主メモリからのデータ転送は、16バイトのブロック転送を行い、ストア アサイド (store aside) 方式によりよい効率をあげ、書込時はストア スルー (store through) 方式を採用している。

〔参考資料〕 (日本電気マニュアル)

- 1) ACOS 77 NEAC システム600/700 システム概説書 (FAZ01)
- 2) ACOS 77 NEAC システム600/700 中央装置ハードウェア説明書 (FBB01)

電総研LISPについて

電子技術総合研究所（電総研と略称）所有のLISP（LISP1.9）が、電総研の好意によりACOSシステム700で使用できるようになりました。

LISP 1.9はリスト言語の一つで、電総研が東芝に製作させたもので、所有権は電総研にあります。これを、学術研究用にのみ使用するという条件で、センターのACOSシステムに組込ませてもらったものです。

LISP 1.9はTSSで使えるようになっています。これを使う場合には、通常の手続きで会話を開始し、センターからのメッセージ

* SYSTEM ?

に対し L1.9 と入力すれば呼出されます。

このLISPは上のような事情からソース・リストは公開されていません。また、センターには現在LISPの専門家はいませんので、内容についての問合せには一切応じられないことを御了承の上お使い下さい。使用に際して問題点等お気付きのことがある時は、メモの形でセンター研究開発部藤井助教授宛御連絡下さればとりまとめて適当な機会に電総研に伝えます。

また、マニュアルはオリジナルが1部しかありませんので、センター備付けのものをセンター内で御覧になって下さい。御自分でコピーを作られる方にはコピー用のものをお貸しします。