The University of Osaka
Institutional Knowledge Archive

Title	VLSI研究動向と回路解析プログラムの一例
Author(s)	熊谷, 貞俊
Citation	大阪大学大型計算機センターニュース. 1982, 44, p. 93-98
Version Type	VoR
URL	https://hdl.handle.net/11094/65518
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

資　料

VLSI研究動向と回路解析プログラムの一例

大阪大学工学部電子工学科
熊　谷　貞　俊

1. はじめに

昨年IEEE（Institute of Electrical and Electronics Engineers）の回路とシステム会誌七月号〔1〕にVLSIの計算機援用設計（CAD）に関する小特集が掲載され、そこで編集者のSangiovanni－Vincentelli（California大学Berkeley）がつぎのように述べている。

「1980年代はVLSI技術による産業革命の時代に向いつつある。HP（Hewlett－Pachard）社とINTEL社がそれぞれ32－ビットマイクロコンピュータの生産を発表したが、例えばHP社の場合1チップ（数ミリ角のシリコン基盤）上に45万個のMOSデバイスが搭載されており、またINTEL社の場合システム設計およびデバッグに120人・年のマンパワーが投入された。近い将来1チップ上に100万個以上のデバイスが搭載されたシステムの開発が要求されるであろうが、現在までの設計・検証に要する時間と労力より類推して新らしい設計思想と援用手法の確立がそのような要求の実現のために不可欠である。」

まことに近年の集積回路における高集積化のスピードには驚異的なものがあり、例えば従来マイクロコンピュータのメインメモリとして多大の努力の結果開発された32kbRAMや64kbRAMにかわって一挙に256kbダイナミックRAMの商品化が各社でなされつつある。高集積化の要請はマイクロコンピュータの機能強化と小型化という産業社会的（米国ではさらに軍事的）要請により不可避的にもたらされたものであり、その実現は社会の情報化を通して産業構造全体に影響をおよぼすが故に革命的であると言われている訳である。集積度の飛躍的増大とあいまって近年ではICの用途別カスタム化が要求され、多品種少量生産化への体制の整備が必要となっているが、VLSIの設計に対する援用手法の確立が叫ばれるのも以上2つの理由からである。後で述べるようにVLSIの設計・製造・検証過程にはそれぞれ多数のフェーズがあり各フェーズに応じた援用手法を開発する必要がある。また各フェーズ間の情報のやりとりがスムーズになるように問題を記述する言語を開発する必要がありマルチフェーズからの情報検索・修正が容易なデータベースの作製、尨大なデータの入出力・処理を行うための階層的ファイル構造、技術革新にともなうデータの修正に追随しうるマクロ拡張の機能といったことがまず設計援用手法を考える上での基礎的条件となる。このようにVLSIの設計問題には通常他の分野で直面する大規模システムの設計・解析問題のほとんどすべての問題が含まれており、このための設計法の確立自体が他の技術分野へおよぼす影響は

すこぶる大きいといえる。VLSI 設計のためのこのような方法論や具体的なインプリメンティションは現在発展途上にあり未だ完成の域には程遠いのであるが、残念ながら本学を含め日本の大学でこのような大プロジェクトに対して interdisciplinaryな機能的協同研究体制を整えているところは見当らない。創造的研究開発に対するインセンティブの低さや協同研究体制の欠如は企業を含めて VLSI のような重要な将来技術開発においていつまでも日本をSecond Sourcer の位置にとどめておくのではないかと危惧しているのは筆者だけではないと思うが、それでは米国ではどのような研究体制で VLSI の設計技法の確立にとりくんでいるのかを次節で御紹介したい。

2. VLSI の研究動向　　米国における研究体制の例。

VLSI設計における諸フェーズには大別してつぎのようなものが考えられる。

1. システム・アーキテクチャ …… たとえば線長を最短にするようなシステム・アーキテクチャや特定言語の直接処理をめざす 32b マイクロコンピュータのアーキテクチャの決定。
2. シンセシス …… アーキテクチャセットが与えられた後、ミクロコードをPLA(Programmable Logic Array) で実現する。通常論理設計と呼ばれている段階であるが回路パラメータの決定や簡単なレイアウトまで行いつぎのフェーズへの移行をスムーズにする。
3. レイアウト …… VLSI設計の中心的なフェーズであり、チップ面積を最小にする各矩形デバイスの配置や、各ポート間の配線を行う。自動化の要請の切実なフェーズである。
4. アナリシス …… 製造工程でのプロセスシミュレーションや回路シミュレーション、タイミングシュミレーション、論理シミュレーションなどの機能別の解析が行われる。また、計算機言語により表現されたICハードウェアの等価性の検証なども行う。

このような各フェーズにおける諸問題の効率的な解決には計算機援用が不可欠なことは当然であるがそのためにはまえがきでも述べた様に問題の記述方式、データ構造などのシステムソフトについての工夫が必要となり、言語理論・情報理論のような計算機科学の基礎的理論の研究が附随する。

また当面する問題自体、たとえば多目的最適化、統計的予測、組合せ論的最適化、スティフな大規模代数ー微分方程式の高速・高精度の解析手法の開発など大規模システムの設計・解析で現われるほとんどすべての問題が包含されており、またそれらのほとんどは基本的には未解決あるいは

ＮＰ完全な問題であると言っていい。したがって、ヒューリステックなアルゴリズムや、知識工学的な手法の開発といった先端的工学手法の適用も考えなければならない。

このような複合的問題にアタックし将来技術手法の獲得にむけてタスク・フォース的な研究体制を組んでとりくんでいる例を御紹介しよう。

１つは、シリコンバレー誕生の母胎であるスタンフォード大学である。ここでは、電気工学科に属する３つの研究施設、計算機システム研（ＣＳＬ）、集積回路研（ICL）、情報システム研（ＩＳＬ）および計算機科学科のスタッフがＶＬＳＩに関する協同研究を行っている。近いうちにＶＬＳＩ研究施設が新設される予定であるが、これらの多数の研究室間には数台のVAXやHP 1000、3000を含む専用ネットワークが構成されておりETHERNETというシステムで研究室間のリンケージを行っている。言語理論のUllman，情報システム理論のKailath，人工知能のFeigenbaumといった錚々たるメンバーがＶＬＳＩの協同研究に参画しておりＶＬＳＩ研究の底深さを物語っているが、同時にその総合的解決をめざす迫力には空恐ろしさを感ずる。ＩＣＬには勿論チップ製作のためのプロセス設備があり、学生の教育実習にもCADによるＩＣ設計およびその製作がとり入れられている。我が電子工学科には１台のチップ製作設備もないのはどういう訳か。このプロセスはたとえば、ＩＳＬで開発された画像処理用のカスタムＩＣを試作するというように自前のＩＣ工場の役目も荷なっている。

いま１つは、著者も一時籍をおいていたカルフォルニヤ大学バークレーの例である。ここのオペレーティングシステムは有名なUNIXで計算機ネットワークでのコミュニケーションの容易さには定評がある。昨年、ＶＡＸ計算機ネットワークでのコミュニケーション機能を強化するためのVAX UNIXシステム開発というプロジェクトに約１億５千万円（70万ドル）の予算を計上したということを電気・計算機科学科（ＥＥ・ＣＳ）の研究報告で読んだが、我々には全く気の遠くなるような話である。このようなシステム開発には、ＣＳのスタッフ指導の下に学生が動員され（勿論給料つきで）それぞれ研究成果を学位論文にまとめて卒業してゆく。まさに一石三鳥の研究開発システムである。

さて、ここでのＶＬＳＩ研究体制はスタンフォード大学に比べやや現実的（短期的）なプロジェクトを対象としている。スタッフはＥＥのＩＣグループ（Broderson，Gray，Hodges，Newtonら）、システムグループ（Kuh，Polak，Sangiovanni－Vincentelli）およびＣＳのグループが参画している。これらの個々のスタッフはそれぞれデザイン・ステーションを構成し、それらは高速ネットワークを通じて共通のデータバンクや特殊目的のハード（たとえば、スパース行列処理用マイクロプロセッサ）とリンクしている。このようなデザインシステムの構成自体一つの計算機ソフト上の問題であるがスタッフの協力を得てベストなシステムを作りつつある。もともと、ここのＩＣグループは中規模のカスタムＩＣを自前で製造したり、学生のチップ製作実習を担

当したりしていた関係上、比較的にマイルドな規模のＩＣ設計のための実用的援用手法の開発を手がけてきた。回路シュミレータのＳＰＩＣＥ２やＳＬＩＣは他大学や企業にリリースされてよく使われている。また、レイアウトにおけるコンパクションのためのプログラム CABBAGE を開発したのもこのグループである。これらはいずれもそのままではＶＬＳＩ の設計援用手法としては弱体であるが、バークレーのＶＬＳＩ 設計思想は既存の援用手法をうまく積み重ねて大規模設計に間に合わせようという割と現実的なスタイルで、スタンフォードのように長期的展望のもとにＶＬＳＩ を総合的にとり扱うといういき方とは少し異っているように思われる。

以上２つの例からも判るようにＶＬＳＩ の設計技法の確立には多方面からの協同作業が不可欠であり、我々のようにレイアウトなり回路解析なりの研究をばらばらに行っていても産業界をリードするような総合的な成果は生まれないと思われる。

3. 回路解析プログラムの一例　ＡＮＡＰ－６

本節では、ＶＬＳＩ 設計上の一つの問題である回路解析シミュレーションについて、筆者も少し関係したANAP－6 を例にとり説明する。ＶＬＳＩの回路シミュレーションで特に問題になることは、１つは素子数が尨大（数万～数十万）であること、いま１つはパラジテック（微少な寄生素子）の影響を無視できないという点である。また、シミュレーション結果が意味をもつためにはデバイスのモデルがしっかりしていなければならないことは言うまでもないが、このためにはデバイスシミュレーションという別の設計過程がありここではふれない。素子数が尨大であるための困難性は他のどんな大規模システムにおいても問題となることであるが（もっとも 10^5オーダの大規模系は他にはそうざらにないが）、寄生素子の影響という点は電子回路特有のものである。このために一般に電子回路を記述する微分方程式はスティフなもの、すなわち、固有値に非常なバラツキをもったものとなり数値積分を行うときに特別の配慮をしなければならない。また大規模行列演算を効率的に行うためにはスパース行列処理の手法を用いなければならない。さらにユーザが容易に使えるためには回路入力情報の記述や処理の仕方にソフト上の工夫をこらさなければ使いものにならない。たとえば各種のデバイスモデルのテーブル・ルックアプ機能による記述の簡略化を行うことなどである。

さて、それでは ANAP－6 ではどのようにしてこれらの問題に対処しているかを見てみよう。詳しくは、本計算機センターのマニュアルFXJ 12，FXJ 13，FXJ 14を参照されたい。

3.1 解　析　手　法

ANAP－6 の採用している解析手法は非線形素子（バイポーラあるいはMOSトランジスタなど）の区分的線形近似にもとづく一般化Katzenelson アルゴリズム〔2〕である。この手法の特

徴は従来の Newton－Raphson 法での収束性の問題（初期試行値の選び方の問題）を完全に解決している点である。この手法を用いることにより ANAP－6は従来の解析プログラムでは実行不可能であった多値関数の求解、たとえばシュミット回路の入出力特性の計算を正しく行うことができる。

ANAP－6 の用途は、直流解析（代数方程式の求解）、過渡解析（代数－微分方程式のダイナミックシミュレーション）、直流入出力特性解析、統計解析である。もちろん対象は電子回路であるが他の非線形ダイナミカルシステムに対しても使用できる。

3.2　スパース・タブロー方式

先に述べたように、電子回路の解析プログラムはスティフな微分方程式を扱わねばならない。このために、数値安定性と高速性をともに満足するような数値積分法を用いなければならない。ANAP－6では閉形式の積分法 ― 逆オイラー法 ― を採用して積分の刻み幅を誤差評価を行いつつ可変にコントロールしている。また、閉形式の積分法を用いるために各ステップで代数方程式を解かねばならない。そこで、直流・過渡解析を通じて問題を $Ax = b$ の求解問題に表わしたものをタブロー方程式と呼ぶ。行列Aは回路の接続情報より作られたキルヒホフ則や枝特性、微分作用素等を一まとめに表わしたもので一般にきわめてスパースである。従って、適当なスパース行列処理の技法を利用して効率的演算を行っている。

3.3　シンボリック処理

スパースタブロー方程式のシンボリックな求解手順をコード発生により与え、最適計算手順による繰り返し計算実行の効率化を図っている。

3.4　モデルライブラリ機能

入力処理を短縮し、使用メモリーの節減を図るためにモデルライブラリを作り、オブジェクトレベルによるテーブルルックアプ機能によって回路記述が簡略化されている。

その他にもRerun および Save/Restart 機能をもたせて素子値や制御パラメータ（数値積分誤差や直流解析の出発値など）の変更にともなう再計算の処理時間を節約している。

以上のようにANAP－6は回路解析シミュレータとしての基本的必要条件をそなえているが、VLSI の回路シミュレータとして用いるためには未だ解決しなければならない点をいくつか含んでいる。例えば、ANAP－6の許容ノード数1000というのは少なすぎるし、本質的に大規模行列の演算を含んでいるので高速化・高精度化にも困難性がある。SPICEや他の回路シミュレータにみられるようにフラッギング（flagging）の機能をもたせて inactive な素子の未知変数

からの除外といった方法を採用することにより行列演算をなるべくスカラー演算におきかえるような工夫をすれば高速化が図れるかも知れない。筆者の使用経験から言えば回路記述が簡単で確かに使いやすいプログラムであり、小規模の電子回路解析には大変便利である。大規模回路に対してはまだ使用したことはないので何とも言えないが恐らく処理時間の点で問題があるだろう。また、サイリスタ回路のように急峻な特性をもつ素子を含む回路に対しては処理時間が長く使い勝手が悪いようである。

4. おわりに

VLSI の設計技法の確立にはまだまだ未解決の問題がたちはだかっているが、そのような問題解決へむけて研究体制を整えている米国の主要2大学の状況を簡単に御紹介した。おおげさに言えば一国の死命を制するような重要な将来技術である VLSI の研究に対し我国の大学が適当な協同研究体制を整えていないという現状に少々危機感を覚え、このような小論を書いた次第である。研究体制の問題の他にも VLSI 設計のような多大の労苦を必要とするプロジェクトに対するインセンティブ（主に資金面・業績評価といった面での）の欠如にも問題があり、どうしようもないといったところが正直な実状である。

＜参考文献＞

〔1〕 Special Invited Papers on VLSI Design Aids, IEEE Trans. Circuits and Systems, Vol.CAS－28, №7, pp. 617－666, July 1981.

〔2〕 T. Ohtsuki, T. Fujisawa and S. Kumagai, "Existence Theorems and a Solution Algorithm for Piecewise－Linear Resistor Networks," SIAM Journal on Mathematical Analysis, Vol. 8, №1, pp. 69－99, February 1977。