

Title	VLSI回路の面積と計算時間の複雑さに関する研究
Author(s)	和田, 幸一
Citation	大阪大学, 1983, 博士論文
Version Type	VoR
URL	<a href="https://hdl.handle.net/11094/659">https://hdl.handle.net/11094/659</a>
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	和 田 幸 一
学位の種類	工 学 博 士
学位記番号	第 6 0 6 1 号
学位授与の日付	昭 和 58 年 3 月 25 日
学位授与の要件	基礎工学研究科 物理系専攻 学位規則第5条第1項該当
学位論文題目	VLSI回路の面積と計算時間の複雑さに関する研究
論文審査委員	(主査) 教 授 都 倉 信 樹 (副査) 教 授 藤 澤 俊 男 教 授 高 忠 雄 教 授 高 島 堅 助

## 論 文 内 容 の 要 旨

本論文は、VLSIモデルにおけるVLSI回路の面積と計算時間の複雑さに関する研究の成果をまとめたもので、緒論と本文5章および結論からなる。

半導体技術、集積回路技術の飛躍的な発展により、回路のVLSI化が可能になり、従来の論理設計ではあまり考慮されなかったVLSI回路特有の尺度が用いられるようになった。VLSI回路においては、回路に含まれる素子と配線や入出力端子等を含めた全体の面積と、回路の性能を抽象化した計算時間が重要な評価尺度である。また、回路面積Aと計算時間Tとの間にはトレードオフがあるので、面積時間積 ( $AT^\alpha$ :  $\alpha \geq 0$ ) はバランスのとれたVLSI回路の評価尺度であると考えられる。

第1章の緒論では、VLSI回路の面積時間複雑度に関する研究の現状、その工学上の意義、本研究の新しい諸結果について概説している。

第2章では、本論文で用いるVLSI回路を面積と計算時間で評価するVLSIモデル、および諸定義について述べている。

第3章では、一般の $n$ 入力 $m$ 出力論理関数のクラスに対して、その関数を実現する回路の面積時間積 ( $AT^\alpha$ :  $\alpha \geq 1$ ) の1つの下界を導出し、復号化関数、符号化関数、対称関数など基本的に重要な関数がここで得られた下界を達成することが示される。第4章では、入出力端子は回路の境界上におく (境界配置の仮定と呼ぶ) という仮定を付け加えたVLSIモデルのもとで、第3章で取り扱った関数のクラスに対して、面積時間積の下界が導出される。このとき、面積時間積の下界が境界配置の仮定に真に依存することが示される。また、この下界をほぼ達成する関数が存在することが証明される。

第5章と第6章では、 $AT^\alpha$ に対して $\alpha=0$ の場合、すなわち、回路の面積を評価する手法が議論さ

れている。第5章では、順序回路による構成を許した場合、第6章では、構成を組合せ回路に限定した場合のそれぞれについて、回路をVLSIとして埋め込むとき必要となる面積の下界を導出する手法が示され、その結果を利用して、復号化関数、乗算、ソーティングなどを実現する回路の面積下界が示される。また、この下界はいずれも漸近的に最良のものである。

第7章の結論では、本研究で得られた主な結果をまとめ、今後に残された問題について述べている。

## 論文の審査結果の要旨

本論文はあるVLSIモデルにおけるVLSI回路の面積と計算時間の複雑さに関する研究をまとめたものである。

VLSI回路においては、回路に含まれる素子と配線や入出力端子等を含めた全体の面積と、回路の性能を表わす計算時間が重要な評価尺度であり、面積 $A$ と計算時間 $T$ の積 $AT^\alpha$  ( $\alpha \geq 0$  は面積に対する時間の重み) の評価に関する研究が行われている。本研究では、まず、ThompsonらのVLSIモデルに、ファンイン・ファンアウトの制限を加えたモデル上で、一般の $n$ 入力 $m$ 出力論理関数のクラスに対して、その関数を実現する回路の面積時間積の一つの下界を導出した。復号化関数、符号化関数、重み関数などの関数とその下界を達成することを示している。また、より実際的なモデルとして境界配置条件(入出力端子は回路の境界上におくという条件)をつけ加えた場合についての下界を導出し、これをほぼ達成する関数の存在を示している。つぎに、VLSI回路の面積のみを評価することを試み、順序回路による構成を許した場合、組合せ回路に限定した場合のそれぞれについて、回路を実現する際必要となる面積の下界を導出する手法を与えている。また、この手法を用いて得られる面積の下界は、乗算、ソーティングなど重要な関数に対して漸近的に最良のものであることを示した。これらの結果は、VLSIの複雑さの評価に関する理論、及び論理設計に貢献するものであり、博士論文として価値あるものと認める。