

Title	SX-3Rシリーズのハードウェア構成
Author(s)	井上, 政信; 古井, 利幸; 板垣, 治敏
Citation	大阪大学大型計算機センターニュース. 87 P.10-P.23
Issue Date	1992-11
Text Version	publisher
URL	http://hdl.handle.net/11094/65992
DOI	
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

SX-3Rシリーズのハードウェア構成

井上 政信 *1 古井 利率 *2 板垣 治敏 *3

1. まえがき

SX-3Rシリーズでは最先端のアーキテクチャ、国際標準インタフェースを採用し、最先端の超高速LSI技術や高密度実装技術により、2.5ナノ秒という超高速マシンサイクルと世界最高の性能を実現しています。SX-3Rシリーズでは超高速演算を実現するために、

- (1) スーパーコンピュータとしては国産で初めて、演算プロセッサ最大4台のマルチプロセッサ構成
- (2) 種々の高速化技術を採用した超高速スカラユニット
- (3) 16本のベクトル演算パイプラインの同時動作が可能な強力ベクトルユニット
- (4) ANSI準拠の超高速HIPPIチャンネル
- (5) 高速入出力サブシステム
- (6) 高性能主記憶装置
- (7) 大容量高速拡張記憶装置

などを備えています。

以下に、これらのハードウェアについて紹介します。

2. ハードウェア構成の要素

SX-3シリーズの構成および構成要素のシステム内での位置づけを図1に示します。

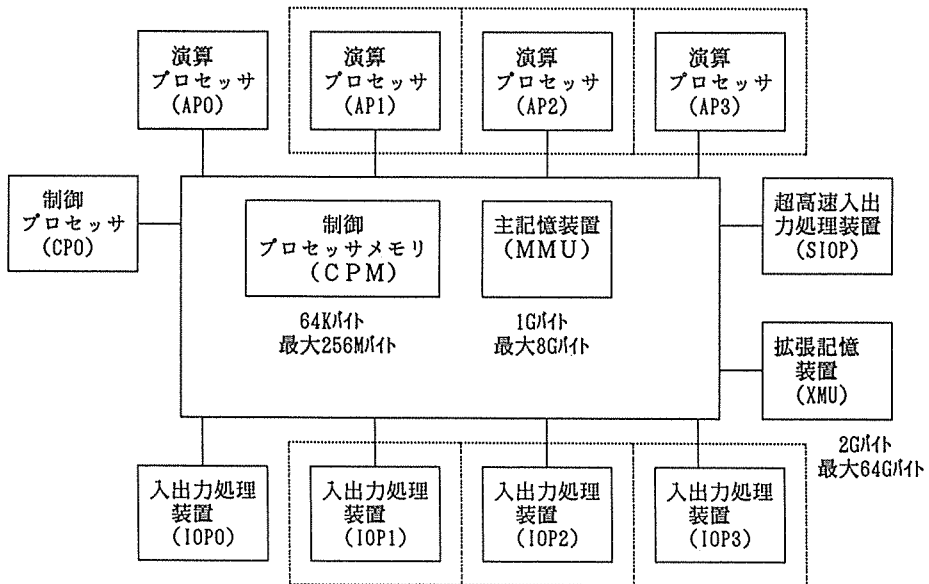


図1 SX-3Rシリーズの構成 (実線部分が本センター導入予定のSX-3/14Rの構成)

SX-3Rシリーズは国産初のマルチプロセッサを採用したスーパーコンピュータであり、演算

プロセッサ (AP: Arithmetic Processor) を最大4台接続できます。APは機能的にスカラユニット (SU: Scalar Unit) とベクトルユニット (VU: Vector Unit) とに分けられます。スカラユニットはAP上で実行される命令の解釈と制御を行うとともに、スカラ演算パイプラインによりスカラ演算を高速に実行します。ベクトルユニットは最大4セットのベクトル演算パイプラインと、最大144Kバイトのベクトルレジスタとを備えて、ベクトル演算を高速に実行します。

制御プロセッサ (CP: Control Processor) は、APを制御するとともに、システム全体の制御や入出力制御を行い、最大2台まで接続できます。主記憶装置 (MMU: Main Memory Unit) にはAP上で実行されるプログラムおよびそれらが使用するデータ類が格納され、最大8Gバイトの記憶容量があります。制御プロセッサメモリ (CPM: Control Processor Memory) には主としてCP上で実行される制御プログラムおよびそれらが使用するデータ類が格納され、最大256Mバイトの記憶容量があります。APとCPはそれぞれ、主としてMMUとCPMを使用して並列に動作することができます。入出力処理装置 (IOP: Input Output Processor) はMMUまたはCPMと周辺処理装置の間において、CPの指示によりCPと独立して入出力処理を分散処理し、最大4台まで接続できます。これらのCP、CPM、IOPをまとめて入出力サブシステム (IOU) と呼びます。

拡張記憶装置 (XMU: Extended Memory Unit) は磁気ディスク装置とMMUの間のアクセスギャップ (アクセス時間の差) を埋めるためのもので、最大64Gバイトの記憶容量があります。超高速入出力装置 (SIOP: Super IOP) は100Mバイト/秒の超高速チャネルを持つ、HIPPI (High Performance Parallel Interface) 接続機構で超高速スター型LAN、UltraNetや高速アレイディスクを接続できます。

3. 演算プロセッサ (AP)

SX-3Rの演算プロセッサ (AP) は、SX-2で培われた高速演算プロセッサ技術をさらに発展させ、最新のテクノロジおよびアーキテクチャの採用で、より高速なプロセッサを実現しております。

テクノロジとして、ゲート遅延時間70ピコ秒の超高速LSIの採用と液冷超高密度パッケージにより2.5ナノ秒のマシンサイクルを実現しました。この高速なマシンサイクルを利用し高度なパイプライン処理によって、単一プロセッサで6.4GFLOPSを達成しました。

さらに、単一プロセッサの性能限界を乗り越えるべく、スーパーコンピュータとしては国産で初めて、共有メモリ型マルチプロセッサ方式を採用し、最大4台のマルチプロセッサシステムにより、最大25.6GFLOPSの性能を実現しました。

演算プロセッサの構成を図2に示します。

演算プロセッサは大きく分けて、スカラユニット、ベクトルユニット、およびインタフェースユ

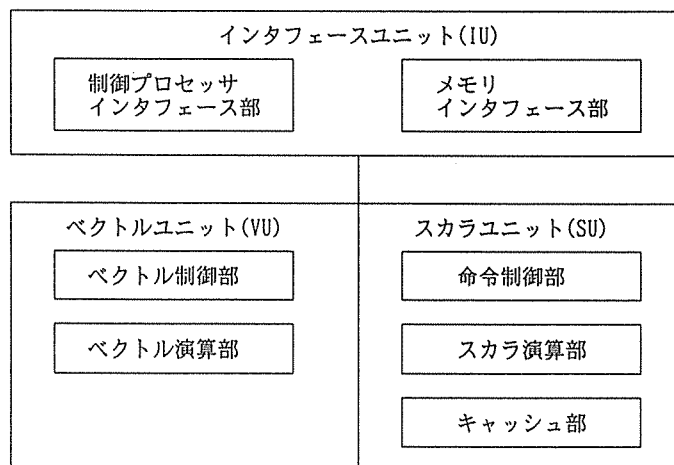


図2 演算プロセッサ (AP) の構成

ニットの3つのユニットによって構成されます。

スカラユニットは、演算プロセッサ上で実行される命令の解釈と制御を行うと共に、スカラ演算パイプラインによりスカラ演算を高速に処理します。ベクトルユニットは、最大4セットのベクトル演算パイプラインと最大144Kバイトのベクトルレジスタを備え、ベクトル演算を高速に処理します。インタフェースユニットは演算プロセッサ、入出力サブシステム、制御プロセッサ、制御プロセッサメモリ、入出力装置、超高速入出力処理装置と主記憶装置、拡張記憶装置とのデータ転送を高速に行います。

3. 1 演算プロセッサ (AP) のアーキテクチャ

SX-3Rシステムの演算プロセッサは、SX-2のアーキテクチャを基に、パイプライン処理の改善、マルチプロセッサのための機能強化を行っております。

スカラでは、高速なマシンサイクルに対応するため、RISCアーキテクチャを採り、スカラ演算もベクトル演算と同様、パイプライン化しています。さらに、ハードウェアによる命令の並べかえ制御を行うことでパイプライン処理の改善を行っています。

ベクトルでは演算パイプラインの多重化により、最大8つの浮動小数点加算と8つの浮動小数点乗算を1マシンサイクル内で実行可能とし、ベクトルレジスタの容量拡大、ベクトルレジスタと演算プロセッサメモリ間のデータ転送のスループットの改善とともに、超高速ベクトル処理を実現しました。

また、マルチプロセッサをサポートするために、プロセッサ間の高速な通信のための通信レジスタを設けています。これらの機能を利用しマルチプロセッサシステムではマルチタスク方式による並列処理を実現しています。

SX-3Rシリーズでは、SX-2に対して以下のような命令を追加して、より柔軟で高速な処理を実現しています。

- ・ 64bit 整数演算命令
- ・ 最大値/最小値検索命令
- ・ 通信レジスタアクセス命令

3.2 スカラユニット

スカラユニット (SU) は、命令制御部、スカラ演算部、キャッシュ部から構成されています。

(1) 命令制御部

命令制御部は、大容量の命令バッファを持ち、演算プロセッサで実行すべき命令を解読し、スカラユニット、ベクトルユニットおよびインタフェースユニットの各機能を有効に使用するように、演算実行を指示する機能を持っています。

1) 命令バッファ

命令バッファは512バイト×8ブロック(4Kバイト)の容量を持ち、主記憶装置上の任意のブロックにマッピングされます。したがって、命令バッファには4バイト命令が1024命令分格納されます。

命令バッファの中に実行すべき命令がない場合には、その命令を含む512バイトのブロックをキャッシュまたは主記憶装置からロードしますが、その場合ブロックの先頭からロードするのではなく必要になっている命令語からロードし始め、その命令がロードされた時点でただちに解読処理を開始することにより、より高速な命令処理を可能にしています。

2) 高速分岐機構

分岐命令は、分岐する側としない側のいずれかにかたよる傾向があります。命令バッファ内の分岐命令が、前回どちらの側の命令を実行したかを記憶する分岐履歴バッファを備え、この内容に基づいて前回と同じ側の命令を先行して取り出し、解読を進めることによって、分岐命令の高速化を図っています。

3) 大容量のスカラレジスタ

スカラ命令用の演算レジスタとして、128個のスカラレジスタを備えています。このレジスタは汎用のレジスタであり、アドレス計算用のベース/インデックスレジスタ、固定/浮動小数点演算命令用の演算レジスタとして利用できます。

128個の大容量レジスタを備えることによって、レジスタ競合による演算パイプラインの乱れをできるだけ少なくし、また変数や中間結果のセーブ/リストアの頻度を下げてメモリアクセスの回数を減少させています。さらにこの大容量のスカラレジスタによってコンパイラのレジスタ割り当ての自由度が増しハードウェアをより効率よく使用するオブジェクトコードの生成が可能となり後述するスカラ演算器のパイプラインの効果と相まってより高速なスカラ演算を実現しています。

4) 命令制御回路

パイプライン化された命令制御回路は、命令を解釈し、使用するオペランドの準備状態、スカラレジスタへの書き込みパスの競合、ベクトル命令においては、使用するベクトルレジスタ、演算器、チェイニングタイミングなどを管理しながら、スカラ性能およびベクトル性能を最大限引き出すように、演算実行指示を行います。

図3にスカラ演算パイプラインと命令並べ変えのしくみを示します。

このほか命令制御部には以下のようなプログラムの実行状態を計数するカウンタを設け、プログラム実行高速化のための支援情報を提供できるようにしています。

- ・ タイマレジスタ
- ・ 命令実行数カウンタ
- ・ ベクトル命令実行数カウンタ
- ・ ベクトル要素数カウンタ
- ・ ベクトル命令実行時間計測カウンタ
- ・ 浮動小数点演算数カウンタ
- ・ キャッシュミス時間計測カウンタ
- ・ バンクコンフリクト時間計測カウンタ

(2) スカラ演算部

スカラ演算部は、8バイトデータ演算を基本とし、スカラの加減算、論理演算、シフト、乗除算の各演算器から構成されています。これらの演算器は、ベクトル演算器と同様にパイプライン化されており、スカラ演算命令を連続、並列に実行することができます。

(3) キャッシュ部

データ処理装置の性能向上には、メモリアクセスの性能向上が重要な要素となります。キャッシュ部には、主記憶装置上の使用頻度の高いデータの写しを保持する容量64Kバイトのキャッシュメモリがあり、命令制御部からの命令語、あるいはオペラント語のメモリアクセス要求に対して、高速に応答します。

3.3 ベクトルユニット (VU)

ベクトルユニットは、ベクトル演算部、ベクトル制御部から構成されます。図4にベクトルユニットの構成を示します。

(1) ベクトル演算部

ベクトル演算部は、クロック周期2.5ナノ秒で動作する2本の加算/シフト用パイプラインと2本の乗算/論理用パイプラインを1セットとして最大4セット、最大144Kバイトの容量を持つ72個のベクトルレジスタ、256ビットの容量を持つ8個のベクトルマスクレジスタ、およびこれらを制御する回路によって構成されます。

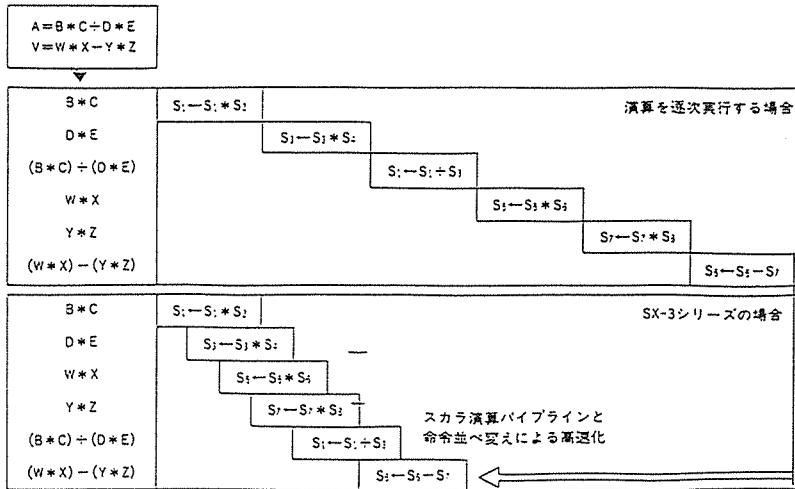


図3 スカラ演算パイプラインと命令並べ替えの効果
(実線部分が本センター導入予定のSX-3/14Rの構成)

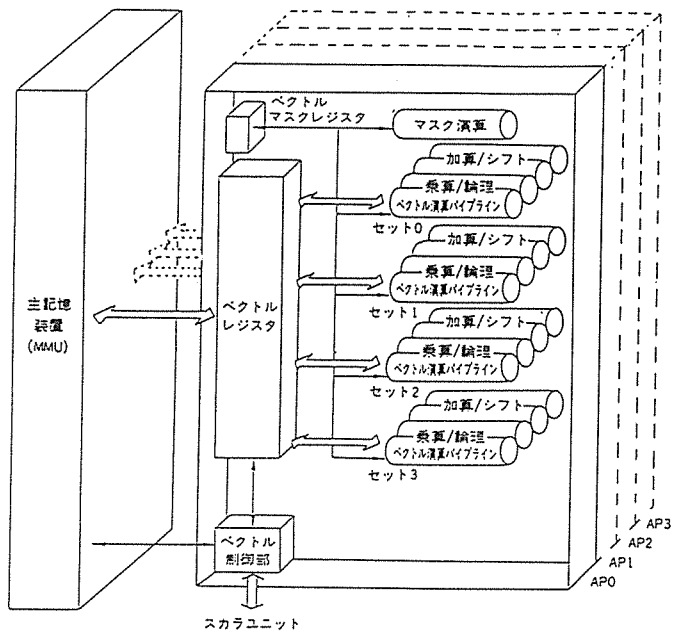


図4 ベクトルユニット (VU) の構成
(実線部分が本センター導入予定のSX-3/14Rの構成)

1) ベクトル演算パイプライン

加算/シフト、乗算/論理それぞれ2本のベクトル演算パイプライン、すなわち合計4本のベクトル演算パイプラインを独立して動作できるような構成とし、さらにこれらの演算パイプラインを、プロセッサ当たり最大4セット並列に設けることにより、16本のベクトル演算パイプラインの同時操作を可能にすることでベクトル演算の高速化を図っています。

各々の演算パイプラインは、従来のデータ形式に加え、新たに64ビット固定小数点データと、拡張指数形式の浮動小数点データとの2種類をサポートしています。特に、拡張指数形式の浮動小数点データは、従来からサポートされている浮動小数点データ形式より科学技術計算により適したデータ形式であり、10の±4930乗を越える広い範囲の値を扱うことができます。また、浮動小数点データと固定小数点データとの間の変換機能も加算/シフト用演算パイプラインに用意しており、従来形式のデータ形式と処理速度も含めて同様の環境で実行することができます。

また、加算/シフト用演算パイプラインには、累和ならびに最大値/最小値検索の性能向上の機能を設けています。

最大値/最小値検索機能の向上機能については、ベクトルデータの最大値または最小値を検索し求めるとともに、そのベクトルデータに付随した要素番号も同時に検出するようにしています。さらに、最大値または最小値が、検索対象データ中に複数個存在しているような場合、結果として求める要素番号を、その大きいほうの要素番号を出力するか小さいほうの要素番号を出力するか命令によって指定できるようにし、処理全体の高速化を図っています。

2) ベクトルレジスタ

それぞれが最大256要素まで保持可能なベクトルレジスタを72個用意し、その容量を144Kバイトに拡張しています。主記憶装置からベクトルレジスタへのベクトルデータのロードは、1セットの並列パイプラインで1マシンサイクル当たり2語(8バイト/語)、またベクトルレジスタから主記憶装置へのベクトルデータのストアは1セットの並列パイプラインで1マシンサイクル当たり1語の転送能力を持ち、4セットの並列パイプラインが同時に動作できるように構成しています。さらに、先行するベクトル命令による全ベクトルデータの処理終了を待たずに、最初の要素の演算結果がベクトルレジスタに書き込まれた後任意の時点で、其れを入力とする後続ベクトル命令の実行をただちに開始することが出来る自動チェイニング機構をより強化し、データ転送の前後のベクトルデータの格納読み出しが最適なタイミングで行えるように構成しています。

3) ベクトルマスクレジスタ

ベクトルマスクレジスタを8個揃えており、それぞれを最大1ビット×256語で構成しています。マスクビットの生成は、論理演算パイプラインをしようして並列に行うようにし、また、他のマスク付き演算とベクトルマスクレジスタ間の演算、あるいはベクトルマスクレジスタ間の演算と他のマスク付き演算とのチェイニング機構をいっそう強化し性能向上を図っています。

(2) ベクトル制御部

ベクトル制御部は、命令制御部からのベクトル命令の解釈、4セットの並列パイプラインをインタレース方式で動作させるための制御、4セットの並列パイプラインに対応するベクトルデータおよびマスクビットのアライン制御、ベクトルデータ長の制御を行います。

ベクトル演算に先立ち、ベクトルデータ長を設定しておく必要がありますが、モデルごとにとり得る最大ベクトルデータ長は、並列パイプラインのセット数に依存します。そこでソフトウェア命令により最大ベクトルデータ長を読み出せるようにし、モデルごとにプログラムの再コンパイルの必要がないようにしています。

また、スカルレジスタとベクトルマスクレジスタ間のマスクビットの設定、および読み出しも並列パイプラインを意識することなく実行できるようにし、融通性の向上を図っています。

3. 4 インタフェースユニット (IU)

インタフェースユニット (IU) は、メモリインタフェース部と制御プロセッサインタフェース部から構成されます。図5にインタフェースユニットの構成を示します。

(1) メモリインタフェース部 (DSU)

DSUの主な機能を以下に示します。

1) 高いメモリスループット

DSUでは、主記憶装置 (MMU) に対する複数の要求元 (複数のAP、制御プロセッサインタフェース部) からのメモリアクセス要求を調停し、一元的にMMUに対するアクセスの処理を行っています。高いAPの演算性能に見合ったデータの供給能力を保つためには、メモリからの大量のデータの同時アクセスを必要とします。このため、MMUはバンク競合による性能低下を避けるため多バンク構成 (最大1024バンク) を採用しています。バンク競合制御はDSUで一括して行い、アクセスの参照関係を守りつつ、効率よくアクセスを行っています。

特に、ベクトルデータのアクセスにおいては、高速ベクトル演算を可能にするため、ベクトルパイプライン1セット当たり毎マシンサイクルに2データ (すなわちAP当たり最大8データ/マシンサイクル=25.6Gバイト/秒) を供給する能力を備え、高い演算処理能力を実現しています。また、MMUに対するスループットは複数のAPに対応するため、さらに高い性能を実現しています。

複数APからのベクトルデータのアクセスを効率よく処理するために、DSUでは各APのベクトルデータがアクセスするバンクの競合を予測し、オーバーヘッドが最小になるような制御を行っています。

2) APからの拡張記憶装置 (XMU)、制御プロセッサメモリ (CPM) に対するアクセスの制御

AP命令によるXMU-MMU間のデータ転送は、全てDSUを経由して処理され、XMUアク

セスの制御は制御プロセッサインタフェース部で、MMUアクセスの制御はDSUでそれぞれ行われます。XMU-MMU間のスループットは3.2Gバイト/秒あり、高い転送能力を実現しています。

また、DSUはAPからCPMへのアクセスを制御し、APと入出力サブシステムのインタフェース管理を行っています。

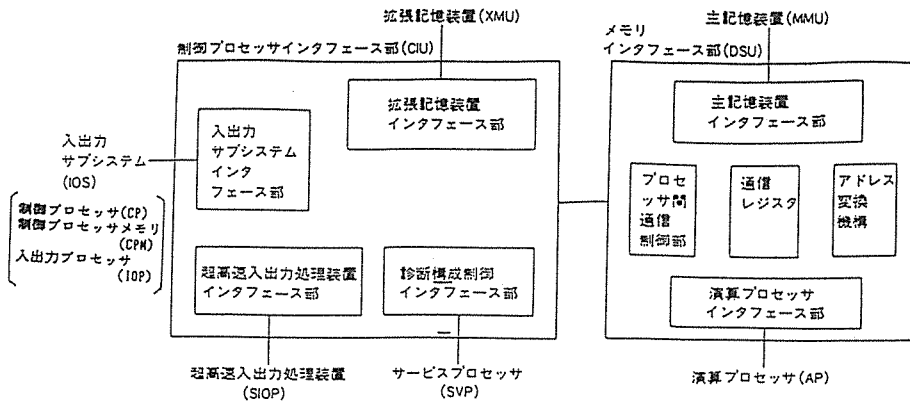


図5 インタフェースユニット (IU) の構成

3) プロセッサ間通信の制御

AP間のプロセッサ間通信、およびAPと制御プロセッサ、入出力プロセッサなどとのプロセッサ間通信の制御を行います。

4) 通信レジスタの装備

DSUには、複数のAP、および制御プロセッサなどに共有される、高速にアクセス可能な通信レジスタ (CR) を備えています。複数APでのユーザタスクの並列動作のために使用可能な部分がCR上でAPごとに割り当てられており、効率的な並列処理を実現しています。

5) 論理/物理アドレス変換

複数のAPが並列動作をするとき、同一のメモリ空間を共有します。この時、共有するAPの論理アドレスが同一の物理アドレスにマッピングされなければなりません。このため、DSUには、複数のAPで共有することのできるアドレス変換テーブルを有しています。アドレス変換テーブルの共有は、AP上の命令を実行することにより簡単に行うことができます。このアドレス変換テーブルの共有により、使いやすい並列処理を可能にしています。

(2) 制御プロセッサインタフェース部 (CIU)

CIUは、システムの高度な拡張性と柔軟性を実現するために、以下に示す制御機能を実現しています。

① 高性能な主記憶アクセス機能と拡張記憶アクセス機能

② 柔軟なシステム構成制御機能と高度な保守診断機能

C I Uは、メモリインタフェース部 (D S U)、入出力サブシステム (I O S)、拡張記憶装置 (X M U)、超高速入出力処理装置 (S I O P) およびシステムの保守、診断動作を制御するサービスマイクロプロセッサ (S V P) とのインタフェースをもち、大容量から小容量のデータ転送を効率よく実現しています。

4. 超高速入出力処理装置 (S I O P)

超高速入出力処理装置 (S I O P : S u p e r I O P) は、A N S I X 3 T 9 . 3 に準拠した超高速H I P P I (H i g h P e r f o m a n c e P a r a l l e l I n t e r f a c e) チャンネルを備えています。

H I P P I の特徴は以下の通りです。

- (1) 1 0 0 M バイト / 秒の単方向インタフェース (入出力には2チャンネルが必要)
- (2) 4 バイト幅のE C L レベルの対信号を使用し、最大2 5 m のケーブルで1 : 1 に接続される。
- (3) 1 K バイト単位のブロック転送 (バーストと呼ぶ) を基本に、大量のデータを高速に転送する。
- (4) 垂直パリティおよびL L R C と呼ばれる水平パリティでデータの正当性を保証している。

S I O P の構成は図6に示すように入力チャンネル部と出力チャンネル部を対にした超高速H I P P I チャンネルを接続可能です。

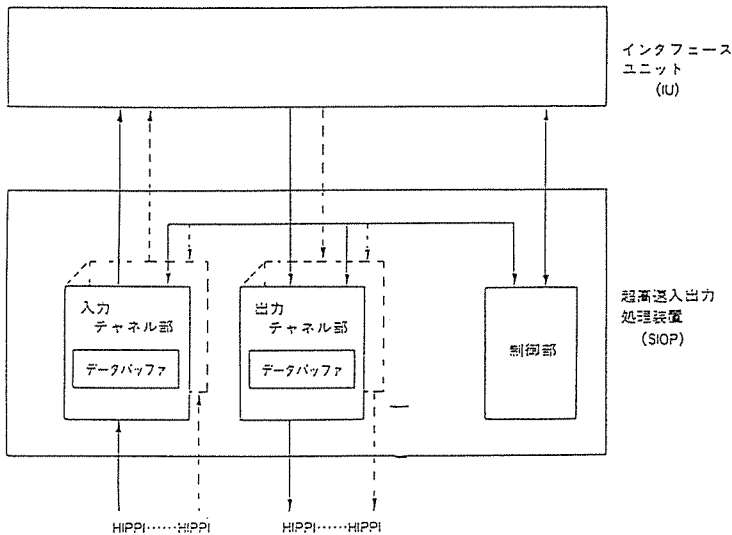


図6 超高速入出力処理装置 (S I O P) の構成
(実線部分が本センター導入予定のS X - 3 / 1 4 R の構成)

各チャンネル部はバッファリング用のデータバッファを備え、HIPPIとインタフェースユニット間のデータ転送を制御します。

各入出力チャンネル部間は制御部を介して制御され、インタフェースユニットとのデータ転送が制御されています。

5. 入出力サブシステム (IOS)

SX-3Rシステムでは、AP上で動作するオペレーティングシステムSUPER-UXの入出力処理の大部分を入出力サブシステム (IOS) で実行するようにしました。

IOSのハードウェアは、制御プロセッサ (CP)、制御プロセッサメモリ (CPM) および入出力プロセッサ (IOP) から構成されています。IOSは高速な入出力処理を実現するため、以下のような特徴があります。

1) CPとAP間の入出力制御のための通信処理におけるCPMアクセスをなくすことにより通信の高速化を実現しました。

2) 各APの動作状態を格納した通信レジスタ (CR) をCPからアクセス可能にしました。これにより、CPは、入出力完了などの報告をプロセッサ間通信でAPに通知する場合、優先度の低いジョブを実行中のAPに通知することができます。したがって、優先度の低いAPが入出力処理を実行するので、優先度の高いユーザジョブを実行中のAPは、入出力処理の影響をほとんど受けません。

3) CPMと主記憶装置 (MMU) の写しを持つCP内のキャッシュメモリに、CPMとMMUとの識別子を設け、MMUのみの写しのクリア機能を可能にしました。この機能は、APからのMMUへの高速アクセスによるバッファの正当性を保証するために使用します。MMU部のみのキャッシュクリアを行うことで、クリア後のキャッシュミスヒットによる処理の低下や他のジョブへの影響を極力抑えました。

4) AP構成制御機能を備え、柔軟なシステム構成を可能にしました。

CPの高速化技術として、分岐予測やバイパス機構を取り入れたパイプライン方式、命令用とオペランド用とに専用化した128Kバイトのキャッシュメモリを採用しています。

CPは入出力サブシステムの中心として、IOPおよびAPからのCPMアクセスの集中管理、CPとAP系装置の結合制御、入出力サブシステムの構成制御及び保守診断制御なども行います。

CPMは入出力サブシステムが使用するメモリです。記憶素子としてアクセス時間35ナノ秒の1MビットのCMOSスタティックRAMを採用し、最大256Mバイトの要領を実現しています。

IOPは、MMU及びCPMと周辺処理装置の間において、CPの指示により、CPと独立して入出力の分散処理を行っています。

1台のIOPは、最大64本のチャンネルが構成可能で、システムには最大4台のIOPが接続可

能であり最大1GB/Sのデータ転送能力を有し、これにより大規模な入出力装置を制御可能なチャンネル本数、転送能力を実現しています。

IOP内のチャンネルは、MMUおよびCPMをアクセスする場合、入出力動作に関するアドレス変換をハードウェアで高速処理するチャンネルDAT (Dynamic Address Translation) 機能を備えています。

6. 主記憶装置 (MMU)

SX-3Rシステムの主記憶装置は、演算プロセッサ用の高速大容量メモリである主記憶装置 (MMU) と、制御プロセッサ用のメモリである制御プロセッサメモリ (CPM) から構成されます。

MMUは、主として演算プロセッサ上で実行するプログラムおよびそれらが使用するデータを格納するメモリとして使用されます。

表1にMMUの諸元を、図7にMMUの構成を示します。

MMUは、最大8個のメモリユニットから構成されており、全体として最大記憶容量8GBバイト、1024ウェイのインタレースを構成しています。

1つのメモリユニットは、各タインタフェースユニット (IU) とのポートを有するメモリモジュール8個から構成され、各ポートからのメモリアクセス要求は、同時に操作することが可能です。MMU全体では、最大64ポートからのメモリアクセス要求に対して、同時に並行して動作でき、極めて高いデータ転送能力を実現しています。

表1 主記憶装置の諸元

項目	諸元
記憶容量	128Mバイト～8Gバイト
インタレース	128ウェイ～1024ウェイ
記憶素子	256Kまたは1MビットスタティックRAM
論理素子	CML-LSI
誤り訂正	1ビット誤り訂正と2ビット誤り検出
データ転送幅	4バイト×(8～64)ポート

1つのメモリモジュールは、制御部と16個のメモリアレイ部からなり、大容量、高性能を実現するために、制御部には、論理素子として180ピコ秒/ゲートの高速CML-LSIを採用し、メモリアレイ部には、記憶素子としてアクセスタイム20ナノ秒の低電力256Kビット (又は1Mビット) MOSスタティックRAMを採用しています。

記憶容量とインタレースの関係については、最小1メモリユニット構成の128Mバイト/12

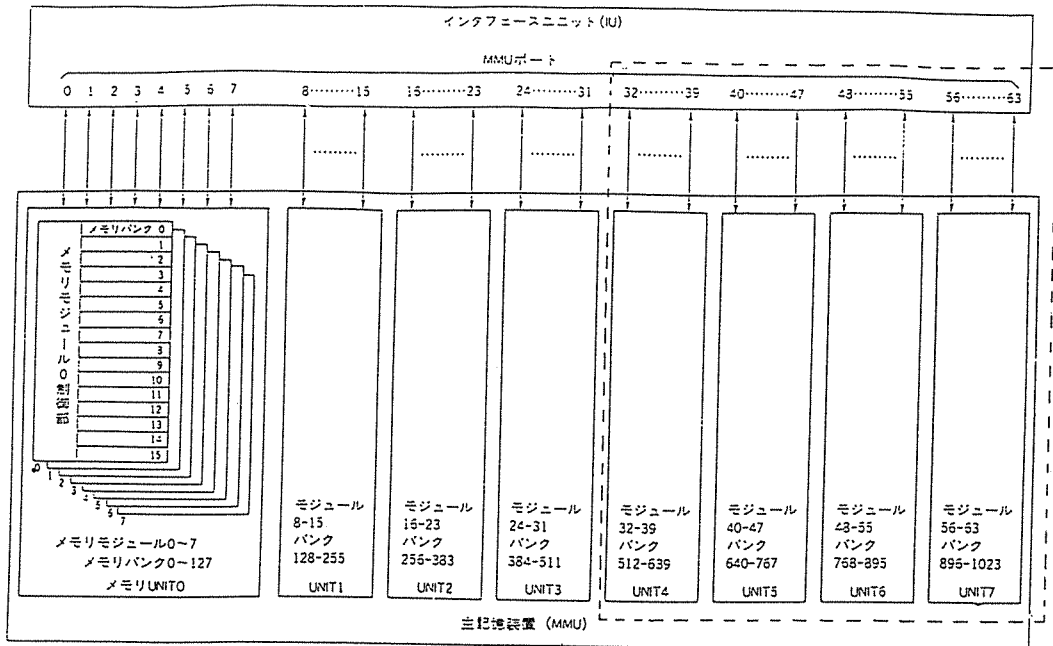


図7 主記憶装置の構成
(実線部分が本センター購入予定のSX-3/14Rの構成)

8ウェイから、最大8メモリユニット構成の8Gバイト/1024ウェイまでの9通りの構成が可能であり、ユーザのシステム要求に応じた主記憶装置を提供することが出来ます。

データに対しては、1ビット誤り訂正と2ビット誤り検出符号を採用して信頼性の向上を図り、4バイトのデータに対して7ビットのチェックビットを付加する形式となっています。

また、MMUでは疑似故障発生によるチェック回路の診断機能、エラー内容から即座にエラー箇所を指摘できるビルトイン診断機能 (BID) などを持っており、RAS (Reliability, Availability, Serviceability) 機能の充実を図っています。

7. 拡張記憶装置 (XMU)

拡張記憶装置 (XMU) は、SX-3Rシステムにおける記憶階層構造として主記憶装置と磁気ディスク装置の中間に位置付けされる大容量半導体記憶装置です。拡張記憶装置は、最大64Gバイトの記憶容量を有し、3.2Gバイト/秒のデータ転送速度をもっています。本装置をSX-3Rシステムに組み入れることにより、大量の数値データを取り扱う際のファイル入出力動作に要する処理時間を従来の磁気ディスクに比較して格段に短縮することが可能となります。拡張記憶装置は、演算プロセッサの制御の下に動作し、拡張記憶装置と主記憶装置の間で、高速にデータを転送することができます。また、従来のSX-2拡張記憶装置に比べ、同一世代DRAM使用時、同等の床面積で約4倍の記憶容量を実現しています。

表2に本拡張記憶装置の諸元を示します。

表2 拡張記憶装置の諸元

項 目	諸 元
記 憶 容 量	1 Gバイト～64 Gバイト
増 設 単 位	1 Gバイト
最大転送速度	3.2 Gバイト/秒
誤 り 訂 正	1ビット誤り訂正と2ビット誤り検出
記 憶 素 子	1 Mビット (又は4 Mビット) ダイナミックRAM

拡張記憶装置の特徴を以下に示します。

(1) 記憶素子には、1 Mビット (または4 Mビット) のMOSダイナミックRAMを使用し、また表面実装技術を採用して両面実装することにより実装密度を向上し、装置の大容量/小型化を実現しています。

(2) 論理部の演算素子としてCML-LSIを採用し、処理速度の高速化を図るとともに、高密度表面実装パッケージによる実装方式によって、制御カード数の削減を実現しています。

(3) 電源供給単位の細分化制御を行うことにより、省エネルギー化を指向するとともに、万一障害が生じた場合の波及範囲の局所化を図っています。

(4) クロック発生回路を内蔵して、システムクロックの瞬断などの障害時においても記憶情報の保護を図っています。

(5) 内部処理データ幅を8バイト単位で複数のブロックに分割し、各々のブロックに対してECC (Error Correcting Code) による1ビット誤り訂正と2ビット誤り検出を行っているため、ブロック間にまたがる複数ビットエラーの自動訂正を可能とし、信頼性の向上を図っています。

(6) 論理部にビルトイン診断手法を採用し、間欠障害に対しても故障箇所の指摘が可能となり、保守性の向上を図っています。

(7) 演算プロセッサに同期したクロックで動作することにより、データ転送速度の高速化を図っています。

- [執筆者紹介] *1 **NEC** 第一コンピュータ事業部第五技術部
 *2 **NEC** 第一コンピュータ事業部 第五技術部
 *3 **NEC** スーパーコンピュータ販売推進本部