The University of Osaka
Institutional Knowledge Archive

Title	電力変換技術におけるパワーデバイスの動作についての解析的考察及び、その駆動技術に関する研究
Author(s)	寺島, 知秀
Citation	大阪大学, 2017, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/67147
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

電力変換技術におけるパワーデバイスの動作についての解析的考察及び、その駆動技術に関する研究

寺　島　知　秀

２０１７年　７月

大阪大学大学院工学研究科

目次

第 1 章　序論　1
１．１　本研究の背景　1
１．２　本研究の目的と意義　3
１．３　本研究の構成と概要　5
参考文献　6

第 2 章　電力変換回路の基本　7
２．１　はじめに　7
２．２　スイッチングによる電力変換　7
２．３　理想スイッチとしてのパワーデバイス　8
２．４　PWM 制御　9

第 3 章　パワーデバイスの動作の解析的考察　11
３．１　はじめに　11
３．２　PiN ダイオードの順バイアス動作　12
３．３　PiN ダイオードの順バイアス動作の基本的な関係式　15
３．４　電導度変調状態における電子、ホールの拡散係数の挙動　17
３．５　i 層両端での拡散電流を考慮した α、β の導出　22
３．６　i 層内部、及びその両端での電圧降下の導出　25
３．７　性能指数 RQ による最適構造の検討　31
３．８　性能指数 RQ の制御とその低減についての考察　35
３．９　解析計算に基づいた RQ の評価　37
３．１０　まとめ　41
参考文献　42

第 4 章　パワーデバイスの性能向上とその限界　44
４．１　はじめに　44
４．２　実効オン抵抗（$R_{on,sp}$）と耐圧の関係　45
４．３　自己発熱の影響　50
４．４　スイッチングロスと耐圧の関係　52
４．５　スイッチング時間と耐圧の関係　55
４．６　まとめ　57
参考文献　58

第 5 章　高耐圧 IC によるハーフブリッジ駆動技術　59
５．１　はじめに　59
５．２　高耐圧分離技術　（RESURF 構造）　61
５．３　高耐圧 NchMOSFET の開発と配線電界への対策　65
５．４　高電位配線による絶縁破壊への対策　68
５．５　パワーデバイス保護のための技術　70
５．６　最新動向と今後の進化の可能性　73
５．７　まとめ　77
参考文献　78

第 6 章　BiCMOS&DMOS 技術　81
６．１　はじめに　81
６．２　0.5μmBiCMOS&DMOS プロセスのメリット　83
６．３　0.5μmBiCMOS&DMOS プロセスの素子構成　86
６．４　NchDMOS　89
６．５　Full isolation 構造　92
６．６　HV-NMOS　95
６．７　HV-PMOS　96
６．８　Field NMOS/Field PMOS　97
６．９　まとめ　100
参考文献　101

第 7 章　結論　102

謝辞　105

本論文に関する研究発表　106

略語対照表

CMOS	Complementary Metal Oxide Semiconductor
DMOS	Double diffused MOSFET
FCA	Free Carrier Absorption
FID	Full Isolation Diode
HV	High Voltage
IC	Integrated Circuit
IGBT	Insulated Gate Bipolar Transistor
JFET	Junction Field Effect Transistor
LDD	Lightly Doped Drain
LIGBT	Lateral Insulated Gate Bipolar Transistor
MFFP	Multiple Floating Field Plate
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	N channel MOSFET
PMOS	P channel MOSFET
PWM	Pulse width Modulation
RESURF	Reduced SURface Field
SCM	Scanning Capacitance Microscopy
SJ	Super Junction

第１章　序論

１．１　本研究の背景

増大し続けるエネルギー生産とその消費（図１．１）を背景として、低炭素を実現してゆく技術の重要性は年々高まっている。また技術と呼べるものの大半が電力をベースとして動作している事から、エネルギーを電力として消費する傾向（電力化率の上昇）は世界的に進んでいる（図１．２）。

低炭素を実現するエネルギー生産技術は、文字通り太陽光発電、風力発電に代表される、直接電力を得る新エネルギー技術開発が重点的に進められており、エネルギー利用側では一般にインバータ技術として知られている電力変換回路による高効率電力変換技術が追求されている。

この高効率電力変換技術は送電システムからモバイル機器まで、全ての電力範囲に適用されており、その主要構成要素はオフ状態において高耐圧を保持し、オン状態において低抵抗導通状態となるパワーデバイスと、このパワーデバイスの駆動技術からなり、両者の性能向上による寄与は極めて大きなものである。

中でも、パワーデバイスとして 80 年代から大きく発展した IGBT、及びこれと並列接続で使用される PiN ダイオード、IGBT のゲート駆動をシングルチップで実現する高耐圧 IC は 600V から 1200V を中心とする民生､産業分野において、その全領域を占有する技術となっている。

一方、40V～80V の領域では微細加工技術の進歩を背景にパワーデバイス、ゲート駆動回路、さらにその前段の各種信号処理まで含めてシングルチップ上に形成する BiCMOS&DMOS 技術による低耐圧 IC が飛躍的に発展し、主に民生、車載機器の性能向上、低コスト化に大きく貢献した。

以上、IGBT、PiN ダイオード、高耐圧 IC、低耐圧 IC の四つは電力変換に関わる半導体デバイス技術において 1980 年代以降､最も発展し普及したものである。

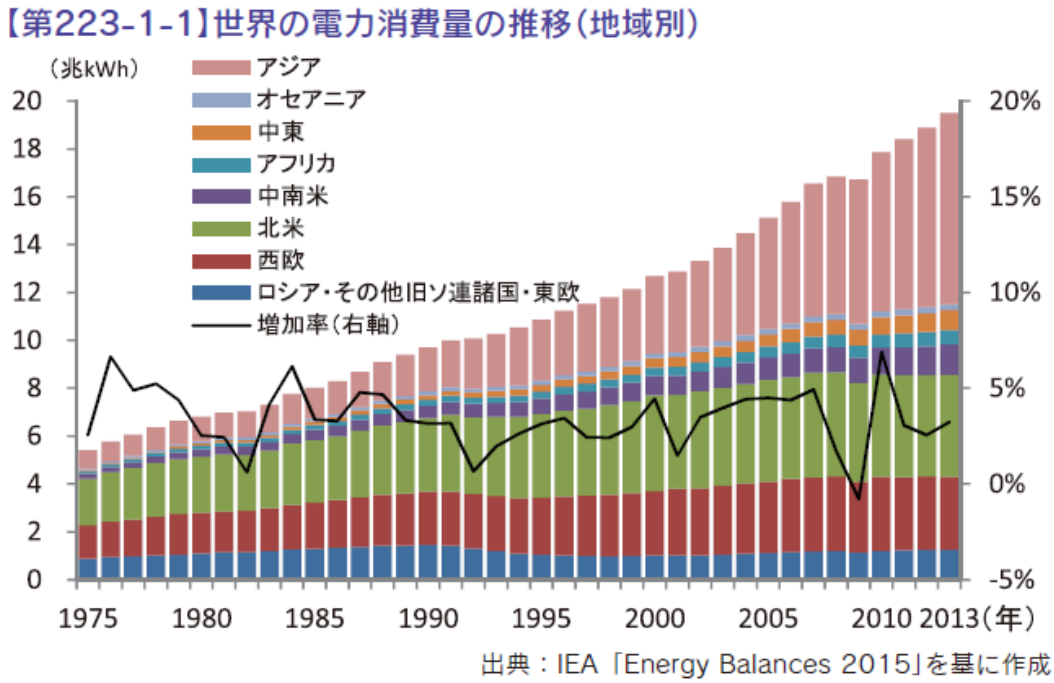


図１．１　増大し続けるエネルギー生産とその消費

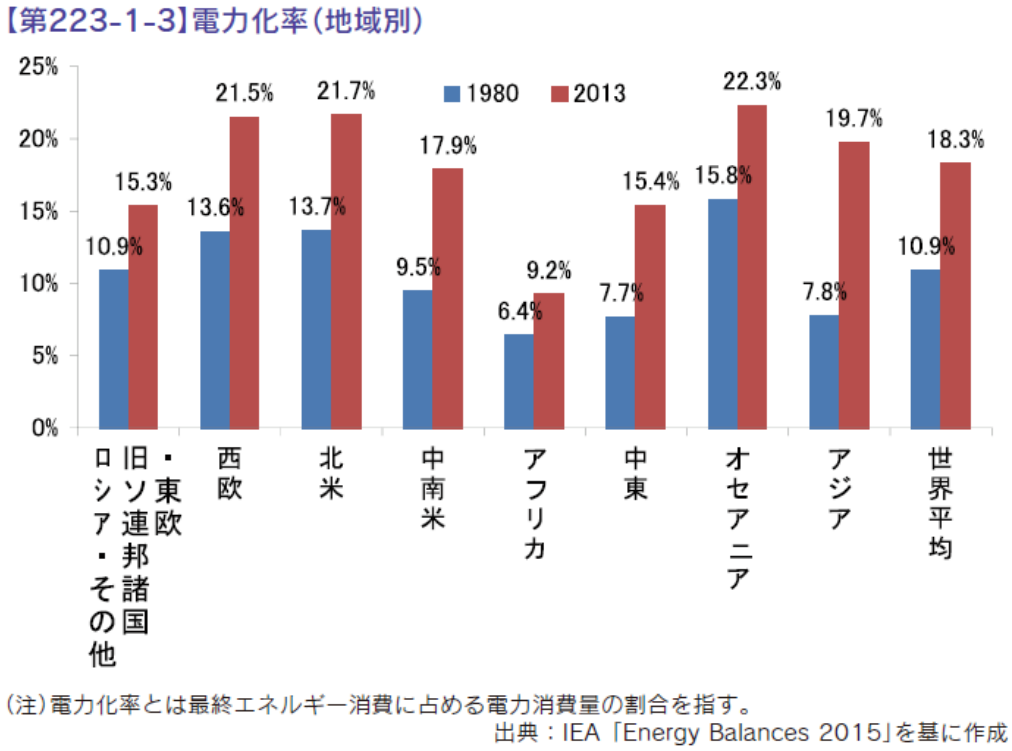


図１．２　世界各地域の電力化

１．２　本研究の目的と意義

パワーデバイスの発展の歴史において、IGBT と呼ばれる MOSFET 構造による電圧駆動と PiN ダイオード構造の電導度変調効果を組み合わせた素子が 80 年代の初めから開発が始まり、大幅な性能向上を経て現在パワーデバイスとして主流の位置を占めている。また、電力変換回路において IGBT と並列に接続して使用される PiN ダイオードも様々な改良を加えられながら同様に主流の地位を占めており、両者の組み合わせは現在 600V から 1.2kV の民生・産業分野をほぼ独占している。図１．３にパワーデバイスの発展を CMOS の発展と対比して示す。IGBT の成功は情報処理における CMOS に匹敵する成果であるが、それぞれ 2010 年代に熱的な限界に直面し新しい技術を模索している事は興味深い。

また、IGBT が電圧駆動であり駆動が容易である事からゲート駆動回路の IC 化への希求を背景に、600V から 1.2kV レベルの電位差での信号伝達機能をシングルチップ上で実現した高耐圧 IC が実現され、これによる駆動技術も 90 年代以降急速に発展し普及した。一方、30V～80V の領域においては様々な小型モーター･アクチュエーター駆動に対応し､シングルチップ上に BipTr､CMOS､DMOS（パワーMOSFET）を形成できる BiCMOS&DMOS 技術が微細化技術の進展とともに、特に DMOS の性能が飛躍的に向上し、その適用範囲が飛躍的に広まった。

図１．４に電力制御に関連する IC 技術をまとめたものを示す。この中において、高耐圧パワーIC における RESURF+配線電界緩和、低耐圧パワーIC における BiCMOS&DMOS 技術がそれぞれ上記の技術に対応する。

PiN ダイオードは 60 年代から半導体物理に基づく先駆的解析計算が多くなされ基本的理解は大きく進んだ。しかしその後、デバイスシミュレーション技術の発達と共に解析的な手法の進歩は停滞する事となった。このため、PiN ダイオード、IGBT 双方共に様々な新技術に対する定量的な性能予測、その限界の予測が難しい状況をもたらしている。これは SiC、GaN 等の新材料デバイスとの性能比較においてもその優劣についての議論で同様の問題を生じている。

IGBT を駆動する高耐圧 IC 技術そして BiCMOS&DMOS 技術についてもその当初の経緯とその発展の理由、そして今後の発展について統一的に議論されたものはない。

本研究では PiN ダイオードの動作についての解析的計算をさらに推し進め PiN ダイオード、すなわち IGBT の理想的オン状態での様々な性能についての最適構造、そしてその限界について解析的手法による分析を行う。

また、高耐圧 IC 技術と BiCMOS&DMOS 技術についてその技術発展と今後期待すべき方向性を議論する。これらにより、今後の電力変換に関わる半導体技術の更なる発展に貢献したい。

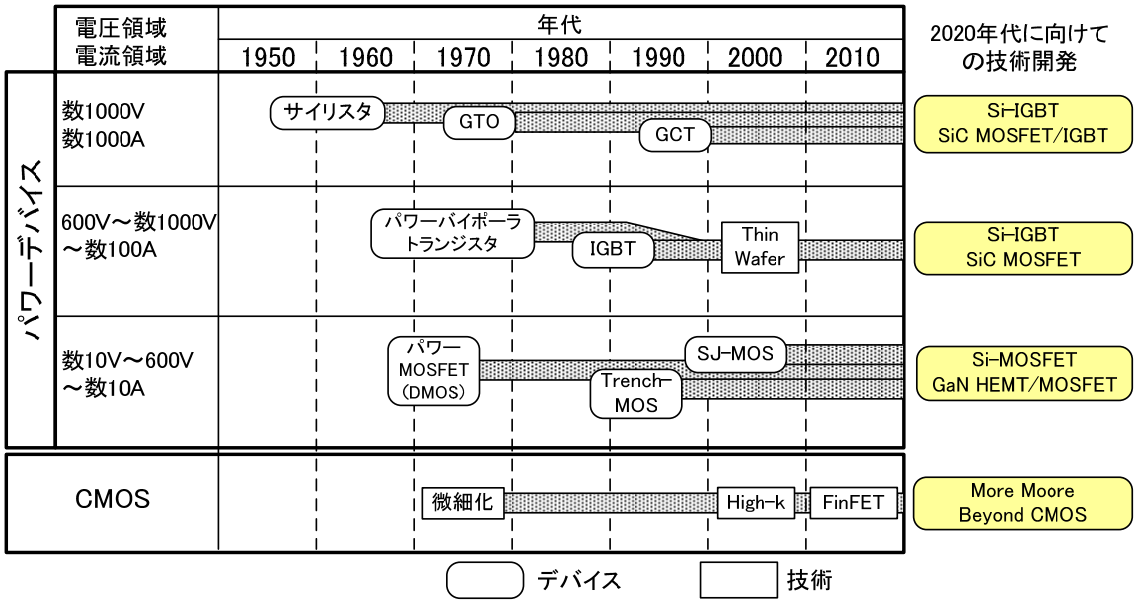


図１．３　パワーデバイスと CMOS のトレンド

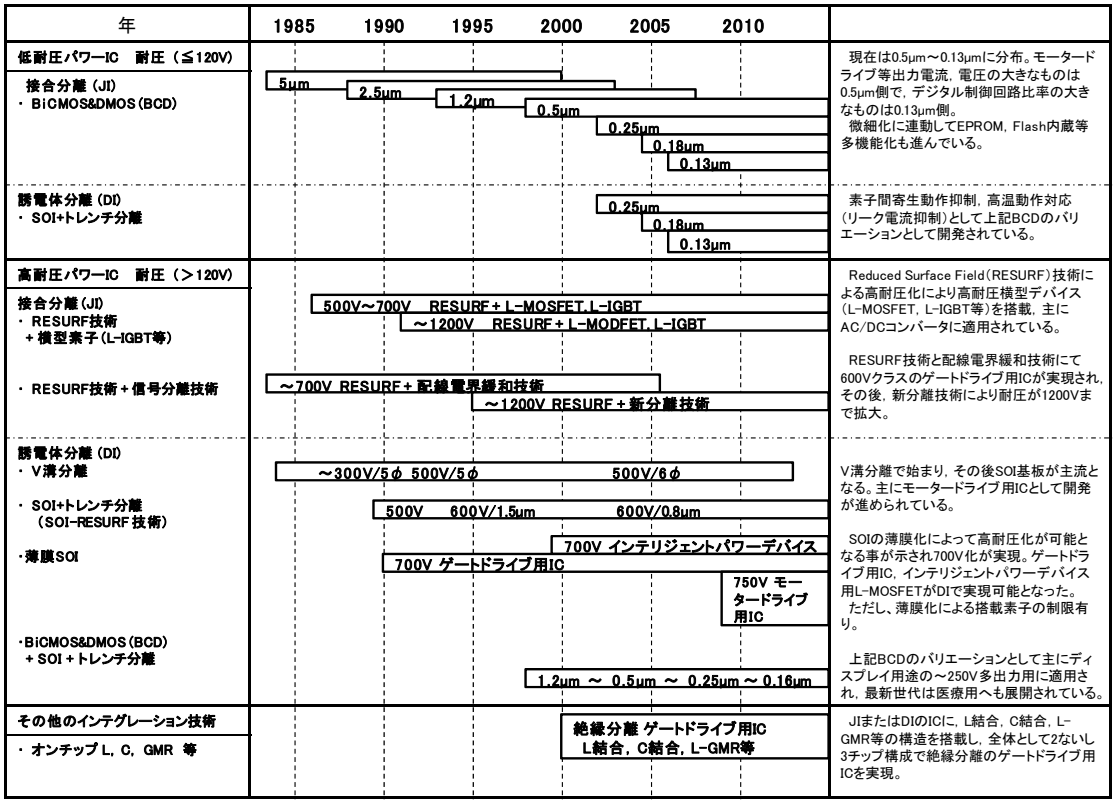


図１．４　電力制御に関する IC 技術のトレンド

１．３　本論文の構成と概要

電力変換技術における最も典型的な回路は図１．５のように、電源とグラウンド間に二つのパワーデバイスを直列に配し、その中央の電極を出力電極としたブリッジ構成をとり、この二つのパワーデバイスを高耐圧 IC によって駆動するものである。本論文ではこの構成に関わる様々な技術について説明したものであり、図１．５には各章が対象とする領域を合わせて図示している。

第２章で電力変換技術に要する半導体デバイスの基本的動作を説明する。これは第３章以降に登場する全ての半導体素子に共通したものである。

第３章では IGBT と PiN ダイオードに共通する電導度変調効果について、通常の PN 接合との違いにさかのぼり、内部動作を解析的に示し、そのトレードオフ、性能限界、最適化等を議論する。

第４章では SJ-MOSFET、IGBT、SiC-MOSFET 等、現在主流のパワーデバイスと次世代のパワーデバイスについて、３章の結果を踏まえ、性能向上に対する課題となっている自己発熱の影響を含めたそれぞれの性能限界と今後の改善に向けた指針を議論する。

第５章ではこれらのパワーデバイスを駆動する高耐圧 IC 技術についてその初期の技術から実際の開発において導入した技術の解説、そして今後の展望について解説する。

第６章では 100V 以下の電圧領域では上記パワーデバイスとその駆動部を全て１チップ上に形成する事が可能であり、これに使われる BiCMOS&DMOS 技術の発展と、その中でも 0.5μmBiCMOS&DMOS の意義とその開発における内蔵素子それぞれの構造と特性を解説する。

第７章にて第３章から第６章で議論した内容についてまとめを行い、本論文としての総括を行う。

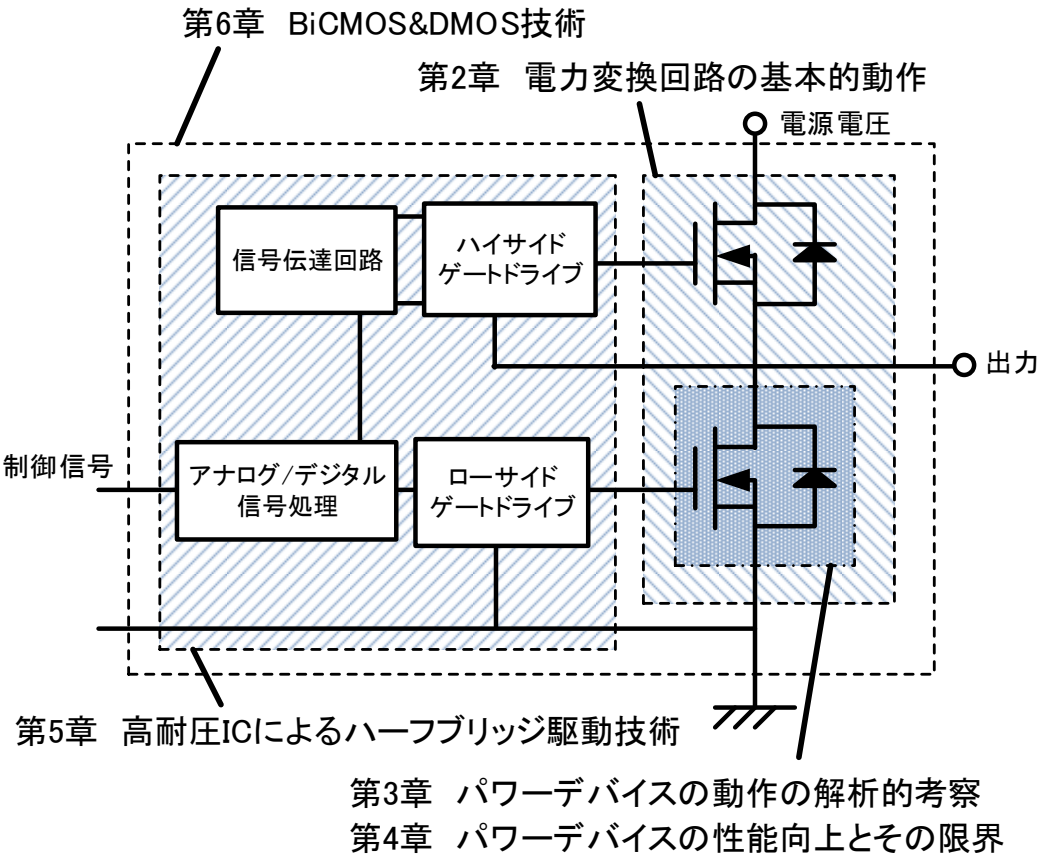


図１．５　基本的な電力変換回路（パワーデバイスによるブリッジ構成）
及び各章との対応

参考文献
“ エネルギー白書 2016 第 2 章 国際エネルギー動向、“ 資源エネルギー庁

第２章　電力変換技術の基本

２．１　はじめに

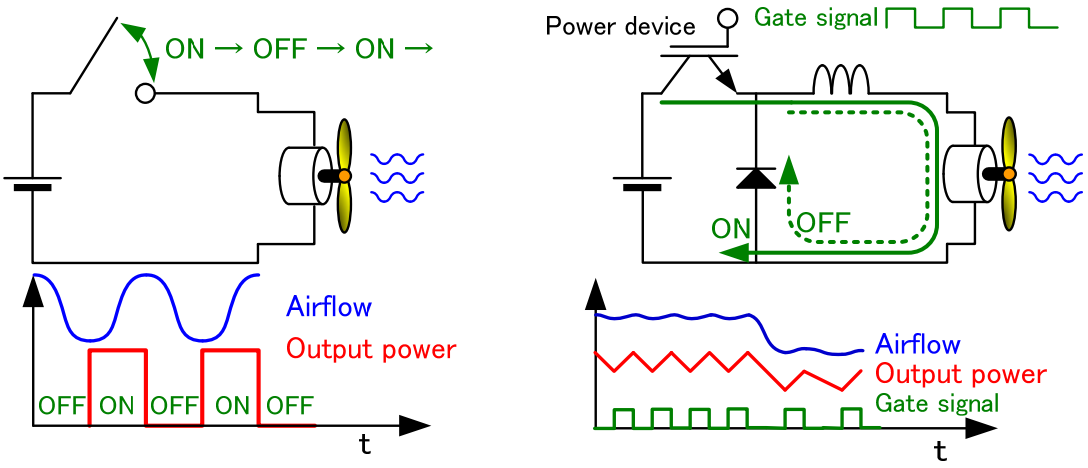
電力を利用するという事は必要な量を電源から部分的に取り出して使う事にほかならない。具体的な例では商用の AC 電源から DC 電源を作り、この DC 電源から必要な電力をモーターを回すための AC 電力に変換してモーターに供給する等である。このように使用する機器に必要な分だけ電力を取り出す技術を電力変換技術と呼び、その最も基本的かつ重要な特性は変換による電力消費を最小にする事である。

この要求は極めてシンプルであるが静的な動作ではまず不可能である。例えば、DC100V、1A の入力から出力電圧を 10V とする場合、電流連続から最大出力電流は 1A 以下であり、さらに(100V-10V)×1A は必ず損失となる。一方、出力電圧が 100V であっても、出力電流が 0.1A であれば 100V×(1A-0.1A)は必ず損失となる。このように、消費電力を抑えた上で電力を部分的に取り出す事は動的な方法、具体的には電力を入力から出力に間欠的に伝送する事が必須となる。

２．２　スイッチングによる電力変換

上記間欠動作の効果を図２．１で説明する。この送風機の風量を連続的に制御したい場合、静的な方法、すなわち抵抗の付加では抵抗でロスが発生するが、a)のように機械式スイッチで間欠的に動作させれば平均としての風量はオン状態の比率で制御でき、かつ原理的にはロスが発生しない。しかし言うまでも無く性能面でも耐久面でも現実的ではない。そこで、機械式スイッチの代わりにパワーデバイス、インダクター、ダイオードを使い b)の構成とすると、パワーデバイスがオン状態で、電源電圧の大半がインダクターとモーターに印加され、オフ状態では電源電圧の大半がパワーデバイスに印加され、かつインダクターに保存されているエネルギーがダイオードを介した閉回路でモーターで消費される。この回路ではパワーデバイスはどちらの状態でも電圧か電流のどちらかが 0 になるため、理想的には損失を発生しない上に、パワーデバイスが高速かつフレキシブルにスイッチングする事で風量を自由にコントロールする事が出来る。

この動作はパワーデバイスを機械式スイッチのように動作させて、電源のエネルギーを間欠的にインダクター（もしくはコンデンサー）に転送し、そこから負荷を駆動する事に他ならず、この方法によって負荷を駆動する回路から抵抗を削除され理想的には損失を生じない。これは電力変換技術の全てに共通する特徴であり、このために高効率の電力変換が実現されている。



a)機械式スイッチによる風量調整　　b) チョッパー回路による風量調整

図２．１　スイッチングによる風量の調整

２．３　理想スイッチとしてのパワーデバイス

２．２節にてパワーデバイスはスイッチとしての動作を求められていることを説明した。しかしながら実際のパワーデバイスは理想的なスイッチから隔たりがあるためその部分で損失が生じる。図２．２にパワーデバイスの一例としてパワーMOSFET の特性を示す。ゲート電圧を 0V から 15V に上昇させるにつれて電流が流れ、オフ状態の点 A から点 B に移行する。特性から明らかに点 B ではオン状態での残留抵抗（オン抵抗）分の損失があり、オン状態に向かう途中経過では電流×電圧による損失が発生する。したがって、パワーMOSFET を理想的なスイッチとして動作させるにはオン抵抗をなるべく低減し、かつ点 A と点 B 間をなるべく高速にジャンプするような動作が必要であるが、実際には負荷の影響、動作時の発振現象抑制等で電流×電圧の大きな領域を一定の時間をかけて通過する動作を余儀なくされている。

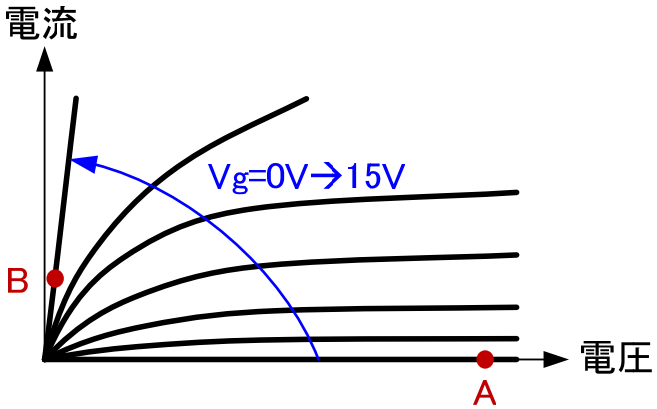


図２．２　パワーMOSFET の電流電圧特性

同様なことがダイオードにも言える。図２．１の b)においてパワーデバイスがオン状態の時、ダイオードは電源電圧分の逆バイアスが印加され、オフ状態ではインダクターの逆起電力で順バイアスされ電流が流れ、この動作を繰り返す。図２．３にダイオードの電流電圧特性を示す。静特性としては実線であるが、ダイオードは電導度変調効果による電子とホールの蓄積を利用しているため、例えば点 B から点 A に向かう動作（逆回復動作）では、蓄積したキャリアの排出により、典型的には点線の軌跡を取る。よって順バイアス時には順バイアス抵抗による損失があり、逆回復時にも電流×電圧による損失が生じる。

理想的には明らかに点 B は 0V が良く、かつ軌跡は電流軸、電圧軸上を移動するものが良い。ただし、現実には回路の寄生 L 成分によって L・dI/dt 分の電圧が発生し、これがパワーデバイス側へ悪影響を及ぼしたり、全体としての損失が増えたりするため点 B から点 A へ滑らかにかつ電流×電圧によるロスが最小になるような軌跡となるよう様々な構造上の工夫がなされている。

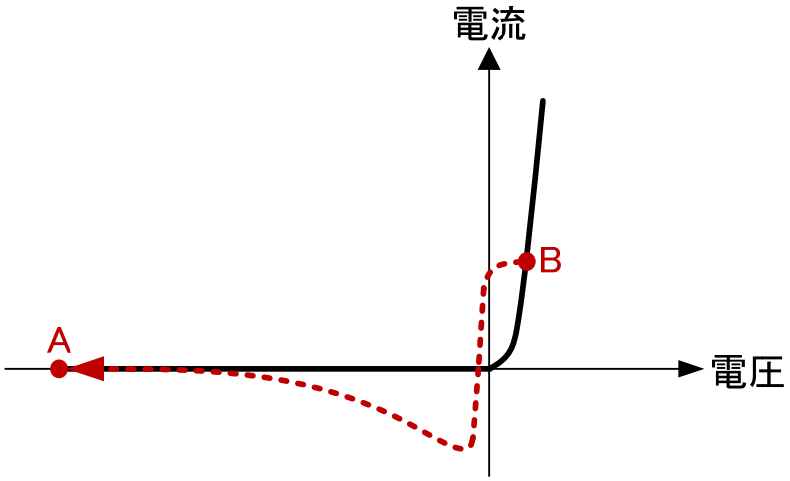


図２．３　ダイオードの電流電圧特性

２．４　PWM 制御

図２．１はスイッチング動作の効果を端的に示しているが、これを一般に広く普及しているブラシレスモーター駆動に利用するための典型的な回路が PWM(Pulse Width Modulation)制御である。モーター駆動は図２．４のように電源とグラウンド間に直列に２つ接続されたパワーデバイスとそれぞれにダイオードが並列接続されているハーフブリッジ回路が基本的な駆動回路である。モーターは磁力を連続的に変化させた電磁石によって作動しているため図２．４の出力は電磁石を形成する非常に大きなインダクターに接続され、これを 3 セット用意し、適切に駆動することで 3 相モーターが回転する。

ここで、各相は電流が正負に振れる交流を出力する必要があり、ここで前述

のスイッチングが活用される。図２．５に図２．４の回路の駆動とその出力波形を示す。IGBT1（OFF）で、IGBT2（ON）の時、インダクターに電圧+V が印加され電流が徐々に増加し、逆に IGBT1（ON）で、IGBT2（OFF）に切り替わるとインダクターに 0V が印加され電流が徐々に低下する。したがってこの二つの時間比率を適切に制御すると電流を正負の方向に自由にコントロールできる事が分かる。なお、IGBT1 と IGBT2 の同時 ON は電源の短絡により瞬時に破壊するため、極短い時間であっても一旦両者を同時に OFF するタイミングが必要であり、その瞬間ではインダクターに流れる電流の向きによって Diode1 あるいは Diode2 が順バイアスされて電流の流れが保たれる。この動作は不可欠であり MOSFET のように自身に寄生ダイオードを持つものは MOSFET 自体で代用する事もあるが、IGBT のように寄生ダイオードを持たない素子はフリーホイーリングダイオードと呼ばれ回路に必ず付加される。

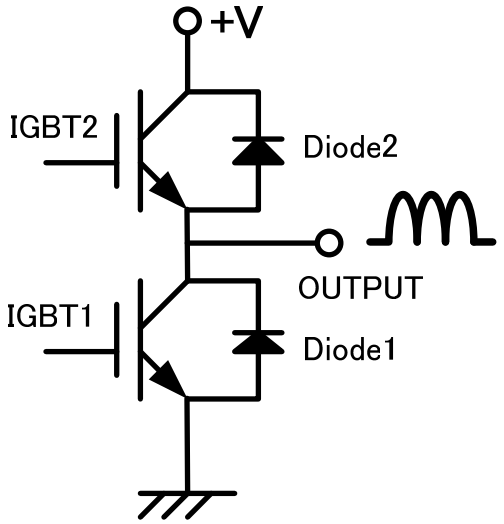


図２．４　ハーフブリッジ回路を構成する IGBT とダイオード

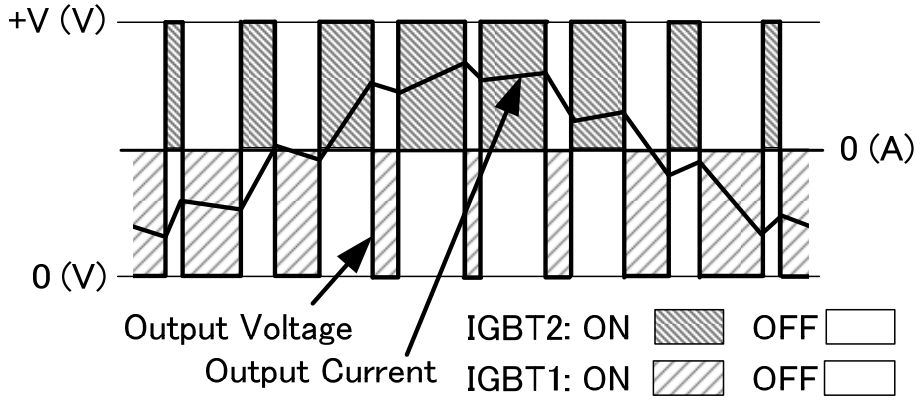


図２．５　図２．４の回路による出力電圧、出力電流

第 3 章　パワーデバイスの動作の解析的考察

３．１　はじめに

PiN ダイオードは従来の PN 接合の間に不純物濃度の極めて低い層、一般には n^-層を挟んだものである。順バイアスにおいてこの n^-層が伝導度変調を受けて低抵抗化するが、その動作は真性半導体と同じであるためここを i（intrinsic）層とみなし、この構造を持つダイオードは一般に PiN ダイオードと呼ばれる。

この構造を取ると、逆バイアス時は n^-層の空乏化によって高耐圧が得られ、順バイアスでは n^-層は伝導度変調による高濃度キャリアによって大幅に低抵抗となる。高耐圧を得るためには n^-層のキャリア濃度は低くせざるを得ないためそのままでは非常に高抵抗であるが、伝導度変調による 2 桁レベルの大幅な低抵抗化は決定的なメリットであり、現在に至るまで電力変換に使用するダイオードのほとんど全てを PiN ダイオードが占めている。

PiN ダイオードに関しては 1960 年代から i 層の伝道度変調時のキャリア濃度分布に関する多くの解析計算が報告されており [1-3]、解析式による内部動作の理解は大きく前進した。しかし、それを検証する測定技術は、バンドギャップより低いエネルギーのフォトンの吸収による Free Carrier Absorption(FCA)の手法で伝道度変調時のキャリア濃度分布の測定が可能となったが [4-7]、例えばそのキャリアの流量、またそれを電子電流、ホール電流に分けての観測等、他の重要な物理量は静的な測定に限定しても未だに定量評価に耐えうる測定方法が見出されていない。ましてや過渡的な動作における時系列での変化の観測は全く目処がたっていない。

このように解析計算によって予測された様々な数値を実測する方法が見つからない一方で、1980 年代から急速に発展したデバイスシミュレーションにより、一定の合わせ込みを行えば定性的な特性変化を実測通りに再現できるようになった。このためシミュレーション結果による予測と実測の相互比較と検討がその後の素子開発、論文での議論の主流となり、解析計算に関する進歩は著しく停滞している。しかしこの状況を考え直すと、デバイスシミュレーションが半導体に関する基本的な関係式を満たすように各種の物理量を決定しているのであれば、極めて詳細な影響を除き、それは解析式によって得られる物理量と振る舞いが一致するはずである。この方法によるといままで検証できなかった解析計算による各物理量の妥当性を議論する事が可能になる。ここで IGBT のオン状態は理想的には PiN ダイオードの順バイアス状態に相当しするため、この両者のデバイスに対する共通の解析として、上記方針に沿って、３．２節以降、議論を行う。また、この議論は 10kV を超える用途で期待されている SiC の PiN ダイオード、及び IGBT にも共通するという面でも大きな価値がある。

３．２　PN ダイオードの順バイアス動作

PiN ダイオードの動作は 60 年代から解析的な説明は多くなされているが、PiN ダイオードとして独自の仮定を置いた計算が大半であり標準的な PN ダイオードとの違いも含めて統合的に説明したものが無い。本章では PiN ダイオードを説明するための事前説明の位置づけで PN ダイオードの順バイアス動作を説明する。図３．１はここで説明する PN ダイオードの構成であり順バイアス時において空乏層が $x=-d$～d の範囲で形成されている。この時に順バイアス V が印加された時の、バンドとキャリア濃度の状況を図３．２に示す。そして図３．３に順バイアス状態における電子流 F_n、ホール流 F_p、再結合成分 F_r を表示する。この三つの合計 F は電流連続のため常に一定値を取る。

ここで、各記号を以下のとおりの定義とする。

$N(x)$、N：電子の濃度
$P(x)$、P：ホールの濃度
$E(x)$、E：電界
$F_n(x)$、F_n：電子流密度
$F_p(x)$、F_p：ホール流密度
$J_n(x)$、J_n：電子電流密度
$J_p(x)$、J_p：ホール電流密度
N_A：p^+層の不純物濃度
N_D：n^+層の不純物濃度
n_i：シリコンの真性キャリア濃度 (1.45×10^{10} (cm^{-3}))
F：キャリア流密度（$F= F_p-F_n$）
J：電流密度（$J = J_p- J_n=q(F_p-F_n)$）
D_n：i 層における電子の拡散係数
D_{n0}：p^+層における電子の拡散係数
D_p：i 層におけるホールの拡散係数
D_{p0}：n^+層におけるホールの拡散係数
μ_n：i 層における電子の移動度
μ_p：i 層におけるホールの移動度
τ_n：i 層における電子のライフタイム
τ_{n0}：p^+層における電子のライフタイム
τ_p：i 層におけるホールのライフタイム
τ_{p0}：n^+層におけるホールのライフタイム
q：電子の電荷量
E_F：フェルミ順位　　E_i：真性フェルミ順位
E_c：伝導帯の下端のエネルギー　　E_v：価電子帯の上端のエネルギー

図３．２においてキャリア濃度はボルツマン分布で近似され、電子濃度、ホール濃度は n_i に対し、E_F と E_i の差の因子分濃度が変化する。

$$N = n_i \exp\left(\frac{E_F - E_i}{kT}\right) \qquad \cdots\cdots(3.1)$$

$$P = n_i \exp\left(\frac{E_i - E_F}{kT}\right) \qquad \cdots\cdots(3.2)$$

(3.1)、(3.2)より両者の濃度の積（キャリア濃度積）は常に n_i^2 になり、これはボルツマン分布自体の性質であるが、質量作用則と言われ熱平衡状態であれば常に成立する。ここで x=-d～d の空乏層では電子とホールのそれぞれ一部が再結合しており、その流れの成分を F_r とする。この領域では E_i を基準とし、順バイアスが電子とホールに対して半分ずつ寄与しそれぞれ $qV/2$ のずれで擬フェルミ順位 E_F が存在する。この領域での N、P は(3.1)、(3.2)から(3.3)となり、一般的に適用される再結合中心が E_i 付近に存在するという仮定にて再結合電流 F_r は(3.4)で表される。電圧 V によりこの領域で qV 分のエネルギー差を生じるため、キャリア濃度積は $n_i^2\exp(qV/kT)$に増加し、x=-d と d の境界はこの値で連続する。

$$N = P = n_i \exp\left(\frac{qV}{2kT}\right) \qquad \cdots\cdots(3.3)$$

$$F_r = \frac{2d}{\tau_r}\frac{PN - n_i^2}{P + N - 2n_i} = \frac{d\,n_i}{\tau_r}\left[\exp\left(\frac{qV}{2kT}\right) - 1\right] \qquad \cdots\cdots(3.4)$$

次に x=-d～d の外側の領域での流れを考える。ここでは x=-d から負の方向に向かって電子が拡散し、x=d から正の方向にホールが拡散する。質量作用則に対して x=d と x=-d それぞれの位置で E_F が熱平衡時の位置から qV の差を生じているため、この位置での N、P はそれぞれ(3.5)、(3.6)になる。

$$N(-d) = \frac{n_i^2}{N_A}\exp\left(\frac{qV}{kT}\right) \qquad \cdots\cdots(3.5)$$

$$P(d) = \frac{n_i^2}{N_D}\exp\left(\frac{qV}{kT}\right) \qquad \cdots\cdots(3.6)$$

拡散方程式を x=∞と x=-∞で N、P 共に熱平衡時の濃度とすると、電子、ホールの流れはそれぞれ(3.7)、(3.8)となる。

$$\alpha F = -F_n(-d) = \frac{n_i^2 D_{n0}}{N_A L_{n0}}\left[\exp\left(\frac{qV}{kT}\right) - 1\right] \qquad \cdots\cdots(3.7)$$

$$\beta F = -F_p(d) = \frac{n_i^2 D_{p0}}{N_D L_{p0}}\left[\exp\left(\frac{qV}{kT}\right) - 1\right] \qquad \cdots\cdots(3.8)$$

電子とホールの拡散電流と再結合電流の合計が全電流 qF となり、(3.9)において、右辺第一項が再結合電流、第二項が拡散電流である。一般的に 1μA～0.1A/cm^2 以上の電流密度では拡散電流が支配的になるため、実使用領域では電流は概ね exp(qV/kT)に比例する。

$$qF = \frac{qd\,n_i}{\tau_r}\left[\exp\left(\frac{qV}{2kT}\right)-1\right] + qn_i^2\left[\frac{D_{n0}}{N_A L_{n0}} + \frac{D_{p0}}{N_D L_{p0}}\right]\left[\exp\left(\frac{qV}{kT}\right)-1\right] \quad \cdots\cdots\cdots(3.9)$$

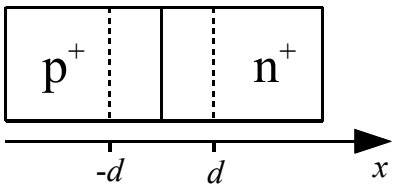


図３．１　PN ダイオードの構成　（x=-d～d は空乏領域）

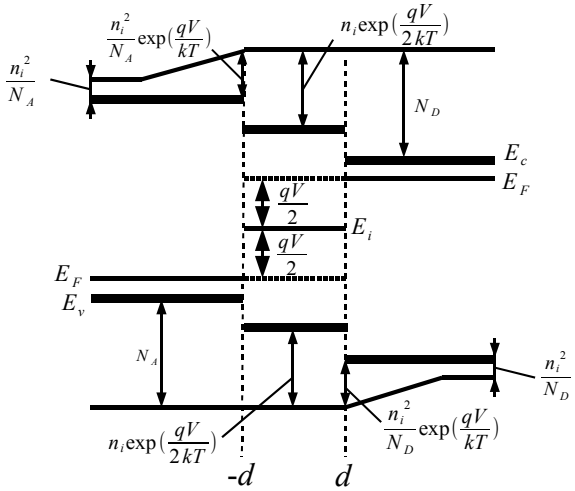


図３．２　順バイアス状態での PN ダイオードのバンドとキャリア濃度

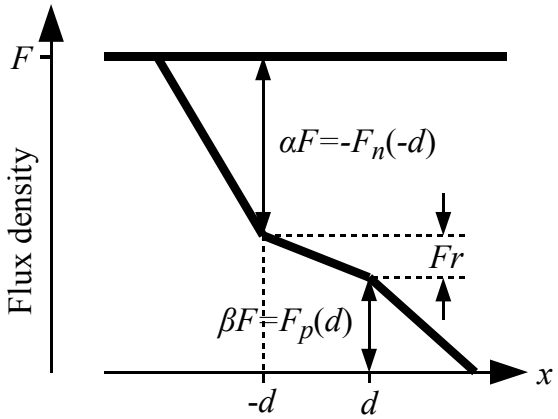


図３．３　順バイアス状態での PN ダイオードのキャリアの流れ

３．３　PiN ダイオードの順バイアス動作の基本的な関係式

次に PiN ダイオードの順バイアス動作について考える。図３．４は PiN ダイオードの構成であり i 層が $x=-d$～d の範囲で形成されているとする。これは図３．１に対し空乏層を i 層に取り替えた形になるが、$x=-d$～d の外側で p+層、n+層に流れ込む拡散電流になる所は共通であり、両者の対比のためこの形で定義する。図３．５は順バイアス V が印加された時のバンドとキャリア濃度の状況である。ここで、i 層内部のエネルギー順位の表示は以降の解析計算に沿った形で表示した。図３．６は順バイアス状態における電子流 F_n、ホール流 F_p を表示しており、両者の合計 F は電流連続のため常に一定値をとる。

PiN ダイオードの順バイアス動作は i 層が高水準注入により伝導度変調状態となった状況で使用される。この時キャリア濃度は $1\times10^{16}\mathrm{cm}^{-3}$ 以上に増加し電子とホールのわずかな濃度差が大きな静電的引力を生む。このため両者の濃度はほとんど完全に一致した状態で逆方向に流れており、かつ電子とホールの再結合も同時に発生している。そしてそれぞれ i 層両端に到達した電子による電子流（αF）、及びホール流（βF）が p+層、n+層に向かって拡散電流として流れ出している。したがって、電子とホールが再結合する分の流れは$(1-\alpha-\beta)F$ である。

PN ダイオードでは、ホールが p+層から n+層に到達するまでの距離が極めて狭いためこの間の電圧降下を無視しており、順バイアスが V であれば、拡散電流はそれぞれ熱平衡から $\exp(qV/kT)$倍の濃度上昇を仮定していたが、PiN ダイオードでは付加された i 層が一般に数 μm から数十 μm に達する非常に長い領域であるため、i 層での電圧降下を考慮しなければならない。

なお、PN ダイオードでは$-d\leqq x\leqq d$ でキャリア濃度積が $n_i^2\exp(qV/kT)$に増加し、$x=-d$、d の境界で連続するとしたが、伝導度変調状態ではキャリア濃度積、すなわちキャリア濃度の二乗が伝導度変調領域の両端 $x=-d$ と $x=d$ で連続する(2)。

まとめると、PiN ダイオードでは i 層内のキャリア流と i 層両端から流れ出す拡散電流が整合する形でキャリア濃度プロファイル、キャリア流分布が決定される。したがって、図３．６の α、β が PiN ダイオードの内部状態を示す極めて重要なパラメータである事は明らかである。

しかし、これらを実測から決定する方法が無く、また α、β を含めた解析計算は解析解が得られない事もあり、以前から $\alpha=\beta=0$ を仮定した解析解以上の考察がほとんどなされていない。

この問題についてもデバイスシミュレーション結果との比較を利用する事により α、β を想定した議論が可能であり、以降この手法を駆使し α、β の挙動を含めた議論を行う。

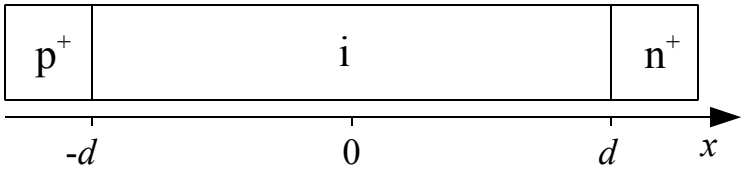


図３．４　PiN ダイオードの構成

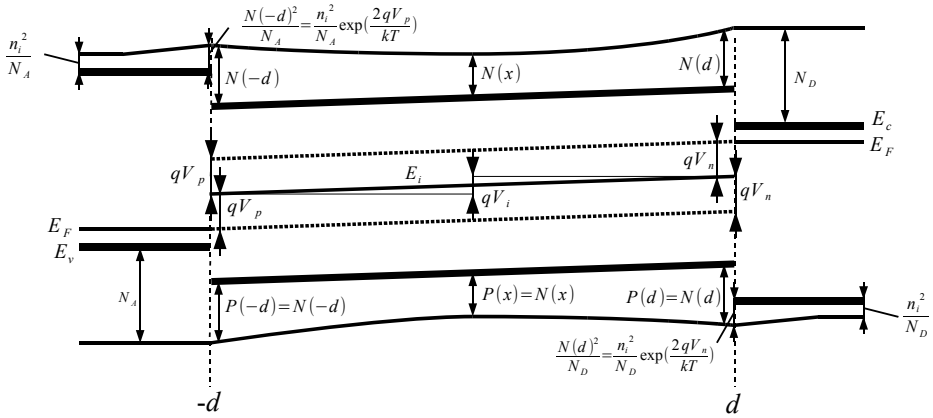


図３．５　順バイアス状態での PiN ダイオードのバンドとキャリア濃度

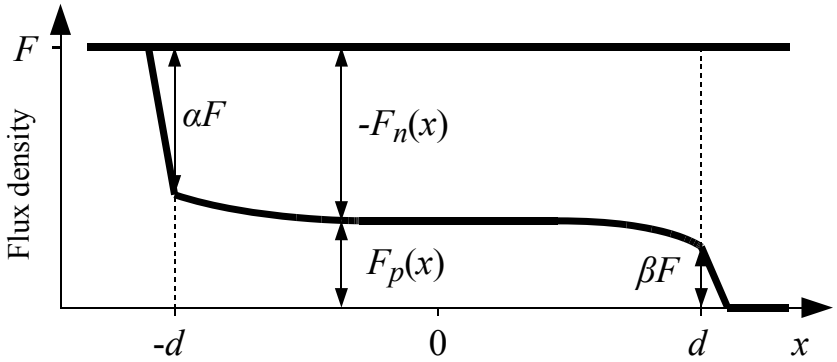


図３．６　順バイアス状態での PiN ダイオードのキャリアの流れ

３．４　伝導度変調状態における電子、ホールの拡散係数の挙動

伝導度変調状態の i 層の電子とホールに対し $P(x)=N(x)$ と置く事が可能であり、ライフタイムも共通の値 τ_a $(=\tau_n+\tau_p)$ をとる[3]。以上の関係をキャリアの流れと濃度分布に関して $N(x)$ と τ_a で整理すると以下の関係が成り立つ。(3.10)の右辺第一項は拡散による流れ、第二項はドリフトによる流れを示す。また、(3.11)と(3.12)はそれぞれホールと電子に対する連続の式である。この３つが PiN ダイオードの順バイアス時のキャリアの流れと濃度を解析する基本的な関係式になる。

$$\frac{J}{q}=F=F_p-F_n=(D_n-D_p)\frac{\partial N}{\partial x}+(\mu_n+\mu_p)EN \qquad \cdots\cdots\cdots\cdots(3.10)$$

$$\frac{\partial N}{\partial t}=D_p\frac{\partial^2 N}{\partial x^2}-\mu_p\frac{\partial(EN)}{\partial x}-\frac{N}{\tau_a}=0 \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3.11)$$

$$\frac{\partial N}{\partial t}=D_n\frac{\partial^2 N}{\partial x^2}+\mu_n\frac{\partial(EN)}{\partial x}-\frac{N}{\tau_a}=0 \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3.12)$$

この３つの式と図３．６の α、β を使い、N は(3.13)のように cosh の関数と sinh の関数の和の形で表される。

$$N(x)=N(0)\left[\cosh\left(\frac{x}{L_a}\right)+\gamma\sinh\left(\frac{x}{L_a}\right)\right] \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3.13)$$

$$\because\ N(0)=\frac{FL_a}{2D_a}\frac{1-\alpha-\beta}{\sinh(d/L_a)} \quad \gamma=\frac{K\tanh(d/L_a)}{1-\alpha-\beta} \quad K=\frac{\mu_p-\mu_n}{\mu_p+\mu_n}+\alpha-\beta$$

$$D_a=\frac{D_p\mu_n+D_n\mu_p}{\mu_n+\mu_p} \qquad L_a=\sqrt{D_a\tau_a}$$

ここで、過去の計算例ではアインシュタインの関係式（$D_n/\mu_n= D_p/\mu_p=kT/q$）を式の変形に無条件に適用する事が多いが、本解析では最後までこの関係を使わない。この背景について解説する。アインシュタインの関係式はブラウン運動による微粒子のマクロな運動に対する解析から得られたものであるが、ここではボルツマン分布の電子に対応したアインシュタインの関係式の解説を行う。電子の流れは右辺第一項の拡散成分と第二項のドリフト成分の和になる。

$$F_n=-D_n\frac{\partial N}{\partial x}-\mu_n EN$$

ここで、上式を以下の関係を使い、F_n=0 での解を求める。

$$N(x)=N_0\exp\left(\frac{-qV(x)}{kT}\right) \qquad E=\frac{dV(x)}{dx}$$

すると、以下のとおり、アインシュタインの関係式が得られる。

$$0=EN\left(\frac{qD_n}{kT}-\mu_n\right) \qquad \therefore \quad \frac{D_n}{\mu_n}=\frac{kT}{q}$$

このようにアインシュタインの関係式は、電子、ホールが単独でかつ熱平衡状態の場合、ミクロな現象に基づく平均的な流れ（拡散現象）とマクロな力による流れ（ドリフト現象）が釣り合う事を示している。したがって、キャリアが流れている状態ではアインシュタインの関係式の適用性は検証されなければならない。また、μ_n、μ_p が物性に起因し大きな変化を示さない事から、これはすなわち D_n と D_p が、順バイアス状態で変化するかどうかの議論になる。

一方、(3.13)で導入した D_a は両極性拡散係数と呼ばれ、$N=P$、$F_n=F_p=F$ の条件下で求められたものである。これは、電子とホールが同一濃度分布を保ったまま無電界状態で自然に拡散する状況に相当する。この条件では電子とホールが同一の流れとなるから D_n と D_p は明らかに D_a に変化し一致する。この変化は電子とホール間の静電的引力が原因であるが、キャリアの流れを示す式においては電子、ホールともにアインシュタインの関係式が成立しなくなる。このように、D_n、D_p、D_a の値、及びアインシュタインの関係式の成立性はキャリアの流れに応じて検証が必要である事が分かる。

これを可能とするには電子、ホールそれぞれのドリフト流成分、拡散流成分を知る必要があるが前述の通りこれらを計測する方法が無い。一方、デバイスシミュレーションはこれらの成分を計算結果として示す事が出来るため、この検証が可能となる。

まず、D_a と同じ条件下で μ_s を定義すると(3.10)は(3.14)の形で表現できる。よって、デバイスシミュレーション結果による EN に対し、同じくデバイスシミュレーション結果による $\partial N/\partial x$ を(3.14)に適用してフィッティングすると D_a/μ_s が求まる。

$$EN=\frac{D_a}{\mu_s}\frac{\partial N}{\partial x}+\frac{F}{\mu_n+\mu_p} \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3.14)$$

$$\because \quad \mu_s=\frac{D_p\mu_n+D_n\mu_p}{D_p-D_n}$$

次にデバイスシミュレーションによる N から、(3.15)により D_a が求まる。したがって、これらの計算で D_a と μ_s が個別に求まる。

$$D_a(x)=\frac{1}{\tau_a}\left[\frac{x}{\ln\left(Z(x)+\sqrt{Z(x)^2-1}\right)}\right]^2 \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3.15)$$

$$\frac{N(x)+N(-x)}{2N(0)}=\cosh\left(\frac{x}{L_a}\right)=\cosh\left(\frac{x}{\sqrt{D_a\tau_a}}\right)=Z(x)$$

したがって、以下の式から D_p と D_n を個別に求める事ができる。

なお、(3.14)において $\partial N/\partial x=0$ の位置ではキャリア流全てがドリフト流になるから、その位置での電子流、ホール流、電界のシミュレーション結果を調べると移動度は伝導度変調の影響をほとんど受けない事を確かめる事が出来る。

$$D_p = D_a\left(1+\frac{\mu_p}{\mu_s}\right) \qquad D_n = D_a\left(1-\frac{\mu_n}{\mu_s}\right)$$

このような準備のもと、以下の条件で 3 つの電流密度についてデバイスシミュレーションを行い、その結果を図３．７～図３．９に示す。

i 層の不純物濃度：1×10^{14} cm^{-3}　（n 型）
p^+層の不純物濃度(N_D)：1×10^{20} cm^{-3}
n^+層の不純物濃度(N_A)：1×10^{20} cm^{-3}
i 層の長さ：180μm (図３．４において d= 90μm)
p^+層、n^+層の長さ：10μm
$\tau_p=\tau_n=1\times10^{-6}$ s　　$\tau_a=\tau_p+\tau_n=2\times10^{-6}$ s　Da=18.8
μ_p=484 cm^2/(V・s)　　μ_n=1443cm^2/(V・s)

ここで(a)はキャリア濃度プロファイル、(b)は(3.15)を使って求めた D_a、(c)はシミュレーション結果の E と P を掛け合わせて得られた EP 値であり、(3.14)で述べたフィッティングを行っている。

伝導度変調状態では正負の電荷はほぼ完全に同数となるが、i 領域を n^-層（濃度 1×10^{14}cm^{-3}）と設定しており、その分電子濃度がホール濃度より常に高くなる。このためあえてホール濃度側を採用したが、キャリア濃度は十分高いため実際には EP、EN どちらでも結果はほとんど変わらない。

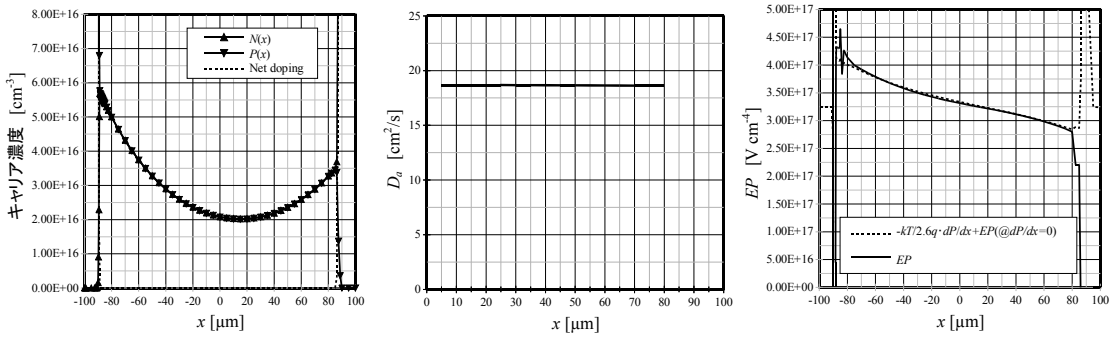
それぞれの(c)に対し、(3.14)の式において $dP/dx=0$ の点を基準に第一項の係数を調整しフィッティングを行うとそれぞれ非常に良い一致が得られる（点線）。ここで $qF=0$ の時は熱平衡状態の電子、ホールそれぞれのアインシュタインの関係式から値を求め、フィッティング結果とまとめて整理すると、以下のように電流密度の上昇とともに、D_a/μ_s の絶対値が小さくなってゆく。

qF=0A/cm^2　　：$D_a/\mu_s=-kT/2.0\,q$
qF=100A/cm^2　：$D_a/\mu_s=-kT/2.6\,q$
qF=1000A/cm^2　：$D_a/\mu_s=-kT/4\,q$
qF=4000A/cm^2　：$D_a/\mu_s=-kT/20\,q$

(3.14)の右辺第一項は拡散電流成分を示しているから、これは電流密度の上昇とともに拡散電流成分が減少している事を示す。

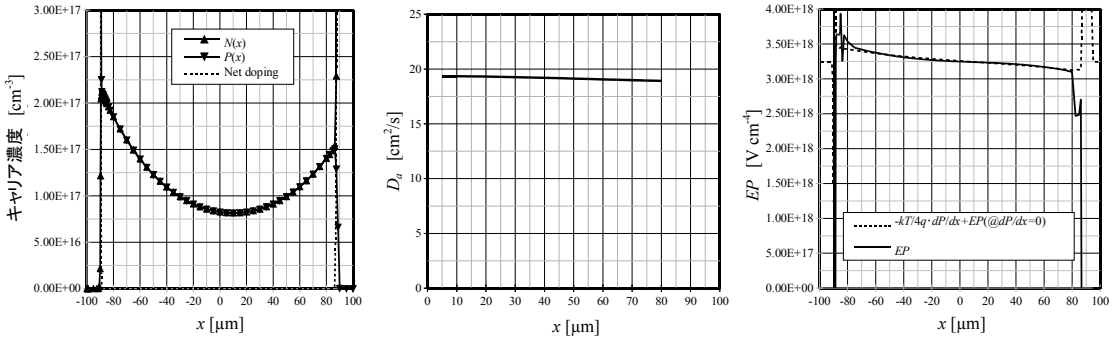
これから(b)の D_a の値を使い、図３．１０に D_a、D_n、D_p の変化を個別に計算した結果を示す。D_a は qF=0 の時、アインシュタインの関係式から計算すると約 18.8 であり、電流密度の上昇とともに僅かに増加する。一方、D_n、D_p は電流密度上昇によりお互いに急速に D_a に近づく。

外部電界が無い場合、電子とホール間は静電的引力によって両者の拡散係数は完全に一致する事は明らかである。ここに外部電界が加わった場合を想定するとキャリア濃度が非常に低い場合は外部電界によるドリフト電流によってキャリア濃度傾斜が発生すると直ちにそれぞれの本来の拡散係数による拡散電流が発生し両者の合計としてのキャリアの流れが形成される。これがキャリア濃度の上昇とともに電子とホール間の静電的引力によって双方の拡散係数がお互いに近づいてゆく状況を表しており、この挙動を今回初めて定量的に示した。



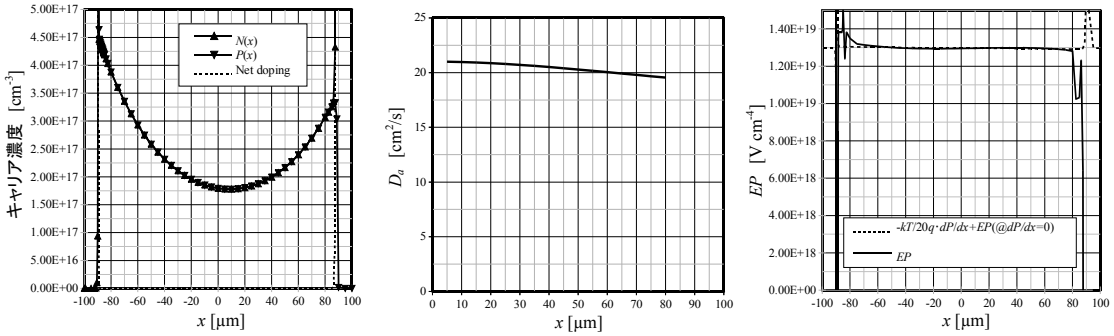
(a) x とキャリア濃度の関係　(b) x とD_aの関係　(c) x とEPの関係

図３．７　100 A/cm^2 におけるデバイスシミュレーション結果



(a) x とキャリア濃度の関係　(b) x とD_aの関係　(c) x とEPの関係

図３．８　1000 A/cm^2 におけるデバイスシミュレーション結果



(a) x とキャリア濃度の関係　(b) x とD_aの関係　(c) x とEPの関係

図３．９　4000 A/cm^2 におけるデバイスシミュレーション結果

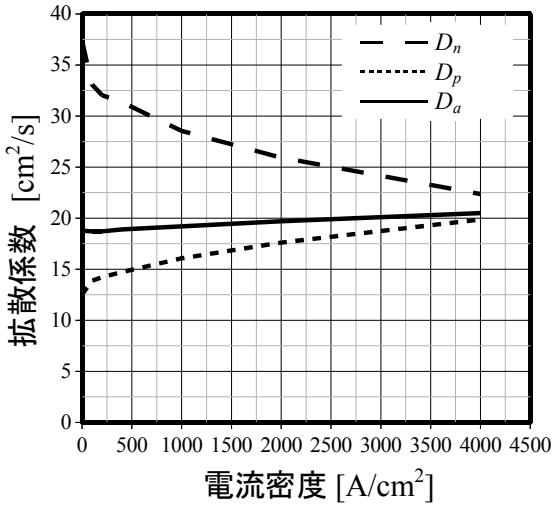


図３．１０　D_n、 D_p、 D_a の電流密度による変化（x=40μm）

３．５　i 層両端での拡散電流を考慮した α、β の導出

前述の通り、過去の解析的計算は図３．６において $\alpha=\beta=0$ としたものしか無いが、今回 i 層両端のキャリア濃度とそこから外に向かう拡散電流に関して以下の(3.16)、(3.17)の関係が成立する事から α、β を導出する。ここで N_{Aeff} と N_{Deff} は拡散電流が流れる領域での実効的な p^+層、n^+層の濃度とする。

$$-F_n(-d)=\alpha F=\frac{D_{n0}}{L_{n0}}\frac{N(-d)^2}{N_{Aeff}} \qquad L_{n0}=\sqrt{D_{n0}\tau_{n0}} \qquad \cdots\cdots(3.16)$$

$$F_p(d)=\beta F=\frac{D_{p0}}{L_{p0}}\frac{N(d)^2}{N_{Deff}} \qquad L_{p0}=\sqrt{D_{p0}\tau_{p0}} \qquad \cdots\cdots(3.17)$$

この二つの式は陰関数でありこれらを同時に満たす α、β を解析的に求めるのは不可能である。過去に α、β を含めた解析的な議論が無かったのは α、β を解析式で表示出来ないという事情があったものと予想する。

今回、(3.16)、(3.17)をそれぞれ(3.18)、(3.19)のように右辺から左辺を引いた形に書き換え、両者の積を $0\leqq\alpha+\beta\leqq1$ の範囲で調べると図３．１１のようになり、正負の領域が交差する点として解が求まる。

$$f_n(\alpha,\beta)=\frac{D_{n0}}{L_{n0}}\frac{N(-d)^2}{N_{Aeff}}-\alpha F \qquad \cdots\cdots(3.18)$$

$$f_p(\alpha,\beta)=\frac{D_{p0}}{L_{p0}}\frac{N(d)^2}{N_{Deff}}-\beta F \qquad \cdots\cdots(3.19)$$

この手法で電流密度に対する α、β の変化をプロットしたものを図３．１２に示す。ここに図３．７～図３．９の条件でのデバイスシミュレーション結果から求めた α、β の結果を重ねてプロットすると $N_{Aeff}=N_{Deff}=1\times10^{17}\mathrm{cm}^{-3}$ 付近において広い電流密度範囲で両者が良く一致する。両者が N_A、N_D に対して低い数値となっている理由としてはシミュレーション結果において p^+層、n^+層内のキャリアの拡散がそのほとんど表面付近で消滅しているため、拡散現象がかなり低い濃度領域で発生しているためと推定している。以上で(3.16)、(3.17)の関係が基本的に成立している事が確認できた。

次に図３．１３～図３．１５に α、β の変化の大きい低電流密度領域での d/L_a 依存性を調べた結果をまとめる。d/L_a が小さく電流密度が高いほど数値が大きくなり、ほとんどの場合において α、β は共に決して小さくは無く $\alpha=\beta=0$ の扱いは、実態と大きく乖離しており近似としては不適切である事が分かる。

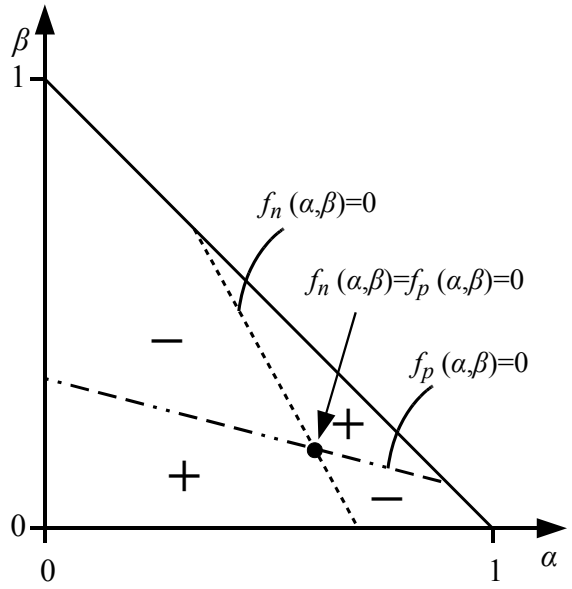


図３．１１　$f_n(\alpha、\beta)\times f_p(\alpha、\beta)$の分布と解の関係

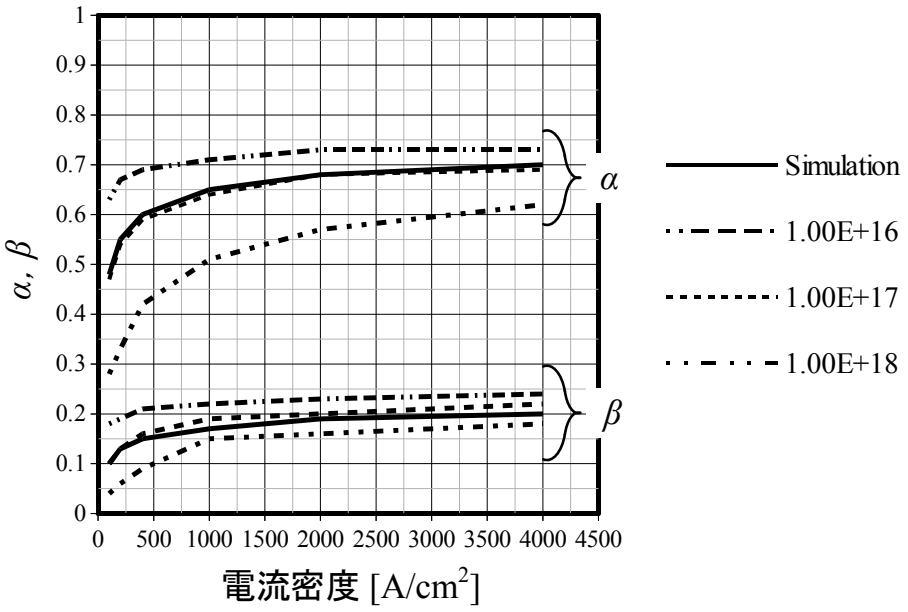


図３．１２　$N_{Aeff} = N_{Deff} = 1\times10^{16}$、 1×10^{17}、 1×10^{18} cm^{-3} での電流密度と α、β との関係

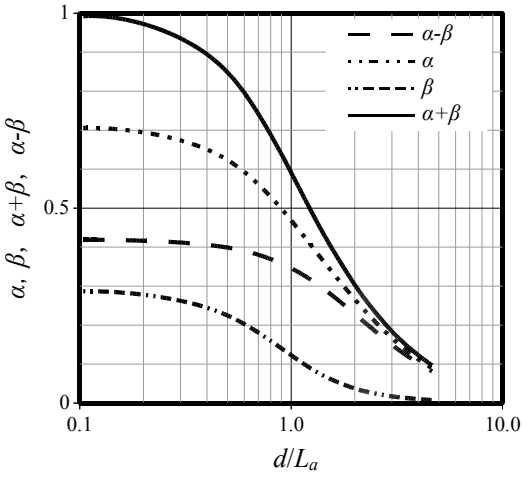


図３．１３　40A/cm^2 における d/L_a と α、β との関係

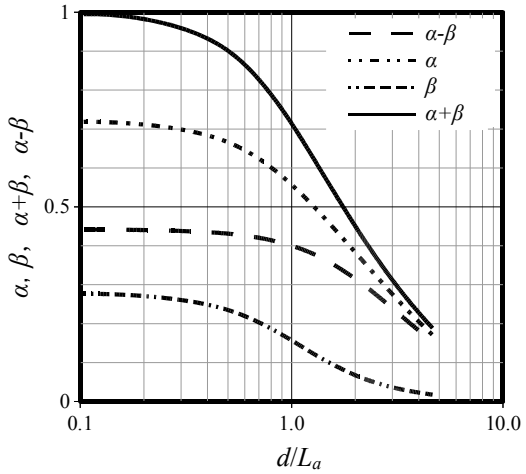


図３．１４　100A/cm^2 における d/L_a と α、β との関係

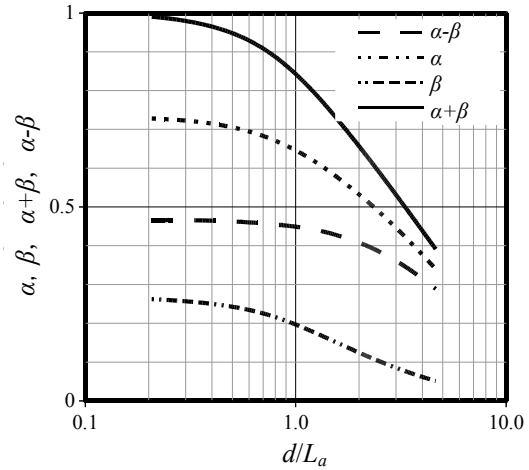


図３．１５　400A/cm^2 における d/L_a と α、β との関係

３．６　i 層内部、及びその両端での電圧降下の導出

３．５節にて(3.16)、(3.17)に基づく α、β の挙動が判明した。次に、この数値によって PiN ダイオードの特性にどのような影響が及ぶかを考察する。

PiN ダイオードの順バイアス状態における電圧は i 層内部での電圧降下 V_i と i 層両端での電圧降下 V_j の和になるため、この両者について解析する。

まず、(3.13)、(3.14)より i 層内部の電界 $E(x)$は以下の式で表される。

$$E(x)=\frac{2D_a\sinh(d/L_a)}{L_a(\mu_p+\mu_n)(1-\alpha-\beta)[\cosh(x/L_a)+\gamma\sinh(x/L_a)]}$$

$$+\frac{D_a}{\mu_s L_a}\frac{\sinh(x/L_a)+\gamma\cosh(x/L_a)}{\cosh(x/L_a)+\gamma\sinh(x/L_a)}$$

これを x=-d～d の範囲で積分すると i 層内部での電圧降下 V_i が求まる。これは γ の値によって以下の通りとなる。

γ<1

$$V_i=\int_{-d}^{d}E(x)dx=\frac{4D_a\sinh(d/L_a)}{(\mu_p+\mu_n)(1-\alpha-\beta)}\frac{\arctan[\sinh(d/L_a)\sqrt{1-\gamma^2}]}{\sqrt{1-\gamma^2}}$$

$$+\frac{D_a}{\mu_s}\ln\left[\frac{1+\gamma\tanh(d/L_a)}{1-\gamma\tanh(d/L_a)}\right]$$

γ±1

$$V_i=\frac{4D_a}{(\mu_p+\mu_n)(1-\alpha-\beta)}\sinh^2\left(\frac{d}{L_a}\right)\pm\frac{2dD_a}{\mu_s L_a}$$

1<|γ|<1/tanh(d/L_a)

$$V_i=\frac{2D_a\sinh(d/L_a)}{(\mu_p+\mu_n)(1-\alpha-\beta)}\frac{1}{\sqrt{\gamma^2-1}}\ln\left[\frac{1+\sqrt{\gamma^2-1}\sinh(d/L_a)}{1-\sqrt{\gamma^2-1}\sinh(d/L_a)}\right]+\frac{D_a}{\mu_s}\ln\left[\frac{1+\gamma\tanh(d/L_a)}{1-\gamma\tanh(d/L_a)}\right]$$

次に i 層両端で発生する電圧 V_j を計算する。x=-d で発生する電圧を V_p、x=d で発生する電圧を V_n とすると、伝導度変調時は電子とホールの濃度が一致しているため、V_j は(3.13)、(3.16)、(3.17)を以下式に代入し(3.20)で表される。

$$N(-d)=n_i\exp\left(\frac{qV_p}{kT}\right)\qquad N(d)=n_i\exp\left(\frac{qV_n}{kT}\right)$$

$$V_j=V_p+V_n=\frac{kT}{q}\ln\frac{N(-d)N(d)}{n_i^2}$$

$$V_j=\frac{kT}{q}\ln(\sqrt{\alpha\beta}F)+\frac{kT}{q}\ln\left[\sqrt{\frac{L_{n0}L_{p0}N_{Aeff}N_{Deff}}{D_{n0}D_{p0}}}\frac{1}{n_i^2}\right] \qquad \cdots\cdots\cdots\cdots\cdots(3.20)$$

次に図３．１３～図３．１５の α、β の結果を使い、V、V_j、V_i の挙動を図３．１６～図３．１８に示す。

一方、図３．１９は(3.20)ではなく、400A/cm^2 において(3.13)を $\alpha=\beta=0$ で計算した結果を使っており、d/L_a が低下するにしたがって V_j が上昇する特性と V_i とのバランスによって凡そ $d/L_a=1$ で V が最小値をとる。これは、特性を解析的に説明した過去の論文に一般的に記載されている内容である。しかし(3.13)では、$d/L_a\to 0$ で $N(0)\to\infty$、よって $V_j\to\infty$ になるが、実際は少なくとも V は低下する傾向を保持するため一致しない。これについてはその後も α、β を試算値として一方的に仮定した場合に V が最小となる d/L_a が非常に小さくなる事を解析的に示した事例があるに過ぎない[8)]。このような不一致は明らかに α、β を正しく設定していない事に起因する。α、β を正しく考慮した(3.20)では、V_j は $\alpha\beta\leqq 1/4$ より明らかに上限が存在する。今回の結果から d/L_a が低下するにしたがって α、β、が上昇する事で V_j は一定値に収束し、全体として V が最小となる d/L_a は 0.1 以下の極めて小さな値になり、現実を正しく反映している事を確かめた。さらにこの場合は V_i も一定値に収束する。

これらの挙動を解析的に検証する。$d/L_a\to 0$ で N は一次関数になるため以下の式から $N=N(0)$の一定値を取る時に V_j が最大になる。

$$V_j=V_p+V_n=\frac{kT}{q}\ln\frac{N(-d)N(d)}{n_i^2}$$

次に $N(0)$の挙動を調べる。$d/L_a\to 0$ では再結合が無いため、$1-\alpha-\beta\to 0$ であるが、以下の通り構造パラメータと F で X、Y を定義すると、$N(0)$は際限なく大きくなるのではなく(3.21)に収束する。物理的に言うと、再結合がまったく無い場合においても i 層両端からキャリアが流れ出す拡散電流と伝導度変調で維持される i 層のキャリア濃度のバランスで $N(0)$の大きさが決まり、これにより、V_j が一定の値に留まる。さらに V_i も N が一定のため拡散電流成分がなくなり、(3.22)のとおり一定値に収束する。以上で V_j、V_i の挙動が解析的に説明された。

$$\lim_{d/L_a\to 0}N(0)=\lim_{d/L_a\to 0}\frac{FL_a}{2D_a}\frac{1-\alpha-\beta}{\sinh(d/L_a)}=\lim_{d/L_a\to 0}\frac{Fd}{2D_a}\frac{L_a^2}{d^2}(1-\alpha-\beta)$$

$$=\frac{Fd}{2D_a(X+Y)}\left[\sqrt{X+Y-4K^2XY}+K(X-Y)\right] \qquad \cdots\cdots\cdots\cdots(3.21)$$

$$\because \qquad X=\frac{FD_{n0}d^2}{4L_{n0}D_a^2N_{Aeff}} \qquad Y=\frac{FD_{p0}d^2}{4L_{p0}D_a^2N_{Deff}}$$

$$V_i=\frac{2dF}{N(0)(\mu_p+\mu_n)}=\frac{4D_a(X+Y)}{(\mu_p+\mu_n)\left[\sqrt{X+Y-4K^2XY}+K(X-Y)\right]} \quad \cdots\cdots\cdots(3.22)$$

図３．２０～２２に d/L_a=0、100A/cm^2 の時の X、Y と $N(0)$の関係を示す。K、X、Y は陰関数の関係であり、X、Y から K は一意的に求まるが計算が困難であるため変化の範囲-3/2<K<1/2 に応じて、K=-3/2，0，1/2 で試算した。なお、この計算は F を固定しているので、X、Y 依存性は i 層、p$^+$層、n$^+$層の構造パラメータの変化による挙動を示しており、構造パラメータによって $N(0)$の値、すなわち伝導度変調のレベルを調整できる事が分かる。なお、図３．２１、３．２２で 1×10^{15}cm^{-3} の一定値となっている領域は実際には計算結果が負等、解の存在しない領域に相当する。

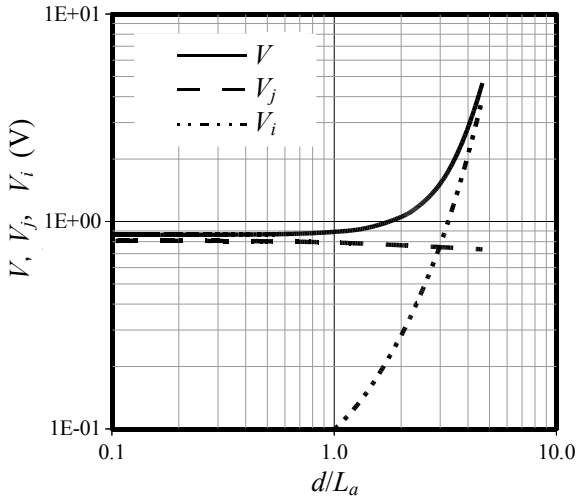


図３．１６　40A/cm^2 における d/L_a と V、V_i、V_j との関係

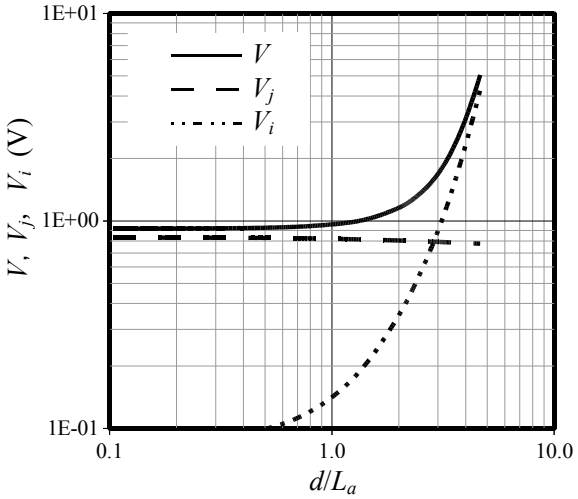


図３．１７　100A/cm^2 における d/L_a と V、V_i、V_j との関係

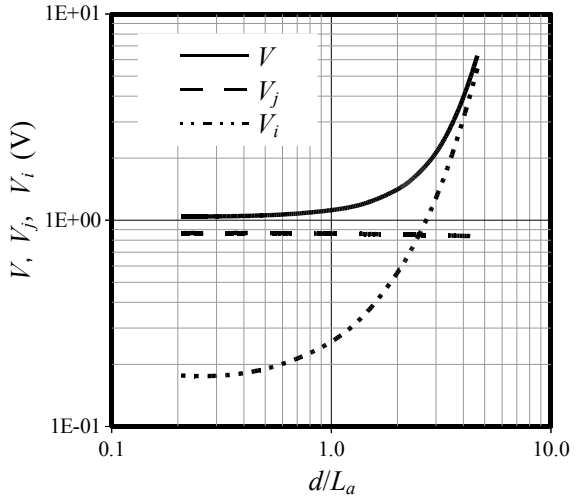


図３．１８　400A/cm^2 における d/L_a と V、V_i、V_j との関係

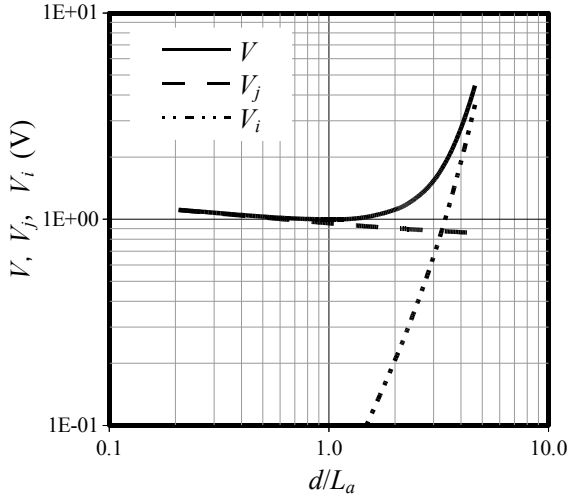


図３．１９　400A/cm^2 における d/L_a と V、V_i、V_j との関係（α=β=0）

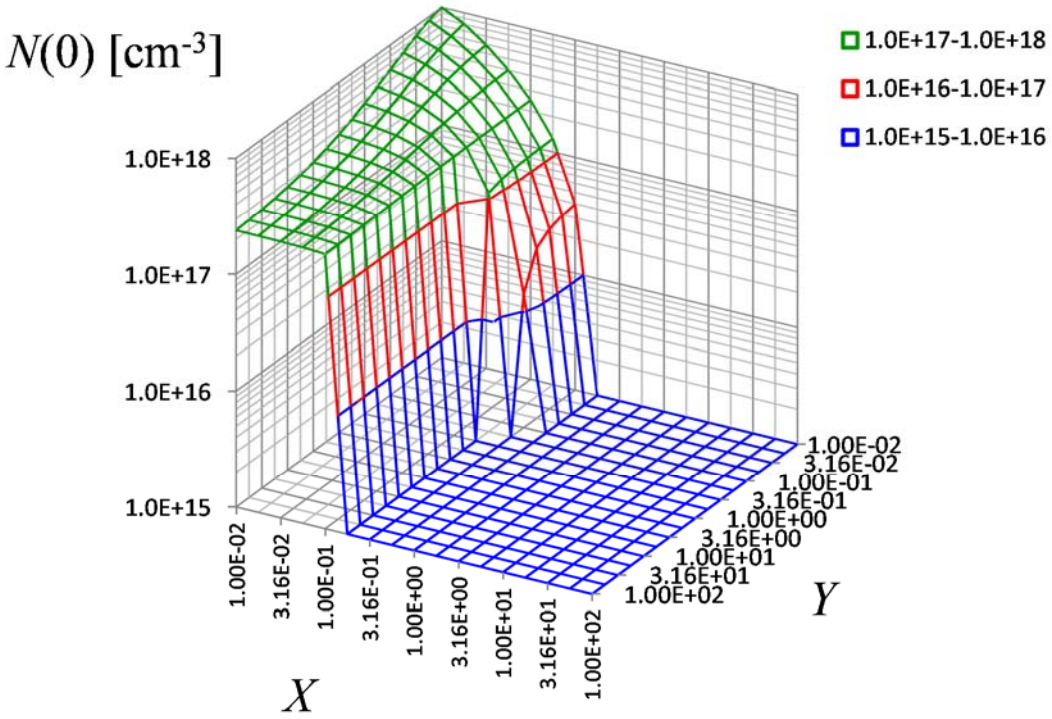


図３．２０　X、Y と $N(0)$の関係（d/L_a=0，K=-3/2，100A/cm^2）

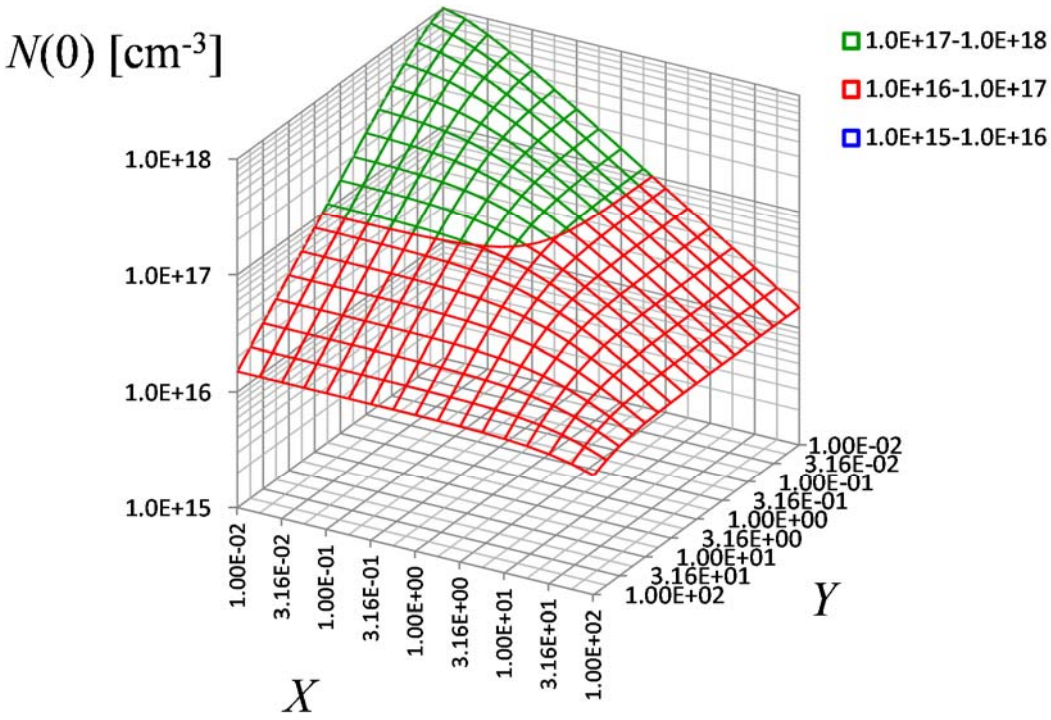


図３．２１　X、Y と $N(0)$の関係（d/L_a=0，K=0，100A/cm^2）

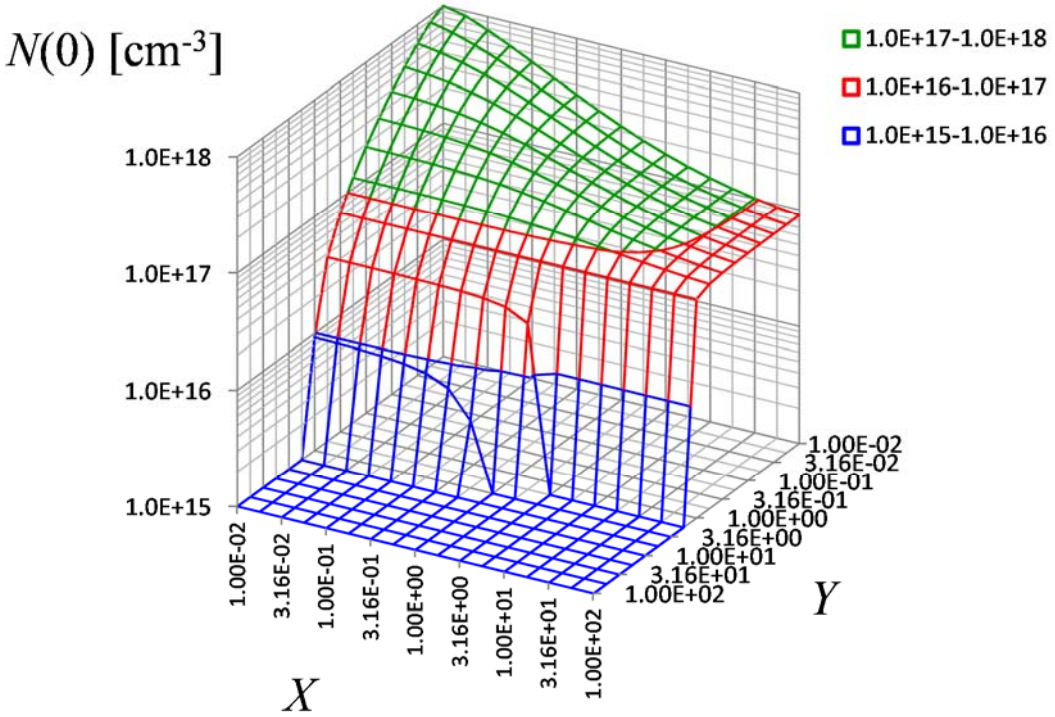


図３．２２　X、Y と $N(0)$の関係（d/L_a=0，K=1/2，100A/cm^2）

３．７　性能指数 RQ による最適構造の検討

伝導度変調によって蓄積した全キャリア Q は順バイアスから逆バイアスに移行するときに逆回復電流となって排出されるが、電力変換用途では一般にダイオードに直列に L 負荷が接続され電流はほぼ一定であるため、Q を動作電流で割った値が逆回復時間の下限値の指標になる。一方ダイオードの抵抗 R は順バイアス動作時のロスを表す。したがって、RQ は導通ロスとスイッチングスピードのトレードオフを示す指標になる。これは NFOM としてすでに提案されており [9]、伝導度変調による利点と欠点の双方を取り込んでいるため伝導度変調の有り無しに関わらず共通に議論できる指標として最も優れている。

高水準注入時では両端の p^+層、n^+層中のキャリアの全体に占める割合は十分小さいため、全キャリア Q を i 層に蓄積したキャリアと置き、R を前節で求めた電圧を元に $R=(V_i+V_j)/J$ として計算し、RQ に関する各物理量との関係、最適値を議論する。

Q は以下の積分で計算できる。

$$Q=q\int_{-d}^{d} N dx = qF\tau_a(1-\alpha-\beta)$$

３．６節で V_i は γ の値に応じて三つの式で表現でき、それぞれの右辺第一項を V_{i1} とすると $R_{i1}Q=V_{i1}/qF\cdot Q$ は同様に以下の形となる。

$0 \leqq |\gamma| < 1$

$$R_{i1}Q=\frac{4L_a^2\sinh(d/L_a)}{\mu_p+\mu_n}\frac{\arctan[\sinh(d/L_a)\sqrt{1-\gamma^2}]}{\sqrt{1-\gamma^2}}$$

$|\gamma|=1$

$$R_{i1}Q=\frac{4L_a^2}{\mu_p+\mu_n}\sinh^2\left(\frac{d}{L_a}\right)$$

$1<|\gamma|<1/\tanh(d/L_a)$

$$R_{i1}Q=\frac{2L_a^2\sinh(d/L_a)}{\mu_p+\mu_n}\frac{1}{\sqrt{\gamma^2-1}}\ln\left[\frac{1+\sqrt{\gamma^2-1}\sinh(d/L_a)}{1-\sqrt{\gamma^2-1}\sinh(d/L_a)}\right]$$

これらは $\gamma=0$ の時最も小さくなる事が数学的に証明でき、これを $d/L_a=1$ で試算した結果が図３．２３である。またこれは(3.13)の右辺第二項が 0 である事を意味するから、電子とホールの移動度比を凡そ 3 とすると、$\alpha-\beta \fallingdotseq 1/2$ である事に

相当する。そしてこの場合キャリア濃度分布は cosh 関数となり、$R_{i1}Q$ は(3.23)となる。

$$R_{i1}Q=\frac{4L_a^2\sinh(d/L_a)}{\mu_p+\mu_n}\arctan\left[\sinh\left(\frac{d}{L_a}\right)\right] \qquad \cdots\cdots(3.23)$$

(3.23)は $d/L_a\to 0$ で最小値をとり、キャリア濃度は一定になる。RQ はこの時の $R_{i1}Q$ を下回る事が無いため、理論的な下限値 RQ_{limit} として(3.24)で表される。

$$RQ_{limit}=\frac{4d^2}{\mu_p+\mu_n} \qquad \cdots\cdots(3.24)$$

以上で $R_{i1}Q$ の値の挙動は判明した。これに V_i の右辺第二項 V_{i2} による $R_{i2}Q$ と R_jQ を加えると RQ が求まる。しかし、それぞれの関数が大きく異なっているため RQ の最小値を数学的に求める事は極めて難しい。このため、α、β をほぼ全域で変化させて RQ の値を計算して直接確認する。

図３．７～図３．９で使用した構造パラメータを使い、図３．２４～図３．２７に d/L_a=0.1、0.5、1、2 と変化させて計算した結果を示す。どれも α-β≒1/2 で最小値をとる事が確認できる。またこれから RQ の最小値は $R_{i1}Q$ でほぼ決まっている事が分かる。さらに、この構造パラメータでは RQ_{limit}=1.68×10-7 (V･s) であるが、確かに各図の最小値がこの値に近接した値を示している。

なお、図３．１３～図３．１５の結果からは高電流密度でかつ d/L_a を小さくすると α-β が 1/2 に近づく。最新のデバイス開発においてもライフタイム制御を弱め、i 層両端の構造でキャリア濃度を抑えると順バイアス特性と逆回復特性のトレードオフが最適化される事が知られており、この結果はそれを裏付けるものである。

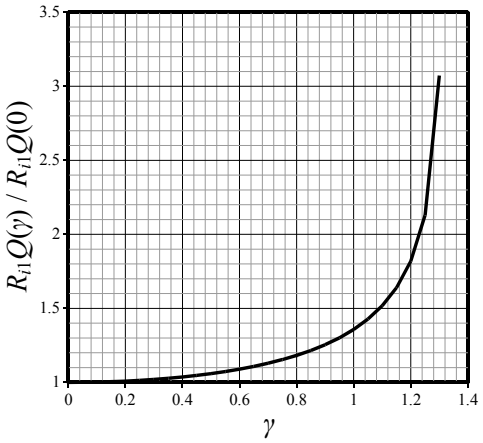


図３．２３　d/L_a=1 での γ と $R_{i1}Q(\gamma)/R_{i1}Q(0)$の関係

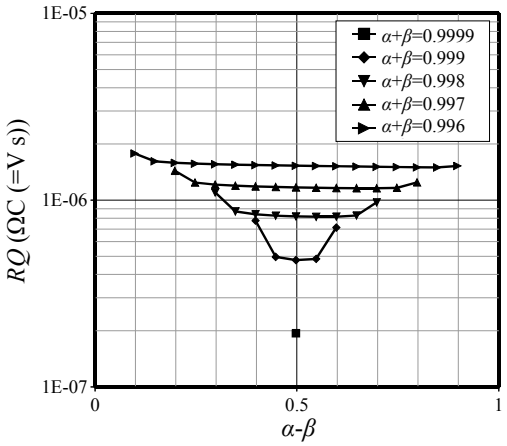


図３．２４　α、β と RQ の関係（d/L_a=0.1）

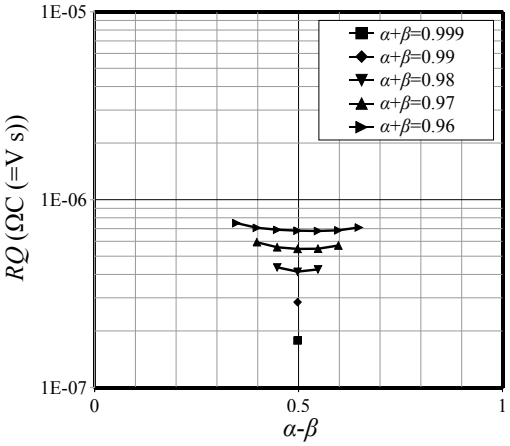


図３．２５　α、β と RQ の関係（d/L_a=0.5）

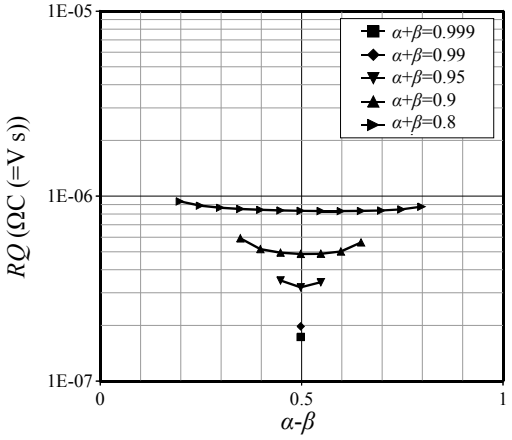


図３．２６　α、β と *RQ* の関係（d/L_a=1）

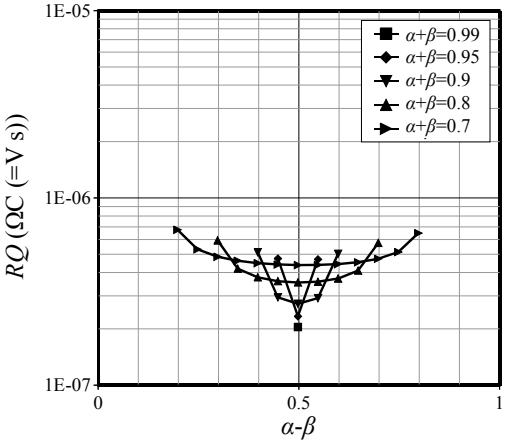


図３．２７　α、β と *RQ* の関係（d/L_a=2）

３．８　性能指数 *RQ* の制御とその低減についての考察

３．７節で α-β≒1/2 に制御すべきである事が分かった。よって構造設計でこの値に調整できるかどうかを本節で検証する。

(3.16)、(3.17)は３．６節で導入した以下の *X*、*Y* を使うと以下の形に表現できる。

$$X=\frac{FD_{n0}d^2}{4L_{n0}D_a^2N_{Aeff}} \qquad Y=\frac{FD_{p0}d^2}{4L_{p0}D_a^2N_{Deff}}$$

$$\alpha=X\left(\frac{L_a}{d}\right)^2\left[\frac{1-\alpha-\beta}{\tanh(d/L_a)}-K\tanh(d/L_a)\right]^2$$

$$\beta=Y\left(\frac{L_a}{d}\right)^2\left[\frac{1-\alpha-\beta}{\tanh(d/L_a)}+K\tanh(d/L_a)\right]^2$$

さらに変形すると以下の(3.25)、(3.26)に整理できる。

$$\alpha=\frac{X}{(X+Y)^2}\left(\frac{L_a}{d}\right)^2\tanh^2\left(\frac{d}{L_a}\right)\left[\sqrt{A}-2KY-\frac{1}{2}\left(\frac{d}{L_a}\right)^2\right]^2 \quad\cdots\cdots(3.25)$$

$$\beta=\frac{Y}{(X+Y)^2}\left(\frac{L_a}{d}\right)^2\tanh^2\left(\frac{d}{L_a}\right)\left[\sqrt{A}+2KX-\frac{1}{2}\left(\frac{d}{L_a}\right)^2\right]^2 \quad\cdots\cdots(3.26)$$

$$\because\ A=\frac{X+Y}{\tanh^2(d/L_a)}\left(\frac{d}{L_a}\right)^2-4K^2XY+\frac{1}{4}\left(\frac{d}{L_a}\right)^4+K(Y-X)\left(\frac{d}{L_a}\right)^2$$

表 1 に(3.25)、(3.26)で解析計算した結果をまとめる。この結果から *X*、*Y*、d/L_a によって α、β の値をかなり広い範囲で制御できることが分かる。

また *X*、*Y* は *F* に比例して変化するため、構造制御は実動作における電流密度を考慮しなければならない。例えばライフタイムが非常に長いとして、d/L_a=0 で N_{Aeff}=N_{Deff}=1×10^{17}cm^{-3} とその場合のパラメータ（D_{p0}=7.8 cm^2/s、D_{n0}=19.7 cm^2/s、τ_{p0}=τ_{n0}=3.33e-7 s）で試算すると、電流増加とともに α が $X/(X+Y)$=0.614→$\mu_n/(\mu_n+\mu_p)$=0.749 へ、β が $Y/(X+Y)$=0.386→$\mu_p/(\mu_n+\mu_p)$=0.251 に変化し、それぞれ構造で決まる値から、電子とホールの移動度による値に変化する。逆に言うと、α-β≒1/2 は元々 $(\mu_p-\mu_n)/(\mu_n+\mu_p)+\alpha-\beta=0$ の意味であるから、$X:Y=\mu_n/\mu_p$≒3:1 に調整すれば *F* に関係なく常に α-β≒1/2 が成立する。

これは N_{aeff} を下げる事、p$^+$層の深さを p$^+$層内の本来の拡散長 L_{n0} 以上に浅くして実質的な L_{n0} をより短くする等の方法があり、これらはデバイスシミュレーシ

ョン等により発見的に見出され実際に使われている手法である。

次に R_jQ の影響について考える。図３．１６～図３．１８を見ると、R_jQ は絶対値は大きいが変化は小さく RQ の最小値は概ね R_iQ で決まっている。

RQ は前述のとおり、伝導度変調有り無しにかかわらず適用できる指標である。ここで MOSFET の場合はホール伝導が使えないため、(3.24)の RQ_{limit} は分母の $\mu_p+\mu_n$ は μ_n のみになりシリコンならば約 33%高い値になる。これだけで考えるとシングルキャリアは不利に見えるが、V_j が存在しない事が大きな違いである。図３．１６～図３．１８を見ると、電流密度による V_j の変化は小さく、電流密度を上げていけば V_j の影響は小さくなる。この事から伝導度変調を利用する場合は可能な範囲で電流密度を上げ、V_j の影響を下げて使うべきである事が分かる。

表３．１　X、Y、d/L_a による α、β の変化（上段：α、　下段：β）

X, Y	$d/L_a=0$	d/L_a	$d/L_a=\infty$
0, 0	注1 $0, \frac{X}{X+Y}(\sqrt{C/4+1}-\sqrt{C/2})^2, \frac{X}{X+Y}$ $0, \frac{Y}{X+Y}(\sqrt{C/4+1}-\sqrt{C/2})^2, \frac{Y}{X+Y}$	0 0	0 0
∞, 0	1 0	$\frac{1-M\tanh^2(d/L_a)}{1+\tanh^2(d/L_a)}$ 0	$\frac{\mu_n}{\mu_p+\mu_n}$ 0
∞, Y	$1-4K^2Y$ $4K^2Y$	$1-4K^2Y\left(\frac{L_a}{d}\right)^2\tanh^2(\frac{d}{L_a})-K\tanh^2(\frac{d}{L_a})$ $4K^2Y\left(\frac{L_a}{d}\right)^2\tanh^2(\frac{d}{L_a})$	$\frac{\mu_n}{\mu_p+\mu_n}$ 0
X, ∞	$4K^2X$ $1-4K^2X$	$4K^2X\left(\frac{L_a}{d}\right)^2\tanh^2(\frac{d}{L_a})$ $1-4K^2X\left(\frac{L_a}{d}\right)^2\tanh^2(\frac{d}{L_a})+K\tanh^2(\frac{d}{L_a})$	0 $\frac{\mu_p}{\mu_p+\mu_n}$
0, ∞	0 1	0 $\frac{1+M\tanh^2(d/L_a)}{1+\tanh^2(d/L_a)}$	0 $\frac{\mu_p}{\mu_p+\mu_n}$
∞, ∞	$\frac{\mu_n}{\mu_p+\mu_n}$ $\frac{\mu_p}{\mu_p+\mu_n}$	$\frac{\mu_n}{\mu_p+\mu_n}$ $\frac{\mu_p}{\mu_p+\mu_n}$	注2 $0, \frac{\mu_n}{\mu_p+\mu_n}+\frac{C}{8}\left(1-\sqrt{1+\frac{16}{C}\frac{\mu_n}{\mu_p+\mu_n}}\right), \frac{\mu_n}{\mu_p+\mu_n}$ 注3 $0, \frac{\mu_p}{\mu_p+\mu_n}+\frac{C}{8}\left(1-\sqrt{1+\frac{16}{C}\frac{\mu_p}{\mu_p+\mu_n}}\right), \frac{\mu_p}{\mu_p+\mu_n}$

注1　$\frac{1}{X+Y}(\frac{d}{L_a})^4\to\infty, \frac{1}{X+Y}(\frac{d}{L_a})^4\to C, \frac{1}{X+Y}(\frac{d}{L_a})^4\to 0$

注2　$\frac{1}{X}(\frac{d}{L_a})^2\to\infty, \frac{1}{X}(\frac{d}{L_a})^2\to C, \frac{1}{X}(\frac{d}{L_a})^2\to 0$　　注3　$\frac{1}{Y}(\frac{d}{L_a})^2\to\infty, \frac{1}{Y}(\frac{d}{L_a})^2\to C, \frac{1}{Y}(\frac{d}{L_a})^2\to 0$

３．９　解析計算に基づいた *RQ* の評価

図３．１３～図３．１５の結果を使いそれぞれ *RQ* を計算した結果を図ついて各電流密度に対して計算を行った結果を図３．２８～図３．３０に示す。

R_iQ は電流密度ではほとんど変化せず、d/L_a の減少とともに α-β が 0.5 に近づくから(3.24)の最小値に漸近し、増加側では d/L_a が 2～3 あたりから急激に上昇する。一方 R_jQ は電流密度の上昇と共に減少し、d/L_a の増加とともに減少し、低い d/L_a の領域ではその絶対値が大きく、*RQ* を決める主要因となっている。そして両者の合計として *RQ* の最小値が d/L_a =2.5~3.0 で得られる。この数値は３．６節の *V* を最小にする値にくらべかなり大きい。これは *RQ* が順バイアス時の導通ロスと逆回復時間のトレードオフを示している事を考えると妥当な結果である。

R_jQ は電流密度の上昇と共に低下するため、*RQ* が最小の時の d/L_a もわずかながら低下してゆき、最小値自体も電流密度の上昇と共に低下する。以上の議論から高電流密度動作でかつ適切な d/L_a の選択が指標 *RQ* の低減手法である事が明らかとなった。以上は *X*、*Y* を設定した状況での挙動であるが、次に３．７節の議論から α-β=1/2、すなわち *K*=0（キャリアプロファイルが偶関数）で *RQ* の最小値が得られるため、実際にこれを満たす *X*、*Y* を求めてみる。(3.25)、(3.26)において *K*=0 から(3.27)が得られる。

$$\frac{1}{2}=\frac{X-Y}{(X+Y)^2}\left[\sqrt{X+Y+\frac{1}{4}\left(\frac{d}{L_a}\right)^2\tanh^2\left(\frac{d}{L_a}\right)}-\frac{1}{2}\left(\frac{d}{L_a}\right)\tanh\left(\frac{d}{L_a}\right)\right]^2 \quad \cdots\cdots\cdots\cdots(3.27)$$

(3.27)はまず d/L_a=0 の場合は解析計算可能であり *Y*=*X*/3 となるが、d/L_a>0 の場合は *X*、*Y* についての陰関数を解かなければならない。

ここで、*X*=0 の場合、右辺は必ず負の値になるため解が存在しない。*Y*=0 の場合について考えると、0≦*X*≦∞で 0≦右辺≦1 と変化するため解が存在する。

ここで以下のとおり *A* を定義すると、

$$A=\frac{1}{2}\left(\frac{d}{L_a}\right)\tanh\left(\frac{d}{L_a}\right)$$

Y=0 を満たす解として $X=8A^2$ が得られる。したがって、d/L_a が大きくなるとこの値は急速に大きくなる。解の全体の状況を見るため、左辺-右辺の値を *X*、*Y* を振り分け、0 付近を示した領域を図３．３１～図３．３２に示す。この太線付近が解となる。式での予想通り d/L_a を大きくすると *X が急速に*大きくなるが、これは電子とホールの移動度の差により(3.27)の左辺が 1/2 になる事に起因する（同一であれば 0 になる）。物理的な定性的な説明としては d/L_a が大きくなる

と再結合によってキャリア分布の非対称性がより強くなるためこれをキャンセルするために X、Y の数値に差を付ける必要があるという事である。

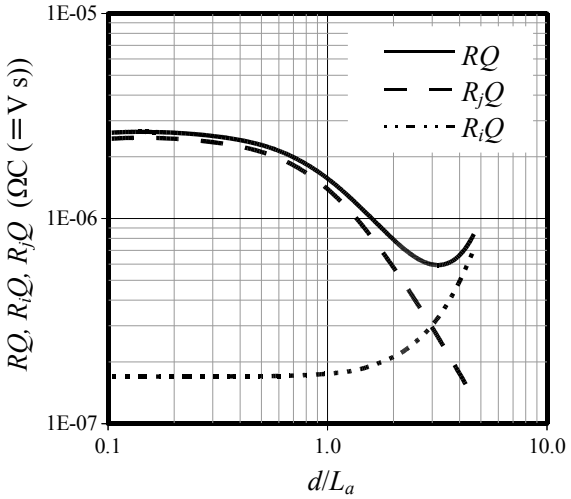


図３．２８　40A/cm^2 における d/L_a と RQ、R_iQ、R_jQ の関係

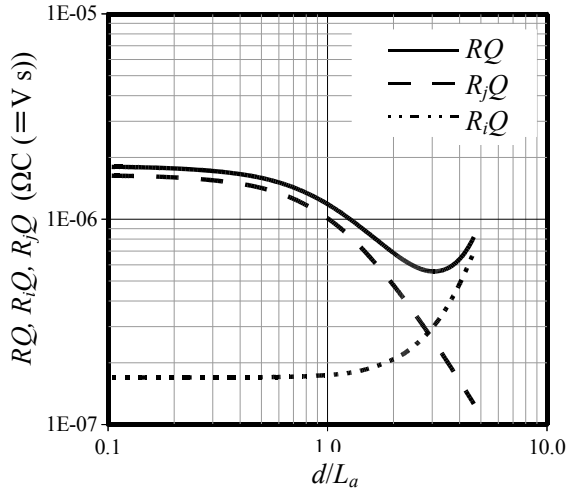


図３．２９　100A/cm^2 における d/L_a と RQ、R_iQ、R_jQ の関係

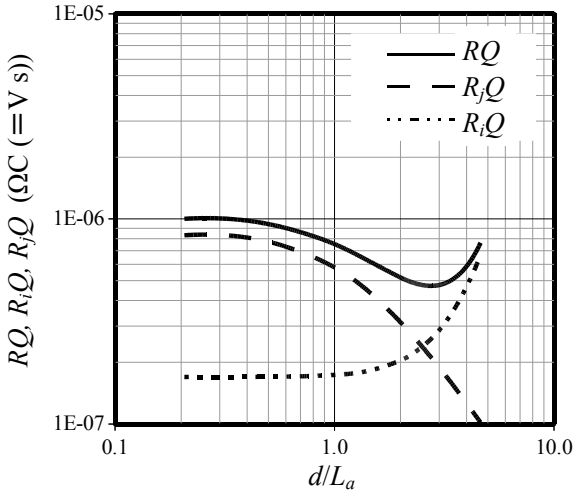


図３．３０　400A/cm^2 における d/L_a と RQ、R_iQ、R_jQ の関係

	0.09	−0.09	−0.08	−0.07	−0.06	−0.05	−0.05	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.00	0.01	0.01	0.02
	0.09	−0.09	−0.08	−0.07	−0.06	−0.05	−0.04	−0.04	−0.03	−0.02	−0.01	−0.01	0.00	0.00	0.01	0.02	0.02
	0.08	−0.08	−0.07	−0.07	−0.06	−0.05	−0.04	−0.03	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.01	0.02	0.02
	0.08	−0.08	−0.07	−0.06	−0.05	−0.05	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03
	0.07	−0.08	−0.07	−0.06	−0.05	−0.04	−0.03	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.01	0.02	0.02	0.03
	0.07	−0.07	−0.06	−0.06	−0.05	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03
	0.06	−0.07	−0.06	−0.05	−0.04	−0.04	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.03
	0.06	−0.07	−0.06	−0.05	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03	0.04
	0.05	−0.06	−0.05	−0.04	−0.04	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.03	0.04
	0.05	−0.06	−0.05	−0.04	−0.03	−0.03	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03	0.04	0.04
	0.04	−0.06	−0.05	−0.04	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.03	0.04	0.04
	0.04	−0.05	−0.04	−0.03	−0.03	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03	0.04	0.04	0.05
	0.03	−0.05	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.03	0.04	0.05	0.05
	0.03	−0.04	−0.04	−0.03	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03	0.04	0.04	0.05	0.05
	0.02	−0.04	−0.03	−0.02	−0.02	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.04	0.04	0.05	0.05	0.06
	0.02	−0.04	−0.03	−0.02	−0.01	0.00	0.00	0.01	0.02	0.02	0.03	0.03	0.04	0.04	0.05	0.05	0.06
	0.01	−0.03	−0.02	−0.02	−0.01	0.00	0.01	0.01	0.02	0.02	0.03	0.04	0.04	0.05	0.05	0.06	0.06
	0.01	−0.03	−0.02	−0.01	−0.01	0.00	0.01	0.02	0.02	0.03	0.03	0.04	0.04	0.05	0.05	0.06	0.06
Y	0	−0.02	−0.02	−0.01	0.00	0.01	0.01	0.02	0.03	0.03	0.04	0.04	0.05	0.05	0.06	0.06	0.07
		1	1.05	1.1	1.15	1.2	1.25	1.3	1.35	1.4	1.45	1.5	1.55	1.6	1.65	1.7	1.75
		X															

図３．２９　K=0 の解（太線部，d/L_a=1）

	0.45	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00
	0.43	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00
	0.4	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00
	0.38	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00
	0.35	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00
	0.33	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01
	0.3	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01
	0.28	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01
	0.25	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01
	0.23	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01
	0.2	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01
	0.18	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01
	0.15	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01
	0.13	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01
	0.1	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01
	0.08	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02
	0.05	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.02	0.02
	0.03	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02	0.02
Y	0	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02	0.02	0.02
		17	17.2	17.4	17.6	17.8	18	18.2	18.4	18.6	18.8	19	19.2	19.4	19.6	19.8	20
		X															

図３．３０　K=0 の解（太線部，d/L_a=3）

	1.8	−0.03	−0.03	−0.03	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01
	1.7	−0.03	−0.03	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01
	1.6	−0.03	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00
	1.5	−0.03	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00
	1.4	−0.03	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00
	1.3	−0.02	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00
	1.2	−0.02	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00
	1.1	−0.02	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00
	1	−0.02	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00
	0.9	−0.02	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01
	0.8	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01
	0.7	−0.02	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01
	0.6	−0.01	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01
	0.5	−0.01	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01
	0.4	−0.01	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01
	0.3	−0.01	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02
	0.2	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02	0.02
	0.1	−0.01	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02	0.02	0.02
Y	0	0.00	0.00	0.00	0.00	0.00	0.00	0.01	0.01	0.01	0.01	0.01	0.01	0.02	0.02	0.02	0.02
		49	49.5	50	50.5	51	51.5	52	52.5	53	53.5	54	54.5	55	55.5	56	56.5
		X															

図３．３１　K=0 の解（太線部，d/L_a=5）

３．１０　まとめ

（１）PiN ダイオードの順バイアス動作（IGBT の理想的オン状態）を、i 層での伝導度変調、i 層両端から流れ出す電子とホール流、及びこれらが p+層、n+層で拡散流として消滅する事を整合させた形で解析解を求めた。そして、この結果のライフタイムに対する挙動がデバイスシミュレーション結果との比較において、実効的不純物濃度としての調整でフィッティングできる事を確認した。

（２）デバイスシミュレーション結果から電子、ホールそれぞれのドリフト流、拡散流を求め、これを解析解と比較する事により、伝導度変調状態でのそれぞれの拡散係数が伝導度変調によるキャリア濃度上昇に伴いお互い近づく方向で変化する事を定量的に示した。また、キャリア移動度がほぼ変わらない事から、これは伝導度変調状態ではアインシュタインの関係式が成立しない事を意味している。

（３）i 層両端から外に流れ出す電子流及びホール流を 0 とした仮定で順バイアス電圧を最小にする条件を計算すると過去の報告通り $d/L_a \fallingdotseq 1$ である事を確認した。さらに、流れ出す電子及びホール流を含めた解析計算を行い、$d/L_a<0.1$ と大幅に小さくなり、実際のデバイスにおいてライフタイムが長いほど順バイアス電圧が低下する事実と整合する結果を得た。

（４）順バイアス状態における全抵抗（R）と i 層の電荷（Q）の積である RQ を導通ロスとスイッチングスピードの性能指標として採用した。

i 層の抵抗（R_i）との積 R_iQ において、キャリア濃度プロファイルが偶関数の時に最小となる事を解析的に証明し、さらに、RQ についても、解析式に数値代入して調べる事でキャリア濃度プロファイルが偶関数の時にほぼ最小を示す事を確認した。

（５）i 層とその両端の p+層、n+層の構造パラメータにて、RQ を計算すると、電流密度に応じてこれを最小化する d/L_a が存在する事を計算で示した。

また逆に、キャリア濃度プロファイルが偶関数になる上記構造パラメータと電流密度を解析式から逆に求める事が可能である事を示した。

よって、この計算によって最適設計を実現する構造パラメータの定量的把握が可能である事を示した。

参考文献

1) N. R. Howard and G. W. Johnson, "P+IN+ silicon diodes at high forward current densities", Solid-State Electron., vol. 8, pp. 275-284, 1965.

2) A. Herlet, "The forward characteristics of silicon power rectifiers at high current densities", Solid-State Electron., vol. 11, pp. 717-742, 1968.

3) Sorab K. Ghandhi, SEMICONDUCTOR POWER DEVICES (Book style), A Wiley-Interscience Publication, 1977.

4) M Horwitz and R M Swanson, “The Optical(Free-Carrier) Absorption of A Hole-Electron Plasma in Silicon,” Solid.-State. Electron., vol. 23, pp. 1191-1194, 1980.

5) H. Bleichner, M. Rosling, P. Jonsson, F. Masszi, F. Vojdani1, M. Isberg, and E. Nordlander, “On P-I-N Diode Parameters and Static Properties at Elevated Temperatures and High Current Densities-Experiment vs. Simulation,“ Solid State Device Research Conference, 1993, pp.895-898.

6) H. Bleichner, M. Rosling, J. Vobecky, M. Lundqvist and E. Nordlander, “A Comparative Study of the Carrier Distributions in Dynamically Operating GTO:s by Means of Two Optically Probed Measurement Methods,“ Proc.of ISPSD90, pp.246-249.

7) X. Perpina, X. Jorda, M. Vellvehi, J. Vobecky, and N. Mestres, “Analysis of Excess Carrier Concentration Control in Fast-Recovery High Power Bipolar Diodes at Low Current Densities,” Journal of the Electrochemical Society, Vol. 157, pp.711-720, 2010.

8) Seok C. Choo, “Effect of carrier lifetime on the forward characteristics of high-power devices,” IEEE Trans. Electron Devices, Vol. 17, pp.647-652, 1970.

9) A. Nakagawa and Y. Kawaguchi, “電源用パワーデバイスの技術動向,“ IEEJ Journal, Vol. 125, No. 12, pp.758-761, 2005.

10) 寺島知秀，藤原康文「PiN ダイオード高水準注入についてのシミュレーションと解析計算の比較による考察」，電気学会論文誌 C，Vol.137，No.7，2017.

11) 寺島知秀，藤原康文「パワーデバイスのスイッチングロスに関する解析的考察」，電気学会論文誌 C，Vol.137，No.9，2017.

第 4 章　パワーデバイスの性能限界の考察

４．１　はじめに

パワーデバイスの基本的役割はスイッチである事を第 2 章で述べた。この事からオン抵抗は可能な限り低い事が望ましい。シングルキャリア（伝導度変調無し）で動作するパワーデバイスはオン抵抗の下限が耐圧を保持するための N^-層の抵抗で決定される。このため、耐圧とオン抵抗は N^-層の構造と物性値によるトレードオフ関係にあり、シリコンの場合はシリコンリミットとして広く知られている[1)]。

次にスイッチングロスを考えると、ターンオフ過程は N^-層が空乏化すると同時に空乏層に静電エネルギーが蓄積されていく過程であり、この静電エネルギーがスイッチングロスの下限になる。この静電エネルギーも高電圧になるほど上昇するから、耐圧とスイッチングロスはトレードオフ関係になる。

また、静電エネルギーが蓄積されてゆく時間、すなわちスイッチング時間は空乏化で排出される全電荷をターンオフ時の電流で割ったものに等しいため、ターンオフ時の電流密度が素子特性に関連して決定される状態であれば、耐圧とスイッチング時間もトレードオフの関係になる。

一方、伝導度編著を利用するものが 3 章で説明した IGBT である。IGBT は伝導度変調によってキャリア濃度を熱平衡状態に比べて大幅に上昇させる事で低オン電圧を実現し、凡そ 600V から 6500V までの電力変換回路用途をほぼ寡占している。また、後述するが Super Junction（SJ）技術という手法では N^-層の構造変更により伝導度変調無しでキャリア濃度をより高くする事が可能であり、600V 領域の MOSFET として広く普及している。しかし、これらの素子内部の高濃度キャリアはシングルキャリアのものと同じく、スイッチングロスの原因となり、ターンオフ時間を長くする原因にもなる。

このように、伝導度変調を利用するデバイスであってもキャリアが N^-層に蓄積し、同じ N^-層で耐圧を保持するため、それぞれ耐圧とのトレードオフを持つ。

本章ではこれらのトレードオフについて主に次世代デバイスとして期待されている SiC MOSFET のシリコン系デバイスに対するアドバンテージを中心として議論する。その中で、性能改善に伴う自己発熱の上昇とそれによる制限は現在の最も大きな課題であるため、それぞれのトレードオフについて、自己発熱の考察を組み入れて議論を行う。

４．２　実効オン抵抗（$R_{on,sp}$）と耐圧の関係

pn 接合はシリコンにおいて約 6V 以上の耐圧はアバランシェ現象で決定される。詳しく言うと、強電界下（シリコンでは 1×10^5 V/cm 以上）で電子およびホールが速度飽和し、さらに電子またはホールの運動エネルギーがバンドギャップエネルギーに近づき、電界に関連する割合で電子・ホール対を生成する状況となるため、単位距離当たりの電子およびホールの増加率をアバランシェ係数 α、β と定義して微分方程式を解く事で計算できる。

図４．１のように 0 から L の間で強電界が存在し、電子、ホールそれぞれのキャリア濃度を $N(x)$、$P(x)$、電界に依存しないキャリア生成項を $g(x)$とすると、(4.1)が成立し、電流連続から(4.2)が成立する。

$$\frac{dN(x)}{dx}=\alpha(x)N(x)+\beta(x)P(x)+g(x) \qquad \cdots\cdots(4.1)$$

$$N(x)+P(x)=N_0+P_L=N_L+P_0 \qquad \cdots\cdots(4.2)$$

(4.1)と(4.2)から(4.3)の微分方程式が得られる。簡単のため各関数の(x)は省略した。

$$\frac{dN}{dx}=N(\alpha-\beta)+\beta(N_L+P_0)+g \qquad \cdots\cdots(4.3)$$

これを解くと(4.4)が得られる。

$$N_L+P_0=\frac{1}{1-\int_0^L \alpha\exp(-f_x)dx}\left(P_0\exp(-f_L)+\int_0^L g\exp(-f_x)dx+N_0\right) \qquad \cdots\cdots(4.4)$$

$$\because \quad f_x=\int_0^x(\alpha-\beta)dx$$

よって(4.5)が 1 になるとキャリア濃度が無限大となり、その時の状態をアバランシェ状態、すなわちアバランシェ耐圧と定義している。

$$\int_0^L \alpha\exp(-f_x)dx=\int_0^L \alpha\exp\left(-\int_0^x(\alpha-\beta)dx\right)dx \qquad \cdots\cdots(4.5)$$

α、β ともに電界 $E(x)$、定数 B、C を使い、一般には $B\exp(-C/E(x))$の形で表現される関数[(1)]であり、(4.5)の結果を解析的に求める事は困難である。このため、Fulop により、積分内の関数を(4.6)のように、係数 A と電界の 7 乗で近似するアイデアが提案された[2)]。これが一定の精度を保った上で非常に汎用性が高いため

広く活用されており、以降の計算は Fulop の近似を利用して進める。

$$\int_0^L \alpha \exp\left(-\int_0^x (\alpha-\beta)\,dx\right)dx \fallingdotseq \int_0^L A\,E(x)^7\,dx \qquad \cdots\cdots(4.6)$$

次にオン抵抗の実力指標である実効オン抵抗（オン抵抗×面積）と耐圧の関係を考える。

図４．２のように PiN ダイオードに逆バイアスが印加され、N^-層が全て空乏化した状態で丁度アバランシェ状態、すなわち(4.6)が 1 になると想定すると、この状態が概ね最も N^-層の抵抗が低くかつ耐圧が高い状態になる。実際は上底と下底の比が約４：１の台形電界が最もトレードオフの良い条件である事が数学的に求まるが、改善比約 12%の違いであり、この効果を解析式に含めると式が煩雑となるため、直角三角形の電界を想定して説明する。

Fulop の近似より(4.7)、電界と電圧の関係から(4.8)、N^-層濃度を N としてガウスの法則から(4.9)がそれぞれ成立する。

$$\frac{AE^7L}{8}=1 \qquad \cdots\cdots(4.7)$$

$$V=\frac{EL}{2} \qquad \cdots\cdots(4.8)$$

$$\frac{qNL}{\varepsilon}=E \qquad \cdots\cdots(4.9)$$

ここで、比抵抗 $R(=1/q\mu N)$と長さ L の積が実効オン抵抗であり、移動度 μ 、誘電率 ε 、A に Fulop によるシリコンの係数（A_{Si}=1.8e-35）と Baliga による SiC の係数（A_{SiC}=3.9e-42）[3)]をそれぞれ添え字で区別して適用するとシリコンと SiC の実効オン抵抗はそれぞれ(4.10)、(4.11)の通りとなる。両者を比較すると、SiC 化により同一耐圧における $R_{on,\,sp}$ が凡そ 1/1300 と圧倒的に低下する事が判る。

$$R_{on,\,sp}(Si)=RL=\frac{L}{q\mu_{Si}N}=\frac{2}{\mu_{Si}\varepsilon_{Si}}A_{Si}^{\frac{1}{2}}V^{\frac{5}{2}}\fallingdotseq 6.07\times10^{-9}\cdot V^{\frac{5}{2}} \qquad \cdots\cdots(4.10)$$

$$R_{on,\,sp}(SiC)=RL=\frac{L}{q\mu_{SiC}N}=\frac{2}{\mu_{SiC}\varepsilon_{SiC}}A_{SiC}^{\frac{1}{2}}V^{\frac{5}{2}}\fallingdotseq 4.65\times10^{-12}\cdot V^{\frac{5}{2}} \qquad \cdots\cdots(4.11)$$

次に Super Junction（SJ）技術を説明する。図４．３に示すように、SJ 技術を適用した MOSFET（SJ-MOSFET）は従来の DMOS の N^-層が N 層、P 層のストライプの繰り返しに置き換わっている。SJ の構造では先の N 層と P 層が空乏化した時に空間電荷が平均として 0 になるから、一定電界に近い状態となる。解析計算のために理想化した状況では図４．４のように一定電界と置ける。距離 D

はストライプの繰り返し単位であり、各ストライプはアバランシェせずに空乏化する範囲の濃度でなければならない。この条件は N 層の幅と濃度を nD と N として、$\beta = nD\,N$ の一定値をとる事を意味する。これから、N を 2 倍にしても、nD を 1/2 にすれば β を一定に出来るため、この方向でストライプを細くしてゆけば同じ耐圧を保持したまま N 層の抵抗を下げてゆくことが可能となる。これが Super Junction 技術と言われるものである。この技術は一次元接合での物性値による限界を超える事が可能であり、SiC ではまだ開発の初期段階であるが、シリコンではすでに(4.10)の限界を大きく超えたものが製品化され、SiC MOSFET と市場で競合している。Fulop の近似を図４．４に適用すると(4.12)が成立する。

$$AE^7 L = 1 \qquad V = EL$$

これと(4.9)、比抵抗 $R(=1/q\mu N)$からシリコンの SJ-MOSFET の実効オン抵抗(4.12)が求まる。

$$R_{on,sp}(\mathrm{Si\text{-}SJ}) = R\left(\frac{L}{nD}\right)D = \frac{RL}{n} = \frac{D}{q\,\mu_{Si}\,\beta}\,A_{Si}^{\frac{1}{6}}\,V^{\frac{7}{6}} \qquad \cdots\cdots\cdots\cdots\cdots\cdots(4.12)$$

前述の β はシリコンでは凡そ 1e12cm-2 であり、D は現状のプロセス技術レベルでは約 10μm である。

これ以外に物性値を超えて実効オン抵抗を下げる技術としては言うまでもなく伝導度変調があり、これを利用したデバイスが IGBT である。IGBT は DMOS のドレインを P 型層に置き換えた構造にほぼ等しく、オン状態において裏面からホール注入を行い N^-層を伝導度変調によって大幅に低抵抗化するため実効オン抵抗が大幅に低くなる（図４．５）。本章で議論した各素子についての耐圧と実効オン抵抗の関係をまとめたものが図４．６である。(4.10)～(4.12)を Si limit、SiC limit、Si-SJ limit として記載し、太線で現状の素子実力を付記した。これらを見比べると SiC は優れた物性値により現状でも大幅な低オン抵抗を実現しているが、さらに 1 桁低減の潜在能力がある事が分かる。

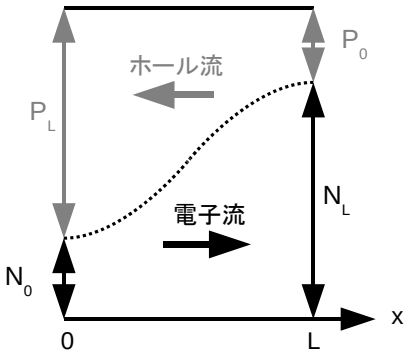


図４．１　強電界における電子、ホールの増倍現象

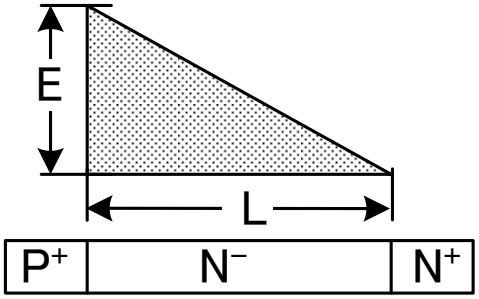


図４．２　PiN ダイオードの内部電界模式図

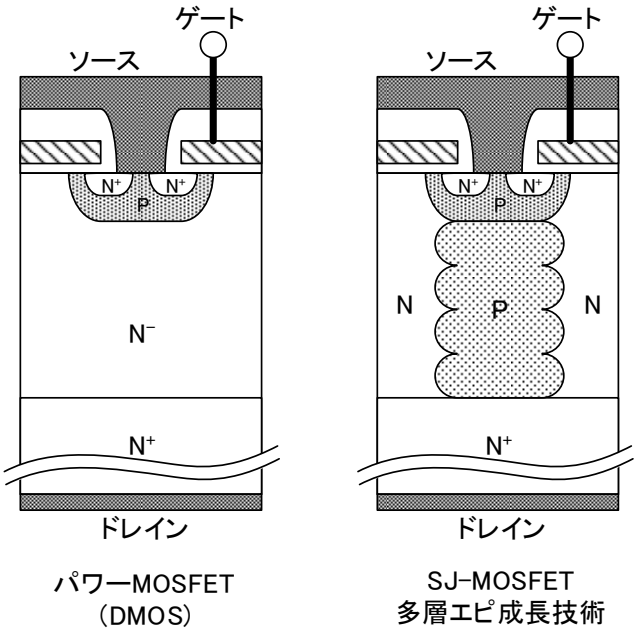


図４．３　通常の DMOS と SJ-MOSFET の断面模式図

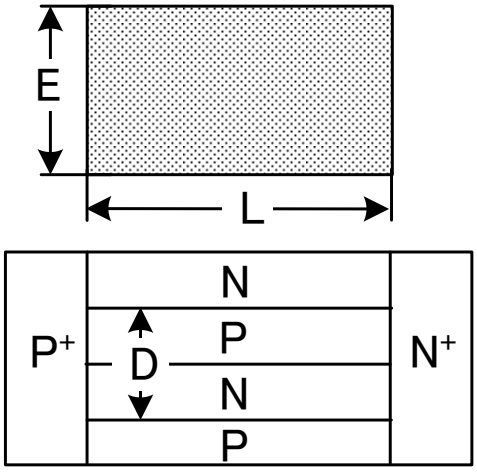


図４．４　SJ 構造の内部電界模式図

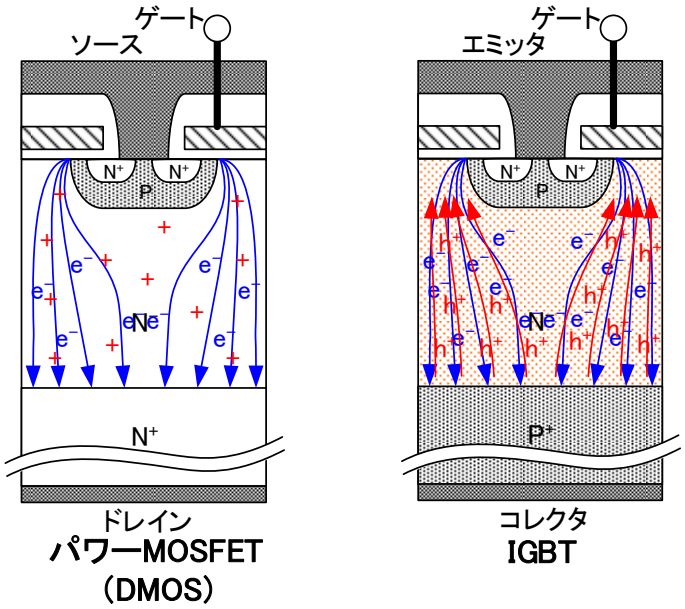


図４．５　通常の DMOS と IGBT の断面模式図

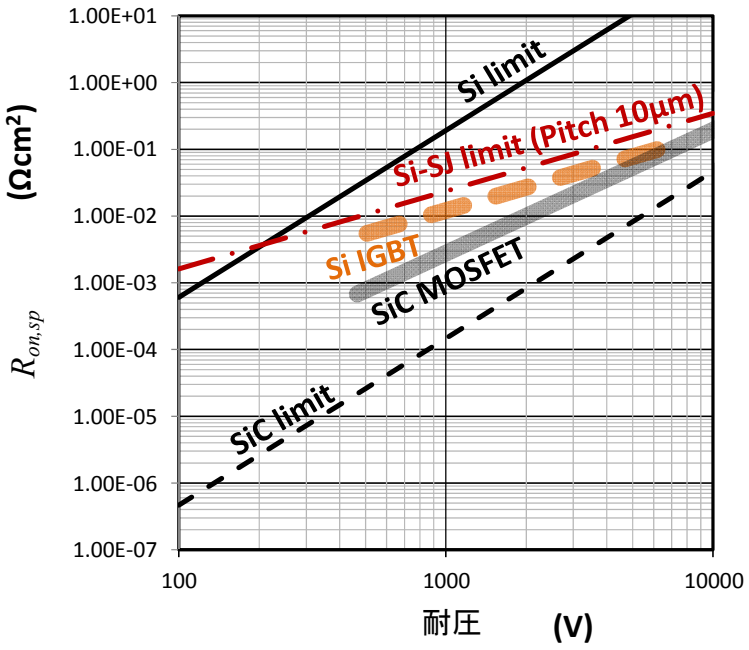


図４．６　耐圧と実効オン抵抗（Ron,sp）の関係

４．３　自己発熱の影響

パワーデバイスを搭載するパッケージは定格電流密度 I_{rat} を基準として決定される一定の放熱性能を満たす範囲で可能な限りの小型化が追求されている。

したがって、チップの単位面積当たりの定格時消費電力密度はパッケージ性能 W_{pk}(W/cm^2)で制限される。ここで $R_{on,\ sp}$ との関係は式(4.13)で表され、パッケージの性能が変わらない場合、$R_{on,sp}$ が仮に 1/100 になったとしても I_{rat} は 10 倍、もしくは同一定格電流ではチップ面積縮小は 1/10 までに留まる事が分かる。

$$I_{rat} \leq \sqrt{\frac{W_{pk}}{R_{on,sp}}} \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots(4.13)$$

次に短絡耐量（SCSOA: Short Circuit Safe Operation Area）について検討する。これは定格電圧の 2/3 にドレイン電圧を固定したままオン状態とした場合において破壊せずにターンオフが可能なエネルギーE_{sc} の上限の事を言うが、実際は保護動作に要する時間に関連し、短絡状態で破壊しない最長時間（短絡許容時間）t が重要である。E_{sc} はかつてはサイリスタ動作等の寄生動作による破壊で制限されていたが、現在では改良が進み、短絡状態での自己発熱によって電極を形成している金属の温度限界によって破壊している。

短絡許容時間を t、SCSOA 試験は定格電圧の 2/3 が印加され、その時定格電流 I_{rat} の n 倍の電流が流れるとする。定格電圧をほぼ耐圧（V_{BD}）とし、破壊限界エネルギーを E_{limit} とすると図４．７の関係がある。したがって(4.14)のように実効オン抵抗が SCSOA で制限される事態が発生する。

$$R_{on,sp}(\mathrm{SCSOA}) \geq W_{pk}\left(\frac{2\,tnV_{BD}}{3\,E_{limit}}\right)^2 \qquad \cdots\cdots\cdots\cdots\cdots\cdots\cdots(4.14)$$

（4.14）に、1200V 系パワーデバイスでの試算数値として、E_{limit} : 10 J/cm^2、t : 10μs、n : 5、W_{pk} : 250 W/cm^2 を入れ、図４．６に SCSOA limit として追記したものを図４．８に示す。ここで、10μs は一般用途として要求される短絡許容時間であるが、これを見ると現行の SiC MOSFET はすでに 10μs 以下で破壊するまで低オン抵抗化されている。そして、SiC の理論限界に 2μs のラインがほぼ重なっている事から、今後の低オン抵抗化に向けて 2μs に対応する技術が必要となってくる事が分かる。

なお、図４．８に付記したとおり、GaN は SiC よりも物性値としてさらに数倍トレードオフが良く、理論限界では短絡許容時間は 1μs 程度まで低下する。よってこの議論から、期待されうる用途として短絡耐量を要求されず、かつ高速動作が生かせる用途、例えばスイッチング電源向けなどに限定される可能性が示唆される。

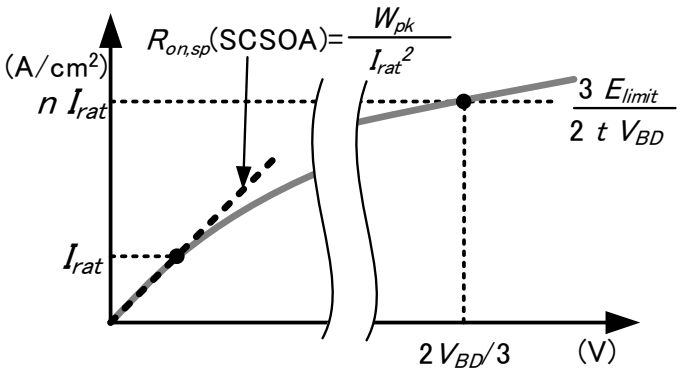


図４．７　短絡動作中の各パラメータの関係

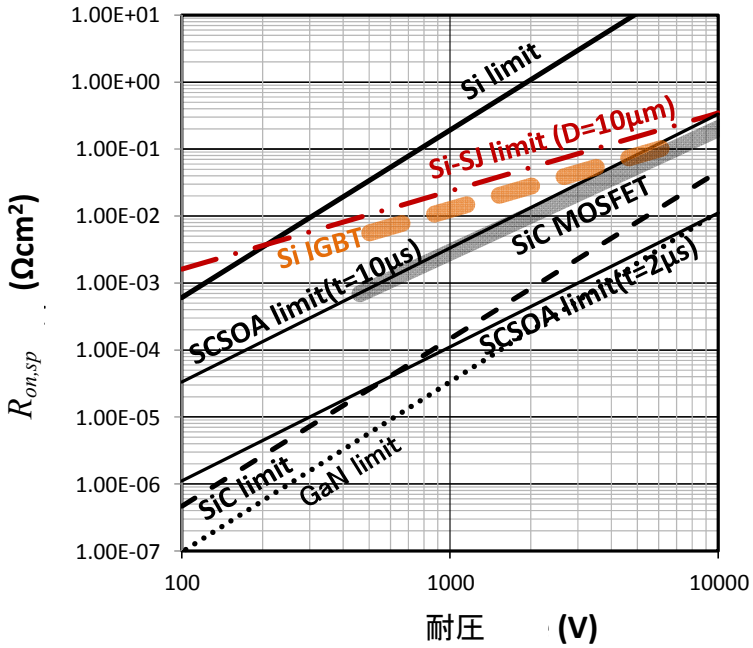


図４．８　耐圧と実効オン抵抗（$R_{on,sp}$）の関係
SCSOA による限界を付記

４．４　スイッチングロスと耐圧の関係

パワーデバイスは、高電圧のオフ状態と定電圧大電流のオン状態を交互に繰り返す動作を行う。オフ状態では空乏層内に静電エネルギーが存在し、オン状態ではそれが失われるため、これがスイッチング時のエネルギーロスの下限値となる。これを Si デバイス、SiC デバイスを例として比較し、本質的な性能差を比べてみる。静電エネルギーE_{cap} は言うまでも無く接合面積に比例し、実効オン抵抗は逆に接合面積に反比例する。したがって両者の積、$R_{on,\ sp}E_{cap}$ は導通ロスとスイッチングロスのトレードオフを示す指標となる。

N-層の電界を直角三角形で近似すると、

$$E_{cap}=\frac{\varepsilon}{2}\int_0^L E(x)^2 dx=\frac{\varepsilon}{2}\int_0^L \left(\frac{Ex}{L}\right)^2 dx=\frac{\varepsilon E^2 L}{6} \qquad \cdots\cdots(4.15)$$

(4.7)、(4.8)より(4.16)が得られる。

$$E_{cap}=\frac{\varepsilon E^2 L}{6}=\frac{\varepsilon}{3}2^{\frac{1}{3}}A_{Si}^{\frac{-1}{6}}V^{\frac{5}{6}} \qquad \cdots\cdots(4.16)$$

これより、$R_{on,sp}E_{cap}$ は(4.10)、(4.11)、(4.12)から、

$$R_{on,sp}E_{cap}(\mathrm{Si})=\frac{1}{3\mu_{Si}}2^{\frac{4}{3}}A_{Si}^{\frac{1}{3}}V^{\frac{10}{3}}\fallingdotseq 1.63\times 10^{-15}V^{\frac{10}{3}} \qquad \cdots\cdots(4.17)$$

$$R_{on,sp}E_{cap}(\mathrm{SiC})=\frac{1}{3\mu_{SiC}}2^{\frac{4}{3}}A_{SiC}^{\frac{1}{3}}V^{\frac{10}{3}}\fallingdotseq 1.32\times 10^{-17}V^{\frac{10}{3}} \qquad \cdots\cdots(4.18)$$

Super Junction の場合は一定電界として(4.19)が得られ、(4.12)で言及した β、D を使うと(4.20)が得られる。

$$E_{cap}(\mathrm{Si\text{-}SJ})=\frac{\varepsilon}{2}A_{Si}^{\frac{-1}{6}}V^{\frac{5}{6}} \qquad \cdots\cdots(4.19)$$

$$R_{on,sp}E_{cap}(\mathrm{SJ\text{-}Si})=\frac{\varepsilon_{Si}D}{2q\mu_{Si}\beta}V^2\fallingdotseq 2.39\times 10^{-12}V^2 \qquad \cdots\cdots(4.20)$$

ここで特徴的なのは物性値に由来する低い A が様々な優れた特性をもたらしているが、E_{cap} に関してはより大きな値をもたらす事である。なお、SJ の $R_{on,sp}E_{cap}$ は A をパラメータに含まないが、これが仮に SiC であれば β が 8～9 倍大きいため、その分値が低下する。

ここで、図４．８より、SCSOA limit が現行の SiC MOSFET の性能にほぼ等しいため、SiC MOSFET の実効オン抵抗を SCSOA limit と同じと仮定し、E_{cap} を SiC

の物性値からその耐圧における値を算出し、これを SiC limit（SCSOA）とすると、(4.21)が得られる。

$$R_{on,sp}E_{cap}(\mathrm{SiC\ (SCSOA)})=\frac{2^{\frac{7}{3}}}{3^{3}}\varepsilon_{SiC}W_{pk}\left(\frac{tn}{E_{limit}}\right)^{2}A_{SiC}^{\frac{-1}{6}}V^{\frac{17}{6}} \qquad \cdots\cdots(4.21)$$

同様に、SCSOA limit と同じ実力を SJ-MOSFET が持っていると仮定した場合の結果も(4.22)のように求められる。

$$R_{on,sp}E_{cap}(\mathrm{Si\text{-}SJ\ (SCSOA)})=\frac{2}{9}\varepsilon_{Si}W_{pk}\left(\frac{tn}{E_{limit}}\right)^{2}A_{Si}^{\frac{-1}{6}}V^{\frac{17}{6}} \qquad \cdots\cdots(4.22)$$

IGBT の場合は伝導度変調でキャリア濃度が大幅に上昇しており、低抵抗になった分、ターンオフ時に空乏層を横切るキャリアが大きなスイッチングロスを発生させる。N-層のみを対象として、伝導度変調時のキャリア濃度が均一で、かつスイッチング時にキャリアが再結合しない仮定であれば(4.17)に対してホール電流分が寄与し、25%小さくなるが N^{-}層両端での接合部の電圧降下を実効オン抵抗にいれると逆に大きくなる。また、再結合の効果が見込めるほどゆっくりとしたスイッチングではスイッチングロスは大幅に低下する。実態としては(4.17)と大きくは違わないと予測するが、状況によって大きく変化するためここまでの考察に留める。

本節で得たそれぞれの $R_{on,sp}E_{cap}$ を図４．９にまとめる。

1000V 付近で比較すると、SiC はシリコンの SJ に対しても約 1/20 の値が限界であり、高い潜在能力がある事が分かる。しかし SiC limit(SCSOA) t=10μs を見ると、シリコンの SJ-MOSFET と大差無い性能である。

言い換えると、低オン抵抗をキャリア速度ではなくて、キャリア密度で実現しているもの（SiC 等）はそのキャリア密度に見合った高い電流密度で動作させなければ本来の性能を発揮しない事を意味する。そして、$R_{on,sp}E_{cap}$ も SiC に対しては t=2μs に対応できる高速な素子保護技術が必要である。

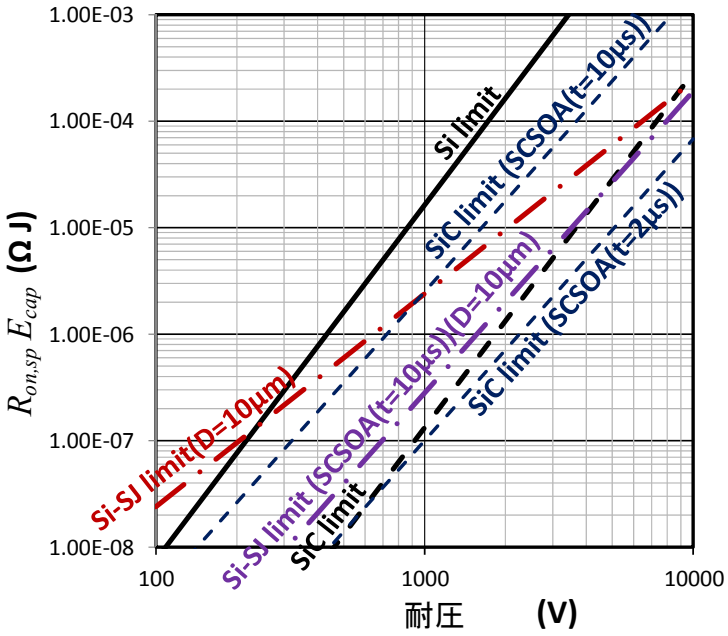


図４．９　耐圧と $R_{on,sp}E_{cap}$ の関係　SCSOA による限界を付記

４．５　スイッチング時間と耐圧の関係

パワーデバイスを使った電力変換技術の基本は、スイッチング毎に一定のエネルギーを転送する事で成り立っており、その仲介役が一時的にエネルギーを保持するコンデンサーであり、インダクターである。ここで同じ電力を伝送する場合において、スイッチングを高速に行えばより小さなコンデンサー、インダクターを使ってもその動作回数を上げる事で対応が可能となる。このようにパワーデバイスの高速動作化はシステム全体の小型軽量化に大きく貢献する重要な特性である。電力変換回路ではパワーデバイスにＬ負荷が直列に入っている形が一般的であり、このためにＬによって概ね一定に保持された電流をスイッチングする事になる。ターンオフ動作は N⁻層が平均電流密度 I_{rat} で空乏化されてゆく過程であるから、空乏化した領域の全電荷を Q として、これを平均電流密度 I_{rat} で割るとターンオフに要する時間、すなわちスイッチング時間（t_{off}）が求まる。ターンオンに関しても同様に時間が求まる。

I_{rat} はパッケージ性能である単位面積当たりの消費電力（$W_{pk}= I_{rat}{}^2 R_{on,sp}$(SCSOA)）から求め、図４．８と同じ条件で計算すると t_{off} は以下のようになる。

また、実効オン抵抗に SCSOA の制限を入れた仮定の計算も併記して、結果を図４．１０に示す.

$$t_{off}(\mathrm{Si})=\frac{Q}{I_{rat}}=Q\sqrt{\frac{R_{on,sp}(SCSOA)}{W_{pk}}} \qquad Q=2^{\frac{1}{3}}\varepsilon A^{\frac{-1}{6}}V_{BD}^{\frac{-1}{6}} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots(4.23)$$

３章で議論した RQ も実効オン抵抗と全電荷のトレードオフであり、定格電流における電圧（V_{rat}）を固定値とするならば、t_{off} は=RQ/V_{rat} となり、t_{off} と同じ意味を持つ。そして(3.24)より d を消去すると以下の関係が求まる。

$$RQ_{limit}=\frac{4d^2}{\mu_p+\mu_n}=\frac{2^{\frac{4}{3}}A^{\frac{1}{3}}}{\mu_p+\mu_n}V_{BD}^{\frac{7}{3}}$$

しかし、ここでは I_{rat} を実態と同じくパッケージ性能から規定し、t_{off} と耐圧の関係を求める。これからシリコン、SiC の場合を計算すると以下となる。

$$t_{off}(\mathrm{Si})=2^{\frac{5}{6}}\sqrt{\frac{\varepsilon_{Si}}{\mu_{Si}W_{pk}}}A_{Si}^{\frac{1}{12}}V_{BD}^{\frac{13}{12}} \fallingdotseq 3.97\times10^{-12}V_{BD}^{\frac{13}{12}} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots(4.24)$$

$$t_{off}(\mathrm{SiC})=2^{\frac{5}{6}}\sqrt{\frac{\varepsilon_{SiC}}{\mu_{SiC}W_{pk}}}A_{SiC}^{\frac{1}{12}}V_{BD}^{\frac{13}{12}} \fallingdotseq 1.16\times10^{-12}V_{BD}^{\frac{13}{12}} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots(4.25)$$

SJ の場合は Q に関して以下が成立する。右辺第一項が図４．４の N 層のキャリア分、第二項が空乏化している N⁺層分である。これから(4.26)が得られる。

$$QD=q\beta A^{\frac{1}{6}}V_{BD}^{\frac{7}{6}}+\varepsilon DA^{\frac{-1}{6}}V_{BD}^{\frac{-1}{6}}$$

$$t_{off}(\mathrm{Si\text{-}SJ})=\sqrt{\frac{1}{q\,\mu_{Si}\,\beta D W_{pk}}}\left(q\,\beta A_{Si}^{\frac{1}{6}} V_{BD}^{\frac{7}{6}}+\varepsilon D A_{Si}^{\frac{-1}{6}} V_{BD}^{\frac{-1}{6}}\right) A_{Si}^{\frac{1}{12}} V^{\frac{7}{12}} \quad \cdots\cdots\cdots\cdots\cdots\cdots(4.26)$$

結果を見ると、SiC MOSFET は理論的には最も高速動作になり得るが、$A^{1/12}$ に比例する事から物性による差は大幅に圧縮される。それでも 1000V 付近ではシリコンの SJ に対して理論限界は約 1/5 まで低くなる。

しかし、スイッチングロスの時の議論と同じく、SCSOA が t=10μs レベルの性能であると、Si MOSFET、Si SJ-MOSFET と大差無いターンオフ時間となってしまう。この場合においても t=2μs に対応する事、すなわちこのレベルでの高電流密度動作が SiC MOSFET の性能を発揮するための条件になる。

2μs をより長くするにはパワーデバイスの電極自体の放熱能力を改善したもの[4)]で一定の改善が期待され、2μs 自体への対応では高速な保護回路[5)]等が多く提案されている。

実際の動作では上記の問題よりさらに大きな問題がある。高電流密度かつ高速動作に伴って、素子自体の容量成分と素子外部のインダクタンス成分による発振が極めて発生しやすくなる。これを抑制するためゲートに直列抵抗を入れ、スイッチングを敢えてゆっくり行っており、これがスイッチング時間とスイッチングロスの両方を決定しているのが現状である。この問題を解決するためにゲート駆動回路への工夫も提案されている[6)]。

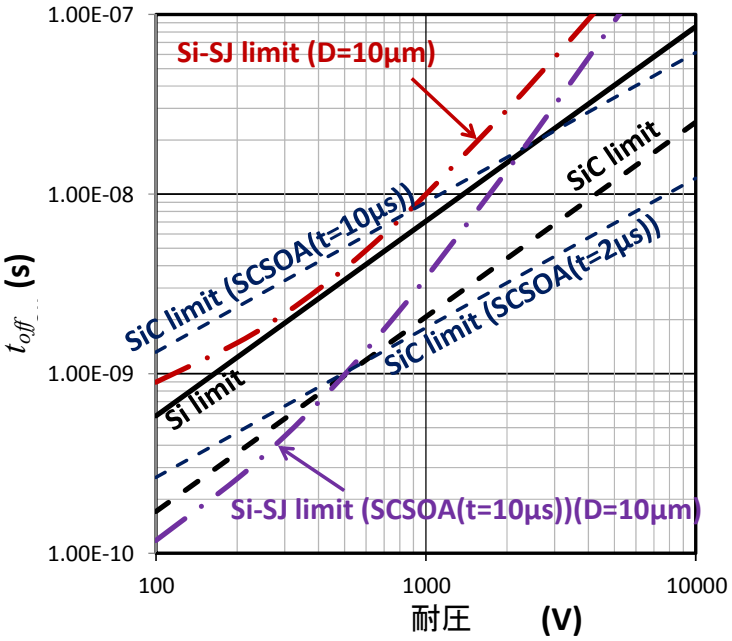


図４．１０　耐圧とスイッチング時間の関係　SCSOA による限界を付記

４．６　まとめ

（１）パッケージの熱抵抗の制限下では実効オン抵抗の低減によるチップ面積の縮小効果はその 1/2 乗に抑えられる事を示した。さらに、短絡許容時間として一般的に要求される 10μs での実効オン抵抗の下限値を算出するとその値が丁度現在の SiC MOSFET の実力レベルに相当し、今後の SiC MOSFET の低オン抵抗化には短絡許容時間低下への対応が必須である事を示した。また、これはさらに優れたトレードオフを持つ GaN デバイスは短絡許容時間が必要としない用途に実質上限定される可能性を示唆している。

（２）スイッチングロスの下限値は実効オン抵抗とオフ状態において空乏層に蓄積される単位面積あたりの静電エネルギーの積（$R_{on,sp}E_{cap}$）で規格化され、この値と耐圧のトレードオフ関係を解析式で表し Fulop の近似式の係数 A の 1/3 乗に比例する事を示した。

その結果、耐圧 1000V 付近において SiC MOSFET の限界はシリコンの SJ-MOSFET に対して約 1/20 の値となり、高い潜在能力がある事を確認した。しかし、短絡許容時間 10μs の状態（現状の SiC MOSFET レベル）ではこの指標はシリコンの SJ-MOSFET と大差無い性能であり、SiC MOSFET の本来の性能を得るには短絡許容時間 2μs の条件を満足しなければならない事が分かった。

（３）パッケージ性能から動作電流密度が決定され、その電流密度でのスイッチング時間と耐圧の関係を解析式で示した。

その結果、スイッチング時間が $A^{1/12}$ に比例し SiC の物性差による性能差は圧縮される事が分かった。ただし、それでも 1000V 付近でシリコンの SJ-MOSFET に対して約 1/5 まで短縮可能である事を示した。

しかし、ここでもスイッチングロスの議論と同じく、短絡許容時間が 10μs レベルであると、Si MOSFET、Si SJ-MOSFET と大差無いターンオフ時間となり、短絡許容時間 2μs に対応する事が SiC MOSFET の本来のスイッチング時間を実現するための条件になる事が分かった。

（４）上記議論をまとめると、パワーデバイスではその高性能化が素子内部の高いキャリア濃度に由来しており、その性能を発揮するためには高いキャリア濃度に相応した高い電流密度での動作が必須である事を示した。

そして、高い電流密度を阻害する主要因は短絡時の自己発熱による短絡許容時間の低下であり、過渡熱を吸収する構造等による短絡許容時間の拡大、及び短絡許容時間が短くともさらに短時間で素子を保護する技術の二つが今後のパワーデバイスの性能改善の鍵である事を示した。

参考文献

1) R. Van Overstraeten and H. De Man “Measurement of The Ionization Rates in Diffused Silicon p-n Junctions,” Solid-State Electronics, 1970, Vol. 13, pp.583-608.

2) W. Fulop, “Calculation of avalanche breakdown of Si p-n junctions”, Solid State Electron., vol. 10, pp. 39-43, (1967).

3) B. Jayant Baliga, “Fundamentals of Power Semiconductor Devices,” Springer, pp.92-101 (2008).

4) F. Hille, F. Umbach, T. Raker and R. Roth, “Failure mechanism and improvement potential of IGBT’s short circuit operation,” Proceedings of ISPSD 2010, pp. 33-36.

5) K. Yuasa, S. Nakamichi and I. Omura, “Ultra high speed short circuit protection for IGBT with gate charge sensing,” Proceedings of ISPSD 2010, pp. 37-40.

6) A. Shorten, M. Sasaki, T. Kawashima, H. Nishio and W. T. Ng, “A Segmented Gate Driver IC for the Reduction of IGBT Collector Current Over-Shoot at Turn-on,” Proceedings of ISPSD 2013, pp. 73-76.

7) 寺島知秀，「ワイドバンドギャップ半導体によるパワーデバイスの性能改善と課題」，「材料」Vol.64, No.9，pp.701-706，Sep. 2015.

8) T. Terashima, “Superior Performance of SiC Power Devices and Its Limitation by Self-heating,” IEDM, 2016, pp 264-267.

9) 寺島知秀，藤原康文「PiN ダイオード高水準注入についてのシミュレーションと解析計算の比較による考察」，電気学会論文誌 C，Vol.137，No.7，2017.

10) 寺島知秀，藤原康文「パワーデバイスのスイッチングロスに関する解析的考察」，電気学会論文誌 C，Vol.137，No.9，2017.

第５章　高耐圧 IC によるハーフブリッジ駆動技術

５．１　はじめに

600V から 1200V の耐圧領域は民生から産業用途に相当し、電力変換技術の中核を成す領域である。そしてこの領域のパワーデバイスはパワーMOSFET と IGBT がほぼ独占し、さらなる高性能化のために昨今は SiC-MOSFET の製品化も相次いでいる。第 2 章（図２．４）のとおり電力変換回路はパワーデバイス二つを直列に接続したハーフブリッジ接続が基本であるが、ここで問題となるのはハイサイド側パワーデバイスの駆動である。ハイサイド側はゲート駆動回路を V_s 基準で動作させなければならない。そしてこれに伴いグラウンド基準で供給されるパワーデバイス駆動信号を何らかの方法でフローティングされているゲート駆動回路に伝達しなければならない。この信号伝達の最も一般的な手法はフォトカプラによるものであるが、この場合、図５．１に示すように、フォトカプラを含めた複数の IC によってゲートドライブ回路を構成する必要があり、システムの小型化、低コスト化には限界があり、さらにフォトカプラでの信号遅延により、過電流時の高速保護動作にも限界があった。

これに対し、高耐圧 IC は図５．２のようにパワーデバイスのゲート駆動に関わる機能をシングルチップ上に取り込んだものである [1)]。ここでフォトカプラに相当する機能は、IC 上に形成した高耐圧 NchMOSFET を利用する。

この高耐圧 NchMOSFET にパルス上のゲート電圧信号を入力すると、高耐圧 NchMOSFET は電流飽和状態で動作し、ドレイン電圧に関わらず一定の電流を出力する。このため直列に接続された負荷 R に同じく負パルスの一定の電圧信号が発生する（図５．３）。ハイサイド側パワーデバイスのターンオン信号用とターンオフ信号用に高耐圧 NchMOSFET をそれぞれ 1 つ使う事で高耐圧 IC 単体でハーフブリッジ接続されたパワーデバイスを駆動する事が可能となり、原理的にはこれを複数個まとめたマルチチップモジュールでモータードライブが可能となる。このような形態が発達した背景にはパワーデバイスの主流が MOS ゲート電圧駆動となり、駆動電力が小さくかつ駆動しやすくなった事も大きい。

現在では、低圧側の回路は通常の低耐圧 IC でまとめ、高耐圧が必要な回路を一つの高耐圧 IC にまとめたものが主流であるが、この高耐圧 IC 技術は、民生、産業用途の省エネルギー化と小型高性能化、低コスト化に非常に大きく貢献している。また、高耐圧 IC は米国で最初期の製品化が達成されたが、我々の開発では、性能面、コスト面でより改善されたものを目標として進め、600V 系は 1993 年、1200V 系は 1997 年に技術面での完成に達した。

本章では、高耐圧 IC の基本技術から、実際の開発において導入した新技術、そして、最新動向と今後の方向性についてまとめる。

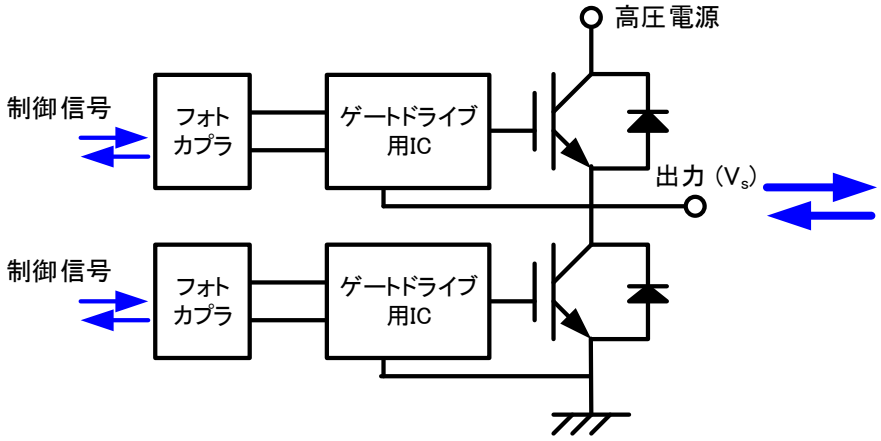


図５．１　ゲートドライブ用 IC とフォトカプラによるハーフブリッジ駆動

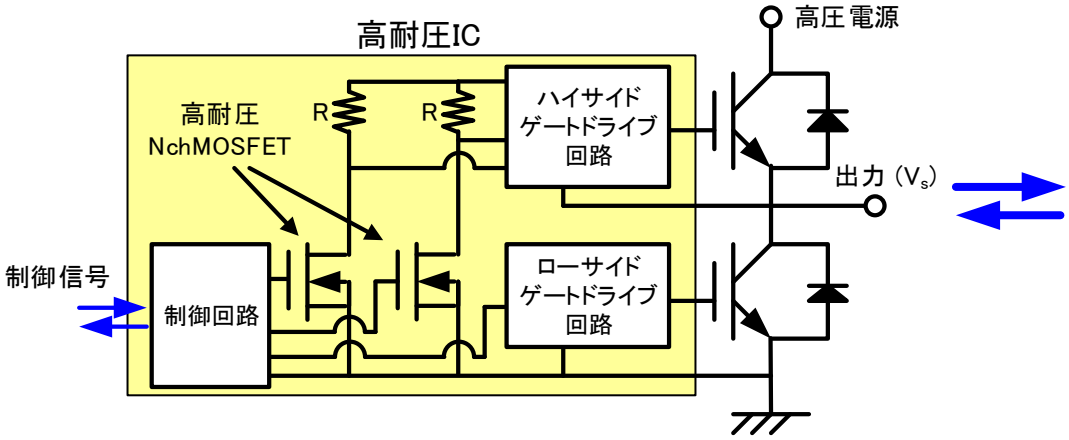


図５．２　高耐圧 IC によるハーフブリッジの駆動

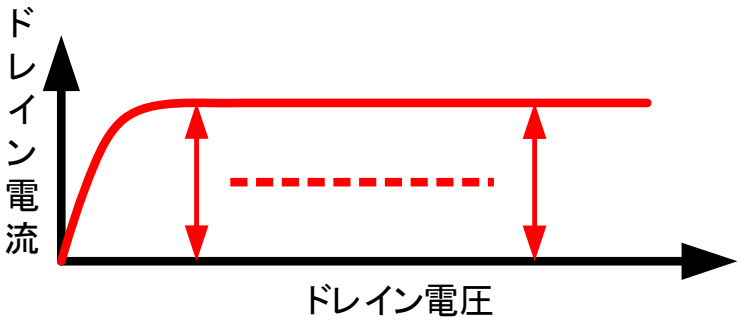


図５．３　高耐圧 NchMOSFET の電流電圧特性

５．２　高耐圧分離技術　（RESURF 構造）

IC には多数のトランジスタが搭載されるが、その素子間の信号分離は、通常図５．４のように、IC に供給される電源電圧自体で逆バイアスされた pn 接合を利用しており、これらは一般に接合分離と呼ばれている。ここで b)の構造にすると CMOS の基準電圧を V_s にフローティングさせる事が出来る。この CMOS を図５．２のハイサイドゲートドライブ回路に適用すると Vs は図５．２の出力端子電圧に相当し、V_s を大幅に向上させる構造が RESURF（Reduced SURface Field）構造 [2-3]である。

図５．５ a)は図５．４ b)のフローティング耐圧に関わる部分を抜き出したものであり、表面横方向の耐圧をより高くするために距離を長くしている。しかし、これだけでは表面側は横方向の pn 接合で決まる耐圧で制限され、縦方向では n^+埋め込み層の端部の電界集中があるため、いずれかで全体の耐圧は制限されてしまう。そこで表面 n 層の濃度を下げ（n^-層）、表面に向かう方向に空乏層がより速やかに伸びるようにすると、表面の pn 接合の耐圧より低い電圧で空乏層が表面に到達する。この動作には表面に空乏層が到達する電圧よりも縦方向の pn 接合の耐圧が高い事が必要であり、これを RESURF 条件と呼んでいる。

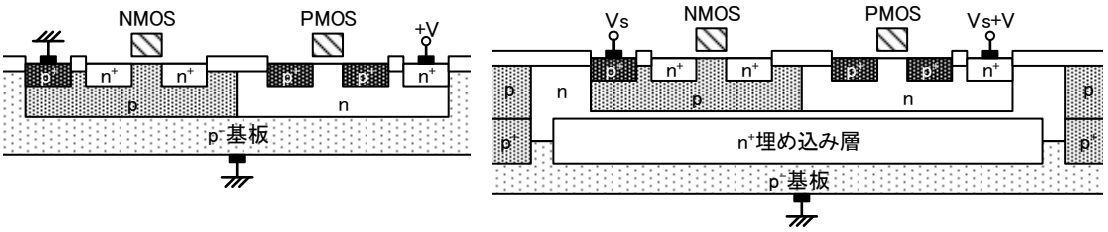
その値はシリコンでは一般に $1\times10^{12}cm^{-2}$ である。

このように調整すると表面電界はある一定以下の値にとどまり、かつ均一化される。よって、表面横方向の耐圧は横方向の距離をとるにしたがってほぼ直線的に上昇する。一方、縦方向は p^-基板の濃度を下げる（p^{--}基板）と共に、n^+埋め込み層の端部をより深くかつ低濃度の n^-埋め込み層で覆う事で端部の電界は緩和され、高耐圧化される（図５．６）。

この両者の対策により飛躍的な高耐圧化が可能となり、600V 級の製品化を達成した。なお、従来の高耐圧 IC では n^+埋め込み層を削除した図５．７の構造をとっていた。この構造はその分低コスト化できるメリットもあるが、NMOS バックゲートの p 層と n^-層と p^-基板で縦方向に形成される寄生の PNPTr が動作する事による誤動作が問題となっていた。これに対し、n^-/n^+埋め込み込み層の導入により寄生動作は大幅に抑制され、動作安定性の高い高耐圧 IC を実現する事が出来た。

ここで RESURF 構造によって表面電界が均一化される物理的理由を解説しておく。まず一次元の p^+/n^-接合を逆バイアスしたときの電界形状を図５．８に示す。アバランシェが発生する限界の電界を E_{max} と置いて、その時の印加電圧 V の関係は記載のとおりである。次に n^-層が一次元関数で先細りしており、電界は W の範囲内で均一化されているとすると、ガウスの法則から図５．９のように空乏層の長さは 2 倍になり、V も 2 倍になる。これは空乏層の右端から接合に向かって n^-層の空間電荷が増加すると同時に断面積が増え、電界上昇が緩和

される事が原因である。この理屈を延長すると、図５．１０のように exp 関数で断面積が変化しかつ無限遠まで空乏化している場合、数学的には各断面での電界が一定になり、V も無限大になる事が分かる。ここで現実の状況を考えると、長さ L の位置から先の n^-層の空間電荷の総量 Q を有限の長さの n^+層の空間電荷で置き換えれば、ほぼ一定電界で有限の耐圧となる構造が得られる。RESURF 構造はこれに近い状況が発生しているものである。図５．１１に RESURF 構造に逆バイアスを印加した時の状況を示す。空乏層内の電気力線は横方向の pn 接合を通過するものとたて方向の pn 接合を通過するものに分かれるが、その境界線が図５．１０に類似した状況になっている事が分かる。RESURF 構造自体は 1979 年に実測結果の報告がなされ、その後シミュレーションで実際の電界の状況が詳しく調べられた。本説明はこれらの報告を踏まえて RESURF の効果を可能な限り解析的に説明したものである。



a)　基板電位基準の CMOS のみ搭載する例　　b) フローティング電位の CMOS を搭載する例

図５．４　pn 接合分離構造

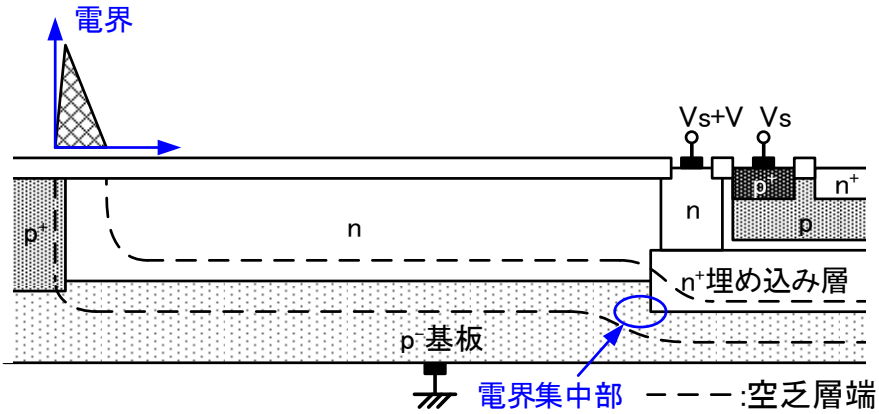


図５．５　図５．４ b)の横方向の距離を長くとったもの
n^+埋め込み層端部で電界集中が発生する

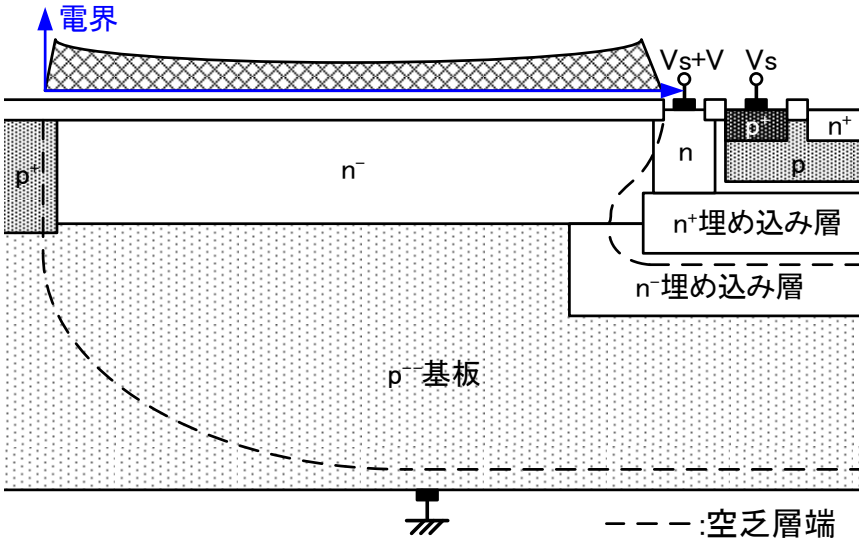


図５．６　RESURF 構造（n^-/n^+埋め込み層付）
表面電界の均一化と共に n^+埋め込み端部の電界集中も緩和される

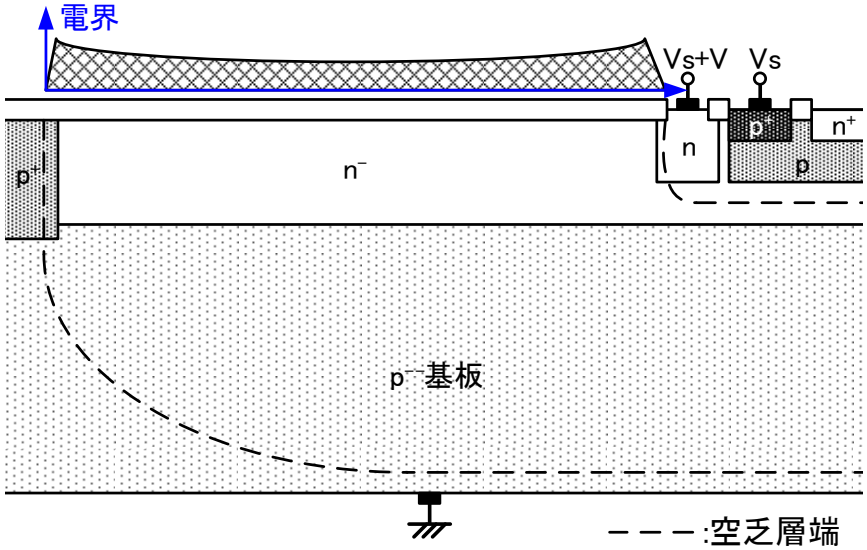


図５．７　RESURF 構造（n^+埋め込み層無し）

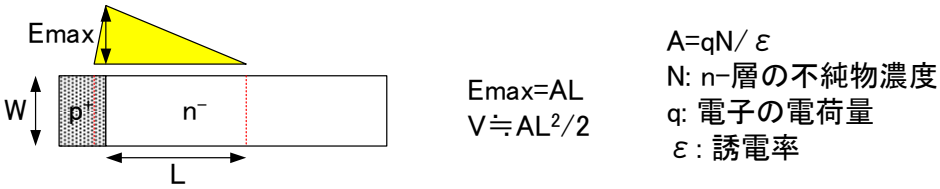


図５．８　一次元 p^+/n^-接合逆バイアス時の電界形状

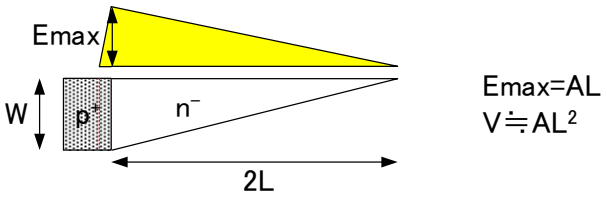


図５．９　p^+/n^-接合逆バイアス時の電界形状
（n^-層断面積が一次関数で変化する場合）

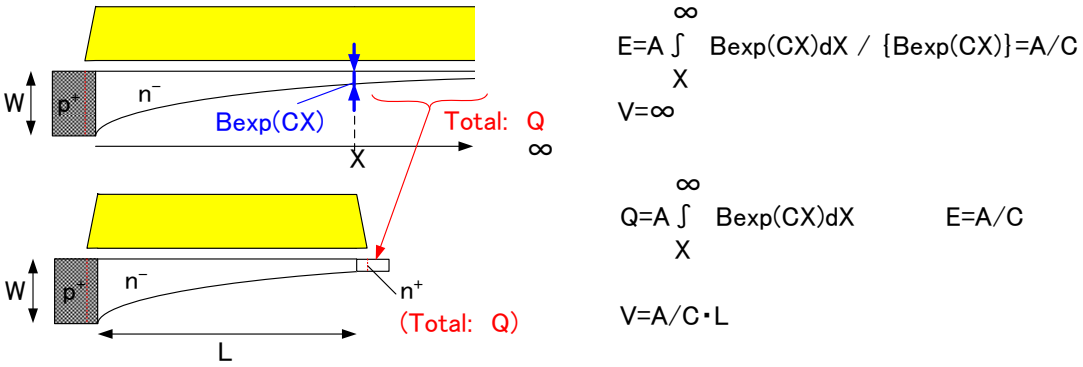


図５．１０　p^+/n^-接合逆バイアス時の電界形状
（n^-層断面積が exp 関数で変化する場合）

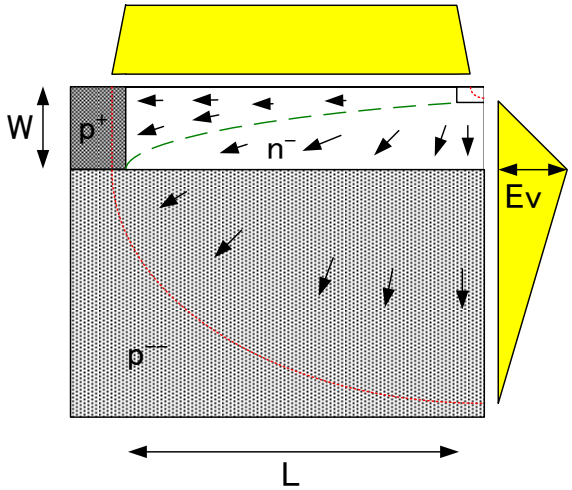


図５．１１　RESURF 構造逆バイアス時の電界形状

５．３　高耐圧 NchMOSFET の開発と配線電界への対策

図５．２の高耐圧 NchMOSFET とハイサイドゲートドライブ回路は RESURF 構造をそれぞれに図５．１２のように適用する事で実現できる [4)]。高耐圧 NchMOSFET のドレイン電圧とハイサイドゲートドライブ回路領域の電圧の間の信号分離のために、高耐圧 NchMOSFET は中央にドレイン電極を配し周囲を p 拡散で分離した領域で取り囲んだ構造を取っている。なお、高耐圧 NchMOSFET のドレイン直下にも n^-/n^+埋め込み層を設けているが、耐圧を n^-/n^+埋め込み層の端部で決まるように設計しており、これによってアバランシェ時の破壊耐量の改善も実現している。

しかし、この構成には一箇所問題がある。これは高電位のドレイン配線がグラウンド電位の分離領域上を必ず通過する事であり、何ら構造的な対策を施さない状態では高電位のドレイン配線による表面での電界集中により耐圧が低下する。この対策としては図５．１３のようにドレイン配線の下にポリシリコン 2 層を相互に重なるように配置したものが従来技術 [5)]である。図では断面部分にのみ図示しているが、実際は高耐圧 NchMOSFET はそれぞれリング状に形成し、表面を完全に覆っており、ハイサイドゲートドライブ回路領域の回りも同様である。この構成では各フローティングポリシリコン層の電位は主にポリシリコン相互の容量結合で決まり、その上部のドレイン配線の電界の影響を遮蔽する事ができる。しかし、この技術はポリシリコン 2 層が必要で、かつポリシリコン層間の絶縁耐圧も高圧電源電圧の容量分割分は必要となるためプロセスコストが増加する。

このため、ポリシリコン 1 層、すなわち通常のプロセスに追加工程無しで電界緩和を実現する構造を発案した [6)]。ポリシリコン層を一定の間隔を空けてフローティングで配置し、それぞれのポリシリコン層の電位はドレイン配線の無い領域で、同じくフローティングしたアルミを使って容量結合する事（MFFP: Multiple Floating Field Plate）で固定させる（図５．１４）。この構造を最適化するために図５．１５のように MFFP 有り無しで構造振り分けを行い、かつ n^-層濃度を振り分けて試作し、それぞれ耐圧を評価した。

結果を図５．１６に示す。MFFP を適用しない場合、n^-濃度によって大きく耐圧が変化する事が分かる。また m は表面 pn 接合へのドレイン配線電界の影響を遮断するための距離として振り分け評価を行っており、m が 30μm 以上であれば両構造ともに m の影響による耐圧低下は防止できる事が分かる。さらに MFFP であれば耐圧が向上しかつ不純物濃度の影響をほぼ抑えられる事が確認できた。

さらに MFFP で実際に電界緩和されているかどうかをデバイスシミュレーションで検証した。この構造ではグラウンド電位とその右隣のポリシリコン層間

の隙間からの電界の影響が最も大きいため、図５．１７の設定でポリシリコン層の電位 V_{FP} を変化させながらシリコン表面（領域 A）での最大電界を計算した。計算結果を図５．１８に示す。この結果から V_{FP} の低下とともにほぼ直線的に領域 A の電界が低下している事が分かる。MFFP による容量結合ではドレイン電圧 600V 印加時に V_{FP} は凡そ 200V と見積もられ、その時領域 A の電界は約 30% 緩和されている。また、MPPF はポリシリコン 2 層による既存特許の回避も実現した。以上の技術により、n^-/n^+埋め込み層を伴う RESURF 構造と MFFP の組み合わせによって従来よりも誤動作しにくく、かつプロセスコストを抑制した 600V 系高耐圧 IC の製品化が達成された。

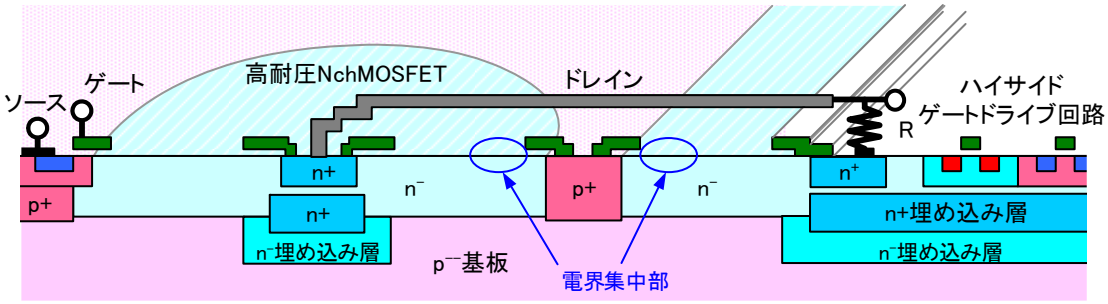


図５．１２　高耐圧 NchMOSFET とハイサイドゲートドライブ回路間の接続

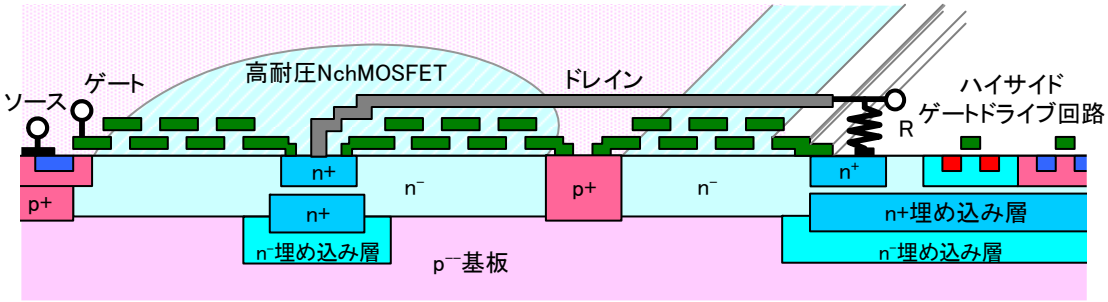


図５．１３　高耐圧 NchMOSFET とハイサイドゲートドライブ回路間の接続
（ポリシリコン 2 層による電界シールド）

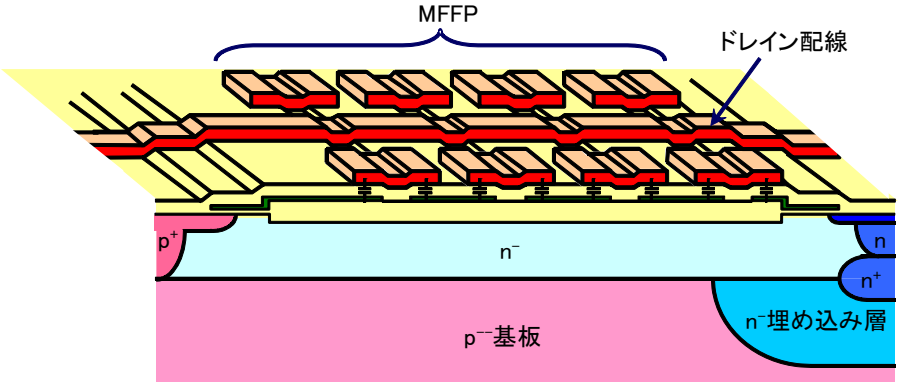
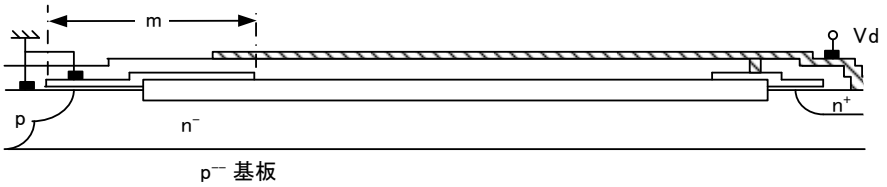
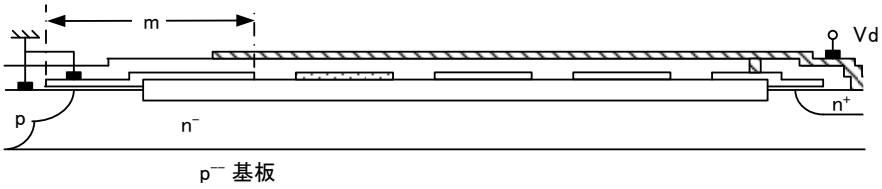


図５．１４　高耐圧 NchMOSFET とハイサイドゲートドライブ回路間の接続
（ポリシリコン 1 層による電界シールド）



(a)　MFFP 無し



(b)　MFFP 有り

図５．１５　MFFP 構造の効果検証のためのデバイス構造

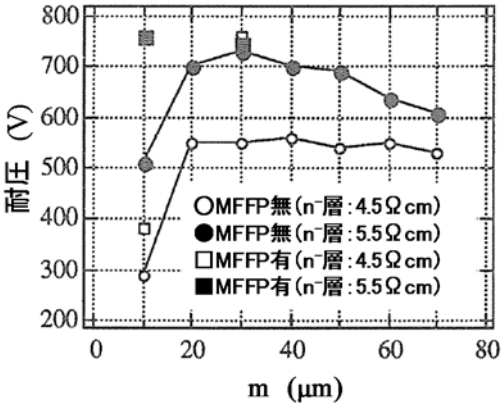


図５．１６　MFFP 有り無しと m 値振り分けに対する耐圧実測結果

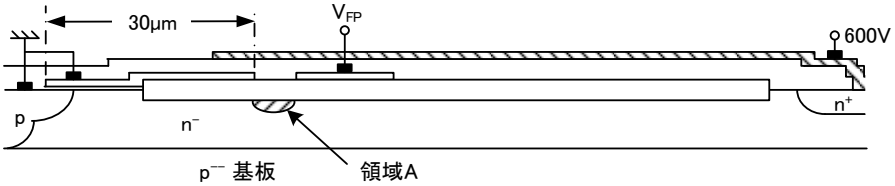


図５．１７　MFFP の効果検証のための構造設定

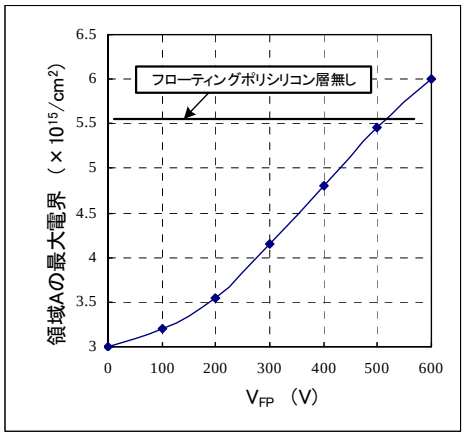


図５．１８　MFFP の効果検証のための構造設定

５．４　高電位配線による絶縁破壊への対策

DC600V 耐圧は AC100V の電力変換に対応したものであり、その上のクラスに AC200V があるが、これには DC1200V 耐圧が必要となる。RESURF 構造自体の高耐圧化は 1995 年に p 基板の低濃度化と図５．６における横方向の長さを十分取る事で 1500V 級が実現できる事を実測を交えて報告したが、1200V 級となると５．３章で対策を施したドレイン配線が再び問題となる。この電圧領域では層間絶縁膜自体の絶縁耐圧信頼性を向上させるための厚膜化、または絶縁膜の追加形成等、製造プロセスの追加が必須であり、それでも表面に沿った方向の放電の危険性は高い。この問題に対し、ドレイン配線がグラウンド電位上を通らない構造が考案されている（図５．１９）[7-8]。これはハイサイドゲートドライブ回路を形成する領域の一部に直接高耐圧 NchMOSFET を形成したものである。単純に形成しただけではドレイン電圧と n^+埋め込み層の電位（V_s+V）が同じであるから信号が取り出せないが、NchMOSFET の形成領域を突出させると、突出部の n^-層で形成される JFET 抵抗 R_j が存在するので電圧出力が取り出せる。ただし、R_j は n^-層の空乏化とともに微分抵抗が上昇する JFET 特性を持っており、これが電圧出力を取り出す R に並列に入るため、ドレイン電圧が低い状態で R_j が低下し電圧出力が小さくなるという問題がある。また 2 つ搭載される高耐圧 NchMOSFET 間のクロストークも大きくなる。さらにこの突出構造によりかなりの面積が必要になる。

従来技術のこのような問題を抜本的に解決するために、我々は高耐圧 NchMOSFET の電圧出力取り出しに分割 RESURF 構造と呼ぶ新しい技術を開発した [9-10]。図５．２０にその構成を示す。ハイサイドゲートドライブ回路周辺の RESURF 領域に高耐圧 NchMOSFET を組み込む形で一体化し、かつ両者は p^{--}領域で分割するため、高耐圧 NchMOSFET に要する面積は非常に小さい。この p^{--}領域をドレイン配線の電圧信号より高いパンチスルー電圧になるよう調整し、かつ、この領域に起因する耐圧低下を必要な耐圧以上に抑える事で電圧出力取出しが可能となる。この技術の成立性を確認するため、図５．２１ (a)のとおり分割部分を抜き出して実際の形状に合うよう構造設定しデバイスシミュレーションした結果を(b)に示す。n 層間のパンチスルー電圧は最も値が低下する V_d=0V の状態、耐圧計算は V_d=V_i の状態で距離 D に対する依存性を計算した結果、パンチスルー電圧として十分マージンのある 30V と耐圧 1200V 以上を両立できる領域が存在する事が確認できた。この技術は 1200V 級高耐圧 IC 実現のための最も大きなブレークスルーとなったが、５．３章の配線クロスオーバーのある構造、図５．１９の従来技術に対しほとんど全ての面で優れているため、現在、表面電界の安定化に寄与する MFFP と分割 RESURF 構造を全電圧領域に適用しており、その応用による技術も開発されている [11]。

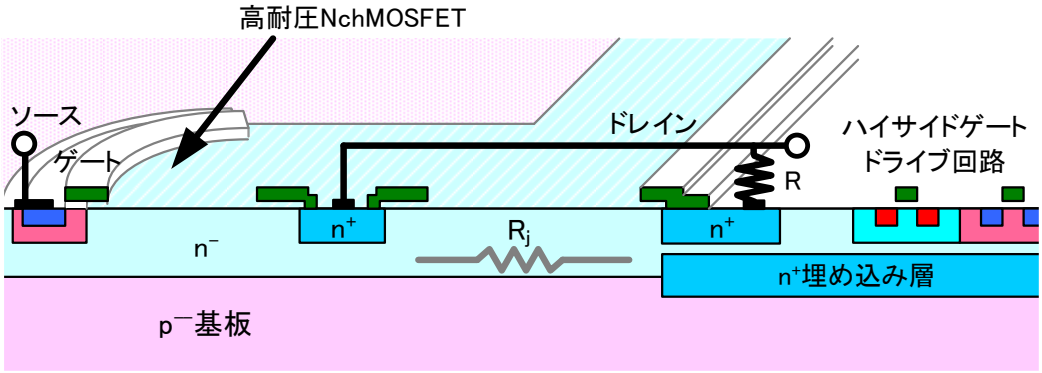


図５．１９　ドレイン電極を突出させる事による信号取り出し

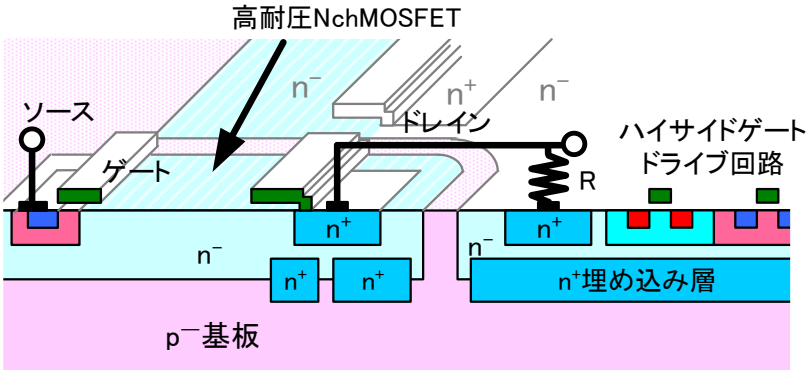
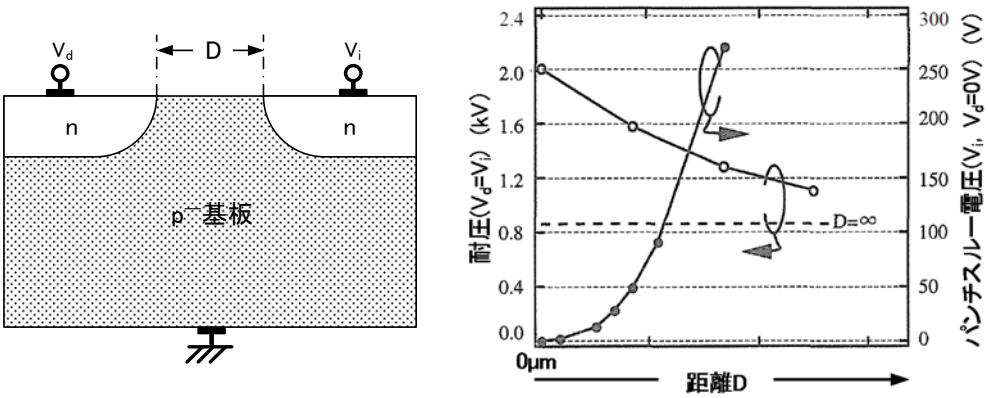


図５．２０　p^{--}層のパンチスルー電圧による信号分離（分割 RESURF 構造）
最初期は n^+埋め込み無しであったが、寄生動作抑制のため追加版も後に開発した [10]。



(a)シミュレーション構造　　(b)計算結果

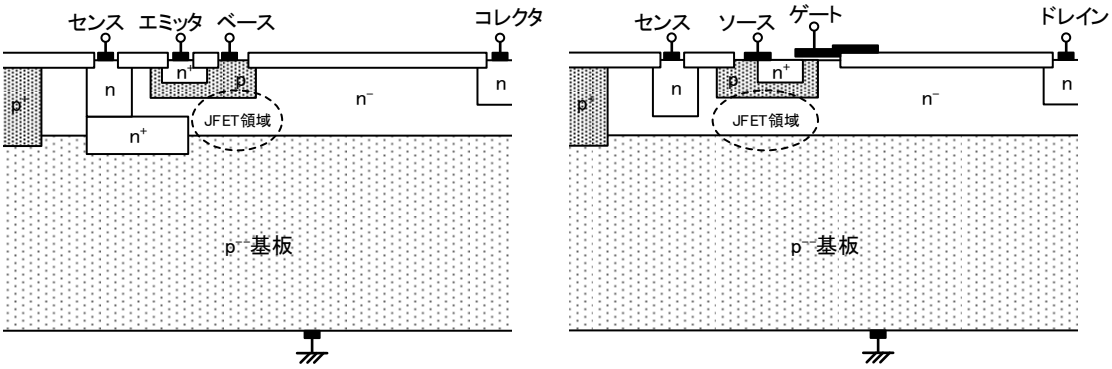
図５．２１　高耐圧 NchMOSFET とハイサイドゲートドライブ回路間の接続

５．５　パワーデバイス保護のための技術

２．３章で述べたようにパワーデバイスはオフ状態で主電極間で高電圧を保持、オン状態では数 V まで低下し自己発熱を極力避けた動作となっている。しかし、何らかの異常、例えば負荷が短絡したような場合はパワーデバイスがオン状態でかつ主電極間電圧が高くなり、大きな自己発熱により 10μs 程度の時間でパワーデバイスは破壊してしまう。このため、破壊に至る前にゲート電圧を下げる保護動作が不可欠である。保護動作のためには異常を検知するデバイスが必要であるが、その一つとして図５．２の出力端子電圧 V_s をモニターする方法がある。V_s はパワーデバイスのスイッチングに応じて電源電圧とグラウンド電圧付近の 2 値を往復しているため、電圧の変化が正しいタイミングで変化していなければ異常とみなす事ができる。これについては高耐圧 NchMOSFET が主流になる前に高耐圧 NPNTr が提案された最初期の頃に JFET のピンチオフによってよりコレクタ電圧をより低い電圧に変えてセンス端子に出力する手法の提案がなされた（図５．２２(a)）[12)]。これは RESURF 構造に僅かな変更を加えるだけで実現できるため高耐圧 NchMOSFET が主流になった現在もこの JFET のピンチオフを利用した電圧センス機能は保護だけでなく高電圧端子の電圧をモニターする様々な用途に使用されている（図５．２２(b)）。これに対する別案として我々は図５．２３のように RESURF 領域に p 領域を設け、そこに定電流を供給し、その電位を取り出す方法を提案した。V_{in} が低く空乏層が p 領域に達していない間（A 領域）は、$V_{in}=V_{out}$ であるが、空乏層が p 領域に達すると（B 領域）、空乏層中の p 領域のフローティング電位となり電圧上昇が緩和され、p 領域の下部全体が空乏化するとさらに電圧上昇が抑制される（領域 C）。

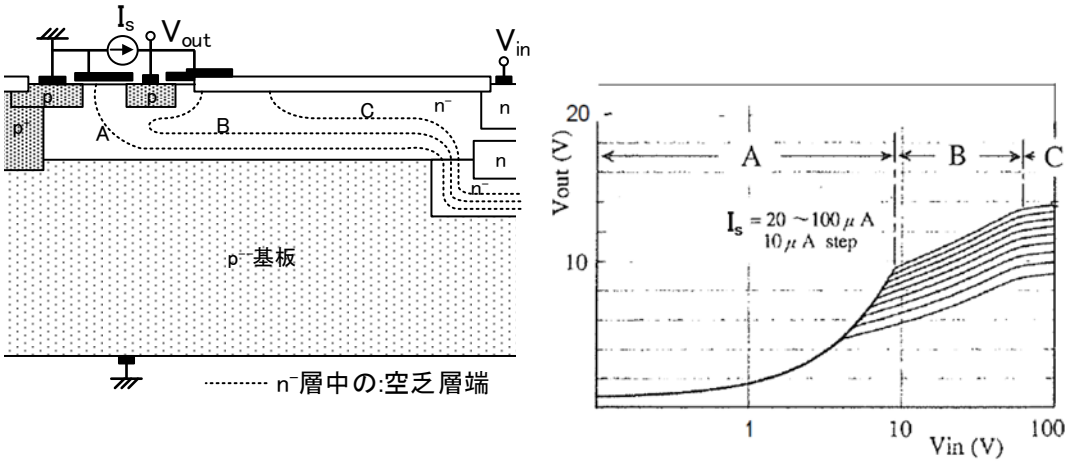
高耐圧 IC の高機能化の一つとして保護動作の情報を外部に出力する機能がある。ローサイドゲートドライブ回路の保護動作情報については特に問題無いが、ハイサイドゲートドライブ回路の保護動作の情報をグラウンド基準の制御回路に伝達する事は図５．２の構成では不可能である。この機能を実現するにはハイサイドゲートドライブ回路側で駆動される PchMOSFET のような素子が必須である（図５．２４）。これを実現する構造は RESURF 構造が使われだして間もない 1986 年には RESURF 構造に PchMOSFET を組み込む基本的なアイデアが提示された [13-14)]。

我々も 1993 年の MFFP の報告時点で 600V 系 PchMOSFET の構造開発も行い、その実測波形を合わせて報告した（図５．２５、図５．２６）[6)]。さらに 1997 年の分割 RESURF の提案時点でも、高耐圧 PchMOSFET の構造を組み込んだ構造開発を行い、その実測波形を報告した（図５．２７、図５．２８）[9)]。



a)　高耐圧 NPNTransistor　　b)　高耐圧 NchMOSFET

図５．２２　JFET による電圧センスの例



a)　デバイス構造　　b)　V_{in} と V_{out} の関係

図５．２３　定電流 I_s を供給した p 拡散領域による電圧センス

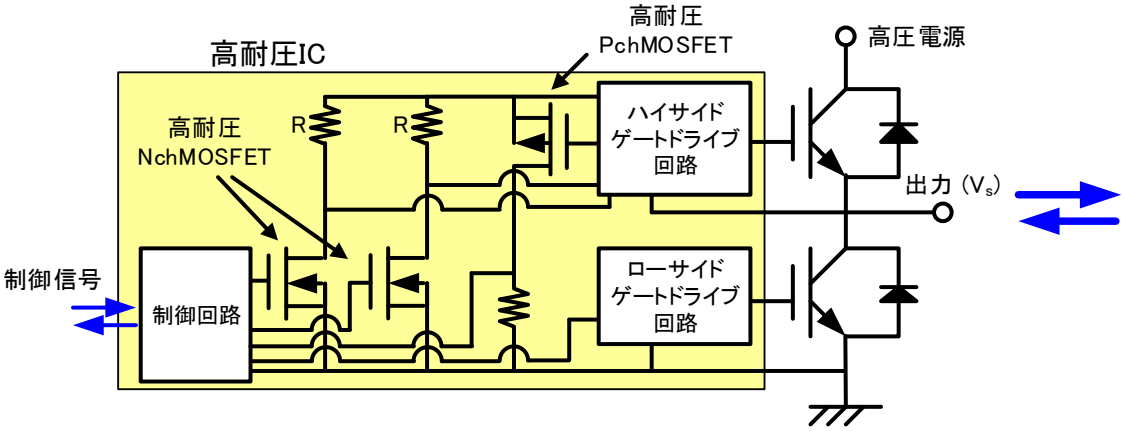


図５．２４　高耐圧 IC によるハーフブリッジ駆動（高耐圧 PchMOSFET 内蔵）

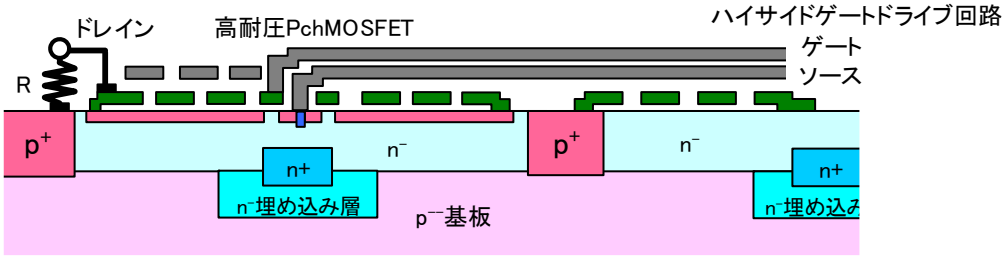


図５．２５　600V 系高耐圧 PchMOSFET　断面模式図

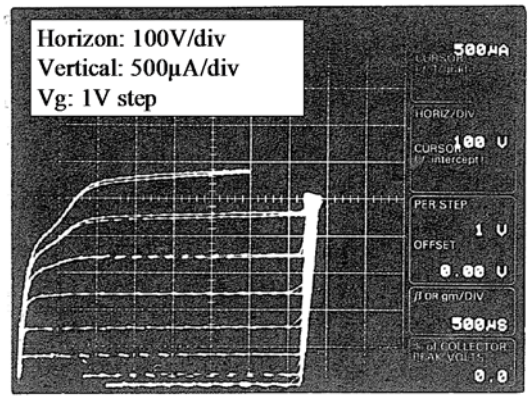


図５．２６　600V 系高耐圧 PchMOSFET　Id-Vd 波形

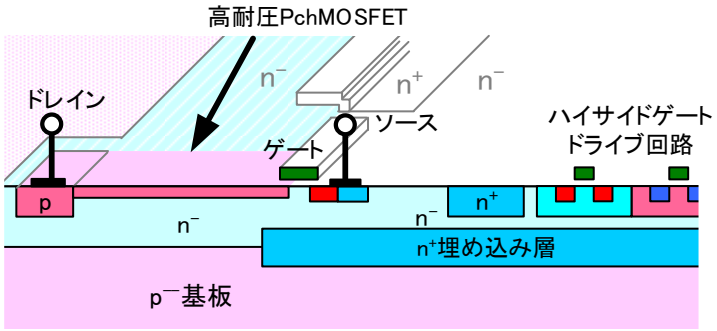


図５．２７　分割 RESURF 構造に組み込んだ高耐圧 PchMOSFET

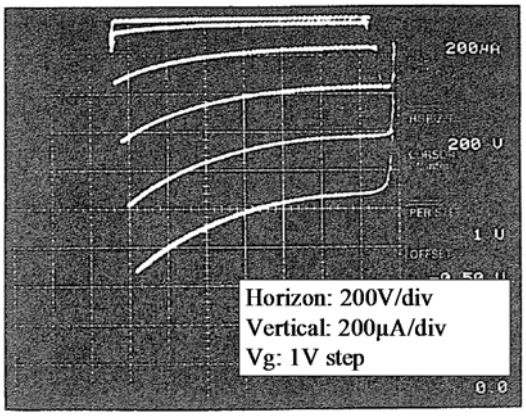


図５．２７　分割 RESURF 構造に組み込んだ高耐圧 PchMOSFET I-V 波形

５．６　最新動向と今後の進化の可能性

1200V 系までの領域における高耐圧 Nch/PchMOSFET の構造技術は分割 RESURF 構造を中心として一通りの完成に達しており、現在は主に制御回路としての機能向上がプロセス微細化とともに進められている。

しかしながら、高耐圧に関連する構造でも幾つかの改善の可能性がある。

まず一つは分割 RESURF 構造に関するものである。

分割 RESURF 構造は信号分離のための分割距離が必要で、かつ分割による耐圧低下を抑える必要があるため、分割部分の設計に制限がある。これを緩和する案として、図５．２８のように、誘電体で埋め込んだトレンチによって分離する方法がある[15)]。通常の素子間分離技術においても図５．４　(b)の p+埋め込み層と深い p+層の組み合わせに対する次世代技術としてこのトレンチによる分離が採用されているため、この分離構造を転用する形であればプロセスコストを追加する事無く、本構造が実現できる。またトレンチ分離自体の絶縁耐圧は十分高いため、n^-層深さに対する相対的なトレンチ深さを確保すればトレンチ幅は 1μm 程度で十分であり、分離領域の面積削減も実現できる。

また、RESURF 構造は深さ方向に多重に形成する事が可能であり、これは本来、横型 MOSFET のオン抵抗低減のための技術であり多重 RESURF と呼ばれている。これを信号分割に利用する事が出来る[16-17)]。その例を図５．２６に示す。深さ方向に分割された n^-層の最上層を NchMOSFET として利用し、かつハイサイドゲートドライブ回路との間に先の誘電体で埋め込んだトレンチを形成すると信号分離が可能となる。n^+埋め込み層の上の n^-層の厚さはそこに搭載されるハイサイドゲートドライブ回路の耐圧確保のために一定の厚みは必要であり、図５．２５の方法ではトレンチ深さは少なくとも n^-層よりも深く形成しなければならない。しかし、図５．２９の方法であれば最上層の n^-層を分離するだけで良いためトレンチ深さへの制限は大幅に緩和される。

この構造はもう一つメリットがある。V_s が低下しダイオードで電圧クランプされる時、配線の寄生 L 成分によって瞬間的に V_s が大きく負バイアスになり、n-層と p--基板間のダイオードが順バイアスされる場合がある。このような動作になると再び逆バイアスに戻るときの逆回復電流の影響で高耐圧 NchMOSFET が正しく動作しない場合がある。図５．２９の構造では高耐圧 NchMOSFET が直接 p--基板と接合を形成していないため、この問題を大きく改善できる。

二つめの可能性として、高耐圧 PchMOSFET の低オン抵抗化が挙げられる。図５．２５の報告時点では、ほぼ同サイズ比較で Pch のオン抵抗は Nch の約 7 倍であり、ドレイン電流出力を受ける回路の負荷によって信号伝達がその分遅くなるという課題があった。この解決策として、Pch のドレイン領域を構成する p-領域の形状を改善してより低抵抗化する案[18)]を提案しているが、これ以外に

デバイス自体を変えて対応する提案も行った。1995 年の RESURF 構造を 1000V 以上に高耐圧化する報告と同時に PchMOSFET を PchLIGBT（PchMOSFET で NPNTr のベース電流を供給し hFE 分電流増幅するデバイス）化し、オン抵抗を対 NchMOSFET で約 2 倍に低減する技術を提示している（図５．３０）[19]。さらに、PchMOSFET の電圧出力をゲート電圧として NchMOSFET を駆動して大電流化する新しい素子のアイデアも提案した（図５．３１）[20]。

最後にハイサイドゲートドライブ回路自体の電源に関する内蔵の可能性が挙げられる。図５．２に対し、ハイサイドゲートドライブ回路への電源供給に関する回路を追記したものを図５．３２に示す。外部から供給される 15V 電源があり、ローサイド側のパワーデバイスはそのまま 15V 電源でゲートが駆動される。一方ハイサイド側のパワーデバイスに対しては、ローサイド側のパワーデバイスがオン状態となり V_s がほぼグラウンド電位となった時、ブートストラップ回路の高耐圧ダイオードが順バイアスされ、ハイサイドゲートドライブ回路の電源となるコンデンサーが充電される。次にローサイド側のパワーデバイスがオフ状態になり V_s が高電位となった場合は高耐圧ダイオードが逆バイアスになりコンデンサーに蓄積された電荷の逆流は阻止される。このようにハーフブリッジ回路の動作で V_s が上下する度にコンデンサーが充電される。

通常、この高耐圧ダイオードは高耐圧 IC に外付けとなるが、これを RESURF 構造の応用によって高耐圧 IC に内蔵する事が可能である。その例を図５．３３に示す [21-22]。RESURF 構造の一部に内部に n^+領域を形成した p 領域とその隣に形成した n^+領域があり、それぞれ 15V 電源に対して、直結、抵抗を介して接続、ダイオードを介して接続されている。この p 領域と n^-層間がブートストラップ回路用のダイオードとして動作する。しかし、単純に p 領域のみを形成し 15V 電源に直結すると、ハイサイドゲートドライブ回路の電位が 15V を下回り、p 領域と n^-層が順バイアスになると p 領域から注入されたホールはほとんど直下の p^{--}基板に流れ込んでしまいハイサイドゲートドライブ回路に接続されたコンデンサーに流れる電流成分が著しく低下する。これを解決するには簡単に言うと、n^-層を流れる成分、すなわち電子電流成分を相対的に増やさなければならない。このため図５．３３は幾つかの工夫を加えている。一つは p 領域と電源間に抵抗を入れ、逆に n^+領域は電源に直結している事である。これによって先の順バイアス時の p 領域からのホール注入は低下するが、逆に n^-層から p 領域に注入される電子は直接 n^+領域に到達し、この NPNTr が動作するため、15V 電源からハイサイドゲートドライブ回路に流れる電子電流が大きくなる。さらに p 領域の隣に形成した n+領域からも p 領域直下の隙間を通って流れ、電子電流として寄与する。またハイサイドゲートドライブ回路の電位が 15V より高くなった時の逆流は 15V 電源との間に設けたダイオードで阻止される。

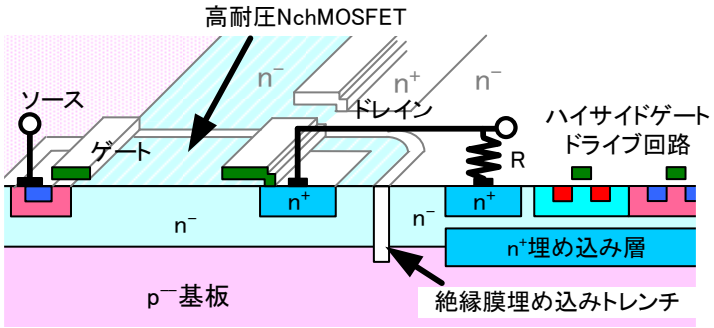


図５．２８　絶縁層埋め込みトレンチによる信号分離

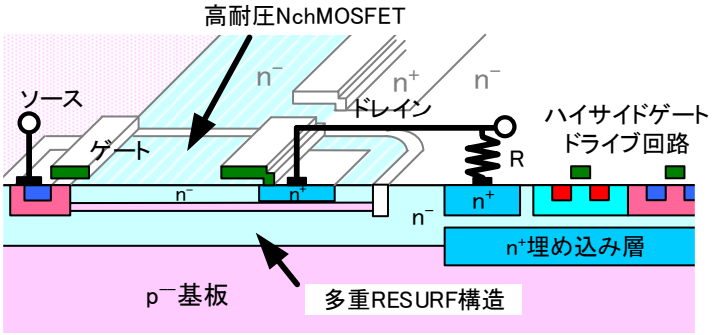


図５．２９　絶縁層埋め込みトレンチによる信号分離の多重 RESURF への適用

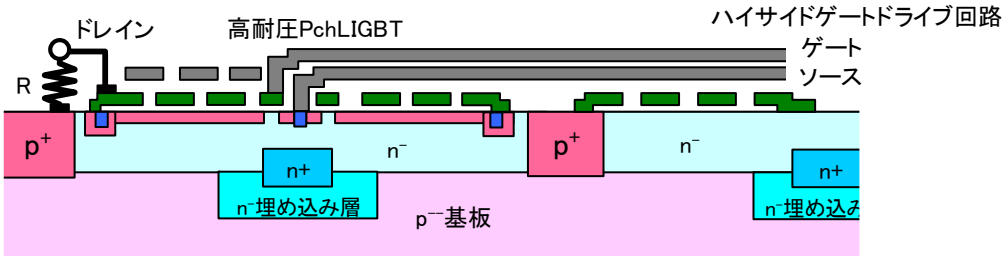


図５．３０　PchLIGBT　断面模式図

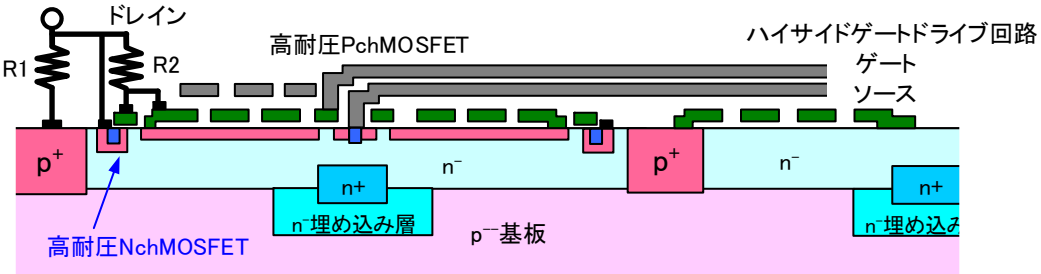


図５．３１　PchMOSFET の出力電圧で NchMOSFET を駆動

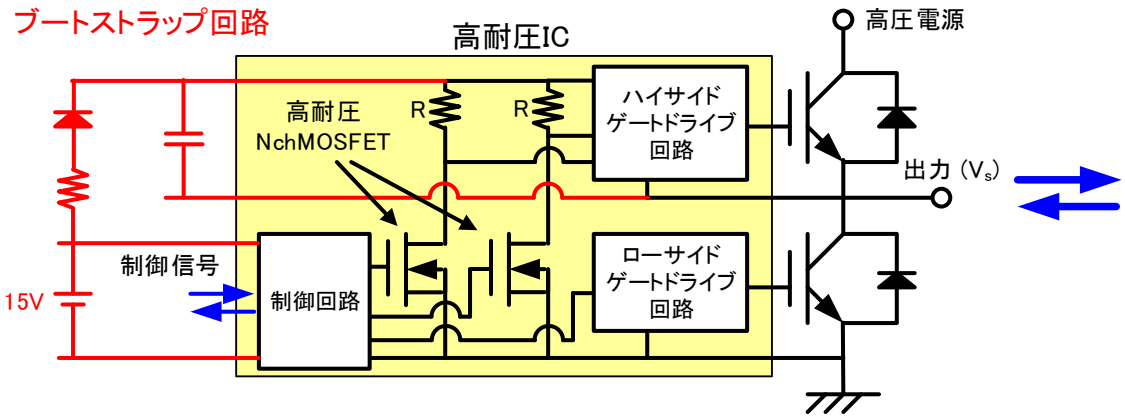


図５．３２　高耐圧 IC によるハーフブリッジの駆動
（図５．２にブートストラップ回路を付記）

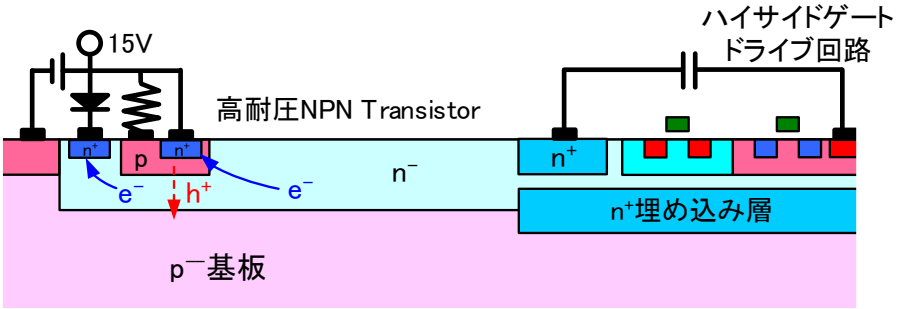


図５．３３　高耐圧 NPN トランジスタ構成によるブートストラップ用ダイオードの断面図

５．７　まとめ

（１）高耐圧 NchMOSFET、ハイサイドゲートドライブ回路の高耐圧分離に RESURF 構造を採用し、その間の配線に MFFP を適用した。

　また、ハイサイドゲートドライブ回路の下に n^-/n^+埋め込み層を形成する事により n+埋め込み層の端部での電界集中の緩和とハイサイドゲートドライブと p--基板間の寄生動作を抑制した。これは高耐圧 NchMOSFET のドレインにも適用されアバランシェ時の耐量も改善した。以上の技術の組み合わせによりプロセスコスト増加を抑えつつ、動作安定性の高い 600V 系高耐圧 IC が実現した。

（２）1200V 系高耐圧 IC の実現に際しては配線電界による絶縁破壊の問題を回避するために新しい構造として分割 RESURF 構造を開発した。本構造は高耐圧 NchMOSFET からの電圧出力をハイサイドゲートドライブ回路の電位と完全に分離する事を最小面積で実現できる。600V 系で開発された MFFP による表面電界安定化と分割 RESURF 構造の組み合わせにより 1200V 系高耐圧 IC を実現した。この構成は 1200V 系を実現しただけでなく、全耐圧を通じて最も優れた技術であるため、後に 600V、1200V 系双方の高耐圧 IC に共通して採用されている。基本特許の成立から 17 年が経過し世界的にも高耐圧 IC の主流技術になりつつあり、社外からもその応用構造が報告されている。

（３）出力端子電圧 Vs をモニターできる構造を提案し動作を実証した。また、ハイサイドゲートドライブ回路からローサイド側制御回路へ信号伝達する高耐圧 PchMOSFET を RESURF 構造そして分割 RESURF 構造に組み込みその動作を実証した。また、ハイサイドゲートドライブ回路の電源に必要となるブートストラップ用ダイオードを RESURF 構造に内蔵する技術を提示した。PchMOSFET はすでに実用化が進められており、それ以外も今後の機能向上に向けての基盤技術となった。

（４）高耐圧 IC を搭載した製品郡として、高耐圧 IC とパワーデバイスを一括モールドし、単独でモータードライブを可能とする超小型のインテリジェントパワーモジュール（パワーデバイスの駆動回路も含んだパワーモジュール）のシリーズを 90 年代から展開し、急速に普及した。現在、全世界における従来（ケースにパワーデバイスと単体の IC 等を収めたもの）のパワーモジュール、インテリジェントパワーモジュールを含めた全体の売り上げにおいて、この高耐圧 IC を搭載した超小型のインテリジェントパワーモジュールが 20%を占めるまでになっており、これらは特に民生から小容量の産業用に適用され、家電製品他の省エネルギーのキーデバイスとして現在も市場規模が拡大しつづけている。

参考文献

1) G. Briining and A. Wegener, “Off-line: Integrated fullbridge driver for induction motors,” Proc.of ISPSD90, pp72-77.

2) J.A.Appels, and H.M.J.Vaes, “High voltage thin layer devices (RESURF devices),” IEDM, Washington, D.C., pp 238-241, 1979.

3) J.A.Appels, M.G.Collet, P.A.H.Hart, H.M.J.Vaes and J.F.C.M.V.Verhoeven "THIN LAYER HIGH VOLTAGE DEVICES," Philips J.Res. Vo1.35 No.1 1980.

4) S. Colak , B. Singer and E. Stupp, “Design of high-density power lateral DMOS transistors,” Proc. Power Electron. Specialists Conf., pp. 164-167, 1980.

5) R. A. Martin, S. A. Buhler, and G. Lao, “850V NMOS Driver with Active Outputs,” IEDM, pp 266-269, 1984.

6) T. Terashima, M. Yoshizawa, M. Fukunaga, and G. Majumdar, “Structure of 600V IC and A New Voltage Sensing Device,” Proc.of ISPSD93, pp224-229.

7) T. Fujihira,Y. Yano, S. Obinata, N. Kumagai, and K. Sakurai, “Self-shielding: New High-Voltage Inter-Connection Technique for HVICS,” Proc.of ISPSD96, pp231-234.

8) N. Ranjan, “High voltage power integrated circuit with level shift operation and without metal crossover,” U.S. Patent 5,801,418, Sep. 1, 1998.

9) T. Terashima, K. Shirnizu, and S. Hine, “A new level-shifting technique by divided RESURF structure,” Proc.of ISPSD97, pp57-60.

10) K. Shimizu, T. Terashima, “The 2nd Generation divided RESURF structure for High Voltage ICs,” Proc.of ISPSD08, pp311-314.

11) S. L. Kim, C. K. Jeon, M. H. Kim, and J. J. Kim, “Realization of Robust 600V High Side Gate Drive IC with a New Isolated Self-Shielding Structure,” Proc.of ISPSD05, pp143-146.

12) J. Wildi, J. P. Walden, A. W. Clock, M. S. Adler, S. Haque-Ahmed, “500V BiMOS technology and its applications,” IEEE Power Electronics Specialists Conference, 1985, pp37-41.

13) Adriaan W. Ludikhuize, “A versatile 250/300 V IC process for analog and switching applications,” IEEE Trans. Electron Devices, Vol. ED-33, pp2008-2015, 1986.

14) Adriaan W. Ludikhuize, “A versatile 700-1200-V IC process for analog and switching applications,” IEEE Trans. Electron Devices, Vol. ED-38, pp 1582 – 1589, 1991.

15) K. Shimizu, “Method of manufacturing semiconductor device having improved RESURF Trench isolation and method of evaluating manufacturing method, “ U.S. Patent 7 439 122, October 21, 2008.

16) T. Terashima, “Semiconductor device,” U.S. Patent 7 595 536, September 29, 2009.

17) T. Terashima, “Semiconductor device with a high breakdown voltage device,” U.S. Patent 7 825 430, November 2, 2010.

18) M. Yoshino and K. Shimizu, “A novel high voltage Pch-MOS with a new drain drift structure for 1200V HVICs,” Proc.of ISPSD08, pp77-80.

19) T. Terashima, J. Yamashita and T. Yamada, “Over 1000V n-ch LDMOSFET and p-ch LIGBT with JI RESURF Structure and Multiple Floating Field Plate,” Proc.of ISPSD05, pp455-459.

20) Kiyoto Watabe, Hajime Akiyama, Tomohide Terashima, Shinji Nobuto, Masanori Fukunaga, and Masao Yamawaki, "A New Phenomenon of P-channel Dual Action Device," Proc. of ISPSD 1998, pp. 363-366.

21) T. Terashima, “Semiconductor device supplying charging current to element to be charged,” U.S. Patent 8 395 231, March 12, 2013.

22) T. Terashima, “Semiconductor device supplying charging current to element to be charged,” U.S. Patent 8,674,471, March 18, 2014.

23) 寺島知秀、山下潤一、山田富久、浅野徳久、「1000V クラスの RESURF nch DMOS/pch IGBT の構造とその電気特性」、EDD-95-71、電子デバイス･半導体電力変換合同研究会、1995 年

24) 清水和宏、寺島知秀、日根史郎、「分割 RESURF による新しいレベルシフト技術」、EDD-96-102、電子デバイス･半導体電力変換合同研究会、1996 年

25) 寺島知秀、招待論文「高耐圧 IC の発展と将来展望」、電子情報通信学会　技術研究報告　信学技報　2007 年

26) 清水和宏、寺島知秀、「第 2 世代分割 RESURF 構造を適用したゲートドライバーIC」、EDD-08-61、電子デバイス･半導体電力変換合同研究会、2008 年

第６章　BiCMOS&DMOS 技術

６．１　はじめに

第５章まででパワーデバイスとゲートドライブ用 IC、あるいはパワーデバイスと高耐圧 IC の組み合わせによる動作を解説した。この組み合わせは民生、産業用の電力変換回路に広く使われており、パワーデバイスとしては第一章の図１．３に示すように一般に耐圧 600V 以上は IGBT、それ以下はパワーMOSFET が使用されている。そして AC アダプターで DC 変換後、DC5V~15V 程度で動作する機器、あるいは自動車における 12V バッテリーで動作する機器に対応する 30V～80V の領域には極めて多くの用途が存在するが、ここまで電圧が下がると図６．１のように、パワーMOSFET とそれを制御する回路全てを単一の IC 上に形成できる BiCMOS&DMOS プロセス技術が急速に発展し普及した [1-3]。

この技術は第一章図１．４に示すように 1980 年代中旬から 5μm ルールレベルで始まり 2010 年ごろには 0.13μm レベルまで微細化が進んだ。これにより CMOS ロジックの性能を大きく向上させた事は言うまでも無く、パワーMOSFET の単位面積当たりのチャンネル幅も大きく向上させ、そのオン抵抗低減に大きな効果があった。BiCMOS&DMOS プロセス技術のベースとなったのは BiCMOS プロセス技術と言われる CMOS と NPNTr、PNPTr を同時に形成する技術である。これは 1980 年代から発達しアナログ/デジタル信号処理、そして当時の CMOS の微細化レベルにおいては BipTr がより高速であったため高速演算処理等に使われていた。このプロセス技術において個々の BipTr を分離する構造がパワー MOSFET の内蔵にほぼ転用できるものであったため、BiCMOS プロセス技術の延長線上でパワー MOSFET をさらに内蔵するようにしたものが BiCMOS&DMOS 技術である。図６．２に BiCMOS&DMOS の各素子構造と分離構造を示す。ここで上段の(a)は BiCMOS プロセス技術で構成できる素子であり、下段の(b)は BiCMOS&DMOS 技術として新たに追加されたパワーMOSFET（DMOS（Double diffused MOSFET)）とそれとペアとなる高耐圧 PchMOSFET である。

上下を見比べると(a)に対して幾つかの拡散層の追加によって(b)が形成できる事が分かる。これらの構造に共通する最も大きな特徴は n^+埋め込み層の存在である。これは、本来は NPNTr を搭載する際にコレクタ抵抗の低減と p^-基板との間の寄生動作防止に必要とされたものであるが、そのままパワーMOSFET のドレインとして使用でき、さらに CMOS 領域下に形成する事で CMOS 回路をグラウンド電位からフローティングさせる事も同時に可能となる。これは高耐圧 IC で説明した図５．４(b)の分離構造と同じであり結局 BiCMOS プロセス技術をベースに高耐圧 IC プロセスも BiCMOS&DMOS プロセスも構築されていると言っ

て良い。また 80 年代中盤から凡そ 5μm ルールで始まった開発は 0.5μm ルールまでは順次微細化された製品に置き換わってきたが、0.5μm BiCMOS&DMOS は 2000 年頃から量産化され 15 年以上経過した現在でも広く使われている。これは 0.5μmBiCMOS&DMOS がこの構成で初めて性能、コスト面でメリットが明確されたものであり、さらに 0.5μm 級独自のメリットが存在するためである。６．２節以降でこの 0.5μmBiCMOS&DMOS のプロセスデバイス開発[4)]について自体のメリットも含め詳細を解説する。

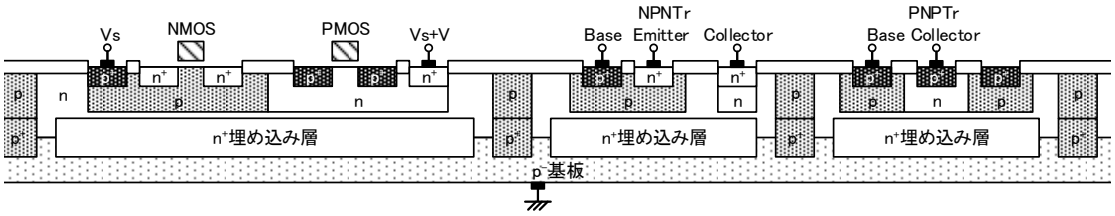


図６．２　BiCMOS プロセス技術で搭載される素子

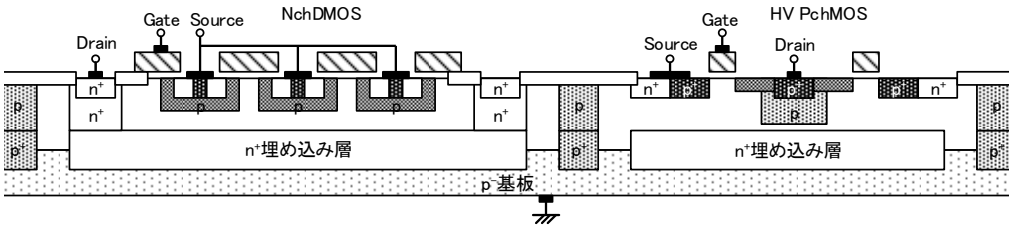


図６．３　BiCMOS&DMOS プロセス技術で追加される素子

６．２　0.5μmBiCMOS&DMOS プロセスのメリット

BiCMOS&DMOS プロセスではデジタル信号処理に用いる CMOS、アナログ信号処理に用いる NPNTr と PNPTr、抵抗、ツェナーダイオード、大電力出力に用いる高耐圧 NchMOS/PchMOS（Nch は DMOS が一般的に使われる）を搭載する。このように多くの素子を搭載する上で最も重要な事はこれらの素子を最小のプロセス工程で実現する事になる。

これを言い換えると素子を構成する拡散層を可能な限り共用する事で最大の搭載素子バリエーションを得なければならない。まず初めに 0.5μm 級のメリットについて説明する。

5μm 級では NchDMOS、NPNTr、NMOS の作り分けは図６．４のとおりであり、NPNTr のベース領域と DMOS のバックゲートが同一の p 拡散領域で構成されている。

BiCMOS＆DMOS プロセスの実現において一番制約となるのは NPNTr の性能を確保する事である。内蔵される NPNTr の hFE はアナログ回路を構成するには 50～100 前後の値が理想であるが、その一方 NPNTr の耐圧（BV_{CEO}）は電流増幅現象の影響で通常の接合耐圧の約 $1/hFE^{1/4}$ 倍に低下する。BiCMOS&DMOS では内蔵素子の耐圧と駆動する電圧が素子間で信号処理できるよう相互に関連している。DMOS のゲート駆動は 12V 電圧であるが、NPNTr がゲート駆動のための信号処理に使われている関係でその 12V 系の耐圧が要求される。このような理由からベース領域を構成する p 領域の濃度と厚みは一定の範囲内に制限される。一方、CMOS、高耐圧 Nch/PchMOSFET は可能な限り微細化することで性能が劇的に向上するため、MOSFET 素子は微細化に連動してゲート酸化膜を薄膜化し、ここで Vth を保つためにバックゲート側の濃度を上げていかざるを得ない。図６．５はゲート酸化膜を薄くする時、Vth を同一に保つための p 領域の表面濃度と、これを NPNTr のベースとして使用したときの hFE の関係を示しており、図６．６は hFE と NPNT r の耐圧（BV_{CEO}）の関係を示す。5μm 級ではゲート酸化膜膜厚は凡そ 100nm レベルであるが、0.5μm 級では 14nm 程度まで低下する。この二つの図から 0.5μmBiCMOS&DMOS では、NPNTr のベース領域として NMOS のバックゲート濃度が丁度適合する領域に入り、図６．７のような構成になる。

よって、これ以降の微細化プロセスでは、NMOS のバックゲート濃度はより高くなり、hFE がさらに低下するため、NPNTr のベース領域に適合する p 拡散領域は別途設けなければならない。また、0.5μm 級は 5VCMOS を実現する最も微細化されたプロセスであり、これ以降の微細化では 3.3V など CMOS の電源電圧を下げざるを得ない。電力変換回路では耐ノイズ性の確保もありデジタル信号処理において 5V を使う領域も多い。さらに、アナログ信号処理を行う NPNTr、PNPTr は上記のとおり微細化の恩恵は限定的であり、アナログ回路の比率が多

い IC では微細化によるメリットは大幅に低下する。

このような理由で、BiCMOS&DMOS プロセスとして 0.5μm 級以前は積極的なメリットが無く微細化と共に淘汰されていったが、0.5μmBiCMOS&DMOS は上記の通り合理的なプロセス･デバイスフローが採用できるため、特にアナログ信号処理の多い用途において多くの製品開発に使われており、今も新たな IC 開発に利用されている。そして 0.5μm 級以降はデジタル信号処理の比率に応じた使い分けとなっている。このような経緯については図１．４の BiCMOS&DMOS 欄にも整理して記載した。

次節以降でこの 0.5μmBiCMOS&DMOS のデバイス･プロセス技術について解説する。

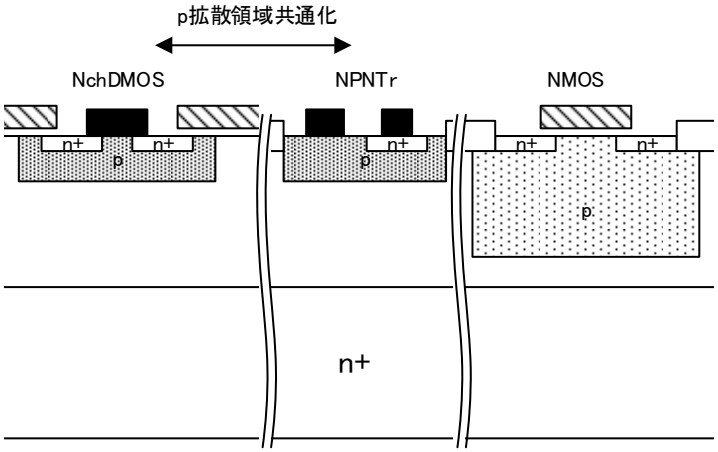


図６．４　5μmBiCMOS＆DMOS における p 拡散層共通化

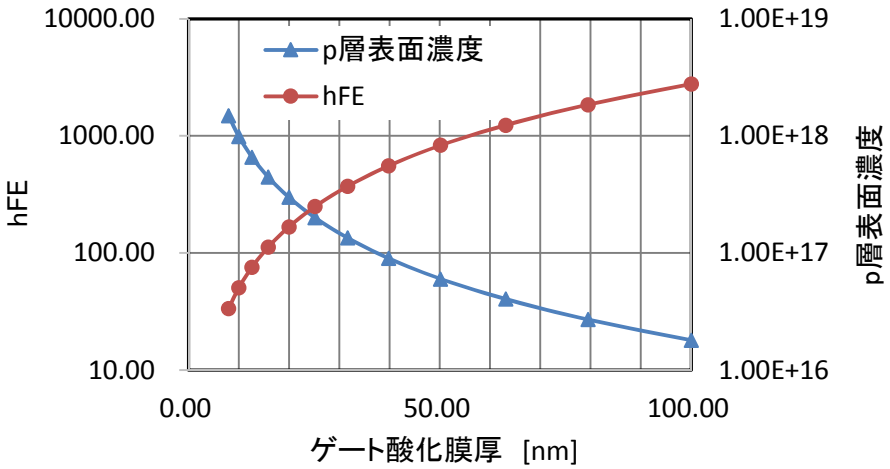


図６．５　ゲート酸化膜厚と反転電圧（Vth ）=1V を満たす p 層表面濃度及びその p 層をベースとする場合の hFE

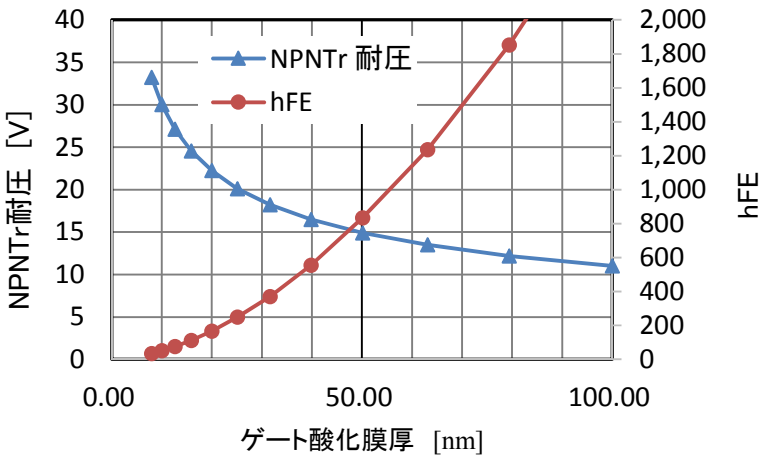


図６．６　図６．５の hFE と NPNTr の耐圧の関係

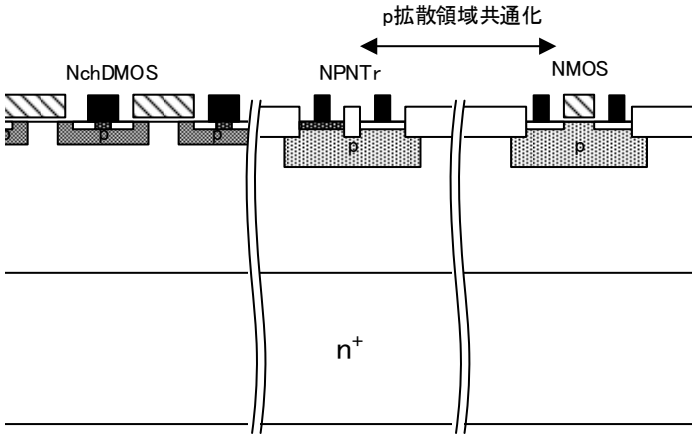


図６．７　0.5μmBiCMOS＆DMOS における p 拡散層共通化

６．３　0.5μmBiCMOS&DMOS プロセスの素子構成

図６．８に BiCMOS&DMOS を使った IC の典型的な構成を示す。これは図４．１で説明した回路構成をシングルチップ内で全て実現出来る事を意味しており、これが最も大きな特徴であり、メリットである。ただし、出力用電源の電圧は IC 上に耐圧保持領域も構成する関係で、最大でも通常 DC100V 弱程度となる。しかしながらこの領域には AC100V を AC/DC 変換して使われる様々な民生製品、そして自動車におけるエアコン、パワーウィンドウ他多数のモーターで利用されている電圧領域が入り、その市場規模は非常に大きい。

図６．９に 0.5μmBiCMOS&DMOS プロセスに搭載される各素子の主な構造的特徴を示す。

まず、MOSFET 素子では、ゲート電圧は 5V 系と 12V 系があり、ぞれぞれ絶縁耐圧から 14nm、35nm 厚のゲート酸化膜を用意している。一般に 5V 系 MOSFET はしきい値電圧（Vth ）を 0.75V～1V に制御する。これは電源電圧の 5V で完全にオン状態（強反転状態）になる必要があり、そのためにはしきい値電圧（Vth）は凡そ電源電圧の 1/5 以下に押さえなければならないという制約で決まる。

このため、基本的に 14nm のゲート酸化膜で|Vth|=0.75V～1V になるよう Nch、Pch ともに表面濃度を制御する。そしてそのままゲートを 35nm に厚くして、厚みの増加分 Vth が上昇したものを 12V 系としている。

Vth は以下(6.1)のとおりフェルミポテンシャル（φ_{Fp}）とフラットバンド電圧（φ_{FB}）の影響を受けるが、Nch の場合は両者の影響が概ね相殺され、主としてゲート酸化膜の容量 C_o の影響を受け、凡そ酸化膜厚み比率で Vth が凡そ 2V に上昇する。一方 Pch の場合は φ_{FB} が正負逆となり影響の大きな状態で Vth が決まっているため、酸化膜を厚くした時の Vth 低下はかなり小さく-1V より少し低い程度に留まる。

$$Vth=Q/C_0+2\varphi_{Fp}+\varphi_{FB} \qquad (6.1)$$

ここで 12V 系の必要性であるが、これは出力段に使用される MOSFET は典型的にはモーター等、L 負荷をドライブする事が多く、その場合逆起電力その他により、ゲートソース間電位差に電圧ノイズが入る。この電圧ノイズによる誤作動に対してマージンが必要となるためである。特に問題となるのは図６．８のハイサイド側の DMOS である。こちらはソース電位自体がスイッチングと共に上下するためゲートに印加する相対電圧に電圧ノイズが乗りやすい。12V 系において Pch の Vth はあまり上昇しないが、出力部は低オン抵抗が最も重要であり PchMOSFET はまず使われない事、仮にハイサイド側に使われる場合は、高圧電源側がソース電位として基準になるため、いずれにしても問題にはならな

い。

次に、様々な耐圧バリエーションについて説明する。まず 5V、12V は先のゲート電圧に対応して必要となる素子耐圧であり、この電圧でほぼ全てのアナログ/デジタル信号処理を行う。次に 30V～90V の領域であるが、これらは出力用トランジスタ、及び出力用トランジスタに信号を伝達するために用意される素子郡である。このような広範な耐圧範囲を実現するには、pn 接合耐圧がこの範囲をカバーしなければならない。

これらを構造と関連付けて整理したものを図６．１０に示す。

各欄に記載されているものは耐圧を保持する pn 接合に使われている拡散領域を示している。これらを見ると 5VCMOS のソースドレインを形成している P+ 領域、DMOS のバックゲートを形成している Pbody、5VNMOS のバックゲートを形成している PW の順に拡散がより深く、不純物濃度がより低くなっており、pn 接合部の耐圧も上昇する。

全体を俯瞰すると NchDMOS のための Pbody 以外は全て 5VCMOS に必要な拡散領域である。逆に言うと、Pbody の追加のみで少なくとも全ての耐圧バリエーションを実現し、計 30 種類の素子バリエーションを実現している。

次節より、それぞれの素子の開発の詳細について解説する。

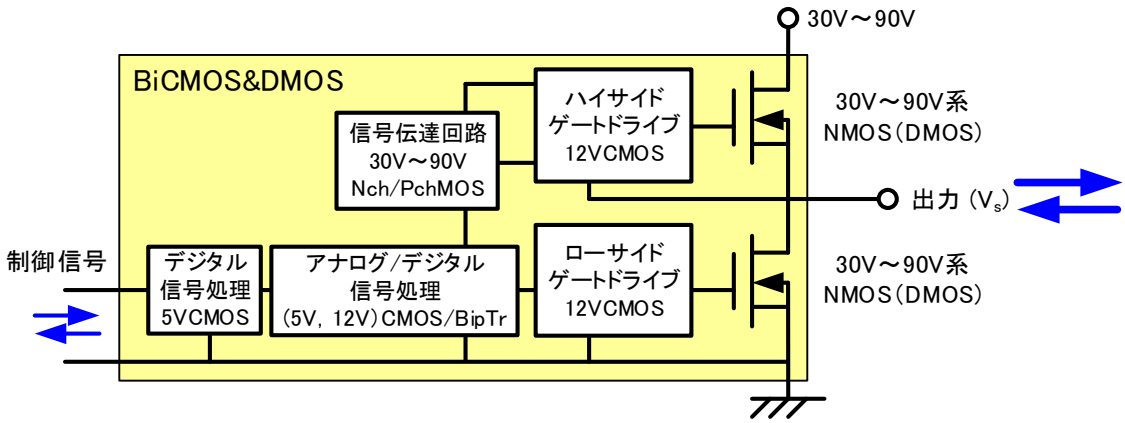


図６．８　BiCMOS＆DMOS プロセスによる典型的な回路構成例

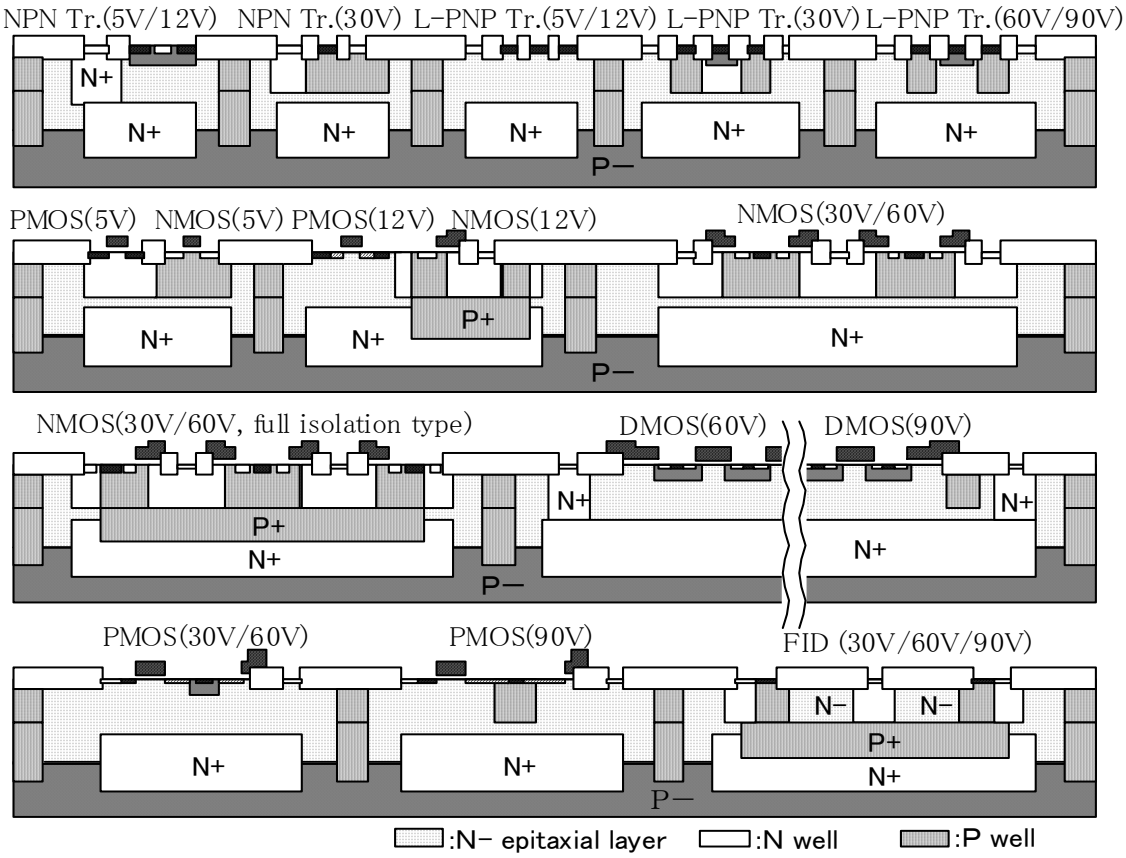


図６．９　0.5μmBiCMOS&DMOS プロセスの主要搭載素子

	NchMOS	PchMOS	NchMOS full isolation type	NchDMOS	NchDMOS full isolation type	FID	NPNTr	L-PNPTr
90V		PW		PW	Pbody*	PW*		PW
60V	PW	Pbody	PW*	Pbody	Pbody*	PW*		PW
30V	PW/NW	P+	PW*	Pbody	Pbody*	PW*	PW	PW/NW
12V	PW*/NW	P+				PW*/NW	PW, Pbody	P+
5V	P+/NW	P+/NW				PW*/NW	PW, Pbody	P+

図６．１０　0.5μmBiCMOS&DMOS プロセス搭載素子の耐圧保持に関わる p 型拡散領域

N+/P+：5VCMOS のソースドレイン領域

NW/PW：5VCMOS のバックゲート領域

Pbody：NchDMOS のバックゲート領域

PW*、Pbody*は素子下部に P+埋め込みを形成、RESURF 効果を利用

６．４　NchDMOS

NchDMOS（DMOS）は Double diffused MOS の略であり、ゲートを形成するポリシリコンエッジから深い p 拡散、浅い n+拡散を連続して行い、拡散長の違いによって自動的に形成されたチャンネルを利用するものである。これは 1969 年に電総研の垂井が CMOS の短チャネル化技術として発明したものであるが、パワーデバイスとして極めてマッチングの良い技術であったためパワーデバイスの開発が始まった 1970 年代初めから使われている。今回開発した DMOS の断面概略図とその SCM（Scanning Capacitance Microscopy）像を図６．１１に示す。

DMOS は縦方向に電流を流すため DMOS 構造自体の密度を上げる事、DMOS 構造間の隙間の JFET 抵抗削減、チャンネル長削減がその低抵抗化に最も有効である。そのため当初 p 拡散側が深さ 5μm 程度、n+拡散が 1μm 程度であり、DMOS セルピッチも 30μm ほどもあったが、0.5μmBiCMOS&DMOS プロセスに搭載される 2000 年頃には p 拡散が 0.8μm、n+拡散が 0.1μm まで浅くなり、DMOS セルピッチは 8.2μm と大幅にシュリンクされている。これによりオン抵抗は 1 桁を優に超える低減が達成され、60V 系で 170 $m\Omega mm^2$ 、90V 系で 230 $m\Omega mm^2$ を達成した。この 0.5μmBiCMOS&DMOS プロセスに搭載されている DMOS の p 拡散はボロン注入後、酸化膜のリフローに必要な熱処理だけで形成している。また、熱処理が不足するとボロンの横方向拡散が不足し、チャンネルが形成出来なくなるが、図６．１１のように斜め注入によりチャンネル長を確保し、通常の注入で縦方向の耐圧を確保する技術を採用しこの問題を解決した。DMOS 断面の SCM 像からチャンネル長を確保した上で p 拡散深さが 1μm 以下に抑えられている事がわかる。

次に DMOS の耐圧であるが、0.5μmBiCMOS&DMOS プロセスの DMOS では DMOS セルが繰り返し形成されている領域の最も外側に耐圧保持のために形成された 2 段ゲート（ゲート端が厚いフィールド酸化膜に乗り上げている）があり、この段差部で電界集中し全体の耐圧が決まっている。よってこの段差部を PW でカバーすることにより耐圧を決定する部分が PW のコーナーに移動し、耐圧が上昇、90V 系の素子が得られる。図６．１２に構造と耐圧の測定結果をまとめる。図６．１３に 90V 系 DMOS の電流電圧特性を示す。この素子はゲート電圧 12V 駆動であるから最大ゲート電圧時まで耐圧 90V を満足し、電流飽和特性を維持している事が分かる。DMOS は縦方向に電流が流れるが、深い n+拡散領域を使って電流をとりだすため、ドレイン電極間の DMOS セル数を最もオン抵抗が低くなるよう最適化する必要がある。図６．１４は 60V 系での最適化結果と、等価回路から得られる数値とのフィッティングによって DMOS セル部分の実効オン抵抗 Rc、最外周から横方向に流れる成分の抵抗 Rlat それぞれを求めた結果を示しており、Rc=130 $m\Omega mm^2$、Rlat=30kΩの結果を得た。

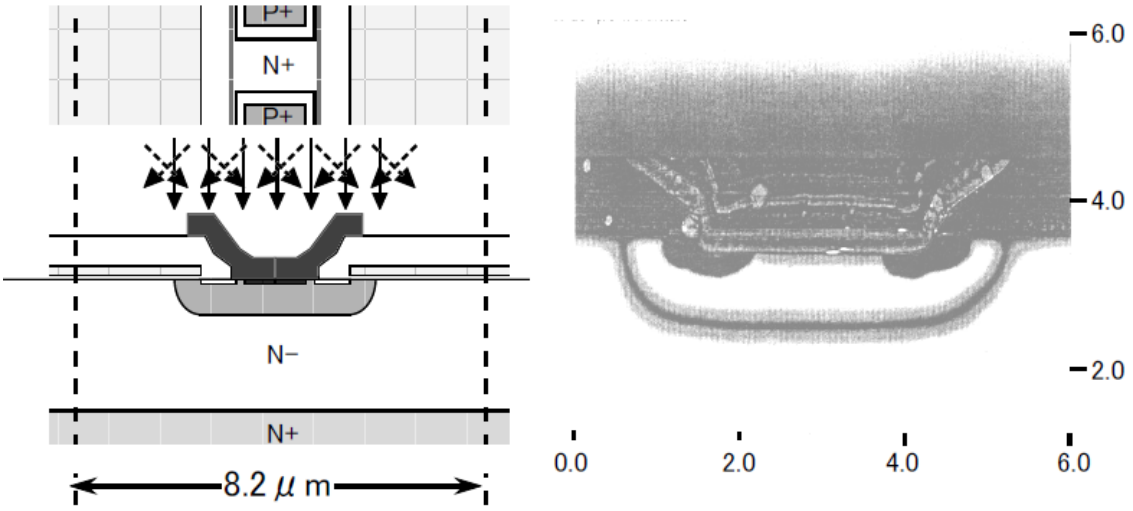


図６．１１　DMOS ユニットセルの断面模式図と SCM 像(単位 μm)

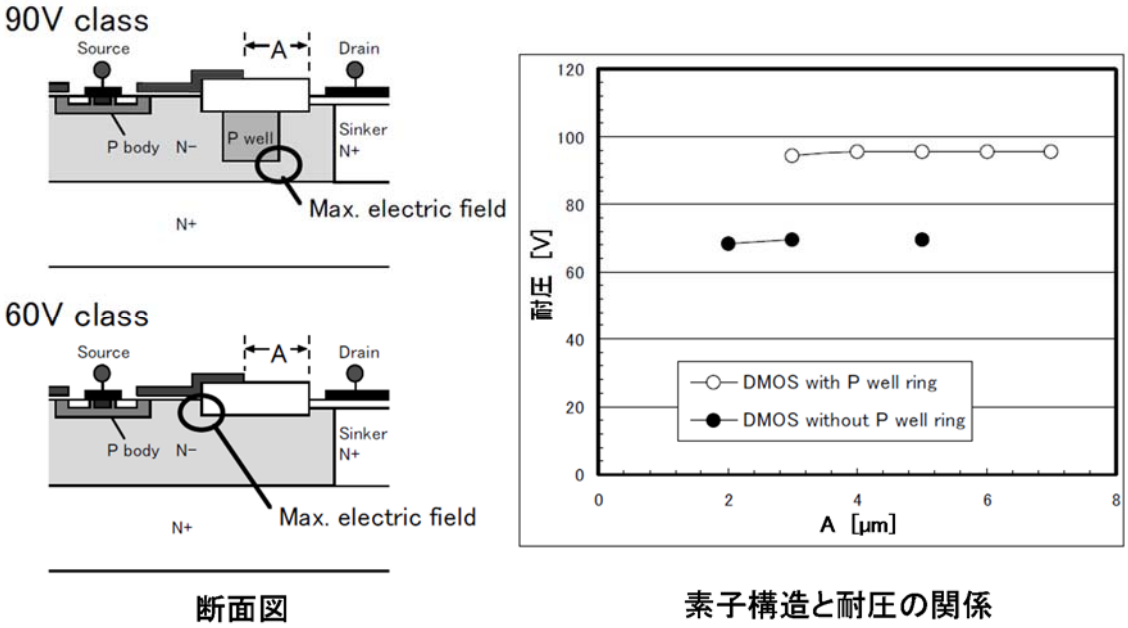


図６．１２　DMOS 終端構造の変更による高耐圧化

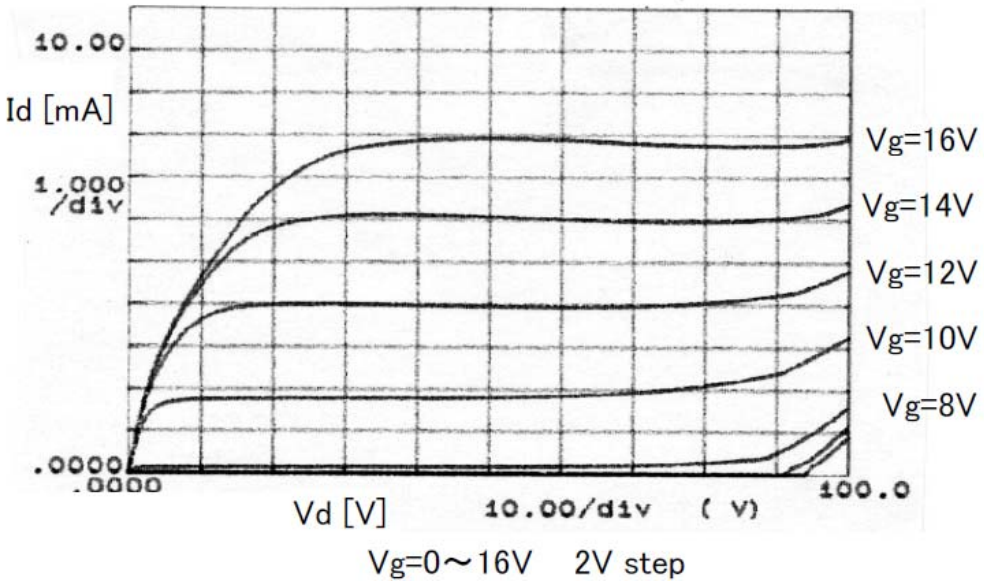


図６．１３　90V 系 DMOS の電流電圧特性

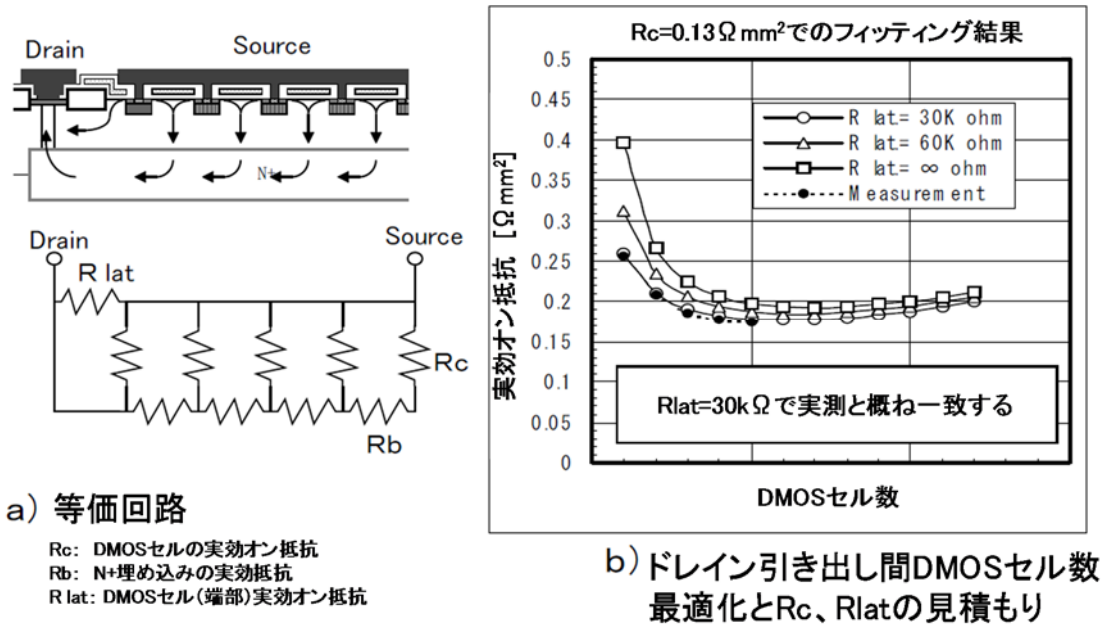


図６．１４　ドレイン引き出し間セル数の最適化と等価回路による DMOS セル部オン抵抗の見積もり

６．５　Full isolation 構造

図６．８の出力用 MOSFET は電力変換に使われる場合 L 負荷で動作する事が多い。この場合図６．１５のようにローサイド側の MOSFET がオフするタイミングで電流がハイサイド側の寄生 Diode を順バイアスする形で電源に流れ込む。この時、Diode 両端の電位はほぼ電源に近い高電圧となるため、Diode からグラウンド電位に向かってリーク電流が流れると IV 積として非常に大きな電力ロスが発生する。例えば 10A が電源に流れ込んでいる時にその 1%がグラウンド電位にリークした場合、電源電圧が 90V であれば約 9W もの発熱となる。したがって、主電流に対する漏れ電流の比は 1%のさらに 2 桁は低い事が望ましい。

通常の構造では図６．１６のように N+埋め込み領域等でホールをブロックして対応するが、1%程度のホールは深い N+拡散領域との隙間から基板に漏れてしまう。これを大幅に削減する構造として Full isolation 構造を新たに開発した。

図６．１７にその構造を適用した DMOS（full isolation type）を示す。N+埋め込み上で P+埋め込みを重ね、両者をショートした上でさらにその内側に N+電極を用いた構成になっている。これによって、寄生 Diode の順バイアス動作時には、ホールはウェハの表面に向かう流れ、電子が P+埋め込みに向かう流れとなり従来と逆になる。したがって仮に P+埋め込みと深い P+拡散領域の隙間から電子が抜けていっても N+埋め込みに流れ込むだけであり基板に向かう事は無い。

この構造は pn 接合部の順バイアス動作における基板リークを防止する基本的な技術であるため、回路上の必要性に対応し図６．９、図６．１０に示すように、MOSFET には full isolation type、Diode では FID（Full Isolation Diode）として構造開発した。FID のリーク電流抑制の性能を図６．１８に示す。順バイアス 1.35V まで約 7 桁のリーク抑制が達成されている。

また、Full isolation 構造では P+埋め込み層から表面に向かって伸びる空乏層によって、表面電界を緩和する効果（RESURF 効果）があり、これによって高耐圧化が可能である。FID では図６．１９のとおり、120V に迫る耐圧を得られている。また、図６．２０に DMOS（Full isolation type）のフィールドプレート部の寸法と耐圧の関係を示す。フィールドプレート部の最適化によって耐圧を約 90V まで向上させる事が可能であり、また 0.5μmBiCMOS&DMOS プロセスでは全搭載素子の中で 60V 系付近で最も低オン抵抗が低い素子となる。

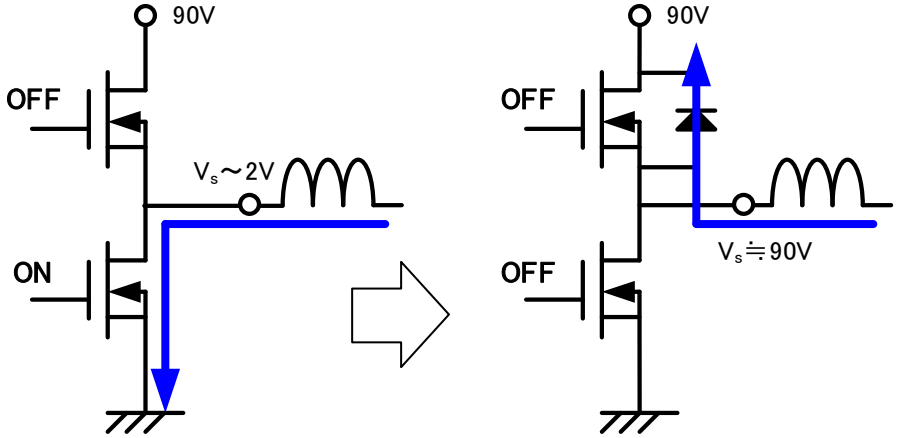


図６．１５　ローサイド側 DMOS のターンオフにおける寄生 Diode 動作

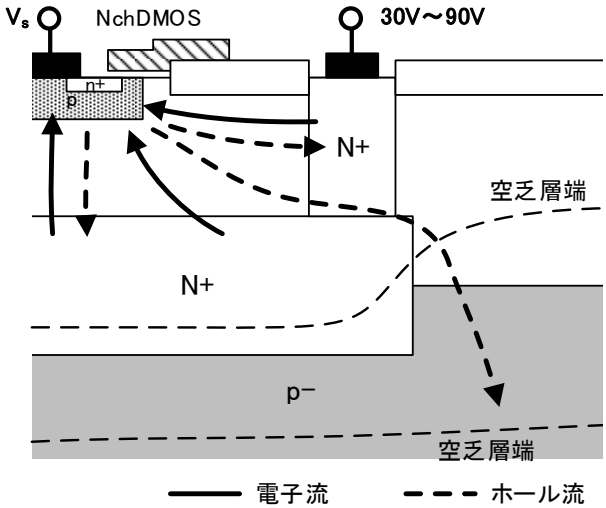


図６．１６　DMOS 寄生 Diode の順バイアス動作の基板リーク電流

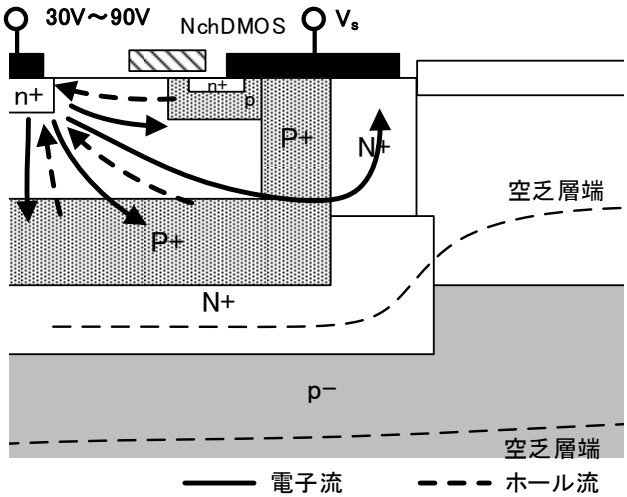


図６．１７　DMOS 寄生 Diode の順バイアス動作の基板リーク電流

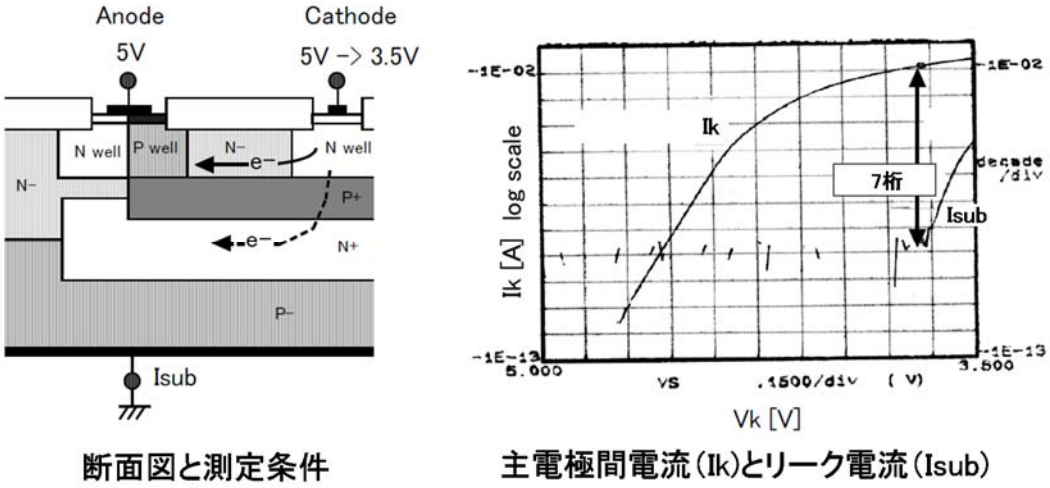


図６．１８　FID の順バイアス特性

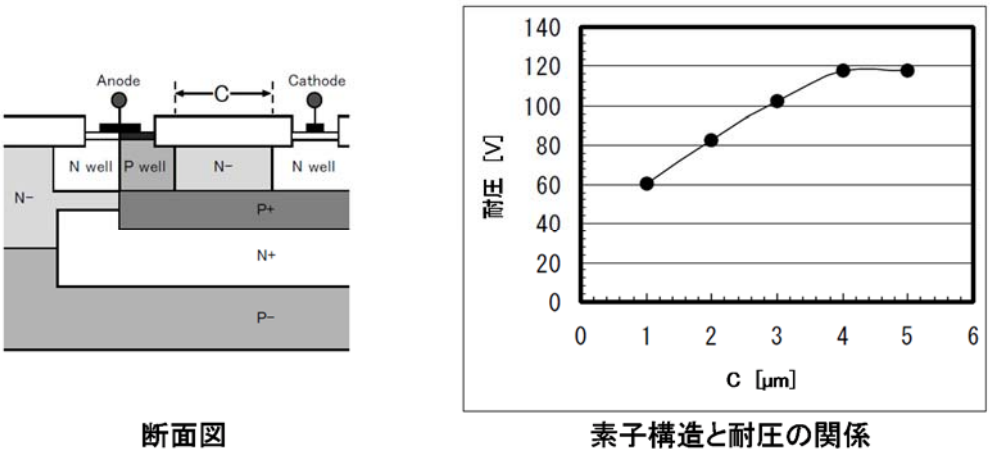


図６．１９　FID における距離 C と耐圧の関係

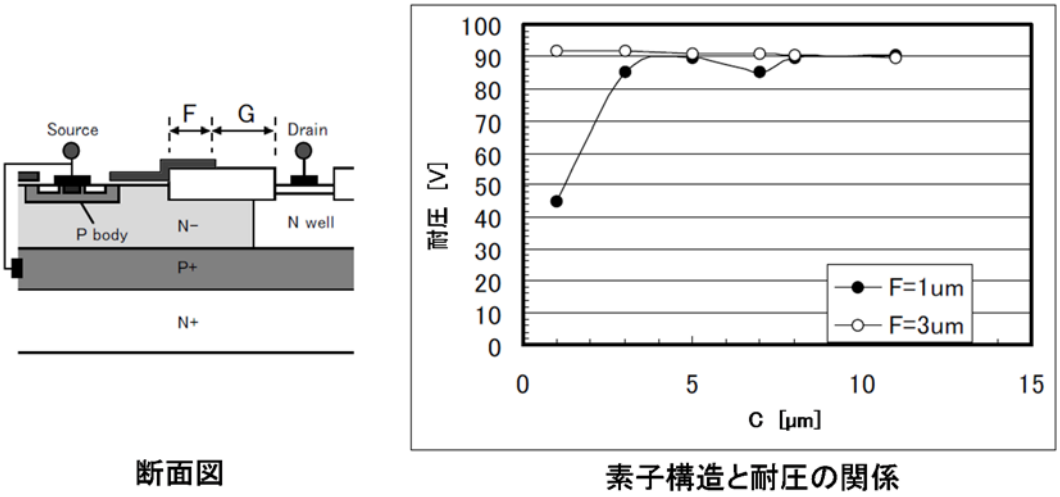


図６．２０　DMOS（full isolation type）のフィールドプレート構造の変更による高耐圧化

６．６　HV-NMOS

MOSFET を高耐圧化する方法として前節の DMOS 以外に CMOS のドレイン側を N+拡散領域から NW 層もしくは N-層に変更して電界緩和する方法がある。

0.5μmBiCMOS&DMOS プロセスでは 30V 系において最も低オン抵抗の素子となり、耐圧はこの方法で 60V 系まで実現可能である。また、前述の Full isolation 構造を HV-NMOS にも適用可能であり、RESURF 効果により図６．２１に示すように通常の構造よりもより高い耐圧が得られ、60V 系において 0.5μmBiCMOS&DMOS プロセスの中で最もオン抵抗の低い素子となる。また、DMOS はチャンネル長は固定であるが、この素子は PW とゲートの重ね合わせでゲート長を変えることが可能であり、カレントミラー回路等、飽和領域での定電流特性の必要な場合にもチャンネル長を変えて対応する事が出来る。

ただし、RESURF 効果を利用した場合、耐圧に達してアバランシェした場合、アバランシェによって流れる電子電流の電荷によって耐圧が低下する方向となる。一般的に出力トランジスタにはアバランシェ時の耐量が要求されるため、その場合は DMOS を使うべきである。いずれにしても、60V 系では特性の優先度に応じて DMOS と HV-NMOS を使い分ける事が出来る。

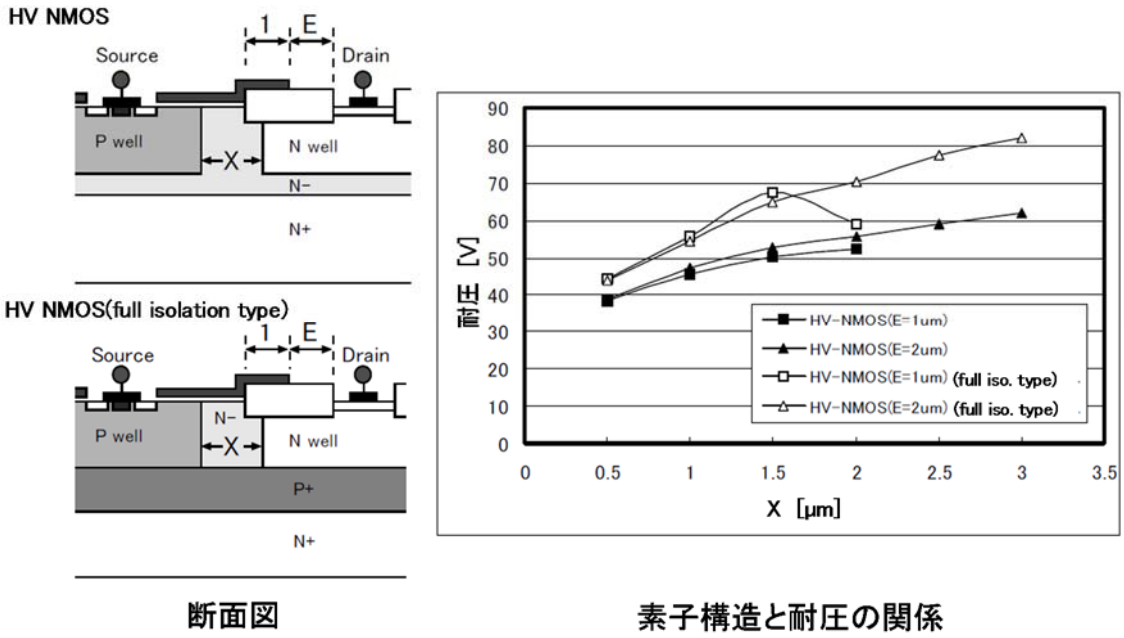


図６．２１　HV-NMOS の通常のものと full isolation type における構造と耐圧の関係

６．７　HV-PMOS

5VPMOS は NW とその内部に形成した P＋拡散領域による pn 接合で実現できるが、12V 系以上の耐圧を得るには NW は濃度が高すぎる事と、ドレインとゲート間の電界緩和のためにドレイン側 p 拡散領域が空乏化しなければならない。このため 12V 系以上ではドレインに P-LDD (Lightly Doped Drain)拡散を新たに導入し、バックゲート領域は N-エピ領域とした。12V 系まではドレイン拡散を P+ で対応し、それ以上は Pbody で 30V 系、PW で 60V 系、90V 系と順に深い拡散を採用し高耐圧化を可能とした。図６．２１はそれぞれの構造と耐圧の関係をまとめており、図６．２２に 90VHV-PMOS の電流電圧波形を示す。

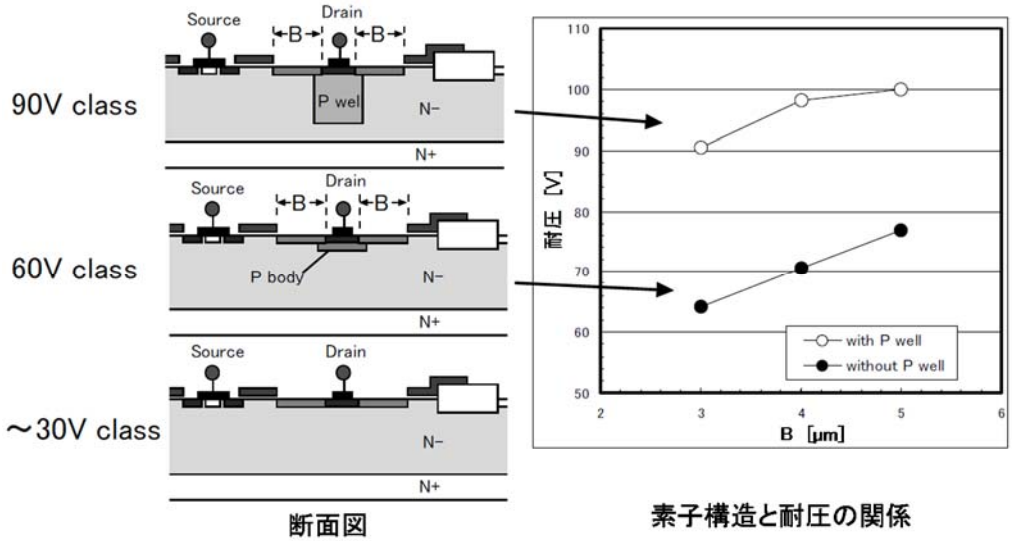


図６．２１　HV-PMOS の構造と耐圧の関係

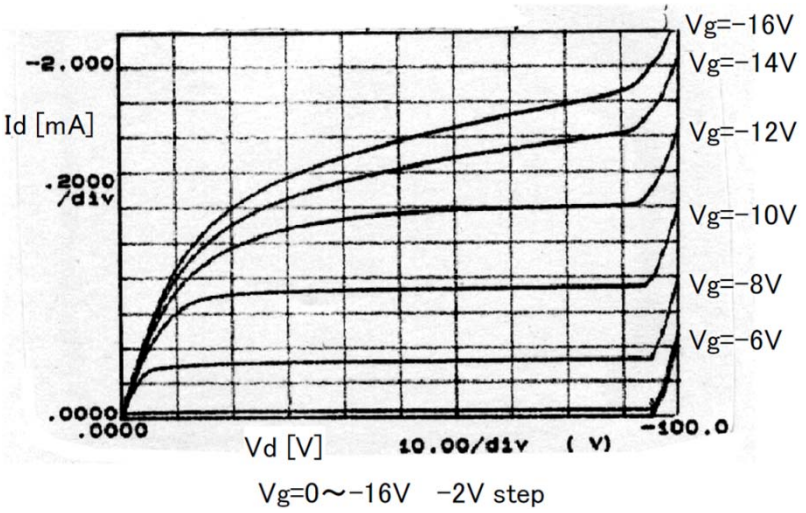


図６．２２　90V HV-PMOS の電流電圧波形

６．８　Field NMOS/Field PMOS

ここまで 0.5μmBiCMOS&DMOS には 5V から 90V までの様々な耐圧の素子が内蔵できることを示した。ゲート酸化膜の耐電圧は 12V 級までのため、図６．２３のように出力用の大面積の NMOS のペアを前段の 12VCMOS で直接駆動できる。しかし、それ以上は図６．８のようにハイサイド側出力トランジスタを駆動するためのゲート駆動回路が別途必要になる。出力が大電流の数相分であればゲート駆動回路をそれぞれ配置する事は問題とならないが、例えばディスプレイドライバーのような小電流多出力の用途ではゲートドライブ回路は可能な限りコンパクトに実現しなければならない。ここで、ゲート自体に電源電圧、例えば 60V を印加できれば図６．２４のラッチ回路が実現できる。そしてこの回路構成を実現するために、ゲート酸化膜を CMOS 素子間の表面反転防止のために形成しているフィールド酸化膜としたものが Field PMOS である[5)]。図６．２５に Field PMOS の電流電圧特性を示す。ドレイン電圧、ゲート電圧それぞれ -60V まで標準的な MOSFET の波形を保持している。

同様にフィールド酸化膜をゲートとした NchMOS（Field NMOS）は図６．２６の構成で実現できる。またこの素子の特性を図６．２７に示す。

この素子の主な用途としては電圧検出が考えられる。例えば図６．２８の構成をとると出力端子 Vs の電位を Field NMOS のドレイン電流で検出する事が出来る。

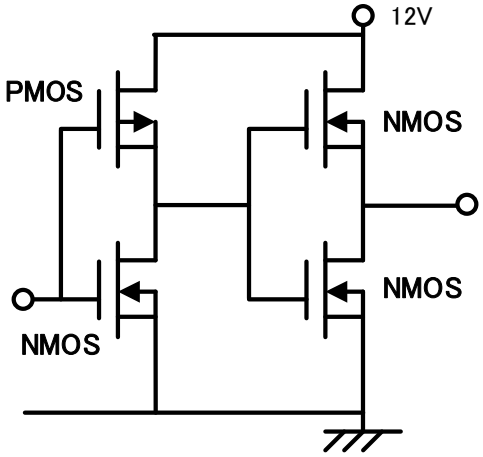


図６．２３　12V 電源での出力回路構成例

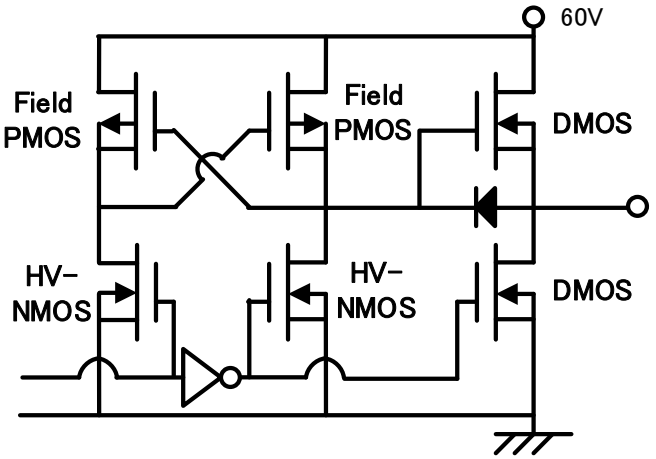


図６．２４　60V 電源での Field PMOS を使った高耐圧ラッチ回路構成例

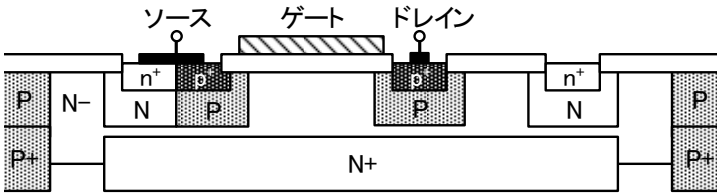


図６．２５　60VField PMOS の構造

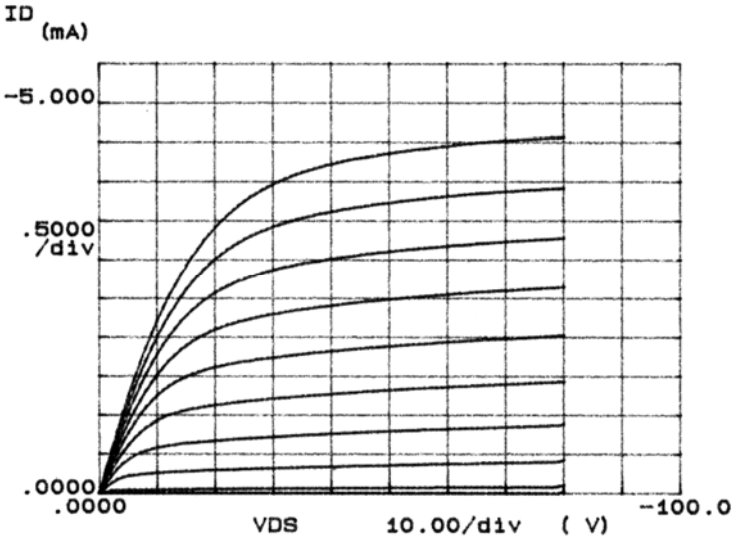


図６．２６　60VField PMOS の電流電圧特性（Vg=-6V～-60V）

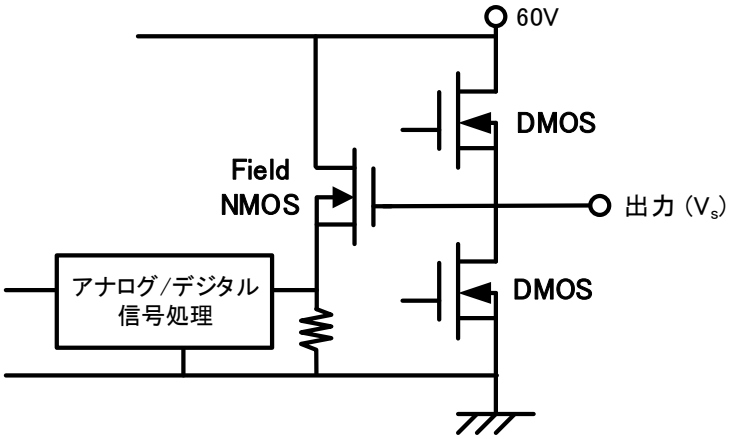


図６．２７　60VField NMOS による電圧検出回路

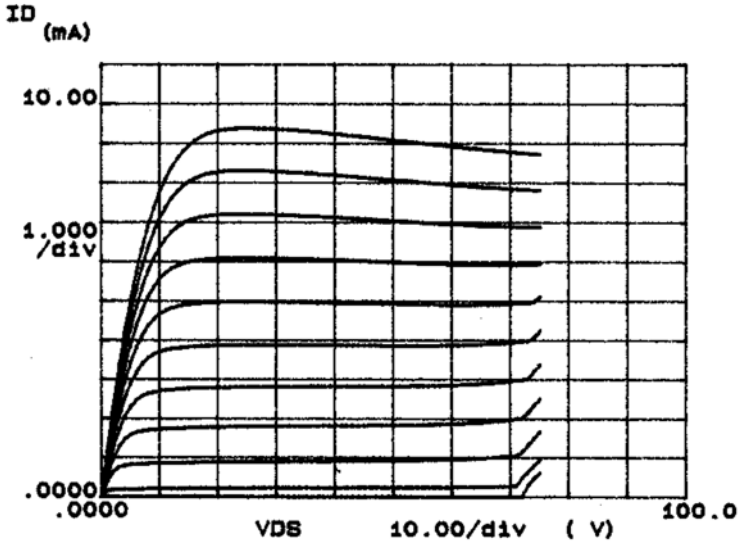


図６．２８　60VField NMOS の電流電圧特性（Vg=0V～60V）

６．９　まとめ

（１）0.5μmBiCMOS&DMOS プロセス開発において、P+領域、Pbody、PW の使い分けによって 5V 系から 90V 系の NchMOSFET 素子の内蔵を実現した。ここでチャンネル形成方法として PW の表面をチャンネル領域とした NMOS とゲート端からの斜め注入と縦方向注入によってチャンネル領域を形成した DMOS を用意した。また、両者それぞれに対し、基板に向かって流れるリーク電流を 7 桁抑制した Full isolation 構造を適用した full isolation type も搭載した。NchMOSFET をまとめると、図６．２９のように耐圧領域に応じて最もオン抵抗の低い構造を使い分ける事で優れた性能を利用する事が可能となった。

（２）PchMOSFET もドレイン部に P+領域、Pbody、PW それぞれと P-LDD の組み合わせにより、Nch と同じく 5V から 90V までの耐圧バリエーションを実現した。ダイオードに関しても前述の Full isolation 構造によるダイオード（FID）で 90V 系まで実現した。また、Field 酸化膜をゲートとしてゲート電圧±60V で動作できる Field NMOS と Field PMOS を開発しこれらはそれぞれ電圧センス素子、高耐圧ラッチ回路に活用できる。

（３）今回開発した 0.5μmBiCMOS&DMOS プロセスは 30 種類の素子搭載を実現したため制御信号を受けダイレクトにモーター、アクチュエーター等を駆動する様々なパワーIC が実現される。特に本開発の 80V 系を最大耐圧としたバリエーションでは 2000 年頃からモータードライブ、アクチュエータードライブ用他で用途で広く IC 品種が開発され、現在も新製品開発が活発に進められている。

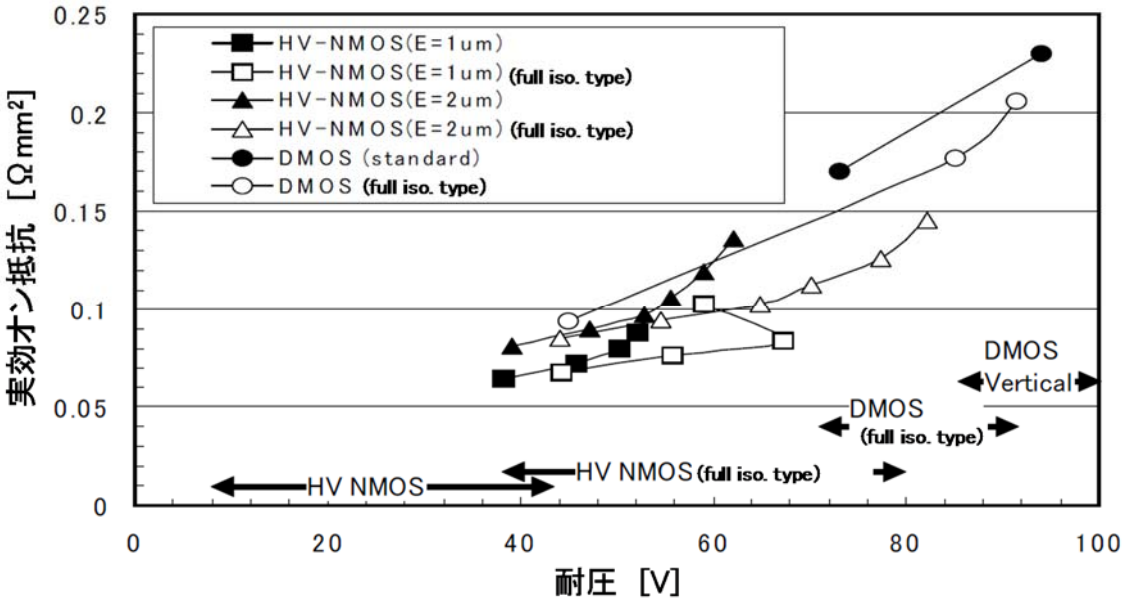


図６．２８　電圧領域と最適素子（最も実効オン抵抗が低い）の関係

参考文献

1) C.Contiero, P.Galbiati, M.Palmieri, L.Vecchi, "LDMOS IMPLEMENTATION BY LARGE TILT IMPLANT IN 0.6μm BCD5 PROCESS, FLASH MEMORY COMPATIBLE", Proc. ISPSD1996, pp75-78.

2) A. Nezar, A.W.Ludikhuize, R.Brock, N.Nowlin, "A SUBMICRON Bi-CMOS-DMOS PROCESS FOR 20-30 AND 50V APPLICATIONS", Proc. ISPSD1997, pp333-336.

3) M.S.Shekar, M. Cornell, R.K.Williams, M. Darwish, "Optimizing 60-V Integrated Free-Wheeling Diode for Automotive 0.8μm Bi-CMOS-DMOS Technology", Proc. ISPSD1998, pp69-72.

4) Tomohide Terashima, Fumitoshi Yamamoto, and Kenichi Hatasako, "Multi-voltage device integration technique for 0.5 μm BiCMOS & DMOS process," Proc. of ISPSD2000, pp331-334.

5) Tomohide Terashima, Fumitoshi Yamamoto, Kenichi Hatasako, and Shiro Hine, "60V Field NMOS and PMOS transistors for the multi-voltage system integration," Proc. of ISPSD2001, pp259-262.

第７章　結論

本論文は、電力変換技術における最も典型的な回路であるブリッジ構成をとったパワーデバイスについて、その全体動作、パワーデバイス自体の動作の物理的な解析及び性能限界､パワーデバイスを駆動するための高耐圧 IC プロセス･デバイス技術、そして電源電圧が凡そ 80V 以下の領域において上記ブリッジ構成とパワーデバイス駆動を 1 チップ上に集積した BiCMOS&DMOS のプロセス、デバイス技術が非常にとそれによって実現される搭載素子それぞれの構造及び性能について報告したものである。本研究の内容を以下の通り総括する。

（１）電力変換において、理想的なパワーデバイスの動作はスイッチであり、0 電流＆高電圧と大電流＆0 電圧の往復を理想としたものであり､これによって大電力を最小の自己発熱で実現され、この理想動作を実現する構造として PiN ダイオードが最も基本的な構造である事をしめした。ここで､PiN ダイオード内部の電子、ホール濃度分布、流れの分布を i 層両端から流れ出す拡散電流とのバランスを前提とした解析式を新たに提示し、これを解く事で PiN ダイオードの内部動作を正しく表現した。

（２）上記の解析式とデバイスシミュレーションの相互比較によって伝導度変調状態における電子、ホールそれぞれの拡散係数の変化を解明した。その結果、伝導度変調の強さに応じてお互いの値が両極性拡散係数に近づく方向で変化する事を初めて示した。そして伝導度変調時においてはアインシュタインの関係式が成立しない事と、そのズレを定量的に示した。

（３）i 層両端から外に流れ出す電子流及びホール流を 0 とした仮定で順バイアス電圧を最小化する条件は過去の報告通り $d/L_a \fallingdotseq 1$ であるが、流れ出す電子及びホール流を含めた解析計算では、$d/L_a<0.1$ と大幅に小さくなり、実際のデバイスにおいてライフタイムが長いほど順バイアス電圧が低下する事実と整合する結果を始めて得る事が出来た。

（４）順バイアス状態における全抵抗（R）と i 層の電荷（Q）の積である RQ を導通ロスとスイッチングスピードの性能指標として採用し、この指標がキャリア濃度プロファイルが偶関数の時にほぼ最小となる事を示した。また、偶関数になる条件が、構造パラメータと電流密度で決定される事を解明し、最適設計を実現するための構造パラメータの定量的把握が可能である事を示した。

（５）パッケージの熱抵抗の制限下では実効オン抵抗の低減によるチップ面積の縮小効果はその 1/2 乗に抑えられる事を示した。さらに、短絡許容時間の低下が実効オン抵抗低減の阻害要因であり、10μs が現在の SiC MOSFET の実力レベ

ル、SiC MOSFET の性能限界では短絡許容時間が 2μs まで低下する事を示した。
（６）スイッチングロスの下限値は実効オン抵抗とオフ状態において空乏層に蓄積される単位面積あたりの静電エネルギーの積（$R_{on,sp}E_{cap}$）で規格化され、耐圧 1000V 付近において SiC-MOSFET の $R_{on,sp}E_{cap}$ の限界はシリコンの SJ MOSFET に対して約 1/20、そしてスイッチング時間は約 1/5 となり、高い潜在能力がある事を解析計算で示し、これらについても実効オン抵抗と同じく、短絡許容時間 2μs に対応しなければならない事を示した。
（７）RESURF 構造による高耐圧 NchMOSFET と MFFP による配線電界緩和によりハイサイドゲートドライブ回路を IC 上に内蔵する事が可能となり、1 チップでハーフブリッジの駆動を可能とする 600V 系高耐圧 IC を実現した。
そしてその上の耐圧領域である 1200V 系では酸化膜の絶縁破壊が問題となるため、新しい構造として分割 RESURF 構造を提案し、これにより 1200V 系高耐圧 IC も実現した。
（８）高耐圧 IC のパワーデバイス保護機能強化のため、ハイサイドゲートドライブ回路から制御回路への情報伝達技術として、出力端子電圧をセンスする素子、及び高耐圧 PchMOSFET を提案した。中でも PchMOSFET はハイサイド側パワーデバイスの動作状態を制御回路に伝達するために活用されている。
（９）約 80V 以下の領域ではハーフブリッジとそのゲート駆動回路を 1 チップ上に形成できる BiCMOS&DMOS プロセス、デバイス技術が発達しており、その微細化も 0.13μm 級以上まで進展しているが、その中でも 0.5μm 級独自のメリットを説明すると共に、P+領域、Pbody、PW の使い分けによって 5V 系から 90V 系の NchMOSFET 素子を構成できることを解説した。特に斜め注入と縦方向注入によってチャンネル領域を形成した DMOS は極めて低いオン抵抗を達成し、P+埋め込みと N+埋め込みにより、素子自体の電流の一部が基板に向かって流れるリーク電流を 7 桁抑制した Full isolation 構造を開発し、開発した素子それぞれに Full isolation 構造を適用したバリエーションも搭載した。
（１０）0.5μmBiCMOS&DMOS プロセス開発において、同じく PchMOSFET もドレイン部に P+領域、Pbody、PW と使い分ける事により、Nch と同じく、5V から 90V までの耐圧バリエーションを実現した。また、Field 酸化膜をゲートとしてゲート電圧±60V で動作できる Field NMOS と Field PMOS を開発し、これらは電圧センス素子、高耐圧ラッチ回路等、高機能化、用途拡大に貢献した。

今後の展望

パワーデバイスのハーフブリッジ構成とその交互のスイッチングを基本とする電力変換回路は自己発熱を最小に抑える基本動作として今後も性能を改善しながら使われ続ける。その中で高耐圧領域はパワーデバイスと高耐圧 IC による構成、そして低耐圧＆小電流領域は全てを一体化した BiCMOS&DMOS 技術による IC がそれぞれ主流であり続ける。

今後の性能向上において、パワーデバイスの基本構造、すなわち PiN ダイオード構造における電子、ホールの分布の最適化がきわめて重要であり、この最適化については今後も本論文のような解析的な手法、デバイスシミュレーションによる検証等進められ、それに基づいた新構造が提案されてくるものと予測する。

パワーデバイスはスイッチング毎に内部に蓄積したキャリアの排出が損失となるため、その低減においては動作電流密度の向上がその鍵であるが、同時に発生する自己発熱への対応が不可欠である。とくに SiC MOSFET 等、理論的限界性能が非常に高いと言われているものは、すべてそれに見合った高電流密度動作が前提となっている。このため、今後の性能向上を実用に給するにはデバイスを熱破壊から守る保護機能の向上と、自己発熱を効果的に排出するパッケージ性能の向上が同時に進行してゆくものと予想する。この事は、動作電流密度が極めて高いデバイスは短絡許容時間がほとんど無いために、これを必要としない用途に限定される可能性も示唆している。

高耐圧 IC は、RESURF 構造を基本とした高耐圧 NchMOSFET による信号伝達技術において分割 RESURF 構造を中心としてほぼ完成の域に達し、分割 RESURF 構造は今後の主流技術と予測するが、サージ電圧等による pn 接合の順バイアスによる誤動作への対応は構造と制御回路の両面でこれからも改善が続けられると予測する。また、高耐圧 PchMOSFET、電圧センス素子等による高機能化の方向については、近年開発が加速している様々なセンサーのオンチップ搭載との組み合わせによりより幅広い機能向上の可能性がある。

80V 以下で中心となる BiCMOS&DMOS 技術は現在 90nm 級まで微細化が進んでおり、これらは Flash 等も混載した微細化 CMOS によるデジタル信号処理に高電圧 CMOS の出力を備えた形が中心である。しかしながら、アナログ信号処理領域が大きく、かつ出力電圧及び出力電力の大きな領域、典型的にはモータードライブ、アクチュエータードライブ等では CMOS 微細化による貢献が相対的に低く、今後も 0.5μm 級のプロセスが広範に使われていくと予測する。

謝辞

本論文を完遂するにあたり、的確なご指導、ご激励を賜りました大阪大学大学院工学研究科マテリアル生産科学専攻　教授　藤原康文博士に謹んで感謝の意を表します。本研究の遂行の機会を与えて頂き、その進行においても協力いただきました産業技術短期大学　教授　畑迫健一博士に心から感謝の意を表します。また、本研究を進行し成果を出す過程において有益なご討論およびご協力をを頂いた三菱電機株式会社　清水和宏氏、山下潤一氏、中村勝光氏に深く感謝致します。

本研究には以上に書ききれなかった多くの方々とのご協力、ご支援によって完遂したものであり、ここに深く感謝の意を表します。

平成２９年　７月　３日

寺島　知秀

本論文に関する研究発表

投稿論文

1. Kiyoto Watabe, Hajime Akiyama, **Tomohide Terashima**, Masakazu Okada, Shinji Nobuto, Masao Yamawaki, and Sotoju Asai, “An 0.8-µm High-Voltage IC Using a Newly Designed 600-V Lateral P-Channel Dual-Action Device on SOI,” Journal of Solid-State Circuits, Vol. 33, No. 9, September 1998. pp. 1423-1427.

2. **寺島知秀**,「ワイドバンドギャップ半導体によるパワーデバイスの性能改善と課題」,「材料」Vol.64, No.9，pp.701-706，Sep. 2015.

3. **寺島知秀**，藤原康文「PiN ダイオード高水準注入についてのシミュレーションと解析計算の比較による考察」，電気学会論文誌 C，Vol.137，No.7，2017.（掲載決定）

4. **寺島知秀**，藤原康文「パワーデバイスのスイッチングロスに関する解析的考察」，電気学会論文誌 C，Vol.137，No.9，2017.（掲載決定）

国際会議発表

1. **T. Terashima**, M. Yoshizawa, M. Fukunaga, and G. Majumdar, "Structure of 600V IC and a New Voltage Sensing Device," Proc. of ISPSD’93, pp. 224-229.

2. **Tomohide. Terashima**, Junichi Yamashita, and Tomihisa Yamada, "Over 1000V n-ch LDMOSFET and p-ch LIGBT with JI RESURF Structure and Multiple Floating Field Plate," Proc. of ISPSD’95, pp. 455-459.

3. **Tomohide Terashima**, Kazuhiro Shimizu, and Shiro Hine, "A New Level-Shifting Technique by divided RESURF Structre," Proc. of ISPSD’97, pp. 57-60.

4. Kiyoto Watabe, Hajime Akiyama, **Tomohide Terashima**, Shinji Nobuto, Masanori Fukunaga, and Masao Yamawaki, "A New Phenomenon of P-channel Dual Action Device," Proc. of ISPSD 1998, pp. 363-366.

5. **Tomohide Terashima**, Fumitoshi Yamamoto, and Kenichi Hatasako, "Multi-voltage device integration technique for 0.5 μm BiCMOS & DMOS process," Proc. of ISPSD 2000, pp. 331-334.

6. **Tomohide Terashima**, Fumitoshi Yamamoto, Kenichi Hatasako, and Shiro Hine, "60V Field NMOS and PMOS transistors for the multi-voltage system integration," Proc. of ISPSD2001, pp. 259-262.

7. Kazuhiro Shimizu and **Tomohide Terashima**, "The 2nd Generation divided RESURF structure for High Voltage ICs," Proc. of ISPSD 2008, pp. 311-314.

8. M. Yoshino, K. Shimizu, **T. Terashima**, "A new 1200V HVIC with a novel high voltage Pch-MOS," Proc. of ISPSD 2010, pp. 93-96.

9. **T. Terashima**, “Superior Performance of SiC Power Devices and Its Limitation by Self-heating,” IEDM, 2016, pp 264-267.

国内学会･研究会発表

1. **寺島知秀**、吉澤正夫 「600V HVIC の構造開発」 EDD-92-88、電子デバイス･半導体電力変換合同研究会 1992 年　長崎県農協会館 2,3 階講演会場　10 月 29 日、30 日

2. 秋山馨、**寺島知秀**、近藤久雄、塚本克博「SOI 分離構造の高耐圧化」EDD-92-106　電子デバイス･半導体電力変換合同研究会 1995 年　会津大学　9 月 13 日、14 日

3. **寺島知秀**、山下潤一、山田富久、浅野徳久「1000V クラスの RESURF nch DMOS/pch IGBT の構造とその電気特性」EDD-95-71　電子デバイス･半導体電力変換合同研究会　1996 年　静岡大学工学部　佐鳴会館会議室　9 月 26 日、27 日

4. **寺島知秀**、山本文寿、畑迫健一、日根史郎「0.5μm BiCMOS&DMOS 開発」EDD-99-108　電子デバイス･半導体電力変換合同研究会 1999 年　北海道大学百年記念館 1 階大会議室　10 月 21 日、22 日

5. **寺島知秀**、山本文寿、畑迫健一、日根史郎「0.5μm BiCMOS&DMOS プロセスにおける 5V-90V 系素子形成技術」EDD-00-123　電子デバイス･半導体電力変換合同研究会 2000 年　島根大学総合理工学部 3 号館　11 月 16 日、17 日

6. **寺島知秀**、山本文寿、畑迫健一、日根史郎「BiC-DMOS を多機能化する 60V 系 Nch/Pch フィールドトランジスタ」EDD-01-78　電子デバイス･半導体電力変換合同研究会 2001 年　琉球大学工学部千原キャンパス　10 月 25 日、26 日

7. **寺島知秀**、守谷純一「受動ゲートによる横型 IGBT の高速化」EDD-05-62　電子デバイス･半導体電力変換合同研究会 2005 年　福井大学　文京キャンパスアカデミーホール　10 月 27 日、28 日

8. **寺島知秀**　招待論文「高耐圧 IC の発展と将来展望」電子情報通信学会　技術研究報告　信学技報　2007 年　福井大学　アカデミーホール　3 月 1 日、2 日
パネリスト：パワーエレクトロニクスの課題と展望　－ワイドバンドギャップ素子の可能性を含めて－

9. 清水和宏、**寺島知秀**「第 2 世代分割 RESURF 構造を適用したゲートドライバーIC」EDD-08-61　電子デバイス･半導体電力変換合同研究会 2008 年　九州工業大学　戸畑キャンパス　10 月 23 日、24 日

10. 吉野学，清水和宏，**寺島知秀**「多重ストライプドレイン構造による 1200V 級 HVIC 搭載高性能/高耐圧 P-Channel MOS」EDD-10-098　電子デバイス･半導体電力変換合同研究会 2010 年　北海道札幌市　道民活動センター　11 月 29 日、30 日

11. **寺島知秀**「SiC パワーデバイスの性能改善状況と解決すべき課題」
EDD-14-039　電子デバイス研究会 2014 年　絹の渓谷 碧流（栃木県日光市藤原 19-25)　3 月 13 日、14 日