



Title	大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究
Author(s)	富澤, 治
Citation	大阪大学, 1980, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/690
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

大規模集積回路における高速化制限要因 の解析と工学的応用に関する基礎的研究

1980年

富 澤 治

大規模集積回路における高速化制限要因の解析と 工学的応用に関する基礎的研究

内 容 梗 概

本論文は、筆者が昭和46年三菱電機株式会社に入社以来、北伊丹製作所半導体研究部と、LSI開発センタにおいて行ってきた半導体デバイスの研究のうち、大規模集積回路(LSI)の高速化制限要因の解析に関する研究成果をまとめたものである。本論文は5章に分けて構成される。すなわち、

第 1 章 序 論

第 2 章 バイポーラ型大規模集積回路の高速化制限要因の解析

第 3 章 MOS型大規模集積回路の高速化制限要因の解析

第 4 章 高速大規模集積回路への応用

第 5 章 結 論

からなる。以下、各章ごとに順を追ってその内容の概要を述べる。

第 1 章 序 論

本章では、本研究に関連する分野におけるこれまでの研究の歴史的背景と、大規模集積回路の高速化に関する研究の沿革と現状について概説し、本研究を行うに至った動機、目的を明らかにする。

第 2 章 バイポーラ型大規模集積回路の高速化制限要因の解析

本章では、電流駆動デバイスを基本とするバイポーラ型大規模集積回路の動作速度を制限する因子として、トランジスタ構造に基づく内因性遅延時間の解析を行う。種々のバイポーラ型大規模集積回路を構成する基本デバイスの中で、製造、電気的特性両面から、大規模集積回路化を進める上で有利な集積化注入論理(I^2L)をとりあげる。 I^2L のゲート遅延時間は、消費電力の増大とともに直線的に減少し、数 $100\mu w$ /ゲート以上で飽和し、内因性遅延時間で制限される動作領域になる。この内因性遅延時間は、負荷容量の充放電で定まる時定数とは異なり、トランジスタ自身の遮断周波数と、エピタキシャル層内に過剰に蓄積された正孔の寿命に帰因するものである。正孔蓄積効果を低減し、内因性遅延時間を改善するために、 I^2L のデバイス構造を改良した縦型注入論理(VIL; Vertical Injection Logic)の提案を行う。VIL構造を実現

するための製造条件を明確にし、しかる後VILにおける内因性遅延時間を一次元モデルを用いて解析し、実験的検討を加えた上で高速化のための条件を導出する。

第 3 章 MOS型大規模集積回路の高速化制限要因の解析

本章では、電圧駆動デバイスを基本とするMOS型大規模集積回路の動作速度を制限する因子として、配線容量、配線抵抗等の外因性パラメータで規定される外因性遅延時間の解析を行う。短チャネルMOSトランジスタ形成の一方法である拡散自己整合(DSA; Diffusion Self-Aligned) MOSデバイスをとりあげ、まずイオン注入を全面的に採用したシリコンゲートDSA MOS 大規模集積回路の製造プロセス及び、静的電気特性を述べ、続いてデプレッション形負荷トランジスタを有するDSA MOS ゲートの遅延時間と、配線容量、配線抵抗との関係を解析する。試作した大規模集積回路による実験結果との比較検討を行い、大規模集積回路の高速化の条件を求める。

第 4 章 高速大規模集積回路への応用

本章では、第2章、第3章の検討結果にもとづき、VILを用いた高速メモリとDSA MOS デバイスを用いた高速ランダムロジックの試作を行い、大規模集積回路への応用上の問題点を明確にする。

第 5 章 結 論

大規模集積回路の高速化制限要因の解析に関する第2章から第4章までの研究結果を総括して本研究の結論を述べる。

目 次

第 1 章	序 論	1
1.1	関連分野の研究の歴史的背景	1
1.2	本研究の目的	4
1.3	本研究の内容	5
第 2 章	バイポーラ型大規模集積回路の高速化制限要因の解析	9
2.1	序	9
2.2	各種バイポーラ集積回路デバイス技術	10
2.3	集積化注入論理 (I^2L) デバイス	11
2.4	新構造デバイス 縦型注入論理 (VIL) デバイス	15
2.4.1	VIL デバイスの試作	15
2.4.2	デバイス試作上の問題点	17
2.4.2.1	p^+ 埋込拡散領域の形成条件	17
2.4.2.2	エピタキシャル層及び n^+ 埋込層の形成条件	18
2.4.2.3	p^+ 埋込拡散領域の低抵抗化	22
2.5	電気的特性の解析	25
2.5.1	はじめに	25
2.5.2	VIL と I^2L の電気的特性の比較	25
2.5.3	VIL における電気的特性の解析	28
2.5.3.1	静的特性	28
2.5.3.2	遅延時間の解析	32
2.5.4	実験との比較検討	38
2.6	結 言	41
第 3 章	MOS 型大規模集積回路の高速化制限要因の解析	46
3.1	序	46
3.2	各種 MOS 型集積回路デバイス技術	47
3.3	拡散自己整合 (DSA) MOS デバイスの製造プロセス	48

3.4	DSA MOSトランジスタの静特性	52
3.5	DSA MOS LSIの遅延時間の解析	61
3.5.1	はじめに	61
3.5.2	デプレッション型トランジスタを負荷にもつ ゲート回路の内因性容量	61
3.5.3	ゲート遅延時間の解析	64
3.5.3.1	負荷トランジスタの定電流近似	66
3.5.3.2	負荷トランジスタの抵抗近似	71
3.5.3.3	実験結果との比較検討	77
3.5.4	出力バッファ回路の遅延時間	80
3.6	結 言	85
第 4 章	高速大規模集積回路への応用	90
4.1	序	90
4.2	バイポーラ型高速RAMの試作	91
4.2.1	はじめに	91
4.2.2	メモリセルの回路及び動作	91
4.2.3	メモリセルの評価結果	93
4.2.4	VIL 1KビットRAMの試作	99
4.3	MOS型大規模論理集積回路の試作	103
4.3.1	はじめに	103
4.3.2	マスタースライス方式論理集積回路への応用	103
4.3.3	高性能化マスタースライス論理集積回路の試作	111
4.4	結 言	116
第 5 章	結 論	119
	謝 辞	123
	研究業績目録	124

第1章 序 論

1・1 関連分野の研究の歴史的背景

近年、民生用から産業用に至るあらゆる方面で論理システムの大規模集積回路 (LSI : Large Scale Integrated Circuits) 化が進められている。システムのLSI化に当っては既存個別部品との競合がある限り高性能化、高信頼度化、低価格化を要求されこの要求を満たすべく新しい技術開発が行われ、LSI化が進展してきた。LSI化の中心になるデバイス技術は大別して、バイポーラ型と、MOS (Metal Oxide Semiconductor) 型の2種類があり、バイポーラLSIは低集積密度であるが高速度の応用、MOSLSIは低速ではあるがチップ上に大規模集積化したことを特徴とする応用に用いられてきた。最初にMOS LSI及びバイポーラLSIにおける高速化を制限する要因を考える。⁽¹⁾⁽²⁾動作速度を決定する遅延時間は、回路中のトランジスタに動作条件を与えるまでの回路的な遅延時間 (以後、外因性遅延時間と呼ぶ) と、動作条件を与えられたトランジスタがスイッチ動作を行うまでの遅延時間 (以後、内因性遅延時間と呼ぶ) の2つに区別することができる。内因性遅延時間の制限定数としては誘電緩和時間、多数キャリアの飽和速度、少数キャリアの移動度、少数キャリアの寿命等がある。

MOSトランジスタおよびMOSトランジスタを基本デバイスとするIC (Integrated Circuits) の高速限界はキャリアの走行経路であるチャネル長 L を $0.2 \times 10^{-4} \text{ cm}$ とすると、走行するのに要する時間は飽和速度 v_s を 10^7 cm/s として 2 ps である。実際には界面効果のため v_s が数分の1に下がり上記走行時間は 10 ps 程度となる。一方実際のMOSICでは、MOSトランジスタが高入力インピーダンスを持つ電圧駆動型デバイスであるため、ゲート電圧が動作電圧に設定されるまでの外因性遅延時間が大きい。配線容量を0としてトランジスタそのものの限界値を考えると、ゲート容量 C_g 、相互コンダクタンス g_m による時定数 t_M は

$$t_M = C_g / g_m \approx L^2 / \mu_n (V_G - V_T) \quad (1.1)$$

で与えられ、 $\mu_n = 200 \text{ cm}^2/\text{V}\cdot\text{s}$ 、 $V_G - V_T = 1\text{V}$ 、 $L = 0.2 \times 10^{-4} \text{ cm}$ とすれば、外因性遅延時間の限界は 2 ps となる。実際は浮遊容量等の影響もありMOSトランジスタ、ICの高速限界は内因性、外因性遅延時間をあわせて $10 \sim 20 \text{ ps}$ と考えられる。

一方、バイポーラトランジスタおよびバイポーラトランジスタを基本デバイスとするICの場合バイポーラトランジスタが電流駆動型であり、MOSトランジスタに比べて入力インピーダンスが小さく、外因性遅延時間は十分小さいと考えられる。トランジスタ固有の内因性遅延時間は、ベース幅の最小寸法(L)を $0.1 \times 10^{-4} \text{ cm}$ 、シリコン内での電子の移動度 μ_n を $1500 \text{ cm}^2/\text{V}\cdot\text{s}$ とすると、ベース走行時間は $t_b \approx q L^2 / kT \mu_n = 0.027 L^2 \approx 3 \text{ ps}$ となる。バイポーラトランジ

スタで情報がエミッタからコレクタに達するまでの遅延時間 t_{ec} はこのベース走行時間 t_b の他に、エミッタ充電時定数 t_e とコレクタ空乏層走行時間 t_x とコレクタ充電時定数 t_c を考え、これらの総和で与えられることが知られている。現状で個別トランジスタの f_T として 8GHz 程度がえられており、これに相当する $t_{ec} = 1/2\pi f_T$ は、約 20ps である。一次元近似の計算機シミュレーションでは、これを倍にする f_T を得る可能性もあり、バイポーラトランジスタ、IC の高速限界は $10 \sim 20\text{ps}$ であるとされている。従ってバイポーラIC、MOSIC 共に高速限界は $10 \sim 20\text{ps}$ 程度であり現状のデバイスに比べて、約2桁以上高速である。

デジタルシステムに用いられる論理回路の性能指数をあらわす電力-遅延時間積 ($P \cdot t_d$) は動作パラメータとの間に

$$P \cdot t_d = k_0 \cdot \Delta V \cdot V_{CC} \cdot C \quad (1.2)$$

なる関係があり、電力遅延時間積が、電源電圧 V_{CC} 、論理振幅 ΔV 、全回路容量 C とに比例する。電力遅延時間積を最小にするには、電源電圧、論理振幅、全回路容量を可能な限り小さくして回路を動作させる必要がある。定数 k_0 をMOSトランジスタとバイポーラトランジスタのいずれを用いた回路でも同一にできるものとし、回路容量を等価すると、MOSトランジスタ回路と、バイポーラトランジスタ回路の性能指数は、論理振幅 ΔV と電源電圧 V_{CC} とで比較することができる。与えられた電源電圧に対して、信号を伝達するのが可能な最小の論理振幅は、各トランジスタの相互コンダクタンス g_m で決まる。 g_m は入力電圧の変化に対する出力電流の変化率でありバイポーラ・トランジスタでは g_{mB} は素子の大きさによらず次式で近似的に表われる。(3)

$$g_{mB} \cong \frac{I_E}{kT/q} \cong 39 (\text{mV}/\text{mA}) \times I_E (\text{mA}) \quad (1.3)$$

(at 300°K)

ここで I_E はエミッタ電流である。

MOSトランジスタでは、酸化膜の厚みを $1500\text{\AA}$ 、熱い電子の速度を $8.5 \times 10^6 \text{cm/s}$ 、チャネル幅を $W (\mu\text{m})$ とすると、相互コンダクタンス (g_{mM}) は次式で与えられる。

$$g_{mM} \cong 20 (\mu\text{V}/\mu\text{m}) \times W (\mu\text{m}) \quad (1.4)$$

W に一般的な値として $10\mu\text{m}$ を入れるとMOSトランジスタの相互コンダクタンスは $200\mu\text{V}$ となり、 $50\mu\text{A}$ 以上のエミッタ電流で動作させるとき、バイポーラトランジスタの相互コンダクタンスは 2mV 以上となる。従って、従来技術におけるバイポーラトランジスタとMOSトランジスタの相互コンダクタンスを比較するとバイポーラトランジスタの方が10倍大きい。その結果、導通状態と遮断状態とで必要な電流比をとるために、MOSトランジスタでは10倍以上の論理振幅が必要になる。このように性能指数上はバイポーラトランジスタは、LSI化に有利

でありながらLSI化に対して遅れをとってきた原因は、従来のバイポーラIC、LSI構造では、各構成素子を分離するための分離拡散領域が必要である点にあった。このため構成素子の専有面積が大きくなり、高集積化に不向きであった。またバイポーラ回路では受動素子として抵抗を用いるが、抵抗を形成する拡散領域のシート抵抗は数 100Ω /口以内であり、高抵抗を作ると占有面積が大きくなるため、一般的に数 $10K\Omega$ 以内の抵抗値に制限されて使用されてきた。このため回路あたりの消費電力が大きくなり、この点でもLSI化に対しMOSLSIに遅れをとってきた。

1972年の国際固体回路会議(ISSCC: International Solid State Circuits Conference)で発表された集積化注入論理(I^2L : Integrated Injection Logic)⁽⁴⁾別名MTL(Merged Transistor Logic)⁽⁵⁾は上述のバイポーラデバイスの欠点を克服しバイポーラデバイスのLSI化への道を開いたものとして注目される。 I^2L は、逆動作型のエミッタ接地npnトランジスタとベース接地pnpトランジスタの複合構造からなり、npnトランジスタは駆動トランジスタ、pnpトランジスタは定電流源及び、前段のnpnトランジスタの負荷として働く。全てのpnpトランジスタのベース領域と、逆動作型npnトランジスタのエミッタ領域が、n型のエピタキシャル層を共用しているため分離拡散領域が不要であり、負荷抵抗のかわりにpnpトランジスタを用いるため集積度と、電力利用効率が改善され、論理回路の電力遅延時間積が改善されるという特長をもっている。発表された当時の構造の I^2L ではゲート遅延時間が $25ns \sim 100ns$ /ゲートであったが、以後 I^2L デバイスの本質的利点をLSI化において生かすべく各種の改良が加えられてきた。npnトランジスタのベース領域をイオン注入技術で形成しドリフト電界を利用し高速化をはかる方法⁽⁶⁾⁽⁷⁾、入出力をショットキーダイオードによりクランプし低論理振幅化をはかるこころみ⁽⁸⁾⁽⁹⁾、酸化膜分離技術の適用による浮遊容量の減少⁽¹⁰⁾などの他いくつかの構造上の改良方式⁽¹¹⁾⁽¹²⁾が提案されてきた。

一方MOSLSIについて見ると基本デバイスとなるMOSトランジスタが2次元の表面デバイスであり、自動的に素子分離ができていて集積度が高く、また製造工程がバイポーラICに比べて少くかつ簡単であるため、LSI用デバイスの中心になってきたが、性能上もっとも重要なゲート遅延時間においてはバイポーラデバイスをしのぐ事ができなかった。その主な原因はチャネル領域の形成に対し、写真製版技術、その他製造プロセス技術上の制約から十分短いチャネル長をもつトランジスタが作れなかったため、相互コンダクタンスを大きくすることができなかった点にある。しかしながら、近年電子ビーム露光装置の開発をはじめとする写真製版関連の微細加工技術の開発、進歩にともなって $1\mu m$ 程度の大きさを持つMOSデバイスの製作が可能となってきた。⁽¹³⁾⁽¹⁴⁾ 微細化したMOSデバイスの性能はIBMのR. H. Dennardによる比

例縮小則（スケーリング理論）の概念⁽¹⁵⁾が有益であり大略、微細化MOSデバイスの性能予測を行うことができる。すなわち、縮小係数を κ とすると、寸法、電圧を $1/\kappa$ にし、不純物濃度を κ 倍とすると空乏層幅は（電圧／不純物濃度）^{1/2}に比例するから $1/\kappa$ となる。一方閾値電圧は酸化膜厚に比例し、 $1/\kappa$ となる。遅延時間は、 CV/I であらわされ $C \propto 1/\kappa$ 、 $V \propto 1/\kappa$ 、 $I \propto 1/\kappa$ であるから遅延時間も $1/\kappa$ となる。プロセス加工精度が上昇するにともない、このようにスケーリング則に従ってMOSデバイスの性能を向上させることが可能である。一方スケーリング則に従って短チャネル化をはかり、MOS LSIを高性能化する方法に対して、従来の加工技術を用いて実効的な短チャネルデバイスを作ろうとする試みが行われてきた。垂井らによって提案されたDSA（Diffusion Self-Aligned）MOSトランジスタ⁽¹⁶⁾やT. J. Rodgerらによって提唱されたVMOS（V-Grooved MOS）⁽¹⁷⁾がこれに対応する。これらは拡散深さの制御により実効的なチャネル領域を作る方法であり、バイポーラトランジスタにおけるベース幅の制御と同じ様にチャネル長を制御することができ、サブミクロンのチャネル長が得られている。この結果、LSI性能の基本データの比較に対し有効な閉ループのゲート鎖からなるリング発振器の測定結果として1 ns／ゲート以下の最小遅延時間が得られるようになってきた。しかし、実際のLSI内部でのゲート遅延時間は、配線抵抗、配線容量などのため大きくなり、最小寸法で構成されたリング発振器で測定されるゲート遅延時間の数倍から数10倍大きくLSI高速化の上で大きな問題となっている。

1・2 本研究の目的

本研究はLSIの高速化を制限している要素を解析し、高速化の条件を明らかにすることを目的とする。この制限要素としてはLSIを構成するデバイス構造に固有の内因性遅延時間と、配線容量、配線抵抗などLSIを構成する上で不可避な外因性パラメータによって規定される外因性遅延時間を考えることができ、これらを探求するため次の諸点を研究の目的とした。

- (1)バイポーラLSIの高速化を制限する主要な要素が構造上内因性遅延時間であることに注目し、バイポーラデバイスの中でLSI化に対し最も有利であると考えられる I^2L デバイスを取りあげ、内因性遅延時間を規定するエピタキシャル層内における正孔蓄積について解析する。
- (2)MOS LSIの高速化を制限する主要な要素が外因性遅延時間であるため、遅延時間と配線容量、配線抵抗の関係を解析する。このとき基本デバイスとしては実効的な短チャネルMOSデバイスであるDSA MOSトランジスタを取り上げる。
- (3)これらのデバイスを用いた工学的応用の例として I^2L デバイスをメモリに、DSAMOSデバイスを論理ゲートアレイに応用し、LSIを試作し応用上の問題点を究明する。

1・3 本研究の内容

本論文は前節にのべた目的を達成するため、バイポーラ、MOSそれぞれのデバイスを作成し、遅延時間に関する基礎的研究及び工学的応用研究を行った結果をまとめたものであり内容は5章にわけて述べられる。

第 1 章 序 論

第 2 章 バイポーラ型大規模集積回路の高速化制限要因の解析

ここでは、バイポーラデバイスの中でLSI化に対して最も有利であると考えられる I^2L デバイスをとりあげ、 I^2L デバイスの高速化について述べる。 I^2L ゲートのゲート遅延時間は消費電力の増大とともに直線的に減少し、数 $100\mu\text{w}/\text{ゲート}$ で飽和し、内因性遅延時間で制限される動作領域になる。この内因性遅延時間は負荷容量の充放電で定まる時定数とは異なり、トランジスタ自身の遮断周波数と、エピタキシャル層内に過剰に蓄積された正孔の寿命に起因するものである。正孔蓄積効果を低減し、内因性遅延時間を改善するために、 I^2L デバイスの構造を改良したVIL (Vertical Injection Logic) デバイスを提案した。このVIL構造を実現するために必要なプロセスパラメータ設定のための実験結果をはじめとして、電流増幅率向上のための条件等、各プロセス技術の詳細をのべ、しかる後VILの電気的特性について言及する。静的特性として電流増幅率を解析した後、遅延時間の決定されるメカニズムを解析し実験結果との比較検討を行う。

第 3 章 MOS型大規模集積回路の高速化制限要因の解析

ここでは短チャネルMOSトランジスタ形成の一方法であるDSA MOS デバイスをとりあげMOS LSIの高速化について述べる。MOS LSIの遅延時間は負荷容量の充放電に基づくと考えられ、配線容量、配線抵抗等の外因性パラメータにより規定される外因性遅延時間であると言える。本章ではDSA MOS LSIプロセス、特にイオン注入を全面的に採用したシリコンゲートDSA MOS LSIのプロセスについて述べ、基本トランジスタの静的特性をNMOSと比較しつつ述べる。続いてデプレッション形負荷トランジスタを有するDSA MOSゲートの遅延時間と、配線容量、配線抵抗との関係を解析し、試作したLSIによる実験結果との比較検討を行なう。

第 4 章 高速大規模集積回路への応用

ここでは、第 2 章、第 3 章の結論結果にもとづき、VIL を用いた高速メモリと、DSA MOS デバイスを用いた高速ランダムロジック LSI の試作を行った結果を述べる。

第 5 章 結 論

ここでは以上の章の結論を述べる。

第1章 文 献

- (1) 日本電子工業振興協会；新電子デバイスに関する調査研究報告書 — 超高速スイッチングデバイス調査報告 — ， 51-M-117， P. 5， 1976.
- (2) 中野；“バイポーラ LSI”，半研振 他共催 第15回記念 半導体専門講習会予稿集， P. 39， 1977.
- (3) 垂井編；“トランジスタの特性と回路”，誠文堂 P. 82， 87， 1961
- (4) K. Hart and A. Slob; "Integrated injection logic- A new approach to LSI" ISSCC Dig. Tech. Papers, p. 92 Feb. 1972.
- (5) H.H. Berger and S.K. Wiedmann; "Merged transistor logic- A low-cost bipolar concept", ISSCC Dig. Tech. Papers, p. 90, Feb. 1972.
- (6) J.L. Stone and J. Agraz-Guerena; "Application of ion implantation techniques to the optimization of integrated injection/merged transistor logic circuits", Proc. International Microelectronics Conference, Anaheim, California, p. 72, Feb. 11-13, 1975.
- (7) J.W. Hanson, J.N. Fordemwalt, and R.J. Huber; "Fabrication and performance of ion implanted I^2L devices", IEDM Dig. Tech. Papers, p. 281, Dec. 1975.
- (8) H.H. Berger and S.K. Wiedmann; "Schottky transistor logic", ISSCC Dig. Tech. Papers, p. 172, Feb. 1975.
- (9) F.W. Hewlett, Jr.; "Schottky I^2L ", "IEEE J. Solid-State Circuits, Vol. SC-10, p. 343, 1975.
- (10) R.A. Allen and K.K. Schuegraf; "Oxide-isolated integrated injection logic", "ISSCC Dig. Tech. Papers, p. 16, Feb. 1974.
- (11) P.S. Walsh, V. Blatt, and L.W. Kennedy; "Substrate fed logic-a novel form of injection logic", Proc. 1st ESSCIRC, p. 122, Sept. 1975.
- (12) Y. Tokumaru, S. Shinozaki, M. Nakai, S. Ito and Y. Nishi; " I^2L with self-aligned double-diffusion injector", ISSCC Dig. Tech. Papers, p. 100, Feb. 1976.

- (13) F.F. Fang, M. Hatzakis and C.H. Ting; "Electron-beam fabrication of ion implanted high-performance FET circuits", J. Vac. Sci. Technol., Vol. 10, p. 1082, 1973.
- (14) H.N. Yu, R.H. Dennard, T.H.P. Chang and M. Hatzakis, "An experimental high-density memory array fabricated with electron beam", ISSCC Dig. Tech. Papers, p. 98, Feb. 1973.
- (15) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE, J. Solid-State Circuits, Vol. SC-9, p. 256, 1974.
- (16) Y. Tarui, Y. Hayashi, and T. Sekigawa, "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid-State Devices, 1969; also, J. Japan. Soc. appl. Phys., Vol. 39, suppl., p. 105, 1970.
- (17) T.J. Rodgers and J.D. Meindl; "VMOS: High-speed TTL compatible MOS logic", IEEE J. Solid-State Circuits, Vol. SC-9, p. 237, 1974.

第2章 バイポーラ型大規模集積回路の高速化制限要因の解析

2. 1 序

MOS デバイスは低消費電力であり、工程の簡単さのためLSI化に適し、バイポーラデバイスは高速であるが素子間分離を必要とし、工程数が多いためSSI (Small Scale Integrated Circuits), MSI (Medium Scale Integrated Circuits)に適していると考えられてきたが、その技術的發展過程を見たとき、バイポーラ、MOS デバイス各々の固有の良さを生かすという方向と、欠点を打破する方向があった。バイポーラにおいて、前者は絶縁物分離ECL (エミッタ結合論理) による高速の極限追求にあり、後者は I^2L (集積化注入論理) に代表される回路の簡素化、プロセスの単純化、及び絶縁物分離を中心とする分離方式の改良にその成果をみることができる。

I^2L はバイポーラ方式であるが分離拡散領域が不用であり、かつnpn, pnpトランジスタの各部を共用する複合構造のため、高集積化が可能であり、低消費電力性と相まって、新しいバイポーラLSI方式としてその応用が期待されている。現在 I^2L は研究の段階を脱し、そのすぐれた特徴を生かし製品化の段階にあり、CPU, 4KビットRAM, デジタル, アナログ時計等がすでに製品化されており、今後益々 I^2L の応用分野が広がろうとしている。しかし、 I^2L の用途の拡大をはかる上で一つの問題は、npnトランジスタを逆動作 (通常エミッタとして使われる領域をコレクタとして用い、通常コレクタとして用いられる領域をエミッタとして用いる) させているためにバイポーラICとしては速度が遅い点にある。高速化を妨げる要因としては、エミッタ領域である低濃度のn型エピタキシャル層に蓄積する正孔の電荷量が多いこと、及び飽和型論理素子であるためと考えられ、動作速度を改善する方式として種々の改良案が提案されてきた。例えばnpnトランジスタのコレクタあるいはベースにショットキーダイオードを付加し、クランプすることにより論理振幅を下げ、高速化を計るSTL (Shottky Transistor Logic)⁽¹⁾、酸化膜分離及びイオン注入を活用して蓄積電荷を減少させ高速化を計る I^3L (Ion Implanted I^2L)⁽²⁾、埋込みp領域によってnpnトランジスタのベース領域の不純物分布を改善すると同時にショットキークランプダイオードを付加したup-diffused I^2L ⁽³⁾ 等が挙げられ、このup-diffused I^2L では最小遅延時間が2.5nsに達している。しかしながらこれらはいずれも性能向上のために、標準的な製造工程以外に新規な工程を付加する必要がある。

本章では、バイポーラLSIの高速化制限要因の解析を行うためバイポーラデバイスとして I^2L をとりあげ、 I^2L の高速化について検討を行う。そして、従来技術を用いて I^2L デバイスの性能向上を達成するものとして縦型注入論理素子VIL (Vertical Injection Logic)

の提案を行う。VILは、npnトランジスタのベースの直下にインジェクタを配置し、エピタキシャル層に蓄積する正孔電荷を減少させるとともに、正孔の実効的な寿命を短かくし、速度の改善を行おうとするものである。

2.2節で各種のバイポーラ集積回路技術の概要を述べ、2.3節で従来技術の I^2L の問題点を明確にし、2.4節で新構造デバイスVILの製造プロセスを述べる。続いてVILデバイスの静的電気特性を述べた後、VILの動的電気特性を、内因性遅延時間を中心として、理論計算と実験との比較対応を行いつつ議論する。

2.2 各種バイポーラ集積回路デバイス技術^{(4),(5)}

バイポーラLSIデバイス技術を目的ごとに分類すると、表2.2.1に示す通りになる。製造プ

表2.2.1 各種バイポーラデバイス技術

プロセス 技術	分離方式	CDI, BDI, TRIM	プロセスの簡素化
		ISOPLANER I, II, OXIM	絶縁物分離による 高密度化
		V-ATE, VIP, Polyplaner	Si-異方性エッチによる 高密度化
回路技術	電極形成	SET, PSA, PMP	高密度化
	複合構造	I^2L , SITL	低エネルギー 高密度化
	TTL系	STTL, LSTTL	低電力, 高速
	CML系	ECL, NTL	高速

ロセス技術を大別すると、i)分離方式の開発および改良、ii)電極形成の改良による高密度化に分けられ、回路技術的にみると、iii)TTL(トランジスタートランジスタ論理)系とiv)CML(電流モード論理)系に分類することができる。またプロセス技術、回路技術が融合したものとして、v)複合構造によるプロセスの単純化、回路の簡素化をはかった I^2L , SITL(Static Induction Transistor Logic)がある。

i)はまた(a)プロセスの簡素化、(b)絶縁物分離、(c)Si異方性エッチに分けられる。(a)のCDI⁽⁶⁾, BDI⁽⁷⁾, TRIM⁽⁸⁾はいずれもベル研から発表されたものであり、バイポーラ製造工程のマスク数を減らす試みである。CDI, BDIはいずれも分離拡散をコレクタあるいはベース

拡散工程と共用するようになっており、TRIMでは、MOSプロセス並みの3枚のマスクを用いるようになっている。(b)のアイソプレーナⅠ、Ⅱ⁽⁹⁾はいずれも選択酸化技術によって生成した厚い酸化膜により分離を行うものでpn接合分離に比べれば自己整合(セルフアライン)、横方向拡散の制御の点で集積度を上げることができる。アイソプレーナⅡとOXIM⁽¹⁰⁾はほとんど同じ構造であり、CDIと同じくエピタキシャル層をベース領域として用いているのが特徴である。(c)のVIP⁽¹¹⁾、V-ATE、Polyplaner⁽¹²⁾はいずれも(100)面を基板として異方性エッチング技術を用い、分離領域としてV字形の溝を作りトランジスタを分離する方法で、VIP、PolyplanerはV字形の溝を多結晶シリコンで埋めている。

ii)のPSA⁽¹³⁾は多結晶シリコンに単結晶シリコンの選択酸化技術を適用することによりコンタクトを開孔する工程を不用にし、配線と素子を同時に形成し高密度化を可能にしたものである。SET⁽¹⁴⁾は不純物添加された多結晶シリコン及び、無添加の多結晶シリコンのエッチング速度の差を利用し、従来微細化が困難であったエミッタベース間隔を小さくしたものである。PMP⁽¹⁵⁾は樹脂絶縁による3層配線技術であり、いずれも多結晶シリコンないしはポリイミド膜の性質をうまく利用したものである。

一方回路技術的には、iii)のTTL系回路に示されるように、ショットキーランプを用いてトランジスタの飽和を制御し高速化をはかる方式や⁽¹⁶⁾iv)のCML系論理におけるECL、NTL(Non-Threshold Logic)⁽¹⁷⁾、にみられる非飽和論理回路の改良による高速化技術があり、ECLのF100Kシリーズではサブナノ秒のゲート遅延時間が得られている。

v)の複合構造採用により、製造プロセスの簡素化、高集積度化をはかったI²L⁽¹⁸⁾は、1972年のISSCC(国際固体回路会議)で発表された別名MTL(Merged Transistor Logic)⁽¹⁹⁾と称せられるデバイスである。またSITL⁽²⁰⁾はI²Lにおけるnpnトランジスタのかわりに静電誘導トランジスタ(SIT)を用いたものである。I²L、SITLともに高集積性と低消費電力性から、バイポーラLSIの道を拓くものとして注目されている。

2.3 集積化注入論理(I²L)デバイス

新しいバイポーラLSI技術I²Lは、エミッタ接地のnpnトランジスタとベース接地のpnpトランジスタの複合構造からなり、npnトランジスタは増幅器、pnpトランジスタは、定電流源及び前段のnpnトランジスタの負荷としての動作を行なう。

全てのpnpトランジスタのベース領域と、逆動作形npnトランジスタ(通常のnpnトランジスタのエミッタとコレクタを交換した使い方をするため逆動作形と言う)のエミッタ領域がn形エピタキシャル層を共用しているために、分離拡散領域を設ける必要性がない。しかもpnp

トランジスタのコレクタと各 npn トランジスタは、同一の p 形領域を有するため、pnp トランジスタと npn トランジスタとを金属配線で接続する必要がなく、また pnp トランジスタを負荷として用いるため、抵抗が不用であり、バイポーラ素子で大きな面積を占有していた不活性領域が大幅に低減され、高集積化される。

nnp トランジスタのベースへの少数キャリアの注入は、pnp トランジスタを用いて直接注入されるので、従来のバイポーラゲート回路に使用されていた抵抗は一切不要である。pnp トランジスタを負荷として用いかつ、そのインピーダンスを数桁の範囲で変えることができ、また論理振幅を 0.5 ~ 0.7 V 位に低くすることができるため低消費電力化が容易である。また、 I^2L ゲート特有の構造のためゲートの面積を小さくすることができ、寄生容量を少くできるため電力・遅延時間積を小さくすることができる。

I^2L の拡散工程数は 2 回、写真製版工程は 4 回であり、プロセス技術的に見れば、従来のバイポーラプロセスの一部の工程を利用しているものと考えることができる。従って、通常のバイポーラトランジスタ回路と同一基板上に I^2L 回路を組み込むことも可能である。

I^2L デバイスの基本特性を決定する 1 つの要素は、nnp トランジスタ及び pnp トランジスタの電流増幅率である。 I^2L ゲートの動作モードから見て、取り扱うべき電流増幅率は、nnp トランジスタでは、エミッタ接地電流増幅率 βu 、pnp トランジスタではベース接地電流増幅率 α である。なお、 βu の添字 u は、電流の流れる向きが LSI の基板内 下から上に向うため upword の u を付けたものである。 $\beta u (= I_C / I_B)$ の値は高い程ファンアウト数の制限が少く、かつ npn トランジスタの遮断周波数を大きくし、遅延時間を小さくする効果がある。一方、pnp トランジスタの α は、高い程消費電力が小さくなり、その結果電力遅延時間積も改善される。このように I^2L デバイスとしては、nnp トランジスタの βu および pnp トランジスタの α は共に高いことが望ましい。

pnp トランジスタのベース接地電流増幅率 α を向上させるには n 形のエピタキシャル層の比抵抗を上げると良いが、エピタキシャル層の比抵抗を上げることは、nnp トランジスタのエミッタ注入効率を下げ、nnp トランジスタの βu を低下させる。すなわち、n 形エピタキシャル層の比抵抗設定は、pnp トランジスタの α を上げることと、nnp トランジスタの βu を向上させることに反して相反する命題を含むことになる。

pnp トランジスタの α を上げるもう一つの方法は、ベース幅を狭くすることである。図 2.3.1 に示すように従来の I^2L 構造では、実際の pnp トランジスタのベース幅 $W_b(\theta)$ は、写真製版後のベース幅を W 、 p^+ 拡散層の深さを x_j とすると、

$$W_b(\theta) = W - 2x_j \cos \theta \quad (2.1)$$

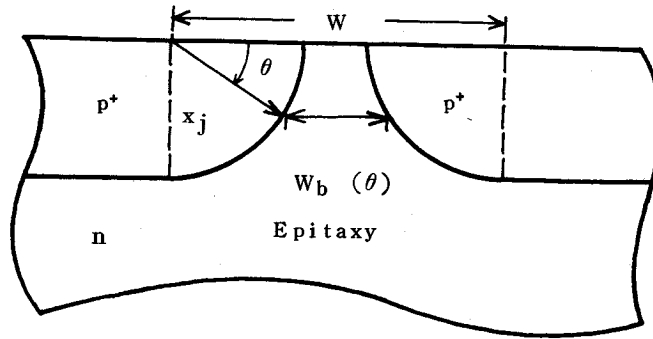


図 2.3.1 横型 pnp トランジスタのベース領域

で表現され、エピタキシャル層の表面から内部に離れるに従い、ベース幅は広くなる。この場合の平均ベース幅 W_b は、

$$W_b = \frac{1}{x_j} \int_0^{\pi/2} (W - 2x_j \cos \theta) x_j \cos \theta d\theta$$

$$= W - \frac{\pi}{2} x_j \quad (2.2)$$

で表わされ、エピタキシャル層表面のベース幅 $(W - 2x_j)$ に比べて広くなる。式 (2.1) と式 (2.2) からエピタキシャル層表面のベース幅 $W_b(0)$ と平均ベース幅 W_b の差を小さくするには、 x_j すなわち拡散深さを浅くする必要がある、かつそのベース幅を狭くするには、 x_j が小さくなるに従い、 W も小さくする必要がある。ところがこの W は、小さくなるにつれてマスク寸法精度や、写真製版時のエッチング等の影響を受け制御が困難となる。後述する VIL は上記 pnp トランジスタのベース幅を拡散深さの制御により行おうとするものである。

図 2.3.2 及び図 2.3.3 は npn トランジスタのベース面積および pnp トランジスタのベース幅が同一であり、インジェクタが npn トランジスタのベースの一方にあるデバイスと、四方にインジェクタを持つ I^2L 素子について遅延時間と消費電力の関係を比較して示す。図 2.3.2 は、エピタキシャル層の比抵抗が $0.26 \Omega \text{cm}$ のときのものであり、四方注入方式の I^2L 素子の方が一方注入方式の I^2L デバイスと比較して、電力遅延時間積は $1.3 \text{ pJ} (1 \mu\text{W}/\text{ゲート})$ から 0.95 pJ に、また最小遅延時間は $72 \text{ ns}/\text{ゲート}$ から $35 \text{ ns}/\text{ゲート}$ へと小さくなっている。図 2.3.3 は エピタキシャル層の比抵抗が $2.4 \Omega \text{cm}$ 時のもので、四方注入の I^2L 素子の方が一方注入方式の I^2L デバイスと比較して、電力・遅延時間積は $0.2 \text{ pJ} (1 \mu\text{W}/\text{ゲート})$ から 0.07 pJ へと、また最小遅延時間は $81 \text{ ns}/\text{ゲート}$ から $11 \text{ ns}/\text{ゲート}$ へと小さくなっている。

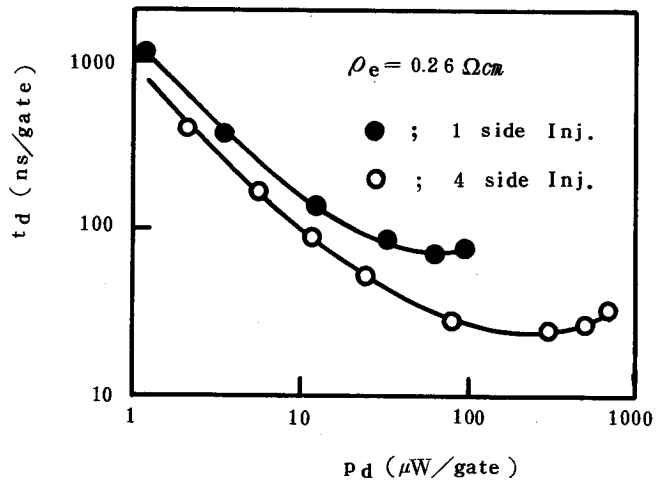


図 2.3.2 異なるインジェクタ形状をもつ I^2L ゲートの遅延時間

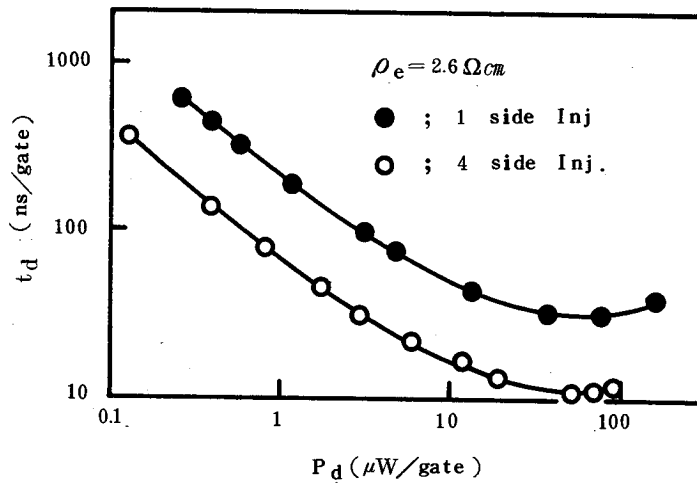
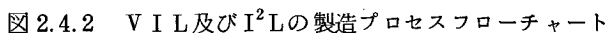


図 2.3.3 異なるインジェクタ形状をもつ I^2L ゲートの遅延時間

四方注入方式の I^2L デバイスの方が一方注入方式の I^2L 素子と比較してすぐれているのは pnp トランジスタのベース接地電流増幅率 α が高いことが原因であると考えられ、また、n 形エピタキシャル層中に注入された正孔の蓄積時間が短いと思われる。以上の観点から、横型 pnp トランジスタのかわりに縦形 pnp トランジスタを採用すれば、より一層 I^2L の性能を改

2. 4 新構造デバイス縦型注入論理デバイス (VIL) ^{(21),(22),(23)}

VILと従来からのI²Lの構造断面図を図2.4.1に示す。またプロセスフローチャートの1例を図2.4.2に示す。



用いる基板は比抵抗 $10 \sim 20 \Omega\text{cm}$ の p 型 (111) 基板であり、先ず $13 \Omega/\square$ の n^+ 埋込層を砒素拡散で形成し、この埋込層内に下面インジェクタとなる $180 \Omega/\square$ の p^+ 領域を選択的に拡散する。下面インジェクタは VIL の特徴である縦形 pnp トランジスタのエミッタ領域となり、npn トランジスタのベースの一部領域の下に配置される。続いて $6 \sim 8 \mu\text{m}$ の厚さ、比抵抗 $0.3 \Omega\text{cm}$ の n 形エピタキシャル層を成長させる。下面 p^+ インジェクタからの上方向再拡散層と、npn トランジスタのベース底面との間が、pnp トランジスタのベース幅となるため、 $1 \mu\text{m}$ 前後の値になるように、下面 p^+ インジェクタ濃度と、エピタキシャル層の厚み等を調整する。下面インジェクタへの電氣的接続をとるために、 $5 \Omega/\square$ の p^+ 領域を下面 p^+ インジェクタの一部まで到達するように拡散する。この p^+ 領域と、下面 p^+ インジェクタで VIL のインジェクタが構成される。続いて、npn トランジスタのベース領域として $200 \Omega/\square$ の p 形領域と、コレクタとしての $13 \Omega/\square$ の n^+ 形領域を形成する。

図 2.4.3 に VIL と I^2L のインバータ鎖部分の顕微鏡写真を示す。図の左側部分が VIL デバイス、右側が I^2L を示し、また図中破線で示した領域は、下面 P^+ インジェクタの拡散されている場所を示す。

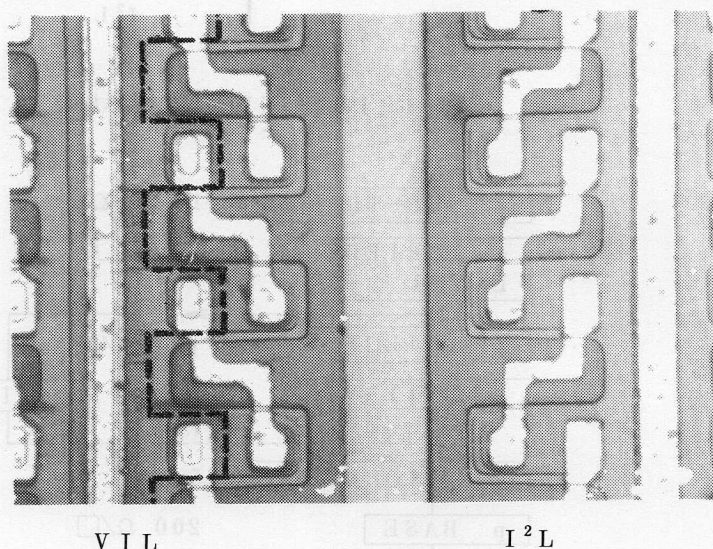


図 2.4.3 VIL 及び I^2L のインバータ鎖の顕微鏡写真

図 2.4.1 からわかるように VIL 構造における縦形 pnp トランジスタのベース領域は、均一に形成することができ、また npn トランジスタのベースの p^+ 層の拡散深さを制御することで 1

μm 以下のベース幅にすることが可能である。下面インジェクタと接続するための p^{++} 領域は、通常のバイポーラ IC における分離拡散に相当するものを用い、不純物濃度を高くすることができる。下面インジェクタから下方向に注入される無効正孔電流も、 n^{+} 埋込層の存在により小さくすることができる。従って、VIL デバイスにおける pnp トランジスタのベース接地電流増幅率 α の大幅な向上が可能となる。

2.4.2 デバイス試作上の問題点

2.4.2.1 p^{+} 埋込拡散領域の形成条件

VIL 構造における pnp トランジスタのベース幅を制御するためには、下面 p^{+} インジェクタの、n 形エピタキシャル層中への上方拡散量を知る必要がある。図 2.4.4 は、エピタキシャル層の比抵抗が $1 \sim 2 \Omega\text{cm}$ の時の下面 p^{+} インジェクタの上方再拡散長 x_j と、エピタキシャル層成長直後、および成長後の熱処理時間 $\sum D_i t_i$ との関係を示したものである。ここでパラメータは下

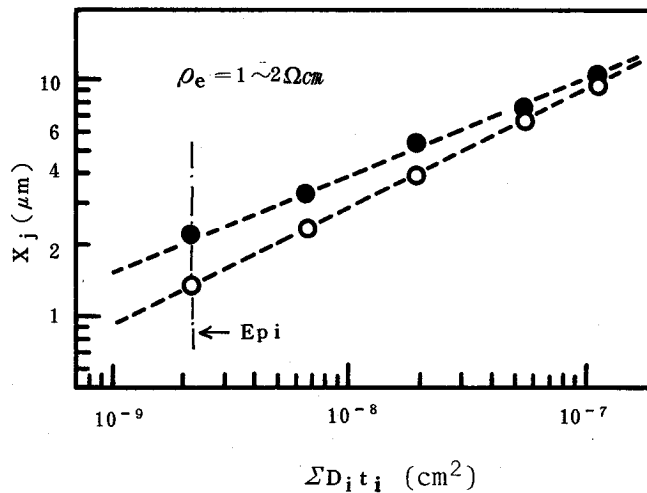


図 2.4.4 埋込インジェクタの上方再拡散長と熱処理時間の関係

面 p^{+} インジェクタの濃度である。図中の○印は、下面 p^{+} を $50 \Omega/\square$ にデポジットし、 1180°C で湿酸素雰囲気中で 30 分、乾燥酸素雰囲気中で 10 分処理したものであり、●印はデポジションが同じく $50 \Omega/\square$ で、 1180°C 、湿酸素雰囲気中で 30 分、乾燥酸素雰囲気中で 150 分処理した場合である。下面 p^{+} インジェクタの上方再拡散長 x_j は、ウエハを角度研磨後ステンエッチをほどこし、p 形基板と n 形エピタキシャル層の境界を原点として測定した。図中一点鎖線で示したよ

うにエピタキシャル成長の完了した時点で既にn形エピタキシャル層中へ下面p⁺層が再拡散している。

図2.4.5は、n⁺埋込層内に50 Ω/□でデポジットし、チッ素雰囲気で1000℃、50分熱処理して形成した下面p⁺領域が、0.3 Ωcmのエピタキシャル層中に熱処理時間によって変化していく様子を示したものである。熱処理時間が長くなるにつれて、下面p⁺インジェクタの再拡散長が増加すると同時に下面p⁺インジェクタの幅も広がっている。

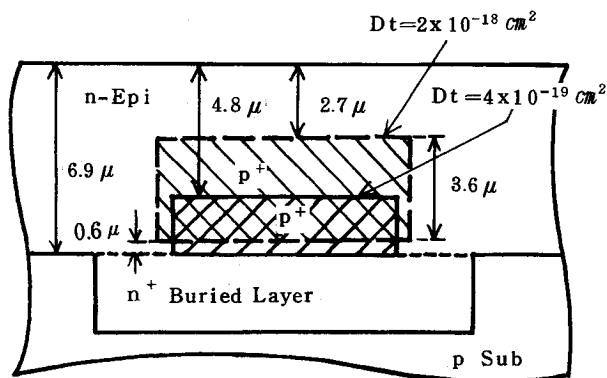


図2.4.5 埋込インジェクタの上方向再拡散（エピタキシャル層0.3 Ωcm）

下面p⁺領域の拡散条件、エピタキシャル層成長後の熱処理サイクル、npnトランジスタのp⁺ベース領域の幅の関連から、npnトランジスタの性能にもっとも敏感なエピタキシャル層の厚みを最小化する方法で、パラメータの設定を行った。

2.4.2.2. エピタキシャル層及びn⁺埋込層の形成条件

VILデバイスの下面p⁺インジェクタの不純物には、拡散係数の大きい硼素（ボロン）を使用しているため、エピタキシャル層の厚みは、通常のI²Lに比べて厚くなる。これはnpnトランジスタの電流増幅率β_uにとって不利な条件である。そこでn形エピタキシャル層及びn⁺埋込層のプロセスパラメータによってβ_uがどのような影響を受けるかの検討を行った。

I²L構造におけるnpnトランジスタの特徴は、エミッタ領域がn形エピタキシャル層とn⁺埋込層のn-n⁺構造からなっていることである。輸送効率およびコレクタ増幅率を1と仮定すると、npnトランジスタのβ_uは次式で表わされる。

$$\beta_u = I_n(0) / I_p(0) \quad (2.3)$$

ここでI_n(0)はベースエミッタ接合での電子電流、I_p(0)は正孔電流である。電子電流

$I_n(0)$ はベースの濃度によって決まり、エミッタの濃度分布には関係しないので、 β_u を考える場合 $n-n^+$ 構造における正孔電流 $I_p(0)$ を解析すれば良い。いま $n-n^+$ 構造における不純物分布が理想的な階段接合をしていると仮定し、また $n-n^+$ 接合の空間電荷層内の再結合電流を無視すると、正孔電流 $I_p(0)$ は次のようにあらわされる。

$$I_p(0) \propto \frac{D_p}{L_p} \frac{n_i^2}{N_n} \frac{\sinh \frac{W_E}{L_p} + K \cosh \frac{W_E}{L_p}}{\cosh \frac{W_E}{L_p} + K \sinh \frac{W_E}{L_p}} \quad (2.4)$$

$$K \equiv L_p D_p^+ N_n / L_p^+ D_p N_n^+$$

ここで n_i は真性半導体の濃度、 W_E はエピタキシャル層の実効厚み、 $N_n L_p D_p$ はそれぞれ n 形エピタキシャル層中での不純物濃度、正孔拡散長、正孔拡散係数である。また K は $n-n^+$ 接合に起因する定数であり K が小さいほど正孔に対するブロッキング効果が大きくなり、 β_u が大きくなる。図 2.4.6 は β_u と n^+ 埋込層の濃度 N_{n^+} との関係を示す。図より W_E が $0.5 \mu m$ 以上の場合 N_{n^+} が $10^{19}/cm^3$ 以上あれば充分であることがわかる。 β_u と n 形エピタキシャル層の比抵抗 ρ_e との関係を図 2.4.7 に、 β_u とエピタキシャル層の実効厚みとの関係を図 2.4.8 に示す。図 2.4.8 において、実線は $n-n^+$ 接合空間

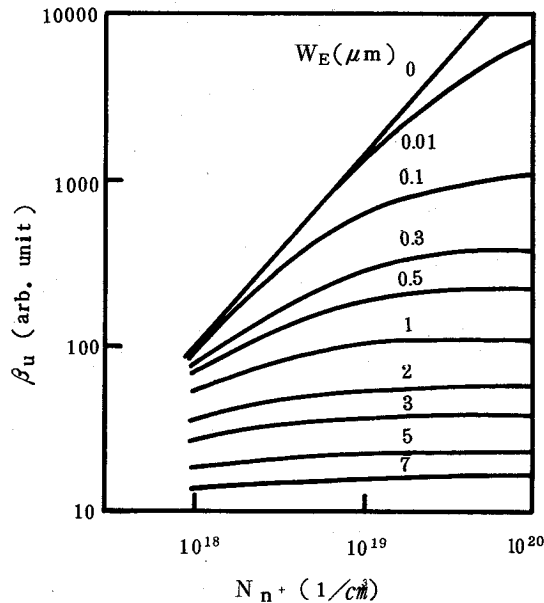


図 2.4.6 電流増幅率 β_u と、 n^+ 埋込層の濃度 N_{n^+} との関係

電荷層内での再結合電流を無視した場合，破線は $n-n^+$ 接合空間電荷層内での再結合効果を含めた場合の理論値を示す。また○印は $2.2 \sim 3.2 \Omega\text{cm}$ の比抵抗をもつエピタキシャル層の場合の

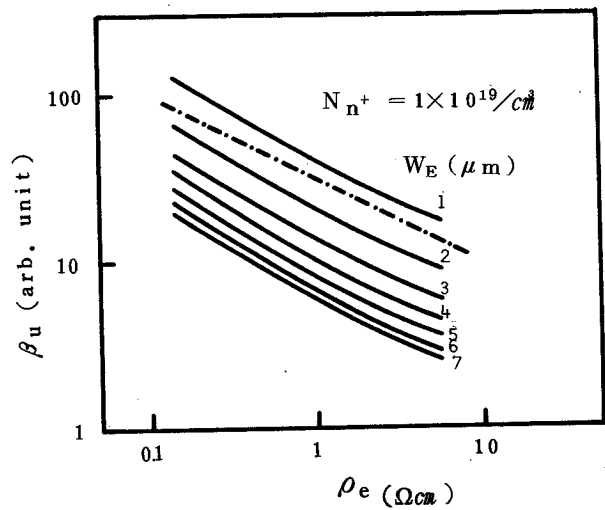


図 2.4.7 電流増幅率 β_u vs. エピタキシャル層の比抵抗 ρ_e

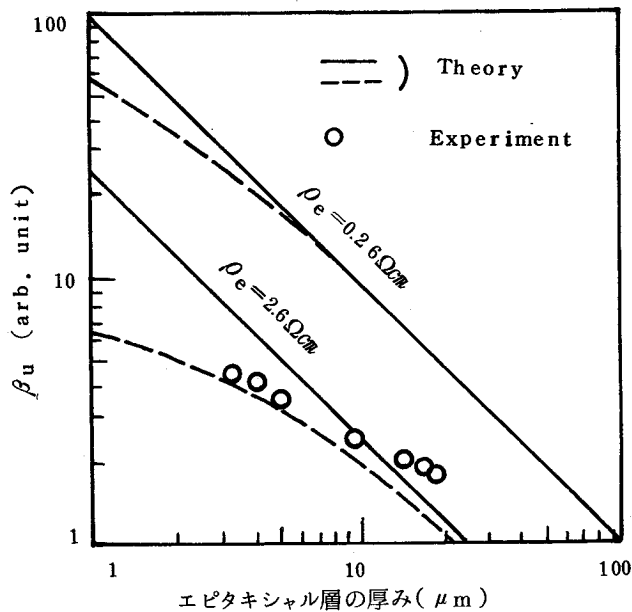


図 2.4.8 電流増幅率 β_u vs. エピタキシャル層の厚み W_E

実測値である。 β_u のエピタキシャル層厚み依存性の実測値は，空間電荷層内での再結合を考慮した場合の式によりよく一致し， $n-n^+$ 接合空間電荷層内での再結合を無視し得ないことが示

唆される。以上の検討結果から、 $n-n^+$ 構造を有するnpnトランジスタの β_u を高くするためには

- i) エピタキシャル層の比抵抗を低くする
- ii) エピタキシャル層の実効厚みを薄くする

ことが必要である。

前述の如くVIL構造においてエピタキシャル層の厚みを薄くすることは困難であるが、下面 p^+ インジェクタの周囲に下面 n^+ 層を形成することによって実効的なエピタキシャル層の厚みを薄くすることが考えられる。下面 n^+ 層はエピタキシャル層中への上方向再拡散を利用してエピタキシャル層のの実効厚みを小さくするのが目的であるから、拡散係数の大きい不純物リンを用いるのが有効である。下面 p^+ インジェクタの底面に存在する n^+ 埋込層は、拡散係数の小さい砒素が使用されているため、npnトランジスタの電流増幅率 α への影響はない。図2.4.9はp形の比抵抗 $1\Omega\text{cm}$ のエピタキシャル層を使って、不純物リンで形成された $20\sim30\Omega/\square$ の下面 n^+

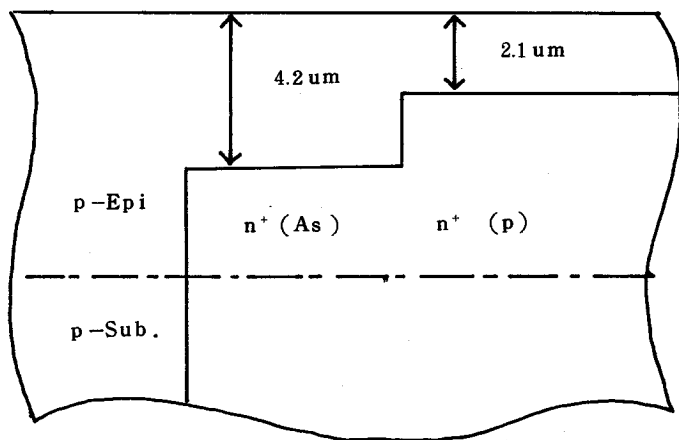


図2.4.9 砒素(As)及びリン(P)の上方向再拡散

層と、不純物砒素で形成された $13\Omega/\square$ の n^+ 埋込層の上方向再拡散深さを測定した結果を示す。従ってリンの下面 n^+ 拡散を用いることによって実効のエピタキシャル層厚みを低減することができる。

図2.4.10は、 I^2L のnpnトランジスタの β_u と β_d の関係が、下面 n^+ 層の有無によってどう変わるかを示したものである。ここで β_d は、下方向の電流増幅率であり、 I^2L 構造におけるコレクタをエミッタとし、エミッタをコレクタとして測定したものである。図において○印が下面 n^+ 層無しの場合、●印が下面 n^+ 層有りの場合である。同じ β_d の値に対して、下面 n^+ 層が

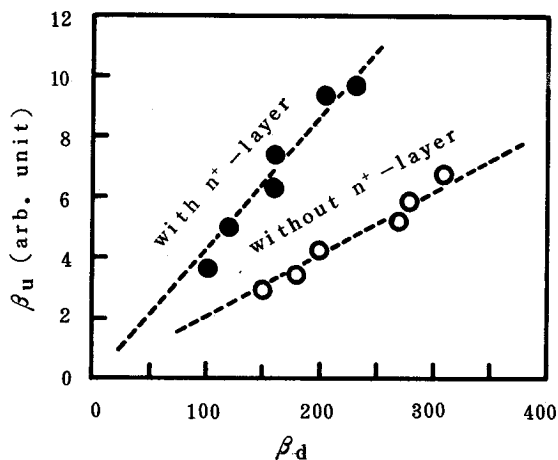


図 2.4.1.0 埋込 n^+ 層が電流増幅率に与える影響

有る場合は、無い場合に比べて大きな β_u の値を持つことがわかる。

2.4.2.3 p^+ 埋込拡散領域の低抵抗化

VIL の特長の 1 つは下面 p^+ インジェクタを採用して pnp トランジスタの α を改善することにあるが、エピタキシャル層表面から下面 p^+ インジェクタまで達するように下方向に拡散された p^+ インジェクタをインジェクタの取出口とし、下面 p^+ インジェクタを配線としても利用することができる。すなわち、VIL 構造では、図 2.4.1.1 に示すように npn トランジスタのベ

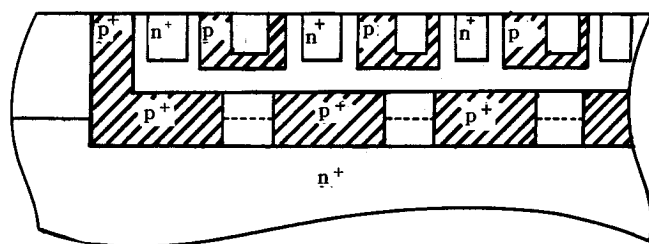


図 2.4.1.1 埋込 p^+ 領域の配線への利用

ースの側面にインジェクタを設ける必要がなくなり、その結果、集積度を高くすることができる。

I^2L/VIL とともにインジェクタ電流は、 $p-n$ 接合に順方向電圧を印加することによって制御するため、インジェクタ部分の電圧降下は、デバイスの動作速度、その他に悪影響を与える。従って下面 p^+ インジェクタを配線して用いるためには下面インジェクタの抵抗を下げる必要があ

る。そのためには下面 p^+ 領域の濃度を上げる必要性を生ずるが、下面 p^+ の濃度が高いほど上方向への再拡散量が増加し、エピタキシャル層の厚みの増大をまねく。また、エピタキシャル層の実効濃度を下げることにより、その結果 npn トランジスタの β_u を低下させる。さらに下面 p^+ インジェクタの底面に存在する n^+ 埋込層の実効濃度を低下させることにもなる。これらの欠点をさける方法として二重のエピタキシャル層を用いる方法を検討した。

すなわち、 n^+ 埋込層の上に直接 p^+ インジェクタを拡散するのではなく、図 2.4.1 2 に示すように薄いエピタキシャル層を界在させることによって、下面 p^+ インジェクタの表面濃度を増すことなく下面 p^+ インジェクタの抵抗を下げることができる。また下面 p^+ インジェクタの底面に位置する n^+ 埋込層の実効濃度の低下も低減することができる。

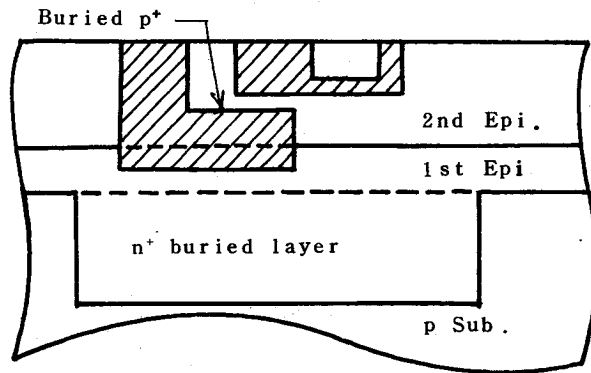


図 2.4.1 2 二重エピタキシャル構造

n^+ 埋込層に直接下面 p^+ インジェクタを拡散した場合、図 2.4.1 3 に示すように n^+ 埋込層の高濃度不純物がエピタキシャル成長や、その後の高温熱処理中に上方向に再拡散してくるため、下面 p^+ インジェクタの実効不純物濃度（図中の実線ハッチ部）が低下する。また n^+ 埋込層の実効不純物濃度も下面 p^+ インジェクタの下方向への再拡散により低下する。（図中破線のハッチ部）これに対して n^+ 埋込層の上に第 1 層目の薄いエピタキシャル層を $2 \sim 3 \mu\text{m}$ 形成し、その後下面インジェクタを形成する二重エピタキシャル法の場合は、図 2.4.1 4 に示すように、 n^+ 埋込層からの再拡散の影響が少ないために、下面 p^+ インジェクタの実効不純物濃度（図中実線ハッチ部）が高くなる。また下面 p^+ インジェクタからの下方向への再拡散の影響が少なくなるため、 n^+ 埋込層の実効不純物濃度（図中破線ハッチ部）の低下も図 2.4.1 3 の場合に比べて小さい。さらに二重エピタキシャル法の場合は、第 2 層目のエピタキシャル層を成長させるとき、 n^+ 埋込層からの再拡散による第 1 層目のエピタキシャル層表面濃度は、 n^+ 埋込層の最高濃度に

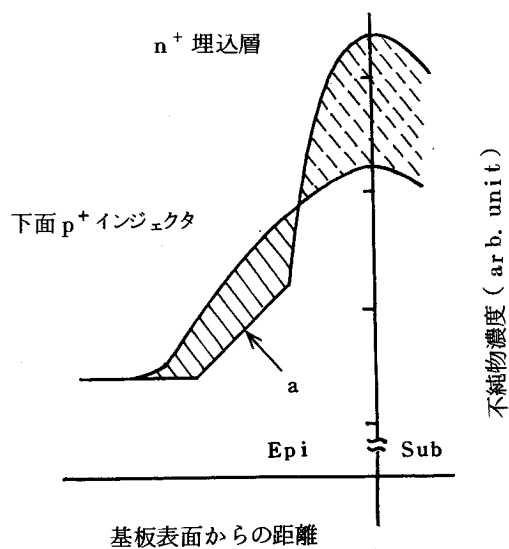


図 2.4.1.3 単一エピタキシャル構造における不純物分布

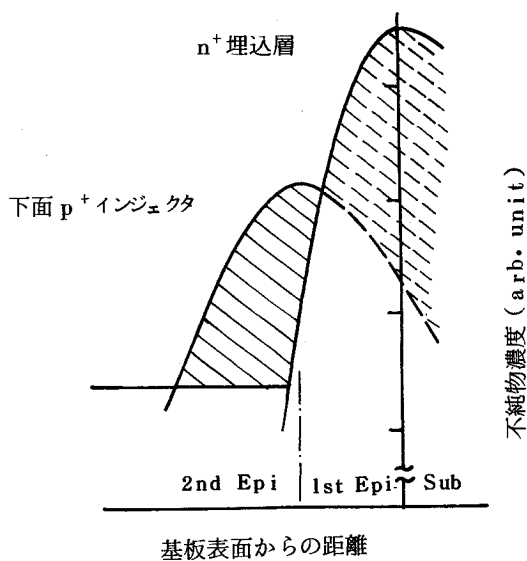


図 2.4.1.4 二重エピタキシャル構造における不純物分布

比べてかなり低下しているため、図 2.4.1.3 に示した n^+ 埋込層の高濃度表面からのエピタキシャル層成長時のオートドーピング量（曲線 a）は必然的に小さくなるので、一層下面 p^+ インジクタの実効不純物濃度の増大に寄与する。

2. 5 電気的特性の解析 ⁽²²⁾⁻⁽²⁷⁾

2.5.1 はじめに

VIL デバイスは、npn トランジスタのベース領域直下に、下面 p^+ インジェクタと称する p^+ 拡散領域が配置された構造を有している。この p^+ 領域は VIL ゲートの静特性及び動特性に大きな影響を与える。VIL におけるゲート遅延時間の改善は、この下面 P^+ インジェクタの働きによる。すなわち、エピタキシャル層内に蓄積される正孔電荷量が減少し、かつ正孔の実効的なライフタイムが低減されることによって、ゲート遅延時間が小さくなる。

ここでは VIL デバイスにおける下面 p^+ インジェクタの働きを明確化するために簡単な一次元モデルを用いて解析を行なう。すなわち少数キャリアの流れは縦方向か横方向のいずれかのみであるとし、また npn トランジスタのベース電流としてエピタキシャル層に注入される正孔電流のみを扱う。

まず、電流増幅率と下面インジェクタ形状の関係を解析し、続いてゲート遅延時間を決定する機構を議論する。

2.5.2 VIL と I^2L の電気的特性の比較

I^2L 構造に於て、ラテラル pnp トランジスタは、注入効率及び電力遅延時間積の決定に重要な役割をはたす。低電流領域では、遅延時間 t_d は、空乏層容量や、その他寄生容量からなる全負荷容量 C を充電する時間に依存する。この充電時間は、npn トランジスタのベース電流 I_B に逆比例し、 t_d は次式のようにあらわされる。

$$t_d = \frac{1}{2} \frac{C \Delta V}{I_B} = \frac{C \Delta V}{2 \alpha_n I_{inj}} \quad (2.5.1)$$

ここで I_{inj} は、インジェクタ電流、 α_n は npn トランジスタのベース接地電流増幅率（順方向動作時）、 ΔV は論理振幅である。

インジェクタ電流は、npn トランジスタの動作状態に応じて変化する。npn トランジスタが“ON”状態のとき、ラテラル pnp トランジスタは飽和し、npn トランジスタの正味のベース電流は減少する。結果としてインジェクタ電流は減少し、次のようになる。

$$I = \frac{I_B}{\alpha_n} - \alpha_i I_B \quad (2.5.2)$$

ここで α_i は逆方向動作時の pnp トランジスタのベース接地電流増幅率である。一方 npn トランジスタが“OFF”状態であるとき、インジェクタ電流は、

$$I = \frac{I_B}{\alpha_n} \quad (2.5.3)$$

で与えられ、従って平均の消費電力 P は、

$$P = \frac{V_{inj}}{2} I_B \left(\frac{2}{\alpha_n} - \alpha_i \right) \quad (2.5.4)$$

で与えられる。ここで V_{inj} はインジェクタ電圧である。(2.5.1)と(2.5.4)式から、電力・遅延時間積を求めると次のようになる。

$$P \cdot t_d = \frac{C V_{inj} \Delta V}{2 \alpha_n} (2 - \alpha_n \alpha_i) \quad (2.5.5)$$

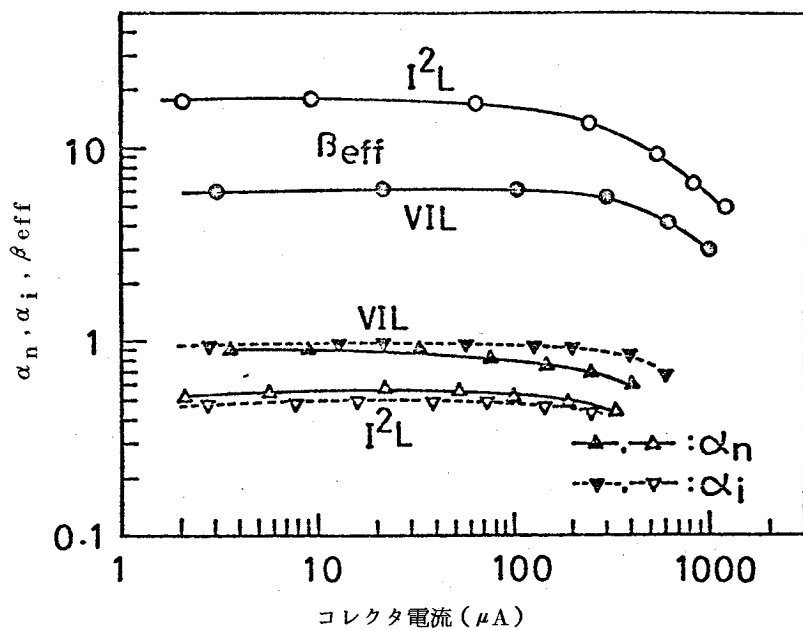
式(2.3.5)からわかるように、電力遅延時間積は、npnトランジスタの順方向電流増幅率 α_n のみならず逆方向電流増幅率 α_i にも依存する。従って、電力遅延時間積を改善するためには、まず α_n をできるだけ大きくし(1に近づけ)続いて、 α_i を大きくすることが必要である。従来技術の I^2L 構造では、ラテラル npn トランジスタのベース幅制御が写真製版の精度や、横方向拡散で決まり、 α_n 、 α_i を十分高くすることは困難であった。

VILゲートは、npnトランジスタのベース領域の下に p^+ の埋込層を設け、インジェクタとして縦形 npn トランジスタを用いる。 p^+ 埋込層の浮き上り拡散を制御することにより、npn トランジスタのベース幅を非常に狭く制御することができ、電流増幅率 α_n 、 α_i ともに大きくすることができる。図2.5.1(a)に順方向電流増幅率の α_n 及び逆方向電流増幅率 α_i とコレクタ電流の関係を示す。 α_n 、 α_i ともに I^2L の0.4~0.6に対してVILでは0.8~1.0と増加している。

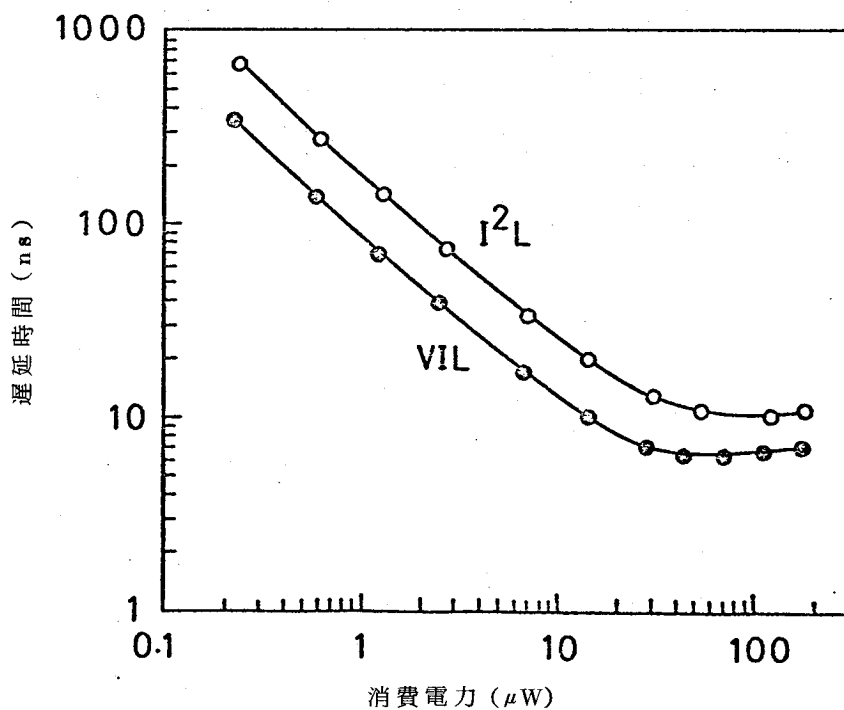
I^2L の複合構造のために、npnトランジスタの実効的なエミッタ接地電流増幅率 β_{eff} は npn トランジスタの逆方向電流増幅率 α_i に大きく影響される。VILでは α_i が高いために、npn トランジスタのゲイン β_{eff} は減少している。インジェクタを接地した条件のもとに測定した I^2L 及びVILの npn トランジスタの β_{eff} を図2.5.1(a)に示す。

耐圧(BV_{CEO})と、npnトランジスタの逆方向電流増幅率 β_d に関しては、VILと I^2L で有意差がなかった。これは、 BV_{CEO} や、 β_d を決定する npn トランジスタのコレクタ側の条件がVILと I^2L で差がないためである。 $BV_{CEO} = 5V$ 、 $\beta_d = 200 \sim 400$ の値がVILと I^2L で得られている。

上述したようにVILの特長は、埋込みインジェクタの導入による npn トランジスタのゲインの改善にある。これらの α_n 、 α_i の高い値の為PD積を大幅に改善することができる。一例として、図2.5.1(b)に従来の I^2L とVILデバイスの遅延時間と消費電力の測定結果を示す。低電力領域におけるPD積が I^2L の0.2 pJに対してVILでは0.07 pJの値が得られている。さらに最小遅延時間として、 I^2L の10.5 nsに比べてVILでは6.5 nsが得られた。最小遅延時間の改善は、VILのもう一つの特長である。大電力領域では、最小遅延時間は、npn トランジスタのベース直下のエピタキシャル層中に蓄積される正孔量によって決定される。VIL構造で



(a)



(b)

図 2.5.1 VIL及び I^2L の(a)電流増幅率と(b)遅延時間

は、埋込インジェクタ領域の存在のために、正孔蓄積量と、正孔の実効ライフタイムをともに小さくすることができ、結果的に最小遅延時間を小さくすることができると考えられる。なお、これらの詳細な解析は次の節で述べる。

2.5.3 VILにおける電気的特性の解析

2.5.3.1 静的特性

I^2L の速度を決定する因子の1つとしてnpnトランジスタのエミッタ接地電流増幅率が挙げられる。 I^2L はpnpトランジスタとnpnトランジスタの複合構造になっているため、npnトランジスタの増幅率は、インジェクタの存在によって影響を受ける。npnトランジスタ単体の上方向電流増幅率 β_u に対して、 I^2L デバイスにおけるインジェクタを接地した条件で測定したエミッタ接地電流増幅率を β_{eff} とする。VILでは、インジェクタの面積が広いため、それだけnpnトランジスタの β_{eff} に及ぼす影響が大きく、インジェクタ面積と β_{eff} との関係を明らかにすることはVIL構造の最適化をはかる上で極めて重要である。

図2.5.2に示す単純化したVIL構造について β_{eff} と下面インジェクタの形状との関係を、

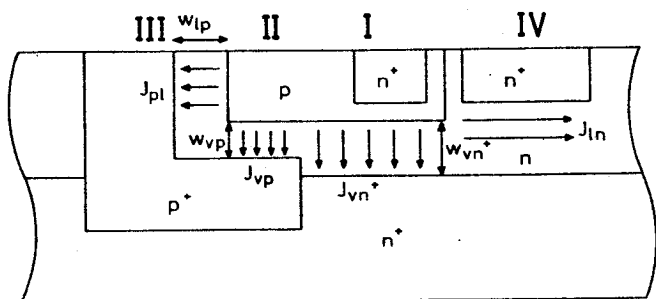


図 2.5.2 VIL構造における正孔電流

一次元モデルで導出する。ここでnpnトランジスタのベース領域における再結合電流は無視し、ベース電流としてはエピタキシャル層に注入される正孔電流のみを考える。従って正孔電流は境界条件の種類に応じて次の4つに分類できる。

- i) $n-n^+$ 接合に流れる正孔電流 (I_{vn^+})
- ii) 下面インジェクタに流れる正孔電流 (I_{vp})
- iii) ベースと対向したインジェクタに流れる正孔電流 (I_{lp})
- iv) ベース周辺の n^+ 領域を通して横方向に流れる正孔電流 (I_{ln})

エピタキシャル層内の正孔に対する埋込インジェクタの電気特性に与える影響を考慮するために、図 2.5.2 における領域を 4 つに分割して検討する。領域Ⅰは、 n^+ 埋込み層が npn トランジスタのベース直下に存在する領域に対応し、領域Ⅱは埋込インジェクタがベース直下にある領域、領域Ⅲはラテラル npn 動作が優先する領域である。最後に領域Ⅳは n^+ リングの下の領域に対応する。

解析にあたって、少数キャリアの流れは、縦方向か、横方向のいずれかのみであると仮定した。エピタキシャル層内における正孔の分布は、連続の方程式を解くことによって求めることができる。図 2.5.3 は、nnpn トランジスタのベース-エピタキシャル界面を原点として、上記の

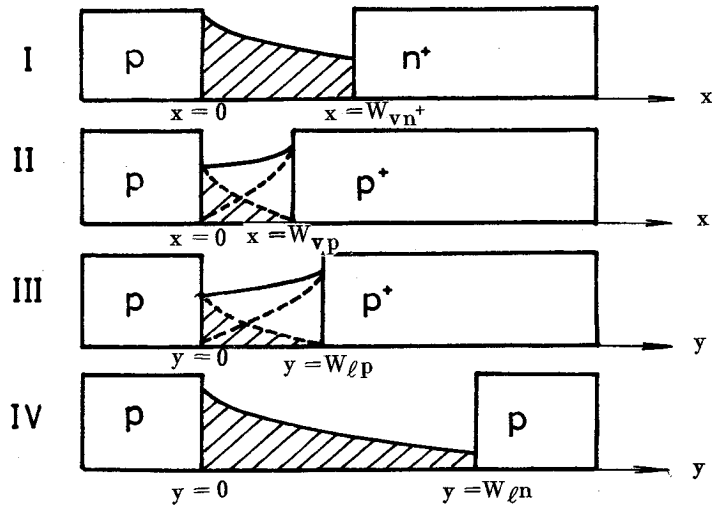


図 2.5.3 V I L 構造の各部における正孔分布 (W_{ln} は隣接する npn トランジスタのベースまでの距離)

領域Ⅰ～Ⅳにおける境界条件及び、少数キャリア分布の模式図を示す。領域Ⅱ及びⅢでは、キャリア分布は、nnpn トランジスタのベースから注入されたものと、インジェクタ側から注入されたものの 2 つの成分に分割することができる。このうち、ベースから注入された成分が、後述する真性遅延時間に関係する。この分布はインジェクタが接地されているという境界条件のもとに求めることができる。正孔の分布は上記の領域Ⅰ～Ⅳに於いて、以下の通り与えられる。⁽²⁸⁾

領域Ⅰ

$$P_{vn^+}(x) = P(0) \frac{\sinh((W_{vn^+} - x)/L_p) + K \cosh((W_{vn^+} - x)/L_p)}{\cosh(W_{vn^+}/L_p) + K \sinh(W_{vn^+}/L_p)} \quad (2.5.6)$$

領域Ⅱ

$$P_{vp}(x) = P(0) \frac{\sinh((W_{vp} - x)/L_p)}{\sinh(W_{vp}/L_p)} \quad (2.5.7)$$

領域Ⅲ

$$P_{\ell p}(y) = P(0) \cdot \frac{\sinh((W_{\ell p} - y)/L_p)}{\sinh(W_{\ell p}/L_p)} \quad (2.5.8)$$

領域Ⅳ

$$P_{\ell n}(y) = P(0) \cdot \frac{\sinh((W_{\ell n} - y)/L_n)}{\sinh(W_{\ell n}/L_p)} \quad (2.5.9)$$

ここで,

$$K \equiv \frac{L_p}{D_p} \left(\frac{W_{SC}}{\tau_{SC}} \frac{kT}{q} + \frac{D_{PS}}{L_{PS}} \frac{N_n}{N_n^+} \right) \quad (2.5.10)$$

$$\Delta = \frac{kT}{q} \cdot \ln(N_n^+/N_n) \quad (2.5.11)$$

である。 L_p と D_p はエピタキシャル層内における正孔の拡散長, 拡散係数であり, W_{SC} , L_{PS} , D_{PS} , τ_{SC} は $n-n^+$ 接合の空間電荷層の厚さ及び空間電荷領域における正孔の拡散長, 拡散係数, ライフタイムである。ベース領域からエピタキシャル層への正孔注入による電流密度は,

(2.5.6 ~ 2.5.9) 式を用いて

$$J_{vn^+} = -qD_p \left. \frac{\partial P_{vn^+}}{\partial x} \right|_{x=0} \quad (2.5.12)$$

$$J_{vp} = -qD_p \left. \frac{\partial P_{vp}}{\partial x} \right|_{x=0} \quad (2.5.13)$$

$$J_{\ell p} = -qD_p \left. \frac{\partial P_{\ell p}}{\partial y} \right|_{y=0} \quad (2.5.14)$$

$$J_{\ell n} = -qD_p \left. \frac{\partial P_{\ell n}}{\partial y} \right|_{y=0} \quad (2.5.15)$$

で与えられる。

従って

$$J_{vn^+} = q \frac{D_p P(0)}{L_p} \left\{ \frac{\sinh(W_{vn^+}/L_p) + K \cosh(W_{vn^+}/L_p)}{\cosh(W_{vn^+}/L_p) + K \sinh(W_{vn^+}/L_p)} \right\} \quad (2.5.16)$$

$$J_{vp} = q \frac{D_p P(0)}{L_p} \coth(W_{vp}/L_p) \quad (2.5.17)$$

$$J_{\ell p} = q \frac{D_p P(0)}{L_p} \coth(W_{\ell p}/L_p) \quad (2.5.18)$$

$$J_{\ell n} = q \frac{D_p P(0)}{L_p} \coth(W_{\ell n}/L_p) \quad (2.5.19)$$

となる。 $n-n^+$ 接合面の面積を S_{vn^+} ，ベース直下の下面インジェクタの面積を S_{vp} ，ベースと横方向に対向するインジェクタの面積を $S_{\ell p}$ ，ベース周辺の n 領域の断面積を $S_{\ell n}$ とすると各電流成分は次のようになる。

$$\begin{aligned} I_{vn^+} &= S_{vn^+} J_{vn^+} \\ I_{vp} &= S_{vp} J_{vp} + I_{vpo} \\ I_{\ell p} &= S_{\ell p} J_{\ell p} \\ I_{\ell n} &= S_{\ell n} J_{\ell n} \end{aligned} \quad (2.5.20)$$

ここで I_{vpo} はベース直下以外の下面インジェクタに流れる正孔電流である。以上求めた電流成分の総和が、 VIL における $n p n$ トランジスタのベース電流になる。従ってこれを I_B とすると、

$$\begin{aligned} I_B &= I_{\ell p} + I_{\ell n} + I_{vp} + I_{vn^+} \\ &= S_{\ell p} J_{\ell p} + S_{\ell n} J_{\ell n} + I_{vpo} + S_B J_{vn^+} + S_B (J_{vp} - J_{vn^+}) \chi \end{aligned} \quad (2.5.21)$$

ここで $\chi = S_{vp}/S_B$ であり、ベース直下の下面インジェクタ面積をベース面積で規格化した値である。

従来の I^2L における $n p n$ トランジスタのベース電流 I_{BO} は、(2.5.21) 式の下面インジェクタへ流れる成分を 0 とし得られ、次式で表わされる。

$$I_{BO} = S_{\ell po} J_{\ell p} + S_{\ell n} J_{\ell n} + S_B J_{vn^+} \quad (2.5.22)$$

$n p n$ トランジスタのコレクタ電流は、ベース領域の濃度分布にのみ依存し、エミッタ領域の構造には関係しないと考えられる。従って I^2L の場合と VIL の場合とで全く同一であることができる。 I^2L のエミッタ接地電流増幅率を β_{effo} とし、 VIL の $n p n$ トランジスタのそれを β_{eff} とする。下面インジェクタとベースの重なり量 χ と β_{effo}/β_{eff} との関係を求めると次のようになる。

$$\frac{\beta_{effo}}{\beta_{eff}} = 1 + \frac{(S_{\ell p} - S_{\ell po}) J_{\ell p} + I_{vpo}}{S_{\ell po} J_{\ell p} + S_{\ell n} J_{\ell n} + S_B J_{vn^+}} + \frac{S_B (J_{vp} - J_{vn^+}) \chi}{S_{\ell po} J_{\ell p} + S_{\ell n} J_{\ell n} + S_B J_{vn^+}} \quad (2.5.23)$$

(2.5.23)式から明らかなように β_{effo}/β_{eff} は χ に比例し、ベースと下面インジェクタとの距離 W_{vp} を短くする程 J_{vp} が大きくなるため χ に対する β_{effo}/β_{eff} の傾きが急になる。すなわち、 W_{vp} が短い程、下面インジェクタの面積を大きくすると急激に β_{eff} が低下することを意味する。

図2.5.4は $n = 1.5 \times 10^{16}/cm^3$, $n^+ = 10^{19}/cm^3$, $D_p = 9.74 cm^2/s$, $L_p = 4.41 \times 10^{-3} cm$, $W_{ep} = 3.0 \mu m$ とした場合の β_{effo}/β_{eff} と χ の関係を計算した結果である。図中実線は $W_{vn^+} = 1.0 \mu m$ の場合であり、破線は $W_{vn^+} = 2.0 \mu m$ の場合である。また●印は $W_{vp} \simeq 1.5 \mu m$ の場合

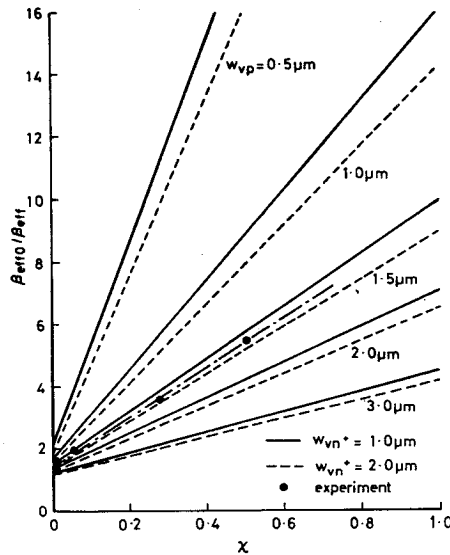


図 2.5.4 β_{effo}/β_{eff} の埋込インジェクタ形状依存性

合の実験結果を示したものであり、理論と良い一致を示している。なお、 L_p , D_{sp} , τ_{sc} は n^+ 基板中の値としてそれぞれ $6.35 \times 10^{-4} cm$, $1.09 cm^2/s$, $3.7 \times 10^{-7} s$ の値を用いた。

2.5.3.2 遅延時間の解析

I^2L VILではnpnトランジスタのエミッタ領域がコレクタ領域に比べて低濃度であるため、ゲートの内因性遅延時間（大電力動作領域における最小遅延時間）を制限する一番大きな要素はエミッタ領域の時定数であると考えられる。すなわちエミッタであるエピタキシャル層中に蓄積された正孔電荷が、内因性遅延時間を決定していると考えられる。ここでは、2.5.3.1で解析したようにVIL構造を分割し、各領域における正孔電荷量を求め、内因性遅延時間を解析する。

図2.5.5において $t = 0$ でトランジスタ $T_{r.1}$ がON状態、 $T_{r.2}$ がOFF状態、 $T_{r.3}$ が

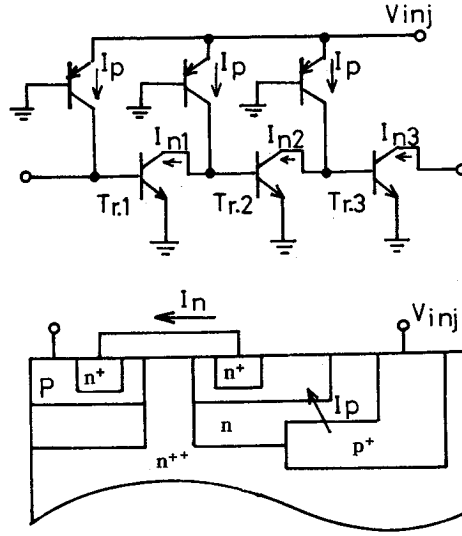


図 2.5.5 V I Lゲートにおける電子電流及び正孔電流

ON状態にあるとし、瞬間的にTr.1をOFF状態にしたときTr.3がOFF状態に移移するまでの時間を t_0 とすると、内因性遅延時間 t_{di} は $1/2 t_0$ で表わされる。図 2.5.5においてエピタキシャル層中に蓄積される1ゲートあたりの総正孔電荷量を Q とし、正孔のエピタキシャル層中における実効的なライフタイムを τ_{eff} とすると、過渡条件として次式の関係が得られる。

$$\frac{dQ}{dt} = I_p - I_n - \frac{Q}{\tau_{eff}} \quad (2.5.24)$$

ここで、 I_p はインジェクタからnpnトランジスタのベースに注入される電流であり、 I_n は前段のnpnトランジスタのコレクタ電流である。 $t \geq 0$ で $I_{n1} = 0$ 、 $t=0$ で $I_{n2}=0$ 、 $Q_2=0$ 、 $I_{n3}=2\pi f_T \cdot \tau_{eff} I_p$ 、 $Q_3=\tau_{eff} I_p$ の条件のもとに $I_{n3}=0$ になる時間 t_0 を求めると、 $t_0 = 2 t_{di}$ なる t_{di} に対して次式が得られる。⁽²⁹⁾

$$2 t_{di} = \tau_{eff} \ln \frac{2 t_{di} + \tau_{eff}}{\tau_{eff} - \frac{1}{2\pi f_T}} \quad (2.5.25)$$

ここで $2\pi f_T = I_n/Q$ 、 $\tau_{eff} = Q/I_p$ 、 $2\pi f_T \tau_{eff} = \beta_{eff}$ である。

また $2\pi f_T = 1/\tau_T$ とにおいて(2.5.25)式を書きなおすと次式を得る。

$$\frac{t_{di}}{\tau_{eff}} = \frac{1}{2} \ln \frac{2 \frac{t_{di}}{\tau_{eff}} + 1}{1 - 1/\beta_{eff}} \quad (2.5.26)$$

$$\frac{t_{di}}{\tau_T} = \frac{1}{2} \beta_{eff} \ln \frac{2 \frac{t_{di}}{\tau_T} + \beta_{eff}}{\beta_{eff} - 1} \quad (2.5.27)$$

t_{di}/τ_T と β_{eff} の関係を図 2.5.6 に, t_{di}/τ_{eff} と β_{eff} の関係を図 2.5.7 にそれぞれ示す。
 図 2.5.6 から遮断時定数 τ_T が一定のとき遅延時間は β_{eff} の減少とともに小さくなることがわかる。
 $\beta_{eff} = \tau_{eff}/\tau_T$ であり, 正孔の実効的なライフタイム τ_{eff} が短いほど遅延時間が

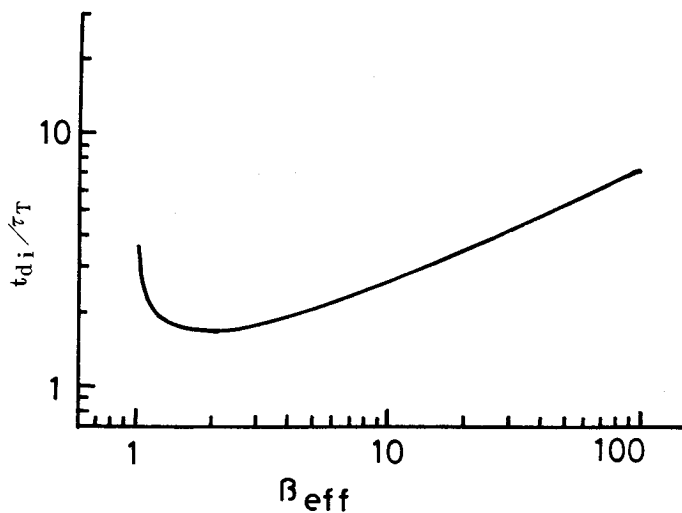


図 2.5.6 t_{di}/τ_T vs. β_{eff}

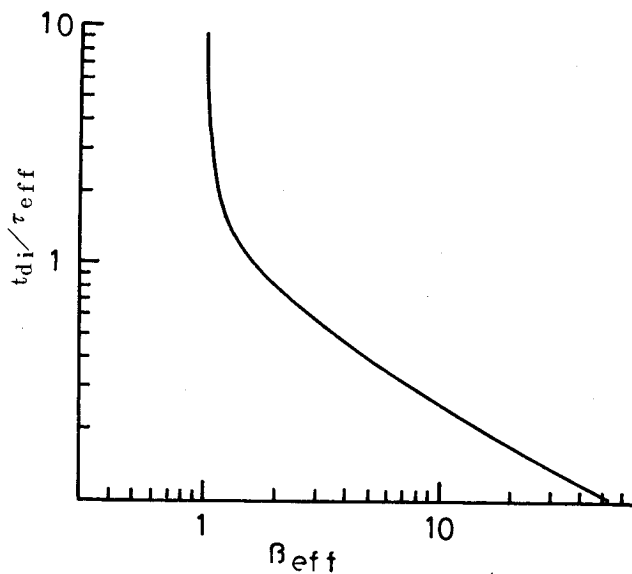


図 2.5.7 t_{di}/τ_{eff} vs. β_{eff}

短くなる。図 2.5.7 は τ_{eff} が一定の時、 β_{eff} が高いほど t_{di} が小さくなることを示す。このことは、 $\beta_{\text{eff}} \propto 1/\tau_T$ であり遮断時定数 τ_T が小さいほど t_{di} が小さくなることを意味する。

以上のようにエピタキシャル層中に蓄積した正孔電荷は、エピタキシャル層中で再結合する成分と前段の npn トランジスタのコレクタ電流で引き抜かれる成分にわけることができる。後者は npn トランジスタの遮断周波数 f_T に結びつけられるものである。低濃度、大面積のエミッタをもつ I^2L 及び、VIL ゲートでは真性遅延時間が主に正孔の実効的ライフタイムと遮断時定数によって決まっていると考えられる。

以下 VIL において下面インジェクタの対向面積（オーバーラップ量 λ ）を変数とし、 λ と Q 、 τ_T 、 τ_{eff} の関係を求め t_{di} の解析を行なう。なお本解析において、空乏層中に蓄積される電荷は、最小遅延時間に寄与しないため無視した。また npn トランジスタのベースとコレクタ領域に蓄積される電荷は前述の理由により無視できるものと仮定し、エピタキシャル層中に蓄積される電荷のみを扱う。

単位面積あたりの正孔電荷は、式 (2.5.6) ～ (2.5.9) を、対象とする領域にわたって積分することによって得られる。すなわち

$$q_{vn^+} = q \int_0^{W_{vn^+}} P_{vn^+}(x) dx \quad (2.5.26)$$

$$q_{vp} = q \int_0^{W_{vp}} P_{vp}(x) dx \quad (2.5.27)$$

$$q_{\ell p} = q \int_0^{W_{\ell p}} P_{\ell p}(y) dy \quad (2.5.28)$$

$$q_{\ell n} = q \int_0^{W_{\ell n}} P_{\ell n}(y) dy \quad (2.5.29)$$

従って、

$$q_{vn^+} = q_P(0) L_p \frac{\tanh(W_{vn^+}/L_p) + K(1 - \frac{1}{\cosh(W_{vn^+}/L_p)})}{1 + K \tanh(W_{vn^+}/L_p)} \quad (2.5.30)$$

$$q_{vp} = q_P(0) L_p \frac{\cosh(W_{vp}/L_p) - 1}{\sinh(W_{vp}/L_p)} \quad (2.5.31)$$

$$q_{\ell p} = q_P(0) L_p \frac{\cosh(W_{\ell p}/L_p) - 1}{\sinh(W_{\ell p}/L_p)} \quad (2.5.32)$$

$$q_{Ln} = q_P(0) L_P \frac{\cosh(W_{Ln}/L_P) - 1}{\sinh(W_{Ln}/L_P)} \quad (2.5.33)$$

で与えられる。

前節で I_B を求めたのと同じように、各領域の断面積を S_{Ln} , S_{Lp} , S_B とすると全蓄積電荷 Q は、

$$Q = S_{Ln} q_{Ln} + S_{Lp} q_{Lp} + S_B q_{vn^+} + S_B (q_{vp} - q_{vn^+}) \chi \quad (2.5.34)$$

で与えられる。一方従来の I^2L の場合の総電荷量 Q_0 を求めると、

$$Q_0 = S_{Lpo} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+} \quad (2.5.35)$$

従って Q/Q_0 と χ との関係は次のように表わせる。

$$\begin{aligned} \frac{Q}{Q_0} = 1 + & \frac{(S_{Lp} - S_{Lpo}) q_{Lp}}{S_{Lpo} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+}} \\ & + \frac{S_B (q_{vp} - q_{vn^+}) \chi}{S_{Lpo} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+}} \end{aligned} \quad (2.5.36)$$

$\tau_T = Q/I_n$ であり、従来の I^2L と、 VIL とで $n-p-n$ トランジスタのベース及びコレクタの条件が同じであるため、 I_n は I^2L と VIL とで異ならない。従って I^2L の遮断時定数を τ_{TO} とすると τ_T/τ_{TO} と χ との関係は次式で表わされる。

$$\begin{aligned} \frac{\tau_T}{\tau_{TO}} = 1 + & \frac{(S_{Lp} - S_{Lpo}) q_{Lp}}{S_{Lpo} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+}} \\ & + \frac{S_B (q_{vp} - q_{vn^+}) \chi}{S_{Lpo} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+}} \end{aligned} \quad (2.5.37)$$

エピタキシャル層内の正孔の実効ライフタイムは

$$\tau_{eff} = Q/I_B \quad (2.5.38)$$

で表わされる。従って (2.5.22) 式の I_B を用いて、

$$\tau_{eff} = \frac{S_{Lp} q_{Lp} + S_{Ln} q_{Ln} + S_B q_{vn^+} + S_B (q_{vp} - q_{vn^+}) \chi}{S_{Lp} J_{Lp} + S_{Ln} J_{Ln} + S_B J_{vn^+} + S_B (J_{vp} - J_{vn^+}) \chi} \quad (2.5.39)$$

で表わされる。

Q/Q_0 及び τ_{eff} を χ の関数として計算した結果を図 2.5.8, 2.5.9 に示す。なお、計算に際

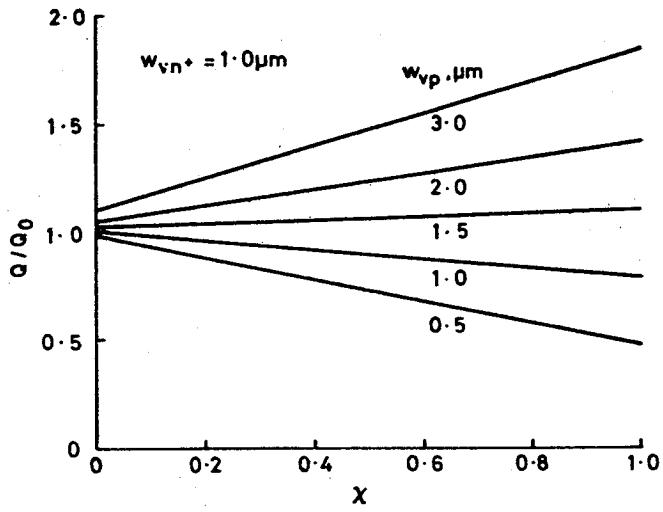


図 2.5.8 Q/Q_0 の埋込インジェクタ形状依存性

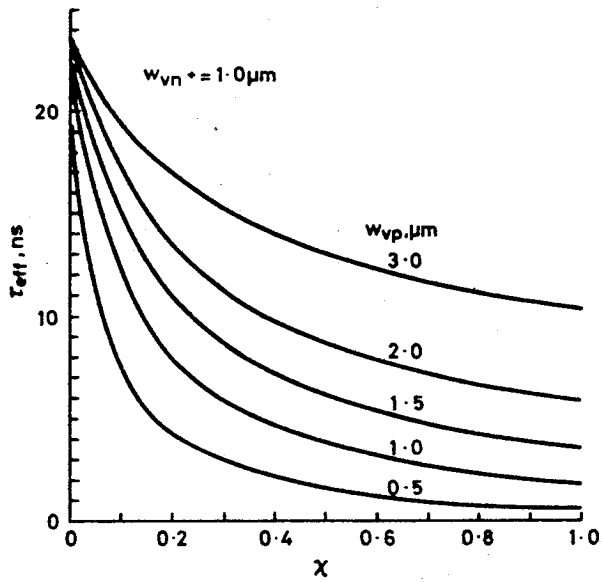


図 2.5.9 τ_{eff} の埋込インジェクタ形状依存性

して $W_{vn+} = 1.0 \mu\text{m}$, $W_{lp} = 3.0 \mu\text{m}$, $N_n = 1.5 \times 10^{16}/\text{cm}^2$, $N_{n+} = 10^{19}/\text{cm}^2$ の値を用いた。

W_{vp} すなわち縦形 p n p トランジスタのベース幅が狭い場合には、下面インジェクタの面積を増加させると、 Q が減少し、遮断時定数 τ_T が減少する。しかしながら W_{vp} が厚くなると逆に

下面インジェクタの面積を増すことによって Q が増加し、 τ_T が増大する。 τ_{eff} については下面インジェクタの面積を増加させると急激に低下する。

図 2.5.1 0 は、従来構造の I^2L における遮断周波数 f_{T0} をパラメータにして t_{di} の β_{eff} 依存

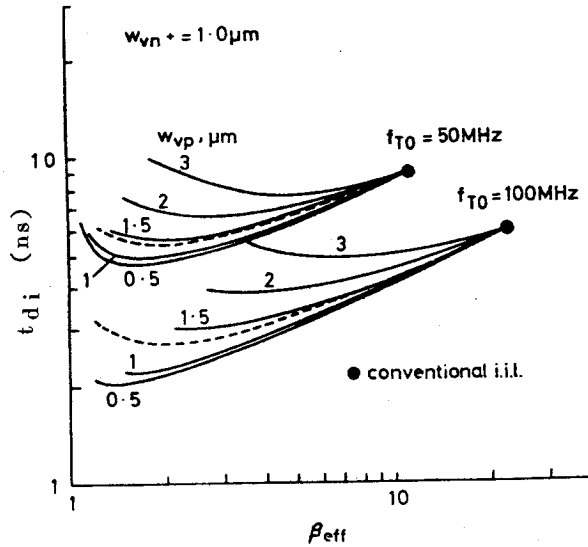


図 2.5.1 0 内因性遅延時間の β_{eff} 依存性

を示したものである。図中、破線は τ_T が一定の場合について示す。 W_{vp} が狭い場合は、 λ の増加にともなって τ_T が減少し、 t_{di} は β_{eff} に強く依存するようになるが、 W_{vp} が厚いときは、 λ の増加が τ_T の増加をもたらし、結果的に t_{di} は β_{eff} にあまり依存しなくなる。 t_{di} と λ の関係は図 2.5.1 1 に示すとおりである。

2.5.4 実験との比較検討

遅延時間と β_{eff} 、 β_{eff} とインジェクタ形状の関係を明らかにするために図 2.5.1 2 に示すようなデバイス構造をもつ、 I^2L 、及び各種 VIL ゲートを作成し、遅延時間の評価を行った。ここで左側は断面図、右側が平面図である。ハッチをほどこした部分がインジェクタであり、NO. 1 は従来の I^2L である。NO. 2 から NO. 6 に至るに従って、 VIL の下面インジェクタの面積が増加し、 $n p n$ トランジスタのベースと対向するインジェクタ面積が大きくなる。

インジェクタ形状が同一である素子では、エピタキシャル層中に蓄積される正孔電荷量 Q 及びベース電流 I_B は一定であり、 τ_{eff} は一定と考えられる。 $n p n$ トランジスタのベース幅を変え、コレクタ電流を変えることによって β_{eff} を変えることができる。この場合 β_{eff} が大きい

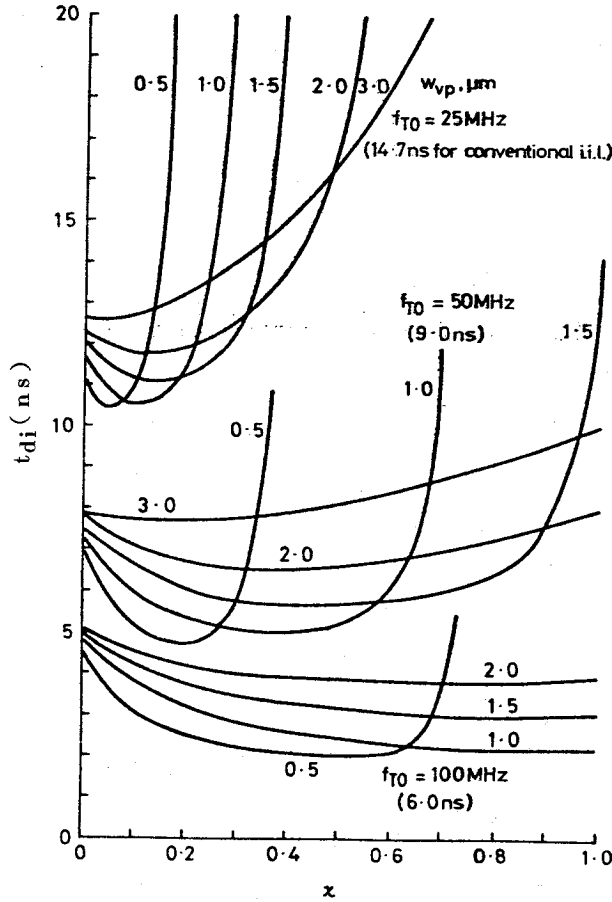


図 2.5.1.1 内因性遅延時間の埋込インジェクタ形状依存性

程 t_{di} は小さくなる。図 2.5.1.3 に I^2L (デバイス構造 NO. 1) 及び VIL (同 NO. 4, NO. 6) の素子についてリングオシレータを構成して測定した t_{di} と β_{eff} の関係を示す。ここで実線は (2.5.2.6) 式で τ_{eff} を一定とした場合の理論曲線であり、実験結果と良い一致を示している。この図から τ_{eff} を求めると I^2L が 43.5 ns, VIL (NO. 4) が 37 ns, VIL (NO. 6) が 11.6 ns になる。 I^2L 及び NO. 4, NO. 6 の VIL 素子の f_T をコレクタ電流の関数として測定したところ、 f_T にはほとんどの差がみられなかった。これは npn トランジスタのベース及びコレクタの形状はこれらの素子間で同一であるため、コレクタ電流に有意差はなく、従ってエピタキシャル層中の正孔電荷量がほぼ等しくなっているためと考えられる。

図 2.5.1.2 の各構造をもつ素子の t_{di} を β_{eff} に対してプロットすると図 2.5.1.4 に示すとおりとなる。図中、実線は (2.5.2.7) 式で τ_T が一定とした場合の理論曲線であり、実験と理論

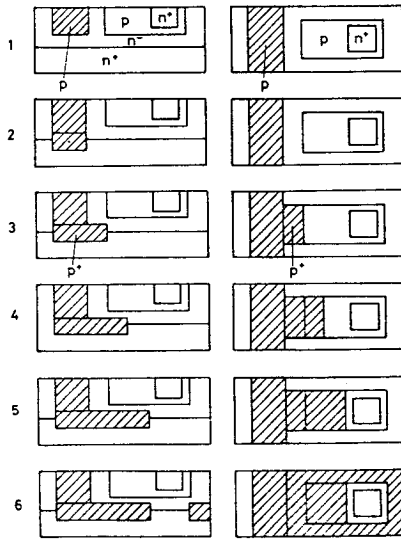


図 2.5.1 2 I^2L 及び各種のインジェクタ形状をもつ VIL の構造

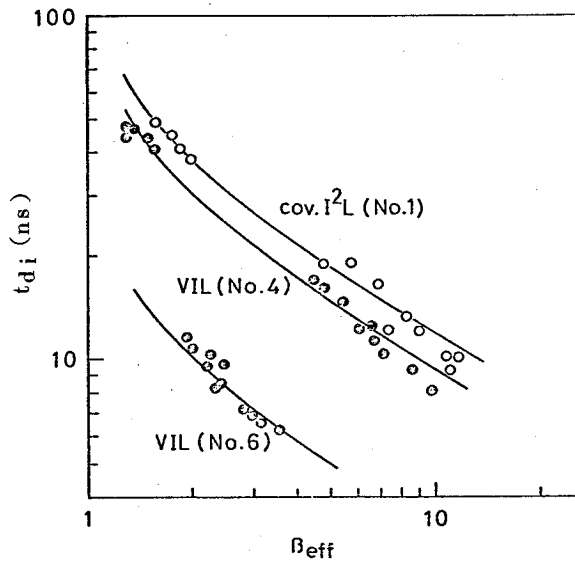


図 2.5.1 3 内因性遅延時間と β_{eff} の関係 (1つの曲線上の実測値は同一のインジェクタ形状をもつ試料から測定した)

は良く一致している。各素子の τ_T ($1/2\pi f_T$) はほぼ一定であるため、この図における t_{di} の改善は τ_{eff} の低下に依存するものと考えられる。すなわち、下面インジェクタがエピタキシャル層中に蓄積した正孔を引き抜き、実効的な正孔のライフタイムを低減するために t_{di} が小さくなっ

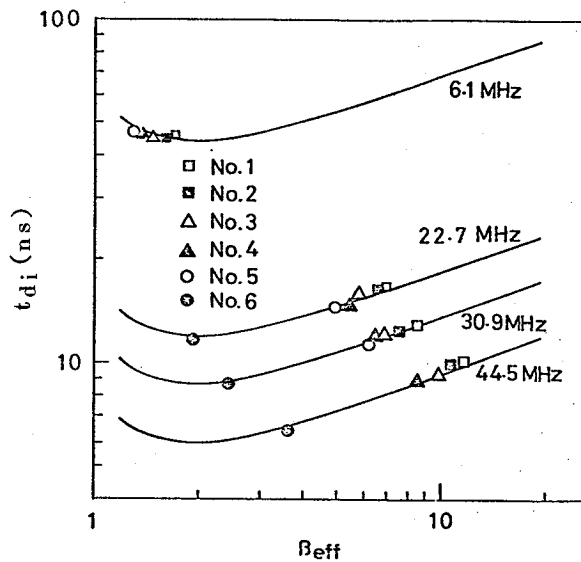


図 2.5.14 内因性遅延時間と β_{eff} の関係 (同一の曲線上の実測値は異なるインジェクタ形状をもつ試料から測定した)

ていると考えられる。

エピタキシャル層中の正孔電荷量 Q は、実効的なエピタキシャル層の厚みにも依存する。 $\chi=0.25$ の VIL 素子を用いて埋込 n^+ 領域を形成し、実効のエピタキシャル層厚みを変えて測定したところ、厚みの薄いデバイスすなわち埋込 n^+ 領域のあるデバイスの方が約 1/2 の遅延時間になった。

2. 6 結 言

バイポーラ LSI 用デバイスとして I^2L を選択し、高速化に対する検討を行った。従来技術の I^2L を改良するものとして VIL デバイス構造を提案し、プロセス検討及び、内因性遅延時間の解析を行った結果、以下のことが明らかになった。

- 1) VIL デバイスでは、縦形 pnp トランジスタのベース幅を均一にすることができ、また npn トランジスタのベースの p 層の拡散深さを制御することによって pnp トランジスタのベース幅を $1\mu\text{m}$ 以下にすることができる。
- 2) VIL デバイスでは下面に設けられた埋込インジェクタ (p^+) の濃度を高くすることにより、注入効率を高くすることができる。

- 3) エピタキシャル層の厚みは、下面 p^+ 層の拡散条件、エピタキシャル層成長後の熱処理サイクル、 $n p n$ トランジスタの p ベース領域の幅から設定することができる。このために下面インジェクタの上方向再拡散長 x_j と熱処理時間の関係を明確にした。
- 4) $n-n^+$ 構造を有する $n p n$ トランジスタの上方向電流増幅率を向上させるためにはエピタキシャル層の比抵抗を低く、かつ実効エピタキシャル層を薄くすることが必要である。
- 5) 下面インジェクタの濃度を高くし、かつ上方向拡散長を制限するためには n^+ 埋込層の後薄いエピタキシャル層を作り、この上に下面インジェクタを拡散し、第2エピタキシャル層を成長させる方法が有効である。
- 6) エピタキシャル層中の正孔の動きに着目した簡単な一次元モデルをたて、 $V I L$ における $n p n$ トランジスタの β_{eff} を解析し、下面インジェクタとベースの重なり量 x との関係を明らかにした。
- 7) 内因性遅延時間は $n p n$ トランジスタの遮断時定数 (τ_T) と正孔の実効的ライフタイム (τ_{eff}) によって定まる。
- 8) $V I L$ における下面インジェクタ領域はエピタキシャル層中に注入された正孔の実効的ライフタイム (τ_{eff}) を低減させる働きをし、そのために内因性遅延時間が改善される。
- 9) 縦形 $p n p$ トランジスタのベース幅、下面インジェクタの形状を適切に設定することによりエピタキシャル層中の正孔蓄積量を低減し、遮断時定数 τ_T を小さくし、遅延時間を改善することができる。
- 10) $I^2 L$ の 10.5 ns /ゲートに対して、 $V I L$ では 6.5 ns /ゲートの遅延時間が得られた。

第2章 文 献

- (1) H.H. Berger and S.K. Wiedmann; "Schottky Transistor Logic", ISSCC Dig. Tech. Papers, p. 172, Feb. 1975.
- (2) J.W. Hanson, J.N. Fordemwalt, and R.J. Huber; "Fabrication and performance of ion implanted I²L devices", IEDM Dig. Tech. Papers, p. 281, Dec. 1975.
- (3) B.B. Roesner and D.J. McGreivy, "A new high speed I²L technology up-diffused", IEDM Dig. Tech. papers p. 13.3, Dec., 1976.
- (4) 中野; "バイポーラ LSI", 半研振 他共催第15回記念半導体専門講習会予稿集, P. 39, 1977.
- (5) 中野, 堀場; "高集積化バイポーラデバイス" 信学誌, Vol. 62, 4, P. 386, 1979.
- (6) B.T. Murphy, and V.J. Glinski; "TTL with high packing density and optimum performance at high inverse gain", IEEE J. Solid-State Circuits, SC-3, p. 261, 1968.
- (7) B.T. Murphy, S.M. Neville and R.A. Pedesen; "New simplified bipolar technology and its application to systems", ISSCC Dig. Tech. Papers, p. 150, Feb. 1969.
- (8) P.T. Panousis; "A trim memory employing both npn and high-gain unijunction transistors", ISSCC Dig. Tech. Paper, p. 16, Feb. 1971.
- (9) V.A. Dhaka, J.E. Muschinske, and W.K. Owens; "Subnano-second ECL gate circuit using isoplanar II", ISSCC Dig. Tech. Papers, p. 172, Feb. 1973.
- (10) W.J. Evans, A.R. Tretola, R.S. Payne, M.L. Olmstead and D.V. Speeny; "Oxide isolated ion-implanted bipolar transistors for high packing density and low power-delay product," ISSCC Dig. Tech. Papers, p. 174, Feb. 1973.
- (11) "Bipolar process promises RAMs with MOS density", Electronics, Vol. 44, p. 35, June, 1971.
- (12) T.J. Sanders and W.R. Morcom; "Polysilicon-filled notch produces flat, well-isolated bipolar memory", Electronics, Vol. 46, p. 117, April 1973.

- (13) K. Okada, K. Aomura, M. Suzuki and H. Shiba; "PSA-a new approach for bipolar LSI", IEEE J. Solid-State Circuits, SC-13, p. 693, 1978.
- (14) T. Sakai, Y. Sunohara, Y. Sakakibara and J. Murota", Stepped electrode transistor: SET", Japan J. Appl. phys., Vol. 16, suppl. 16-1, p. 43, 1977.
- (15) K. Sato, S. Harada, A. Saiki, T. Kimura, T. Okubo and K. Mukai; "A novel planar multilevel interconnection technology utilizing polyimide", IEEE Trans. Parts. Hybrids & Packag., PHP-9, p. 176, 1973.
- (16) "Schottky TTL from TI aims at speed, low power", Electronics, Vol. 51, p. 34, 1978.
- (17) 向井; "分布しきい値形論理回路", 信学論C, 54-C, P. 466, 昭46-06.
- (18) K. Hart and A. Slob; "Integrated injection logic - A new approach to LSI" ISSCC Dig. Tech. Papers, p. 92, Feb. 1972.
- (19) H.H. Berger and S.K. Wiedmann; "Merged transistor logic- A low-cost bipolar concept", ISSCC Dig. Tech. Papers, p. 90, Feb. 1972.
- (20) J. Nishizawa and B.M. Wilamowski; "Integrated logic - Static induction transistor logic", ISSCC Dig. Tech. Papers, p. 222, 1977.
- (21) 田中, 富沢, 永田, 安岡, 中野; "VIL-Vertical Injection Logic", 信学会研資 SSD75-69, 1976年1月.
- (22) O. Tomisawa, Y. Horiba, S. Kato, K. Murakami, A. Yasuoka and T. Nakano; "Vertical Injection Logic", IEEE J. Solid-State Circuits, Vol. SC-11, p. 637, 1976.
- (23) T. Nakano, Y. Horiba, A. Yasuoka, O. Tomisawa, K. Murakami and S. Kato; "Vertical injection logic", IEEE IEDM, Dig. Tech. Papers. p. 555, 1975.
- (24) 加藤, 富沢, 堀場, 中野; "VILの電気特性と解析", 信学会研資 SSD77-10, 1977年5月.
- (25) S. Kato, O. Tomisawa, Y. Horiba and T. Nakano; "Analysis of static and dynamic characteristics in VIL", IEE Solid-State Electron Device, Vol. 2, p. 83, 1978.

- (26) 富沢, 加藤, 村上, 安岡, 中野; "VIL (Vertical Injection Logic) —新しい I^2L 構造—" 信学会全国大会, 396, 昭和51年4月.
- (27) 加藤, 田中, 富沢, 堀場, 大崎, 木島, 中野; "VILにおける下面インジェクタ効果", 信学会全国大会, 391, 昭和52年4月.
- (28) R.W. Dutton and R.J. Whitter; "Forward current-voltage and switching characteristics of p^+n-n^+ (epitaxial) diodes", IEEE Trans. Vol. ED-16, p. 458, 1969.
- (29) F.M. Klassen; "Device physics of integrated injection logic", IEEE Trans. Vol. ED-12, p. 145, 1975.

第3章 MOS型大規模集積回路の高速化制限要因の解析

3. 1 序

MOSトランジスタにおける高速限界を決めるものとしてドリフト速度によるチャネル走行時間があげられるが、これは現実のMOS ICの遅延時間に比べて十分に小さな値である。また、バイポーラトランジスタの飽和動作に対応するような少数キャリアの蓄積現象は、回路的、構造的に存在しない。従ってMOSトランジスタ、MOS ICにおける高速化の制限要因のうち支配的なものは、MOSトランジスタの相互コンダクタンス g_m と、トランジスタに付随する各種の容量、及び配線容量、配線抵抗等の付加的な外因性パラメータとで定まる時定数であり、第1章において外因性遅延時間と定義したものである。外因性遅延時間の最小の限界値は、上記の g_m と、MOSトランジスタのゲート容量 C_g で決まる時定数 C_g/g_m である。 C_g/g_m を小さくするには、ソースドレイン間距離 L を短くすることが必要であるが、MOSトランジスタのソースとドレインの距離が短くなると、パンチスルーの問題や、ソース、ドレインの空乏層の影響で閾値電圧が小さくなる短チャネル効果が発生する。これに対して、基板濃度を寸法縮小に関連づけるスケール理論⁽¹⁾が提案されており、実験的にも確かめられている。MOSトランジスタにおけるスケール理論⁽²⁾の概要は以下の通りである。すなわち縮小係数を κ として、寸法、電圧を $1/\kappa$ とし、不純物濃度を κ 倍とすると、空乏層幅は $1/\kappa$ 、閾値電圧も $1/\kappa$ となる。また、容量、遅延時間も $1/\kappa$ となり、電力遅延時間積が $1/\kappa^3$ になる。しかしながらある程度までの縮小に対して、このスケール理論は有効であるが、ある限界を超えると、種々の問題が生じ、新しい構造の導入が必要となってくる。その1例は、基板濃度を増加することによって、閾値電圧の基板バイアス依存性が大きくなることである。これを避ける方法として、基板全体の濃度は高くせず、チャネル領域の表面のみにイオン注入で不純物濃度を上げる構造が提案されている。⁽³⁾一方、従来のプロセス技術を用い、構造上の工夫によって実効的短チャネルMOSトランジスタを得る方法として、拡散自己整合MOS (DSA MOS: Diffusion Self-Aligned MOS) トランジスタが提案されている。⁽⁴⁾ DSA MOS トランジスタのうちプレーナ形⁽⁵⁾のものは、同一の拡散端子からp形、n形の不純物を二重拡散し、拡散深さの差で実効的チャネル領域を形成し、短チャネルMOSトランジスタを得るものである。

この方式は、ソースの周辺にあるベースと称せられるp形領域の濃度のみを高くしたものであり、不純物分布をそのままにして、ソース、ドレイン間距離を短くすることができる特長をもっている。

本章では、DSA MOS、特にイオン注入を全面的に採用したシリコンゲートDSA MOS デバイス⁽⁵⁾をとりあげ、MOS ICの遅延時間と、配線容量、配線抵抗等、外因的パラメータとの関

係を明確にし、MOS LSI の高速化について論ずる。

まず DSA MOS トランジスタの製造プロセスについて述べ、基本トランジスタのコンダクタンス定数、閾値電圧、耐圧等の静特性を述べる。続いてデプレッション型負荷トランジスタを有するエンハンスメント・デプレッション (E-D) 構成の論理ゲートの遅延時間を、配線容量、配線抵抗との関連から解析し、試作した LSI による実験結果との比較検討を行い、最後に出力駆動回路の遅延時間についての検討結果を述べる。

3. 2 各種 MOS 型集積回路デバイス技術

MOS IC, LSI は構成する基本トランジスタの導電型の種類に対応して、PMOS IC, NMOS IC, CMOS IC (相補型 MOS IC) に分類することができる。PMOS IC は、製造が簡単、安価であることを特徴とし、NMOS IC は正電源を使うことから、バイポーラ TTL デバイスとの適合性が良く、また PMOS IC に比べて高速性を有している。CMOS IC は、p チャネル MOS トランジスタと、n チャネル MOS トランジスタを組み合わせたものであり低消費電力を特長とする。

MOS IC の高速化を制限している主な要因は、外因性遅延時間であり、MOS トランジスタの相互コンダクタンス g_m と配線容量、入力容量、配線抵抗等の付加的な外因性パラメータで定まる時定数が、外因性遅延時間を決定している。外因性遅延時間の最小値は、MOS トランジスタのゲート容量 C_g と g_m で定まる時定数 C_g/g_m である。MOS IC における短チャネル化の目的は、 C_g/g_m を小さくすることにある。短チャネル MOS デバイスを可能にするデバイス技術の代表例を図 3.2.1 に示す。

図 3.2.1 において(a)は、スケーリング則に沿ってデバイスの寸法及び、種々のパラメータを一定の比率で比例縮小して得られる HMOS (High Performance MOS) と称せられる NMOS デバイスの構造である。チャネル領域には、不純物濃度を高くするためにイオン注入による p 領域が設けられている。シリコンの異方性エッチ技術を用いて V 字形の溝を作り、短チャネル MOS デバイスを作ろうとする試みには、ノンプレーナ形 DSA MOS トランジスタ⁽⁴⁾、VMOS トランジスタ⁽⁶⁾があり、(b)に VMOS トランジスタの構造を示す。(c)はプレーナ形 DSA MOS トランジスタ (以後 DSA MOS トランジスタは特に指定しない限りプレーナ形のもの指すことにする) の構造を示す。DSA MOS トランジスタは、同一の拡散端から、p 形及び n 形の不純物を二重拡散し、この拡散深さの差を利用して実効的な短チャネルデバイスを得ようとするものである。

HMOS トランジスタの場合には、微細加工技術が必要であり、VMOS トランジスタの場合には、エピタキシャル工程、V 形エッチング工程などの新規な工程を必要とするのに対して、

DSA MOS トランジスタでは、従来の製造プロセス技術を用いて、短チャネルMOS デバイスを作成することができる。

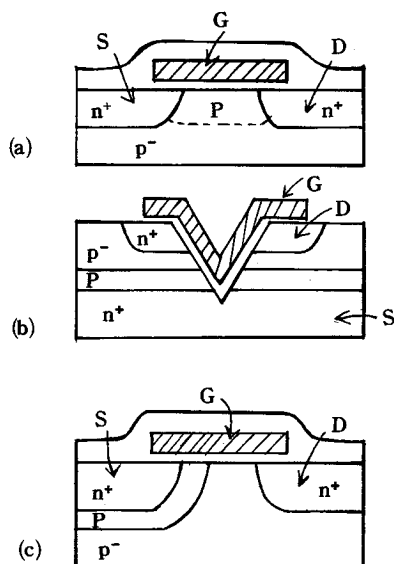


図 3.2.1 各種短チャネルMOS トランジスタ構造

(a) NMOS (HMOS), (b) VMOS, (c) DSAMOS

3. 3 拡散自己整合 (DSA) MOS デバイスの製造プロセス⁽⁵⁾

図 3.3.1(b), (c) は π 基板を用いたプレーナ型 n チャネルシリコンゲート DSAMOS トランジスタの断面図を示す。シリコン基板は p 形で結晶軸 (100) を用い、 $10 \sim 20 \Omega \text{cm}$ 、もしくは $100 \sim 200 \Omega \text{cm}$ の比抵抗のものが用いられる。分離のためのボロンのイオン注入を行った後、選択酸化プロセス (SOP: Selective oxidation process) によってフィールド酸化膜を成長させる。閾値電圧 (V_{TH}) の精密制御のために、不純物添加はすべてイオン注入法を用い、ベースと称される p 領域、ソースドレインを形成する n^+ 領域の他、後述するデプレッショントランジスタのためのチャンネル領域もイオン注入で形成した。この全イオン注入製造プロセスは、閾値電圧 V_{TH} の精密制御が可能な他、以下に述べるような特長を有する。

- 1) 拡散法の場合には必要となるボロンガラスエッチングや、リンガラスエッチング工程が不要のため、ポリシリコン下のゲート酸化膜が全くエッチングされず、ゲート酸化膜耐圧が

向上する。

ii) 注入された不純物のドライブインは、乾燥チッ素雰囲気で行われるため、シリコンとシリコン酸化膜の間の不純物の再分布が小さく、不純物分布の制御を精密に行うことができる。

ソースドレイン領域の拡散抵抗を小さくするために、トランジスタの近傍を除く領域に n^{++} 領域を設けてあるが、この工程は通常のリンの熱拡散法を用いている。

図 3.3.2 は、ベース領域の濃度をパラメータとして測定した、DSAMOS トランジスタのドレイン電流 (I_d)、ゲート電圧 (V_g) 特性を示す。ゲート電圧が低いところでは、ドレイン電流はゲート電圧の 2 乗に比例し、その値は、実効チャネル長 (ベース幅) に依存する。^{(7), (8)} トランジスタの閾値電圧は、 $\sqrt{I_d} - V_g$ 特性における直線を 0 に外挿することで求めることができる。なお

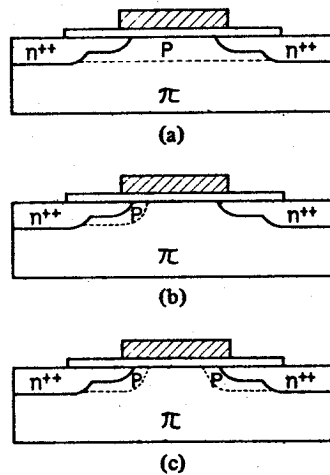


図 3.3.1 プレーナ型 MOS トランジスタの構造

- (a) NMOS トランジスタ
- (b) 非対称型 DSAMOS トランジスタ
- (c) 対称型 DSAMOS トランジスタ

この場合の実効チャネル長は約 $0.6 \mu\text{m}$ であり、通常の NMOS トランジスタと比較するために NMOS トランジスタの特性例を同じ図中に示した。全イオン注入 DSA MOS トランジスタの閾値電圧は、ベースの p 形不純物注入量によって簡単に制御できる。注入量の制御は $\pm 5\%$ の精度で可能なため、 1.4 V の閾値電圧のとき中心値からのずれは $\pm 0.07 \text{ V}$ 程度に制御することができる。閾値電圧は、またソースの濃度と、ドライブ時間によっても影響される。ソース注入量

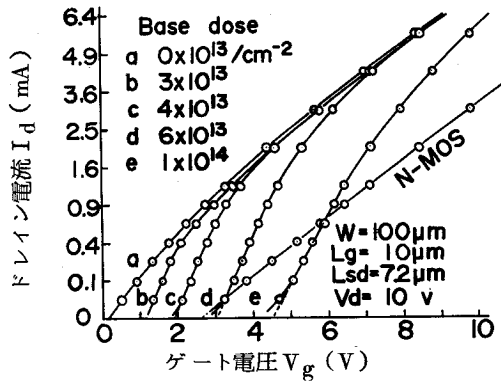


図3.3.2 DSAMOSトランジスタのドレイン電流特性

変動による閾値電圧への影響は±0.03V程度である。現在ソース ドレインのドライブは1100℃で行われているが、閾値電圧の制御性からは、1100℃以下の低温での拡散が望ましい。

ベースとソースの不純物分布を陽極酸化法で測定した結果、シリコン表面から厚み方向に対して図3.3.3に示す分布が得られた。従って実線で示すガウス分布で近似することができる。ボロンの酸化膜中への再拡散は、窒素雰囲気でのドライブプロセスで低減することができ、またソー

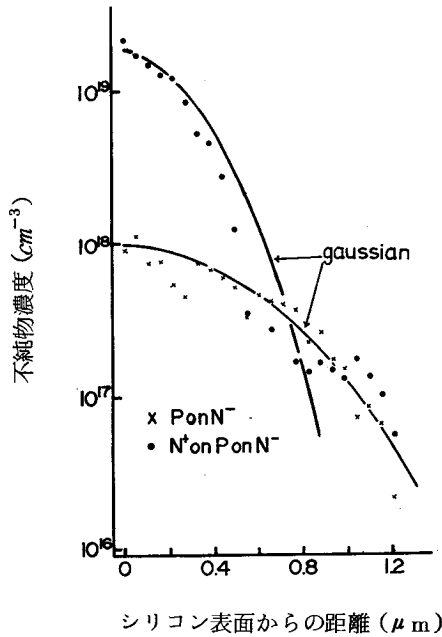


図3.3.3 ベース及びソースの不純物分布

スの n^+ による p 領域の押し出し効果（エミッタディップ効果）やリンの異常拡散現象は、リンの表面濃度が低いためにはほとんど無視できる。ベース領域の不純物分布はコンプリメンタリエラ⁽⁹⁾関数で与えられ、閾値電圧を決定する濃度は、ベース中の濃度の最大値（ピーク濃度）であると考えられる。従ってピーク濃度値を制御することで、閾値電圧を制御することができる。

図 3.3.4 は、DSA MOS トランジスタと、デプレッション型トランジスタからなる E-D（Enhancement-Depletion）MOS ゲートのプロセスフローを示す。この DSA MOS トランジスタは、ベース領域が、ドレイン側とソース側の両方に対称的に存在する対称型 DSA MOS トランジスタである。

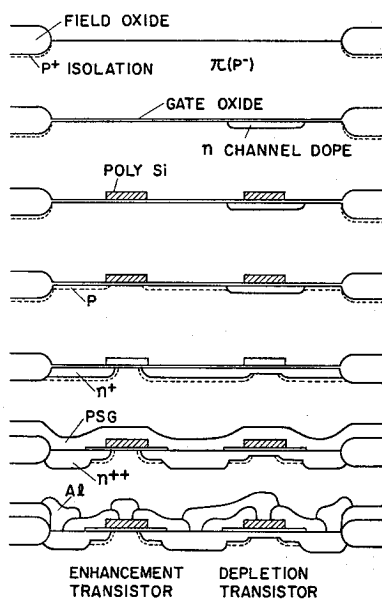


図 3.3.4 DSA MOS E-Dゲートのプロセスフロー

IC を作るための不純物添加工程は、

- i) p^+ 分離
- ii) デプレッション トランジスタ チャネルドーブ
- iii) エンハンスメント トランジスタ チャネルドーブ（ベース）
- iv) ソースドレイン
- v) n^{++} オーミックコンタクト

の 5 回であり、写真製版工程は、上記の工程にアルミ配線のための工程を加えて 6 回になる。通

常のnチャンネルMOSとDSA MOSトランジスタの違いは、チャンネル領域として形成するp型のイオン注入領域の作り方にある。すなわち、nチャンネルMOS ICが、ポリシリコンゲート形成の前にp型のイオン注入を行うのに対してDSA MOS ICでは、ポリシリコンゲート工程の後にチャンネルドーピングを行う。従ってチャンネル領域の不純物分布は、NMOS ICとDSA MOS ICとで異なり、このことが電気的特性の差異となる。チャンネル長の短いデバイスにおける閾値電圧の制御性と、再現性は重要な問題である。DSA MOSトランジスタの閾値電圧は、ソース側に形成された二重拡散領域のp型不純物のピーク濃度で決まる。一方、NMOSTランジスタの場合は、閾値電圧は、ソースとドレインの間の領域に様に添加されたp型不純物の濃度で決まる。⁽⁵⁾ 従って、p型の不純物分布の制御性は、NMOSTランジスタの方が有利であり、不純物分布のゆらぎによる閾値電圧の変化はNMOSTランジスタの方が小さいが、DSA MOSトランジスタでは全イオン注入とN₂ドライブイン技術の採用によって改善されてきた。一方、ゲート長のバラツキに基づく閾値電圧のゆらぎは、NMOSTランジスタが写真製版工程で大きく変るのに対し、DSA MOSトランジスタの場合は、制御性の良い拡散深さで決まるため、小さいと考えられる。

3. 4 DSAMOSトランジスタの静特性⁽¹⁰⁾

DSA MOS と、NMOSTランジスタの電気的特性を調べるために、図 3.3.1 (a)～(c)に示すような、NMOSTランジスタ、非対称型DSA MOSトランジスタ及び、対称型DSA MOSトランジスタを同一のウエハ基板上に作成した。デバイスのサイズを表 3.4.1 に示す。上記の各デバイスは同一のゲート酸化膜厚、及び同一のソースドレイン接合深さをもち、不純物分布のみ

表 3.4.1 実験に用いたNMOS, DSAMOS トランジスタの形状

Gate Oxide Thickness		700 Å (in both transistors)
Source and Drain Junction Depth	Vertical	0.5 μm
	Horizontal	0.2 μm
		(in both transistors)
Channel Doping Depth	Vertical	0.8 μm (in both transistors)
	Horizontal	0.7 μm (in DSA MOST)
P-Type Diffused Layer	Horizontal	0.5 μm (in DSA MOST)
Threshold Voltage in Long Channel Device		0.7 V (in both transistors)

が異なるように作られている。基板は p 形 (100) の方位をもつ $100\Omega\text{cm}$ のシリコンウエハである。基板の比抵抗が NMOS トランジスタに対しては通常用いられるものに比べて高い値になっているが、不純物分布の差異に帰因する電気的特性の比較のためにはさしつかえないと考えられる。5 μm 系の設計基準をもったデバイスをもとにして、 $k = 1.4 \sim 1.7$ の縮小係数で縮小し、ゲート長が 3 ~ 3.5 μm 程度のトランジスタの試作及び特性比較を行った。

デバイスの幾何学的形状が小さくなってきたとき、MOS デバイスにおいて一番重要な問題となるのは、短チャネル効果と称される閾値電圧の低下と、パンチスルー電圧の低下がある。図 3.4.1(a) に閾値電圧 (V_{TH}) とチャネル長 (L_{SD}) との関係を示す。閾値電圧は、ドレイン電流の

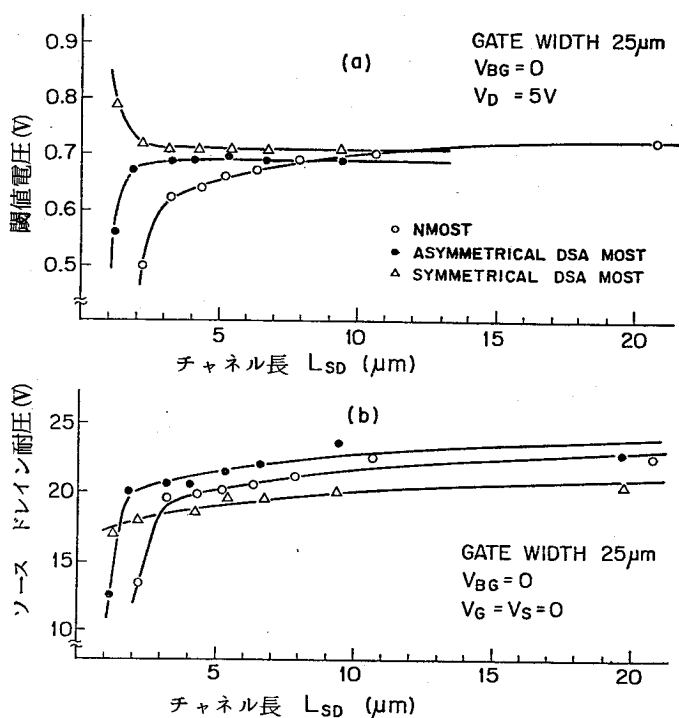


図 3.4.1 閾値電圧及び耐圧のチャネル長依存性

平方根と、ゲート電圧の関係から電流の 0 外挿を行い、求めたものである。このときのドレイン電圧は 5 V である。NMOS トランジスタの場合には、 L_{SD} が 10 μm から 3.0 μm に減少するにともない、 V_{TH} はゆるやかに減少し、 L_{SD} が 3.0 μm 以下になると V_{TH} は急激に低下する。非対称型 DSA MOS トランジスタでは、10 μm から 2.0 μm の間の L_{SD} に対して、 V_{TH} はほぼ一定であり、2.0 μm 以下の L_{SD} で急峻に V_{TH} が低下する。これらの現象は、短チャネル効果

によるものと考えられる。対称型 DSA MOS トランジスタの場合は、 $2.0\ \mu$ の L_{SD} まで V_{TH} は一定であり、 $2.0\ \mu\text{m}$ 以下の L_{SD} になるとむしろ V_{TH} は上昇する。ソースドレイン距離が $2\ \mu\text{m}$ 以下であり、p 領域の接合深さが $0.8\ \mu\text{m}$ であることを考えると、この現象は、ソースとドレイン側からの不純物が重なって、不純物濃度変調を受けたことによるものと考えられる。また通常の意味における短チャネル効果は、 L_{SD} のあらゆる値に対して観測されなかった。対称型 DSA MOS トランジスタの場合は、コンダクタンス定数が、ゲート長の影響を受けにくいという点で、他の短チャネルデバイスに比べて有利である。

短チャネル MOS トランジスタのもう一つの問題点は、ソースドレイン間の耐圧低下である。図 3.4.1(b) はソースドレイン間距離の関数として耐圧をプロットしたものである。耐圧はゲートをソースと短絡し、ソースドレイン間に $1\ \mu\text{A}$ の電流が流れる電圧で測定した。ソースドレイン間距離 L_{SD} が $4\ \mu\text{m}$ 以上のとき、扱ったトランジスタはすべてハードな降伏現象を示し、ドレイン基板接合のアバランシェによるものと考えられる。非対称型 DSA MOS トランジスタの場合は、フィールド酸化膜下の分離拡散と、基板の濃度が耐圧を決める。一方対称型 DSA MOS トランジスタ及び NMOS トランジスタでは、上記の不純物の他にさらに、チャネルドーパの濃度が加わったもので耐圧が決定される。

NMOS トランジスタ及び非対称型 DSA MOS トランジスタの L_{SD} がそれぞれ $3\ \mu\text{m}$ 及び $2\ \mu\text{m}$ 以下になると耐圧は急激に低下する。このとき降伏特性はソフトな特性であり、パンチスルー現象によるものと解釈することができる。対称型 DSA MOS トランジスタでは、 $1.3\ \mu\text{m}$ 以下の L_{SD} においてもパンチスルー効果は観測されなかった。

閾値電圧と耐圧の低下現象の差異は、主にチャネル領域の不純物分布に帰因すると考えられる。NMOS トランジスタでは、チャネルドーパされた p 型不純物は、表面から内部に向かってガウス分布をしている。ドレイン-基板接合の空乏層は、バルク内まで拡がり、表面よりも深い領域でのソース-基板間の電位障壁がドレイン電圧によって下げられる。一方 DSA MOS トランジスタの場合は、p 型領域がソースの周囲を同軸状に分布しており、ソース基板接合の電位障壁は、ドレイン電圧によって簡単に下げられることはない。

対称型 DSA MOS トランジスタは、ドレイン-基板接合をとりまく p 型領域があるため、ドレイン-基板接合の空乏層の拡がりをおさえ、他の構造のトランジスタに比べてショートチャネル効果が小さい。

NMOS トランジスタ、対称及び非対称型 DSA MOS トランジスタの等価回路を図 3.4.2 に示す。NMOS トランジスタでは、不純物分布が、チャネルに沿って一様であり、チャネルコンダクタンスがコンダクタンス定数 β と、閾値電圧 V_{TE} で表現される。非対称型 DSA MOS トラ

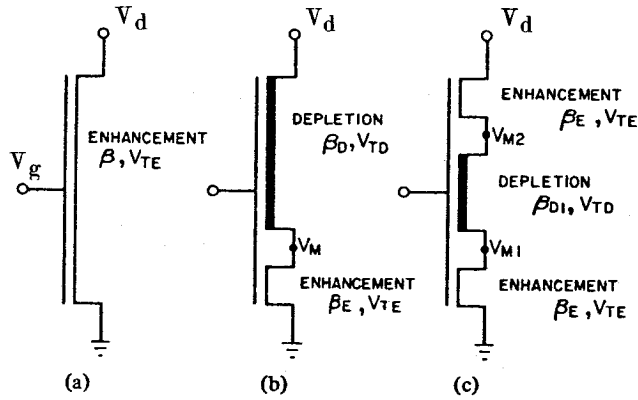


図 3.4.2 MOSトランジスタの等価回路

- (a) NMOSトランジスタ
- (b) 非対称型 DSA MOSトランジスタ
- (c) 対称型 DSA MOSトランジスタ

ンジスタではチャネル領域は、p形拡散層と、 π 基板領域からなる。従って等価回路として、エンハンメント形トランジスタとデプレッション形トランジスタの縦列接続を考えることができ、それぞれのトランジスタの β 及び V_T は図 3.4.2 に示す如く β_E, V_{TE} 及び β_D, V_{TD} で表現できる。

対称形 DSA MOSトランジスタでは、図に示す如く 3 つのトランジスタの接続であらわされる。

$V_g - V_{TE}$ がドレイン電圧 V_d よりも充分大きいとき、ON 抵抗 r_{ON} はそれぞれ次の通りあらわされる。

NMOSトランジスタ

$$r_{ON} (\equiv \frac{\partial V_d}{\partial I_d}) = \frac{1}{\beta_E (V_g - V_{TE})} \quad (3.4.1)$$

非対称型 DSA MOSトランジスタ

$$r_{ON} = \frac{1}{\beta_E (V_g - V_{TE})} + \frac{1}{\beta_D (V_g - V_{TD})} \quad (3.4.2)$$

対称型 DSA MOSトランジスタ

$$r_{ON} = \frac{2}{\beta_E (V_g - V_{TE})} + \frac{1}{\beta_{D1} (V_g - V_{TD})} \quad (3.4.3)$$

ここで β_{D1} は、ソース側及びドレイン側に存在する2つのエンハンスメントトランジスタを除く領域に存在する基板領域のコンダクタンス定数に対応する。図 3.4.3(a)は非飽和領域($V_d = 0.05V$)におけるドレイン電流—ゲート電圧特性の実験結果を示す。対称、非対称の両 DSA MOS トランジスタのドレイン電流は、NMOS トランジスタのそれよりも大きい。

ドレイン電圧 V_d が $V_g - V_{TE}$ よりも大きくなると、動作領域は飽和領域になる。特に非対称形 DSA MOS トランジスタは、チャンネル電荷による速度飽和によって電流が飽和する。⁽¹¹⁾⁽¹²⁾ 飽和電流は次式で表わされる。⁽¹³⁾

$$I_d = WC_0 v_S (V_G - V_{TE} - \frac{V_{MSVE}}{v_{PE}}) \quad (3.4.4)$$

ここで、 C_0 、 v_S 、 v_{PE} はそれぞれゲート容量、飽和速度、バルク電荷係数であり、 V_{MSVE} は、エンハンスメントトランジスタ部とデプレッショントランジスタ部の接合点におけるチャンネルポテンシャルである。 v_{PE} と V_{MSVE} は次式で表わされる。

$$v_{PE} = 1 - \frac{B}{\frac{B}{2} + \sqrt{2\phi_{FE}} + \sqrt{(\frac{B}{2} + \sqrt{2\phi_{FE}})^2 + (V_g - V_{TE})}} \quad (3.4.5)$$

$$B = \frac{1}{C_0} \sqrt{2q \epsilon_{si} N_{BE}} \quad (3.4.6)$$

$$V_{MSVE} = v_{PE} (V_G - V_{TE}) + V_C - \sqrt{v_{PE}^2 (V_g - V_{TE})^2 + V_C^2} \quad (3.4.7)$$

$$V_C = \frac{WC_0 v_S}{\beta_E} \quad (3.4.8)$$

ここで、 q 、 ϵ_{si} 、 N_{BE} 及び ϕ_{FE} は電子の電荷量、 S_i の誘電率、エンハンスメント領域の実効不純物濃度及びフェルミレベルである。この試料の v_{PE} と V_C の値は、約0.55と0.65Vである。(3.4.4)式はゲート電圧が大きいとき、10%以内の誤差で、次のように近似できる。

$$v_{PE} (V_g - V_{TE}) \geq 5V_C : I_d = WC_0 v_S (V_g - V_T - \frac{WC_0 v_S}{v_{PE} \beta_E}) \quad (3.4.9)$$

$$v_{PE} (V_g - V_{TE}) \geq 10V_C : I_d = WC_0 v_S (V_g - V_T) \quad (3.4.10)$$

図 3.4.3 (b)はドレイン電圧が 5 V のときの飽和電流を示す。DSA MOST トランジスタのドレイン電流は、図 3.4.3 (a)に示す非飽和領域の場合と同様に、NMOS トランジスタより大きい。ゲート電圧が低くなる程この差は顕著である。非対称及び対称型 DSA MOST トランジスタのドレイン電流は、NMOS トランジスタに比べて、非飽和領域でそれぞれ 1.27 及び 1.13 倍大きく、飽和領域では、それぞれ 1.68 及び 1.33 倍大きい。

このとき実効ゲート電圧は 3 V であった。これらのデバイスの特性を表 3.4.2 にまとめた。

表 3.4.2 NMOS, DSAMOS デバイスの特性

	N MOST	ASYMMETRICAL DSA MOST	SYMMETRICAL DSA MOST
Nnumbers of Photo. Masks (E-D)	6	7	6
V_{th}	at $L_{SD}=10\mu m$	0.7 V	0.7 V
	$L_{SD}=2.5\mu m$	0.5 V	0.7 V
BV_{SD}	at $L_{SD}=10\mu m$	21.5 V	20.0 V
	$L_{SD}=2.5\mu m$	15 V	18 V
V-I I_d	40.3 μA	51.3 μA	45.5 μA
Characteristics at $V_d=0.05V$	(1 : 1.27 : 1.13)		
$L_{SD}=3.0\mu m$ $W=25\mu m$ $V_g-V_{th}=3V$ I_d	726 μA	1220 μA	969 μA
at $V_d=5 V$	(1 : 1.68 : 1.33)		

表 3.4.3 DSA MOS トランジスタの比例縮少前後における各寸法

	pre-scaled DSA MOST	scaled DSA MOST
Impurity of Source and Drain	Phosphorous	Arsenic
Gate Oxide Thickness	1100Å	700Å
Source and Drain Vertical	1.0 μm	0.5 μm
Junction Depth Horizontal	0.9 μm	0.2 μm
Channel Doping Vertical	1.8 μm	0.8 μm
Depth Horizontal	1.7 μm	0.7 μm
P-Type Diffused Layer Horizontal	0.8 μm	0.5 μm
Poly-Si Gate Lengh	5.7 μm	3.7 μm
Source-Drain Distance	3.9 μm	3.3 μm

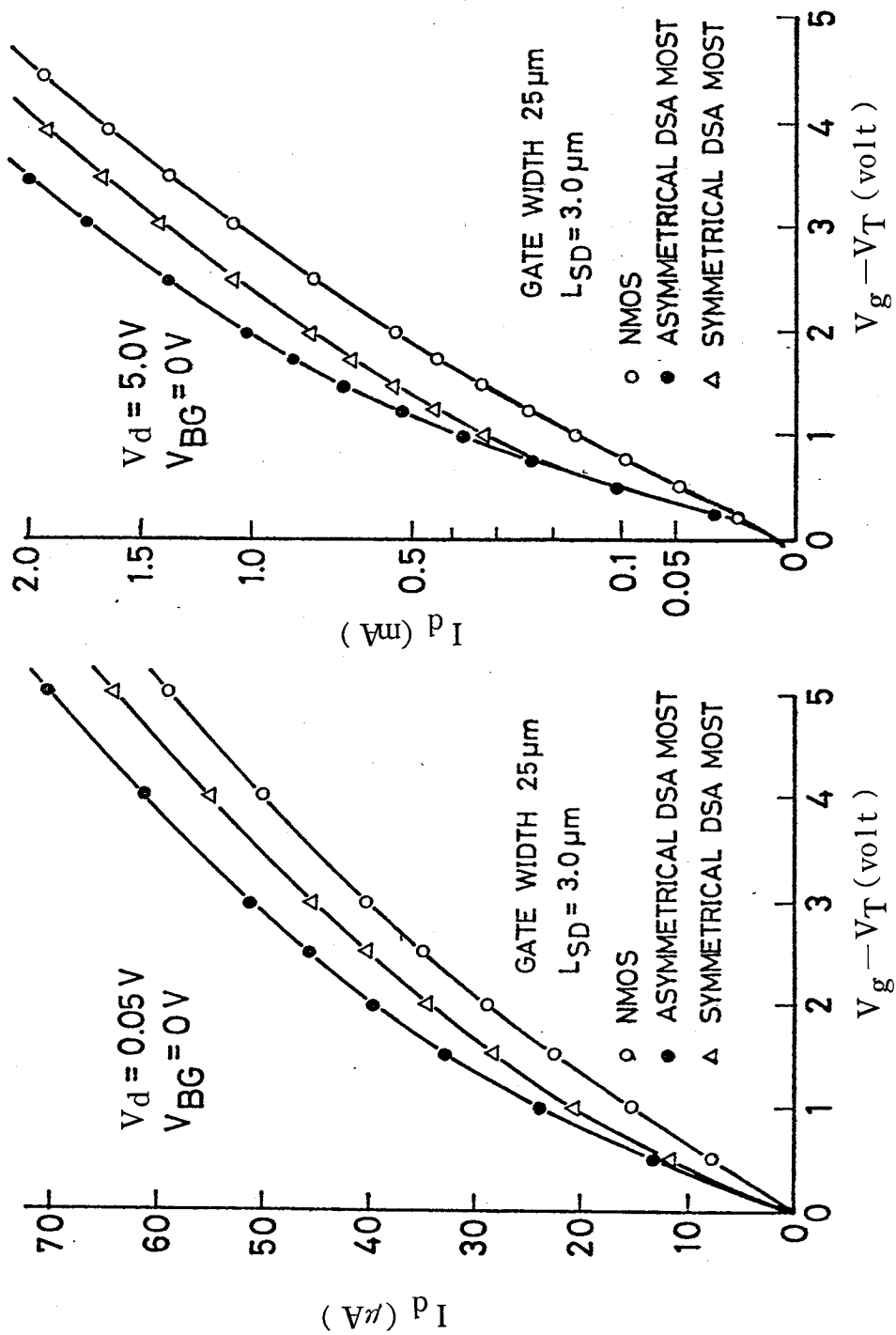


図3.4.3 ドレイン電流特性 (a) 非飽和領域 (b) 飽和領域

MOSトランジスタの幾何学的形状を比例縮小したときの性能を規定するものとして、スケーリング理論が提案されている。DSA MOSトランジスタにおけるスケーリング則⁽¹⁴⁾の有効性を確認するために2つの非対称DSA MOSトランジスタを作成して実験を行った。ソース、及びドレイン接合の深さは、リンと砒素の拡散係数の差を利用して制御し、p形拡散層の長さ L_E に対してスケーリング係数1.6、またゲート酸化膜の厚みも1.6の比で縮小されたデバイスを作成した。試作したMOSトランジスタの閾電圧は、約0.7 Vであった。これら2種類のデバイスの形状を表3.4.3に示す。ドレイン電圧 V_d が0.05 Vおよび5 Vのときのドレイン電流 I_d と実効ゲート電圧($V_g - V_T$)の関係を図3.4.4に示す。実効ゲート電圧が3 Vのとき、 V_d が0.05 Vの場合に、ドレイン電流比として2.6の値が得られた。ゲート酸化膜の厚みと、チャネル長が縮尺されたのに対して、チャネル幅と電圧は縮尺されていないが、このことを考慮すれば、縮尺されたサンプルの電流は、縮小係数 K の2乗になっており、実験と理論と良い一致を示している。

ドレイン電圧が5 Vのとき電流の比は、 $V_g - V_T$ が3 Vにおいて約1.6の値になる。この電圧の領域では、デバイスは速度飽和のモードにあり、電流の式は(3.4.9)で表わされる。このとき縮尺比 K で縮尺されたデバイスの電流値は、 K 倍になり、実験値もこのことと一致する。

図3.4.5は、ソースドレイン距離と閾電圧との関係を示し、通常のNMOSトランジスタの場合と同様に、縮尺則にもとづいて縮小されたデバイスの短チャネル効果による閾電圧のシフトは低減されている。

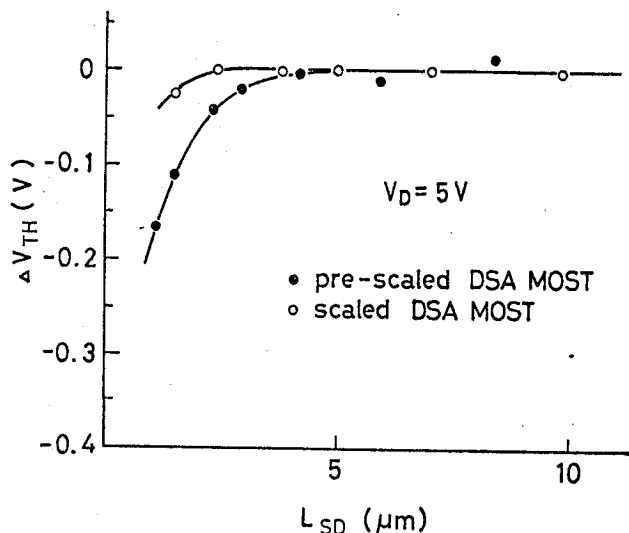


図 3.4.5 スケーリング則に基づいて縮小された DSA MOSトランジスタ及び通常の DSA MOSトランジスタの短チャネル効果

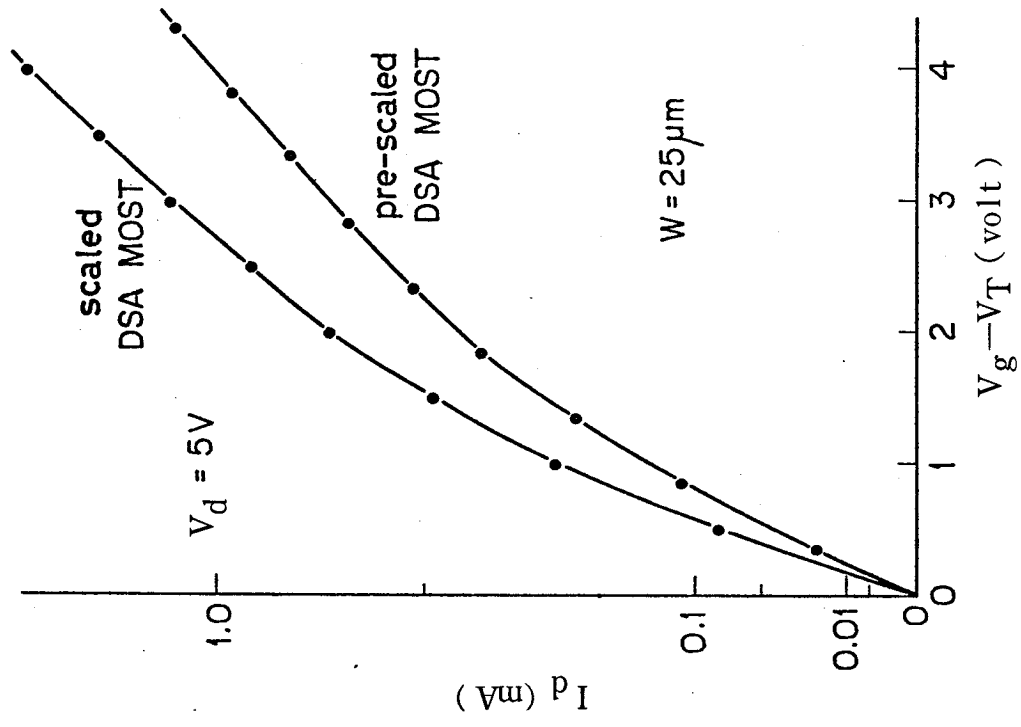
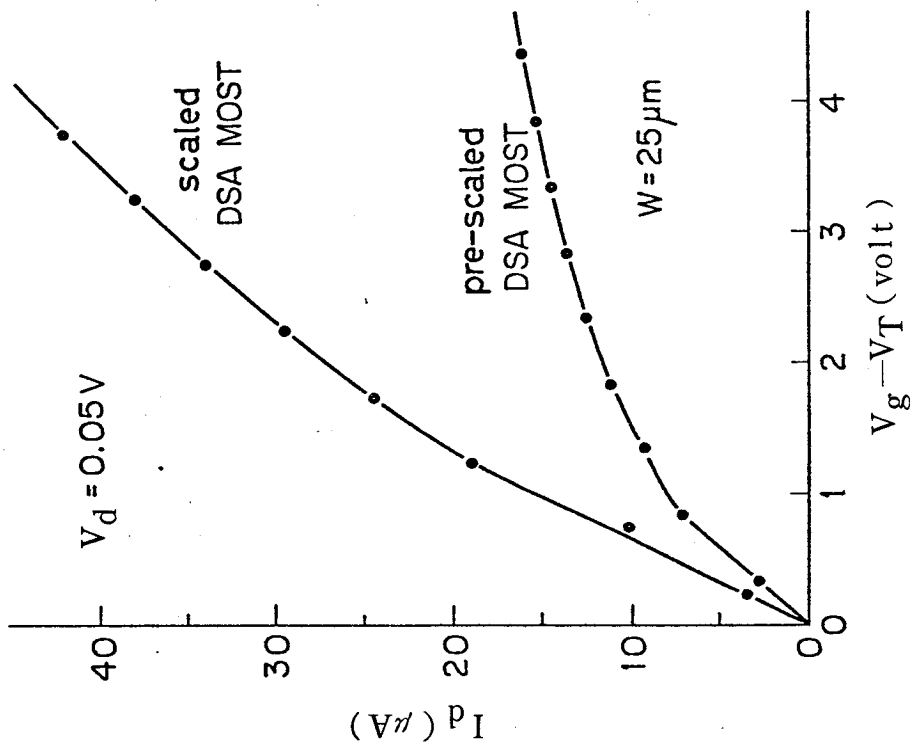


図 3.4.4 比例縮少を行った DSA MOS トランジスタのドレイン電流特性

(a) 非飽和領域 (b) 飽和領域

3. 5 DSA MOS LSI の遅延時間の解析

3.5.1 はじめに

MOSLSIの動作速度は、LSIを構成する能動素子(MOSトランジスタ)と受動素子(容量, 抵抗)の特性によって決定される。MOSトランジスタの動作速度の改善には短チャネル化が有効であり、HMOS(High Performance MOS), DSA MOS(Diffusion Self-Aligned MOS), VMOS(V-Grooved MOS)で代表される各種の短チャネルデバイスが提案され検討が加えられてきた。一方受動素子による動作速度の解析はMOSトランジスタの解析ほどなされていない。しかし、LSI化の進展とともに高性能化をはかるには受動素子特性の改善が能動素子以上に重要になってくる。

この節では MOSLSI における遅延時間の解析を能動素子、受動素子について行い、遅延時間特性に占める受動素子特性を明確にする。容量、抵抗成分は、接合容量及びゲート電極容量と一部の配線容量からなる内因性容量と、論理ゲート間を接続するための配線によって生ずる外因性容量及び配線抵抗に分離して考察できる。ここでは能動素子として高速化に有利な DSA MOS トランジスタを用い、DSA MOS デバイスの接合容量及び帰還容量を実験的に求め、続いて配線容量、配線抵抗を考慮に入れた論理ゲートの遅延時間を与える式を導出し、DSA MOS 論理ゲートアレイからなる LSI を用い、実験結果との比較検討を行う。

3.5.2 デプレッション型トランジスタを負荷にもつゲート回路の内因性容量

ここでは、E-D（エンハンスメント-デプレッション）形論理ゲートを構成したとき、ゲートが固有に持つ容量について述べる。以下論理ゲートとMOSトランジスタのゲートを識別するために、MOSトランジスタのゲートをゲート電極と呼ぶ。図3.5.1はデプレッション型負荷トランジスタと、DSA MOS駆動トランジスタから構成されるE-Dゲート回路の断面図を示す。ゲ

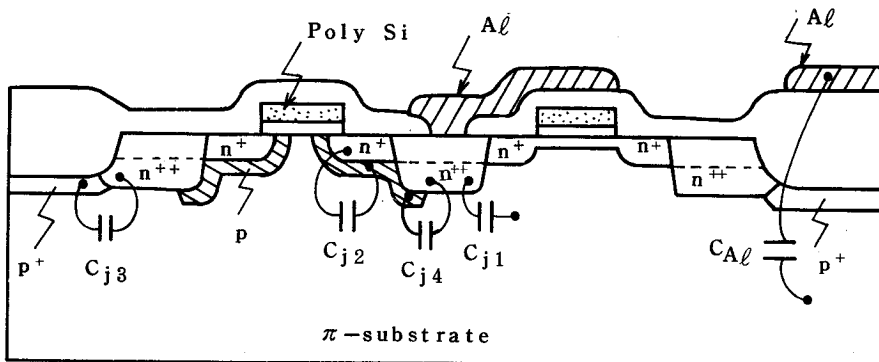


図 3.5.1 DSA MOS E-Dゲート回路の断面図

ートを作るのに必要な拡散は、フィールド酸化膜下の p^+ ，実効チャネル領域を形成するためのベースと称される p ，ソースドレインのための n^+ ，及びソースドレイン領域にオーム性接触をとるための n^{++} 拡散がある。これらは $100\ \Omega\text{cm}$ の比抵抗を有する π 型基板の上に形成される。従ってゲートに付随する容量には、ゲート電極と基板間の容量及び、以下に示す各接合面における空乏層容量がある。

C_{j1} : n^{++} 領域と π 基板間接合

C_{j2} : n^+ 領域と p ベース

C_{j3} : n^{++} 領域と フィールド p^+

C_{j4} : n^{++} 領域と p ベース

アルミ配線容量及びゲート電極容量は、酸化膜の厚みを用いて正確に計算されるのに対して、接合容量は、厳密な計算が困難であり、通常階段接合近似等を用いて計算される。ここではリングオシレータを用いて実験的に接合容量を求めることをこころみる。⁽¹⁶⁾ ED インバータの遅延時間は、電源電圧と消費電力を一定にすると負荷容量に比例する。いくつかの接合面面積を有する接合領域を負荷とするリングオシレータを構成し、発振周波数から遅延時間を求めた結果を図 3.5.2 に示す。図 3.5.2 に於て、直線の勾配すなわち、単位面積当りの遅延時間が、容量の相対値に対応すると考えられる。

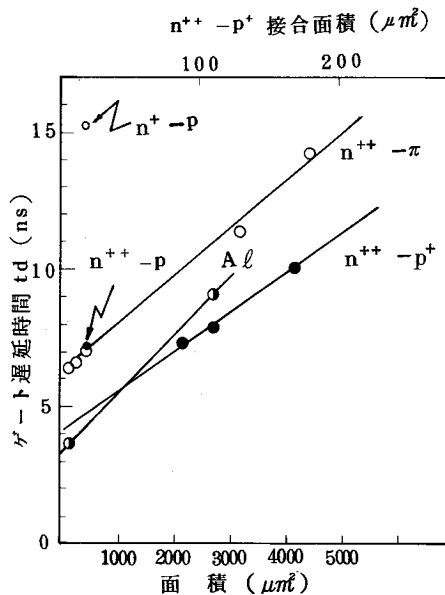


図 3.5.2 各種負荷容量を接続したゲートにおける遅延時間

図中 $n^{++}-p^{+}$ 接合は、フィールド酸化膜下の p^{+} との接合であり、 p^{+} の拡散深さが一定（約 $1\mu\text{m}$ ）とした。また $n^{++}-p$ 接合に対する遅延時間が、 $n^{++}-\pi$ の直線上にあるのは、 n^{++} が深い拡散であるため、ベース p を追い込して形成されており、實際上 $n^{++}-\pi$ 接合を作っているためと考えられる。この結果から得られた単位面積当りの接合容量の相対値を表 3.5.1 に示す。

接合が階段接合であると仮定して計算した容量の相対値を同じく表 1 に示す。ここで不純物濃度は $\pi:1.5\times10^{14}/\text{cm}^3$, $P:1\times10^{15}/\text{cm}^3$, $P^{+}:7.5\times10^{16}/\text{cm}^3$ であり、接合の障壁電位 ϕ_B を 0.7V とした。インバータとして論理動作をしているとき、これらの接合は、“L” レベルから “H” レベルまでの電圧変化に対応した逆バイアスが印加される。従って容量は、逆バイアス電圧を V_R とすると $(\phi_B+V_R)^{-1/2}$ に比例して小さくなる。平均的に論理振幅の $1/2$ の電圧が印加されるとして $V_R=2.5\text{V}$ のときの容量を計算すると実測値と比較的良好一致を示す。

図 3.5.1 単位面積当りの接合容量の相対値
(AL-基板間容量を 1 とする)

	実 測	計 算 $V_R=0$	算 $V_R=2.5\text{V}$
$n^{++}-p^{+}$	17.0	364	17.0
$n^{++}-\pi$	0.82	1.63	0.76
$n^{++}-p$	0.82	1.63	0.76
$n^{+}-p$	1.70	4.21	1.97
AL-基板	1	1	1

ゲート電極の容量は、基板との間の容量と、ゲートードレイン間の帰還容量に分割することができる。基板との間の容量はゲート酸化膜の厚みから計算できる。一方帰還容量はミラー効果に依存する。帰還容量のミラー係数を求めるために、ゲートとドレイン間、およびゲートとソース間に各種の面積をもつアルミ配線容量を付加したリングオシレータを用いて遅延時間の測定を行った。図 3.5.3 は遅延時間の配線面積依存性を示すものであり、直線の勾配は単位面積当りの容量の相対値を与える。従ってゲートードレイン間に設けた容量はゲートーソース間に作った同じ面積の容量の 3.4 倍の大きさを持ち、ミラー係数が 3.4 と考えられる。増幅器 1 段のミラー係数が通常 1～2 であるのに比べて大きな値になっているのは以下のような理由によると考えられる。大振幅動作をしている MOS インバータのゲインは、入力側から見たときも、出力側から見たときもともに 1 であると考えられ、ゲート電極ードレイン間の容量は出力側から見た出力容量と入力側から見た入力容量の両方にミラー的に働く。従ってインバータが複数個、縦列接続された場合それぞれのインバータの入力端子の容量は 2～4 のミラー係数を持つ。

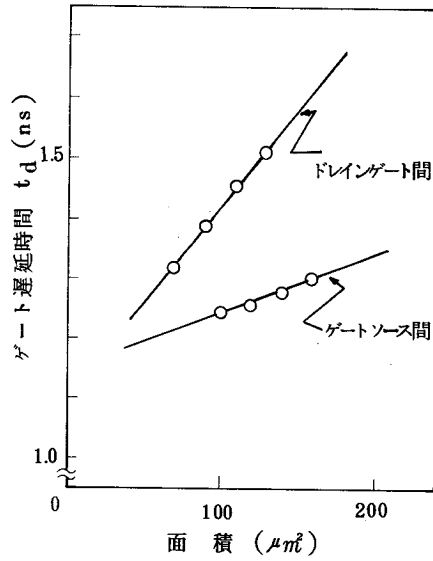


図 3.5.3 ゲート遅延時間と負荷容量となるアルミ配線面積の関係

3.5.3 ゲート遅延時間の解析

ここでは E-D ゲート回路の遅延時間を与える解析式を導出する。ゲートを構成する駆動トランジスタと負荷トランジスタの電流電圧特性を模式的に図 3.5.4 に示す。負荷トランジスタのソ

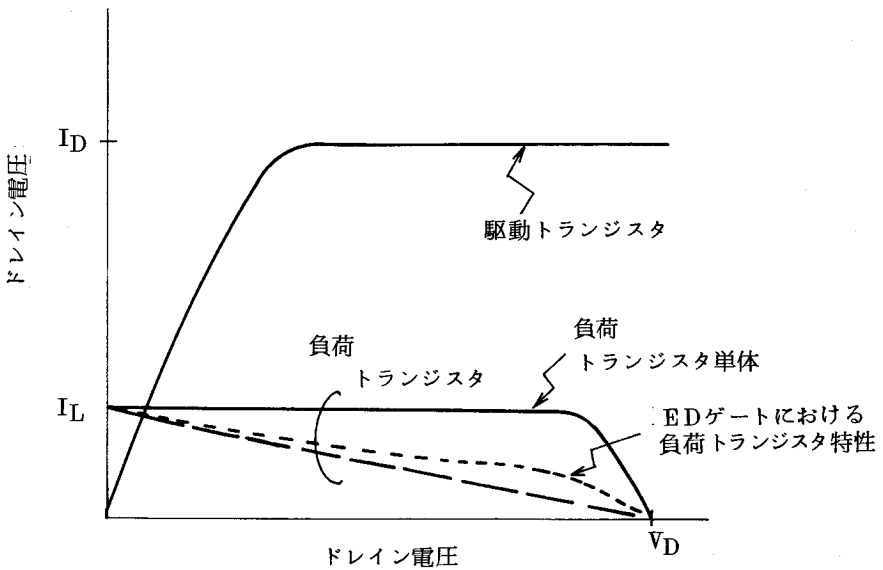


図 3.5.4 駆動トランジスタと負荷トランジスタの電流電圧特性を示す模式図

ース電位は基板電位に比べて高くなるため、基板バイアス効果を受け図 3.5.4 の破線で示すような抵抗に近い特性を示す。本解析では、この負荷トランジスタをまず定電流源で近似した場合を扱い、つづいて負荷トランジスタ特性を抵抗で近似した場合の解析を行う。駆動トランジスタは飽和電流領域で動作するものと仮定する。遅延時間は図 3.5.5 で示すような擬ペア遅延時間の考え方で表現する。すなわち、複数の縦列接続されたゲート鎖を考え、 n 段目のゲートの入力が一時的に“H”から“L”になったとき、 n 段目のゲートの出力が“L”から閾値電圧“ V_T ”まで上昇する時間を t_{dr} とする。

$t = t_{dr}$ から $(n+1)$ 段目のゲート出力が V_T まで下降する時間を t_{df} とし、 $1/2 \cdot (t_{dr} + t_{df})$ をゲート遅延時間とする。立上り時間は負荷トランジスタによる放電電流のみを考える。さらに、“H”レベル及び“L”レベルは、それぞれ電源電圧 V_D 及び接地電位であると近似する。

充放電の対象となる負荷容量を内因性容量 C_i と外因性容量 C_e に分離する。 C_i はゲートを構成するのに必要な最小の容量であり、3.5.2 で扱ったトランジスタのドレイン接合容量、ファンアウトが 1 のときの次段のゲート入力容量と、隣接ゲート間を接続する最短配線容量からなる。一方 C_e はファンアウトの増加にともなうファンアウト容量、配線長増加による配線容量の増加分とする。また内因性容量 C_i の充放電で定まる遅延時間を最小遅延時間 t_{dm} と呼ぶことにする。以下負荷トランジスタを定電流源及び抵抗で近似した各々の場合について、まず容量性のみを負荷をもつゲートの遅延時間を解析し、続いて配線抵抗の効果を含めた遅延時間の式を導出する。

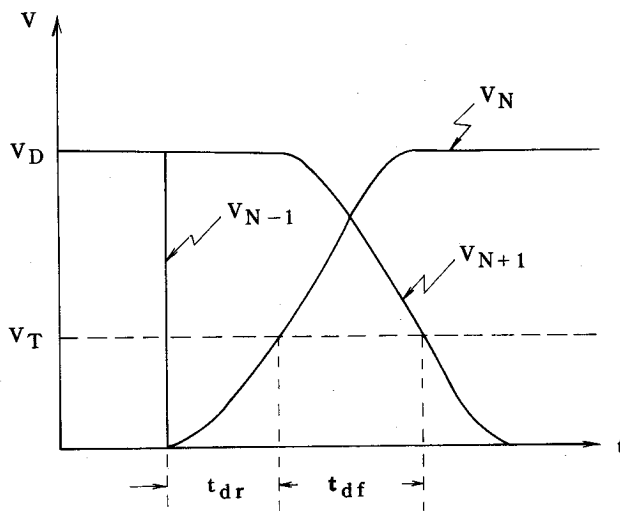


図 3.5.5 遅延時間の定義

3.5.3.1 負荷トランジスタの定電流近似

i) 容量性負荷をもつゲートの遅延時間

図 3.5.6 (a) であらわされる回路の立上り時間 t_{dr} 及び立下り時間 t_{df} を求める等価回路図をそれぞれ図 3.5.6 (b), (c) に示す。ここで V_0 は $t=0$ で瞬時的に “H” から “L” に変わるものとする。ゲートをソースに接続されたデプレッション形負荷トランジスタの飽和電流

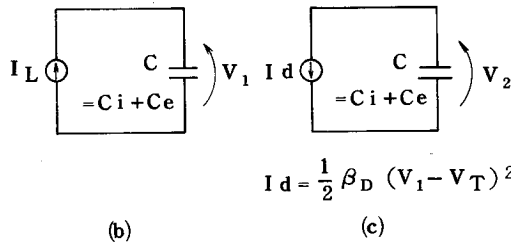
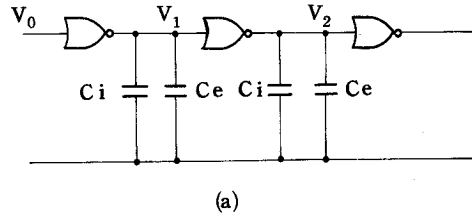


図 3.5.6 容量性負荷をもつ論理ゲートの等価回路図

値を I_L とし、この I_L によって負荷容量 $C = C_i + C_e$ が充電されるとすると、図 3.5.6 に示す V_1 の応答は、

$$V_1 = (I_L / C) t \quad (3.5.1)$$

で与えられる。 $V_1 = V_T$ と置いて、立上り時間 t_{dr} をもとめると、

$$t_{dr} = (C / I_L) V_T \quad (3.5.2)$$

となる。立下り特性すなわち V_2 の応答を求めるために $V_1 = V_T$ となる時刻を $t=0$ とすると、駆動トランジスタのドレイン電流は、 V_1 が V_D と等しくなる時間を t_1 、すなわち

$$t_1 = \frac{C (V_D - V_T)}{I_L} \quad (3.5.3)$$

として次式であらわされる。

$$I_d = \frac{\beta_E}{2} V_1^2 = \frac{\beta_E I_L^2}{2C^2} t^2 \quad (t \leq t_1) \quad (3.5.4)$$

$$I_d = \frac{\beta_E}{2} V_D^2 \equiv I_D \quad (t \geq t_1) \quad (3.5.5)$$

$t \leq t_1$ のときは (3.5.4) 式で与えられる電流によって負荷容量 C が放電される。 V_2 の応答を求めると、

$$V_2 = -\frac{\beta_E I_L^2}{6C^3} t^3 + V_D \quad (3.5.6)$$

となり、 $V_2 = V_T$ において、 t_{df} を求めると次式のようにになる。

$$t_{df} = \frac{C}{I_L} (V_D - V_T) \sqrt[3]{\frac{3I_L}{I_D}} \quad (3.5.7)$$

一方 $t \geq t_1$ のときは、 $t = t_1$ まで I_d は t の 2 次関数として増加するが、 $t \geq t_1$ で飽和電流値 $I_d = I_D$ となり一定となる。従って、 V_2 の応答は、

$$V_2 = -\frac{I_D}{C} \left(t - \frac{2}{3} t_1 \right) + V_D \quad (3.5.8)$$

となる。 $V_2 = V_T$ として t_{df} を求めると t_{df} は次式のようにになる。

$$t_{df} = C(V_D - V_T) \left(\frac{1}{I_D} + \frac{2}{3I_L} \right) \quad (3.5.9)$$

t_{df} は、 $t_{df} \begin{matrix} > \\ < \end{matrix} t_1$ となる条件に従って、(3.5.7) 式か (3.5.9) 式のいずれかで表わされる。 $t_{df} \leq t_1$ となる条件を (3.5.7) および (3.5.9) 式から逆算すると $I_L \leq (1/3) I_D$ となる。通常の E-D ゲートにおいて負荷トランジスタの電流値は、雑音余裕の観点から、駆動トランジスタの電流値よりも十分小さくなるように設定されるため、一般に $I_L \leq (1/3) I_D$ は満足されている。従って、(3.5.2) 式と (3.5.7) 式から遅延時間を求めると次のようになる。

$$t_d = \frac{C}{2I_L} \left\{ V_T + \sqrt[3]{\frac{3I_L}{I_D}} (V_D - V_T) \right\} \quad (3.5.10)$$

上式は、文献(17)で与えられている近似式で出力“H”レベルを V_D 、出力“L”レベルを 0 とおいた式と等価である。容量 C を内因性容量 C_i と外因性容量 C_e に分離すると、容量性負荷をもつ遅延時間 t_d は次式で与えられる。

$$t_d = t_{dm} \left(1 + \frac{C_e}{C_i} \right)$$

$$t_{dm} = \frac{C_i}{2I_L} \left\{ V_T + \sqrt[3]{\frac{3I_L}{I_D}} (V_D - V_T) \right\} \quad (3.5.11)$$

ii) 配線抵抗を有するゲートの遅延時間

ゲート配線にポリシリコン，または拡散層が用いられる場合，これらの配線抵抗がゲート遅延時間に影響を与える。抵抗をもつ配線体を π 形等価回路であらわしたとき，配線抵抗を含めたゲートの等価回路は図 3.5.7 のとおりになる。ここで C_i は前節と同一の内因性容量であり， C_w

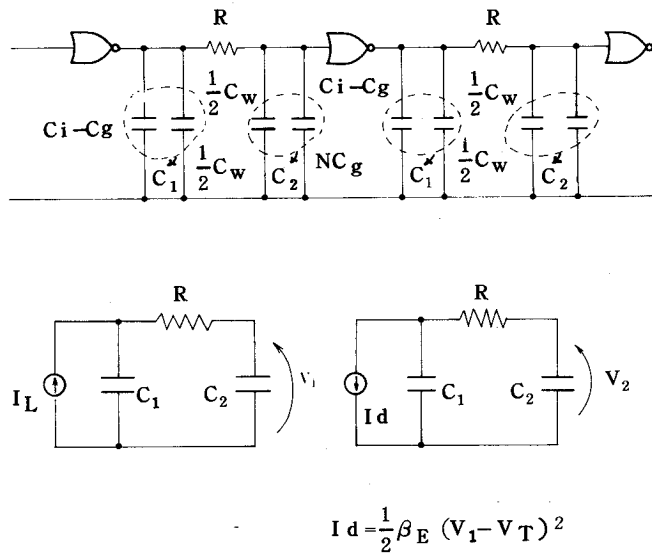


図 3.5.7 配線抵抗を考慮に入れた論理ゲートの等価回路図

はポリシリコン及びアルミの配線容量， C_g はゲートの入力容量， R はポリシリコン配線抵抗， N はファンアウト数である。立上り時間 t_{dr} 及び立下り時間 t_{df} を求めるための等価回路図をそれぞれ図 3.5.7 (b), (c)に示す。ここで

$$C_1 = C_i - C_g + \frac{1}{2} C_w \quad (3.5.12)$$

$$C_2 = \frac{1}{2} C_w + N C_g$$

であり，また外因性容量 C_e は，

$$C_e = C_w + (N-1) C_g \quad (3.5.13)$$

である。微分演算子 p を用いて V_1 を求めると

$$V_1 = \frac{I_L}{p[RC_1C_2p + C_1 + C_2]} \quad (3.5.14)$$

となる。逆変換して t 関数になおすと V_1 は次式で与えられる。

$$V_1 = \frac{I_L}{C_1 + C_2} \left\{ t - \tau_0 \left(1 - e^{-\frac{t}{\tau_0}} \right) \right\} \quad (3.5.15)$$

ここで

$$\tau_0 = \frac{RC_1C_2}{C_1 + C_2} \quad (3.5.16)$$

である。 $e^{-\frac{t}{\tau_0}} \ll 1$ と考えて (3.5.15) を近似すると次式が得られる。

$$V_1 = \frac{I_L}{C_1 + C_2} (t - \tau_0) \quad (3.5.17)$$

立上り時間 t_{dr} は上式において $V_1 = V_T$ として、 t について解くと得られる。

$$t_{dr} = \frac{C_1 + C_2}{I_L} V_T + \tau_0 \quad (3.5.18)$$

(3.5.18) 式であらわされる t_{dr} は、容量性の負荷のみを持つ場合の (3.5.2) 式に比べて τ_0 だけ増加している。

次に立下り時間 t_{df} を求める。 V_2 の応答は、

$$V_2 = V_D - \frac{I_d}{p[RC_1C_2p + C_1 + C_2]} \quad (3.5.19)$$

で与えられる。入力として (3.5.17) 式で与えられる V_1 が印加された時を考えると、 $V_1 = V_T$ となる時刻を $t=0$ として駆動トランジスタのドレイン電流 I_d は次のようになる。

$$I_d = \frac{\beta_E I_L^2}{2(C_1 + C_2)^2} t^2 \quad (3.5.20)$$

I_d が単位ステップ電流であると仮定した時の $V_2 - V_D$ の応答を $U(t)$ とすると

$$U(t) = -\frac{1}{C_1 + C_2} \left(t - \tau_0 + \tau_0 e^{-\frac{t}{\tau_0}} \right) \quad (3.5.21)$$

となる。従って (3.5.20) 式の I_d が印加されたときの応答は、ドウハメリの定理⁽¹⁸⁾を用いて次

のようにあらわされる。

$$V_2 - V_D = I_d(0) U(t) + \int_0^t \frac{dI_d(x)}{dx} U(t-x) dx \quad (3.5.22)$$

ここで

$$I_d(x) = \frac{\beta_E I_L^2}{2(C_1 + C_2)^2} x^2 \quad (3.5.23)$$

である。積分を実行すると、

$$V_2 - V_D = - \frac{\beta_E I_L^2}{6(C_1 + C_2)^3} \left\{ t^3 - 3\tau_0 t^2 + 6\tau_0^2 t - 6\tau_0^3 \left(1 - e^{-\frac{t}{\tau_0}}\right) \right\} \quad (3.5.24)$$

となる。 $V_2 = V_T$ において上式を整理すると、

$$\sqrt[3]{\frac{3I_L}{I_D}} \frac{(C_1 + C_2)(V_D - V_T)}{I_L} = \left\{ t^3 - 3\tau_0 t^2 + 6\tau_0^2 t - 6\tau_0^3 \left(1 - e^{-\frac{t}{\tau_0}}\right) \right\}^{1/3} \quad (3.5.25)$$

となり、この方程式を t について解くと t_{df} が得られるが、このままでは解析的に解くことは不可能である。(3.5.25)式の左辺は、容量性の負荷のみをもつ時の t_{df} の値(3.5.7)と等価である。方程式(3.5.25)の近似式を得るために、(3.5.21)の $U(t)$ を次式で近似する。

$$U(t) \approx - \frac{1}{C_1 + C_2} (t - \tau_0) \quad (t \geq \tau_0)$$

$$U(t) = 0 \quad (t < \tau_0) \quad (3.5.26)$$

このとき(3.5.24)式に対応する近似式は

$$V_2 - V_D = - \frac{\beta_E I_L^2}{6(C_1 + C_2)^3} (t - \tau_0)^3 \quad (3.5.27)$$

となり、 $V_2 = V_T$ において、 t について解き t_{df} を求めると、

$$t_{df} = \sqrt[3]{\frac{3I_L}{I_D}} \frac{(C_1 + C_2)(V_D - V_T)}{I_L} + \tau_0 \quad (3.5.28)$$

となる。方程式(3.5.25)の数値計算による解と、式(3.5.28)で与えられる近似解の関係は、 $R = 1 \text{ k}\Omega \sim 5 \text{ k}\Omega$ のとき図 3.5.8 に示すとおりであり、式(3.5.28)が比較的良好な近似を与えることが解る。

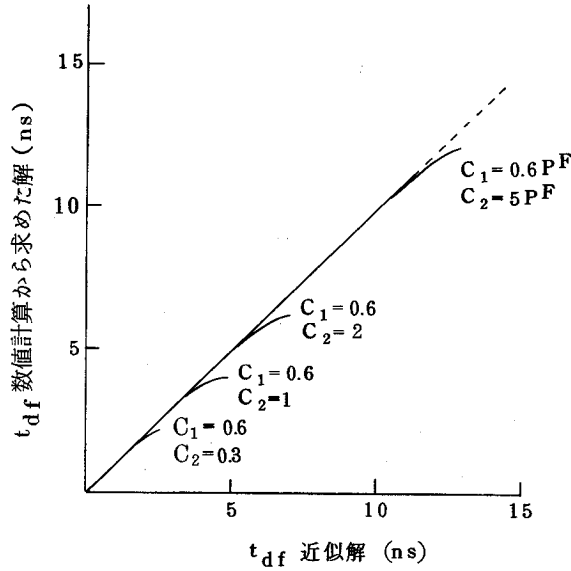


図 3.5.8 立下り時間 t_{df} の近似解と数値計算による解

(3.5.18) と (3.5.28) 式から遅延時間 t_d を次のように表わすことができる。

$$t_d = \frac{(C_1 + C_2)}{2I_L} \left\{ V_T + \sqrt[3]{\frac{3I_L}{I_D}} (V_D - V_T) \right\} + \tau_0 \quad (3.5.29)$$

C_1, C_2 を内因性容量 C_i と外因性容量 C_e とに再分割し、最小ゲート遅延時間を t_{dm} とすると、遅延時間は次式のとおりになる。

$$t_d = \left(1 + \frac{C_e}{C_i} \right) t_{dm} + \tau_0 \quad (3.5.30)$$

ここで

$$t_{dm} = \frac{C_i}{2I_L} \left\{ V_T + \sqrt[3]{\frac{3I_L}{I_D}} (V_D - V_T) \right\}$$

$$\tau_0 = R \cdot \frac{(C_i - C_g + \frac{1}{2} C_w) (\frac{1}{2} C_w + N C_g)}{C_i + C_w + (N-1) C_g} \quad (3.5.31)$$

である。

3.5.3.2 負荷トランジスタの抵抗近似

i) 容量性負荷をもつゲートの遅延時間

図 3.5.9 (a) であらわされる回路の立上り時間及び立下り時間を求める等価回路をそれぞれ図 3.5.9 (b), (c) に示す。ここで r は負荷トランジスタ特性を近似する抵抗であり、ソース・ドレイン

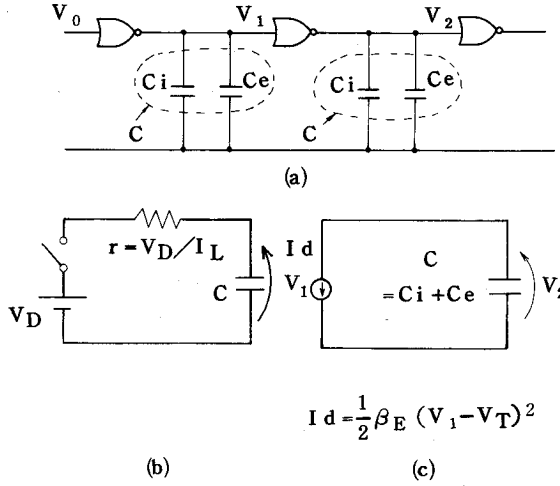


図 3.5.9 容量性負荷をもつ論理ゲートの等価回路図

間の電位差が V_D であるときの飽和電流値を I_L とすれば、 $r = V_D / I_L$ であらわされる。純粹の抵抗と異なり、定電流性のために電源電圧とともに抵抗値は変る。 V_0 が瞬時に 0 になったとき負荷トランジスタを介して負荷容量 $C = C_i + C_e$ が充電されるとき V_1 の応答は、

$$V_1 = V_D \left(1 - e^{-\frac{1}{Cr}t} \right) \quad (3.5.32)$$

で与えられる。 $V_1 = V_T$ において立上り時間 t_{dr} を求めると

$$t_{dr} = \frac{(C_i + C_e)V_D}{I_L} \ln \left(\frac{1}{1 - \frac{V_T}{V_D}} \right) \quad (3.5.33)$$

となる。立下り特性すなわち V_2 の応答を求めるために $V_1 = V_T$ なる時刻を $t = 0$ とすると、

I_d は (3.5.32) 式を用いて

$$\begin{aligned} I_d &= \frac{1}{2} \beta_E (V_1 - V_T)^2 \\ &= I_D \left(1 - e^{-\frac{t}{Cr}} \right)^2 \end{aligned} \quad (3.5.34)$$

で与えられる。 I_D はゲート電圧が V_D であるときの駆動トランジスタの飽和電流値である。

(3.5.34) 式のように時間とともに変る強制電流が印加されたときの応答は、単位ステップ電流が印加されたときの応答 $U(t)$ 、

$$U(t) = V_2 - V_D = -\frac{1}{C} t \quad (3.5.35)$$

として、ドゥアメル定理を用いて次式の如く表わされる。

$$V_2 - V_D = I(0) U(t) + \int_0^t \frac{dI(x)}{dx} U(t-x) dx \quad (3.5.36)$$

ここで

$$I(x) = I_D \left(1 - e^{-\frac{x}{Cr}} \right)^2 \quad (3.5.37)$$

従って

$$V_2 - V_D = -\frac{I_D}{C} \left\{ t - \frac{3}{2} cr + 2 cre^{-\frac{t}{cr}} - \frac{cr}{2} e^{-\frac{2t}{cr}} \right\} \quad (3.5.38)$$

(3.5.38) 式において $V_2 = V_T$ とおき、 $C(V_D - V_T)/I_D = t_{c1}$ とすると、

$$\frac{t_{c1}}{cr} = \frac{I_L(V_D - V_T)}{I_D V_D} = \frac{t}{cr} - \frac{3}{2} + 2e^{-\frac{t}{cr}} - \frac{1}{2} e^{-\frac{2t}{cr}} \quad (3.5.39)$$

となる。 $t_{c1}/(cr)$ と $t/(cr)$ の関係を図 3.5.10 の実線で示す。ここで破線は (3.5.39)

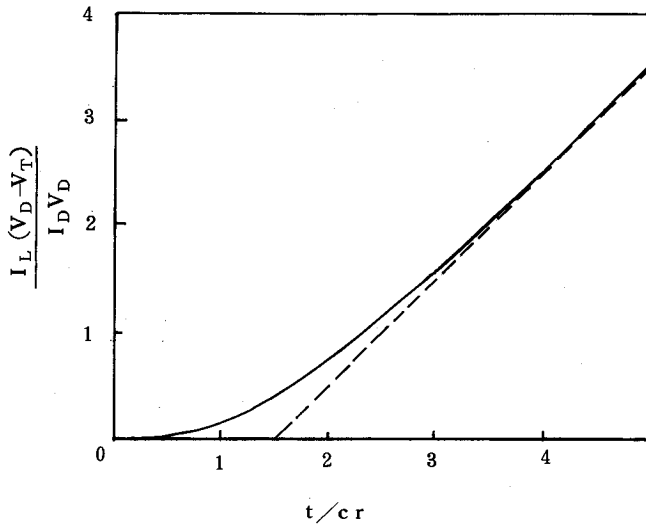


図 3.5.10 t_{c1} vs. t (cr で規格してある)

式右辺を $t/(cr) - 3/2$ で近似したものであり、この直線近似を用いると、方程式 (3.5.39) の根 $t = t_{df}$ は、 $t_{c1}/(cr) \geq 0.5$ のとき +20% 以内、 $t_{c1}/(cr) \geq 0.2$ のとき +50% 以内の精度で次式によって近似できる。

$$t_{df} = (C_i + C_e) \left(\frac{V_D - V_T}{I_D} + \frac{3}{2} \frac{V_D}{I_L} \right) \quad (3.5.40)$$

従って容量性の負荷をもつゲートの遅延時間は、(3.5.33)、(3.5.40) 式から

$$t_d = \left(1 + \frac{C_e}{C_i}\right) t_{dm}$$

$$t_{dm} = \frac{C_i}{2} \left\{ \frac{V_D}{I_L} \left(\ln \frac{1}{1 - \frac{V_T}{V_D}} + \frac{3}{2} \right) + \frac{V_D - V_T}{I_D} \right\} \quad (3.5.41)$$

が得られる。 t_{dm} は内因性容量 C_i を充放電するのに要する時間であり、トランジスタの形状が定まったときに得られる最小のゲート遅延時間に対応する。

ii) 配線抵抗を有するゲートの遅延時間

ゲート間配線にポリシリコンなどの抵抗性配線体を用いた場合の配線抵抗を含めた等価回路を図 3.5.1 1 に示す。容量の記号は 3.5.3.1 で述べた定電流近似の場合と等価である。

図 3.5.1 1 (b) から微分演算子 p を用いて V_1 を求めると、

$$V_1 = \frac{V_D}{R r C_1 C_2 p^2 + \{ r (C_1 + C_2) + R C_2 \} p + 1} \quad (3.5.42)$$

となる。ここで $r = V_D / I_L$ 、 R は配線体の抵抗である。式 (3.5.42) の分母を 0 とおいて得られる方程式の根を $-\frac{1}{\tau_1}$ 、 $-\frac{1}{\tau_2}$ とすると、

$$\tau_1 = \frac{1}{2} \{ r (C_1 + C_2) + C_2 R + \sqrt{\{ r (C_1 + C_2) + C_2 R \}^2 - 4 R r C_1 C_2} \}$$

$$\tau_2 = \frac{1}{2} \{ r (C_1 + C_2) + C_2 R - \sqrt{\{ r (C_1 + C_2) + C_2 R \}^2 - 4 R r C_1 C_2} \}$$

(3.5.43)

(3.5.42) 式を逆変換して、 t 関数をもとめると、 V_1 は

$$V_1 = V_D \left\{ 1 + \frac{\tau_1 e^{-\frac{t}{\tau_1}} - \tau_2 e^{-\frac{t}{\tau_2}}}{\tau_2 - \tau_1} \right\} \quad (3.5.44)$$

で与えられる。(3.5.44) 式は 2 つの指数関数を持ち、 t について解析的に解くことができない。そこで (3.5.44) 式を、遅れを持った単一指数関数で近似する。 $\tau_1 / \tau_2 = M$ 、 $\frac{t}{\tau_1} = \xi$ とおくと、(3.5.44) 式は次のようになる。

$$V_1 = V_D \left\{ 1 - \frac{M e^{-\xi} - e^{-M\xi}}{M - 1} \right\} \quad (3.5.45)$$

$$\equiv V_D \{ 1 - f \} \quad (3.5.46)$$

ここで

$$f = \frac{M e^{-\xi} - e^{-M\xi}}{M - 1} \quad (3.5.47)$$

である。 f が次式であらわされる f_a で近似されるとき、

$$f_a = e^{-(\xi - \xi_a)/a} \quad (3.5.48)$$

f の変曲点における勾配、及び値が f_a のそれと等しいとおくと、

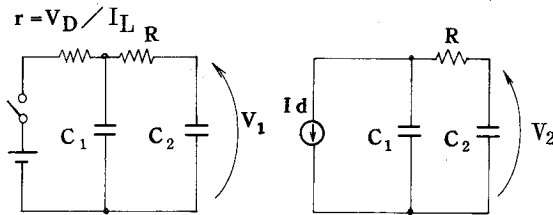
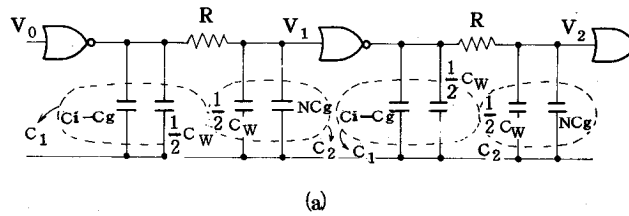
$$a = 1 + \frac{1}{M}$$

$$\xi_a = \left(1 + \frac{1}{M}\right) \ln \left(1 + \frac{1}{M}\right) - \frac{1}{M(M-1)} \ln M \quad (3.5.49)$$

が得られる。 $\tau_1 + \tau_2 = \tau$ とすると、(3.5.44)式の近似式は

$$V_1 = V_D \left\{ 1 - e^{-\frac{t - t_a}{\tau}} \right\}$$

$$t_a = \tau \ln \left(1 + \frac{\tau_2}{\tau_1}\right) - \frac{\tau_2^2}{(\tau_1 - \tau_2)} \ln \frac{\tau_1}{\tau_2} \quad (3.5.50)$$



$$I_d = \frac{1}{2} \beta_E (V_1 - V_T)^2$$

図 3.5.11 配線抵抗を考慮に入れた論理ゲートの等価回路

であらわされる。 $V_1 = V_T$ において t について解くと t_{dr} は次式のとおりととなる。

$$t_{dr} = (C_1 + C_2) \frac{V_D}{I_L} \ln \frac{1}{1 - \frac{V_T}{V_D}} + C_2 R \ln \frac{1}{1 - \frac{V_T}{V_D}} + t_a \quad (3.5.51)$$

次に立下り時間 t_{df} を求める。図 3.5.11 (c) から V_2 を求めると、

$$V_2 = V_D - \frac{I_d}{R C_1 C_2 p^2 + (C_1 + C_2) p} \quad (3.5.52)$$

$V_1 = V_T$ なる点を時間軸の原点 ($t = 0$) にすると、駆動トランジスタのドレイン電流 I_d は、
 $\tau_1 + \tau_2 = \tau$ において次式であらわされる。

$$I_d = I_D (1 - e^{-\frac{t}{\tau}})^2 \quad (3.5.53)$$

3.5.3 1 の定電流近似の場合と同様にして、 I_d が単位ステップ電流である場合の $V_2 - V_D$ の応答を $U(t)$ とすると、

$$U(t) = -\frac{1}{C_1 + C_2} \{ t + \tau_0 (e^{-\frac{t}{\tau_0}} - 1) \}$$

$$\text{ここで, } \tau_0 = \frac{R C_1 C_2}{C_1 + C_2} \quad (3.5.54)$$

である。従って (3.5.53) 式で表わされる電流が印加されたときの $V_2 - V_D$ の応答は、

$$V_2 - V_D = I_d(0) U(t) + \int_0^t \frac{dI(x)}{dx} U(t-x) dx \quad (3.5.55)$$

で与えられる。ここで、

$$I_d(x) = I_D (1 - e^{-\frac{x}{\tau}})^2 \quad (3.5.56)$$

(3.5.55) 式の積分を実行すると、 V_2 は

$$\begin{aligned} V_2 = V_D - \frac{I_D}{C_1 + C_2} & \left[t - \tau_0 - \frac{3}{2} \tau - \frac{2\tau^2}{\tau - \tau_0} e^{-\frac{t}{\tau}} - \frac{\tau^2}{2(\tau - 2\tau_0)} e^{-\frac{2t}{\tau}} \right. \\ & \left. + \frac{\tau_0^3}{(\tau - \tau_0)(\tau - 2\tau_0)} e^{-\frac{t}{\tau_0}} \right] \end{aligned} \quad (3.5.57)$$

(3.5.57) 式において $V_2 = V_T$ とおき、 $(C_1 + C_2)(V_D - V_T)/I_D = t_{c2}$ とすると、

$$\begin{aligned} \frac{t_{c2}}{\tau} = \frac{(C_1 + C_2)(V_D - V_T)}{I_D \cdot \tau} & = \frac{t}{\tau} - \frac{\tau_0}{\tau} - \frac{3}{2} + \frac{2\tau}{\tau - \tau_0} e^{-\frac{t}{\tau}} - \frac{\tau}{2(\tau - 2\tau_0)} e^{-\frac{2t}{\tau}} \\ & + \frac{2\tau_0^3}{\tau(\tau - \tau_0)(\tau - 2\tau_0)} e^{-\frac{t}{\tau_0}} \end{aligned} \quad (3.5.58)$$

となる。 t_{c2}/τ と、 t/τ の関係を計算した結果を、 τ_0/τ をパラメータとして図 3.5.12 の実線で示す。ここで破線は (3.5.58) 式における指数関数部分を無視した近似式の計算値である。

この直線近似を用いると、i) のときと同程度の精度で t_{df} は、次式によって近似できる。

$$\begin{aligned} t_{df} & = \frac{(C_1 + C_2)(V_D - V_T)}{I_d} + \tau_0 + \frac{3}{2} \tau \\ & = (C_1 + C_2) \left\{ \frac{V_D - V_T}{I_d} + \frac{3}{2} \frac{V_D}{V_T} \right\} + \frac{R C_1 C_2}{C_1 + C_2} + \frac{3}{2} C_2 R \end{aligned} \quad (3.5.59)$$

(3.5.5 1) 式と (3.5.5 9) 式から遅延時間を求め (3.5.4 1) 式の t_{dm} 及び $C_1 + C_2 = C_i + C_e$ であることを用いると, t_d は次式で表わされる。

$$t_d = t_{dm} \left(1 + \frac{C_e}{C_i} \right) + \frac{1}{2} \left\{ C_2 R \ln \frac{1}{1 - \frac{V_T}{V_D}} + t_a + \frac{R C_1 C_2}{C_1 + C_2} + \frac{3}{2} C_2 R \right\} \quad (3.5.6 0)$$

(3.5.6 0) 式の第 1 項は, 容量性負荷によって定まる遅延時間要素であり, 第 2 項は配線抵抗に帰因する要素である。配線抵抗が 0 のときは, 第 2 項は 0 となり, (3.5.6 0) 式は (3.5.4 1) 式と一致する。

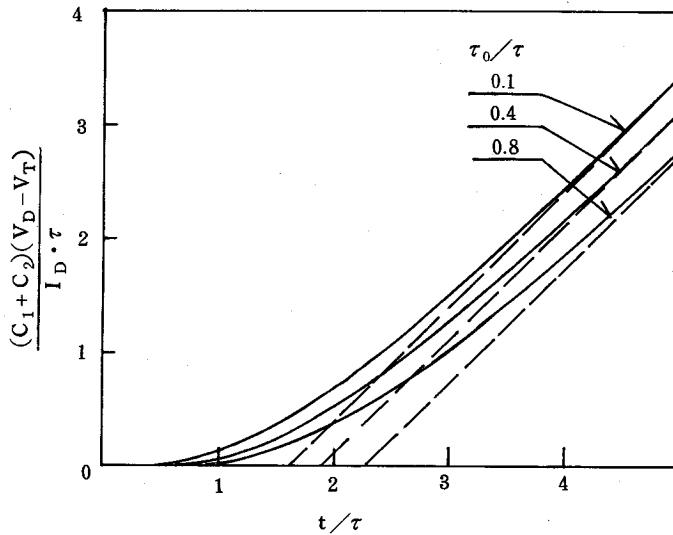


図 3.5.1 2 t_{c2}/τ vs. t/τ

3.5.3.3 実験結果との比較検討

前章で述べた解析結果と実験値との対応をとるために 800 ゲートを有するゲートアレイ型 マスタースライス L S I を用いて実験を行った。ゲート部分は, デプレッション型負荷トランジスタと D S A MOS 駆動トランジスタからなる N O R 論理ゲートである。配線領域は図 3.5.1 3 に示すように縦方向に走るポリシリコン固定配線 (長さ 3 1 0 μm , 幅 6 μm) と, アルミによる横方向配線とで行われる。

この方式ではゲートの入出力にはそれぞれ 1 本のポリシリコン配線が常に接続される。隣接ゲート間を最短のアルミ配線で接続したときのゲート遅延時間を t_{dm} , このときのゲートの負荷容

量を C_i とすると、 C_i は第 1 章で述べた接合容量、ゲート電極容量と、配線のためのポリシリコン及びアルミ容量の和となる。

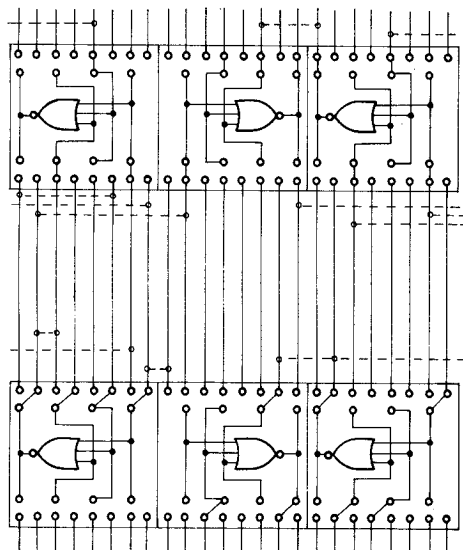


図 3.5.1 3 ポリシリコン、アルミを配線体とするゲートアレイの配線方式，
縦方向の実線がポリシリコン配線，横方向の破線はアルミ配線
を示す。

図 3.5.1 4 のパターンレイアウト図から各領域の面積を求め、 C_i 値を算出すると約 0.48 pF の値になる。図 3.5.1 5 は同じ構造のゲートを用い、ゲート間に接続されるアルミ配線長を変え

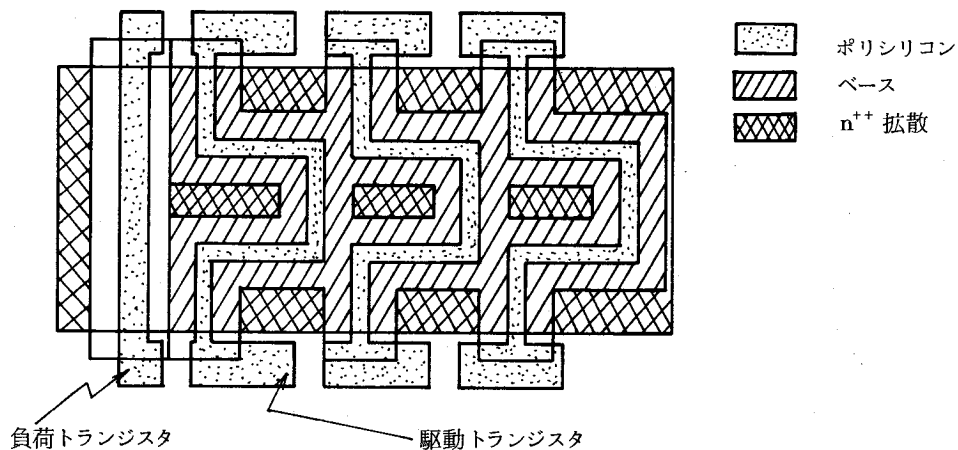


図 3.5.1 4 デプレッション型負荷トランジスタを有する 8 入力 NOR ゲートのパターンレイアウト図

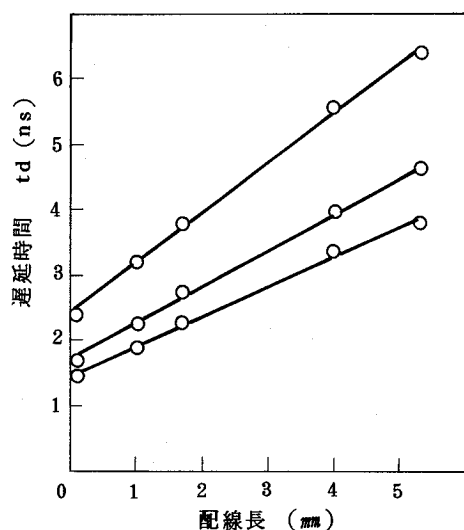


図 3.5.1 5 遅延時間の配線長依存性

たリングオシレータで測定したゲート遅延時間を示す。アルミ配線長の増大とともに遅延時間は直線的に変化する。この直線の横軸切片におけるアルミ配線長から求めた容量は C_i の値に対応すると考えられ、この場合 C_i 値は 0.51 pF となり、上記の計算値と良い一致を示す。

$V_D = 5\text{V}$, $V_T = 1\text{V}$, $I_D = 8\text{mA}$, $C_i = 0.51 \text{ pF}$ の各値を用いて、式 (3.5.11) 及び (3.5.41) を計算した結果実験結果は表 3.5.2 に示す通り負荷トランジスタを抵抗近似した場合の計算値と良い一致を示している。

表 3.5.2 最小遅延時間の計算値と実測値

I_L	$\frac{1}{2} V_D \cdot I_L$	計 算 値		実 測 値	
		t_{dm} (定電流近似)	t_{dm} (抵抗近似)	P_d	t_{dm}
0.9 mA	2.25 mW	1.07 ns	2.57 ns	2.18 mW	2.20 ns
1.4 mA	3.5 mW	0.77 ns	1.70 ns	3.51 mW	1.69 ns
2.0 mA	5.0 mW	0.59 ns	1.23 ns	4.86 mW	1.45 ns

次に配線体の抵抗の効果を調べるために、ゲート間にポリシリコン配線を付加して実験を行った。ポリシリコン及びアルミの配線容量を一定にし、ゲート間に直列に接続されるポリシリコン

配線長を変えることで、配線抵抗のみを変えることができる。図 3.5.16 はリングオシレータを用いて測定したゲート遅延時間と配線抵抗の関係を示す。図 3.5.16 (a) 及び (b) における曲線はそれぞれ、負荷トランジスタの定電流近似 (3.5.30) 式及び抵抗近似 (3.5.60) 式から t_{dm} , C_i の実測値を用いて求めた計算値であり、抵抗近似の場合、実測値と良い一致を示している。この図から、ポリシリコン配線抵抗がゲート遅延時間に大きな影響を与えていることがわかる。一例として 5 mW/ゲートの消費電力の場合についてみると、配線容量が 0.313 pF のとき、配線抵抗が 0 であれば、約 2.3 ns の遅延時間であるが、6 k Ω の配線抵抗が入ると約 5.1 ns まで増大する。

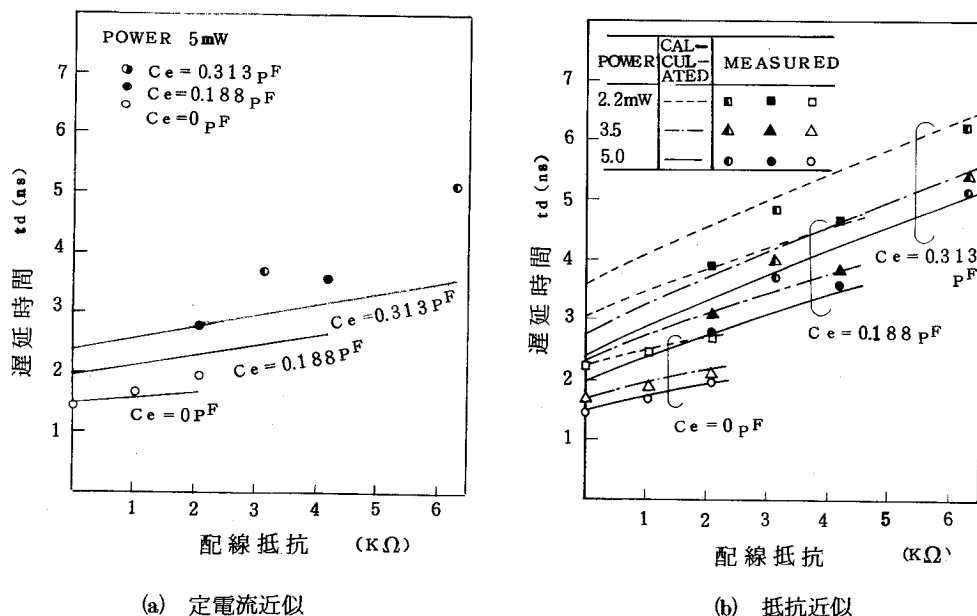


図 3.5.16 ゲート遅延時間に与える配線抵抗の効果

3.5.4 出力バッファ回路の遅延時間⁽²⁰⁾

出力バッファ回路は、LSI 内部で処理した信号を LSI 外部に取り出すための回路である。LSI 内部で対象となる負荷容量に比べて LSI 外部の容量は桁違いに大きい。従って必要な負荷容量を十分に駆動するために最終段のトランジスタのサイズは大きくなる。ところが最終段のトランジスタのサイズが大きくなると、その前段のトランジスタに対する負荷が重たくなる。従って内部ゲートと出力トランジスタの中間に、いくつかのインバータを設けこれらの大きさが、内部ゲートのサイズから出力トランジスタのサイズまでテーパ状に変えるという方法が一般的にとられている。H. C. Lin らは、出力バッファ回路の解析を行い、専有面積と遅延時間に関する最適化の手法を述べている。⁽²¹⁾ ここでは、出力トランジスタと 1 段の前置増幅器からなる出力バッファ回路をとりあげ、遅延時間最小、及び電力遅延時間積最小の条件について検討する。

図 3.5.1 7 は、解析に用いた出力バッファ回路の等価回路である。前置増幅器はエンハンスメントーデプレッション形ゲートであり、最終段は、エンハンスメントーエンハンスメント形プッシュプル回路になっている。トランジスタのポリシリコンゲート幅を W ，ゲート長を L として、最終段 $W=2000\ \mu\text{m}$ ，前置増幅器 $W=250\ \mu\text{m}$ ， $L=3.5\ \mu\text{m}$ の場合について、回路解析プログラム LILAS を用いてシミュレーションを行い、各ノードにおける電圧波形を求めた一例を図 3.5.1 8 に示す。最終段トランジスタの $W=2000\ \mu\text{m}$ ，内部ゲートのトランジスタの W を $40\ \mu\text{m}$ と固定し、前置増幅器の W を変えた場合の遅延時間を同じく LILAS を用いて求めた。

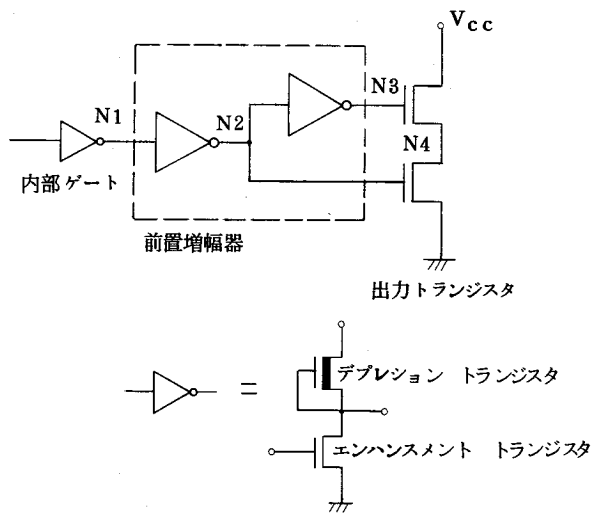


図 3.5.1 7 出力バッファ回路

結果は図 3.5.1 9 に示す通り、出力立上り時の遅延時間 t_{dr} ，出力立下り時の遅延時間 t_{df} ともに前置増幅器の $W=250\ \mu\text{m}$ 近傍で最小値をもっている。

出力バッファ回路における遅延時間の最適条件を検討するために図 3.5.1 7 の回路を図 3.5.2 0 の通り簡略化して考察する。ここでゲート 1 は LSI 内部ロジックのゲート，2 が前置増幅器，3 が出力トランジスタである。ゲート 1，2，3 のそれぞれのゲート幅を W_0 ， γW_0 ， $\gamma_0 W_0$ とすると各節点の容量は、図 3.5.2 0 中に示すとおりとなる。ゲート 1 と同じ大きさをもつゲートに C_0 の負荷容量を接続したときの遅延時間を t_0 とし、ゲート 1 の消費電力を p_0 とする。このバッファ回路におけるゲート 1 からゲート 2 までの遅延時間は次式で与えることができる。

$$t_d = \left(\gamma + \frac{\gamma_0}{\gamma} \right) t_0 \quad (3.5.61)$$

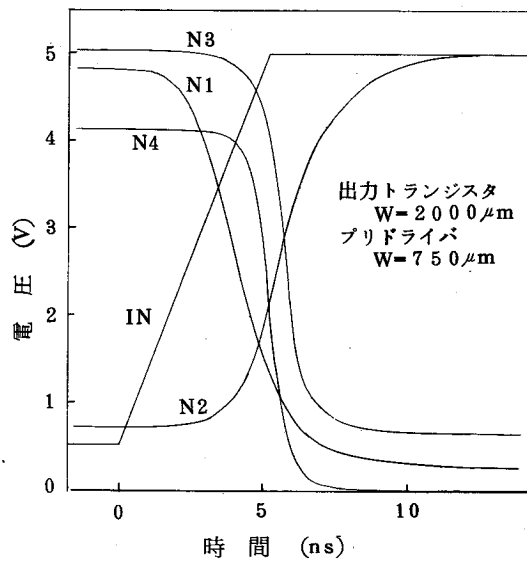


図 3.5.18 バッファ回路の内部波形

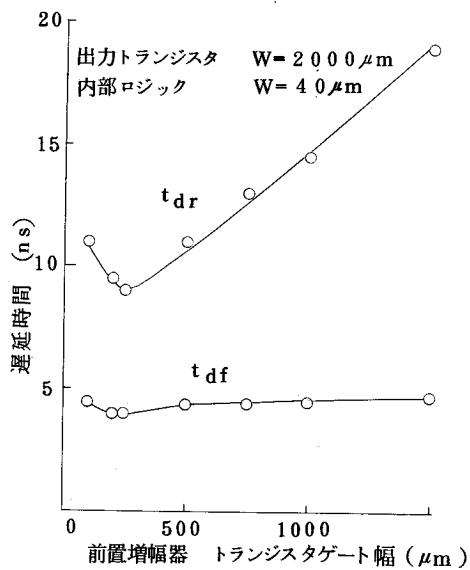


図 3.5.19 出力バッファ回路における遅延時間の前置増幅器寸法依存性

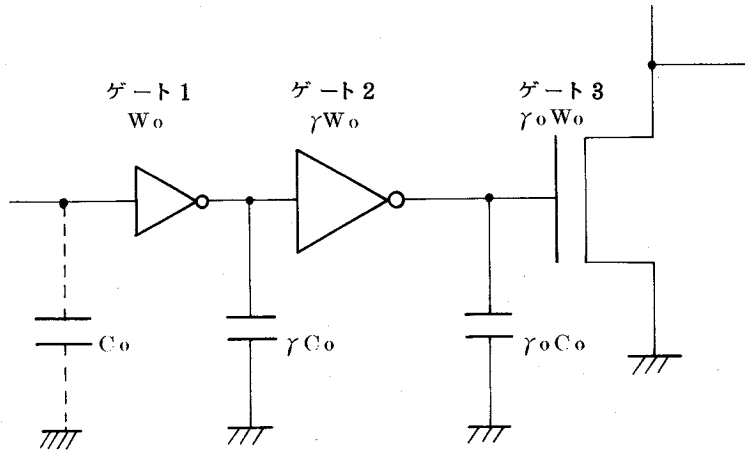


図 3.5.2 0 出力バッファ回路の等価回路

従って γ を変数としたときの t_d の最小値は、 $\gamma = \sqrt{\gamma_0}$ のとき

$$t_{dmin} = 2 \sqrt{\gamma_0} \quad (3.5.62)$$

となる。いいかえれば遅延時間の最小値は、内部ロジックトランジスタと、出力トランジスタの W を設定することによって得られることになり、この値は、図 3.5.1 9 の値と一致する。入出力ピンを多数もつ論理 L S I の場合は、出力バッファ回路における消費電力の比重が大きくなるため、電力を含めた最適条件を考慮する必要がある。以下電力—遅延時間積 (P D 積) 最小の条件を求める。出力トランジスタ部は、エンハンスメント—エンハンスメント構成であるため、この部分での電力消費は、エンハンスメント—デプレション構成の前置増幅器に比べて十分小さいものとする、ゲート 1、ゲート 2 で消費される電力は次のようになる。

$$P = (1 + \gamma) p_0 \quad (3.5.63)$$

ここで p_0 はゲート 1 での消費電力である。(3.5.6 1) と (3.5.6 3) 式から、ゲート 1、ゲート 2 全体での P D 積は、

$$\begin{aligned} PD &= \left(\gamma + \frac{\gamma_0}{\gamma} \right) (1 + \gamma) t_0 p_0 \\ &= \left(\gamma^2 + \gamma + \gamma_0 + \frac{\gamma_0}{\gamma} \right) p_0 t_0 \end{aligned} \quad (3.5.64)$$

ここで $p_0 t_0$ は内部ロジックの 1 ゲート当りの P D 積に対応する。(3.5.6 4) 式を $\gamma_0 = 50$ の

場合について図示すると、図 3.5.2 1 のとおりとなる。P D 積は前置増幅器のサイズに対して最小値をもち、この最小値を与える γ の値は遅延時間を最小にする γ の値より小さなところにある。P D 積を最小にする γ の値は、(3.5.6 4) 式の γ に関する微分を 0 とおいて次の方程式で与えられる。

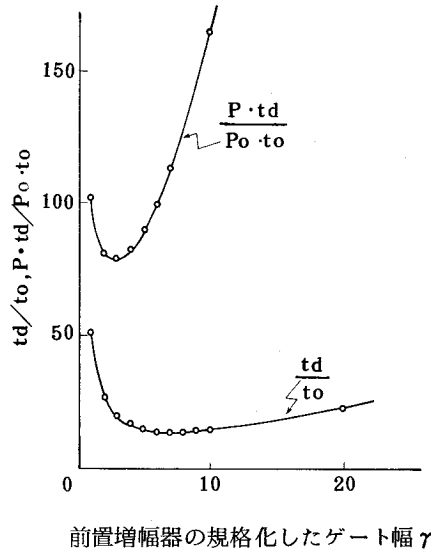


図 3.5.2 1 電力遅延時間積及び遅延時間の γ 依存性

$$\frac{\partial PD}{\partial \gamma} = (2\gamma + 1 - \frac{\gamma_0}{\gamma^2}) p_0 t_0 = 0$$

$$2\gamma^3 + \gamma^2 - \gamma_0 = 0 \quad (3.5.6 5)$$

(3.5.6 5) の方程式は $\gamma_0 > 1$ のとき、正の一実根を有し、この γ の値が (3.5.6 4) 式を最小にする γ となる。これを γ_{EM} とすると、

$$\gamma_0 = 2\gamma_{EM}^3 + \gamma_{EM}^2 \quad (3.5.6 6)$$

一方遅延時間を最小にする γ を γ_{DM} とすると (3.5.6 2) 式より

$$\gamma_0 = \gamma_{DM}^2 \quad (3.5.6 7)$$

出力トランジスタの W をきめる γ_0 に対して、(3.5.6 6)、(3.5.6 7) をプロットした結果を図 3.5.2 2 に示す。P D 積を最小にする前置増幅器のサイズは常に遅延時間を最小にする前置

増幅器のサイズより小さく r_0 が100程度るとき r_{EM} は概ね r_{DM} の1/3である。

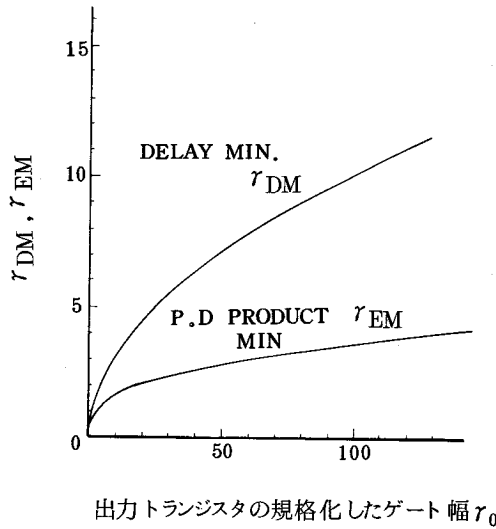


図 3.5.2 2 遅延時間及び電力遅延時間を最小にする前置増幅器のサイズ

3. 6 結 言

MOSLSIの高速化を制限する支配的な要素が外因性遅延時間であるため、配線容量をはじめとする負荷容量及び、配線抵抗と、遅延時間の関係の解析を行った。外因性遅延時間の限界値は、MOSトランジスタの相互コンダクタンス g_m とゲート電極容量 C_g とで定まる時定数 C_g/g_m であるため、この C_g/g_m を小さくする各種の短チャネルMOSデバイスのうち、従来の製造プロセス技術で実現可能な拡散自己整合(DSA)MOSトランジスタをとりあげて解析を行った。DSA MOSトランジスタは、微細化したNMOSトランジスタと同一の製造プロセス工数で製造することができ、プロセス上の相異点は、エンハンスメント型トランジスタのチャネルドープ工程の順番が異なるのみである。

DSA MOSトランジスタの微細化を行い、微細化したNMOSトランジスタと静特性について比較を行ったところ以下の事が明らかになった。

- 1) チャネル長の低減に対する閾値電圧 V_T の変動は、NMOSデバイスの場合 $10\mu m$ から $3\mu m$ までゆるやかに減少し、 $3\mu m$ 以下では急峻に低下するのに対して、非対称形DSA MOSトランジスタでは、 $10\mu m$ から $2\mu m$ までのチャネル長において V_T は一定であり $2\mu m$ 以下で急減する。対称形DSA MOSトランジスタでは $2\mu m$ のチャネル長ま

で V_T は一定であり、 $2\text{ }\mu\text{m}$ 以下で V_T はむしろ上昇する。

- ii) 耐圧は NMOS，及び非対称形 DSA MOS トランジスタそれぞれ $3\text{ }\mu\text{m}$ 及び $2\text{ }\mu\text{m}$ 以下のチャネル長でパンチスルーのために急激に低下するが，対称形 DSA MOS トランジスタでは $1.3\text{ }\mu\text{m}$ 以下のチャネル長でもパンチスルー現象は観測されない。

上記の DSA MOS トランジスタと，デプレッション型負荷トランジスタから構成される E-D (エンハンスメント・デプレッション) 型論理ゲートについて外因性遅延時間の解析を行った。

MOS LSI 内における論理ゲートの遅延時間は，論理ゲート構造に固有の内因性容量を充放電するのに要する最小遅延時間が，配線，ファンアウトの増加にともなう容量，抵抗の負荷によって増大するものとして取扱うことができる。接合容量をはじめとする論理ゲートの内因性容量の成分の相対値を実験的に求める方法として，リング発振器の発振周波数から求めた遅延時間から逆算する方法を提案し，内因性容量の解析を行った後，遅延時間の解析を行った。その結果以下の事が明らかになった。

- i) 論理ゲートの内因性容量は，接合容量，ゲート電極容量及び，論理ゲート間を接続する最短配線容量からなる。単位面積当りの接合容量のうち，不純物濃度の高いフィールド酸化膜下の p^+ 拡散領域と，ソースドレイン領域を形成する n^+ 拡散領域との間の接合容量は，アルミ配線-基板間容量の約 1.7 倍の値をもつ。またゲート電極とドレイン拡散の重なりで帰因する帰還容量のミラー係数は 3.4 の値になり，これらの容量は，最小遅延時間に大きな影響を与える。
- ii) 容量性の負荷のみをもつ論理ゲートの遅延時間は，負荷容量に比例するため，全負荷容量と内因性容量の比を最小遅延時間に乗ずれば，論理ゲートの遅延時間が得られる。
- iii) 配線体に抵抗成分が含まれる場合，配線体を π 型等価回路に置きかえることで遅延時間の近似式を，負荷トランジスタの定電流近似，抵抗近似，各々の場合について陽関数表示で求めることができた。デプレッション型負荷トランジスタは基板バイアス効果によって抵抗に近い特性になるため，上記抵抗近似による近似式が，実験と良い一致を示した。
- iv) 配線抵抗が遅延時間に与える効果は著しく，例えば 0.31 pF の配線容量で 2.3 ns の遅延時間が得られている論理ゲートに $6\text{ k}\Omega$ の配線抵抗を付加すれば遅延時間は 5.1 ns まで増大する。従って LSI の高速化をはかるためには配線抵抗の低減が極めて重要な条件となる。
- v) LSI 外部の容量を，十分に駆動できる出力トランジスタと，この出力トランジスタを駆動するための，前置増幅器とからなる出力駆動回路では，出力トランジスタのチャネル幅と，LSI 内部ゲートのチャネル幅の相乗平均値を前置増幅器のチャネル幅に設定すると，出力駆動回路の遅延時間を最小にすることができる。

vi) 出力駆動回路の電力－遅延時間積を最小にする前置増幅器のチャネル幅は，遅延時間を最小にするチャネル幅より小さい。内部ゲートのチャネル幅で規格化した出力トランジスタのチャネル幅を100とすると，遅延時間を最小にする前置増幅器のチャネル幅は $\sqrt{100}$
＝10になり，電力遅延時間積を最小とする前置増幅器のチャネル幅は約3になる。

第3章 文 献

- (1) B. Hoeneisen and C.A. Mead; "Fundamental limitation in microelectronics-I. MOS technology", Solid-State Electron., Vol. 15, p. 819, 1972.
- (2) L.D. Yau; "A simple theory to predict the threshold voltage of short-channel IGFET's", Solid-State Electron., Vol. 17, p. 1059, 1974.
- (3) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOS FETs' with very small physical dimensions", IEEE, J.Solid-State Circuits, Vol. SC-9, p.256, 1974.
- (4) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st. Conf. Solid State Devices Tokyo, 1969, suppl. J. Japan Soc. appl. Phys., Vol. 39, p. 105, 1970.
- (5) I. Ohkura, M. Ohmori, K. Shimotori, T. Nakano, Y. Hayashi, and Y. Tarui, "Fully ion-implanted DSA MOS IC", Proc. 8th. Conf. Solid-State Devices, Tokyo, 1976, suppl. Japan. J. appl. Phys., Vol. 16, p. 167, 1977.
- (6) T.J. Rodgers and J.D. Meindl; "VMOS: High-speed TTL compatible MOS logic", IEEE J. Solid-State Circuits, Vol. SC-9, p. 237, 1974.
- (7) M.D. Pocha, A.G. Gonzalez and R.W. Dutton; "Threshold voltage controllability in double-diffused MOS transistors," IEEE Trans. Electron Devices, Vol. ED-21, p.778, 1974.
- (8) H. Masuda, T. Masuhara, M. Nagata and N. Hashimoto; "Device design of the E/D gate MOSFET", Proc. 4th Conf. Solid-State Devices, Tokyo, 1972. suppl. J. Japan Soc. appl. Phys., Vol. 42, p. 167, 1973.
- (9) D.P. Kennedy and R.R. O'Brien; "Analysis of the impurity atom distribution near the diffusion mask for a planar p-n junction", IBM J. Vol. 9, p. 179, 1965.
- (10) I. Ohkura, O. Tomisawa, M. Ohmori and T. Nakano; "Electrical characteristics of DSA MOS transistor with fine structure", IEEE J. Solid-State Circuits, Vol. SC-14, p. 352, 1979.
- (11) H.J. Sigg, G.D. Vendelin, T.P. Cauge and J. Kocsis; "D-MOS transistor for microwave applications", IEEE Trans. Electron Devices, Vol. ED-19, p. 45, 1972.

- (12) T.J. Rodgers, S. Asai, M.D. Pocha, R.W. Dutton and J.D. Meindl; "An experimental and theoretical analysis of double-diffused MOS transistors", IEEE J. Solid-State Circuits, Vol. SC-10, p.322, 1975.
- (13) 大倉, 浅井, 下西, 中野, 林, 垂井; "DSA MOS トランジスタの E/D モデル解析" 信学論(C), Vol. 62-C, p. 107, 1979.
- (14) Y. Hayashi, T. Sekigawa and Y. Tarui; "DSA MOS transistor and its integrated circuits", Proc. 8th Conf. Solid-State Devices, suppl. Japan J. appl. Phys., Vol. 16, p. 163, 1977.
- (15) 富沢, 中屋, 穴見, 中野; "MOS E-D ゲートの遅延時間解析", 信学論(C), Vol. 62-C, p. 811, 1979.
- (16) 穴見, 大森, 富沢, 中野; "EDMOS インバータにおける負荷容量の分析" 昭53 信学全大 2-186
- (17) 林, 垂井, 橋本; "ED-MOS-ICの設計理論", 信学論(C) Vol. 55-C, p. 337, 昭47-07.
- (18) 例えば
林重憲; "演算子法解説" p. 83 電気書院, 昭38
- (19) D.K. Lynn 編 "Analysis and design of integrated circuits" p. 514, McGraw-Hill, 1967.
- (20) 富沢, 穴見, 大森, 大倉, 中野; "MOS 出力バッファ回路の設計", 昭52 信学全大 p. 2-149.
- (21) H.C. Lin; "An optimized output stage for MOS integrated circuits", IEEE J. Solid-State Circuits, Vol. SC-10, 1975.

第4章 高速大規模集積回路への応用

4.1 序

高速LSIの応用分野として各種の産業用システムを眺めること、これらのシステムに必要なLSIは大きくわけて2つの分野に分類することができる。その1つは記憶装置（メモリ）であり、他は論理回路（ロジック）である。メモリはさらに、直列形のデータ記憶方式をとるシフトレジスタ、読み出し専用のROM（Read Only Memory）と、読み書き可能なランダムアクセスメモリRAM（Random Access Memory）に区別することができる。

一方論理LSIは、マイクロプロセッサで代表される汎用論理LSIと顧客の特別仕様による専用カスタムLSI、及び両者の中間に位置づけられる準カスタムLSIとに分類することができる。この準カスタムLSIには、PLA（Programmable Logic Array）や、マスタースライス形ゲートアレイがある。

第2章で I^2L の動作速度を制限している要因としてn型エピタキシャル層内に蓄積する正孔の解析を行い、高速化を可能にするものとしてVILデバイスの提案を行った。また第3章では、MOSLSIの速度制限要因として、外因性遅延時間の解析を、DSA MOSデバイスについて行った。

本章では、メモリとしてRAMを、ロジックとしてゲートアレイを対象として、第2章及び第3章で検討した結果を検証するために、高速バイポーラ技術をRAMに、高速MOS技術をロジックに応用し、大規模集積回路構成上の問題点を明らかにした結果を述べる。

I^2L デバイスを用いた各種メモリセルの提案がなされているもののメモリLSIとして^{(1)~(4)}の問題点は十分把握されていない。そこでまずメモリセルとしての基本機能、及びアドレス方式について評価し、その結果にもとづいて、VILデバイスを採用した1KビットRAMの試作を行った。

一方ロジックの分野ではマスタースライス型ゲートアレイが主にバイポーラ回路のECL^{(5),(6)}（Emitter Coupled Logic）と呼ばれる回路を用いて開発されてきた。ECLは高速性能をもつ反面消費電力が大きいため集積度が数百ゲートに制限されていた。そこで、DSA MOSデバイスを用いた、高集積高速MOSゲートアレイの試作を行い、配線方式として、ポリシリコン—アルミを用いる場合と、アルミ—アルミ多層配線を用いる場合とについて検討を行い、高速MOSLSI構成上の問題点を明らかにした。

4. 2 バイポーラ型高速RAMの試作

4.2.1 はじめに

バイポーラデバイスを用いたRAM (Random Access Memory) は、主に消費電力上の制約から256ビット以下の小規模なものに限られてきた。これはスタティックRAMのメモリセルであるラッチを構成するときに必要な負荷抵抗が、小さなパターンで高抵抗にすることができなかったためである。 I^2L デバイスが負荷として横形 pnp トランジスタを用い、バイポーラであるにもかかわらず低電力を示すことから、 I^2L の最初の応用品として考えられたのがRAMであった。Wiedmann, Berger 等は、1971年以降、⁽¹⁾ “全トランジスタメモリセル” “変形全トランジスタメモリセル”⁽²⁾ “超集積全トランジスタメモリセル”⁽³⁾ “注入結合型メモリセル”⁽⁴⁾ と称するいくつかの I^2L メモリセルを発表している。これらのメモリセルは基本的に npn トランジスタと横型 pnp トランジスタの対からなるインバータ2個でラッチを形成し、ビット線との結合用として、pnp トランジスタもしくは npn トランジスタを付加したものである。

本節では、上記の注入結合型メモリセルの回路を用い、メモリセルの動作アドレス方式を検討した後、VIL構造を用いて1KビットのRAMを試作した結果について述べる。

4.2.2. メモリセルの回路及び動作

Wiedmann らが提案している注入結合形メモリセルの構造を示す平面図及び等価回路は、図4.2.1(a), (b)に示すとおりである。メモリの1セルは2つの npn トランジスタ Q_1 , Q_2 と2つの pnp トランジスタ Q_3 , Q_4 及びデータの接合用 pnp トランジスタ Q_5 , Q_6 の6トランジスタから構成されている。 Q_3 , Q_4 は npn トランジスタのベース電流供給源及び負荷を兼ねている。6トランジスタ形と称しているが、実際には図4.2.1(a)に示すとおり、5個の p 領域があるのみで、 Q_4 のコレクタと Q_2 のベースが共有される如くいくつかの場所で複合化、共有化がな

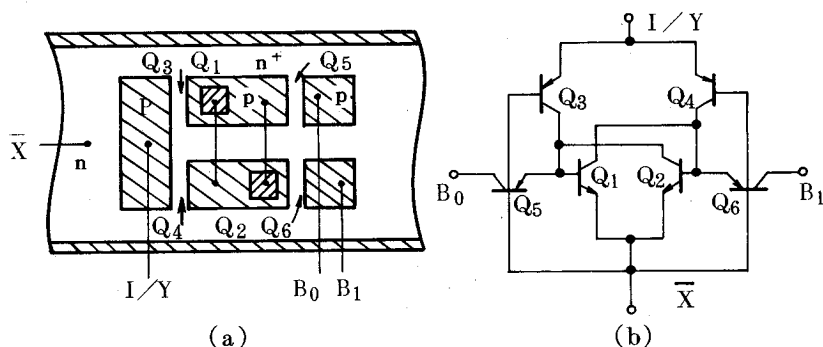


図 4.2.1 注入結合形メモリセルの構造と等価回路

され構造的に小形化がはかられている。 $n p n$ トランジスタ Q_1, Q_2 のベース、コレクタは互に金属配線で結合され、これでラッチが構成される。

定常状態で Q_1, Q_2 のうちいずれかが導通、他が遮断しており、どちらのトランジスタが導通しているかで記憶状態“1”“0”が定まる。 Q_5, Q_6 はともに双方向性をもった $p n p$ トランジスタであり、データ読み出しのときに図 4.2.1 (b) に示した方向で動作し、書き込み時にはエミッタ、コレクタが反転した状態で動作する。メモリセルの接地端子は、図中 $\bar{X}$ で示され、分離された島状領域を形成している。このメモリセルのアドレスは $\bar{X}$ と Y 及び B_0, B_1 で行われる。以下メモリセルの動作を読み出し時と書き込み時に分けて説明する。

i) 読み出し時： X アドレスが選択されると、 $\bar{X}$ で表わされた n 形の島は接地電位におとされる。このとき Y アドレスが選択されないときは、 I と記したインジェクタ端子から微弱なスタンバイ電流（数 μA ）が流れるのみであり、 B_0 ないし B_1 に出力電流は現われない。 X アドレスとともに Y アドレスが選択された場合、 I 端子から比較的大きな電流（数 $100 \mu A$ から数 mA ）が流し込まれ、このときは B_0, B_1 のいずれかに出力電流があらわれる。たとえば Q_2 が導通、 Q_1 が遮断の記憶状態のときならば Q_2 のベース電位は、拡散電位（約 $0.7 V$ ）、 Q_1 のベース電位は Q_2 の飽和電位（約 $0 V$ ）であるため結合用 $p n p$ トランジスタ Q_6 を介して、 B_1 に出力電流が流れ出す。逆に Q_2 が遮断、 Q_1 が導通の状態であれば B_0 に出力電流があらわれる。

ii) 書き込み時：記憶されていた状態と別の状態を書き込むには、 Q_1, Q_2 の導通、遮断状態を反転させればよい。 X アドレスは読み出し時と同様に $\bar{X}$ を接地することによって選択される。 Y アドレスは、読み出しの時に I 端子が選択されたのに対して、書き込み時は B_0, B_1 線で選択される。 I 端子はスタンバイ電流を供給したままである。 Q_2 が遮断、 Q_1 が導通の状態を反転させる場合について考えると、 I からは微弱なスタンバイ電流が流れているだけであるため、ラッチ作用はそれほど強くない。このとき B_1 から書き込み電流（数 $100 \mu A \sim$ 数 mA ）を流し込むと、 Q_2 のベースに電流が供給され、 Q_2 が導通、 Q_1 が遮断に向い状態が反転する。 Q_1 を導通させるには逆に B_0 から書き込み電流を流し込めば良い。

メモリセルをアレイ状に配列するには前述のセルを繰り返して配列する方法とは別に I と B_0, B_1 を 2 セルで共用するように配列する方法があり、集積度が向上する。この場合のパターン及び等価回路を図 4.2.2 (a), (b) に示す。図 4.2.2 (a) において、 B_0, B_1 はセル 1 とセル 2 とで共有され、インジェクタ I_2 はセル 2 とセル 3 とで共有される。 X アドレスの選択は $\bar{X}$ を接地することで行われる。 Y アドレスについては、セル 1、セル 2 を読み出すとき、それぞれ I_1 及び I_2 から読み出し電流を流し込み、共通のデータ線 B_0, B_1 から出力を取り出す。

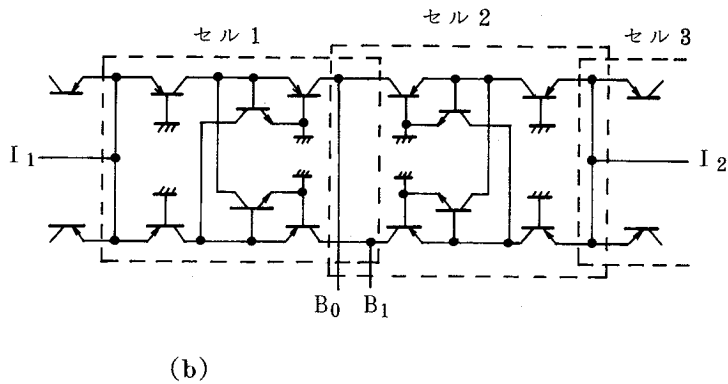
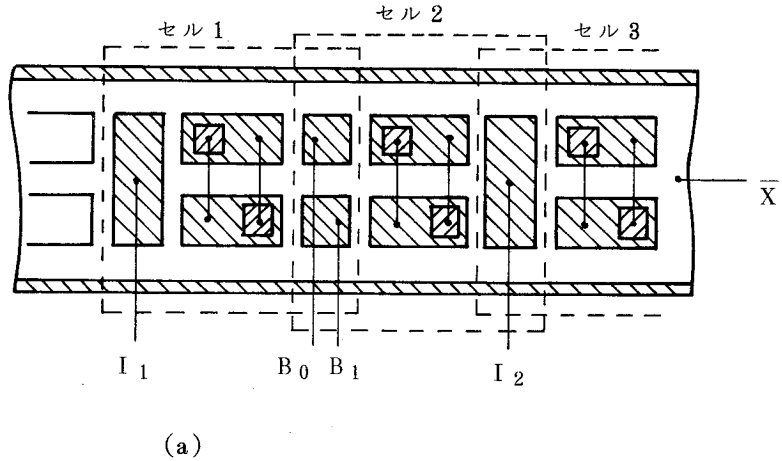


図 4.2.2 ビット線及びインジェクタを共用するメモリセル配列方法

書き込みの時は、たとえばセル 1 に書き込む場合、 I_1 に微弱なスタンバイ電流を流しつつ、 B_0 、 B_1 のいずれかがら書き込み電流が流し込まれる。このときセル 2 に誤って書き込まれるのを防止するため、 I_2 に十分な電流を流し、セル 2 のラッチ作用を強化することも同時に行われる。

4.2.3 メモリセルの評価結果

メモリセルの動作及び、前述したインジェクタを共有するセル配列方式の評価を行うために、 3×2 のマトリクス状に配列したメモリアレイを試作した。セル配列は図 4.2.3 に示すように、X 方向 3 列、Y 方向 2 列である。セル 1 1 とセル 1 2、セル 2 1 とセル 2 2、セル 3 1 とセル 3 2 はそれぞれ p^+ 領域で分離された共通の n 形領域の中に作られている。また X アドレスのアドレス線の抵抗を下げるために、共通 n 形領域には n^+ 形埋込層が設けられている。Y 方向の

ドレスをするためのインジェクタ，及び B_0 ， B_1 を結ぶ線は金属配線を用いた。 B_0 ， B_1 にデータを入れるために図 4.2.4 に示す入出力回路を付加し D_0 ， D_1 からデータ（書き込み電流）を入れ，出力は B_0 ， B_1 の位置で観測を行った。アドレスの機能は， X と Y を分けて評価した。 Y アドレス機能は， $\overline{X}_1$ を選択した状態でセル 1 1 とセル 1 2 の書き込み読み出しの動作を図 4.2.5.(a) に示すテストタイミング図に従ってチェックした。セル $i\ j$ を C_{ij} とし，その記憶状態を Q_{ij} として，まず C_{11} と C_{12} に “1” を書き込み続いて C_{11} のみに “0” を書き込む。続いて C_{11} に “1” を，さらに C_{12} に “0” を書き込み続いて C_{11} に “1” を書き込む。これら

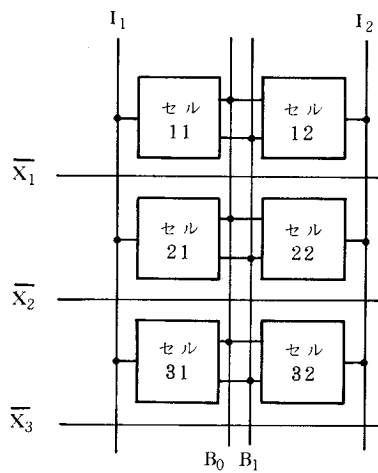


図 4.2.3 評価用メモリセルアレイ

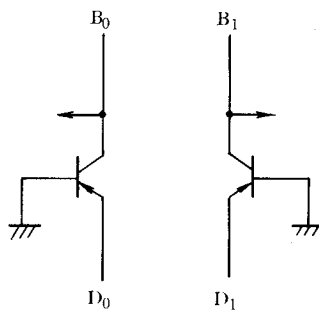


図 4.2.4 データ入出力結合回路

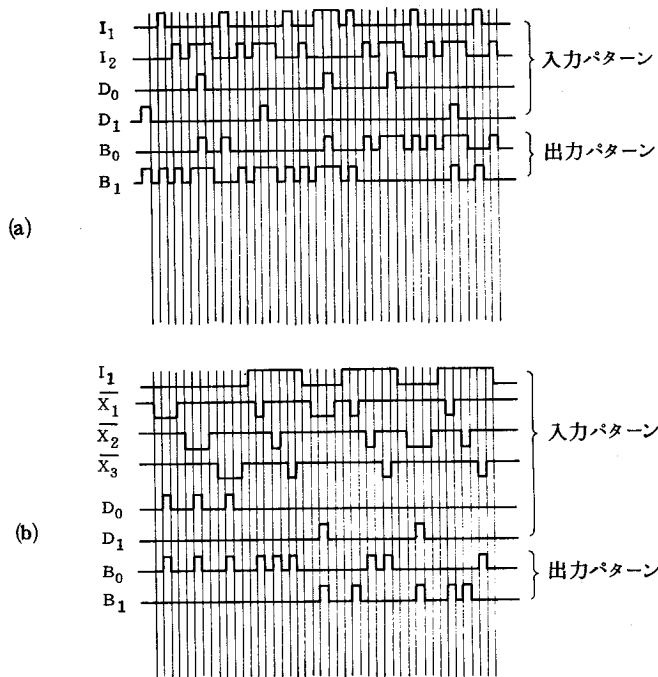


図 4.2.5 メモリセル評価用入出力タイミング図

(a) Yアドレス (b) Xアドレス

の一連の書き込み動作のあとには読み出し動作を入れて書き込みの確認を行った。この波形写真を図 4.2.6 (a) に示す。

Xアドレスの評価はセル 1 1, セル 2 1, セル 3 1 を用い, まず最初に C_{11} , C_{21} , C_{31} に 0 を書き込み続いて順次 C_{11} , C_{21} に “0” を書き込み, 各書き込み動作のあとに C_{11} , C_{21} , C_{31} の状態を読み出して評価を行った。テストタイミング, 波形写真はそれぞれ図 4.2.5 (b), 図 4.2.6 (b) に示すとおりである。

以上, インジェクタ及びビット線を共用するメモリセルアレイが正常に動作することを確認したわけであるが, 共用することに帰因する問題点も存在する。すなわち,

- i) 隣接セルのインジェクタ電流が多いとき, 所望のメモリセルに書き込むことができない。
- ii) 隣接セルのインジェクタ電流が少なすぎると, 所望のメモリセルの書き込みと同時に隣接セルまで書き込まれてしまう。

これらの隣接セル間の相互作用を検討するために次の 4 つの場合について実験を行なった。

- i) $Q_{11} = 0$, $Q_{12} = 0$ の状態で C_{11} に “1” を書き込み “1” の書き込み電流 W_{B1} と C_{12}

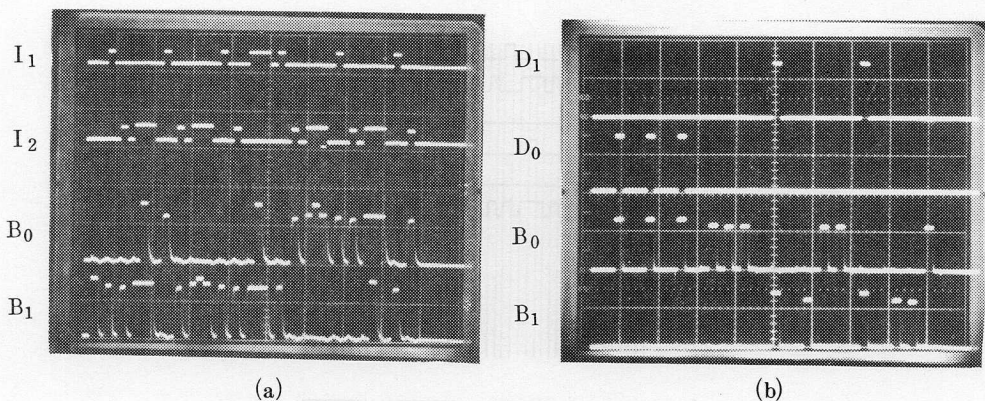


図 4.2.6 メモリセル入出力波形図

(a) Yアドレス (b) Xアドレス

のインジェクタ電流（書き込み防止用電流） I_{2pv} との関係調べる。

ii) $Q_{11} = 1, Q_{12} = 1$ の状態で C_{11} に “0” を書き込み “0” の書き込み電流 W_{B0} と、 C_{12} のインジェクタ電流 I_{2pv} との関係調べる。

iii) $Q_{11} = 0, Q_{12} = 0$ の状態で C_{11} に “1” を書き込み C_{11} と C_{12} を読み出し、スタンバイ電流 I_{2st} と読み出し電流 I_{1R} との関係調べる。

iv) $Q_{11} = 1, Q_{12} = 1$ の状態で C_{11} に “0” を書き込み、 C_{11} と C_{12} を読み出し、スタンバイ電流 I_{2st} と読み出し電流 I_{1R} との関係調べる。

$W_{B1}, W_{B0}, I_{2pv}, I_{2st}, I_{1R}$ のタイミングを図 4.2.7 に示す。i) から iv) までの場合について、メモリセルが正常な動作をする範囲を求めたものを図 4.2.8 ～図 4.2.11 に示す。

図 4.2.8 で示されている動作領域は図 4.2.2 を用いて以下のように説明される。

ある一定の書き込み電流を B_1 から流れ込むと、セル 1、セル 2 の両方に流れ込むが、 I_2 から流す書き込み防止電流 I_{2pv} が十分でないとき、セル 1、セル 2 のラッチ作用が十分でないために両方のセルに書き込まれる。 I_{2pv} を増すと、セル 2 のラッチ作用が十分になり、 B_1 から印加された電流でセル 1 は書き込まれるがセル 2 は書き込まれないという正常な動作になる。さらに I_{2pv} を増すと、 I_2 からの電流が寄生 pnp トランジスタ作用で、 B_0 の p 形領域まで流れ込み、等価的に B_0 から電流を流し込んだものと同じになる。このためセル 1 の書き込みが困難になる。

従って正常な動作を行わせるためには、対象とするセルに書き込むための書き込み電流と、隣接セルの書き込みを防止するためのインジェクタ電流が一定の範囲内にいることが必要となり、図 4.2.8 に示す動作領域になる。

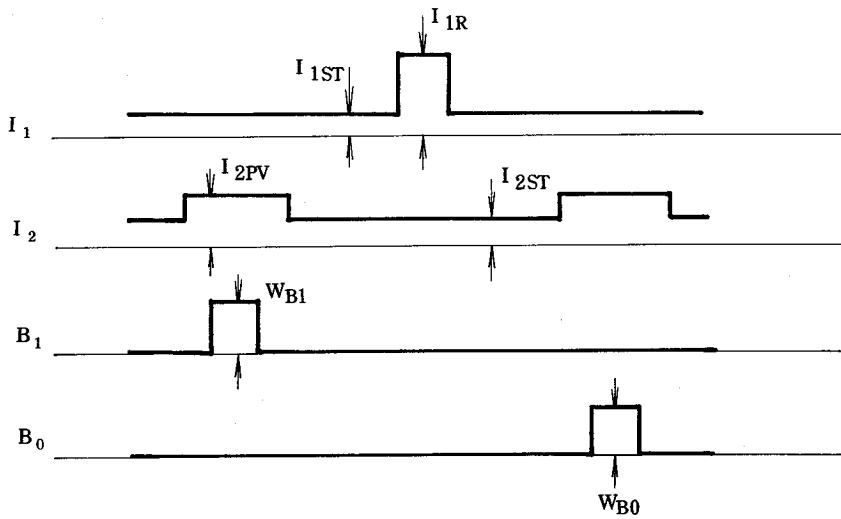


図 4.2.7 共用セル方式におけるインジェクタ電流と書き込み電流

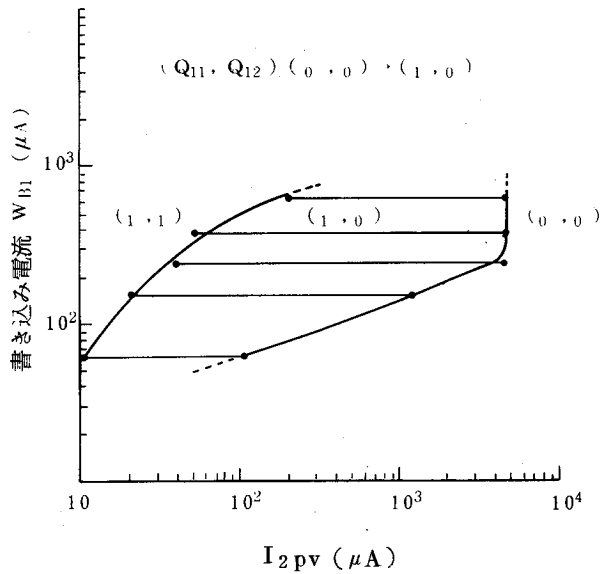


図 4.2.8 メモリセルの正常動作領域 (その 1)

図 4.2.9 の場合についても同様に考えられる。図 4.2.10, 図 4.2.11 の場合は、隣接セルセル 2 のスタンバイ電流が小さすぎると、ラッチ作用が小さく、セル 1 の読み出し電流によってセル 2 が書き込まれてしまうことを示している。従って、一層安定性を増すためには、集積度がそ

こなわれるが、共用セル方式でなく、各メモリセル列がそれぞれ独立したビット線及びインジェクタを持つ構造を採用するのが好ましい。

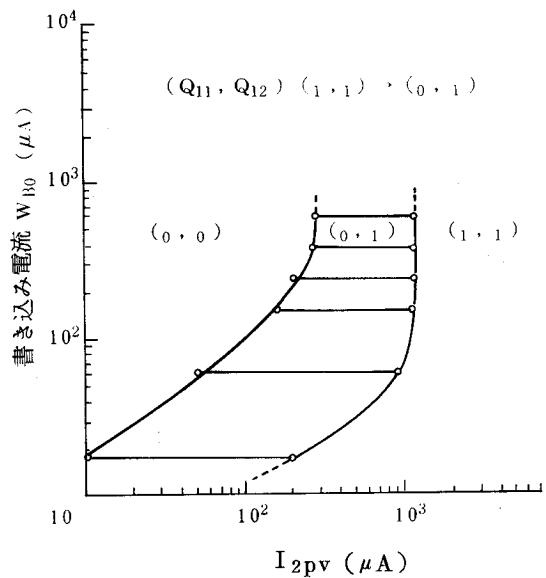


図 4.2.9 メモリセルの正常動作領域（その 2）

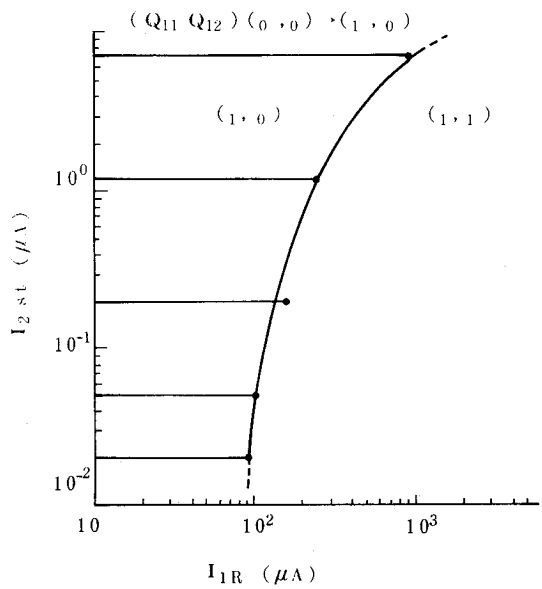


図 4.2.10 メモリセルの正常動作領域（その 3）

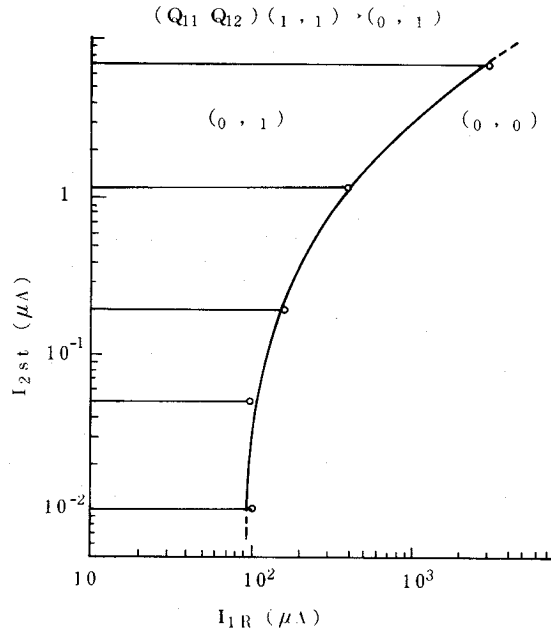


図 4.2.1.1 メモリセルの正常動作領域 (その 4)

4.2.4 VIL 1KビットRAMの試作⁽⁷⁾

高速バイポーラLSI技術として検討を行ってきたVILデバイスの応用として、1024ビットのスタティックRAMを試作した。RAMは、メモリセルをマトリクス状に配列したメモリセル群と、1つのメモリセルを選択するためのデコーダ回路、読み出し書き込みの制御回路、及びセンスアンプ回路から構成される。センスアンプ、電源回路は、縦型pnpトランジスタを用いた通常のバイポーラ回路で形成し、その他はすべてVIL回路を用いた。図4.2.1.2はVILで構成したメモリセルの構造を示す。等価回路図上では通常の I^2L メモリセルと全く同一であるが、構造上では、横型pnpトランジスタが縦形pnpトランジスタに置き換えられている。RAMにおける遅延時間のうち、最も重要なパラメータはアクセス時間である。アクセス時間はアドレス信号がデコーダで復号され、選択されたメモリセルのインジェクタに印加されるまでの遅延時間と、メモリセルの遅延時間、センスアンプの遅延時間及び、入出力制御回路の遅延時間の総和である。

図4.2.1.3はアドレス信号の入力からデータが出てくるまでの経路を等価回路として示したものであり、図4.2.1.4は、上記等価回路の各部における遅延時間の測定値を相対値として示す。図4.2.1.5はRAMの読み出し時における入出力波形を示す。上端がチップ選択信号、3番目がアドレス入力信号である。波形写真からアクセス時間を読み取ると、400nsである。アクセ

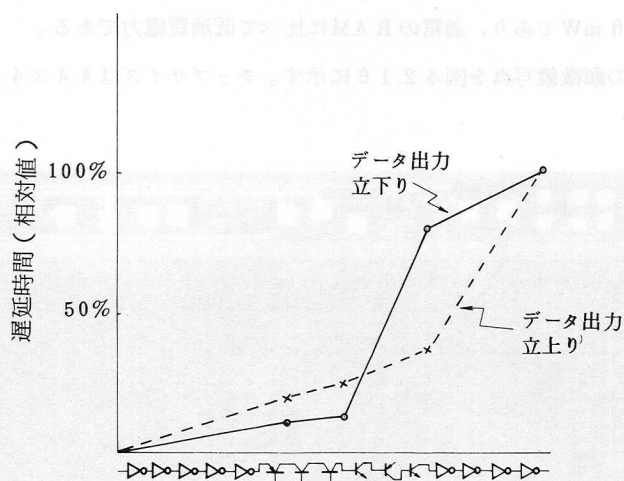


図 4.2.1 4 アドレス入力からデータ出力までの経路における遅延時間

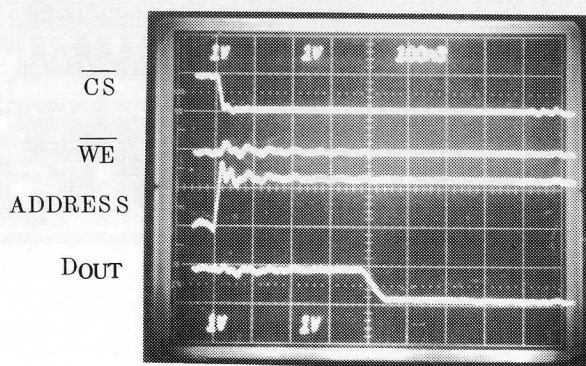


図 4.2.1 5 メモリ入出力波形

ス時間を決める等価的なゲート段数は、15段であり、1段当りの平均ゲート遅延時間を計算すると 27 ns/ゲート になる。しかし、図 4.2.1 4 に見られるように、センスアンプ部分でのおくれが大きく、この部分を除くと平均ゲート遅延時間は $6.5 \sim 7.3 \text{ ns/ゲート}$ になる。この値は、第2章で検討した VILゲートの遅延時間とはほぼ等しい値であり、VILデバイスの高速性が活かされているものと判断することができる。センスアンプ部分の遅れについては、回路構成

上に問題があり，増幅器としての回路を改良することによって高速化が可能である。なお，動作時の消費電力は40 mWであり，通常のRAMに比べて低消費電力である。

試作したRAMの顕微鏡写真を図4.2.16に示す。チップサイズは $4.4 \times 4.0 \text{ mm}$ である。

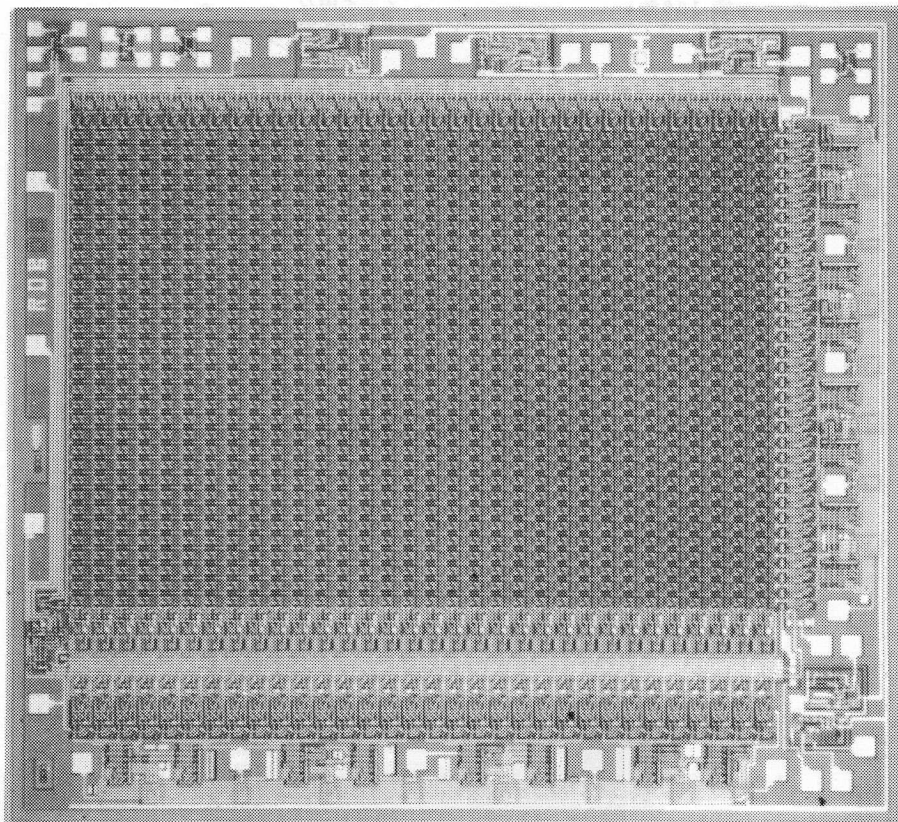


図4.2.16 VIL RAM チップ写真

4. 3 MOS型大規模論理集積回路の試作

4.3.1 はじめに

産業用システムのうちでも代表的なシステムである電子計算機は現在、第3.5世代に位置し、主としてSSI（小規模集積回路）やMSI（中規模集積回路）の論理回路で構成されている。システムの高性能化、高信頼度化、低価格化を進めるには、大規模集積回路化則ちLSI化する必要がある。しかしながら電算機用のランダム論理LSIは、多品種少量生産のため、LSI化によって得られる経済性は必ずしも大きくなく、また開発に要する時間の割りに製品のライフサイクルが短く、開発工期の早さが不可欠となる。かかる経済性、性能および開発工期の点からマスタースライス方式が提案され、バイポーラLSIの中でも最も高速化が可能なECL (Emitter Coupled Logic)^{(5),(6)}による実用化例も報告されている。しかしECL方式ではパッケージの許容電力の点から自ずと集積度に限界があり、経済性面での不利を免がれない。

電算機用ランダム論理LSIの具備条件として i) 動作速度、ii) 集積度、iii) 開発工期がある。低価格化のためにはチップ当りのゲート数が多い程良いが、ゲート数の増大に対してはパッケージの許容電力による制限があり、ゲート当りの電力を低くすればゲート遅延時間は長くなる。パッケージの許容電力を3Wとすると、電力・遅延時間積10 pJのデバイスを用い、ゲート遅延時間1~3 nsを得るには、チップ当りのゲート数は300~600ゲートになる。開発工期については、CAD (Computer Aided Design) が不可欠となる。

第3章で検討した結果に基づいて、DSAMOSデバイスを用い、CAD化を前提とした高速MOS論理LSIの試作を行った。まず、ポリシリコンとアルミを配線体として用いるマスタースライス型論理集積回路の試作結果を述べ、次に配線抵抗の低減をはかり、より高速化を実現するためにアルミ-アルミ多層配線技術を導入した、高性能MOSマスタースライス論理集積回路の試作結果を述べる。

(8),(9),(10),(11)

4.3.2 マスタースライス方式論理集積回路への応用

集積回路は基本的に少品種大量生産に適したものであるが、特に計算機用集積回路等においては、多品種少量生産の傾向が強くなり、さらに論理設計から集積回路製造までの短い開発工期が要求される。これに対処しうる一つの有力な方法がマスタースライス方式である。マスタースライス方式は一つのマスターすなわち、アルミ配線、あるいはアルミ配線とコンタクトホール等の集積回路製造時における後部工程を除く部分を異なる品種間で共通に使用し、後部工程のみを品種ごとに作っていく方法である。従ってマスク及びウエハ工程の大半が共通化され、品種の拡張あるいは回路変更にとまって必要になるのは、アルミ配線とコンタクトホールのマスク、及びその

工程だけであるため、設計から製造までの期間が大幅に短縮される。専用化するマスクは、アルミ配線のみの場合、コンタクトホールのみの場合、あるいはコンタクトとアルミ配線の両方の場合等が考えられるが、パターン設計の自由度を考えると少なくともコンタクトとアルミ配線のマスクは専用化する必要があるものと思われる。DSA EDMOS製造プロセスで製造する場合の工程は図4.3.1に示すとおりである。DSA MOS製造プロセスは、第3章で述べた全イオン注入プロセスを採用した。基本的な電気特性である、DSA MOSトランジスタ及びデプレッション負荷トランジスタの電流電圧特性及びE-Dインバータを構成したときの伝達特性を図4.3.2に示す。DSA MOSトランジスタのゲート長は $3\mu\text{m}$ 、ゲート幅は $88\mu\text{m}$ である。デプレッショントランジスタの長さは $5\mu\text{m}$ 、幅は $48\mu\text{m}$ である。DSA MOSトランジスタの閾電圧は、 0.6V に設定され、ゲートあたりの消費電力は 3.6mW である。標準ゲートセルのパターンレイアウトと、等価回路図を図4.3.3に示す。このセルは、1つのデプレッション形負荷トランジスタと、3つの駆動トランジスタ（DSA MOSトランジスタ）から構成されている。このセルのトランジスタサイズは、チップの全消費電力、雑音余裕度、遅延時間を考慮して決定された。ゲートの遅延時間は、そのゲートの出力に負荷として結合される容量の大きさに応じて、ゲートごとに異なる。遅延時間のゲート間のバラツキを小さくするには、ゲートのトランジスタサイズを大きくする必要がある。雑音余裕度に関しては、NAND系の論理に比べてNOR系回路の方が有利である。標準ゲートセルは、コンタクトホールとアルミ配線のパターンを変えることにより、インバータ、2入力NORゲート、3入力NORゲートになる。

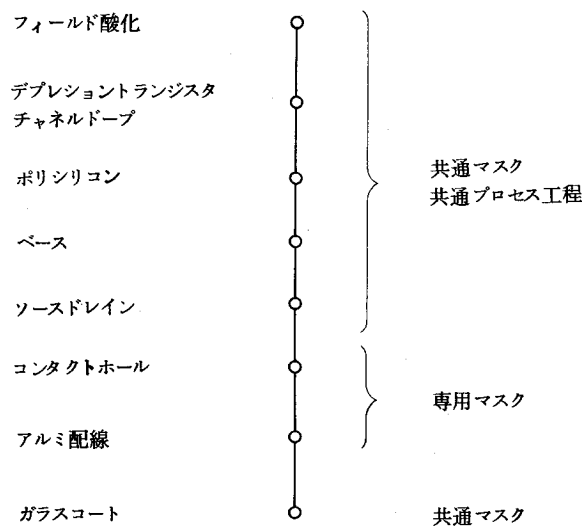
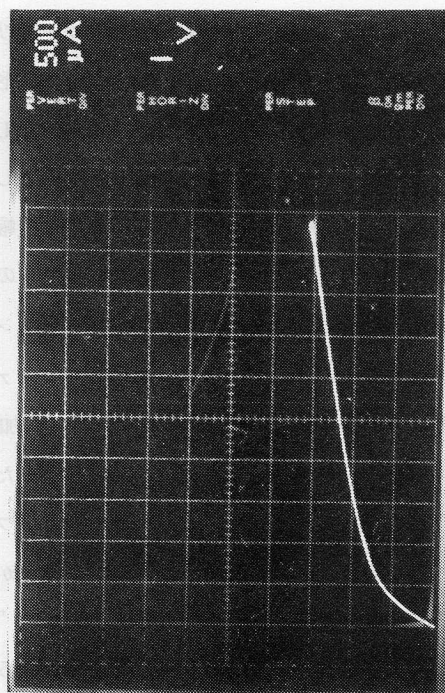
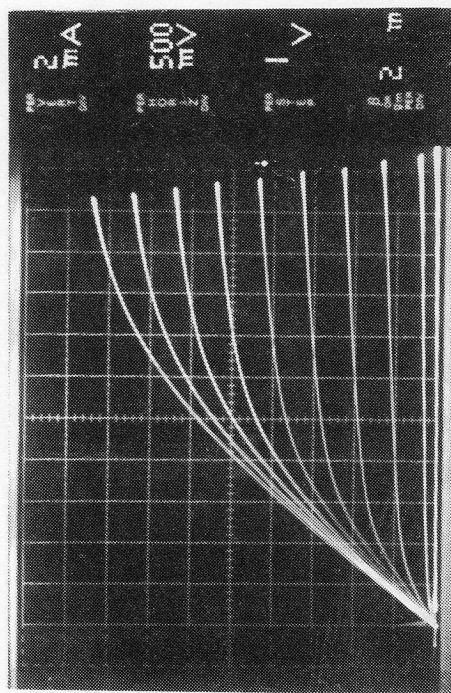


図4.3.1 DSA MOS マスタースライスの製造工程



Transfer Curve of E-D Inverter

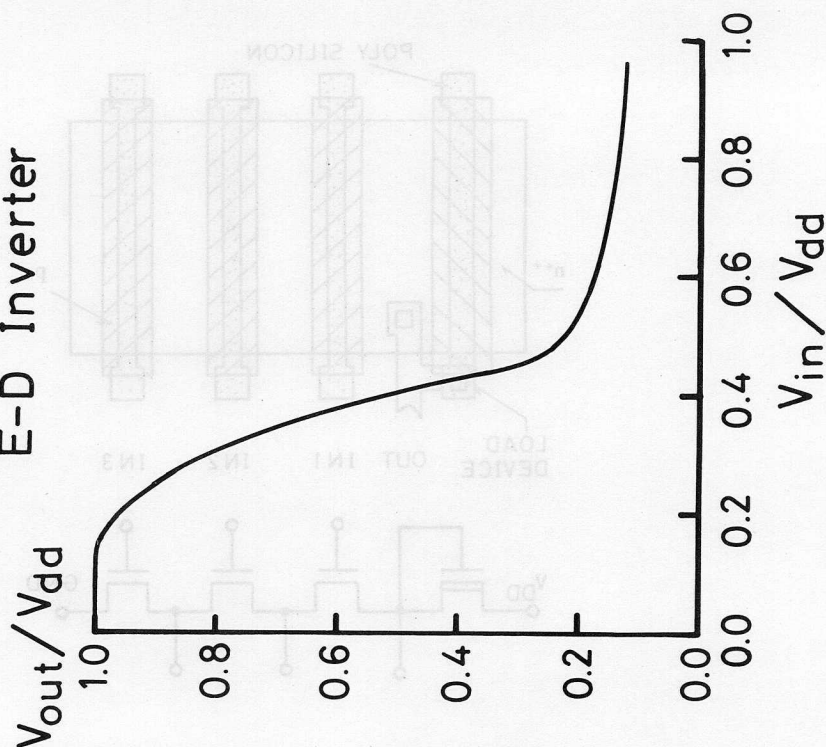


図 4.3.2 E-Dインバータのトランジスタ特性と伝達特性

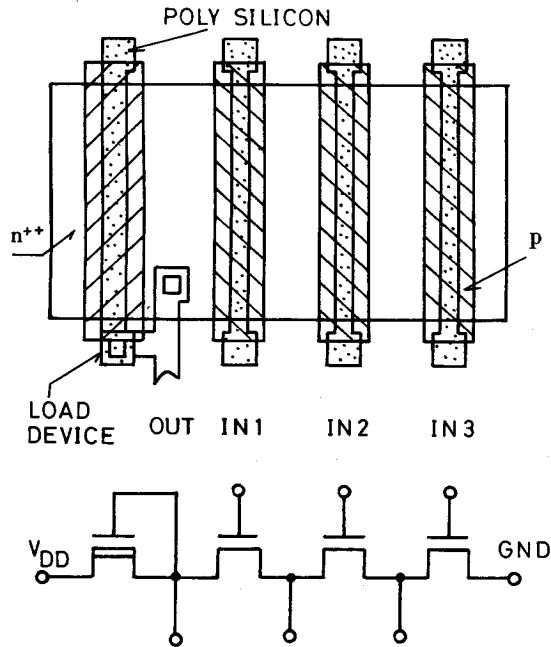
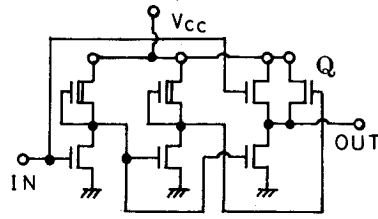
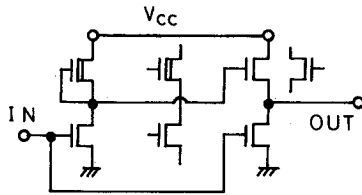


図 4.3.3 標準ゲートセルのパターンレイアウト及び等価回路図

図 4.3.4 (a), (b) は非反転形出力バッファ及び、反転形出力バッファの等価回路図を示す。反転形出力バッファは、通常よく用いられる回路形式すなわち、プッシュプル形の出力トランジスタと前置増幅器から構成されている。高速化 LSI 設計の観点からは、バッファ回路のインバータの段数をできるだけ少なくすることが望ましい。一方消費電力を小さくする一つの方法は、内部ゲートを低電圧で動作させ、この小さな振幅の信号を出力バッファで TTL レベルまで増幅すれば良い。図 4.3.4 (b) に示す反転形バッファの場合はこのような増幅機能をもつ。しかしながら図 4.3.4 (b) のバッファで、プッシュプルトランジスタのゲートに結線されている 2 つの配線を入れかえることによって作った非反転形バッファでは、十分な“H”レベルが与えられない。何故ならば、出力の“H”レベルは、ゲートに印加された電圧からさらに電圧値だけ差し引かれるからである。このマスタースライス LSI のために提案したバッファの段数を少くし、かつ十分な“H”レベルの得られる非反転形出力バッファ回路を図 4.3.4 (a) に示す。このバッファ回路には、Q と印のつけたプルアップトランジスタが付加されてある。このバッファ回路の動作を、回路シミュレーションプログラム“LILAS”を用いて解析した結果を図 4.3.5 に示す。内部ゲートの電源電圧を 3 V とし、バッファ回路を 5 V で駆動した。バッファ回路への入力信号 I の“H”レベルはほぼ 3 V である。プルアップトランジスタ Q がいないときの出力波形は破線で示す



(A)



(B)

図 4.3.4 出力バッファ回路

(a) 非反転バッファ (b) 反転バッファ

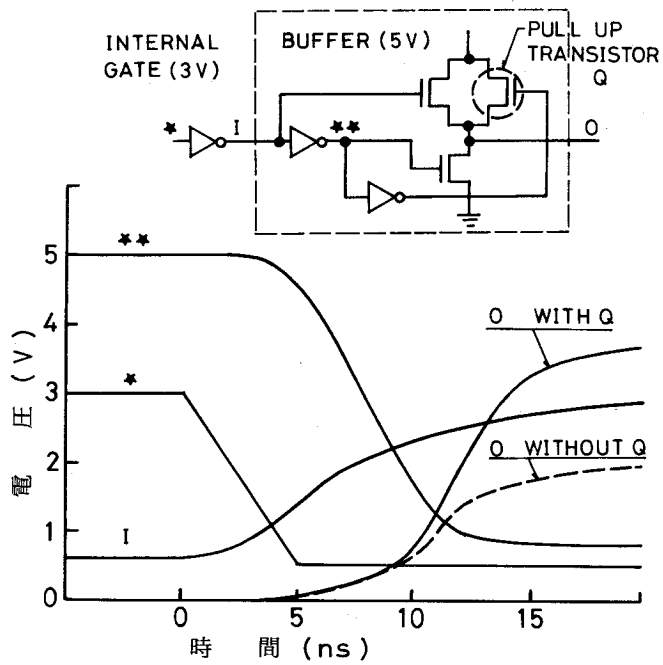


図 4.3.5 非反転出力バッファの内部波形 (シミュレーション)

とおりであり、Iの“H”レベルから電圧を差し引いた値が、出力“H”レベルとなっている。プルアップトランジスタQの存在する回路では、出力は最初、Qのない回路と同じように立上る。2つのインバータ分の遅延時間の後、プルアップトランジスタが動作を開始し、図4.3.5に示すように出力の立上りを援助する。この非反転形出力バッファ回路は、内部ゲートの電源電圧を外部の電源系より小さくして用いる場合に有効な回路となる。内部ゲートとバッファの電源を同一にした、単一電源の場合でも、バッファの遅延時間と出力の立上り時間が改善されることはいうまでもない。

このマスタースライステップは次のような構成になっている。25個のゲートセルが1つのブロックを形成し、32個のブロックが 2×16 のマトリクスに配列されている。120個の入出力バッファはゲートアレイの周辺の4辺に配置されている。横方向に隣接するゲートセルは、互に線対称になるように配置されている。配線領域は、セル列間及びバッファとゲートアレイの間に設けられている。配線方式を模式的に図4.3.6に示す。ポリシリコンの固定配線が縦方向に走

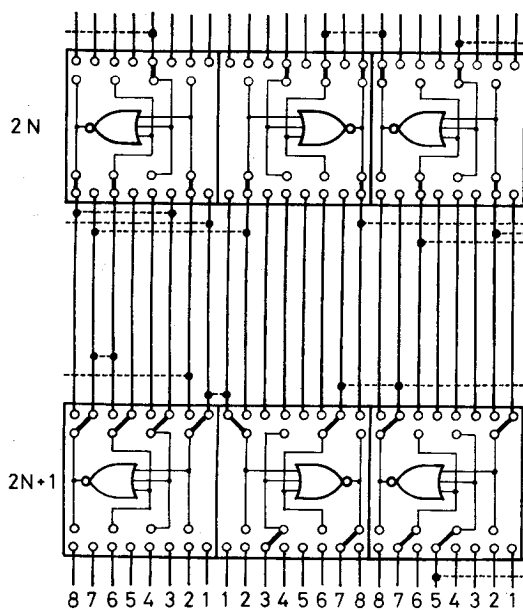


図4.3.6 ゲートアレイの配線方式

り、アルミ配線が横方向に走る。ポリシリコンとアルミの交点の位置に必要な応じてコンタクトホールがけられる。1つのゲートセルの上下に設けられた8本のポリシリコン配線が、ゲートの入出力端子をアルミ配線に接続するために用いられる。縦方向に走るポリシリコンのいずれも

が、横方向のアルミ配線に接続することができる。しかし1つのセルは8本のポリシリコン配線中、半分の4本のみが使用できる。図4.3.6を例にとって具体的に述べると、偶数列のゲートセルの入出力は、偶数番目のポリシリコン配線に接続することができ、奇数列のゲートセルは奇数番目のポリシリコン配線を使用することができる。

本マスタースライスチップを用いて、8ビットのALUを試作した。ブロックダイアグラムを図4.3.7に示す。このALUは、基本となる加算器の他、シフター、レジスタ、入力データセレ

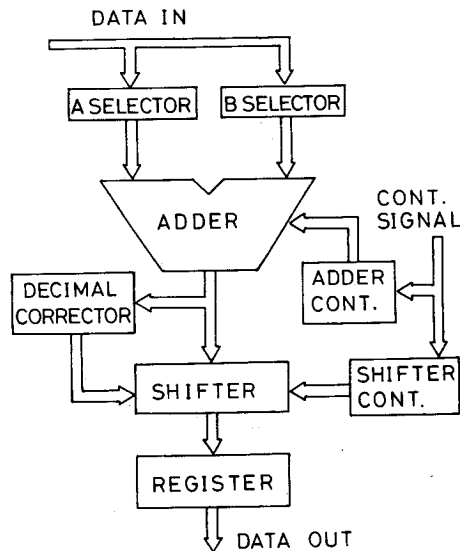


図4.3.7 ALUのブロック図

クタを含み、すべてNOR論理系で構成されている。ゲート数は、720ゲート、使用した入出力ピンは76個である。図4.3.8及び図4.3.9にALUのチップ写真および内部ゲートセルの拡大写真を示す。結線は、すべてポリシリコン固定配線と、アルミの専用配線で行ってある。

チップサイズは $7.68 \times 7.88 \text{ mm}$ であり、このうち11%が内部ゲート、43%がセル間配線に占められている。全消費電力は3W、このうち2.5Wが内部ゲート、残りの0.5Wは入出力バッファに配分されている。電源電圧は5V単一である。内部ゲートの遅延時間は、配線長が充分短いときで $1 \text{ ns} / \text{ゲート}$ であり、PD積は 3.6 pJ となる。ALUチップでの平均遅延時間は3Wの消費電力のときで $3 \text{ ns} / \text{ゲート}$ であった。図4.3.10は、ALUの中の典型的なパスに沿って測定した遅延時間を示す。⁽¹²⁾測定はウェハ上にプローブを立てて行い、プローブ容量の影響をさけるために、 n 番目のゲートまでの遅延時間を得るには $(n+1)$ 番目の出力が、立上りは

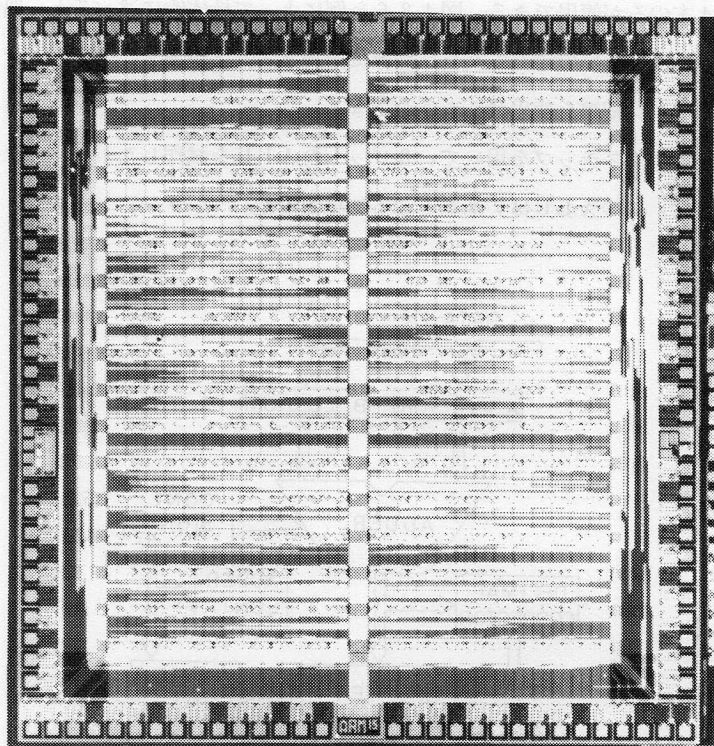


図 4.3.8 ALUのチップ写真

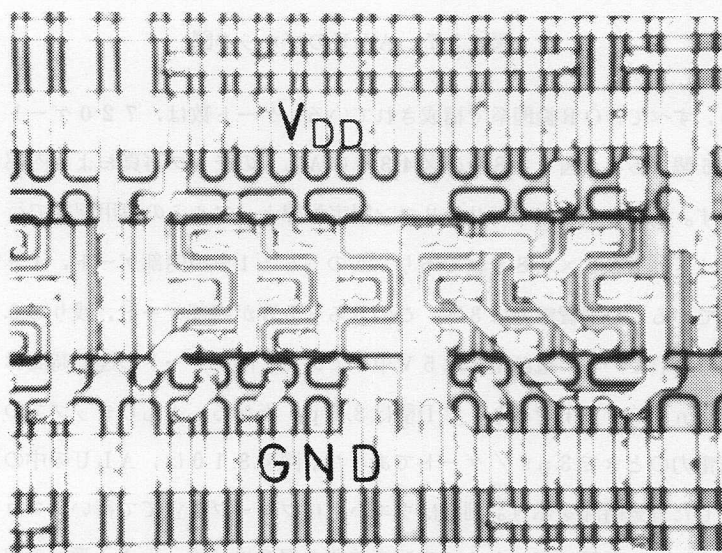


図 4.3.9 内部ゲートセルの拡大写真

じめる。あるいは立ち下りはじめる点までの遅延時間を測定した。このようにして測定した遅延時間は、論理閾値電圧における遅延時間に対応する。図 4.3.10 における破線は、第 3 章で述べたモデルに基づいて計算した結果であり、実験値と計算値は良い一致を示している。本マスターで作った ALU は 80 ピンのフラットパッケージに実装され、2 枚のプリント基板の基能を 1 チップで実現した。いったえれば、79 個の SSI と、2 つの MSI が 1 チップに置きかえられた。SSI / MSI ボードの場合、5.6 W であった消費電力は、この LSI を用いたボードでは 3.6 W まで改善された。

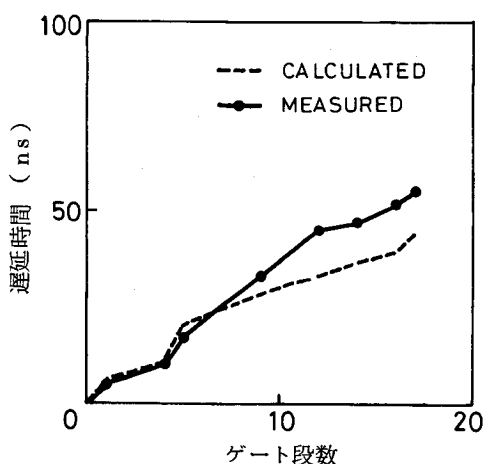


図 4.3.10 ALU 内における典型的なパスに沿った遅延時間。

4.3.3 高性能化マスタースライス論理集積回路の試作^{(11),(13)}

前節で述べたポリシリコンを配線に用いるマスタースライス LSI ではポリシリコンの配線抵抗に帰因する遅延時間が大きくなるという欠点を有していた。この問題を解決するために、アルミニウムの 2 層配線を用いたマスタースライス LSI の検討を行った。ここでは最後の 3 つのマスキすなわち第 1 アルミ、スルーホール、第 2 アルミが品種ごとに専用化される。

図 4.3.11 は、多層配線化した DSA MOS E-D インバータの断面図を示す。もともと DSA MOS のプロセスに含まれている選択酸化プロセス (SOP) と、リンガラスによるスムースコートプロセスのために表面の段差がゆるやかであり、多層配線化にともなう問題点は少ない。多層配線のプロセスフローは以下の通りである。2% のシリコンを含有するアルミ合金がプラズマスパッタ法で蒸着される。続いて、プラズマ CVD プロセスで第 1 アルミの上にチッ化膜が積まれる。このチッ化膜は段差における被膜性と、ピンホール密度の点で有利であり、さら

DSAMOSFET

Depletion MOSFET

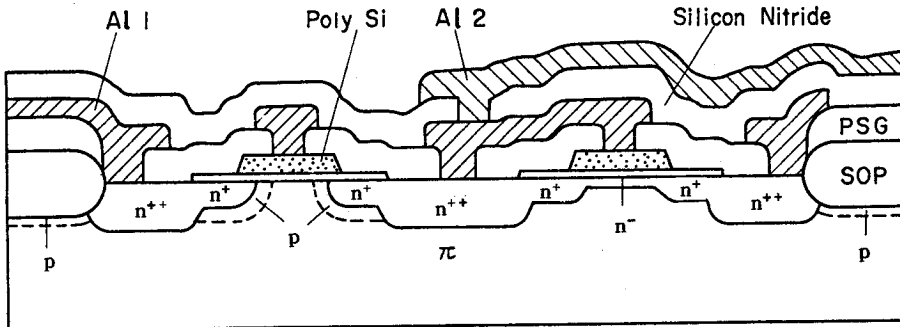


図 4.3.1 1 多層配線化した DSA MOS E-D ゲートの断面図

にスルーホールを設けるためにドライプロセスでエッチングできるという特長をもっている。第 2 アルミは第 1 アルミを軽くスパッタエッチした後にプラズマスパッタ法で積まれる。これらのプロセスで段差部分が非常になめらかにすることができた。また多くのプラズマ処理にもかかわらず、 V_{TH} のシフトは見られなかった。基本セルは前節で述べたものと同様に 1 つのデプレッショントランジスタと 3 つのエンハンスメント形 DSA MOS トランジスタから構成されている。表 4.3.1 はポリシリコンとアルミで配線を行った場合と、アルミ二層配線の場合の遅延時間の比較を行った計算結果である。全配線長を 2.5 mm とし、ゲート当りの消費電力を 5 mW/ゲート としている。第 1 アルミの幅は $5\text{ }\mu\text{m}$ 、第 2 アルミの幅は $7\text{ }\mu\text{m}$ であり、単位長当りの容量は、第

表 4.3.1 アルミ-アルミ多層配線採用による遅延時間改善の効果

Interconnection length			Delay time	
Total (mm)	X* (mm)	Y* (mm)	Poly Si/Al (ns)	Al /Al (ns)
minimum	—	—	1.45	1.39
2.5	2.3	0.2	3.0	2.1
2.5	2.0	0.5	3.7	2.1
2.5	1.5	1.0	5.9	2.1
2.5	0.5	2.0	8.5	2.0

*

	Poly Si/Al	Al /Al
X	Aluminum	1st Aluminum
Y	Polysilicon	2nd Aluminum

1 アルミ, 第2 アルミそれぞれ 0.13 pF/mm , 0.11 pF/mm である。 $6 \mu\text{m}$ 幅のポリシリコン配線の容量及び抵抗は, 0.21 pF/mm と $8.3 \text{ k}\Omega/\text{mm}$ である。ポリシリコン配線の比率が増えると, ポリシリコンの抵抗のために遅延時間は大きくなる。 2.5 mm の配線長のときアルミ2層配線の場合 2 ns /ゲートの遅延時間が得られているが, ポリシリコンで 0.2 mm , アルミで 2.3 mm の配線を行うと遅延時間は 3 ns になる。ポリシリコン—アルミ配線方式と, アルミ2層配線方式のそれぞれの場合についてALUを例にとって遅延時間の度数分布をとった結果を図4.3.

12に示す。多層配線化したマスタースライスLSIでは, 平均遅延時間, 最大遅延時間, 分散ともに改善されている。このアルミ—アルミ2層配線を用いたマスタースライスLSIの構成は以下の通りである。26個のゲートで1ブロックを形成し, このブロックが 2×12 のマトリクスに配列されている。20個の入力専用バッファと60個の入出力バッファがチップの四辺に配置されている。

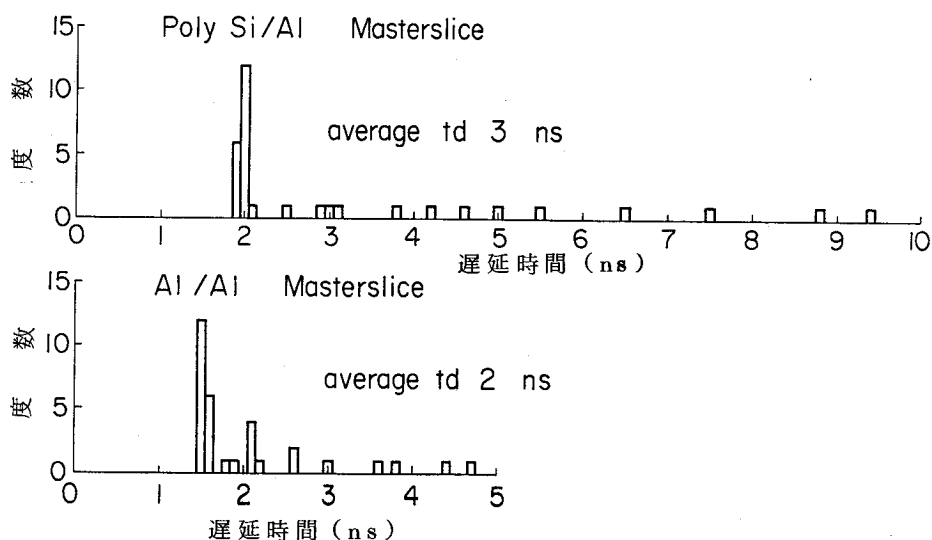


図4.3.1.2 LSI内における遅延時間の度数分布

以上述べたマスターチップを用い, 磁気ディスク制御回路に用いている11ビットまでのバースト誤り訂正可能なECC (Error Correcting and Checking) 回路を2石のLSIで実現した。ECC回路は, 生成多項式によるサイクリックコードの生成, 誤り検出を行う回路であり, 4つのブロックに分けられた計56個のシフトレジスタと, 多項式の係数に応じて演算するための回路により構成されている。2個のLSIの集積度はそれぞれ603, 313ゲートであり, 使用入出力ピン数はそれぞれ38, 45ピンである。このLSIのマスター部分の特徴

を前節で述べたポリシリコン—アルミ配線方式のものと比較しつつ表4.3.2に示す。

表 4.3.2 マスタ I, II の試作結果のまとめ

		Master I	Master II
No of Gates		800	624
No of Buffer	In/out	116	60
	Input only	—	20
Vcc		5 V Single supply	
Pd		3 W/1.5 W	3 W/1.5 W
Chip size		7.68×7.88	6.28×6.60
No of Pins		120	84
Inter-connection		Poly Si-Al	Al-Al
Output Buffer		Totem pole	Totem pole
		Open drain	Open drain
			Tri-state
Gate circuit		NOR, Wired AND	NOR, Wired AND
Tpd/gates	Min	1 ns	1 ns
	Ave	3 ns	2 ns

同様に，LSI化の効果を表4.3.3に示す。

表 4.3.3 SSI/MSI と マスタスライス I, II の実装比較

		SSI/MSI ASSEMBLY	MASTERSLICE LSI ASSEMBLY
MASTER I	Logic Function	8 bit ALU Without data latches	8 bit ALU With data latches
	Packaging-Density	2 boards 75 SSI/MSI's 81 SSI space (size 448 cm ²)	1 board 1 LSI+9 SSI 19 SSI space (size 104 cm ²)
	Power Dissipation	+5 V, 5.6 W	+5 V, 3.6 W (LSI 3 W)
MASTER II	Logic Function	ECC circuit	Same as left
	Packaging-Density	66 SSI/MSI's 66 SSI space (size 415 cm ²)	2 LSI+7 SSI's 15 SSI space (size 100 cm ²)
	Power Dissipation	+5 V, 11.4 W	+5 V, 5.0 W

図4.3.13は種々のデバイス技術を用いて作られたマスタースライスLSIのゲート遅延時間と集積ゲート数の比較を示す。DSAMOS マスタースライスショットキーTTL、あるいはECLと比べ集積度は2～3倍、ゲート遅延時間はECLに近い値になっている。図4.3.14はゲート遅延時間に関し、各種電算機に実用化されているECLマスタースライス、低電力ショットキーTTLマスタースライスとの比較を示す。アルミ—アルミ多層配線を用いたDSAMOS マスタースライスでは電力遅延時間積が10 pJ であり、電源電圧を3.5 Vまで下げることにより5.4 pJ まで改善された。更にスケーリング理論によれば、現状の1/3のデバイス寸法にすれば遅延時間0.7 ns/ゲート、消費電力0.55 mW/ゲートとなり、消費電力は現状の10～20分の1となり、かつ遅延時間はECL同等の性能を得ることが期待できる。

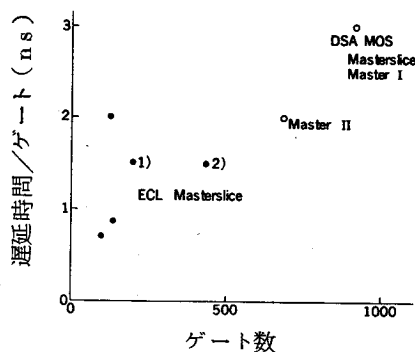


図4.3.13 各種マスタースライスのゲート数に対する遅延時間

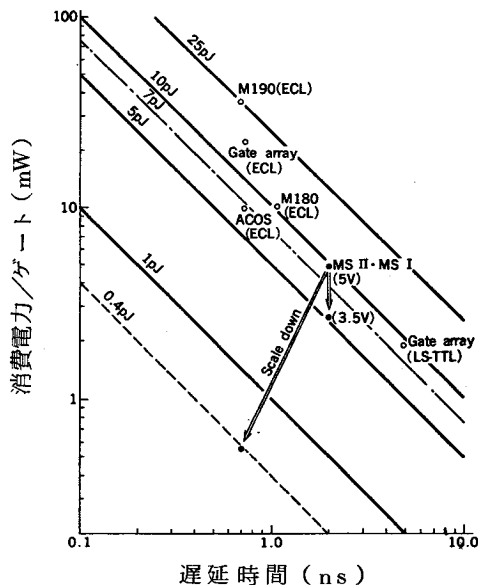


図4.3.14 各種マスタースライスの遅延時間に対する消費電力と微細化デバイスの性能

4.4 結 言

本論文第2章、第3章で検討した結果に基づき、VIL、及びDSA MOS デバイスの高速LSIへの応用として、それぞれ1KビットのRAM、及びマスタースライス型論理LSIの試作評価を行った。

1K RAMの試作に先だって、 I^2L デバイスを用いて、メモリセル、及びアドレス方式の検討を行った。インジェクタ及びビット線を2つのメモリセル列で共用する方式において書き込みを行う場合、選択されたセルに隣接するセルのインジェクタに誤書き込みを防止するための電流を流す必要があり、この電流は、書き込み電流と同じ程度の大きさが必要である。またメモリセルのスタンバイ電流は $1\mu A$ 程度で動作するが、隣接セルの読み出し電流が $1mA$ を超えると、 $10\mu A$ 以上のスタンバイ電流を流さなければ誤動作する。従って安定な動作のためには、インジェクタ及びビット線を各メモリセル列が独立に持つアドレス方式の方が良い。続いて I^2L の動作速度を制限している要因であるエピタキシャル層内の正孔蓄積を低減するものとして、第2章で提案したVILデバイスの高速性を活かし、高速1K RAMの試作を行った。センスアンプ回路に回路上の問題があり、アドレスアクセス時間として $400ns$ が得られたが、センスアンプ部分を除くと、ゲート当り $6.5\sim 7.3ns$ の遅延時間で動作している。センスアンプ回路の改良により、 $400ns$ 以下のアクセス時間を得ることが可能である。

一方DSA MOS デバイスを用いて、ゲートアレイ型マスタースライスLSIを2種類試作した。ポリシリコンとアルミを配線に用いる方式では、平均ゲート遅延時間 $3ns$ の値が得られた。アルミの二層配線を用いた集積回路では、配線抵抗による遅れが改善され、平均ゲート遅延時間を $2ns$ まで低減することができた。さらに遅延時間のバラツキも小さくなった。

ショットキーTTLやECLデバイスを用いたマスタースライスLSIに比べてDSAMOS マスタースライスLSIでは、集積度が2～3倍、遅延時間はショットキーTTLと同程度の値が得られた。アルミ-アルミ多層配線化DSA MOS マスタースライスLSIの平均電力遅延時間積は、 $10pJ$ であり電源電圧を $3.5V$ まで下げることによって $5.4pJ$ まで改善される。さらにスケーリング則に従って $1/3$ の比例縮小を行えば、遅延時間 $0.7ns/\text{ゲート}$ 、消費電力 $0.55mW/\text{ゲート}$ の特性を得ることが期待できる。

第4章 文 献

- (1) S.K. Wiedmann and H.H. Berger; "Small size low-power bipolar memory cell", IEEE J. Solid-State Circuits, Vol. SC-6, p. 283, 1971.
- (2) H.H. Berger, R. Schnadt and S.K. Wiedmann; "Write-current control and self-powering in a low-power memory cell", IEEE J. Solid-State Circuits, Vol. SC-8, p. 232, 1973.
- (3) S.K. Wiedmann and H.H. Berger; "Super-integrated bipolar memory shares functions on diffused islands", Electronics Feb. 14, p. 83, 1972.
- (4) S.K. Wiedmann; "Injection-Coupled memory: A high density static bipolar memory", IEEE J. Solid-State Circuits, Vol. SC-8, p. 332, 1973.
- (5) A. Masaki, Y. Harada, and T. Chiba, "200-gate ECL masterslice LSI", ISSCC Dig. Tech. Papers, p. 62, 1977.
- (6) T. Ishitani, H. Kodama, and T. Sudo; "A subnanosecond masterslice LSI using dielectric isolation and three layer metallization technologies", 9th Conf. Solid-State Devices, Dig. Tech. Papers, Tokyo, p. 7, 1977.
- (7) T. Nakano, Y. Horiba, K. Kijima, K. Tanaka and O. Tomisawa; "Vertical injection logic-An improved structure of integrated injection logic-", Proc. 8th Conf. Solid-State Devices, Tokyo, suppl. Japan. J. appl. Phys. Vol. 16, p. 129, 1977.
- (8) T. Nakano, O. Tomisawa, K. Anami, M. Nakaya, M. Ohmori and I. Ohkura; "A 920 gate masterslice", IEEE ISSCC, Dig. Tech. Papers, p. 64, 1978.
- (9) 富沢, 穴見, 中屋, 大森, 大倉, 中野; "DSA MOS デバイスを用いたマスタースライス LSI", 昭53 信学全大 p. 2-132
- (10) O. Tomisawa, K. Anami, M. Nakaya, M. Ohmori, I. Ohkura and T. Nakano; "A 920 gate MOS masterslice", IEEE J. Solid-State Circuits, Vol. SC-13, p. 536, 1978.
- (11) 中野, 富沢, 穴見; "高速MOS論理LSIとその将来", 昭53 電気四学会連合大会 p. 3-35
- (12) 中屋, 穴見, 富沢, 中野; "MOS LSI 内の遅延時間特性", 昭53 信学全大 p. 2-131

- (13) I. Ohkura, O. Tomisawa, M. Nakaya, Y. Ohbayashi and T. Nakano; "A multi-level metallized DSA MOS masterslice", IEEE J. Solid-State Circuits, Vol. SC-14, p. 764, 1979.

第5章 結 論

L S I の高速化に関し、基礎的研究およびその工学的応用に関して行った種々の実験とその理論的考察を第2章から第4章にわたって述べた。本研究によって得られた結論を総括して以下に示す。

- (1) L S I 化に有利なバイポーラデバイスとして注目されている I^2L は、消費電力の増大とともに遅延時間が減少し、 10 ns /ゲートから数 10 ns /ゲートの遅延時間で飽和する。この遅延時間は、負荷容量の充放電時定数で定まる外因性遅延時間に対して、内因性遅延時間と呼ばれており、これを改善するものとしてV I Lデバイスを提案した。
- (2) V I Lデバイスは I^2L の横型 pnpトランジスタの替りに npn トランジスタのベース直下に埋込インジェクタを持つ縦型 pnpトランジスタを有しており、このV I Lデバイスを作成するための製造プロセス条件を求めた。
 - i) エピタキシャル層の厚みは、埋込 p^+ 層の拡散条件、エピタキシャル層成長後の熱処理サイクル、nnpトランジスタの p^+ ベース領域拡散深さから設定することができる。このため埋込インジェクタの上方向再拡散長 x_j と熱処理時間の関係を明確にした。
 - ii) $n-n^+$ 構造を有する npn トランジスタの上方向電流増幅率 β_u を高くするためにはエピタキシャル層を薄くすることが必要である。
 - iii) 埋込インジェクタの濃度を高くし、かつ上方向再拡散長を制限するためには、 n^+ 埋込層形成後、薄いエピタキシャル層を作り、この上に下面インジェクタを拡散し、第2エピタキシャル層を成長させる方法が有効である。
- (3) V I Lでは縦型 pnp トランジスタのベース領域を均一に作ることができ、また、nnpトランジスタのベースの p^+ 層の拡散深さを制御することによって pnpトランジスタのベース幅を $1\text{ }\mu\text{m}$ 以下にすることができた。
- (4) I^2L での最小遅延時間 10.5 ns に対してV I Lでは 6.5 ns まで改善することができた。また電力遅延時間積は、 I^2L の 0.2 pJ に対して、V I Lでは 0.07 pJ まで低減することができた。
- (5) V I Lの電気的特性を解析するためにV I Lデバイスの構造を4つの部分に分割し、それぞれを簡略化した1次元モデルによって検討を行った。
 - i) 直流特性として npnトランジスタの電流増幅率 β_{eff} を解析し、埋込インジェクタと npnトランジスタのベースの重なり量 x との関係を明らかにした。
 - ii) 最小遅延時間（内因性遅延時間）は、npnトランジスタの遮断時定数（ $\tau_T = 1/2\pi f_T$ ）とエピタキシャル層内の正孔の実効的ライフタイム（ τ_{eff} ）によって定まる。

- iii) 下面インジェクタの形状が同一である場合、エピタキシャル層中の正孔蓄積量 Q 及び、ベース電流 I_B は一定であり τ_{eff} が一定となる。このとき npn トランジスタのベース幅を短くすることによって、 β_{eff} を大きくすると内因性遅延時間は小さくなる。
 - iv) npn トランジスタの f_T が同一である場合、埋込インジェクタの面積を増やして β_{eff} を低減させると遅延時間は短くなる。
 - v) VIL 構造ではエピタキシャル層の実効厚みを適切に設定することにより、エピタキシャル層中に蓄積する正孔電荷量を減少させることができる。従って遮断時定数 τ_T ($= 1/2 \pi f_T$) を小さくし、遅延時間を改善することができる。
- (6) MOS LSI の高速化を制限する主要因は、外因性遅延時間であり、この外因性遅延時間の限界値は、トランジスタのゲート容量 C_g と相互コンダクタンス g_m とで定まる時定数 C_g/g_m である。 C_g/g_m を小さくすることを目的とする短チャネルMOSデバイスのうち DSA MOS デバイスを選び、プロセス検討、及び静特性解析を行った。
- i) E-D 構成の DSA MOS 製造プロセスにおける工程数と、微細化した NMOS プロセスの工程数と同じであり、ポリシリコン工程と、エンハンスメントトランジスタのチャネルドーピング工程の順番のみが異なる。
 - ii) チャネル長の低減に対する V_{TH} の変動は、NMOS トランジスタが $L = 10 \mu m$ から $3 \mu m$ までゆるやかに減少し、 $3 \mu m$ 以下で急減するのに対して、対称形 DSA MOS トランジスタでは $2 \mu m$ まで一定であり、 $L < 2 \mu m$ でむしろ V_{TH} は上昇する。
 - iii) 対称形 DSA MOS トランジスタでは $L < 1.8 \mu m$ でもパンチスルー現象が観測されない。
- (7) MOS LSI における遅延時間は、論理ゲート構造に付随する内因性容量の充放電時間によって決まる最小遅延時間が、配線、ファンアウトの増加にともなう容量、抵抗の付加によって増大するものとして解析することができる。
- i) 内因性容量は、接合容量、ゲート電極容量、配線容量からなる。単位面積あたりの接合容量のうちフィールド酸化膜下の p^+ とソースドレインの n^+ 拡散との間の容量はアルミ基板間容量の約1.7倍の値をもつ。またゲート電極とドレイン拡散の重なりに帰因する帰還容量のミラー係数は3.4の値になりこれらの容量は、最小遅延時間に大きな影響を与える。
 - ii) 最小遅延時間は、論理ゲートを最短配線で結線したリングオシレータの発振周波数から求められるゲート遅延時間に対応する。
 - iii) 容量性の負荷のみをもつゲートの遅延時間は、全負荷容量と内因性容量の比を最小遅延時間に乗じて得られる。

- IV) 配線体に抵抗成分が含まれる場合は、この配線体を π 型等価回路に置きかえることで遅延時間の近似式を負荷トランジスタの定電流近似、抵抗近似各々の場合について陽関数表示で求めることができた。デプレッション型負荷トランジスタは基板バイアス効果によって抵抗に近い特性になるため、上記抵抗近似による近似式が実験と良い一致を示した。
- V) 配線抵抗が遅延時間に与える効果は著しく、例えば 0.31 pF の配線容量で 2.3 ns の遅延時間が得られている論理ゲートに $6\text{ k}\Omega$ の配線抵抗を付加すれば遅延時間 5.1 ns まで増大する。従ってLSIの高速化をはかるためには配線抵抗の低減が極めて重要な条件となる。
- (8) LSI外部の容量を十分に駆動できる出力トランジスタと、この出力トランジスタを駆動するための前置増幅器とからなる出力駆動回路では、出力トランジスタのチャネル幅と、LSI内部ゲートのチャネル幅の相乗平均値を前置増幅器のチャネル幅に設定すると、出力駆動回路の遅延時間を最小にすることができる。
- (9) 出力駆動回路の電力-遅延時間積を最小にする前置増幅器のチャネル幅は、遅延時間を最小にするチャネル幅より小さい。内部ゲートのチャネル幅で規格化した出力トランジスタのチャネル幅を 100 とすると遅延時間を最小にする前置増幅器のチャネル幅は $\sqrt{100}=10$ になり、電力遅延時間を最小とする前置増幅器のチャネル幅は約 3 になる。
- (10) I^2L デバイスを用いて、注入結合形メモリセルと称せられるメモリセル及びアドレス方式の検討を行った。
- I) インジェクタ及びビット線を2つのメモリセル列で共用する方式において書き込みを行う場合、選択されたセルに隣接するセルのインジェクタに誤書き込みを防止するための電流を流す必要があり、この電流は、書き込み電流と同じ程度の大きさが必要である。
 - II) メモリセルのスタンバイ電流は $1\text{ }\mu\text{A}$ 程度でも記憶保持の動作をするが隣接セルの読み出し電流の2桁低い電流値以上の電流を流しておかなければ読み出し時に誤動作する。
- (11) VILデバイスの高速性を活かし、 1 k ビットのランダムアクセスメモリ(RAM)の試作を行った。センスアンプ回路に回路上の問題があり、アドレスアクセス時間として 400 ns が得られたが、センスアンプ部を除くとゲート当り $6.5\sim 7.3\text{ ns}$ の遅延時間で動作している。センスアンプ回路の改良により 400 ns 以下のアクセス時間を得る事ができる。
- (12) DSA MOSデバイスを用いた論理LSIとして、2種類の配線方式によりゲートアレイ型マスタースライスLSIの試作を行った。
- I) ポリシリコンとアルミを配線に用いる方式では、平均ゲート遅延時間 3 ns の値が得られた。アルミの2層配線を用いたLSIでは配線抵抗による遅れが改善され平均ゲート遅延時間を 2 ns まで低減することができた。さらに遅延時間のバラツキも小さくなった。

- ii) ショトキーTTLやECLデバイスを用いたマスタースライスLSIに比べてDSAMOSマスタースライスLSIでは、集積度が2～3倍、遅延時間は、ショトキーTTLと同程度の値が得られた。
- iii) アルミ-アルミ2層配線化DSAMOSマスタースライスLSIの平均電力遅延時間積は、10 pJであり、電源電圧を3.5 Vまで下げると5.4 pJまで改善された。スケーリング則に基づいた微細化によってさらに電力遅延時間積を小さくすることが期待できる。

謝 辞

本論文を結ぶにあたり、本研究を通じて終始御親切な御指導と御討論を賜った大阪大学 犬石 嘉雄教授に衷心より御礼のことばを申し上げます。

本研究の遂行および論文作成にあたり、数々の有益な御教示と御忠告をいただいた大阪大学 中井 順吉 教授、小山 次郎 教授に深く感謝いたします。

また本論文につき御懇篤なる御検討を戴いた大阪大学木下 仁志 教授、西村 正太郎 教授、山中 千代衛 教授、藤井 克彦 教授、鈴木 胖 教授、横山 昌弘 教授、中井貞夫 教授に厚く御礼申し上げます。

また本論文の作成にあたり適切な御助言を賜った大阪大学工学部 白藤 純嗣 助教授に深く感謝します。

本研究の遂行にあたって、御教示と御鞭撻を賜り、また研究の機会を与えていただいた三菱電機株式会社常務取締役 喜連川 隆 博士、LSI開発センタ センタ長 岡 久雄博士、同設計技術開発部 部長 蒲生 容仁氏、同プロセス技術開発部部長 中田 秀文博士に心から御礼を申し上げます。

また本研究の遂行、および論文の作成にあたり、熱心なる御討論を通じて数々の有益なる御教示、御忠告をいただいた三菱電気LSI開発センタ 主任研究員 中野 隆生博士、主任研究員 堀場 康孝氏、研究員 大倉 五佐雄博士、加藤 周一氏、穴見 健治氏および御協力いただいた方々に心から感謝いたします。

研究業績目録

発表論文

- 1) "Vertical Injection Logic", IEEE J. Solid-State Circuits Vol. SC-11, p. 637, 1976.
- 2) "Vertical Injection Logic- An Improved Structure of Integrated Injection Logic-", Proc. 8th Conf. Solid-State Devices, Tokyo, suppl. Japan J. Appl. Phys. Vol. 16, p. 129, 1977.
- 3) "Analysis of Static and Dynamic Characteristics in VIL", IEE Solid State Electron Device, Vol. 2, p. 83, 1978.
- 4) "A 920 Gate DSA MOS Masterslice", IEEE J. Solid-State Circuits. Vol. SC-13, p. 536, 1978.
- 5) "Electrical Characteristics of DSA MOS transistor with fine structure", IEEE J. Solid-State Circuits, Vol. SC-14, p. 352, 1979.
- 6) "MOS E-D ゲートの遅延時間解析" 信学論(C), Vol. 62-C, p. 811, 1979.

ショートノート

- 1) "A Multi-level Metallized DSA MOS Masterslice", IEEE J. Solid-State Circuits, Vol. SC-14, p. 764, 1979.

研究会資料, シンポジウム

- 1) “V I L - Vertical Injection Logic - ” 信学会研資 SSD 75-69, 1976
- 2) “V I L の電気特性と解析 ” 信学会研資 SSD 77-10, 1977
- 3) “高速 MOS 論理 LSI とその将来 ”, 昭 53 電気四学会連合大会 p. 3-35

学会報告

- 1) “Vertical Injection Logic ” IEEE International Electron Devic Meeting p. 555, Dec. 1975
- 2) “V I L (Vertical Injection Logic) - 新しい I²L 構造 ”
昭 51 年電子通信学会総合全国大会, p. 2-160 昭 51 年 3 月
- 3) “V I L における下面インジェクタ効果 ”
昭 52 年電子通信学会総合全国大会 p. 2-168 昭和 52 年 3 月
- 4) “DSA MOS インバータの特性解析 ”
昭 52 年電子通信学会総合全国大会 P. 2-150 昭和 52 年 3 月
- 5) “MOS 出力バッファ回路の設計 ”
昭 52 年電子通信学会総合全国大会 P. 2-149 昭和 52 年 3 月
- 6) “A 920 Gate Masterslice ” IEEE International Solid-State Circuits Conference p. 64, Feb. 1978
- 7) “MOS LSI 内の遅延時間特性 ”
昭 53 年電子通信学会総合全国大会 p. 2-131 昭和 53 年 3 月
- 8) “ED MOS インバータにおける負荷容量の分析 ”
昭 53 年電子通信学会総合全国大会 p. 2-186 昭和 53 年 3 月
- 9) “DSA MOS デバイスを用いたマスタースライス LSI ”
昭 53 年電子通信学会総合全国大会 p. 2-132 昭和 53 年 3 月
- 10) “磁気テープ制御用 DSA MOS LSI ”
昭 54 年電子通信学会総合全国大会 p. 2-108 昭和 54 年 3 月
- 11) “MOS マスタースライス LSI ”
昭 54 年電子通信学会総合全国大会 p. 2-111 昭和 54 年 3 月
- 12) “MOS LSI の遅延時間の解析 ”
昭 54 年電子通信学会総合全国大会 p. 2-149 昭和 54 年 3 月