



Title	大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究
Author(s)	富澤, 治
Citation	大阪大学, 1980, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/690
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	富澤	治
学位の種類	工学博士	
学位記番号	第 5041 号	
学位授与の日付	昭和 55 年 7 月 30 日	
学位授与の要件	学位規則第 5 条第 2 項該当	
学位論文題目	大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究	
論文審査委員	(主査) 教授 犬石 嘉雄 (副査) 教授 西村正太郎 教授 木下 仁志 教授 山中千代衛 教授 藤井 克彦 教授 鈴木 胖 教授 横山 昌弘 教授 中井 貞雄 教授 中井 順吉 教授 小山 次郎	

論文内容の要旨

本論文は、大規模集積回路(LSI)の高速化制限要因である内因性および外因性遅延時間の解析に関する研究成果をまとめたもので、本文は 5 章から構成されている。

第 1 章では、本研究に関連する分野におけるこれまでの研究の歴史的背景と LSI の高速化に関する研究の沿革と現状について概説し、本研究を行うに至った動機、目的を明らかにしている。

第 2 章では、電流駆動デバイスを基本とするバイポーラ型大規模集積回路の動作速度を制限する因子として、トランジスタ構造に基づく内因性遅延時間の解析を行っている。バイポーラ型 LSI を構成する基本デバイスの中で、製造、電気的特性両面から、LSI 化を進める上で有利な集積化注入論理(I²L)をとりあげ、トランジスタの遮断周波数と、エピタキシャル層内における正孔蓄積効果に帰因する内因性遅延時間を改善するために、I²L のデバイス構造を改良した縦型注入論理(VIL)の提案を行っている。VIL 構造を実現するための製造条件を明確にし、かかる後 VIL の内因性遅延時間を一次元モデルで解析し、実験的検討を加えた上で高速化のための条件を導出している。

第 3 章では、電圧駆動デバイスを基本とする MOS 型 LSI の動作速度を制限する因子として、配線容量、配線抵抗等の外因性パラメータで規定される外因性遅延時間の解析を行っている。短チャンネル MOS トランジスタ形成の一方法である拡散自己整合(DSA)MOS デバイスをとりあげ、デプレシヨン型負荷トランジスタを有する DSA MOS ゲートの遅延時間と、配線容量、配線抵抗の関係を明らかにする解析式を求め、試作した LSI による実験結果との比較検討を行い LSI 高速化の条件を導出している。

第 4 章では、第 2 章、第 3 章の検討結果にもとづき、VIL を用いた高速メモリと DSA MOS デバ

イスを用いた高速ランダムロジック LSIの試作を行い LSIへの応用上の問題点を明確にしている。

第 5 章では、LSIの高速化制限要因の解析に関する第 2 章から第 4 章までの研究結果を総括して本研究の結論を述べている。

論文の審査結果の要旨

最近、電子計算機の高性能化にともなって高速大規模半導体集積回路(LSI)の開発が重要課題となっている。

本論文は、この要請のもとにバイ・ポーラ型として集積化注入論理・I²L(Integrated Injection Logic), 電界効果型として MOS デバイスをとりあげ、動作速度を制限する因子を理論的、実験的に究明すると共に、その改善方法を提案したものである。さらにこの考えに基いた高速論理デバイスを開発しその問題点を明らかにしている。その結果、多くの重要な成果をえているが、例えは

- (i) I²L デバイスの動作速度が内因性遅延時間で決まることを明らかにし、その解析を行った結果エピタキシャル層内での正孔蓄積時間が主因子であることを見出した。これを改善するために I²L デバイスの構造を改良した縦型注入論理デバイス(VIL)を新しく考案し、その製造条件を確立すると共に内因性遅延時間を解析して実験と対比し、高速化のための条件を明らかにした。
- (ii) MOS 電界効果型デバイスの動作速度が外因性遅延時間で決まることを指摘しその解析を行った。これを改善するために拡散自己整合型(DSA) MOS デバイスに着目しその外因性遅延時間を解析すると共に試作デバイスでの実験結果と対比し、配線容量、配線抵抗との関係を明らかにし高速化の条件を求めている。

このように、本論文は高速半導体論理デバイスの開発に重要な指針をあたえると共に多くの新しい知見や提案を含み半導体工学の分野に寄与する所が大きい。よって本論文は博士論文として価値あるものと認める。