The University of Osaka
Institutional Knowledge Archive

Title	大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究
Author(s)	冨澤, 治
Citation	大阪大学, 1980, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/690
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究

１９８０年

冨　澤　　治

大規模集積回路における高速化制限要因の解析と工学的応用に関する基礎的研究

内　容　梗　概

本論文は，筆者が昭和４６年三菱電機株式会社に入社以来，北伊丹製作所半導体研究部と，ＬＳＩ開発センタにおいて行ってきた半導体デバイスの研究のうち，大規模集積回路（ＬＳＩ）の高速化制限要因の解析に関する研究成果をまとめたものである。本論文は5章に分けて構成される。すなわち，

第１章　序　論

第２章　バイポーラ型大規模集積回路の高速化制限要因の解析

第３章　ＭＯＳ型大規模集積回路の高速化制限要因の解析

第４章　高速大規模集積回路への応用

第５章　結　論

からなる。以下，各章ごとに順を追ってその内容の概要を述べる。

第１章　序　論

本章では，本研究に関連する分野におけるこれまでの研究の歴史的背景と，大規模集積回路の高速化に関する研究の沿革と現状について概説し，本研究を行うに至った動機，目的を明らかにする。

第２章　バイポーラ型大規模集積回路の高速化制限要因の解析

本章では，電流駆動デバイスを基本とするバイポーラ型大規模集積回路の動作速度を制限する因子として，トランジスタ構造に基づく内因性遅延時間の解析を行う。種々のバイポーラ型大規模集積回路を構成する基本デバイスの中で，製造，電気的特性両面から，大規模集積回路化を進める上で有利な集積化注入論理（I^2L）をとりあげる。I^2Lのゲート遅延時間は，消費電力の増大とともに直線的に減少し，数１００μw／ゲート以上で飽和し，内因性遅延時間で制限される動作領域になる。この内因性遅延時間は，負荷容量の充放電で定まる時定数とは異なり，トランジスタ自身の遮断周波数と，エピタキシャル層内に過剰に蓄積された正孔の寿命に帰因するものである。正孔蓄積効果を低減し，内因性遅延時間を改善するために，I^2Lのデバイス構造を改良した縦型注入論理（ＶＩＬ；Vertical Injection Logic)の提案を行う。ＶＩＬ構造を実現

するための製造条件を明確にし，しかる後ＶＩＬにおける内因性遅延時間を一次元モデルを用いて解析し，実験的検討を加えた上で高速化のための条件を導出する。

第 3 章　　ＭＯＳ型大規模集積回路の高速化制限要因の解析

本章では，電圧駆動デバイスを基本とするＭＯＳ型大規模集積回路の動作速度を制限する因子として，配線容量，配線抵抗等の外因性パラメータで規定される外因性遅延時間の解析を行う。短チャネルＭＯＳトランジスタ形成の一方法である拡散自己整合（ＤＳＡ；Diffusion Self-Aligned）ＭＯＳデバイスをとりあげ，まずイオン注入を全面的に採用したシリコンゲートＤＳＡ ＭＯＳ 大規模集積回路の製造プロセス及び，静的電気特性を述べ，続いてデプレション形負荷トランジスタを有するＤＳＡ ＭＯＳ ゲートの遅延時間と，配線容量，配線抵抗との関係を解析する。試作した大規模集積回路による実験結果との比較検討を行い，大規模集積回路の高速化の条件を求める。

第 4 章　　高速大規模集積回路への応用

本章では，第２章，第３章の検討結果にもとづき，ＶＩＬを用いた高速メモリとＤＳＡ ＭＯＳデバイスを用いた高速ランダムロジックの試作を行い，大規模集積回路への応用上の問題点を明確にする。

第 5 章　　結　論

大規模集積回路の高速化制限要因の解析に関する第２章から第４章までの研究結果を総括して本研究の結論を述べる。

目　　次

第１章　序　　論 …… 1

１．１　関連分野の研究の歴史的背景 …… 1

１．２　本研究の目的 …… 4

１．３　本研究の内容 …… 5

第２章　バイポーラ型大規模集積回路の高速化制限要因の解析 …… 9

２．１　序 …… 9

２．２　各種バイポーラ集積回路デバイス技術 …… 10

２．３　集積化注入論理（I^2L）デバイス …… 11

２．４　新構造デバイス　縦型注入論理（ＶＩＬ）デバイス …… 15

２．４．１　ＶＩＬデバイスの試作 …… 15

２．４．２　デバイス試作上の問題点 …… 17

２．４．２．１　p^+埋込拡散領域の形成条件 …… 17

２．４。２．２　エピタキシャル層及びn^+埋込層の形成条件 …… 18

２．４。２．３　p^+埋込拡散領域の低抵抗化 …… 22

２．５　電気的特性の解析 …… 25

２．５．１　は　じ　め　に …… 25

２．５．２　ＶＩＬとI^2Lの電気的特性の比較 …… 25

２。５．３　ＶＩＬにおける電気的特性の解析 …… 28

２．５．３．１　静　的　特　性 …… 28

２．５．３．２　遅延時間の解析 …… 32

２．５．４　実験との比較検討 …… 38

２．６　結　　言 …… 41

第３章　ＭＯＳ型大規模集積回路の高速化制限要因の解析 …… 46

３．１　序 …… 46

３．２　各種ＭＯＳ型集積回路デバイス技術 …… 47

３．３　拡散自己整合（ＤＳＡ）ＭＯＳデバイスの製造プロセス …… 48

3．4　DSA　MOSトランジスタの静特性 …… 52
3．5　DSA　MOS　LSIの遅延時間の解析 …… 61
3．5．1　はじめに …… 61
3．5．2　デプレション型トランジスタを負荷にもつ
ゲート回路の内因性容量 …… 61
3．5．3　ゲート遅延時間の解析 …… 64
3．5．3．1　負荷トランジスタの定電流近似 …… 66
3．5．3．2　負荷トランジスタの抵抗近似 …… 71
3．5．3．3　実験結果との比較検討 …… 77
3．5．4　出力バッファ回路の遅延時間 …… 80
3．6　結　言 …… 85

第4章　高速大規模集積回路への応用 …… 90
4．1　序 …… 90
4．2　バイポーラ型高速RAMの試作 …… 91
4．2．1　はじめに …… 91
4．2．2　メモリセルの回路及び動作 …… 91
4．2．3　メモリセルの評価結果 …… 93
4．2．4　VIL　1KビットRAMの試作 …… 99
4．3　MOS型大規模論理集積回路の試作 …… 103
4．3．1　はじめに …… 103
4．3．2　マスタースライス方式論理集積回路への応用 …… 103
4．3．3　高性能化マスタースライス論理集積回路の試作 …… 111
4．4　結　言 …… 116

第5章　結　論 …… 119
謝　辞 …… 123
研究業績目録 …… 124

第1章　序　　論

1・1　関連分野の研究の歴史的背景

近年，民生用から産業用に至るあらゆる方面で論理システムの大規模集積回路（ＬＳＩ：Largc Scale Integrated Circuits）化が進められている。システムのＬＳＩ化に当っては既存個別部品との競合がある限り高性能化，高信頼度化，低価格化を要求されこの要求を満すべく新しい技術開発が行われ、ＬＳＩ化が進展してきた。ＬＳＩ化の中心になるデバイス技術は大別して、バイポーラ型と，ＭＯＳ（Metal Oxide Semiconductor）型の２種類があり、バイポーラＬＳＩは低集積密度であるが高速度の応用，ＭＯＳＬＳＩは低速ではあるがチップ上に大規模集積化したことを特徴とする応用に用いられてきた。最初にＭＯＳ　ＬＳＩ及びバイポーラＬＳＩにおける高速化を制限する要因を考える。[(1)(2)]動作速度を決定する遅延時間は、回路中のトランジスタに動作条件を与えるまでの回路的な遅延時間（以後、外因性遅延時間と呼ぶ）と，動作条件を与えられたトランジスタがスイッチ動作を行うまでの遅延時間（以後、内因性遅延時間と呼ぶ）の２つに区別することができる。内因性遅延時間の制限定数としては誘電緩和時間，多数キャリアの飽和速度，少数キャリアの移動度，少数キャリアの寿命等がある。

ＭＯＳトランジスタおよびＭＯＳトランジスタを基本デバイスとするＩＣ（Integrated Circuits）の高速限界はキャリアの走行経路であるチャネル長Ｌを 0.2×10^{-4} cm とすると、走行するのに要する時間は飽和速度 v_s を 10^7 cm／s として２ｐｓである。実際には界面効果のため v_s が数分の１に下がり上記走行時間は１０ｐｓ程度となる。一方実際のＭＯＳＩＣでは、ＭＯＳトランジスタが高入力インピーダンスを持つ電圧駆動型デバイスであるため、ゲート電圧が動作電圧に設定されるまでの外因性遅延時間が大きい。配線容量を０としてトランジスタそのものの限界値を考えると、ゲート容量Ｃｇ，相互コンダクタンス g_m による時定数 t_M は

$$t_M = Cg/g_m \simeq L^2/\mu_n(V_G - V_T) \qquad (1.1)$$

で与えられ、$\mu_n = 200$ cm²／V.s ，$V_G - V_T = 1$V，　$L = 0.2\times10^{-4}$ cm とすれば、外因性遅延時間の限界は２ｐｓとなる。実際は浮遊容量等の影響もありＭＯＳトランジスタ，ＩＣの高速限界は内因性，外因性遅延時間をあわせて１０～２０ｐｓと考えられる。

一方、バイポーラトランジスタおよびバイポーラトランジスタを基本デバイスとするＩＣの場合バイポーラトランジスタが電流駆動型であり、ＭＯＳトランジスタに比べて入力インピーダンスが小さく、外因性遅延時間は十分小さいと考えられる。トランジスタ固有の内因性遅延時間は、ベース幅の最小寸法(L)を 0.1×10^{-4} cm，シリコン内での電子の移動度 μ_n を１５００ cm²／V.s とすると、ベース走行時間は $t_b \fallingdotseq qL^2/kT\mu_n = 0.027L^2 \fallingdotseq 3$ ｐｓとなる。バイポーラトランジ

スタで情報がエミッタからコレクタに達するまでの遅延時間 t_{ec} はこのベース走行時間 t_b の他に，エミッタ充電時定数 t_e とコレクタ空乏層走行時間 t_x とコレクタ充電時定数 t_c を考え，これらの総和で与えられることが知られている。現状で個別トランジスタの f_T として8GHz程度がえられており，これに相当する $t_{ec}=1/2\pi f_T$ は，約20psである。一次元近似の計算機シミュレーションでは、これを倍にする f_T を得る可能性もあり，バイポーラトランジスタ，ICの高速限界は10～20psであるとされている。従ってバイポーラIC，MOSIC 共に高速限界は10～20ps 程度であり現状のデバイスに比べて，約2桁以上高速である。

デジタルシステムに用いられる論理回路の性能指数をあらわす電力－遅延時間積（P・td）は動作パラメータとの間に

$$P \cdot t_d = k_0 \cdot \triangle V \cdot V_{CC} \cdot C \qquad (1.2)$$

なる関係があり，電力遅延時間積が，電源電圧 V_{CC} 論理振幅△V，全回路容量Cとに比例する。電力遅延時間積を最小にするには，電源電圧，論理振幅，全回路容量を可能な限り小さくして回路を動作させる必要がある。定数 k_0 をMOSトランジスタとバイポーラトランジスタのいずれを用いた回路でも同一にできるものとし，回路容量を等価すると，MOSトランジスタ回路と，バイポーラトランジスタ回路の性能指数は，論理振幅△Vと電源電圧 V_{CC} とで比較することができる。与えられた電源電圧に対して、信号を伝達するのが可能な最小の論理振幅は，各トランジスタの相互コンダクタンス g_m で決まる。g_m は入力電圧の変化に対する出力電流の変化率でありバイポーラ・トランジスタでは g_{mB} は素子の大きさによらず次式で近似的に表わされる。(3)

$$g_{mB} \cong \frac{I_E}{kT/q} \cong 39\,(\mathrm{m}\mho/\mathrm{mA}) \times I_E\,(\mathrm{mA}) \qquad (1.3)$$

(at 300℃)

ここで I_E はエミッタ電流である。

MOSトランジスタでは、酸化膜の厚みを1500Å，熱い電子の速度を 8.5×10^6 cm/s，チャネル幅をW（μm）とすると、相互コンダクタンス（g_{mM}）は次式で与えられる。

$$g_{mM} \cong 20\ (\mu\mho/\mu\mathrm{m}) \times W\,(\mu\mathrm{m}) \qquad (1.4)$$

Wに一般的な値として 10μm を入れるとMOSトランジスタの相互コンダクタンスは200μ℧となり，50μA以上のエミッタ電流で動作させるとき，バイポーラトランジスタの相互コンダクタンスは2m℧以上となる。従って、従来技術におけるバイポーラトランジスタとMOSトランジスタの相互コンダクタンスを比較するとバイポーラトランジスタの方が10倍大きい。その結果，導通状態と遮断状態とで必要な電流比をとるために、MOSトランジスタでは10倍以上の論理振幅が必要になる。このように性能指数上はバイポーラトランジスタは、LSI化に有利

でありながらＬＳＩ化に対して遅れをとってきた原因は、従来のバイポーラＩＣ，ＬＳＩ構造では、各構成素子を分離するための分離拡散領域が必要である点にあった。このため構成素子の専有面積が大きくなり、高集積化に不向きであった。またバイポーラ回路では受動素子として抵抗を用いるが、抵抗を形成する拡散領域のシート抵抗は数100Ω／口以内であり、高抵抗を作ると占有面積が大きくなるため、一般的に数10KΩ以内の抵抗値に制限されて使用されてきた。このため回路あたりの消費電力が大きくなり、この点でもＬＳＩ化に対しＭＯＳＬＳＩに遅れをとってきた。

１９７２年の国際固体回路会議（ISSCC：International Solid State Circuits Conference）で発表された集積化注入論理（I^2L: Integrated Injection Logic）[4] 別名ＭＴＬ（Merged Transistor Logic）[5] は上述のバイポーラデバイスの欠点を克服しバイポーラデバイスのＬＳＩ化への道を開いたものとして注目される。I^2Lは、逆動作型のエミッタ接地ｎｐｎトランジスタとベース接地ｐｎｐトランジスタの複合構造からなり、ｎｐｎトランジスタは駆動トランジスタ，ｐｎｐトランジスタは定電流源及び、前段のｎｐｎトランジスタの負荷として働く。全てのｐｎｐトランジスタのベース領域と、逆動作型ｎｐｎトランジスタのエミッタ領域が、ｎ型のエピタキシャル層を共用しているため分離拡散領域が不要であり、負荷抵抗のかわりにｐｎｐトランジスタを用いるため集積度と，電力利用効率が改善され、論理回路の電力遅延時間積が改善されるという特長をもっている。発表された当時の構造のI^2Lではゲート遅延時間が25ns～100ns／ゲートであったが、以後I^2Lデバイスの本質的利点をLSI化において生かすべく各種の改良が加えられてきた。ｎｐｎトランジスタのベース領域をイオン注入技術で形成しドリフト電界を利用し高速化をはかる方法[6][7]，入出力をショットキーダイオードによりクランプし低論理振幅化をはかるこころみ[8][9]，酸化膜分離技術の適用による浮遊容量の減少[10]などの他いくつかの構造上の改良方式[11][12]が提案されてきた。

一方ＭＯＳ ＬＳＩについて見ると基本デバイスとなるＭＯＳトランジスタが２次元の表面デバイスであり、自動的に素子分離ができている点で集積度が高く、また製造工程がバイポーラＩＣに比べて少くかつ簡単であるため、ＬＳＩ用デバイスの中心になってきたが、性能上もっとも重要なゲート遅延時間においてはバイポーラデバイスをしのぐ事ができなかった。その主な原因はチャネル領域の形成に対し、写真製版技術，その他製造プロセス技術上の制約から十分短いチャネル長をもつトランジスタが作れなかったため、相互コンダクタンスを大きくすることができなかった点にある。しかしながら、近年電子ビーム露光装置の開発をはじめとする写真製版関連の微細加工技術の開発，進歩にともなって１μm程度の大きさを持つＭＯＳデバイスの製作が可能となってきた。[13][14] 微細化したＭＯＳデバイスの性能はＩＢＭのR．H．Dennard による比

例縮小則（スケーリング理論）の概念[15]が有益であり大略，微細化ＭＯＳデバイスの性能予測を行うことができる。すなわち、縮小係数をκとすると、寸法，電圧を１／κにし、不純物濃度をκ倍とすると空乏層幅は（電圧／不純物濃度）$^{1/2}$に比例するから１／κとなる。一方閾値電圧は酸化膜厚に比例し、１／κとなる。遅延時間は、ＣＶ／Ｉであらわされ$C \propto 1/\kappa$，$V \propto 1/\kappa$，$I \propto 1/\kappa$であるから遅延時間も１／κとなる。プロセス加工精度が上昇するにともない、このようにスケーリング則に従ってＭＯＳデバイスの性能を向上させることが可能である。一方スケーリング則に従って短チャネル化をはかり、ＭＯＳＬＳＩを高性能化する方法に対して、従来の加工技術を用いて実効的な短チャネルデバイスを作ろうとする試みが行われてきた。垂井らによって提案されたＤＳＡ（Diffusion Self-Aligned）ＭＯＳトランジスタ，[16] やＴ．Ｊ．Rodgerらによって提唱されたＶＭＯＳ（V-Grooved MOS）[17]がこれに対応する。これらは拡散深さの制御により実効的なチャネル領域を作る方法であり、バイポーラトランジスタにおけるベース幅の制御と同じ様にチャネル長を制御することができ、サブミクロンのチャネル長が得られている。この結果、ＬＳＩ性能の基本データの比較に対し有効な閉ループのゲート鎖からなるリング発振器の測定結果として１ｎｓ／ゲート以下の最小遅延時間が得られるようになってきた。しかし、実際のＬＳＩ内部でのゲート遅延時間は、配線抵抗，配線容量などのため大きくなり、最小寸法で構成されたリング発振器で測定されるゲート遅延時間の数倍から数１０倍大きくＬＳＩ高速化の上で大きな問題となっている。

１・２　本研究の目的

本研究はＬＳＩの高速化を制限している要素を解析し、高速化の条件を明らかにすることを目的とする。この制限要素としてはＬＳＩを構成するデバイス構造に固有の内因性遅延時間と、配線容量，配線抵抗などＬＳＩを構成する上で不可避な外因性パラメータによって規定される外因性遅延時間を考えることができ、これらを探求するため次の諸点を研究の目的とした。

(1)バイポーラＬＳＩの高速化を制限する主な要素が構造上内因性遅延時間であることに注目し、バイポーラデバイスの中でＬＳＩ化に対し最も有利であると考えられるI^2Lデバイスをとりあげ、内因性遅延時間を規定するエピキタシャル層内における正孔蓄積について解析する。

(2)MOS　ＬＳＩの高速化を制限する主な要素が外因性遅延時間であるため、遅延時間と配線容量，配線抵抗の関係を解析する。このとき基本デバイスとしては実効的な短チャネルＭＯＳデバイスであるＤＳＡ　ＭＯＳトランジスタを取り上げる。

(3)これらのデバイスを用いた工学的応用の例としてI^2Lデバイスをメモリに、ＤＳＡＭＯＳデバイスを論理ゲートアレイに応用し、ＬＳＩを試作し応用上の問題点を究明する。

1・3 本研究の内容

本論文は前節にのべた目的を達成するため、バイポーラ，MOSそれぞれのデバイスを作成し、遅延時間に関する基礎的研究及び工学的応用研究を行った結果をまとめたものであり内容は5章にわけて述べられる。

第 1 章　序　　論

第 2 章　バイポーラ型大規模集積回路の高速化制限要因の解析

ここでは、バイポーラデバイスの中でLSI化に対して最も有利であると考えられるI^2Lデバイスをとりあげ、I^2Lデバイスの高速化について述べる。I^2Lゲートのゲート遅延時間は消費電力の増大とともに直線的に減少し、数100μw／ゲート で飽和し、内因性遅延時間で制限される動作領域になる。この内因性遅延時間は負荷容量の充放電で定まる時定数とは異なり、トランジスタ自身の遮断周波数と、エピタキシャル層内に過剰に蓄積された正孔の寿命に起因するものである。正孔蓄積効果を低減し、内因性遅延時間を改善するために、I^2Lデバイスの構造を改良したVIL(Vertical Injection Logic)デバイスを提案した。このVIL構造を実現するために必要なプロセスパラメータ設定のための実験結果をはじめとして、電流増幅率向上のための条件等、各プロセス技術の詳細をのべ、しかる後VILの電気的特性について言及する。静的特性として電流増幅率を解析した後、遅延時間の決定されるメカニズムを解析し実験結果との比較検討を行う。

第 3 章　MOS型大規模集積回路の高速化制限要因の解析

ここでは短チャネルMOSトランジスタ形成の一方法であるDSA MOS デバイスをとりあげMOS LSIの高速化について述べる。MOS LSIの遅延時間は負荷容量の充放電に基づくと考えられ、配線容量，配線抵抗等の外因性パラメータにより規定される外因性遅延時間であると云える。本章ではDSA MOS LSIプロセス，特にイオン注入を全面的に採用したシリコンゲートDSA MOS LSIのプロセスについて述べ、基本トランジスタの静的特性をNMOSと比較しつつ述べる。続いてデプレション形負荷トランジスタを有するDSA MOSゲートの遅延時間と、配線容量，配線抵抗との関係を解析し、試作したLSIによる実験結果との比較検討を行なう。

第 4 章　高速大規模集積回路への応用

ここでは、第2章，第3章の結討結果にもとづき、ＶＩＬを用いた高速メモリと、DSA MOSデバイスを用いた高速ランダムロジックＬＳＩの試作を行った結果を述べる。

第 5 章　結　　論

ここでは以上の章の結論を述べる。

第1章　文　献

(1) 日本電子工業振興協会；新電子デバイスに関する調査研究報告書 ― 超高速スイッチングデバイス調査報告 ― ，５１－Ｍ－１１７，Ｐ．５，１９７６．

(2) 中野；“バイポーラ　ＬＳＩ”，半研振　他共催　第１５回記念　半導体専門講習会予稿集，Ｐ．３９，１９７７．

(3) 垂井編；“トランジスタの特性と回路”，誠文堂　Ｐ．８２，８７，１９６１

(4) K. Hart and A. Slob; "Integrated injection logic- A new approach to LSI" ISSCC Dig. Tech. Papers, p. 92 Feb. 1972.

(5) H.H. Berger and S.K. Wiedmann; "Merged transistor logic- A low-cost bipolar concept", ISSCC Dig. Tech. Papers, p. 90, Feb. 1972.

(6) J.L. Stone and J. Agraz-Guerena; "Application of ion implantation techniques to the optimization of integrated injection/mergred transistor logic circuits", Proc. International Microelectronics Conference, Anaheim, California, p. 72, Feb. 11-13, 1975.

(7) J.W. Hanson, J.N. Fordemwalt, and R.J. Huber; "Fabrication and performance of ion implanted I^2L devices", IEDM Dig. Tech. Papers, p. 281, Dec. 1975.

(8) H.H. Berger and S.K. Wiedmann; "Schottky transistor logic", ISSCC Dig. Tech. Papers, p. 172, Feb. 1975.

(9) F.W. Hewlett, Jr.; "Schottky I^2L, "IEEE J. Solid-State Circuits, Vol. SC-10, p. 343, 1975.

(10) R.A. Allen and K.K. Schuegraf; "Oxide-isolated integrated injection logic, "ISSCC Dig. Tech. Papers, p. 16, Feb. 1974.

(11) P.S. Walsh, V. Blatt, and L.W. Kennedy; "Substrate fed logic-a novel form of injection logic", Proc. 1st ESSCIRC, p. 122, Sept. 1975.

(12) Y. Tokumaru, S. Shinozaki, M. Nakai, S. Ito and Y. Nishi; "I^2L with self-aligned double-diffusion injector", ISSCC Dig. Tech. Papers, p. 100, Feb. 1976.

(13) F.F. Fang, M. Hatzakis and C.H. Ting; "Electron-beam fabrication of ion implanted high-performance FET circuits", J. Vac. Sci. Technol., Vol. 10,p. 1082, 1973.

(14) H.N. Yu, R.H. Dennard, T.H.P. Chang and M. Hatzakis, "An experimental high-density memory array fabricated with electron beam", ISSCC Dig. Tech. Papers, p. 98, Feb. 1973.

(15) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE, J. Solid-State Circuits, Vol. SC-9, p. 256, 1974.

(16) Y. Tarui, Y. Hayashi, and T. Sekigawa, "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid-State Devices, 1969; also, J. Japan. Soc. appl. Phys., Vol. 39, suppl., p. 105, 1970.

(17) T.J. Rodgers and J.D. Meindl; "VMOS: High-speed TTL compatible MOS logic", IEEE J. Solid-State Circuits, Vol. SC-9, p. 237, 1974.

第２章　バイポーラ型大規模集積回路の高速化制限要因の解析

２．１　序

ＭＯＳデバイスは低消費電力であり，工程の簡単さのためＬＳＩ化に適し，バイポーラデバイスは高速であるが素子間分離を必要とし，工程数が多いためＳＳＩ（Small Scale Integrated Circuits），ＭＳＩ（Medium Scale Integrated Circuits）に適していると考えられてきたが，その技術的発展過程を見たとき，バイポーラ，ＭＯＳデバイス各々の固有の良さを生かすという方向と，欠点を打破する方向があった。バイポーラにおいて，前者は絶縁物分離ＥＣＬ（エミッタ結合論理）による高速の極限追求にあり，後者はI^2L（集積化注入論理）に代表される回路の簡素化，プロセスの単純化，及び絶縁物分離を中心とする分離方式の改良にその成果をみることができる。

I^2Lはバイポーラ方式であるが分離拡散領域が不用であり，かつnpn，pnpトランジスタの各部を共用する複合構造のため，高集積化が可能であり，低消費電力性と相まって，新しいバイポーラＬＳＩ方式としてその応用が期待されている。現在I^2Lは研究の段階を脱し，そのすぐれた特徴を生かし製品化の段階にあり，ＣＰＵ，４ＫビットＲＡＭ，デジタル，アナログ時計等がすでに製品化されており，今後益々I^2Lの応用分野が広がろうとしている。しかし，I^2Lの用途の拡大をはかる上で一つの問題は，npnトランジスタを逆動作（通常エミッタとして使われる領域をコレクタとして用い，通常コレクタとして用いられる領域をエミッタとして用いる）させているためにバイポーラＩＣとしては速度が遅い点にある。高速化を妨げる要因としては，エミッタ領域である低濃度のｎ型エピタキシャル層に蓄積する正孔の電荷量が多いこと，及び飽和型論理素子であるためと考えられ，動作速度を改善する方式として種々の改良案が提案されてきた。例えばnpnトランジスタのコレクタあるいはベースにショットキーダイオードを付加し，クランプすることにより論理振幅を下げ，高速化を計るＳＴＬ（Shottky Transistor Logic）[1]，酸化膜分離及びイオン注入を活用して蓄積電荷を減少させ高速化を計るI^3L（Ion Implanted I^2L）[2]，埋込みｐ領域によってnpnトランジスタのベース領域の不純物分布を改善すると同時にショットキークランプダイオードを付加したup-diffused I^2L[3]等が挙げられ，このup-diffused I^2Lでは最小遅延時間が2.5nsに達している。しかしながらこれらはいずれも性能向上のために，標準的な製造工程以外に新規な工程を付加する必要がある。

本章では，バイポーラＬＳＩの高速化制限要因の解析を行うためバイポーラデバイスとしてI^2Lをとりあげ，I^2Lの高速化について検討を行う。そして，従来技術を用いてI^2Lデバイスの性能向上を達成するものとして縦型注入論理素子ＶＩＬ（Vertical Injection Logic）

の提案を行う。VILは，npnトランジスタのベースの直下にインジェクタを配置し，エピタキシャル層に蓄積する正孔電荷を減少させるとともに，正孔の実効的な寿命を短かくし，速度の改善を行おうとするものである。

2.2節で各種のバイポーラ集積回路技術の概要を述べ，2.3節で従来技術のI^2Lの問題点を明確にし，2.4節で新構造デバイスVILの製造プロセスを述べる。続いてVILデバイスの静的電気特性を述べた後，VILの動的電気特性を，内因性遅延時間を中心として，理論計算と実験との比較対応を行いつつ議論する。

2．2　各種バイポーラ集積回路デバイス技術[(4),(5)]

バイポーラLSIデバイス技術を目的ごとに分類すると，表2.2.1に示す通りになる。製造プ

表2.2.1　各種バイポーラデバイス技術

プロセス技術	分離方式	CDI，BDI，TRIM	プロセスの簡素化
		ISOPLANER I，II，OXIM	絶縁物分離による高密度化
		V−ATE，VIP，Polyplaner	Si− 異方性エッチによる高密度化
	電極形成	SET，PSA，PMP	高密度化
	複合構造	I^2L，SITL	低エネルギー高密度化
回路技術	TTL系	STTL，LSTTL	低電力，高速
	CML系	ECL，NTL	高速

ロセス技術を大別すると，i)分離方式の開発および改良，ii)電極形成の改良による高密度化に分けられ，回路技術的にみると，iii)TTL(トランジスタートランジスタ論理)系とiv)CML(電流モード論理)系に分類することができる。またプロセス技術，回路技術が融合したものとして，v)複合構造によるプロセスの単純化，回路の簡素化をはかったI^2L，SITL(Static Induction Transistor Logic)がある。

i)はまた(a)プロセスの簡素化，(b)絶縁物分離，(c)Si 異方性エッチに分けられる。(a)のCDI[(6)]，BDI[(7)]，TRIM[(8)]はいずれもベル研から発表されたものであり，バイポーラ製造工程のマスク数を減らす試みである。CDI，BDIはいずれも分離拡散をコレクタあるいはベース

拡散工程と共用するようになっており，ＴＲＩＭでは，ＭＯＳプロセス並みの３枚のマスクを用いるようになっている。(b)のアイソプレーナＩ，Ⅱ[9]はいずれも選択酸化技術によって生成した厚い酸化膜により分離を行うものでpn接合分離に比べれば自己整合（セルフアライン），横方向拡散の制御の点で集積度を上げることができる。アイソプレーナⅡとＯＸＩＭ[10]はほとんど同じ構造であり。ＣＤＩと同じくエピタキシャル層をベース領域として用いているのが特徴である。(c)のＶＩＰ[11]，Ｖ－ＡＴＥ，Polyplaner[12]はいずれも（１００）面を基板として異方性エッチング技術を用い，分離領域としてＶ字形の溝を作りトランジスタを分離する方法で，ＶＩＰ，Polyplaner はＶ字形の溝を多結晶シリコンで埋めている。

ⅱ)のＰＳＡ[13]は多結晶シリコンに単結晶シリコンの選択酸化技術を適用することによりコンタクトを開孔する工程を不用にし，配線と素子を同時に形成し高密度化を可能にしたものである。ＳＥＴ[14]は不純物添加された多結晶シリコン及び，無添加の多結晶シリコンのエッチング速度の差を利用し，従来微細化が困難であったエミッタベース間隔を小さくしたものである。ＰＭＰ[15]は樹脂絶縁による３層配線技術であり，いずれも多結晶シリコンないしはポリイミド膜の性質をうまく利用したものである。

一方回路技術的には，ⅲ)のＴＴＬ系回路に示されるように，ショトキークランプを用いてトランジスタの飽和を制御し高速化をはかる方式や[16]，ⅳ)のＣＭＬ系論理におけるＥＣＬ，ＮＴＬ(Non-Threshold Logic)[17]，にみられる非飽和論理回路の改良による高速化技術があり，ＥＣＬのＦ100Ｋシリーズ　ではサブナノ秒のゲート遅延時間が得られている。

ⅴ)の複合構造採用により，製造プロセスの簡素化，高集積度化をはかったI^2L[18]は，１９７２年のＩＳＳＣＣ（国際固体回路会議）で発表された別名ＭＴＬ(Merged Transistor Logic)[19]と称せられるデバイスである。またSITL[20]はI^2Lにおけるnpnトランジスタのかわりに静電誘導トランジスタ（SIT）を用いたものである。I^2L，SITLともに高集積性と低消費電力性から，バイポーラＬＳＩの道を拓くものとして注目されている。

２．３　集積化注入論理（I^2L）デバイス

新しいバイポーラＬＳＩ技術I^2Lは，エミッタ接地のnpnトランジスタとベース接地のpnpトランジスタの複合構造からなり，npnトランジスタは増幅器，pnpトランジスタは，定電流源及び前段のnpnトランジスタの負荷としての動作を行なう。

全てのpnpトランジスタのベース領域と，逆動作形npnトランジスタ（通常のnpnトランジスタのエミッタとコレクタを交換した使い方をするため逆動作形と言う）のエミッタ領域がn形エピタキシャル層を共用しているために，分離拡散領域を設ける必要性がない。しかもpnp

トランジスタのコレクタと各npnトランジスタは，同一のp形領域を有するため，pnpトランジスタとnpnトランジスタとを金属配線で接続する必要がなく，またpnpトランジスタを負荷として用いるため，抵抗が不用であり，バイポーラ素子で大きな面積を占有していた不活性領域が大幅に低減され，高集積化される。

npnトランジスタのベースへの少数キャリヤの注入は，pnpトランジスタを用いて直接注入されるので，従来のバイポーラゲート回路に使用されていた抵抗は一切不要である。pnpトランジスタを負荷として用いかつ，そのインピーダンスを数桁の範囲で変えることができ，また論理振幅を0.5～0.7V位に低くすることができるため低消費電力化が容易である。また，I^2Lゲート特有の構造のためゲートの面積を小さくすることができ，寄生容量を少くできるため電力・遅延時間積を小さくすることができる。

I^2Lの拡散工程数は2回，写真製版工程は4回であり，プロセス技術的に見れば，従来のバイポーラプロセスの一部の工程を利用しているものと考えることができる。従って，通常のバイポーラトランジスタ回路と同一基板上にI^2L回路を組み込むことも可能である。

I^2Lデバイスの基本特性を決定する1つの要素は，npnトランジスタ及びpnpトランジスタの電流増幅率である。I^2Lゲートの動作モードから見て，取り扱うべき電流増幅率は，npnトランジスタでは，エミッタ接地電流増幅率βu，pnpトランジスタではベース接地電流増幅率αである。なお，βuの添字uは，電流の流れる向きがLSIの基板内　下から上に向うためupwordのuを付けたものである。βu（$=I_C/I_B$）の値は高い程ファンアウト数の制限が少く，かつnpnトランジスタの遮断周波数を大きくし，遅延時間を小さくする効果がある。一方，pnpトランジスタのαは，高い程消費電力が小さくなり，その結果電力遅延時間積も改善される。このようにI^2Lデバイスとしては，npnトランジスタのβuおよびpnpトランジスタのαは共に高いことが望ましい。

pnpトランジスタのベース接地電流増幅率αを向上させるにはn形のエピタキシャル層の比抵抗を上げると良いが，エピタキシャル層の比抵抗を上げることは，npnトランジスタのエミッタ注入効率を下げ，npnトランジスタのβuを低下させる。すなわち，n形エピタキシャル層の比抵抗設定は，pnpトランジスタのαを上げることと，npnトランジスタのβuを向上させることに関して相反する命題を含むことになる。

pnpトランジスタのαを上げるもう一つの方法は，ベース幅を狭くすることである。図2.3.1に示すように従来のI^2L構造では，実際のpnpトランジスタのベース幅$W_b(\theta)$は，写真製版後のベース幅をW，p^+拡散層の深さをx_jとすると，

$$W_b(\theta)=W-2x_j\cos\theta \qquad (2.1)$$

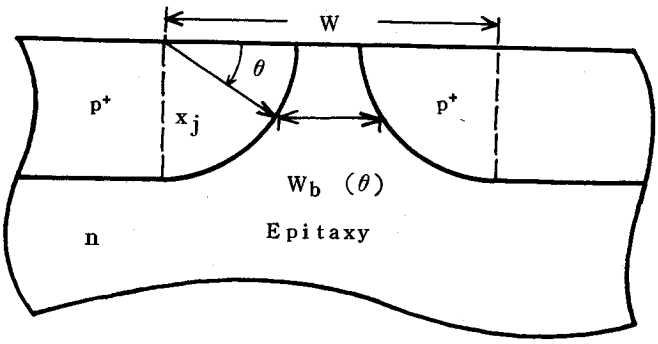


図2.3.1　横型pnp トランジスタのベース領域

で表現され，エピタキシャル層の表面から内部に離れるに従い，ベース幅は広くなる。この場合の平均ベース幅W_bは，

$$W_b = \frac{1}{x_j}\int_0^{\pi/2}(W - 2x_j\cos\theta)x_j\cos\theta\,d\theta$$

$$= W - \frac{\pi}{2}x_j \qquad (2.2)$$

で表わされ，エピタキシャル層表面のベース幅($W-2x_j$)に比べて広くなる。式（2.1）と式（2.2）からエピタキシャル層表面のベース幅$W_b(o)$と平均ベース幅W_bの差を小さくするには，x_jすなわち拡散深さを浅くする必要があり，かつそのベース幅を狭くするには，x_jが小さくなるに従い，Wも小さくする必要がある。ところがこのWは，小さくなるにつれてマスク寸法精度や，写真製版時のエッチング等の影響を受け制御が困難となる。後述するＶＩＬは上記pnp トランジスタのベース幅を拡散深さの制御により行おうとするものである。

図2.3.2及び図2.3.3はnpnトランジスタのベース面積およびpnpトランジスタのベース幅が同一であり，インジェクタがnpnトランジスタのベースの一方にあるデバイスと，四方にインジェクタを持つI^2L素子について遅延時間と消費電力の関係を比較して示す。図2.3.2は，エピタキシャル層の比抵抗が0.26Ω*cm*のときのものであり，四方注入方式のI^2L素子の方が一方注入方式のI^2Lデバイスと比較して，電力遅延時間積は1.3pJ（1μW/ゲート）から0.95pJに，また最小遅延時間は72ns/ゲートから35ns/ゲートへと小さくなっている。図2.3.3はエピタキシャル層の比抵抗が2.4Ω*cm*時のもので，四方注入のI^2L素子の方が一方注入方式のI^2Lデバイスと比較して，電力・遅延時間積は0.2pJ（1μW/ゲート）から0.07pJへと，また最小遅延時間は31ns/ゲートから11ns/ゲートへと小さくなっている。

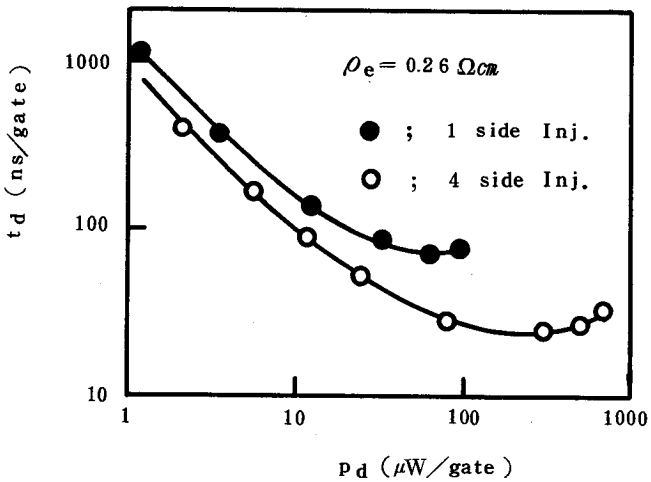


図 2.3.2　異なるインジェクタ形状をもつ I^2L ゲートの遅延時間

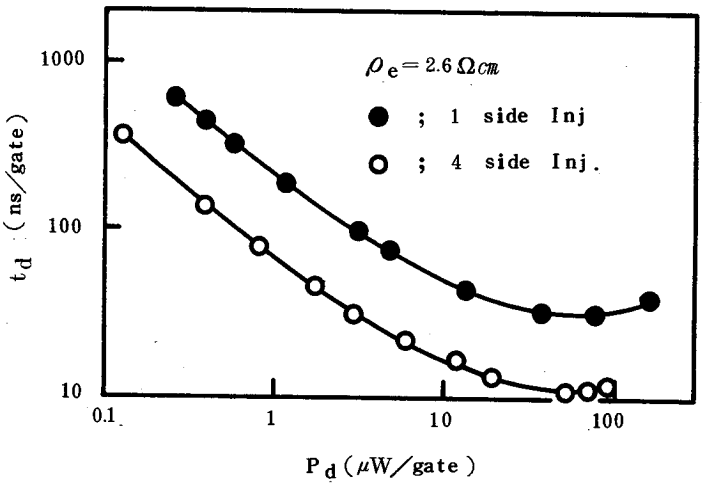


図 2.3.3　異なるインジェクタ形状をもつ I^2L ゲートの遅延時間

四方注入方式の I^2L デバイスの方が一方注入方式の I^2L 素子と比較してすぐれているのは pnp トランジスタのベース接地電流増幅率 α が高いことが原因であると考えられ，また，n形エピタキシャル層中に注入された正孔の蓄積時間が短いためと思われる。以上の観点から，横型 pnp トランジスタのかわりに縦形 pnp トランジスタを採用すれば，より一層 I^2L の性能を改

善することができると予想される。

2．4　新構造デバイス縦型注入論理デバイス（ＶＩＬ）[21),22),23)]

2.4.1　ＶＩＬデバイスの試作

ＶＩＬと従来からのI^2Lの構造断面図を図2.4.1に示す。またプロセスフローチャートの１例を図2.4.2.にに示す。

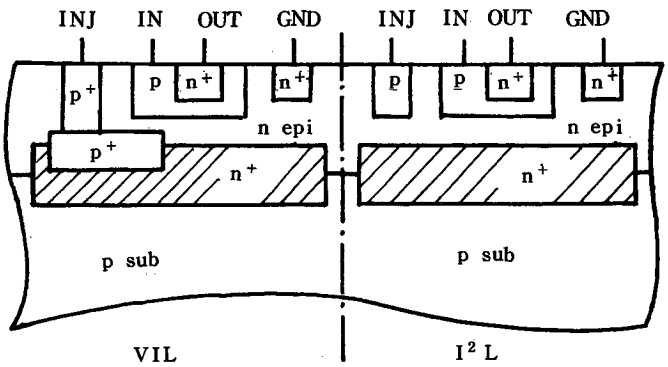


図2.4.1　I^2L及びＶＩＬのデバイス構造

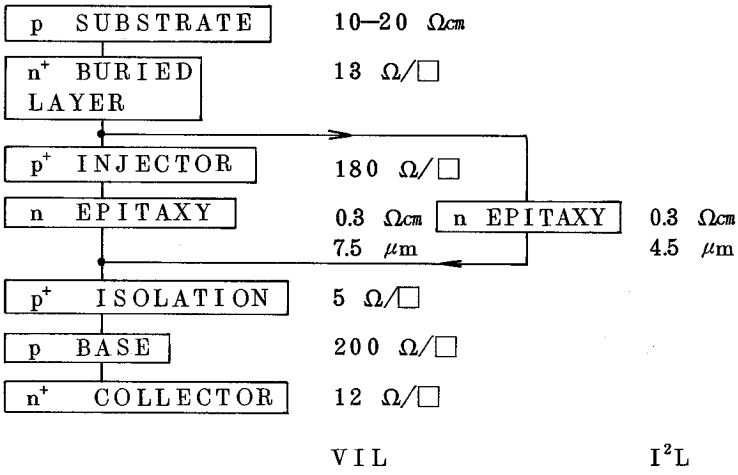


図2.4.2　ＶＩＬ及びI^2Lの製造プロセスフローチャート

用いる基板は比抵抗10～20Ωcmのp型（111）基板であり，先ず13Ω/□のn^+埋込層を砒素拡散で形成し，この埋込層内に下面インジェクタとなる180Ω/□のp^+領域を選択的に拡散する。下面インジェクタはVILの特徴である縦形pnpトランジスタのエミッタ領域となり，npnトランジスタのベースの一部領域の下に配置される。続いて6～8μmの厚さ，比抵抗0.3Ωcmのn形エピタキシャル層を成長させる。下面p^+インジェクタからの上方向再拡散層と，npnトランジスタのベース底面との間が，pnpトランジスタのベース幅となるため，1μm前後の値になるように，下面p^+インジェクタ濃度と，エピタキシャル層の厚み等を調整する。下面インジェクタへの電気的接続をとるために，5Ω/□のp^+領域を下面p^+インジェクタの一部分まで到達するように拡散する。このp^+領域と，下面p^+インジェクタでVILのインジェクタが構成される。続いて，npnトランジスタのベース領域として200Ω/□のp形領域と，コレクタとしての13Ω/□のn^+形領域を形成する。

図2.4.3にVILとI^2Lのインバータ鎖部分の顕微鏡写真を示す。図の左側部分がVILデバイス，右側がI^2Lを示し，また図中破線で示した領域は，下面P^+インジェクタの拡散されている場所を示す。

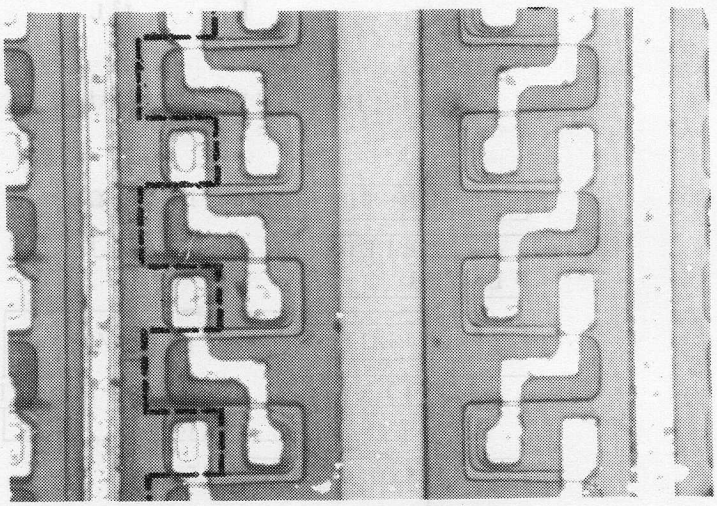


図2.4.3　VIL及びI^2Lのインバータ鎖の顕微鏡写真

図2.4.1からわかるようにVIL構造における縦形pnpトランジスタのベース領域は，均一に形成することができ，またnpnトランジスタのベースのp^+層の拡散深さを制御することで1

μm 以下のベース幅にすることが可能である。下面インジェクタと接続するための p^{++} 領域は，通常のバイポーラＩＣにおける分離拡散に相当するものを用い，不純物濃度を高くすることができる。下面インジェクタから下方向に注入される無効正孔電流も，n^+ 埋込層の存在により小さくすることができる。従って，ＶＩＬデバイスにおけるｐｎｐ トランジスタのベース接地電流増幅率αの大幅な向上が可能となる。

2.4.2　デバイス試作上の問題点

2.4.2.1　p^+ 埋込拡散領域の形成条件

ＶＩＬ構造におけるｐｎｐ トラスジスタのベース幅を制御するためには，下面 p^+ インジェクタの，ｎ形エピタキシャル層中への上方拡散量を知る必要がある。図 2.4.4 は，エピタキシャル層の比抵抗が１～２Ωcmの時の下面 p^+ インジェクタの上方向再拡散長 x_j と，エピタキシャル層成長直後，および成長後の熱処理時間Ｄｉｔｉ との関係を示したものである。ここでパラメータは下

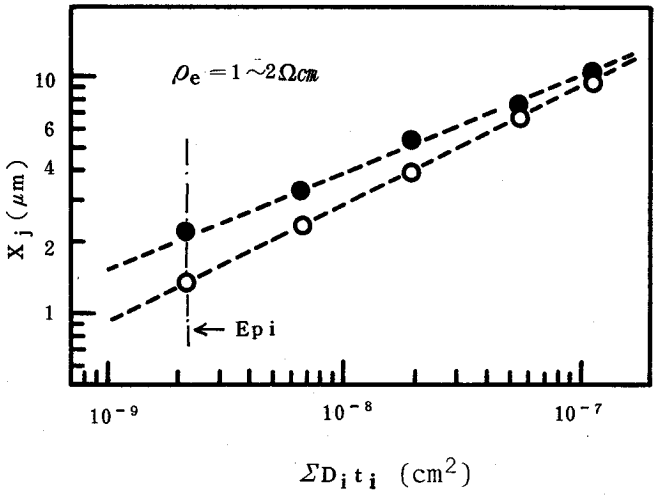


図 2.4.4　埋込インジェクタの上方向再拡散長と熱処理時間の関係

面 p^+ インジェクタの濃度である。図中の○印は，下面 p^+ を５０Ω／□にデポジットし，１１８０℃で湿酸素雰囲気で３０分，乾燥酸素雰囲気で１０分処理したものであり，●印はデポジションが同じく５０Ω／□で，１１８０℃，湿酸素雰囲気で３０分，乾燥酸素雰囲気で１５０分処理した場合である。下面 p^+ インジェクタの上方向再拡散長Ｘｊは，ウエハを角度研磨後ステンエッチをほどこし，ｐ形基板とｎ形エピタキシャル層の境界を原点として測定した。図中一点鎖線で示したよ

うにエピタキシャル成長の完了した時点で既にn形エピタキシャル層中へ下面 p^+ 層が再拡散している。

図2.4.5は，n^+埋込層内に50Ω／□でデポジットし，チッ素雰囲気で1000℃，50分熱処理して形成した下面 p^+ 領域が，0.3Ωcmのエピタキシャル層中に熱処理時間によって変化していく様子を示したものである。熱処理時間が長くなるにつれて，下面 p^+ インジェクタの再拡散長が増加すると同時に下面 p^+ インジェクタの幅も広がっている。

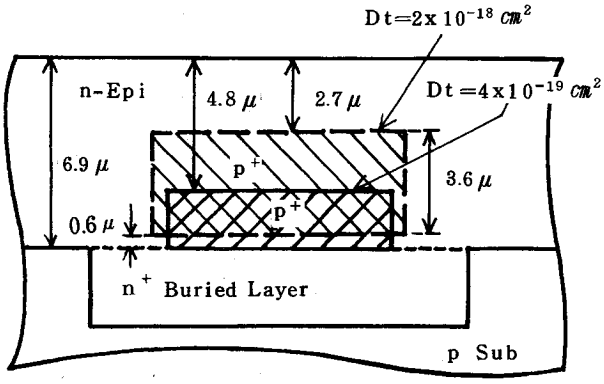


図2.4.5　埋込インジェクタの上方向再拡散（エピタキシャル層0.3Ωcm）

下面 p^+ 領域の拡散条件，エピタキシャル層成長後の熱処理サイクル，npnトランジスタの p^+ ベース領域の幅の関連から，npnトランジスタの性能にもっとも敏感なエピタキシャル層の厚みを最小化する方法で，パラメータの設定を行った。

2.4.2.2.　エピタキシャル層及び n^+ 埋込層の形成条件

VILデバイスの下面 p^+ インジェクタの不純物には，拡散係数の大きい硼素（ボロン）を使用しているため，エピタキシャル層の厚みは，通常の I^2L に比べて厚くなる。これはnpn トランジスタの電流増幅率βuにとって不利な条件である。そこでn形エピタキシャル層及び n^+ 埋込層のプロセスパラメータによってβuがどのような影響を受けるかの検討を行った。

I^2L 構造におけるnpnトランジスタの特徴は，エミッタ領域がn形エピタキシャル層と n^+ 埋込層の $n-n^+$ 構造からなっていることである。輸送効率およびコレクタ増幅率を1と仮定すると，npn トランジスタのβuは次式で表わされる。

$$\beta u = I_n(0)/I_p(0) \qquad (2.3)$$

ここで $I_n(0)$ はベースエミッタ接合での電子電流，$I_p(0)$ は正孔電流である。電子電流

$I_n(0)$はベースの濃度によって決まり，エミッタの濃度分布には関係しないので，βu を考える場合 $n-n^+$ 構造における正孔電流 $I_p(0)$ を解析すれば良い。いま $n-n^+$ 構造における不純物分布が理想的な階段接合をしていると仮定し，また $n-n^+$ 接合の空間電荷層内での再結合電流を無視すると，正孔電流 $I_p(0)$ は次のようにあらわされる。

$$I_p(0) \propto \frac{D_p}{L_p}\frac{n_i^2}{N_n}\frac{\sinh\frac{W_E}{L_p}+K\cosh\frac{W_E}{L_p}}{\cosh\frac{W_E}{L_p}+K\sinh\frac{W_E}{L_p}} \qquad (2.4)$$

$$K \equiv L_p D_p^+ N_n / L_p^+ D_p N_n^+$$

ここで n_i は真性半導体の濃度，W_E はエピタキシャル層の実効厚み，N_n L_p D_p はそれぞれn形エピタキシャル層中での不純物濃度，正孔拡散長，正孔拡散係数である。またKは $n-n^+$ 接合に起因する定数でありKが小さいほど正孔に対するブロッキング効果が大きくなり，βu が大きくなる。図2.4.6は βu と n^+ 埋込層の濃度 N_n^+ との関係を，実効エピタキシャル層の厚み W_E をパラメータとして示す。図より W_E が0.5 μm以上の場合 N_n^+ が $10^{19}/cm^3$ 以上あれば充分であることがわかる。βu とn形エピタキシャル層の比抵抗 ρ_e との関係を図2.4.7に，βu とエピタキシャル層の実効厚みとの関係を図2.4.8に示す。図2.4.8において，実線は $n-n^+$ 接合空間

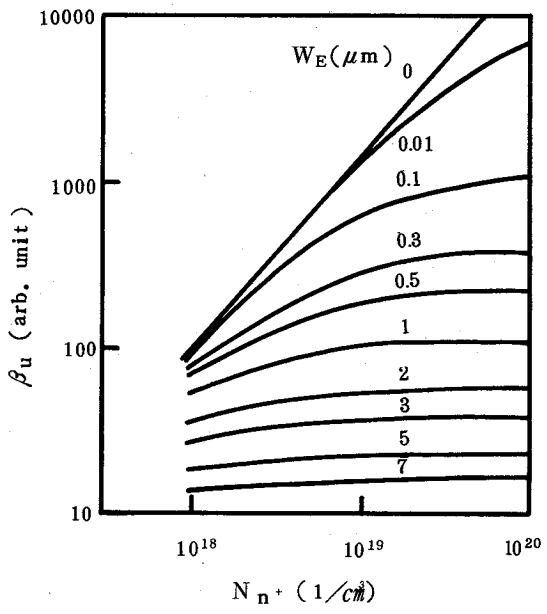


図2.4.6　電流増幅率 βu と，n^+ 埋込層の濃度 N_n^+ との関係

電荷層内での再結合電流を無視した場合，破線は n−n⁺ 接合空間電荷層内での再結合効果を含めた場合の理論値を示す。また○印は 2.2 ～3.2 Ωcmの比抵抗をもつエピタキシャル層の場合の

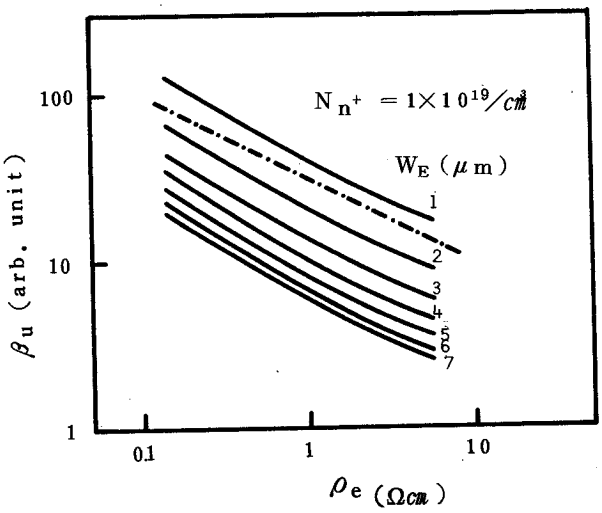


図 2.4.7　電流増幅率 βu　vs.　エピタキシャル層の比抵抗 ρe

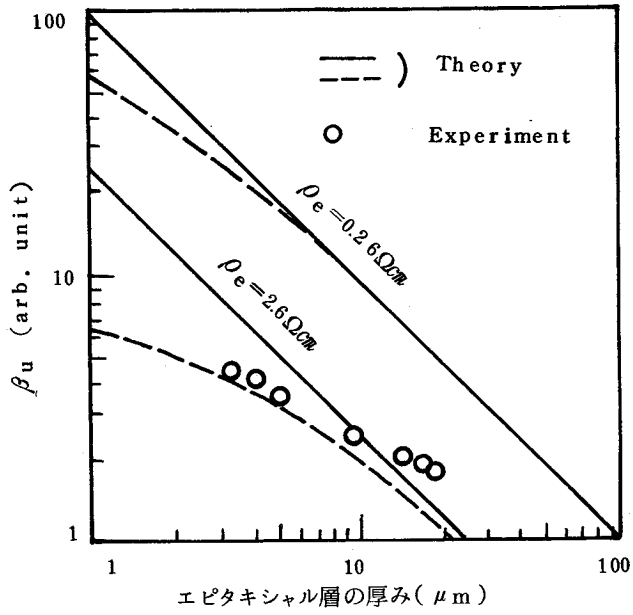


図 2.4.8　電流増幅率 βu　vs.　エピタキシャル層の厚みWE

実測値である。βu のエピタキシャル層厚み依存性の実測値は，空間電荷層内での再結合を考慮した場合の式によりよく一致し，n−n⁺ 接合空間電荷層内での再結合を無視し得ないことが示

唆される。以上の検討結果から，n－n^+構造を有するnpnトランジスタのβuを高くするためには

i）エピタキシャル層の比抵抗を低くする

ii）エピタキシャル層の実効厚みを薄くする

ことが必要である。

前述の如くＶＩＬ構造においてエピタキシャル層の厚みを薄くすることは困難であるが，下面p^+インジェクタの周囲に下面n^+層を形成することによって実効的なエピタキシャル層の厚みを薄くすることが考えられる。下面n^+層はエピタキシャル層中への上方向再拡散を利用してエピタキシャル層のの実効厚みを小さくするのが目的であるから，拡散係数の大きい不純物リンを用いるのが有効である。下面p^+インジェクタの底面に存在するn^+埋込層は，拡散係数の小さい砒素が使用されているため，pnpトランジスタの電流増幅率αへの影響はない。図2.4.9はp形の比抵抗1Ωcmのエピタキシャル層を使って，不純物リンで形成された20～30Ω／□の下面n^+

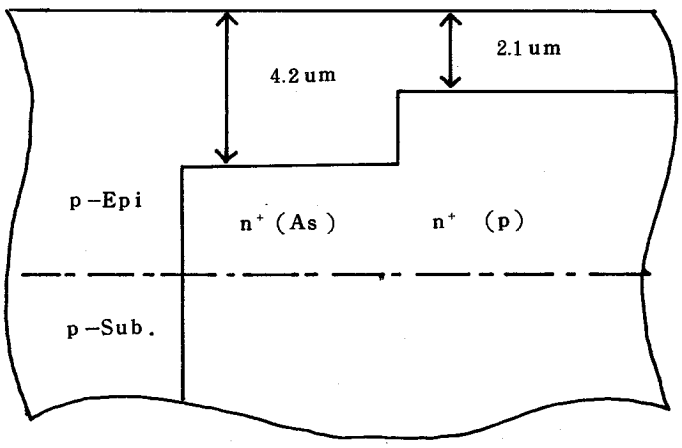


図2.4.9　砒素（As）及びリン（P）の上方向再拡散

層と，不純物砒素で形成された13Ω／□のn^+埋込層の上方向再拡散深さを測定した結果を示す。従ってリンの下面n^+拡散を用いることによって実効のエピタキシャル層厚みを低減することができる。

図2.4.10は，I^2Lのnpnトランジスタのβuとβdの関係が，下面n^+層の有無によってどう変るかを示したものである。ここでβdは，下方向の電流増幅率であり，I^2L構造におけるコレクタをエミッタとし，エミッタをコレクタとして測定したものである。図において○印が下面n^+層無しの場合，●印が下面n^+層有りの場合である。同じβdの値に対して，下面n^+層が

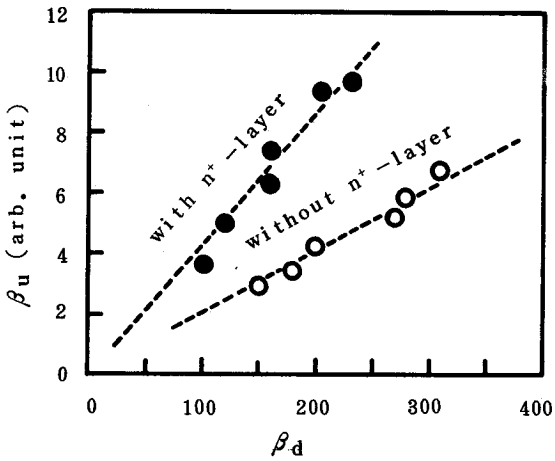


図 2.4.1 0　埋込 n^+ 層が電流増幅率に与える影響

有る場合は，無い場合に比べて大きなβuの値を持つことがわかる。

2.4.2.3　p^+ 埋込拡散領域の低抵抗化

ＶＩＬの特長の１つは下面 p^+ インジェクタを採用して pnp トランジスタのαを改善することにあるが，エピタキシャル層表面から下面 p^+ インジェクタまで達するように下方向に拡散された p^+ インジェクタをインジェクタの取出口とし，下面 p^+ インジェクタを配線としても利用することができる。すなわち，ＶＩＬ構造では，図 2.4.1 1に示すようにnpn トランジスタのベ

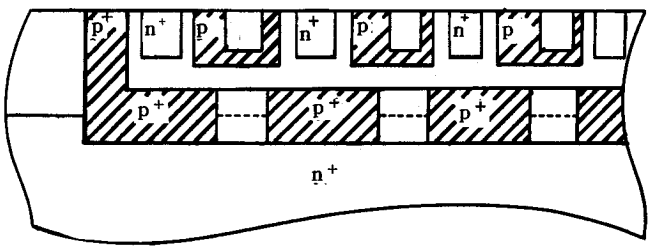


図 2.4.1 1　埋込 p^+ 領域の配線への利用

ースの側面にインジェクタを設ける必要がなくなり，その結果，集積度を高くすることができる。

I^2L／ＶＩＬともにインジェクタ電流は，ｐｎ接合に順方向電圧を印加することによって制御するため，インジェクタ部分の電圧降下は，デバイスの動作速度，その他に悪影響を与える。従って下面 p^+ インジェクタを配線して用いるためには下面インジェクタの抵抗を下げる必要があ

る。そのためには下面 p^+ 領域の濃度を上げる必要性を生ずるが，下面 p^+ の濃度が高いはど上方向への再拡散量が増加し，エピタキシャル層の厚みの増大をまねく。また，エピタキシャル層の実効濃度を下げることにより，その結果 n p n トランジスタの βu を低下させる。さらに下面 p^+ インジェクタの底面に存在する n^+ 埋込層の実効濃度を低下させることにもなる。これらの欠点をさける方法として二重のエピタキシャル層を用いる方法を検討した。

すなわち，n^+ 埋込層の上に直接 p^+ インジェクタを拡散するのでなく，図 2.4.1 2 に示すように薄いエピタキシャル層を界在させることによって，下面 p^+ インジェクタの表面濃度を増すことなく下面 p^+ インジェクタの抵抗を下げることができる。また下面 p^+ インジェクタの底面に位置する n^+ 埋込層の実効濃度の低下も低減することができる。

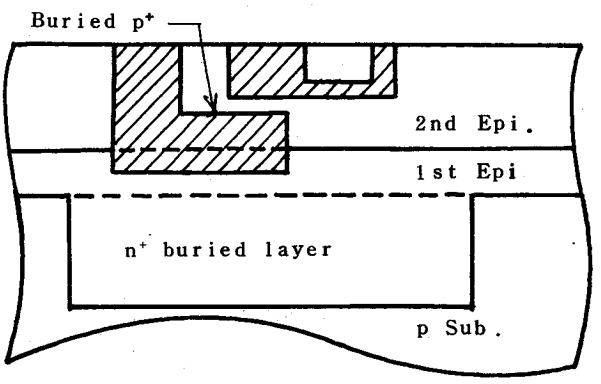


図 2.4.1 2　二重エピタキシャル構造

n^+ 埋込層に直接下面 p^+ インジェクタを拡散した場合，図 2.4.1 3 に示すように n^+ 埋込層の高濃度不純物がエピタキシャル成長や，その後の高温熱処理中に上方向に再拡散してくるため，下面 p^+ インジェクタの実効不純物濃度（図中の実線ハッチ部）が低下する。また n^+ 埋込層の実効不純物濃度も下面 p^+ インジェクタの下方向への再拡散により低下する。（図中破線のハッチ部）これに対して n^+ 埋込層の上に第 1 層目の薄いエピタキシャル層を 2 ～3 μm 形成し，その後下面インジェクタを形成する二重エピタキシャル法の場合は，図 2.4.1 4 に示すように，n^+ 埋込層からの再拡散の影響が少ないために，下面 p^+ インジェクタの実効不純物濃度（図中実線ハッチ部）が高くなる。また下面 p^+ インジェクタからの下方向への再拡散の影響が少なくなるため，n^+ 埋込層の実効不純物濃度（図中破線ハッチ部）の低下も図 2.4.1 3 の場合に比べて小さい。さらに二重エピタキシャル法の場合は，第 2 層目のエピタキシャル層を成長させるとき，n^+ 埋込層からの再拡散による第 1 層目のエピタキシャル層表面濃度は，n^+ 埋込層の最高濃度に

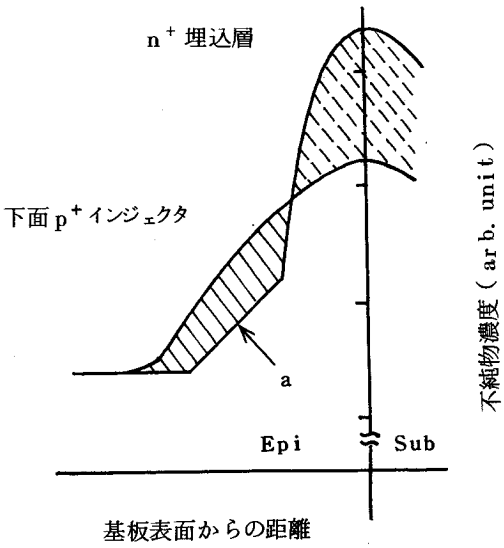


図 2.4.13　単一エピタキシャル構造における不純物分布

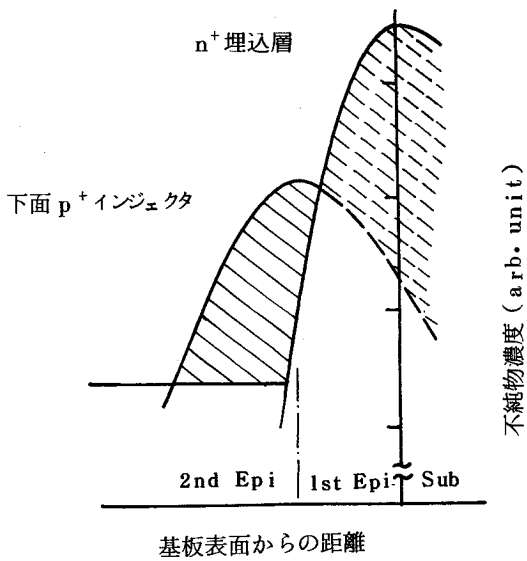


図 2.4.14　二重エピタキシャル構造における不純物分布

比べてかなり低下しているため，図 2.4.13 に示した n^+ 埋込層の高濃度表面からのエピタキシャル層成長時のオートドーピング量（曲線 a ）は必然的に小さくなるので，一層下面 p^+ インジェクタの実効不純物濃度の増大に寄与する。

2．5　電気的特性の解析[22)－27)]

2.5.1　はじめに

ＶＩＬデバイスは，ｎｐｎトランジスタのベース領域直下に，下面p^+インジェクタと称するp^+拡散領域が配置された構造を有している。このp^+領域はＶＩＬゲートの静特性及び動特性に大きな影響を与える。ＶＩＬにおけるゲート遅延時間の改善は，この下面P^+インジェクタの働きによる。すなわち，エピタキシャル層内に蓄積される正孔電荷量が減少し，かつ正孔の実効的なライフタイムが低減されることによって，ゲート遅延時間が小さくなる。

ここではＶＩＬデバイスにおける下面p^+インジェクタの働きを明確化するために簡単な一次元モデルを用いて解析を行なう。すなわち少数キャリヤの流れは縦方向か横方向のいずれかのみであるとし，またｎｐｎトランジスタのベース電流としてエピタキシャル層に注入される正孔電流のみを扱う。

まず，電流増幅率と下面インジェクタ形状の関係を解析し，続いてゲート遅延時間を決定する機構を議論する。

2.5.2　ＶＩＬとI^2Lの電気的特性の比較

I^2L構造に於て，ラテラル pnp トランジスタは，注入効率及び電力遅延時間積の決定に重要な役割をはたす。低電流領域では，遅延時間t_dは，空乏層容量や，その他寄生容量からなる全負荷容量Ｃを充電する時間に依存する。この充電時間は，ｎｐｎトランジスタのベース電流I_Bに逆比例し，t_dは次式のようにあらわされる。

$$t_d = \frac{1}{2}\ \frac{C\Delta V}{I_B} = \frac{C\ \Delta V}{2\alpha_n I_{inj}} \qquad (2.5.1)$$

ここでI_{inj}は，インジェクタ電流，α_nは pnp トランジスタのベース接地電流増幅率（順方向動作時），ΔVは論理振幅である。

インジェクタ電流は，npnトランジスタの動作状態に応じて変化する。ｎｐｎ トランジスタが“ON”状態のとき，ラテラルｐｎｐトランジスタは飽和し，ｎｐｎトランジスタの正味のベース電流は減少する。結果としてインジェクタ電流は減少し，次のようになる。

$$I = \frac{I_B}{\alpha_n} - \alpha_i I_B \qquad (2.5.2)$$

ここでα_iは逆方向動作時のｐｎｐトランジスタのベース接地電流増幅率である。一方ｎｐｎトランジスタが“ＯＦＦ”状態であるとき，インジェクタ電流は，

$$I = \frac{I_B}{\alpha_n} \qquad (2.5.3)$$

で与えられ，従って平均の消費電力Pは，

$$P = \frac{V_{inj}}{2} I_B \left(\frac{2}{\alpha_n} - \alpha_i \right) \qquad (2.5.4)$$

で与えられる。ここでV_{inj}はインジェクタ電圧である。（2.5.1）と（2.5.4）式から，電力・遅延時間積を求めると次のようになる。

$$P \cdot t_d = \frac{C V_{inj} \Delta V}{2 \alpha_n} (2 - \alpha_n \alpha_i) \qquad (2.5.5)$$

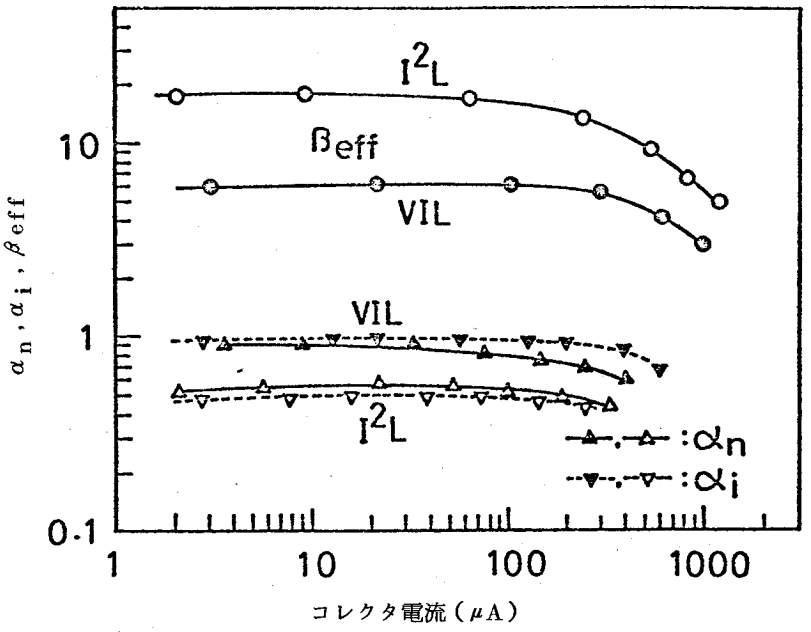
式（2.3.5）からわかるように，電力遅延時間積は，npn トランジスタの順方向電流増幅率α_nのみならず逆方向電流増幅率α_iにも依存する。従って，電力遅延時間積を改善するためには，まずα_nをできるだけ大きくし（1に近ずけ）続いて，α_iを大きくすることが必要である。従来技術のI^2L構造では，ラテラルpnpトランジスタのベース幅制御が写真製版の精度や，横方向拡散で決まり，α_n，α_iを十分高くすることは困難であった。

VILゲートは，npnトランジスタのベース領域の下にp^+の埋込層を設け，インジェクタとして縦形pnpトランジスタを用いる。p^+埋込層の浮き上り拡散を制御することにより，pnpトランジスタのベース幅を非常に狭く制御することができ，電流増幅率α_n，α_i　ともに大きくすることができる。図2.5.1(a)に順方向電流増幅率のα_n及び逆方向電流増幅率α_iとコレクタ電流の関係を示す。α_n，α_iともにI^2Lの0.4～0.6に対してVILでは0.8～1.0と増加している。

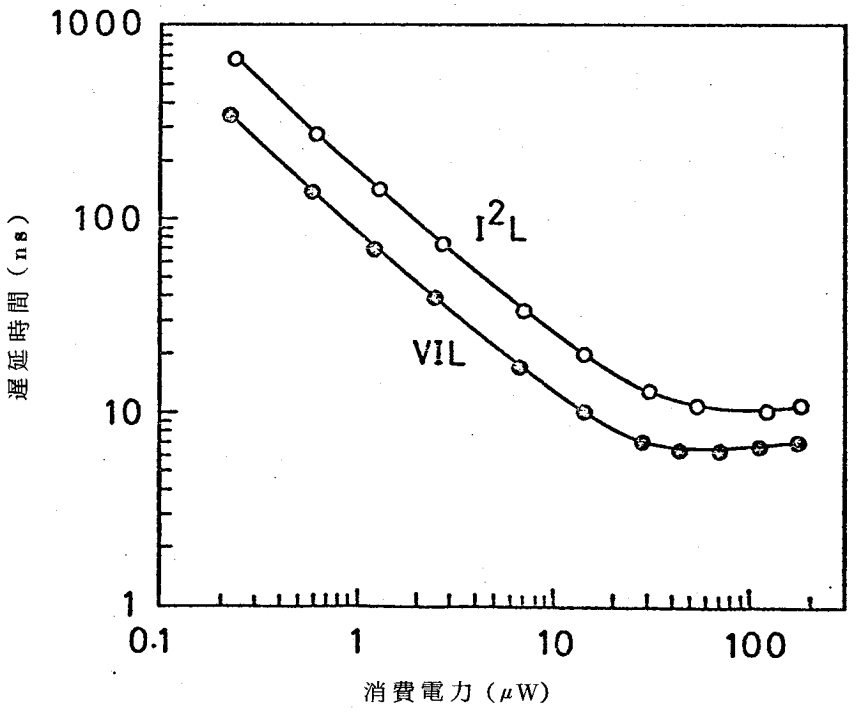
I^2Lの複合構造のために，npnトランジスタの実効的なエミッタ接地電流増幅率β_{eff}はpnpトランジスタの逆方向電流増幅率α_iに大きく影響される。VILではα_iが高いために，npnトランジスタのゲインβ_{eff}は減少している。インジェクタを接地した条件のもとに測定したI^2L及びVILのnpnトランジスタのβeffを図2.5.1(a)に示す。

耐圧（BV_{CEO}）と，npnトランジスタの逆方向電流増幅率βdに関しては，VILとI^2Lで有意差がなかった。これは，BV_{CEO}や，βdを決定するnpnトランジスタのコレクタ側の条件がVILとI^2Lで差がないためである。$BV_{CEO}=5V$，$\beta d=200$～400の値がVILとI^2Lで得られている。

上述したようにVILの特長は，埋込みインジェクタの導入によるpnpトランジスタのゲインの改善にある。これらのα_n，α_iの高い値の為PD積を大幅に改善することができる。一例として，図2.5.1(b)に従来のI^2LとVILデバイスの遅延時間と消費電力の測定結果を示す。低電力領域におけるPD積がI^2Lの0.2 pJに対してVILでは0.07 pJの値が得られている。さらに最小遅延時間として，I^2Lの10.5 nsに比べてVILでは6.5 nsが得られた。最小遅延時間の改善は，VILのもう一つの特長である。大電力領域では，最小遅延時間は，npnトランジスタのベース直下のエピタキシャル層中に蓄積される正孔量によって決定される。VIL構造で



(a)



(b)

図2.5.1　ＶＩＬ及びI^2Lの(a)電流増幅率と(b)遅延時間

は，埋込インジェクタ領域の存在のために，正孔蓄積量と，正孔の実効ライフタイムをともに小さくすることができ，結果的に最小遅延時間を小さくすることができると考えられる。なお，これらの詳細な解析は次の節で述べる。

2.5.3　ＶＩＬにおける電気的特性の解析

2.5.3.1　静的特性

I^2Lの速度を決定する因子の１つとしてｎｐｎトランジスタのエミッタ接地電流増幅率が挙げられる。I^2Lはｐｎｐトランジスタとｎｐｎトランジスタの複合構造になっているため，ｎｐｎトランジスタの増幅率は，インジェクタの存在によって影響を受ける。ｎｐｎトランジスタ単体の上方向電流増幅率βuに対して，I^2Lデバイスにおけるインジェクタを接地した条件で測定したエミッタ接地電流増幅率をβeffとする。ＶＩＬでは，インジェクタの面積が広いため，それだけｎｐｎトランジスタのβeffに及ぼす影響が大きく，インジェクタ面積とβeffとの関係を明らかにすることはＶＩＬ構造の最適化をはかる上で極めて重要である。

図2.5.2に示す単純化したＶＩＬ構造についてβeffと下面インジェクタの形状との関係を，

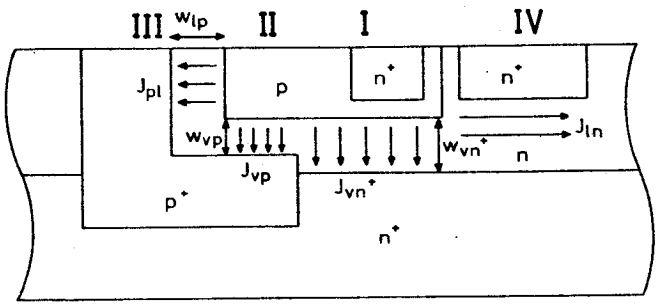


図2.5.2　ＶＩＬ構造における正孔電流

一次元モデルで導出する。ここでｎｐｎトランジスタのベース領域における再結合電流は無視し，ベース電流としてはエピタキシャル層に注入される正孔電流のみを考える。従って正孔電流は境界条件の種類に応じて次の４つに分類できる。

i）　$n-n^+$接合に流れる正孔電流（I_{vn^+}）

ii）　下面インジェクタに流れる正孔電流（I_{vp}）

iii）　ベースと対向したインジェクタに流れる正孔電流（$I_{\ell p}$）

iv）　ベース周辺のn^+領域を通して横方向に流れる正孔電流（$I_{\ell n}$）

エピタキシャル層内の正孔に対する埋込インジェクタの電気特性に与える影響を考慮するために，図2.5.2における領域を4つに分割して検討する。領域Ⅰは，n^+埋込み層がnpnトランジスタのベース直下に存在する領域に対応し，領域Ⅱは埋込みインジェクタがベース直下にある領域，領域Ⅲはラテラルpnp動作が優先する領域である。最後に領域Ⅳはn^+リングの下の領域に対応する。

解析にあたって，少数キャリアの流れは，縦方向か，横方向のいづれかのみであると仮定した。エピタキシャル層内における正孔の分布は，連続の方程式を解くことによって求めることができる。図2.5.3は，npnトランジスタのベース—エピタキシャル界面を原点として，上記の

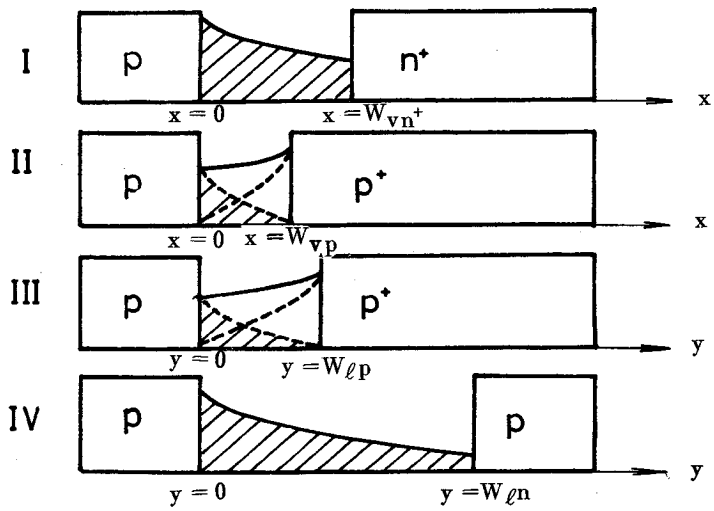


図2.5.3　VIL構造の各部における正孔分布（$W_{\ell n}$は隣接するnpnトランジスタのベースまでの距離）

領域Ⅰ～Ⅳにおける境界条件及び，少数キャリア分布の模式図を示す。領域Ⅱ及びⅢでは，キャリア分布は，npnトランジスタのベースから注入されたものと，インジェクタ側から注入されたものの2つの成分に分割することができる。このうち，ベースから注入された成分が，後述する真性遅延時間に関係する。この分布はインジェクタが接地されているという境界条件のもとに求めることができる。正孔の分布は上記の領域Ⅰ～Ⅳに於いて，以下の通り与えられる。[28]

領域Ⅰ

$$P_{vn^+}(x)=P(0)\frac{\sinh((W_{vn^+}-x)/L_p)+K\cosh((W_{vn^+}-x)/L_p)}{\cosh(W_{vn^+}/L_p)+K\sinh(W_{vn^+}/L_p)} \quad (2.5.6)$$

領域Ⅱ

$$P_{vp}(x)=P(0)\frac{\sinh((W_{vp}-x)/L_p)}{\sinh(W_{vp}/L_p)} \quad (2.5.7)$$

領域Ⅲ

$$P_{\ell p}(y) = P(0)\ \frac{\sinh((W_{\ell p} - y)/L_p)}{\sinh(W_{\ell p}/L_p)} \qquad (2.5.8)$$

領域Ⅳ

$$P_{\ell n}(y) = P(0)\ \frac{\sinh((W_{\ell n} - y)/L_n)}{\sinh(W_{\ell n}/L_p)} \qquad (2.5.9)$$

ここで，

$$K \equiv \frac{L_p}{D_p}\left(\frac{W_{SC}}{\tau_{SC}}\ \frac{kT}{\Delta q} + \frac{D_{PS}}{L_{PS}}\ \frac{N_n}{N_{n^+}}\right) \qquad (2.5.10)$$

$$\Delta = \frac{kT}{q} \cdot \ln(N_{n^+}/N_n) \qquad (2.5.11)$$

である。L_p と D_p はエピタキシャル層内における正孔の拡散長，拡散係数であり，W_{SC}，L_{pS}，D_{PS}，τ_{SC} は $n-n^+$ 接合の空間電荷層の厚さ及び空間電荷領域における正孔の拡散長，拡散係数，ライフタイムである。ベース領域からエピタキシャル層への正孔注入による電流密度は，（2.5.6～2.5.9）式を用いて

$$J_{vn^+} = -qD_p \left.\frac{\partial P_{vn^+}}{\partial x}\right|_{x=0} \qquad (2.5.12)$$

$$J_{vp} = -qD_P \left.\frac{\partial P_{vp}}{\partial x}\right|_{x=0} \qquad (2.5.13)$$

$$J_{\ell p} = -qD_P \left.\frac{\partial P_{\ell p}}{\partial y}\right|_{y=0} \qquad (2.5.14)$$

$$J_{\ell n} = -qD_p \left.\frac{\partial P_{\ell n}}{\partial y}\right|_{y=0} \qquad (2.5.15)$$

で与えられる。

従って

$$J_{vn^+} = q\frac{D_P P(0)}{L_P}\left\{\frac{\sinh(W_{vn^+}/L_p) + K\cosh(W_{vn^+}/L_p)}{\cosh(W_{vn^+}/L_p) + K\sinh(W_{vn^+}/L_p)}\right\} \qquad (2.5.16)$$

$$J_{vp} = q\frac{D_P P(0)}{L_p}\coth(W_{vp}/L_p) \qquad (2.5.17)$$

$$J_{\ell p}=q\frac{D_P P(0)}{L_P}\coth(W_{\ell p}/L_P) \qquad (2.5.18)$$

$$J_{\ell n}=q\frac{D_p P(0)}{L_p}\coth(W_{\ell n}/L_p) \qquad (2.5.19)$$

となる。n－n$^+$ 接合面の面積をS_{vn^+}，ベース直下の下面インジェクタの面積をS_{vp}，ベースと横方向に対向するインジェクタの面積を$S_{\ell p}$，ベース周辺のn領域の断面積を$S_{\ell n}$ とすると各電流成分は次のようになる。

$$\begin{aligned} I_{vn^+} &= S_{vn^+} J_{vn^+} \\ I_{vp} &= S_{vp} J_{vp} + I_{vpo} \\ I_{\ell p} &= S_{\ell p} J_{\ell p} \\ I_{\ell n} &= S_{\ell n} J_{\ell n} \end{aligned} \qquad (2.5.20)$$

ここでI_{vpo}はベース直下以外の下面インジェクタに流れる正孔電流である。以上求めた電流成分の総和が，VILにおけるnpnトランジスタのベース電流になる。従ってこれをI_Bとすると，

$$\begin{aligned} I_B &= I_{\ell p}+I_{\ell n}+I_{vp}+I_{vn^+} \\ &= S_{\ell p} J_{\ell p}+S_{\ell n} J_{\ell n}+I_{vpo}+S_B J_{vn^+}+S_B(J_{vp}-J_{vn^+})\chi \end{aligned} \qquad (2.5.21)$$

ここで $\chi=S_{vp}/S_B$ であり，ベース直下の下面インジェクタ面積をベース面積で規格化した値である。

従来のI^2Lにおけるnpnトランジスタのベース電流I_{BO}は，(2.5.21)式の下面インジェクタへ流れる成分を0として得られ，次式で表わされる。

$$I_{BO}=S_{\ell po} J_{\ell p}+S_{\ell n} J_{\ell n}+S_B J_{vn^+} \qquad (2.5.22)$$

npnトランジスタのコレクタ電流は，ベース領域の濃度分布にのみ依存し，エミッタ領域の構造には関係しないと考えられる。従ってI^2Lの場合とVILの場合とで全く同一であるとすることができる。I^2Lのエミッタ接地電流増幅率をβ_{effo}とし，VILのnpnトランジスタのそれをβ_{eff}とする。下面インジェクタとベースの重なり量χとβ_{effo}/β_{eff}との関係を求めると次のようになる。

$$\frac{\beta_{effo}}{\beta_{eff}}=1+\frac{(S_{\ell p}-S_{\ell po})J_{\ell p}+I_{vpo}}{S_{\ell po} J_{\ell p}+S_{\ell n} J_{\ell n}+S_B J_{vn^+}}+\frac{S_B(J_{vp}-J_{vn^+})\chi}{S_{\ell po} J_{\ell p}+S_{\ell n} J_{\ell n}+S_B J_{vn^+}} \qquad (2.5.23)$$

（2.5.23）式から明らかなようにβeffo/βeff はχに比例し，ベースと下面インジェクタとの距離W_{vp} を短かくする程J_{vp}が大きくなるためχに対するβeffo/βeffの傾きが急になる。すなわち，W_{vp}が短かい程，下面インジェクタの面積を大きくすると急激にβeff が低下することを意味する。

図2.5.4は$n=1.5\times10^{16}/cm^3$，$n^+=10^{19}/cm^3$，$Dp=9.74\,cm^2/s$，$Lp=4.41\times10^{-3}cm$，$W_{\ell}p=3.0\,\mu m$とした場合のβeffo/βeff とχの関係を計算した結果である。図中実線は$W_{vn^+}=1.0\,\mu m$の場合であり，破線は$W_{vn^+}=2.0\,\mu m$の場合である。また●印は$W_{vp}\simeq1.5\,\mu m$の場

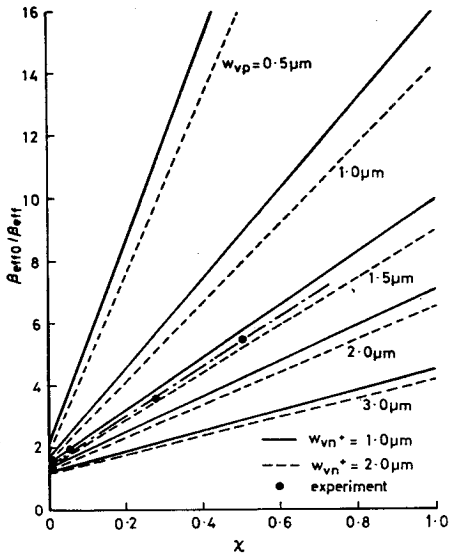


図2.5.4　βeff/βeff の埋込インジェクタ形状依存性

合の実験結果を示したものであり，理論と良い一致を示している。なお，Lps，Dsp，τ_{sc} はn^+基板中の値としてそれぞれ$6.35\times10^{-4}cm$，$1.09\,cm^2/s$，$3.7\times10^{-7}s$の値を用いた。

2.5.3.2　遅延時間の解析

I^2L　VILではnpnトランジスタのエミッタ領域がコレクタ領域に比べて低濃度であるため，ゲートの内因性遅延時間（大電力動作領域における最小遅延時間）を制限する一番大きな要素はエミッタ領域の時定数であると考えられる。すなわちエミッタであるエピタキシャル層中に蓄積された正孔電荷が，内因性遅延時間を決定していると考えられる。ここでは，2.5.3.1で解析したようにVIL構造を分割し，各領域における正孔電荷量を求め，内因性遅延時間を解析する。

図2.5.5において$t=0$でトランジスタTr.1がON状態，Tr.2がOFF状態，Tr.3が

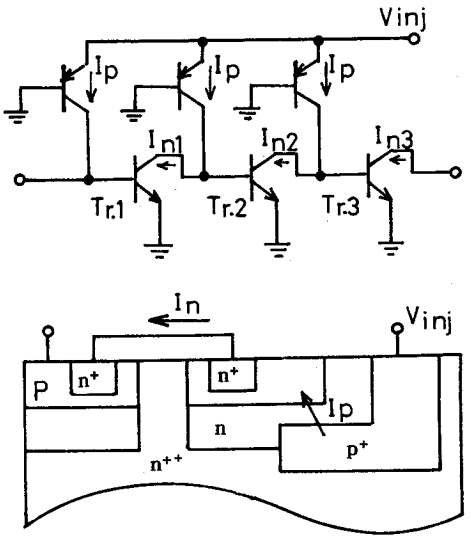


図2.5.5　ＶＩＬゲートにおける電子電流及び正孔電流

ＯＮ状態にあるとし，瞬間的にＴｒ．１をＯＦＦ状態にしたときＴｒ．３がＯＦＦ状態に遷移するまでの時間を t_o とすると，内因性遅延時間 t_{di} は $1/2\ t_o$ で表わされる。図2.5.5においてエピタキシャル層中に蓄積される１ゲートあたりの総正孔電荷量をＱとし，正孔のエピタキシャル層中における実効的なライフタイムを τ_{eff} とすると，過渡条件として次式の関係が得られる。

$$\frac{dQ}{dt} = I_p - I_n - \frac{Q}{\tau_{eff}} \qquad (2.5.24)$$

ここで，I_p はインジェクタからｎｐｎトランジスタのベースに注入される電流であり，I_n は前段のｎｐｎトランジスタのコレクタ電流である。$t \geqq 0$ で $I_{n1}=0$，$t=0$ で $I_{n2}=0$，$Q_2=0$，$I_{n3}=2\pi f_T \cdot \tau_{eff} I_p$，$Q_3=\tau_{eff} I_p$ の条件のもとに $I_{n3}=0$ になる時間 t_0 を求めると，$t_0 = 2t_{di}$ なる t_{di} に対して次式が得られる。[29]

$$2t_{di} = \tau_{eff} \ln \frac{2t_{di} + \tau_{eff}}{\tau_{eff} - \dfrac{1}{2\pi f_T}} \qquad (2.5.25)$$

ここで $2\pi f_T = I_n/Q$，$\tau_{eff} = Q/I_p$，$2\pi f_T \tau_{eff} = \beta_{eff}$ である。
また $2\pi f_T = 1/\tau_T$ とおいて（2.5.25）式を書きなおすと次式を得る。

$$\frac{t_{di}}{\tau_{eff}} = \frac{1}{2} \ln \frac{2\dfrac{t_{di}}{\tau_{eff}} + 1}{1 - 1/\beta_{eff}} \qquad (2.5.26)$$

$$\frac{t_{di}}{\tau_T} = \frac{1}{2}\beta_{eff} \ln \frac{2\frac{t_{di}}{\tau_T} + \beta_{eff}}{\beta_{eff} - 1} \qquad (2.5.27)$$

t_{di}/τ_T と β_{eff} の関係を図2.5.6に，t_{di}/τ_{eff} と β_{eff} の関係を図2.5.7にそれぞれ示す。図2.5.6から遮断時定数 τ_T が一定のとき遅延時間は β_{eff} の減少とともに小さくなることがわかる。$\beta_{eff} = \tau_{eff}/\tau_T$ であり，正孔の実効的なライフタイム τ_{eff} が短かいほど遅延時間が

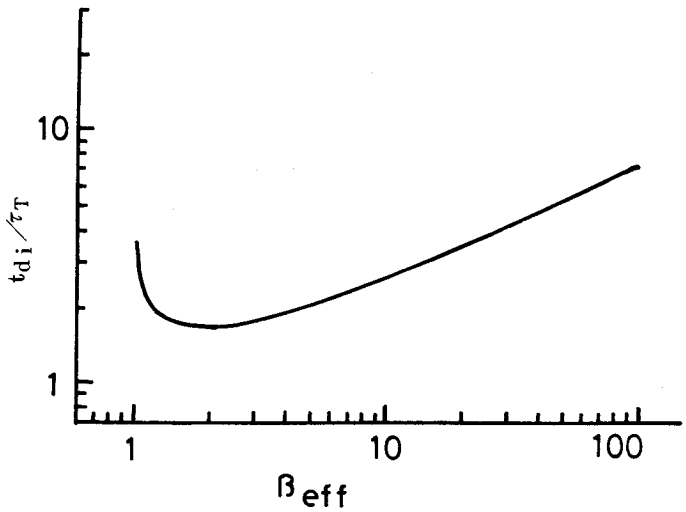


図2.5.6 t_{di}/τ_T vs. β_{eff}

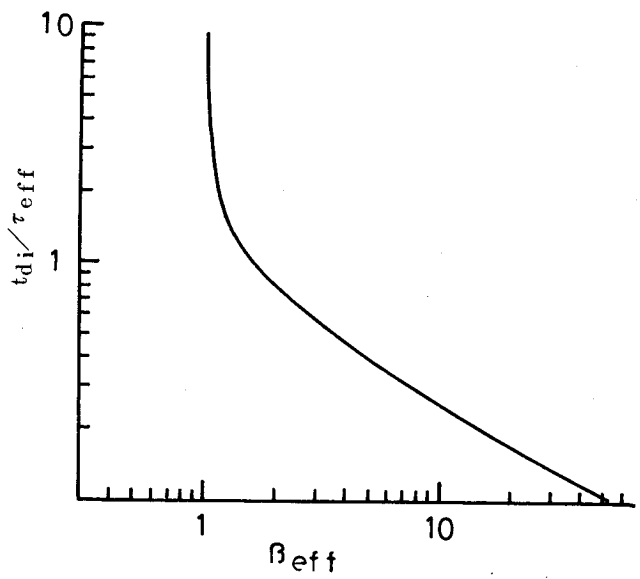


図2.5.7 t_{di}/τ_{eff} vs. β_{eff}

短かくなる。図2.5.7はτ_{eff}が一定の時，β_{eff}が高いほどt_{di}が小さくなることを示す。このことは，$\beta_{eff} \propto 1/\tau_T$であり遮断時定数$\tau_T$が小さいほど$t_{di}$が小さくなることを意味する。

以上のようにエピタキシャル層中に蓄積した正孔電荷は，エピタキシャル層中で再結合する成分と前段のｎｐｎトランジスタのコレクタ電流で引き抜かれる成分にわけることができる。後者はｎｐｎトランジスタの遮断周波数f_Tに結びつけられるものである。低濃度，大面積のエミッタをもつI^2L及び，ＶＩＬゲートでは真性遅延時間が主に正孔の実効的ライフタイムと遮断時定数によって決まっていると考えられる。

以下ＶＩＬにおいて下面インジェクタの対向面積（オーバラップ量χ）を変数とし，χとQ，τ_T，τ_{eff}の関係を求めt_{di}の解析を行なう。なお本解析において，空乏層中に蓄積される電荷は，最小遅延時間に寄与しないため無視した。またｎｐｎトランジスタのベースとコレクタ領域に蓄積される電荷は前述の理由により無視できるものと仮定し，エピタキシャル層中に蓄積される電荷のみを扱う。

単位面積あたりの正孔電荷は，式（2.5.6）～（2.5.9）を，対象とする領域にわたって積分することによって得られる。すなわち

$$q_{vn^+} = q\int_0^{W_{vn^+}} P_{vn^+}(x)\,dx \qquad (2.5.26)$$

$$q_{vp} = q\int_0^{W_{vp}} P_{vp}(x)\,dx \qquad (2.5.27)$$

$$q_{\ell p} = q\int_0^{W_{\ell p}} P_{\ell p}(y)\,dy \qquad (2.5.28)$$

$$q_{\ell n} = q\int_0^{W_{\ell n}} P_{\ell n}(y)\,dy \qquad (2.5.29)$$

従って，

$$q_{vn^+} = qP(0)\ L_p\ \frac{\tanh(W_{vn^+}/L_p)+K\left(1-\dfrac{1}{\cosh(W_{vn^+}/L_p)}\right)}{1+K\tanh(W_{vn^+}/L_p)} \qquad (2.5.30)$$

$$q_{vp} = qP(0)\ L_p\ \frac{\cosh(W_{vp}/L_p)-1}{\sinh(W_{vp}/L_p)} \qquad (2.5.31)$$

$$q_{\ell p} = qP(0)\ L_p\ \frac{\cosh(W_{\ell p}/L_p)-1}{\sinh(W_{\ell p}/L_p)} \qquad (2.5.32)$$

$$q_{\ell n}=q_P(0)\ L_p\ \frac{\cosh(W_{\ell n}/L_p)-1}{\sinh(W_{\ell n}/L_p)} \qquad (2.5.33)$$

で与えられる。

前節で I_B を求めたのと同じように，各領域の断面積を $S_{\ell n}$，$S_{\ell p}$，S_B とすると全蓄積電荷 Q は，

$$Q=S_{\ell n}q_{\ell n}+S_{\ell p}q_{\ell p}+S_B q_{vn^+}+S_B(q_{vp}-q_{vn^+})\chi \qquad (2.5.34)$$

で与えられる。一方従来の I^2L の場合の総電荷量 Q_0 を求めると，

$$Q_0=S_{\ell po}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+} \qquad (2.5.35)$$

従って Q/Q_0 と χ との関係は次のように表わせる。

$$\frac{Q}{Q_0}=1+\frac{(S_{\ell p}-S_{\ell po})q_{\ell p}}{S_{\ell po}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+}}$$

$$+\frac{S_B(q_{vp}-q_{vn^+})\chi}{S_{\ell po}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+}} \qquad (2.5.36)$$

$\tau_T=Q/I_n$ であり，従来の I^2L と，VIL とで n p n トランジスタのベース及びコレクタの条件が同じであるため，I_n は I^2L と VIL とで異ならない。従って I^2L の遮断時定数を τ_{TO} とすると τ_T/τ_{TO} と χ との関係は次式で表わされる。

$$\frac{\tau_T}{\tau_{TO}}=1+\frac{(S_{\ell p}-S_{\ell po})q_{\ell p}}{S_{\ell po}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+}}$$

$$+\frac{S_B(q_{vp}-q_{vn^+})\chi}{S_{\ell po}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+}} \qquad (2.5.37)$$

エピタキシャル層内の正孔の実効ライフタイムは

$$\tau_{eff}=Q/I_B \qquad (2.5.38)$$

で表わされる。従って（2.5.22）式の I_B を用いて，

$$\tau_{eff}=\frac{S_{\ell p}q_{\ell p}+S_{\ell n}q_{\ell n}+S_B q_{vn^+}+S_B(q_{vp}-q_{vn^+})\chi}{S_{\ell p}J_{\ell p}+S_{\ell n}J_{\ell n}+S_B J_{vn^+}+S_B(J_{vp}-J_{vn^+})\chi} \qquad (2.5.39)$$

で表わされる。

Q/Q_0 及び τ_{eff} を χ の関数として計算した結果を図2.5.8，2.5.9に示す。なお，計算に際

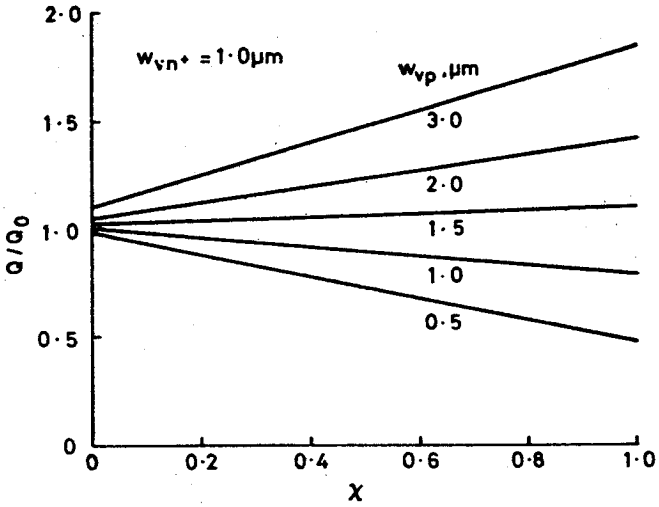


図 2.5.8　Q/Q_0の埋込インジェクタ形状依存性

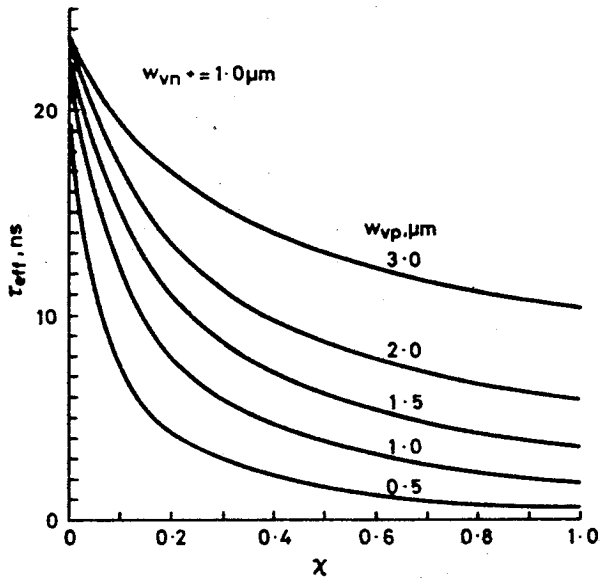


図 2.5.9　τeff の埋込インジェクタ形状依存性

して$W_{vn^+}=1.0\,\mu m$, $W_{\ell p}=3.0\,\mu m$, $N_n=1.5\times10^{16}/cm^3$, $N_{n^+}=10^{19}/cm^3$ の値を用いた。

W_{vp}すなわち縦形ｐｎｐトランジスタのベース幅が狭い場合には，下面インジェクタの面積を増加させると，Qが減少し，遮断時定数τ_T が減少する。しかしながらW_{vp}が厚くなると逆に

下面インジェクタの面積を増すことによってQが増加し，τ_Tが増大する。τ_{eff}については下面インジェクタの面積を増加させると急激に低下する。

図2.5.10は，従来構造のI^2Lにおける遮断周波数f_{TO}をパラメータにしてt_{di}のβ_{eff}依存

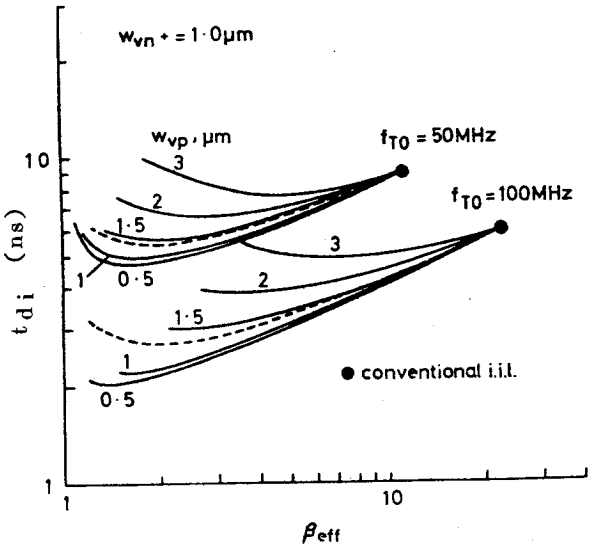


図2.5.10　内因性遅延時間のβ_{eff}依存性

を示したものである。図中，破線はτ_Tが一定の場合について示す。W_{vp}が狭い場合は，χの増加にともなってτ_Tが減少し，t_{di}はβ_{eff}に強く依存するようになるが，W_{vp}が厚いときは，χの増加がτ_Tの増加をもたらし，結果的にt_{di}はβ_{eff}にあまり依存しなくなる。t_{di}とχの関係は図2.5.11に示すとおりである。

2.5.4　実験との比較検討

遅延時間とβ_{eff}，β_{eff}とインジェクタ形状の関係を明らかにするために図2.5.12に示すようなデバイス構造をもつ，I^2L，及び各種VILゲートを作成し，遅延時間の評価を行った。ここで左側は断面図，右側が平面図である。ハッチをほどこした部分がインジェクタであり，NO.1は従来のI^2Lである。NO.2からNO.6に至るに従って，VILの下面インジェクタの面積が増加し，npnトランジスタのベースと対向するインジェクタ面積が大きくなる。

インジェクタ形状が同一である素子では，エピタキシャル層中に蓄積される正孔電荷量Q及びベース電流I_Bは一定であり，τ_{eff}は一定と考えられる。npnトランジスタのベース幅を変え，コレクタ電流を変えることによってβ_{eff}を変えることができる。この場合β_{eff}が大きい

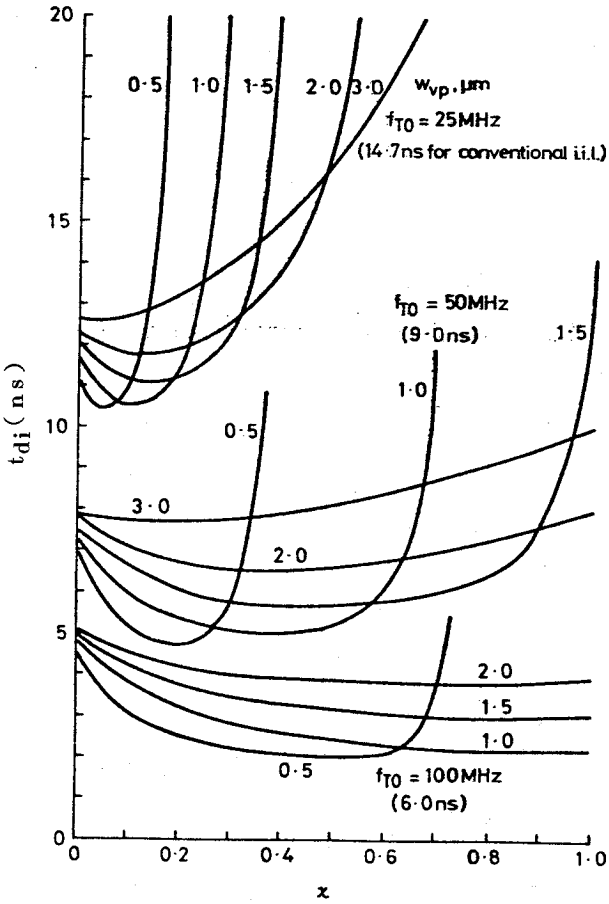


図2.5.11　内因性遅延時間の埋込インジェクタ形状依存性

程 t_{di} は小さくなる。図2.5.13に I^2L（デバイス構造NO.1）及びVIL（同NO.4, NO.6）の素子についてリングオシレータを構成して測定した t_{di} と β_{eff} の関係を示す。ここで実線は（2.5.26）式で τ_{eff} を一定とした場合の理論曲線であり，実験結果と良い一致を示している。この図から τ_{eff} を求めると I^2L が43.5 ns，VIL（NO.4）が37ns，VIL（NO.6）が11.6 nsになる。I^2L 及びNO.4, NO.6のVIL素子の f_T をコレクタ電流の関数として測定したところ，f_T にほとんどの差がみられなかった。これはnpnトランジスタのベース及びコレクタの形状はこれらの素子間で同一であるため，コレクタ電流に有意差はなく，従ってエピタキシャル層中の正孔電荷量がほぼ等しくなっているためと考えられる。

図2.5.12の各構造をもつ素子の t_{di} を β_{eff} に対してプロットすると図2.5.14に示すとおりとなる。図中，実線は（2.5.27）式で τ_T が一定とした場合の理論曲線であり，実験と理論

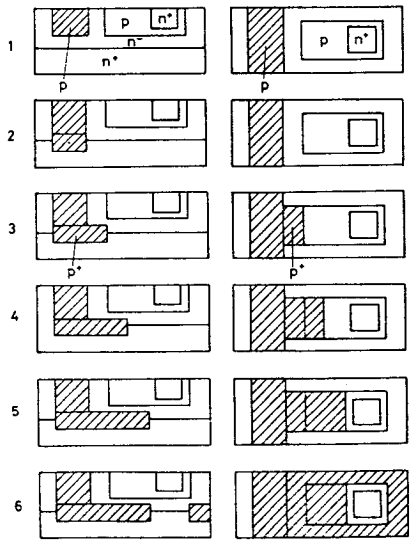


図2.5.12　I^2L及び各種のインジェクタ形状をもつＶＩＬの構造

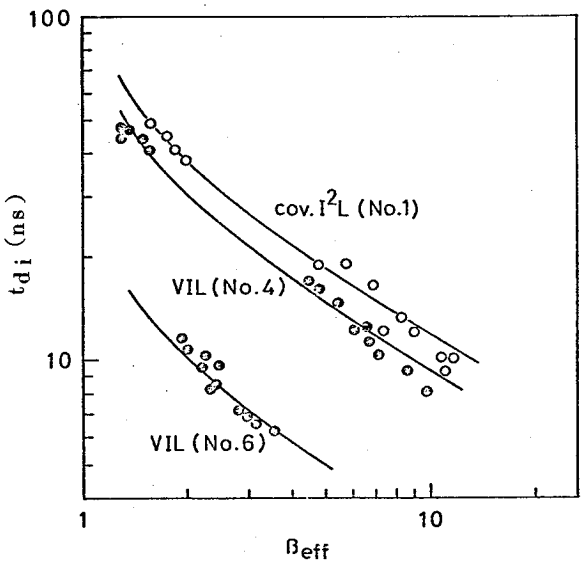


図2.5.13　内因性遅延時間とβ_{eff}の関係（１つの曲線上の実測値は同一のインジェクタ形状をもつ試料から測定した）

は良く一致している。各素子のτ_T ($1/2\pi f_T$)はほぼ一定であるため，この図におけるt_{di}の改善はτ_{eff}の低下に依存するものと考えられる。すなわち，下面インジェクタがエピタキシャル層中に蓄積した正孔を引き抜き，実効的な正孔のライフタイムを低減するためにt_{di}が小さくなっ

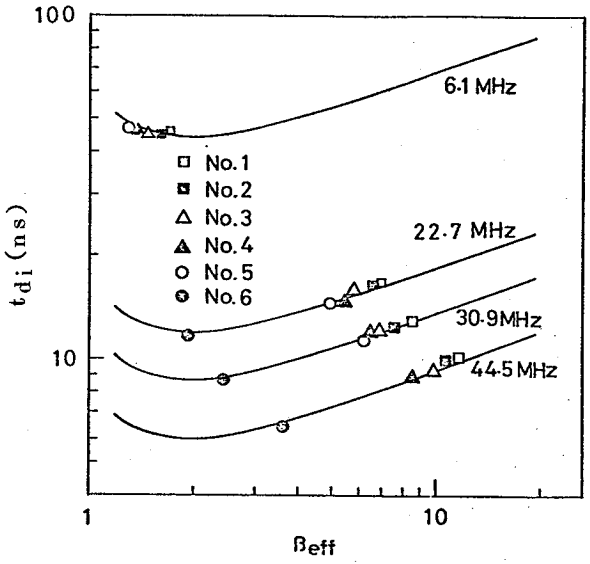


図 2.5.14　内因性遅延時間とβ_{eff}の関係（同一の曲線上の実測値は異なるインジェクタ形状をもつ試料から測定した）

ていると考えられる。

エピタキシャル層中の正孔電荷量Qは，実効的なエピタキシャル層の厚みにも依存する。$\chi=0.25$のＶＩＬ素子を用いて埋込n^+領域を形成し，実効のエピタキシャル層厚みを変えて測定したところ，厚みの薄いデバイスすなわち埋込n^+領域のあるデバイスの方が約 1/2 の遅延時間になった。

2．6　結　　言

バイポーラＬＳＩ用デバイスとしてI^2Lを選択し，高速化に対する検討を行った。従来技術のI^2Lを改良するものとしてＶＩＬデバイス構造を提案し，プロセス検討及び，内因性遅延時間の解析を行った結果，以下のことが明らかになった。

1）ＶＩＬデバイスでは，縦形ｐｎｐトランジスタのベース幅を均一にすることができ，またｎｐｎトランジスタのベースのｐ層の拡散深さを制御することによってｐｎｐトランジスタのベース幅を１μm以下にすることができる。

2）ＶＩＬデバイスでは下面に設けられた埋込インジェクタ（p^+）の濃度を高くすることにより，注入効率を高くすることができる。

3）エピタキシャル層の厚みは，下面 p^+ 層の拡散条件，エピタキシャル層成長後の熱処理サイクル，npnトランジスタの p ベース領域の幅から設定することができる。このために下面インジェクタの上方向再拡散長 x_j と熱処理時間の関係を明確にした。

4）$n-n^+$ 構造を有するnpnトランジスタの上方向電流増幅率を向上させるためにはエピタキシャル層の比抵抗を低く，かつ実効エピタキシャル層を薄くすることが必要である。

5）下面インジェクタの濃度を高くし，かつ上方向拡散長を制限するためには n^+ 埋込層の後，薄いエピタキシャル層を作り，この上に下面インジェクタを拡散し，第2エピタキシャル層を成長させる方法が有効である。

6）エピタキシャル層中の正孔の動きに着目した簡単な一次元モデルをたて，VILにおけるnpnトランジスタの β_{eff} を解析し，下面インジェクタとベースの重なり量 χ との関係を明らかにした。

7）内因性遅延時間はnpnトランジスタの遮断時定数（τ_T）と正孔の実効的ライフタイム（τ_{eff}）によって定まる。

8）VILにおける下面インジェクタ領域はエピタキシャル層中に注入された正孔の実効的ライフタイム（τ_{eff}）を低減させる働きをし，そのために内因性遅延時間が改善される。

9）縦形pnpトランジスタのベース幅，下面インジェクタの形状を適切に設定することによりエピタキシャル層中の正孔蓄積量を低減し，遮断時定数 τ_T を小さくし，遅延時間を改善することができる。

10）I^2L の10.5 ns/ゲートに対して，VILでは6.5 ns/ゲートの遅延時間が得られた。

第2章 文 献

(1) H.H. Berger and S.K. Wiedmann; "Schottky Transistor Logic", ISSCC Dig. Tech. Papers, p. 172, Feb. 1975.

(2) J.W. Hanson, J.N. Fordemwalt, and R.J. Huber; "Fabrication and performance of ion implanted I^2L devices", IEDM Dig. Tech. Papers, p. 281, Dec. 1975.

(3) B.B. Roesner and D.J. McGreivy, "A new high speed I^2L technology up-diffused", IEDM Dig. Tech. papers p. 13.3, Dec., 1976.

(4) 中野；"バイポーラ　ＬＳＩ"，半研振　他共催第１５回記念半導体専門講習会予稿集，Ｐ．３９，１９７７．

(5) 中野，堀場；"高集積化バイポーラデバイス" 信学誌，Ｖｏｌ．６２，４，Ｐ．３８６，１９７９．

(6) B.T. Murphy, and V.J. Glinski; "TTL with high packing density and optimum performance at high inverse gain", IEEE J. Solid-State Circuits, SC-3, p. 261, 1968.

(7) B.T. Murphy, S.M. Neville and R.A. Pedesen; "New simplified bipolar technology and its application to systems", ISSCC Dig. Tech. Papers, p. 150, Feb. 1969.

(8) P.T. Panousis; "A trim memory employing both npn and high-gain unijunction transistors", ISSCC Dig. Tech. Paper, p. 16, Feb. 1971.

(9) V.A. Dhaka, J.E. Muschinske, and W.K. Owens; "Subnano-second ECL gate circuit using isoplanar II", ISSCC Dig. Tech. Papers, p. 172, Feb. 1973.

(10) W.J.Evans, A.R. Tretola, R.S. Payne, M.L. Olmstead and D.V. Speeny; "Oxide isolated ion-implanted bipolar transistors for high packing density and low power-delay product," ISSCC Dig. Tech. Papers, p. 174, Feb. 1973.

(11) "Bipolar process promises RAMs with MOS density", Electronics, Vol. 44, p. 35, June, 1971.

(12) T.J. Sanders and W.R. Morcom; "Polysilicon-filled notch produces flat, well-isolated bipolar memory", Electronics, Vol. 46, p. 117, April 1973.

(13) K. Okada, K. Aomura, M. Suzuki and H. Shiba; "PSA-a new approach for bipolar LSI", IEEE J. Solid-State Circuits, SC-13, p. 693, 1978.

(14) T. Sakai, Y. Sunohara, Y. Sakakibara and J. Murota", Stepped electrode transistor: SET", Japan J. Appl. phys., Vol. 16, suppl. 16-1, p. 43, 1977.

(15) K. Sato, S. Harada, A. Saiki, T. Kimura, T. Okubo and K. Mukai; "A novel planar multilevel interconnection technology utilizing polymide", IEEE Trans. Parts. Hybrids & Packag., PHP-9, p. 176, 1973.

(16) "Schottky TTL from TI aims at speed, low power", Electronics, Vol. 51, p. 34, 1978.

(17) 向井；"分布しきい値形論理回路"，信学論(C)，５４－C，P．４６６，昭４６－０６．

(18) K. Hart and A. Slob; "Integrated injection logic - A new approach to LSI" ISSCC Dig. Tech. Papers, p. 92, Feb. 1972.

(19) H.H. Berger and S.K. Wiedmann; "Merged transistor logic-A low-cost bipolar concept", ISSCC Dig. Tech. Papers, p. 90, Feb. 1972.

(20) J. Nishizawa and B.M. Wilamowski; "Integrated logic - Static induction transistor logic", ISSCC Dig. Tech. Papers, p. 222, 1977.

(21) 田中，富沢，永田，安岡，中野；"ＶＩＬ－Ｖｅｒｔｉｃａｌ Ｉｎｊｅｃｔｉｏｎ Ｌｏｇｉｃ"，信学会研資　ＳＳＤ７５－６９，１９７６年１月．

(22) O. Tomisawa, Y. Horiba, S. Kato, K. Murakami, A. Yasuoka and T. Nakano; "Vertical Injection Logic", IEEE J. Solid-State Circuits, Vol. SC-11, p. 637, 1976.

(23) T. Nakano, Y. Horiba, A. Yasuoka, O. Tomisawa, K. Murakami and S. Kato; "Vertical injection logic", IEEE IEDM, Dig. Tech. Papers. p. 555, 1975.

(24) 加藤，富沢，堀場，中野；"ＶＩＬの電気特性と解析"，信学会研資　ＳＳＤ７７－１０，１９７７年５月．

(25) S. Kato, O. Tomisawa, Y. Horiba and T. Nakano; "Analysis of static and dynamic characteristics in VIL", IEE Solid-State Electron Device, Vol. 2, p. 83, 1978.

(26) 富沢，加藤，村上，安岡，中野；“ＶＩＬ(Ｖｅｒｔｉｃａｌ Ｉｎｊｅｃｔｉｏｎ Ｌｏｇｉｃ)
―新しいI^2L構造―” 信学会全国大会，３９６，昭和５１年４月.

(27) 加藤，田中，富沢，堀場，大崎，木島，中野；“ＶＩＬにおける下面インジェクタ効果”，
信学会全国大会，３９１，昭和５２年４月.

(28) R.W. Dutton and R.J. Whitter; "Forward current-voltage and switching characteristics of p^+-n-n^+ (epitaxial) diodes", IEEE Trans. Vol. ED-16, p. 458, 1969.

(29) F.M. Klassen; "Device physics of integrated injection logic", IEEE Trans. Vol. ED-12, p. 145, 1975.

第3章　ＭＯＳ型大規模集積回路の高速化制限要因の解析

3．1　序

ＭＯＳトランジスタにおける高速限界を決めるものとしてドリフト速度によるチャネル走行時間があげられるが，これは現実のＭＯＳ ＩＣの遅延時間に比べて十分に小さな値である。また，バイポーラトランジスタの飽和動作に対応するような少数キャリアの蓄積現象は，回路的，構造的に存在しない。従ってＭＯＳトランジスタ，ＭＯＳ ＩＣにおける高速化の制限要因のうち支配的なものは，ＭＯＳトランジスタの相互コンダクタンス g_m と，トランジスタに付随する各種の容量，及び配線容量，配線抵抗等の付加的な外因性パラメータとで定まる時定数であり，第１章において外因性遅延時間と定義したものである。外因性遅延時間の最小の限界値は，上記の g_m と，ＭＯＳトランジスタのゲート容量 Cg で決まる時定数 Cg/g_m である。Cg/g_m を小さくするには，ソース－ドレイン間距離Ｌを短かくすることが必要であるが，ＭＯＳトランジスタのソースとドレインの距離が短くなると，パンチスルーの問題[(1)]や，ソース，ドレインの空乏層の影響で閾値電圧が小さくなる短チャネル効果[(2)]が発生する。これに対して，基板濃度を寸法縮小に関連づけるスケーリング理論[(3)]が提案されており，実験的にも確かめられている。ＭＯＳトランジスタにおけるスケーリング則の大要は以下の通りである。すなわち縮小係数を κ として，寸法，電圧を $1/\kappa$ とし，不純物濃度を κ 倍とすると，空乏層幅は $1/\kappa$，閾値電圧も $1/\kappa$ となる。また，容量，遅延時間も $1/\kappa$ となり，電力遅延時間積が $1/\kappa^3$ になる。しかしながらある程度までの縮小に対して，このスケーリング則は有効であるが，ある限界を超えると，種々の問題が生じ，新しい構造の導入が必要となってくる。その１例は，基板濃度を増加することによって，閾値電圧の基板バイアス依存性が大きくなることである。これを避ける方法として，基板全体の濃度は高くせず，チャネル領域の表面のみにイオン注入で不純物濃度を上げる構造が提案されている。[(3)] 一方，従来のプロセス技術を用い，構造上の工夫によって実効的短チャネルＭＯＳトランジスタを得る方法として，拡散自己整合ＭＯＳ（ DSA MOS：Diffusion Self－Aligned MOS）トランジスタが提案されている。[(4)]　DSA MOS トランジスタのうちプレーナ形のものは，同一の拡散端子からｐ形，ｎ形の不純物を二重拡散し，拡散深さの差で実効的チャネル領域を形成し，短チャネルＭＯＳトランジスタを得るものである。

この方式は，ソースの周辺にあるベースと称せられるｐ形領域の濃度のみを高くしたものであり，不純物分布をそのままにして，ソース，ドレイン間距離を短くすることができる特長をもっている。

本章では，DSA MOS，特にイオン注入を全面的に採用したシリコンゲートDSA MOS デバイス[(5)]をとりあげ，ＭＯＳ ＩＣの遅延時間と，配線容量，配線抵抗等，外因的パラメータとの関

係を明確にし，MOS LSI の高速化について論ずる。

まずDSA MOS トランジスタの製造プロセスについて述べ，基本トランジスタのコンダクタンス定数，閾値電圧，耐圧等の静特性を述べる。続いてデプレション型負荷トランジスタを有するエンハンスメントーデプレション（E－D）構成の論理ゲートの遅延時間を，配線容量，配線抵抗との関連から解析し，試作したLSIによる実験結果との比較検討を行い，最後に出力駆動回路の遅延時間についての検討結果を述べる。

3．2　各種MOS型集積回路デバイス技術

MOS IC，LSI は構成する基本トランジスタの導電型の種類に対応して，PMOS IC，NMOS IC，CMOS IC（相補型MOS IC）に分類することができる。PMOS IC は，製造が簡単，安価であることを特徴とし，NMOS ICは正電源を使うことから，バイポーラTTLデバイスとの適合性が良く，またPMOS ICに比べて高速性を有している。CMOS ICは，pチャネルMOSトランジスタと，nチャネルMOSトランジスタを組み合せたものであり低消費電力を特長とする。

MOS ICの高速化を制限している主な要因は，外因性遅延時間であり，MOSトランジスタの相互コンダクタンス g_m と配線容量，入力容量，配線抵抗等の付加的な外因性パラメータで定まる時定数が，外因性遅延時間を決定している。外因性遅延時間の最小値は，MOSトランジスタのゲート容量 Cg と g_m で定まる時定数 Cg／gm である。MOS ICにおける短チャネル化の目的は，Cg／g_mを小さくすることにある。短チャネルMOSデバイスを可能にするデバイス技術の代表例を図 3.2.1 に示す。

図 3.2.1 において(a)は，スケーリング則に沿ってデバイスの寸法及び，種々のパラメータを一定の比率で比例縮少して得られるHMOS (High Performance MOS)と称せられるNMOSデバイスの構造である。チャネル領域には，不純物濃度を高くするためにイオン注入によるp領域が設けられている。シリコンの異方性エッチ技術を用いてV字形の溝を作り，短チャネルMOSデバイスを作ろうとする試みには，ノンプレーナ形DSA MOS トランジスタ[4]，VMOSトランジスタ[6]があり，(b)にVMOSトランジスタの構造を示す。(c)はプレーナ形DSA MOS トランジスタ（以後DSA MOS トランジスタは特に指定しない限りプレーナ形のものを指すことにする）の構造を示す。DSA MOS トランジスタは，同一の拡散端から，p形及びn形の不純物を二重拡散し，この拡散深さの差を利用して実効的な短チャネルデバイスを得ようとするものである。

HMOSトランジスタの場合には，微細加工技術が必要であり，VMOSトランジスタの場合には，エピタキシャル工程，V形エッチング工程などの新規な工程を必要とするのに対して，

DSA MOS トランジスタでは，従来の製造プロセス技術を用いて，短チャネルMOSデバイスを作成することができる。

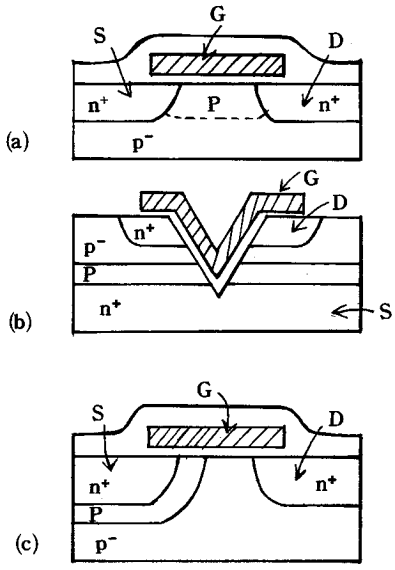


図3.2.1　各種短チャネルMOSトランジスタ構造

(a)　NMOS（HMOS），(b)　VMOS，(c)　DSAMOS

3．3　拡散自己整合（DSA）MOSデバイスの製造プロセス[5]

図3.3.1(b),(c)はπ基板を用いたプレーナ型nチャネルシリコンゲートDSAMOSトランジスタの断面図を示す。シリコン基板はp形で結晶軸（100）を用い，10〜20Ωcm，もしくは100〜200Ωcmの比抵抗のものが用いられる。分離のためのボロンのイオン注入を行った後，選択酸化プロセス（SOP：Selective oxidation process）によってフィールド酸化膜を成長させる。閾値電圧（V_{TH}）の精密制御のために，不純物添加はすべてイオン注入法を用い，ベースと称されるp領域，ソースードレインを形成するn^+領域の他，後述するデプレショントランジスタのためのチャンネル領域もイオン注入で形成した。この全イオン注入製造プロセスは，閾値電圧V_{TH}の精密制御が可能な他，以下に述べるような特長を有する。

1）拡散法の場合には必要となるボロンガラスエッチングや，リンガラスエッチング工程が不要のため，ポリシリコン下のゲート酸化膜が全くエッチングされず，ゲート酸化膜耐圧が

向上する。

ii) 注入された不純物のドライブインは，乾燥チッ素雰囲気で行われるため，シリコンとシリコン酸化膜の間の不純物の再分布が小さく，不純物分布の制御を精密に行うことができる。

ソースドレイン領域の拡散抵抗を小さくするために，トランジスタの近傍を除く領域にn^{++}領域を設けてあるが，この工程は通常のリンの熱拡散法を用いている。

図3.3.2は，ベース領域の濃度をパラメータとして測定した，DSAMOSトランジスタのドレイン電流（I_d），ゲート電圧（V_g）特性を示す。ゲート電圧が低いところでは，ドレイン電流はゲート電圧の2乗に比例し，その値は，実効チャネル長（ベース幅）に依存する。[7],[8] トランジスタの閾値電圧は，$\sqrt{I_d}-V_g$ 特性における直線を0に外挿することで求めることができる。なお

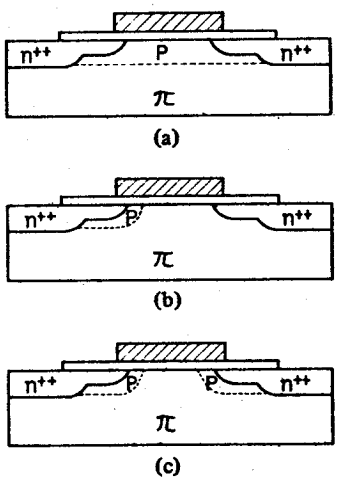


図3.3.1　プレーナ型　MOSトランジスタの構造

(a)　NMOSトランジスタ

(b)　非対称型DSAMOSトランジスタ

(c)　対称型DSAMOSトランジスタ

この場合の実効チャネル長は約0.6 μmであり，通常のNMOSトランジスタと比較するためにNMOSトランジスタの特性例を同じ図中に示した。全イオン注入DSA　MOSトランジスタの閾値電圧は，ベースのp形不純物注入量によって簡単に制御できる。注入量の制御は±5％の精度で可能なため，1.4 Vの閾値電圧のとき中心値からのずれは±0.07 V程度に制御することができる。閾値電圧は，またソースの濃度と，ドライブ時間によっても影響される。ソース注入量

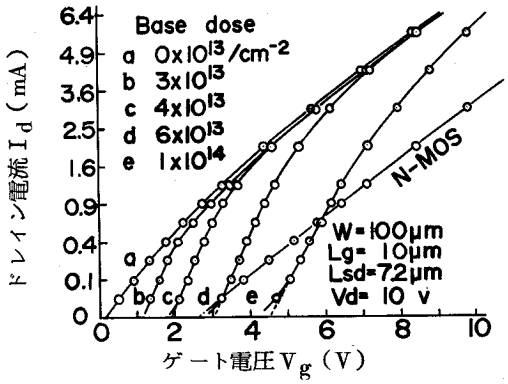


図3.3.2　DSAMOSトランジスタのドレイン電流特性

変動による閾値電圧への影響は±0.03V程度である。現在ソース　ドレインのドライブは1100℃で行われているが，閾値電圧の制御性からは，1100℃以下の低温での拡散が望ましい。

ベースとソースの不純物分布を陽極酸化法で測定した結果，シリコン表面から厚み方向に対して図3.3.3に示す分布が得られた。従って実線で示すガウス分布で近似することができる。ボロンの酸化膜中への再拡散は，窒素雰囲気でのドライブプロセスで低減することができ，またソー

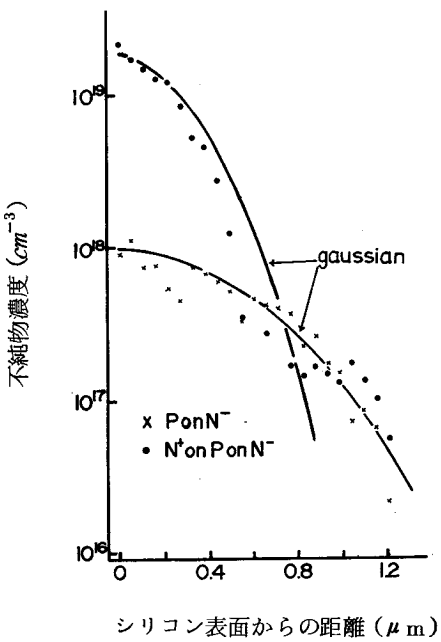


図3.3.3　ベース及びソースの不純物分布

スのn^+によるp領域の押し出し効果（エミッタディップ効果）やリンの異常拡散現象は，リンの表面濃度が低いためにほとんど無視できる。ベース領域の不純物分布はコンプリメンタリエラー関数で与えられ[9]，閾値電圧を決定する濃度は，ベース中の濃度の最大値（ピーク濃度）であると考えられる。従ってピーク濃度値を制御することで，閾値電圧を制御することができる。

図3.3.4は，DSA MOSトランジスタと，デプレション型トランジスタからなるE－D（Enhancement－Depletion）MOSゲートのプロセスフローを示す。このDSA MOSトランジスタは，ベース領域が，ドレイン側とソース側の両方に対称的に存在する対称型DSA MOSトランジスタである。

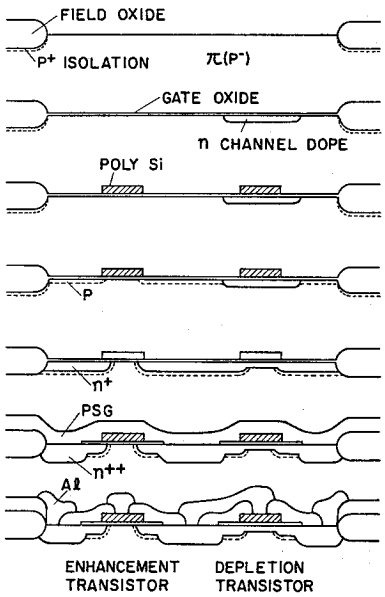


図3.3.4　DSA MOS E－Dゲートのプロセスフロー図

ICを作るための不純物添加工程は，

i）p^+－分離

ii）デプレション　トランジスタ　チャネルドープ

iii）エンハンスメント　トランジスタ　チャネルドープ（ベース）

iv）ソース－ドレイン

v）n^{++}オーミックコンタクト

の5回であり，写真製版工程は，上記の工程にアルミ配線のための工程を加えて6回になる。通

常のnチャンネルMOSとDSA MOSトランジスタの違いは，チャネル領域として形成するp型のイオン注入領域の作り方にある。すなわち，nチャネルMOS ICが，ポリシリコンゲート形成の前にp型のイオン注入を行うのに対してDSA MOS ICでは，ポリシリコンゲート工程の後にチャンネルドープを行う。従ってチャネル領域の不純物分布は，NMOS ICとDSA MOS ICとで異なり，このことが電気的特性の差異となる。チャネル長の短いデバイスにおける閾値電圧の制御性と，再現性は重要な問題である。DSA MOSトランジスタの閾値電圧は，ソース側に形成された二重拡散領域のp型不純物のピーク濃度で決まる。一方，NMOSトランジスタの場合は，閾値電圧は，ソースとドレインの間の領域に一様に添加されたp型不純物の濃度で決まる。[5] 従って，p型の不純物分布の制御性は，NMOSトランジスタの方が有利であり，不純物分布のゆらぎによる閾値電圧の変化はNMOSトランジスタの方が小さいが，DSA MOSトランジスタでは全イオン注入とN_2ドライブイン技術の採用によって改善されてきた。一方，ゲート長のバラツキに基づく閾値電圧のゆらぎは，NMOSトランジスタが写真製版工程で大きく変るのに対し，DSA MOSトランジスタの場合は，制御性の良い拡散深さで決まるため，小さいと考えられる。

3．4 DSAMOSトランジスタの静特性[10]

DSA MOSと，NMOSトランジスタの電気的特性を調べるために，図3.3.1(a)〜(c)に示すような，NMOSトランジスタ，非対称型DSA MOSトランジスタ及び，対称型DSA MOSトランジスタを同一のウエハ基板上に作成した。デバイスのサイズを表3.4.1に示す。上記の各デバイスは同一のゲート酸化膜厚，及び同一のソースドレイン接合深さをもち，不純物分布のみ

表3.4.1 実験に用いたNMOS，DSAMOSトランジスタの形状

Gate Oxide Thickness		700Å (in both transistors)
Source and Drain Junction Depth	Vertical	0.5μm (in both transistors)
	Horizontal	0.2μm (in both transistors)
Channel Doping Depth	Vertical	0.8μm (in both transistors)
	Horizontal	0.7μm (in DSA MOST)
P-Type Diffused Layer	Horizontal	0.5μm (in DSA MOST)
Threshold Voltage in Long Channel Device		0.7V (in both transistors)

が異なるように作られている。基板はp形（１００）の方位をもつ100Ωcmのシリコンウエハである。基板の比抵抗がNMOSトランジスタに対しては通常用いられるものに比べて高い値になっているが，不純物分布の差異に帰因する電気的特性の比較のためにはさしつかえないと考えられる。5 μm系の設計基準をもったデバイスをもとにして，$\kappa = 1.4 \sim 1.7$ の縮小係数で縮小し，ゲート長が3～3.5 μm程度のトランジスタの試作及び特性比較を行った。

デバイスの幾何学的形状が小さくなってきたとき，MOSデバイスにおいて一番重要な問題となるのは，短チャネル効果と称される閾値電圧の低下と，パンチスルー電圧の低下がある。図3.4.1(a)に閾値電圧（V_{TH}）とチャネル長（L_{SD}）との関係を示す。閾値電圧は，ドレイン電流の

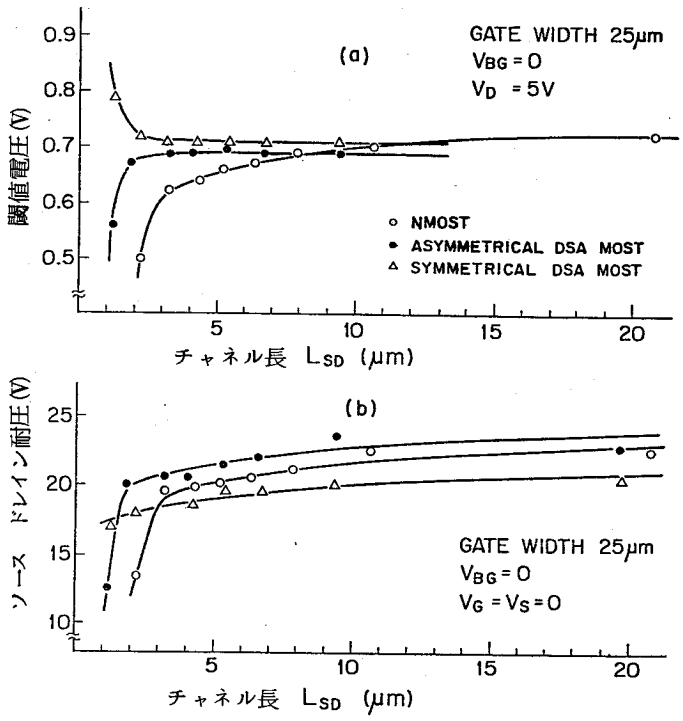


図3.4.1　閾値電圧及び耐圧のチャネル長依存性

平方根と，ゲート電圧の関係から電流の0外挿を行い，求めたものである。このときのドレイン電圧は5Vである。NMOSトランジスタの場合には，L_{SD} が10 μmから3.0 μmに減少するにともない，V_{TH} はゆるやかに減少し，L_{SD} が3.0 μm以下になると V_{TH} は急激に低下する。非対称型DSA MOSトランジスタでは，10 μmから2.0 μmの間の L_{SD} に対して，V_{TH} ははぼ一定であり，2.0 μm以下の L_{SD} で急峻に V_{TH} が低下する。これらの現象は，短チャネル効果

によるものと考えられる。対称型DSA MOSトランジスタの場合は，2.0 μのL_{SD}までV_{TH}は一定であり，2.0 μm 以下のL_{SD}になるとむしろV_{TH}は上昇する。ソースドレイン距離が2 μm 以下であり，p領域の接合深さが0.8 μm であることを考えると，この現象は，ソースとドレイン側からの不純物が重なって，不純物濃度変調を受けたことによるものと考えられる。また通常の意味における短チャネル効果は，L_{SD}のあらゆる値に対して観測されなかった。対称型DSA MOSトランジスタの場合は，コンダクタンス定数が，ゲート長の影響を受けにくいという点で，他の短チャネルデバイスに比べて有利である。

短チャネルMOSトランジスタのもう一つの問題点は，ソースードレイン間の耐圧低下である。図3.4.1(b)はソースードレイン間距離の関数として耐圧をプロットしたものである。耐圧はゲートをソースと短絡し，ソースドレイン間に1 μAの電流が流れる電圧で測定した。ソースドレイン間距離L_{SD}が4 μm以上のとき，扱ったトランジスタはすべてハードな降伏現象を示し，ドレイン基板接合のアバランシェによるものと考えられる。非対称型DSA MOSトランジスタの場合は，フィールド酸化膜下の分離拡散と，基板の濃度が耐圧を決める。一方対称型DSAMOSトランジスタ及びNMOSトランジスタでは，上記の不純物の他にさらに，チャネルドープの濃度が加わったもので耐圧が決定される。

NMOSトランジスタ及び非対称型DSA MOSトランジスタのL_{SD}がそれぞれ3 μm及び2 μm 以下になると耐圧は急激に低下する。このとき降伏特性はソフトな特性であり，パンチスルー現象によるものと解釈することができる。対称型DSA MOSトランジスタでは，1.3 μm以下のL_{SD}においてもパンチスルー効果は観測されなかった。

閾値電圧と耐圧の低下現象の差異は，主にチャネル領域の不純物分布に帰因すると考えられる。NMOSトランジスタでは，チャネルドープされたp型不純物は，表面から内部に向ってガウス分布をしている。ドレインー基板接合の空乏層は，バルク内まで拡がり，表面よりも深い領域でのソースー基板間の電位障壁がドレイン電圧によって下げられる。一方DSA MOSトランジスタの場合は，p型領域がソースの周囲を同軸状に分布しており，ソース基板接合の電位障壁は，ドレイン電圧によって簡単に下げられることはない。

対称型DSA MOSトランジスタは，ドレインー基板接合をとりまくp型領域があるため，ドレインー基板接合の空乏層の拡がりをおさえ，他の構造のトランジスタに比べてショートチャネル効果が小さい。

NMOSトランジスタ，対称及び非対称型DSA MOSトランジスタの等価回路を図3.4.2に示す。NMOSトランジスタでは，不純物分布が，チャネルに沿って一様であり，チャネルコンダクタンスがコンダクタンス定数βと，閾値電圧V_{TE}で表現される。非対称型DSA MOSトラ

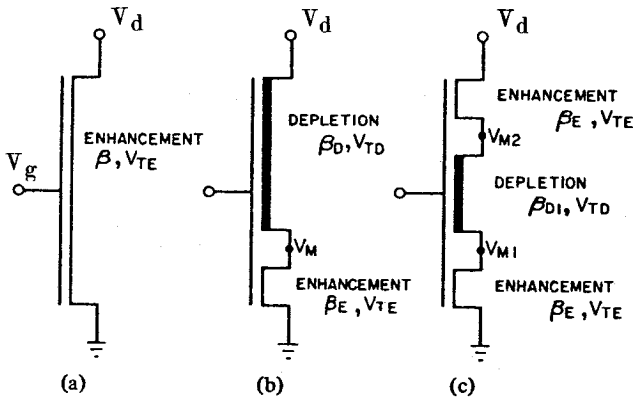


図3.4.2　MOSトランジスタの等価回路

(a)　NMOSトランジスタ

(b)　非対称型DSA　MOSトランジスタ

(c)　対称型DSA　MOSトランジスタ

ンジスタではチャネル領域は，p形拡散層と，π基板領域からなる。従って等価回路として，エンハンメント形トランジスタとデプレション形トランジスタの縦列接続を考えることができ，それぞれのトランジスタのβ及びV_Tは図3.4.2に示す如くβ_E，V_{TD}及びβ_D，V_{TD}で表現できる。

対称形DSA　MOSトランジスタでは，図に示す如く3つのトランジスタの接続であらわされる。

$V_g - V_{TE}$がドレイン電圧V_dよりも充分大きいとき，ON抵抗r_{ON}はそれぞれ次の通りあらわされる。

NMOSトランジスタ

$$r_{ON}\left(\equiv \frac{\partial V_d}{\partial I_d}\right) = \frac{1}{\beta_E(V_g - V_{TE})} \qquad (3.4.1)$$

非対称型DSA　MOSトランジスタ

$$r_{ON} = \frac{1}{\beta_E(V_g - V_{TE})} + \frac{1}{\beta_D(V_g - V_{TD})} \qquad (3.4.2)$$

対称型DSA　MOSトランジスタ

$$r_{ON} = \frac{2}{\beta_E(V_g - V_{TE})} + \frac{1}{\beta_{D1}(V_g - V_{TD})} \qquad (3.4.3)$$

ここでβ_{D1}は，ソース側及びドレイン側に存在する2つのエンハンスメントトランジスタを除く領域に存在する基板領域のコンダクタンス定数に対応する。図3.4.3(a)は非飽和領域（V_d＝0.05V）におけるドレイン電流ーゲート電圧特性の実験結果を示す。対称，非対称の両DSA MOSトランジスタのドレイン電流は，NMOSトランジスタのそれよりも大きい。

ドレイン電圧V_dがV_g-V_{TE}よりも大きくなると，動作領域は飽和領域になる。特に非対称形DSA MOSトランジスタは，チャネル電荷による速度飽和によって電流が飽和する。[11][12] 飽和電流は次式で表わされる。[13]

$$I_d = WC_0 v_S \left(V_G - V_{TE} - \frac{V_{MSVE}}{v_{PE}} \right) \qquad (3.4.4)$$

ここで，C_0，v_S，v_{PE}はそれぞれゲート容量，飽和速度，バルク電荷係数であり，V_{MSVE}は，エンハンスメントトランジスタ部とデプレショントランジスタ部の接合点におけるチャネルポテンシャルである。v_{PE}とV_{MSVE}は次式で表わされる。

$$v_{PE} = 1 - \frac{B}{\frac{B}{2} + \sqrt{2\phi_{FE}} + \sqrt{\left(\frac{B}{2} + \sqrt{2\phi_{FE}}\right)^2 + (V_g - V_{TE})}} \qquad (3.4.5)$$

$$B = \frac{1}{C_0}\sqrt{2q\varepsilon_{si} N_{BE}} \qquad (3.4.6)$$

$$V_{MSVE} = v_{PE}(V_G - V_{TE}) + V_C - \sqrt{v_{PE}^2 (V_g - V_{TE})^2 + V_C^2} \qquad (3.4.7)$$

$$V_C = \frac{WC_0 v_S}{\beta_E} \qquad (3.4.8)$$

ここで，q，ε_{si}，N_{BE}及びϕ_{FE}は電子の電荷量，S_iの誘電率，エンハンスメント領域の実効不純物濃度及びフェルミレベルである。この試料のv_{PE}とV_Cの値は，約0.55と0.65Vである。（3.4.4）式はゲート電圧が大きいとき，10％以内の誤差で，次のように近似できる。

$$v_{PE}(V_g - V_{TE}) \geqq 5V_C : I_d = WC_0 v_S \left(V_g - V_T - \frac{WC_0 v_S}{v_{PE}\beta_E}\right) \qquad (3.4.9)$$

$$v_{PE}(V_g - V_{TE}) \geqq 10V_C : I_d = WC_0 v_S (V_g - V_T) \qquad (3.4.10)$$

図3.4.3(b)はドレイン電圧が5Vのときの飽和電流を示す。DSA MOSトランジスタのドレイン電流は，図3.4.3(a)に示す非飽和領域の場合と同様に，NMOSトランジスタより大きい。ゲート電圧が低くなる程この差は顕著である。非対称及び対称型DSA MOSトランジスタのドレイン電流は，NMOSトランジスタに比べて，非飽和領域でそれぞれ1.27及び1.13倍大きく，飽和領域では，それぞれ1.68及び1.33倍大きい。

このとき実効ゲート電圧は3Vであった。これらのデバイスの特性を表3.4.2にまとめた。

表3.4.2　NMOS，DSAMOSデバイスの特性

		N MOST	ASYMMETRICAL DSA MOST	SYMMETRICAL DSA MOST
Nnmbers of Photo. Masks (E−D)		6	7	6
V_{th}	at $L_{SD}=10\mu m$	0.7V	0.7V	0.7V
	$L_{SD}=2.5\mu m$	0.5V	0.7V	0.7V
BV_{SD}	at $L_{SD}=10\mu m$	21.5V	22.5V	20.0V
	$L_{SD}=2.5\mu m$	15 V	20 V	18 V
V−I Characteristics $L_{SD}=3.0\mu m$ $W=25\mu m$ $V_g-V_{th}=3V$	I_d at $V_d=0.05V$	40.3 μA (1	51.3 μA : 1.27	45.5 μA : 1.13)
	I_d at $V_d=5V$	726 μA (1	1220 μA : 1.68	969 μA : 1.33)

表3.4.3　DSA MOSトランジスタの比例縮少前後における各寸法

		pre−scaled DSA MOST	scaled DSA MOST
Impurity of Source and Drain		Phosphorous	Arsenic
Gate Oxide Thickness		1100Å	700Å
Source and Drain Junction Depth	Vertical	1.0 μm	0.5 μm
	Horizontal	0.9 μm	0.2 μm
Channel Doping Depth	Vertical	1.8 μm	0.8 μm
	Horizontal	1.7 μm	0.7 μm
P-Type Diffused Layer Horizontal		0.8 μm	0.5 μm
Poly-Si Gate Lengh		5.7 μm	3.7 μm
Source−Drain Distance		3.9 μm	3.3 μm

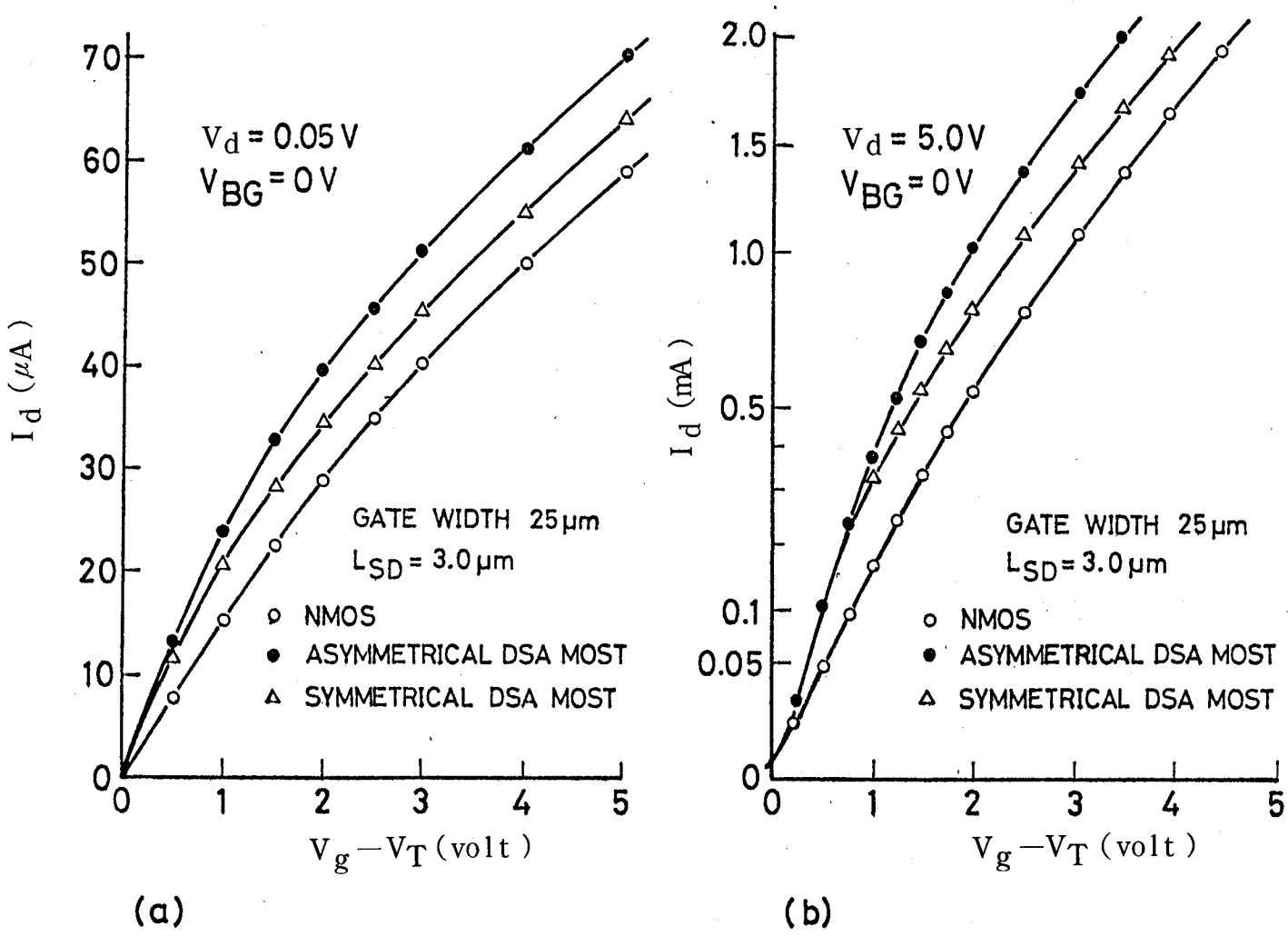


図3.4.3　ドレイン電流特性　(a) 非飽和領域　(b) 飽和領域

MOSトランジスタの幾何学的形状を比例縮少したときの性能を規定するものとして，スケーリング理論が提案されている。DSA MOSトランジスタにおけるスケーリング則[14]の有効性を確認するために2つの非対称DSA MOSトランジスタを作成して実験を行った。ソース，及びドレイン接合の深さは，リンと砒素の拡散係数の差を利用して制御し，p形拡散層の長さL_Eに対してスケーリング係数1.6，またゲート酸化膜の厚みも1.6の比で縮少されたデバイスを作成した。試作したMOSトランジスタの閾電圧は，約0.7Vであった。これら2種類のデバイスの形状を表3.4.3に示す。ドレイン電圧V_dが0.05Vおよび5Vのときのドレイン電流I_dと実効ゲート電圧（$V_g - V_T$）の関係を図3.4.4に示す。実効ゲート電圧が3Vのとき，V_dが0.05Vの場合に，ドレイン電流比として2.6の値が得られた。ゲート酸化膜の厚みと，チャネル長が縮尺されたのに対して，チャネル幅と電圧は縮尺されていないが，このことを考慮すれば，縮尺されたサンプルの電流は，縮小係数κの2乗になっており，実験と理論と良い一致を示している。

ドレイン電圧が5Vのとき電流の比は，$V_g - V_T$が3Vにおいて約1.6の値になる。この電圧の領域では，デバイスは速度飽和のモードにあり，電流の式は（3.4.9）で表わされる。このとき縮尺比κで縮尺されたデバイスの電流値は，κ倍になり，実験値もこのことと一致する。

図3.4.5は，ソースドレイン距離と閾電圧との関係を示し，通常のNMOSトランジスタの場合と同様に，縮尺則にもとづいて縮少されたデバイスの短チャネル効果による閾電圧のシフトは低減されている。

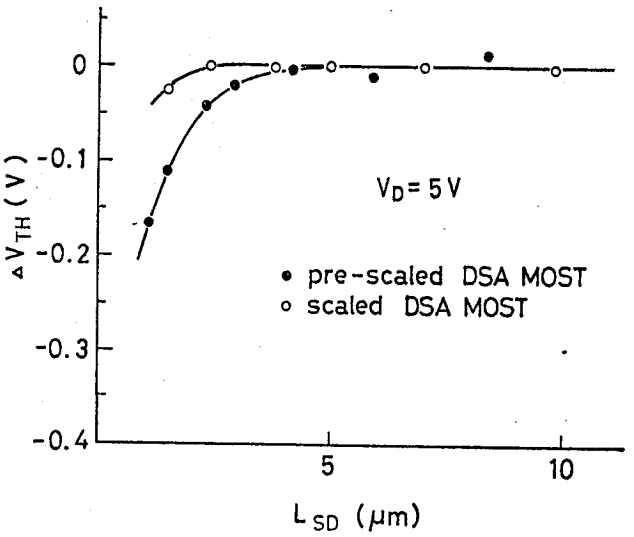


図3.4.5　スケーリング則に基づいて縮少されたDSA MOSトランジスタ及び通常のDSA MOSトランジスタの短チャネル効果

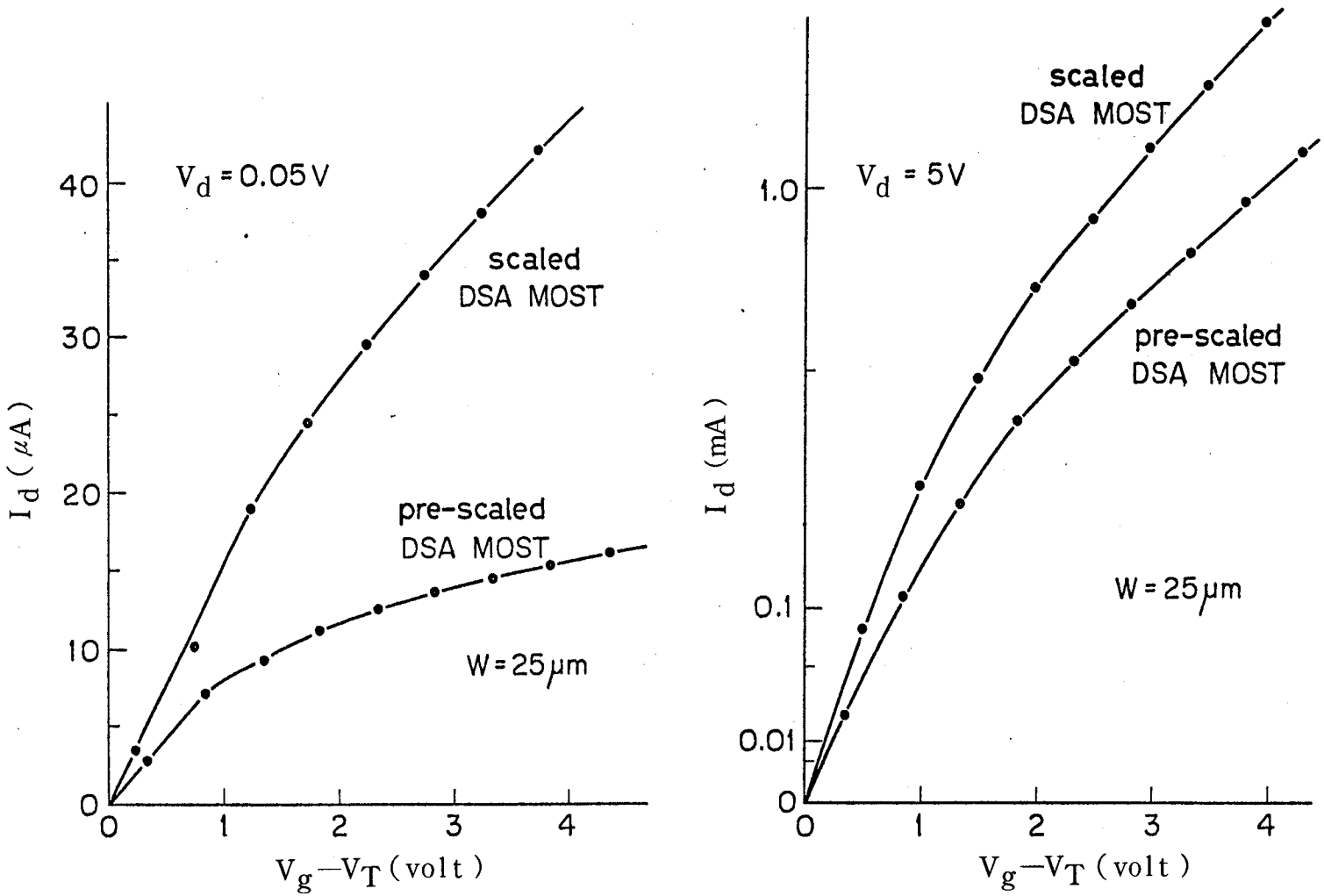


図 3.4.4　比例縮少を行ったＤＳＡＭＯＳトランジスタのドレイン電流特性

(a)　非飽和領域　　(b)　飽和領域

3．5　DSA MOS LSIの遅延時間の解析[15]

3.5.1　はじめに

MOSLSIの動作速度は，LSIを構成する能動素子（MOSトランジスタ）と受動素子（容量，抵抗）の特性によって決定される。MOSトランジスタの動作速度の改善には短チャネル化が有効であり，HMOS（High Performance MOS），DSA MOS（Diffusion Self－Aligned MOS），VMOS（V—Grooved MOS）で代表される各種の短チャネルデバイスが提案され検討が加えられてきた。一方受動素子による動作速度の解析はMOSトランジスタの解析ほどなされていない。しかし，LSI化の進展とともに高性能化をはかるには受動素子特性の改善が能動素子以上に重要になってくる。

この節ではMOSLSIにおける遅延時間の解析を能動素子，受動素子について行い，遅延時間特性に占める受動素子特性を明確にする。容量，抵抗成分は，接合容量及びゲート電極容量と一部の配線容量からなる内因性容量と，論理ゲート間を接続するための配線によって生ずる外因性容量及び配線抵抗に分離して考察できる。ここでは能動素子として高速化に有利なDSA MOSトランジスタを用い，DSA MOSデバイスの接合容量及び帰還容量を実験的に求め，続いて配線容量，配線抵抗を考慮に入れた論理ゲートの遅延時間を与える式を導出し，DSA MOS論理ゲートアレイからなるLSIを用い，実験結果との比較検討を行う。

3.5.2　デプレション型トランジスタを負荷にもつゲート回路の内因性容量

ここでは，E－D（エンハンスメント－デプレション）形論理ゲートを構成したとき，ゲートが固有に持つ容量について述べる。以下論理ゲートとMOSトランジスタのゲートを識別するために，MOSトランジスタのゲートをゲート電極と呼ぶ。図3.5.1はデプレション型負荷トランジスタと，DSA MOS駆動トランジスタから構成されるE－Dゲート回路の断面図を示す。ゲ

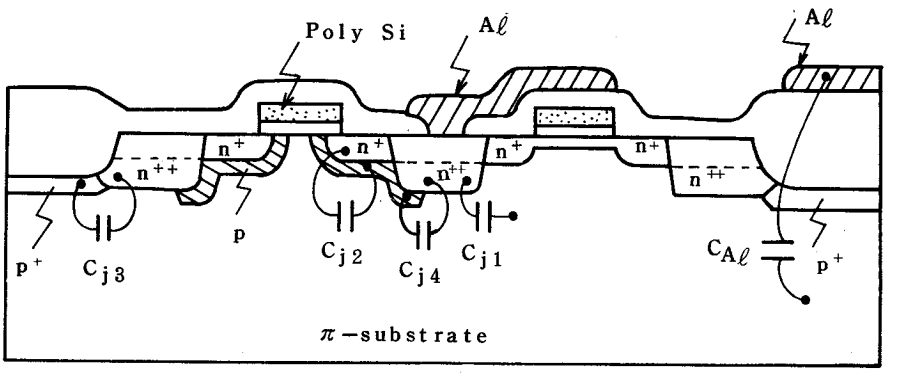


図3.5.1　DSA MOS　E－Dゲート回路の断面図

ートを作るのに必要な拡散は，フィールド酸化膜下の p^+ ，実効チャネル領域を形成するためのベースと称される p，ソースドレインのための n^+ ，及びソースドレイン領域にオーム性接触をとるための n^{++} 拡散がある。これらは１００Ωcmの比抵抗を有するπ型基板の上に形成される。従ってゲートに付随する容量には，ゲート電極と基板間の容量及び，以下に示す各接合面における空乏層容量がある。

C_{j1} ：n^{++} 領域とπ基板間接合

C_{j2} ：n^+ 領域と p ベース

C_{j3} ：n^{++} 領域と フィールド p^+

C_{j4} ：n^{++} 領域と p ベース

アルミ配線容量及びゲート電極容量は，酸化膜の厚みを用いて正確に計算されるのに対して，接合容量は，厳密な計算が困難であり，通常階段接合近似等を用いて計算される。ここではリングオシレータを用いて実験的に接合容量を求めることをこころみる。[16] ＥＤインバータの遅延時間は，電源電圧と消費電力を一定にすると負荷容量に比例する。いくつかの接合面面積を有する接合領域を負荷とするリングオシレータを構成し，発振周波数から遅延時間を求めた結果を図3.5.2に示す。図3.5.2に於て，直線の勾配すなわち，単位面積当りの遅延時間が，容量の相対値に対応すると考えられる。

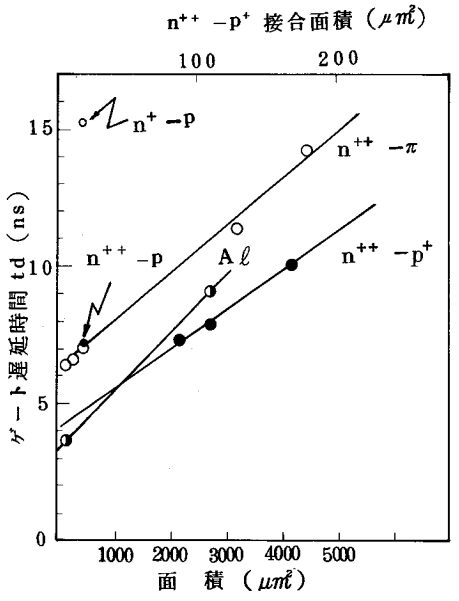


図3.5.2　各種負荷容量を接続したゲートにおける遅延時間

図中 $n^{++}-p^{+}$ 接合は，フィールド酸化膜下の p^{+} との接合であり，p^{+} の拡散深さが一定（約 1 μm）とした。また $n^{++}-p$ 接合に対する遅延時間が，$n^{++}-\pi$ の直線上にあるのは，n^{++} が深い拡散であるため，ベース p を追い込して形成されており，実際上 $n^{++}-\pi$ 接合を作っているためと考えられる。この結果から得られた単位面積当りの接合容量の相対値を表 3.5.1 に示す。

接合が階段接合であると仮定して計算した容量の相対値を同じく表 1 に示す。ここで不純物濃度は π ：$1.5\times10^{14}/cm^3$，P：$1\times10^{15}/cm^3$，P^{+}：$7.5\times10^{16}/cm^3$ であり，接合の障壁電位 ϕ_B を 0.7 V とした。インバータとして論理動作をしているとき，これらの接合は，“L”レベルから“H”レベルまでの電圧変化に対応した逆バイアスが印加される。従って容量は，逆バイアス電圧を V_R とすると $(\phi_B+V_R)^{-1/2}$ に比例して小さくなる。平均的に論理振幅の 1/2 の電圧が印加されるとして $V_R=2.5V$ のときの容量を計算すると実測値と比較的良い一致を示す。

図 3.5.1　単位面積当りの接合容量の相対値

（Aℓ－基板間容量を 1 とする）

	実　測	計　算 $V_R=0$	計　算 $V_R=2.5V$
$n^{++}-p^{+}$	17.0	36.4	17.0
$n^{++}-\pi$	0.82	1.63	0.76
$n^{++}-p$	0.82	1.63	0.76
$n^{+}-p$	1.70	4.21	1.97
Aℓ－基板	1	1	1

ゲート電極の容量は，基板との間の容量と，ゲートードレイン間の帰還容量に分割することができる。基板との間の容量はゲート酸化膜の厚みから計算できる。一方帰還容量はミラー効果に依存する。帰還容量のミラー係数を求めるために，ゲートとドレイン間，およびゲートとソース間に各種の面積をもつアルミ配線容量を付加したリングオシレータを用いて遅延時間の測定を行った。図 3.5.3 は遅延時間の配線面積依存性を示すものであり，直線の勾配は単位面積当りの容量の相対値を与える。従ってゲートードレイン間に設けた容量はゲートーソース間に作った同じ面積の容量の 3.4 倍の大きさを持ち，ミラー係数が 3.4 と考えられる。増幅器 1 段のミラー係数が通常 1～2 であるのに比べて大きな値になっているのは以下のような理由によると考えられる。大振幅動作をしているＭＯＳインバータのゲインは，入力側から見たときも，出力側から見たときもともに 1 であると考えられ，ゲート電極ードレイン間の容量は出力側から見た出力容量と入力側から見た入力容量の両方にミラー的に働く。従ってインバータが複数個，縦列接続された場合それぞれのインバータの入力端子の容量は 2～4 のミラー係数を持つ。

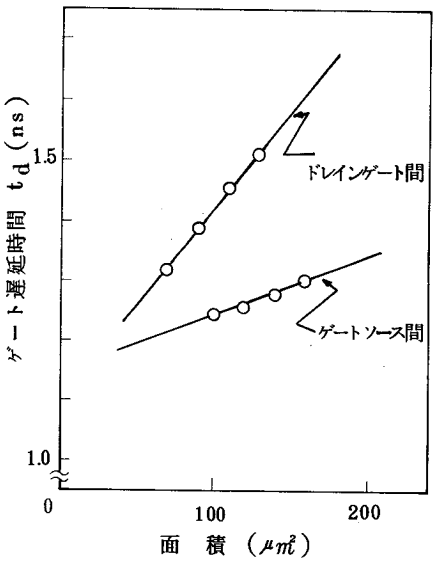


図 3.5.3　ゲート遅延時間と負荷容量となるアルミ配線面積の関係

3.5.3　ゲート遅延時間の解析

ここではE－Dゲート回路の遅延時間を与える解析式を導出する。ゲートを構成する駆動トランジスタと負荷トランジスタの電流電圧特性を模式的に図 3.5.4 に示す。負荷トランジスタのソ

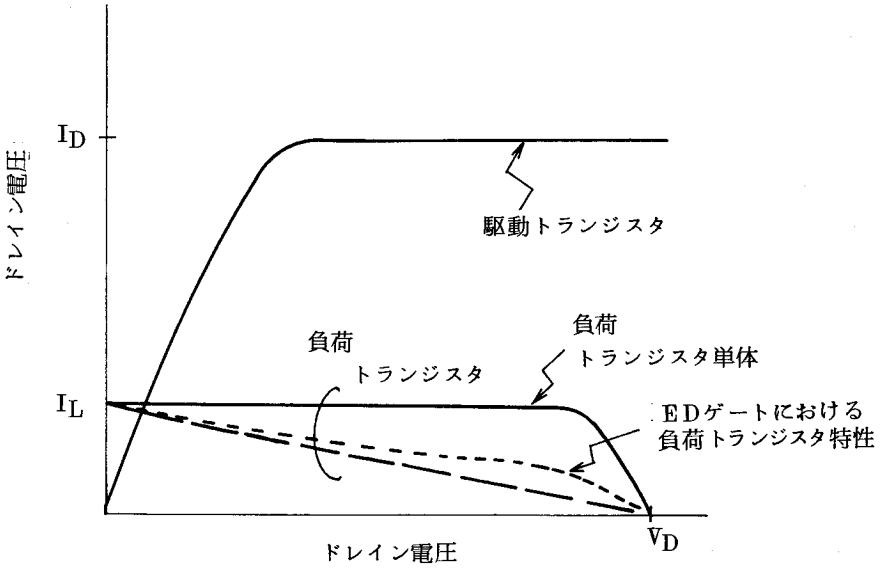


図 3.5.4　駆動トランジスタと負荷トランジスタの電流電圧特性を示す模式図

ース電位は基板電位に比べて高くなるため，基板バイアス効果を受け図3.5.4の破線で示すような抵抗に近い特性を示す。本解析では，この負荷トランジスタをまず定電流源で近似した場合を扱い，つづいて負荷トランジスタ特性を抵抗で近似した場合の解析を行う。駆動トランジスタは飽和電流領域で動作するものと仮定する。遅延時間は図3.5.5で示すような擬似ペア遅延時間[17]の考え方で表現する。　すなわち，複数個の縦列接続されたゲート鎖を考え，n段目のゲートの入力が瞬間的に“H”から“L”になったとき，n段目のゲートの出力が“L”から閾値電圧“V_T”まで上昇する時間を t_{dr} とする。

$t = t_{dr}$ から（n+1）段目のゲート出力がV_Tまで下降する時間を t_{df} とし，$1/2 \cdot (t_{dr} + t_{df})$ をゲート遅延時間とする。立上り時間は負荷トランジスタによる放電電流のみを考える。さらに，“H”レベル及び“L”レベルは，それぞれ電源電圧V_D及び接地電位であると近似する。

充放電の対象となる負荷容量を内因性容量Ciと外因性容量Ceに分離する。Ciはゲートを構成するのに必要な最小の容量であり，3.5.2で扱ったトランジスタのドレイン接合容量，ファンアウトが1のときの次段のゲート入力容量と，隣接ゲート間を接続する最短配線容量からなる。一方Ceはファンアウトの増加にともなうファンアウト容量，配線長増加による配線容量の増加分とする。また内因性容量Ciの充放電で定まる遅延時間を最小遅延時間 t_{dm} と呼ぶことにする。以下負荷トランジスタを定電流源及び抵抗で近似した各々の場合について，まず容量性のみの負荷をもつゲートの遅延時間を解析し，続いて配線抵抗の効果を含めた遅延時間の式を導出する。

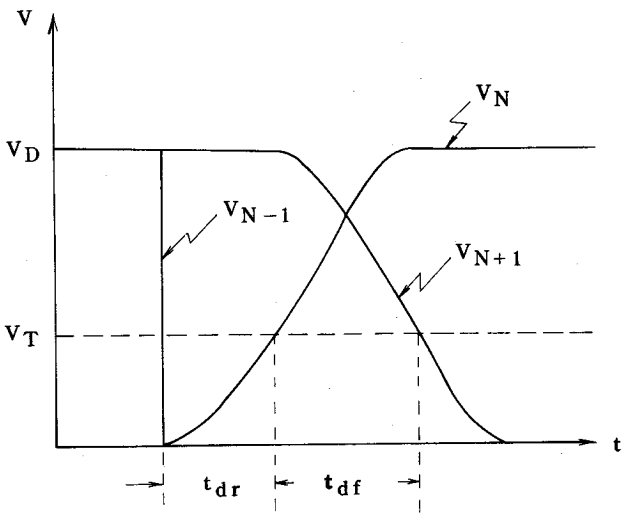


図3.5.5　遅延時間の定義

3.5.3.1　負荷トランジスタの定電流近似

i）容量性負荷をもつゲートの遅延時間

図3.5.6(a)であらわされる回路の立上り時間 t_{dr} 及び立下り時間 t_{df} を求める等価回路図をそれぞれ図3.5.6(b)，(c)に示す。ここで V_0 は $t=0$ で瞬時的に"H"から"L"に変わるものとする。ゲートをソースに接続されたデプレション形負荷トランジスタの飽和電流

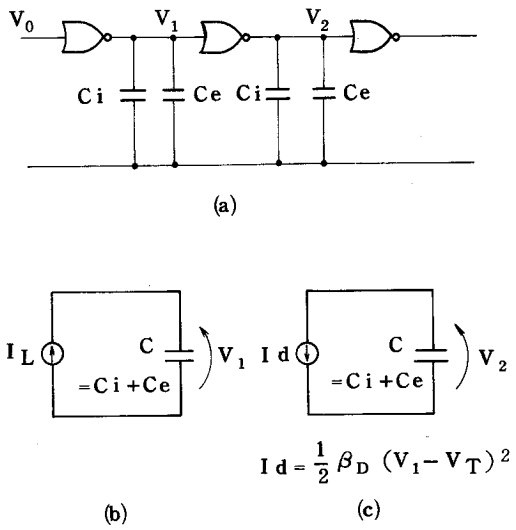


図3.5.6　容量性負荷をもつ論理ゲートの等価回路図

値を I_L とし，この I_L によって負荷容量 $C=Ci+Ce$ が充電されるとすると，図3.5.6に示す V_1 の応答は，

$$V_1=(I_L/C)t \qquad (3.5.1)$$

で与えられる。$V_1=V_T$ と置いて，立上り時間 t_{dr} をもとめると，

$$t_{dr}=(C/I_L)V_T \qquad (3.5.2)$$

となる。立下り特性すなわち V_2 の応答を求めるために $V_1=V_T$ となる時刻を $t=0$ とすると，駆動トランジスタのドレイン電流は，V_1 が V_D と等しくなる時間を t_1，すなわち

$$t_1=\frac{C(V_D-V_T)}{I_L} \qquad (3.5.3)$$

として次式であらわされる。

$$I_d = \frac{\beta_E}{2} V_1^2 = \frac{\beta_E I_L^2}{2C^2} t^2 \qquad (t \leqq t_1) \qquad (3.5.4)$$

$$I_d = \frac{\beta_E}{2} V_D^2 \equiv I_D \qquad (t \geqq t_1) \qquad (3.5.5)$$

$t \leqq t_1$のときは（3.5.4）式で与えられる電流によって負荷容量Cが放電される。V_2の応答を求めると，

$$V_2 = -\frac{\beta_E I_L^2}{6C^3} t^3 + V_D \qquad (3.5.6)$$

となり，$V_2 = V_T$ とおいて，t_{df} を求めると次式のようになる。

$$t_{df} = \frac{C}{I_L} (V_D - V_T) \sqrt[3]{\frac{3I_L}{I_D}} \qquad (3.5.7)$$

一方 $t \geqq t_1$のときは，$t = t_1$までI_dはtの2次関数として増加するが，$t \geqq t_1$で飽和電流値$I_d = I_D$となり一定となる。従って，V_2の応答は，

$$V_2 = -\frac{I_D}{C}\left(t - \frac{2}{3} t_1\right) + V_D \qquad (3.5.8)$$

となる。$V_2 = V_T$ として t_{df} を求めると t_{df} は次式のようになる。

$$t_{df} = C(V_D - V_T)\left(\frac{1}{I_D} + \frac{2}{3I_L}\right) \qquad (3.5.9)$$

t_{df}は，$t_{df} \gtreqless t_1$ となる条件に従って，（3.5.7）式か（3.5.9）式のいずれかで表わされる。$t_{df} \leqq t_1$ となる条件を（3.5.7）および（3.5.9）式から逆算すると$I_L \leqq (1/3) I_D$となる。通常のE－Dゲートにおいて負荷トランジスタの電流値は，雑音余裕の観点から，駆動トランジスタの電流値よりも十分小さくなるように設定されるため，一般に$I_L \leqq (1/3) I_D$は満足されている。従って，（3.5.2）式と（3.5.7）式から遅延時間を求めると次のようになる。

$$t_d = \frac{C}{2I_L}\left\{V_T + \sqrt[3]{\frac{3I_L}{I_D}}(V_D - V_T)\right\} \qquad (3.5.10)$$

上式は，文献（17）で与えられている近似式で出力“H”レベルをV_D，出力“L”レベルを0とおいた式と等価である。容量Cを内因性容量Ciと外因性容量Ceに分離すると，容量性負荷をもつ遅延時間t_dは次式で与えられる。

$$t_d = t_{dm}\left(1+\frac{Ce}{Ci}\right)$$

$$t_{dm} = \frac{Ci}{2I_L}\left\{V_T + \sqrt[3]{\frac{3I_L}{I_D}}\left(V_D - V_T\right)\right\} \qquad (3.5.11)$$

ii）配線抵抗を有するゲートの遅延時間

ゲート配線にポリシリコン，または拡散層が用いられる場合，これらの配線抵抗がゲート遅延時間に影響を与える。抵抗をもつ配線体をπ形等価回路であらわしたとき，配線抵抗を含めたゲートの等価回路は図3.5.7のとおりになる。ここでCiは前節と同一の内因性容量であり，C_w

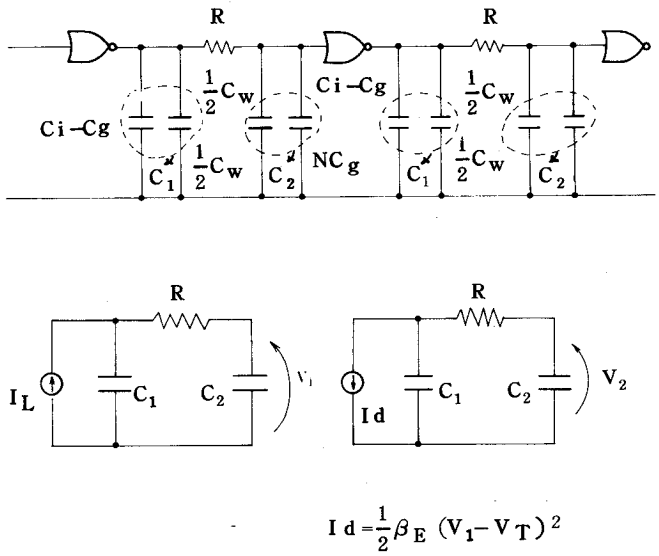


図3.5.7　配線抵抗を考慮に入れた論理ゲートの等価回路図

はポリシリコン及びアルミの配線容量，C_gはゲートの入力容量，Rはポリシリコン配線抵抗，Nはファンアウト数である。立上り時間t_{dr}及び立下り時間t_{df}を求めるための等価回路図をそれぞれ図3.5.7(b)，(c)に示す。ここで

$$C_1 = Ci - C_g + \frac{1}{2}C_w$$

$$C_2 = \frac{1}{2}C_w + NC_g \qquad (3.5.12)$$

であり，また外因性容量C_eは，

$$C_e = C_w + (N-1)C_g \qquad (3.5.13)$$

である。微分演算子pを用いてV_1を求めると

$$V_1 = \frac{I_L}{p[RC_1C_2p + C_1 + C_2]} \qquad (3.5.14)$$

となる。逆変換してt関数になおすとV_1は次式で与えられる。

$$V_1 = \frac{I_L}{C_1 + C_2}\left\{t - \tau_0\left(1 - e^{-\frac{t}{\tau_0}}\right)\right\} \qquad (3.5.15)$$

ここで

$$\tau_0 = \frac{RC_1C_2}{C_1 + C_2} \qquad (3.5.16)$$

である。$e^{-\frac{t}{\tau_0}} \ll 1$と考えて(3.5.15)を近似すると次式が得られる。

$$V_1 = \frac{I_L}{C_1 + C_2}(t - \tau_0) \qquad (3.5.17)$$

立上り時間t_{dr}は上式において$V_1 = V_T$として，tについて解くと得られる。

$$t_{dr} = \frac{C_1 + C_2}{I_L}V_T + \tau_0 \qquad (3.5.18)$$

(3.5.18)式であらわされるt_{dr}は，容量性の負荷のみを持つ場合の(3.5.2)式に比べてτ_0だけ増加している。

次に立下り時間t_{df}を求める。V_2の応答は，

$$V_2 = V_D - \frac{I_d}{p[RC_1C_2p + C_1 + C_2]} \qquad (3.5.19)$$

で与えられる。入力として(3.5.17)式で与えられるV_1が印加された時を考えると，$V_1 = V_T$となる時刻を$t=0$として駆動トランジスタのドレイン電流I_dは次のようになる。

$$I_d = \frac{\beta_E I_L^2}{2(C_1+C_2)^2}t^2 \qquad (3.5.20)$$

I_dが単位ステップ電流であると仮定した時の$V_2 - V_D$の応答をU(t)とすると

$$U(t) = -\frac{1}{C_1+C_2}\left(t - \tau_0 + \tau_0 e^{-\frac{t}{\tau_0}}\right) \qquad (3.5.21)$$

となる。従って(3.5.20)式のI_dが印加されたときの応答は，ドウハメリの定理[18]を用いて次

のようにあらわされる。

$$V_2 - V_D = I_d(0)\,U(t) + \int_0^t \frac{dI_d(x)}{dx}\,U(t-x)\,dx \qquad (3.5.22)$$

ここで

$$I_d(x) = \frac{\beta_E I_L^2}{2(C_1+C_2)^2}\,x^2 \qquad (3.5.23)$$

である。積分を実行すると，

$$V_2 - V_D = -\frac{\beta_E I_L^2}{6(C_1+C_2)^3}\left\{t^3 - 3\tau_0 t^2 + 6\tau_0^2 t - 6\tau_0^3\left(1 - e^{-\frac{t}{\tau_0}}\right)\right\} \qquad (3.5.24)$$

となる。$V_2 = V_T$ とおいて上式を整理すると，

$$\sqrt[3]{\frac{3I_L}{I_D}}\;\frac{(C_1+C_2)(V_D-V_T)}{I_L} = \left\{t^3 - 3\tau_0 t^2 + 6\tau_0^2 t - 6\tau_0^3\left(1 - e^{-\frac{t}{\tau_0}}\right)\right\}^{1/3} \qquad (3.5.25)$$

となり，この方程式を t について解くと t_{df} が得られるが，このままでは解析的に解くことは不可能である。（3.5.25）式の左辺は，容量性の負荷のみをもつ時の t_{df} の値（3.5.7）と等価である。方程式（3.5.25）の近似式を得るために，（3.5.21）の U(t)を次式で近似する。

$$U(t) \fallingdotseq -\frac{1}{C_1+C_2}(t-\tau_0) \qquad (t \geqq \tau_0)$$

$$U(t) = 0 \qquad (t < \tau_0) \qquad (3.5.26)$$

このとき（3.5.24）式に対応する近似式は

$$V_2 - V_D = -\frac{\beta_E I_L^2}{6(C_1+C_2)^3}(t-\tau_0)^3 \qquad (3.5.27)$$

となり，$V_2 = V_T$ とおいて，t について解き t_{df} を求めると，

$$t_{df} = \sqrt[3]{\frac{3I_L}{I_D}}\;\frac{(C_1+C_2)(V_D-V_T)}{I_L} + \tau_0 \qquad (3.5.28)$$

となる。方程式（3.5.25）の数値計算による解と，式（3.5.28）で与えられる近似解の関係は，R＝1 kΩ～5 kΩのとき図 3.5.8 に示すとおりであり，式（3.5.28）が比較的良い近似を与えることが解る。

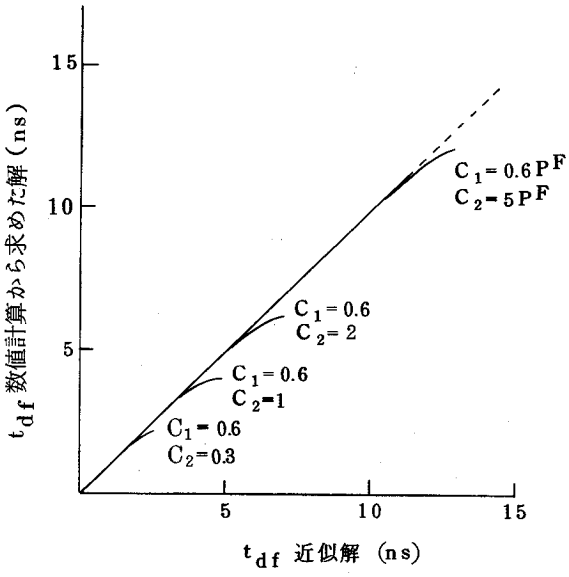


図 3.5.8　立下り時間 t_{df} の近似解と数値計算による解

(3.5.1 8) と (3.5.2 8) 式から遅延時間 t_d を次のように表わすことができる。

$$t_d = \frac{(C_1+C_2)}{2I_L}\left\{V_T + \sqrt[3]{\frac{3I_L}{I_D}}(V_D - V_T)\right\} + \tau_0 \qquad (3.5.29)$$

C_1, C_2 を内因性容量 Ci と外因性容量 Ce とに再分割し，最小ゲート遅延時間を t_{dm} とすると，遅延時間は次式のとおりになる。

$$t_d = \left(1 + \frac{Ce}{Ci}\right) t_{dm} + \tau_0 \qquad (3.5.30)$$

ここで

$$t_{dm} = \frac{Ci}{2I_L}\left\{V_T + \sqrt[3]{\frac{3I_L}{I_D}}(V_D - V_T)\right\}$$

$$\tau_0 = R \cdot \frac{\left(Ci - C_g + \frac{1}{2}C_w\right)\left(\frac{1}{2}C_w + NC_g\right)}{C_i + C_w + (N-1)C_g} \qquad (3.5.31)$$

である。

3.5.3.2　負荷トランジスタの抵抗近似

i) 容量性負荷をもつゲートの遅延時間

図 3.5.9 (a)であらわされる回路の立上り時間及び立下り時間を求める等価回路をそれぞれ図 3.5.9 (b), (c)に示す。ここで r は負荷トランジスタ特性を近似する抵抗であり，ソース・ドレイン

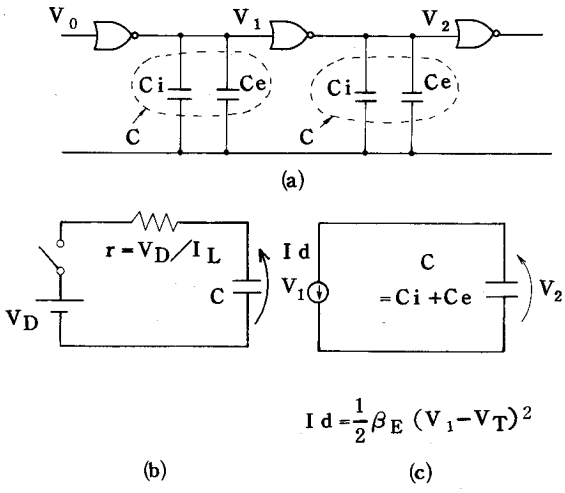


図 3.5.9　容量性負荷をもつ論理ゲートの等価回路図

間の電位差がV_Dであるときの飽和電流値をI_Lとすれば，$r=V_D/I_L$であらわされる。純粋の抵抗と異なり，定電流性のために電源電圧とともに抵抗値は変る。V_0が瞬時に 0 になったとき負荷トランジスタを介して負荷容量$C=Ci+Ce$が充電されるときのV_1の応答は，

$$V_1=V_D\left(1-e^{-\frac{1}{Cr}t}\right) \qquad (3.5.32)$$

で与えられる。$V_1=V_T$とおいて立上り時間 t_{dr} を求めると

$$t_{dr}=\frac{(Ci+Ce)V_D}{I_L}\ln\left(\frac{1}{1-\frac{V_T}{V_D}}\right) \qquad (3.5.33)$$

となる。立下り特性すなわちV_2の応答を求めるために$V_1=V_T$なる時刻を $t=0$ とすると，I_d は（3.5.32）式を用いて

$$I_d=\frac{1}{2}\beta_E(V_1-V_T)^2$$

$$=I_D\left(1-e^{-\frac{t}{Cr}}\right)^2 \qquad (3.5.34)$$

で与えられる。I_Dはゲート電圧がV_Dであるときの駆動トランジスタの飽和電流値である。（3.5.34）式のように時間とともに変る強制電流が印加されたときの応答は，単位ステップ電流が印加されたときの応答U(t)，

$$U(t)=V_2-V_D=-\frac{1}{C}t \qquad (3.5.35)$$

として，ドウアメルの定理を用いて次式の如く表わされる。

$$V_2 - V_D = I(0)\,U(t) + \int_0^t \frac{dI(x)}{dx} U(t-x)\,dx \qquad (3.5.36)$$

ここで

$$I(x) = I_D\left(1 - e^{-\frac{x}{Cr}}\right)^2 \qquad (3.5.37)$$

従って

$$V_2 - V_D = -\frac{I_D}{C}\left\{t - \frac{3}{2}cr + 2cre^{-\frac{t}{cr}} - \frac{cr}{2}e^{-\frac{2t}{cr}}\right\} \qquad (3.5.38)$$

(3.5.38)式において $V_2 = V_T$ とおき，$C(V_D - V_T)/I_D = t_{c1}$ とすると，

$$\frac{t_{c1}}{cr} = \frac{I_L(V_D - V_T)}{I_D V_D} = \frac{t}{cr} - \frac{3}{2} + 2e^{-\frac{t}{cr}} - \frac{1}{2}e^{-\frac{2t}{cr}} \qquad (3.5.39)$$

となる。$t_{c1}/(cr)$ と $t/(cr)$ の関係を図3.5.10の実線で示す。ここで破線は(3.5.39)

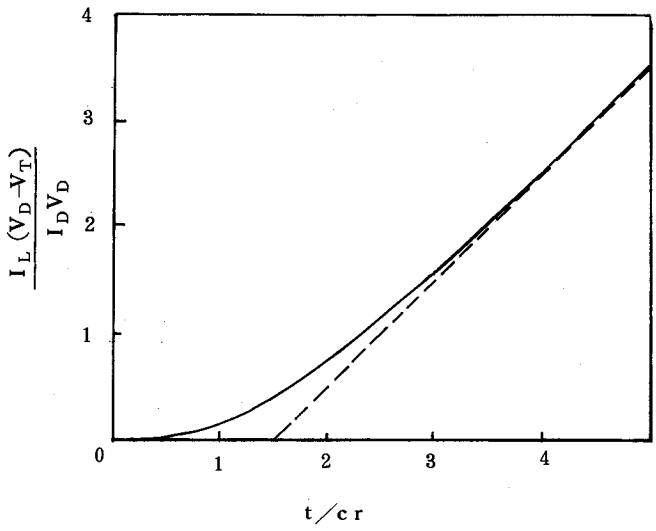


図3.5.10　t_{c1} vs. t（crで規格してある）

式右辺を $t/(cr) - 3/2$ で近似したものであり，この直線近似を用いると，方程式(3.5.39)の根 $t = t_{df}$ は，$t_{c1}/(cr) \geqq 0.5$ のとき＋20％以内，$t_{c1}/(cr) \geqq 0.2$ のとき＋50％以内の精度で次式によって近似できる。

$$t_{df} = (Ci + Ce)\left(\frac{V_D - V_T}{I_D} + \frac{3}{2}\frac{V_D}{I_L}\right) \qquad (3.5.40)$$

従って容量性の負荷をもつゲートの遅延時間は，(3.5.33)，(3.5.40)式から

$$t_d = \left(1 + \frac{Ce}{Ci}\right) t_{dm}$$

$$t_{dm} = \frac{Ci}{2}\left\{\frac{V_D}{I_L}\left(\ln\frac{1}{1-\frac{V_T}{V_D}} + \frac{3}{2}\right) + \frac{V_D - V_T}{I_D}\right\} \qquad (3.5.41)$$

が得られる。t_{dm}は内因性容量Ciを充放電するのに要する時間であり，トランジスタの形状が定まったときに得られる最小のゲート遅延時間に対応する。

ii）配線抵抗を有するゲートの遅延時間

ゲート間配線にポリシリコンなどの抵抗性配線体を用いた場合の配線抵抗を含めた等価回路を図3.5.11に示す。容量の記号は3.5.3.1で述べた定電流近似の場合と等価である。

図3.5.11(b)から微分演算子pを用いてV_1を求めると，

$$V_1 = \frac{V_D}{RrC_1C_2p^2 + \{r(C_1 + C_2) + RC_2\}p + 1} \qquad (3.5.42)$$

となる。ここで$r = V_D / I_L$，Rは配線体の抵抗である。式（3.5.42）の分母を0とおいて得られる方程式の根を$-\frac{1}{\tau_1}$，$-\frac{1}{\tau_2}$とすると，

$$\tau_1 = \frac{1}{2}\left\{r(C_1 + C_2) + C_2R + \sqrt{\{r(C_1 + C_2) + C_2R\}^2 - 4RrC_1C_2}\right.$$

$$\tau_2 = \frac{1}{2}\left\{r(C_1 + C_2) + C_2R - \sqrt{\{r(C_1 + C_2) + C_2R\}^2 - 4RrC_1C_2}\right. \qquad (3.5.43)$$

（3.5.42）式を逆変換して，t関数をもとめると，V_1は

$$V_1 = V_D\left\{1 + \frac{\tau_1 e^{-\frac{t}{\tau_1}} - \tau_2 e^{-\frac{t}{\tau_2}}}{\tau_2 - \tau_1}\right\} \qquad (3.5.44)$$

で与えられる。（3.5.44）式は2つの指数関数をもち，tについて解析的に解くことができない。そこで（3.5.44）式を，遅れを持った単一指数関数で近似する。[19] $\tau_1/\tau_2 = M$，$\frac{t}{\tau_1} = \xi$とおくと，（3.5.44）式は次のようになる。

$$V_1 = V_D\left\{1 - \frac{Me^{-\xi} - e^{-M\xi}}{M-1}\right\} \qquad (3.5.45)$$

$$\equiv V_D\{1 - f\} \qquad (3.5.46)$$

ここで

$$f = \frac{Me^{-\xi} - e^{-M\xi}}{M-1} \qquad (3.5.47)$$

である。fが次式であらわされる f_a で近似されるとし，

$$f_a = e^{-(\xi-\xi_a)/a} \qquad (3.5.48)$$

fの変曲点における勾配，及び値が f_a のそれと等しいとおくと，

$$a = 1 + \frac{1}{M}$$

$$\xi_a = \left(1+\frac{1}{M}\right)\ln\left(1+\frac{1}{M}\right) - \frac{1}{M(M-1)}\ln M \qquad (3.5.49)$$

が得られる。$\tau_1+\tau_2=\tau$ とすると，(3.5.44)式の近似式は

$$V_1 = V_D\left\{1 - e^{-\frac{t-t_a}{\tau}}\right\}$$

$$t_a = \tau\ln\left(1+\frac{\tau_2}{\tau_1}\right) - \frac{\tau_2^2}{(\tau_1-\tau_2)}\ln\frac{\tau_1}{\tau_2} \qquad (3.5.50)$$

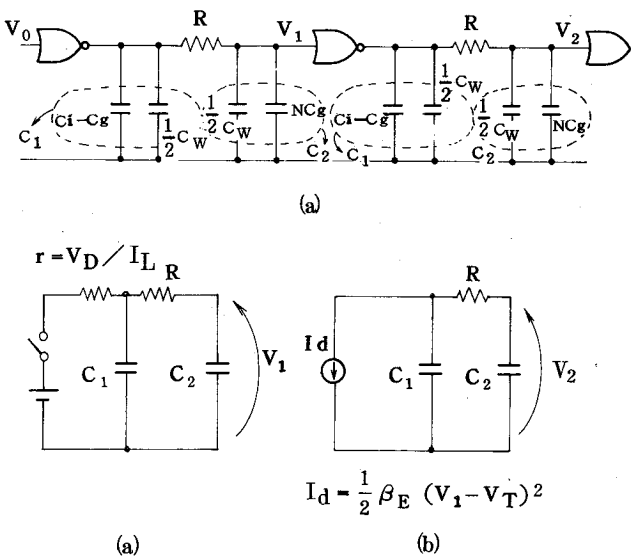


図3.5.11　配線抵抗を考慮に入れた論理ゲートの等価回路

であらわされる。$V_1 = V_T$ とおいてtについて解くと t_{dr} は次式のとおりとなる。

$$t_{dr} = (C_1+C_2)\frac{V_D}{I_L}\ln\frac{1}{1-\frac{V_T}{V_D}} + C_2 R\ln\frac{1}{1-\frac{V_T}{V_D}} + t_a \qquad (3.5.51)$$

次に立下り時間 t_{df} を求める。図3.5.11(c)から V_2 を求めると，

$$V_2 = V_D - \frac{I_d}{R\,C_1C_2\,p^2 + (C_1+C_2)\,p} \qquad (3.5.52)$$

$V_1 = V_T$ なる点を時間軸の原点（ $t=0$ ）にすると，駆動トランジスタのドレイン電流 I_d は，$\tau_1 + \tau_2 = \tau$ とおいて次式であらわされる。

$$I_d = I_D (1 - e^{-\frac{t}{\tau}})^2 \qquad (3.5.53)$$

3.5.3 1の定電流近似の場合と同様にして，I_d が単位ステップ電流である場合の $V_2 - V_D$ の応答を $U(t)$ とすると，

$$U(t) = -\frac{1}{C_1 + C_2} \{ t + \tau_0 (e^{-\frac{t}{\tau_0}} - 1) \}$$

ここで，　$\tau_0 = \dfrac{R\, C_1 C_2}{C_1 + C_2}$　　（ 3.5.54 ）

である。従って（ 3.5.53 ）式で表わされる電流が印加されたときの $V_2 - V_D$ の応答は，

$$V_2 - V_D = I_d(0)\, U(t) + \int_0^t \frac{dI(x)}{dx} U(t-x)\, dx \qquad (3.5.55)$$

で与えられる。ここで，

$$I_d(x) = I_D (1 - e^{-\frac{x}{\tau}})^2 \qquad (3.5.56)$$

（ 3.3.55 ）式の積分を実行すると，V_2 は

$$V_2 = V_D - \frac{I_D}{C_1 + C_2} \left[t - \tau_0 - \frac{3}{2}\tau - \frac{2\tau^2}{\tau - \tau_0} e^{-\frac{t}{\tau}} - \frac{\tau^2}{2(\tau - 2\tau_0)} e^{-\frac{2t}{\tau}} + \frac{\tau_0^3}{(\tau - \tau_0)(\tau - 2\tau_0)} e^{-\frac{t}{\tau_0}} \right] \qquad (3.5.57)$$

（ 3.5.57 ）式において $V_2 = V_T$ とおき，$(C_1 + C_2)(V_D - V_T)/I_D = t_{c2}$ とすると，

$$\frac{t_{c2}}{\tau} = \frac{(C_1 + C_2)(V_D - V_T)}{I_D \cdot \tau} = \frac{t}{\tau} - \frac{\tau_0}{\tau} - \frac{3}{2} + \frac{2\tau}{\tau - \tau_0} e^{-\frac{t}{\tau}} - \frac{\tau}{2(\tau - 2\tau_0)} e^{-\frac{2t}{2}} + \frac{2\tau_0^3}{\tau(\tau - \tau_0)(\tau - 2\tau_0)} e^{-\frac{t}{\tau_0}} \qquad (3.5.58)$$

となる。t_{c2}/τ と，t/τ の関係を計算した結果を，τ_0/τ をパラメータとして図3.5.12の実線で示す。ここで破線は（ 3.5.58 ）式における指数関数部分を無視した近似式の計算値である。この直線近似を用いると，i）のときと同程度の精度で t_{df} は，次式によって近似できる。

$$t_{df} = \frac{(C_1 + C_2)(V_D - V_T)}{I_d} + \tau_0 + \frac{3}{2}\tau$$

$$= (C_1 + C_2) \left\{ \frac{V_D - V_T}{I_d} + \frac{3}{2}\frac{V_D}{V_T} \right\} + \frac{R C_1 C_2}{C_1 + C_2} + \frac{3}{2} C_2 R \qquad (3.5.59)$$

（3.5.51）式と（3.5.59）式から遅延時間を求め（3.5.41）式の t_{dm} 及び $C_1+C_2=C_i+C_e$ であることを用いると，t_d は次式で表わされる。

$$t_d = t_{dm}\left(1+\frac{Ce}{Ci}\right)+\frac{1}{2}\left\{C_2R\ln\frac{1}{1-\frac{V_T}{V_D}}+t_a+\frac{RC_1C_2}{C_1+C_2}+\frac{3}{2}C_2R\right\} \quad (3.5.60)$$

（3.5.60）式の第1項は，容量性負荷によって定まる遅延時間要素であり，第2項は配線抵抗に帰因する要素である。配線抵抗が0のときは，第2項は0となり，（3.5.60）式は（3.5.41）式と一致する。

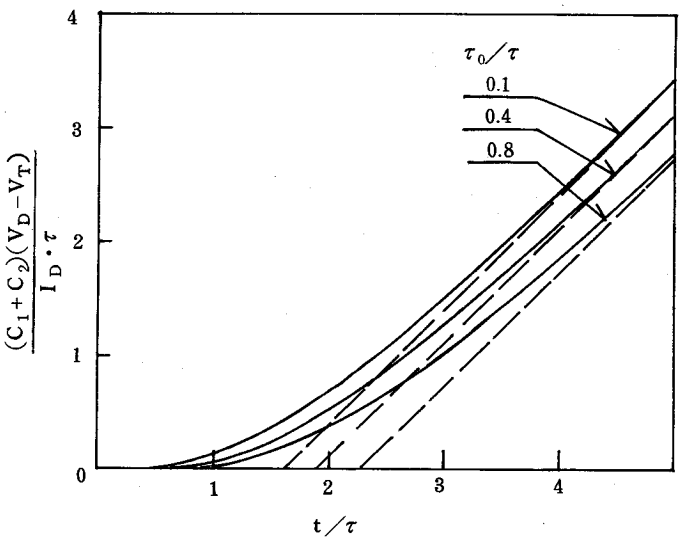


図3.5.12　t_{c2}/τ　vs.　t/τ

3.5.3.3　実験結果との比較検討

前章で述べた解析結果と実験値との対応をとるために800ゲートを有するゲートアレイ型マスタースライスLSIを用いて実験を行った。ゲート部分は，デプレション型負荷トランジスタとDSA　MOS駆動トランジスタからなるNOR論理ゲートである。配線領域は図3.5.13に示すように縦方向に走るポリシリコン固定配線（長さ310μm，幅6μm）と，アルミによる横方向配線とで行われる。

この方式ではゲートの入出力にはそれぞれ1本のポリシリコン配線が常に接続される。隣接ゲート間を最短のアルミ配線で接続したときのゲート遅延時間を t_{dm}，このときのゲートの負荷容

量をCiとすると，Ciは第1章で述べた接合容量，ゲート電極容量と，配線のためのポリシリコン及びアルミ容量の和となる。

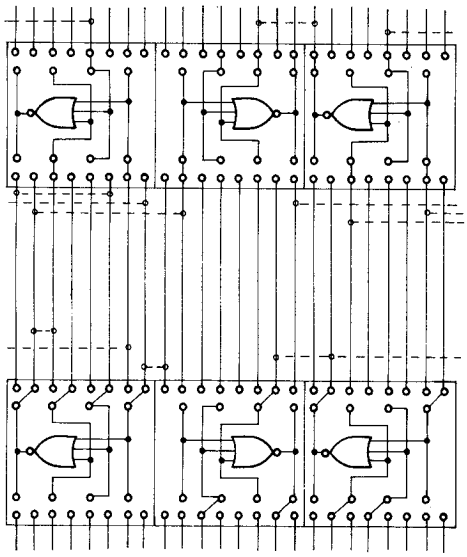


図3.5.13　ポリシリコン，アルミを配線体とするゲートアレイの配線方式，縦方向の実線がポリシリコン配線，横方向の破線はアルミ配線を示す。

図3.5.14のパターンレイアウト図から各領域の面積を求め，Ci値を算出すると約0.48 pFの値になる。図3.5.15は同じ構造のゲートを用い，ゲート間に接続されるアルミ配線長を変え

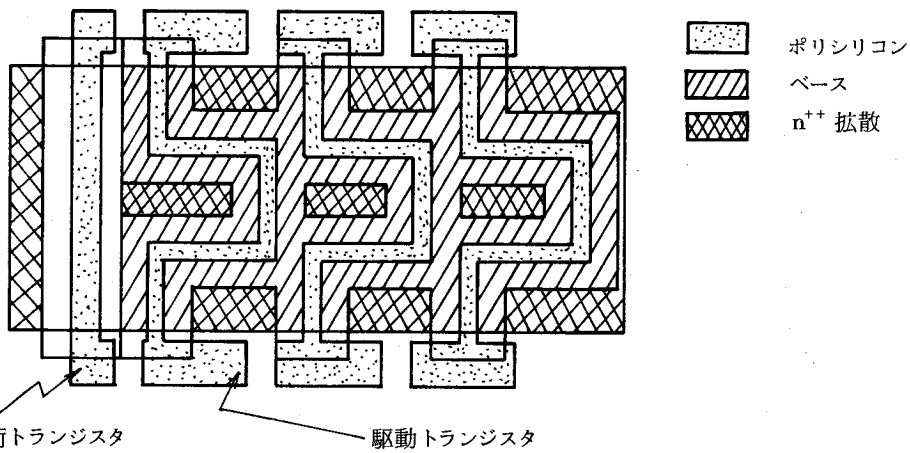


図3.5.14　デプレション型負荷トランジスタを有する3入力NORゲートのパターンレイアウト図

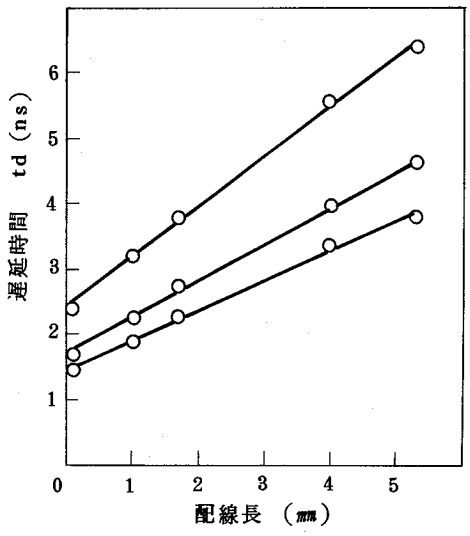


図3.5.15　遅延時間の配線長依存性

たリングオシレータで測定したゲート遅延時間を示す。アルミ配線長の増大とともに遅延時間は直線的に変化する。この直線の横軸切片におけるアルミ配線長から求めた容量はCi の値に対応すると考えられ，この場合 Ci 値は0.51 pF となり，上記の計算値と良い一致を示す。

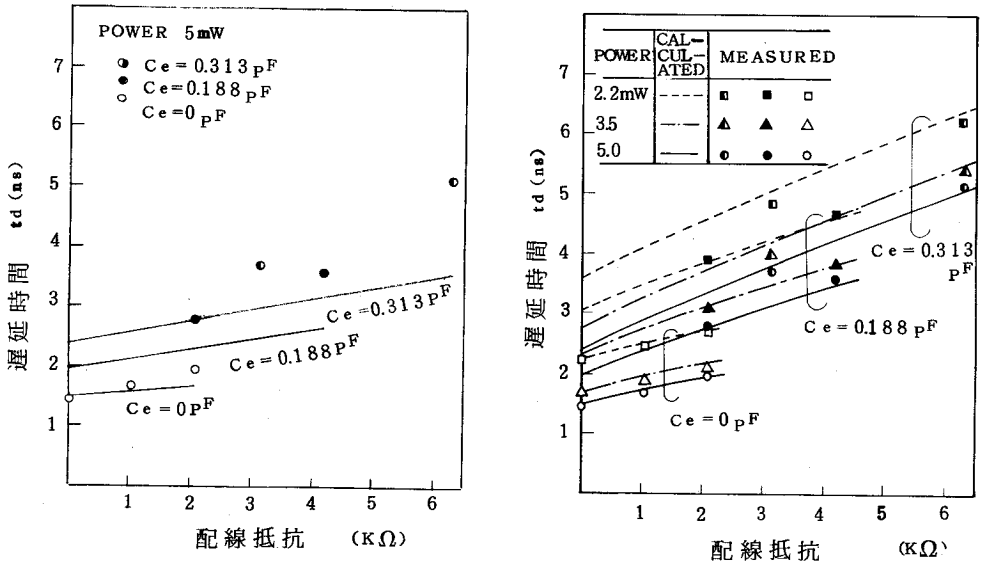
$V_D = 5V$，$V_T = 1V$，$I_D = 8mA$，$Ci = 0.51\ pF$ の各値を用いて，式(3.5.11)及び(3.5.41)を計算した結果実験結果は表3.5.2に示す通り負荷トランジスタを抵抗近似した場合の計算値と良い一致を示している。

表3.5.2　最小遅延時間の計算値と実測値

	計算値			実測値	
I_L	$\frac{1}{2}V_D \cdot I_L$	t_{dm} (定電流近似)	t_{dm} (抵抗近似)	Pd	t_{dm}
0.9 mA	2.25 mW	1.07 ns	2.57 ns	2.18 mW	2.20 ns
1.4 mA	3.5 mW	0.77 ns	1.70 ns	3.51 mW	1.69 ns
2.0 mA	5.0 mW	0.59 ns	1.23 ns	4.86 mW	1.45 ns

次に配線体の抵抗の効果を調べるために，ゲート間にポリシリコン配線を付加して実験を行った。ポリシリコン及びアルミの配線容量を一定にし，ゲート間に直列に接続されるポリシリコン

配線長を変えることで，配線抵抗のみを変えることができる。図3.5.16はリングオシレータを用いて測定したゲート遅延時間と配線抵抗の関係を示す。図3.5.16(a)及び(b)における曲線はそれぞれ，負荷トランジスタの定電流近似（3.5.30）式及び抵抗近似（3.5.60）式から t_{dm}，C_i の実測値を用いて求めた計算値であり，抵抗近似の場合，実測値と良い一致を示している。この図から，ポリシリコン配線抵抗がゲート遅延時間に大きな影響を与えていることがわかる。一例として5mW／ゲートの消費電力の場合についてみると，配線容量が0.313pFのとき，配線抵抗が0であれば，約2.3nsの遅延時間であるが，6kΩの配線抵抗が入ると約5.1nsまで増大する。



(a) 定電流近似　　(b) 抵抗近似

図3.5.16　ゲート遅延時間に与える配線抵抗の効果

3.5.4　出力バッファ回路の遅延時間[20]

出力バッファ回路は，ＬＳＩ内部で処理した信号をＬＳＩ外部に取り出すための回路である。ＬＳＩ内部で対象となる負荷容量に比べてＬＳＩ外部の容量は桁違いに大きい。従って必要な負荷容量を十分に駆動するために最終段のトランジスタのサイズは大きくなる。ところが最終段のトランジスタのサイズが大きくなると，その前段のトランジスタに対する負荷が重たくなる。従って内部ゲートと出力トランジスタの中間に，いくつかのインバータを設けこれらの大きさが，内部ゲートのサイズから出力トランジスタのサイズまでテーパ状に変えるという方法が一般的にとられている。H. C. Linらは，出力バッファ回路の解析を行い，専有面積と遅延時間に関する最適化の手法を述べている。[21]　ここでは，出力トランジスタと1段の前置増幅器からなる出力バッファ回路をとりあげ，遅延時間最小，及び電力遅延時間積最小の条件について検討する。

図3.5.17は，解析に用いた出力バッファ回路の等価回路である。前置増幅器はエンハンスメントーデプレション形ゲートであり，最終段は，エンハンスメントーエンハンスメント形プッシュプル回路になっている。トランジスタのポリシリコンゲート幅をW，ゲート長をLとして，最終段W＝２０００μm，前置増幅器W＝２５０μm，L＝3.5μmの場合について，回路解析プログラムＬＩＬＡＳを用いてシミュレーションを行い，各ノードにおける電圧波形を求めた一例を図3.5.18に示す。最終段トランジスタのW＝２０００μm，内部ゲートのトランジスタのWを４０μmと固定し，前置増幅器のWを変えた場合の遅延時間を同じくLILASを用いて求めた。

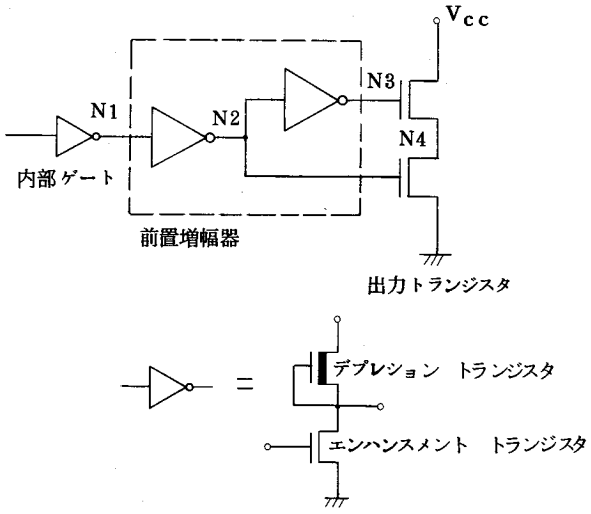


図3.5.17　出力バッファ回路

結果は図3.5.19に示す通り，出力立上り時の遅延時間 t_{dr}，出力立下り時の遅延時間 t_{df} ともに前置増幅器のW＝２５０μm近傍で最小値をもっている。

出力バッファ回路における遅延時間の最適条件を検討するために図3.5.17の回路を図3.5.20の通り簡略化して考察する。ここでゲート1はＬＳＩ内部ロジックのゲート，2が前置増幅器，3が出力トランジスタである。ゲート1，2，3のそれぞれのゲート幅をW_0，γW_0，$\gamma_0 W_0$ とすると各節点の容量は，図3.5.20中に示すとおりとなる。ゲート1と同じ大きさをもつゲートにC_0の負荷容量を接続したときの遅延時間を t_0 とし，ゲート1の消費電力を p_0 とする。このバッファ回路におけるゲート1からゲート2までの遅延時間は次式で与えることができる。

$$t_d = \left(\gamma + \frac{\gamma_0}{\gamma} \right) t_0 \qquad (3.5.61)$$

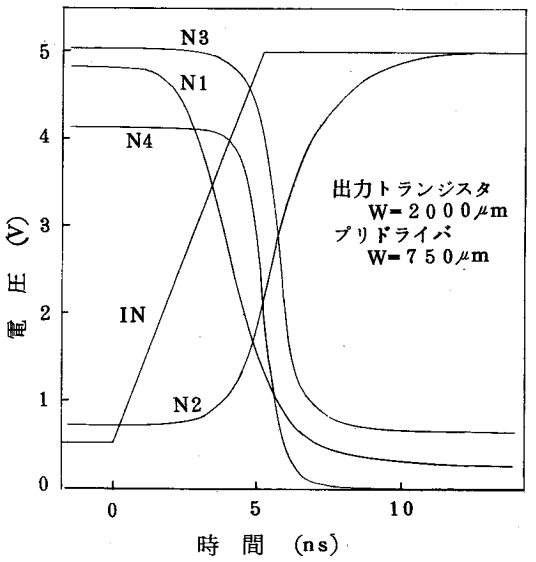


図3.5.18　バッファ回路の内部波形

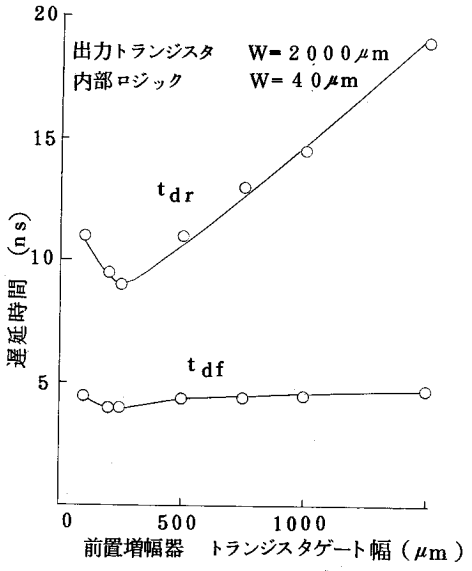


図3.5.19　出力バッファ回路における遅延時間の前置増幅器寸法依存性

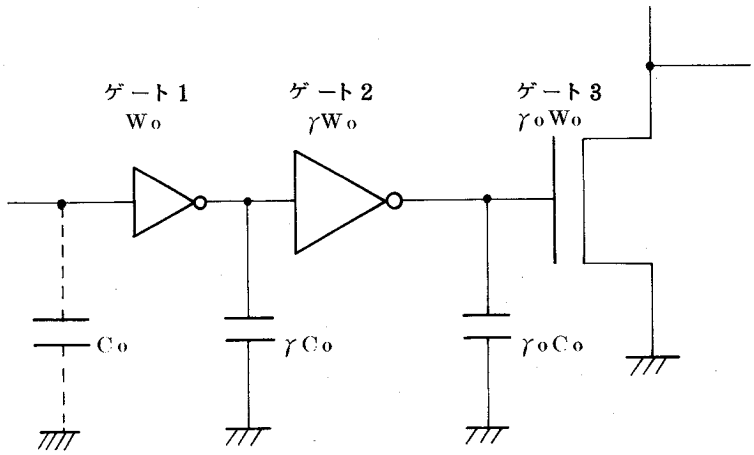


図3.5.20　出力バッファ回路の等価回路

従ってγを変数としたときのt_dの最小値は，$\gamma=\sqrt{\gamma_0}$ のとき

$$t_{d\,min} = 2\sqrt{\gamma_0} \qquad (3.5.62)$$

となる。いいかえれば遅延時間の最小値は，内部ロジックトランジスタと，出力トランジスタのWを設定することによって得られることになり，この値は，図3.5.19の値と一致する。入出力ピンを多数もつ論理LSIの場合は，出力バッファ回路における消費電力の比重が大きくなるため，電力を含めた最適条件を考慮する必要がある。以下電力ー遅延時間積（PD積）最小の条件を求める。出力トランジスタ部は，エンハンスメントーエンハンスメント構成であるため，この部分での電力消費は，エンハンスメントーデプレション構成の前置増幅器に比べて十分小さいものとすると，ゲート1，ゲート2で消費される電力は次のようになる。

$$P = (1+\gamma)\,p_0 \qquad (3.5.63)$$

ここでp_0はゲート1での消費電力である。（3.5.61）と（3.5.63）式から，ゲート1，ゲート2全体でのPD積は，

$$PD = \left(\gamma + \frac{\gamma_0}{\gamma}\right)(1+\gamma)\,t_0 p_0$$

$$= \left(\gamma^2 + \gamma + \gamma_0 + \frac{\gamma_0}{\gamma}\right) p_0 t_0 \qquad (3.5.64)$$

ここで$p_0 t_0$は内部ロジックの1ゲート当りのPD積に対応する。（3.5.64）式を$\gamma_0=50$の

場合について図示すると，図3.5.2 1のとおりとなる。P D積は前置増幅器のサイズに対して最小値をもち，この最小値を与えるγの値は遅延時間を最小にするγの値より小さなところにある。P D積を最小にするγの値は，(3.5.6 4)式のγに関する微分を0とおいて次の方程式で与えられる。

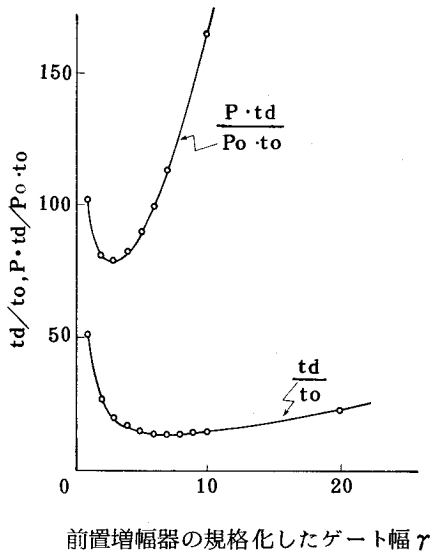


図3.5.2 1　電力遅延時間積及び遅延時間のγ依存性

$$\frac{\partial PD}{\partial \gamma} = \left(2\gamma + 1 - \frac{\gamma_0}{\gamma^2} \right) p_0 t_0 = 0$$

$$2\gamma^3 + \gamma^2 - \gamma_0 = 0 \qquad (3.5.65)$$

(3.5.6 5)の方程式は$\gamma_0 > 1$のとき，正の一実根を有し，このγの値が(3.5.6 4)式を最小にするγとなる。これをγ_{EM}とすると，

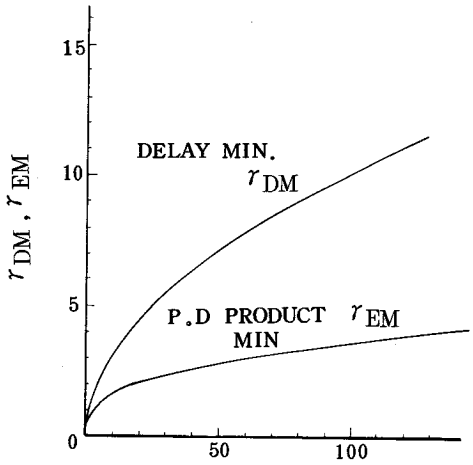
$$\gamma_0 = 2\gamma_{EM}^3 + \gamma_{EM}^2 \qquad (3.5.66)$$

一方遅延時間を最小にするγをγ_{DM}とすると(3.5.6 2)式より

$$\gamma_0 = \gamma_{DM}^2 \qquad (3.5.67)$$

出力トランジスタのWをきめるγ_0に対して，(3.5.6 6)，(3.5.6 7)をプロットした結果を図3.5.2 2に示す。P D積を最小にする前置増幅器のサイズは常に遅延時間を最小にする前置

増幅器のサイズより小さくγ_0が１００程度のときγ_{EM}は概ねγ_{DM}の１／３である。



出力トランジスタの規格化したゲート幅γ_0

図 3.5.22　遅延時間及び電力遅延時間を最小にする前置増幅器のサイズ

３．６　結　　言

ＭＯＳＬＳＩの高速化を制限する支配的な要素が外因性遅延時間であるため，配線容量をはじめとする負荷容量及び，配線抵抗と，遅延時間の関係の解析を行った。外因性遅延時間の限界値は，ＭＯＳトランジスタの相互コンダクタンスg_mとゲート電極容量C_gとで定まる時定数C_g/g_mであるため，このC_g/g_mを小さくする各種の短チャネルＭＯＳデバイスのうち，従来の製造プロセス技術で実現可能な拡散自己整合（ＤＳＡ）ＭＯＳトランジスタをとりあげて解析を行った。ＤＳＡ　ＭＯＳトランジスタは，微細化したＮＭＯＳトランジスタと同一の製造プロセス工数で製造することができ，プロセス上の相異点は，エンハンスメント型トランジスタのチャネルドープ工程の順番が異なるのみである。

ＤＳＡ　ＭＯＳトランジスタの微細化を行い，微細化したＮＭＯＳトランジスタと静特性について比較を行ったところ以下の事が明らかになった。

i）チャネル長の低減に対する閾値電圧V_Tの変動は，ＮＭＯＳデバイスの場合１０μｍから３μｍまでゆるやかに減少し，３μｍ以下では急峻に低下するのに対して，非対称形ＤＳＡ　ＭＯＳトランジスタでは，１０μｍから２μｍまでのチャネル長においてV_Tは一定であり２μｍ以下で急減する。対称形ＤＳＡ　ＭＯＳトランジスタでは２μｍのチャネル長ま

で V_T は一定であり，2 μm以下で V_T はむしろ上昇する。

ii）耐圧はNMOS，及び非対称形DSA MOSトランジスタそれぞれ3 μm及び2 μm以下のチャネル長でパンチスルーのために急激に低下するが，対称形 DSA MOS トランジスタでは1.3 μm以下のチャネル長でもパンチスルー現象は観測されない。

上記のDSA MOSトランジスタと，デプレション型負荷トランジスタから構成されるE－D（エンハンスメント・デプレション）型論理ゲートについて外因性遅延時間の解析を行った。MOSLSI内における論理ゲートの遅延時間は，論理ゲート構造に固有の内因性容量を充放電するのに要する最小遅延時間が，配線，ファンアウトの増加にともなう容量，抵抗の負荷によって増大するものとして取扱うことができる。接合容量をはじめとする論理ゲートの内因性容量の成分の相対値を実験的に求める方法として，リング発振器の発振周波数から求めた遅延時間から逆算する方法を提案し，内因性容量の分析を行った後，遅延時間の解析を行った。その結果以下の事が明らかになった。

i）論理ゲートの内因性容量は，接合容量，ゲート電極容量及び，論理ゲート間を接続する最短配線容量からなる。単位面積当りの接合容量のうち，不純物濃度の高いフィールド酸化膜下の p^+ 拡散領域と，ソースドレイン領域を形成する n^+ 拡散領域との間の接合容量は，アルミ配線―基板間容量の約17倍の値をもつ。またゲート電極とドレイン拡散の重なりに帰因する帰還容量のミラー係数は3.4の値になり，これらの容量は，最小遅延時間に大きな影響を与える。

ii）容量性の負荷のみをもつ論理ゲートの遅延時間は，負荷容量に比例するため，全負荷容量と内因性容量の比を最小遅延時間に乗ずれば，論理ゲートの遅延時間が得られる。

iii）配線体に抵抗成分が含まれる場合，配線体をπ型等価回路に置きかえることで遅延時間の近似式を，負荷トランジスタの定電流近似，抵抗近似，各々の場合について陽関数表示で求めることができた。デプレション型負荷トランジスタは基板バイアス効果によって抵抗に近い特性になるため，上記抵抗近似による近似式が，実験と良い一致を示した。

iv）配線抵抗が遅延時間に与える効果は著しく，例えば0.31 pF の配線容量で2.3 ns の遅延時間が得られている論理ゲートに6 kΩの配線抵抗を付加すれば遅延時間は5.1 ns まで増大する。従ってLSIの高速化をはかるためには配線抵抗の低減が極めて重要な条件となる。

v）LSI外部の容量を，十分に駆動できる出力トランジスタと，この出力トランジスタを駆動するための，前置増幅器とからなる出力駆動回路では，出力トランジスタのチャネル幅と，LSI内部ゲートのチャネル幅の相乗平均値を前置増幅器のチャネル幅に設定すると，出力駆動回路の遅延時間を最小にすることができる。

vi) 出力駆動回路の電力ー遅延時間積を最小にする前置増幅器のチャネル幅は，遅延時間を最小にするチャネル幅より小さい。内部ゲートのチャネル幅で規格化した出力トランジスタのチャネル幅を１００とすると，遅延時間を最小にする前置増幅器のチャネル幅は$\sqrt{100}$＝１０になり，電力遅延時間積を最小とする前置増幅器のチャネル幅は約3になる。

第3章 文 献

(1) B. Hoeneisen and C.A. Mead; "Fundamental limitation in microelectronics-I. MOS technology", Solid-State Electron., Vol. 15, p. 819, 1972.

(2) L.D. Yau; "A simple theory to predict the threshold voltage of short-channel IGFET's", Solid-State Electron., Vol. 17, p. 1059, 1974.

(3) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOS FETs' with very small physical dimensions", IEEE, J.Solid-State Circuits, Vol. SC-9, p.256, 1974.

(4) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st. Conf. Solid State Devices Tokyo, 1969, suppl. J. Japan Soc. appl. Phys., Vol. 39, p. 105, 1970.

(5) I. Ohkura, M. Ohmori, K. Shimotori, T. Nakano, Y. Hayashi, and Y. Tarui, "Fully ion-implanted DSA MOS IC", Proc. 8th. Conf. Solid-State Devices, Tokyo, 1976, suppl. Japan. J. appl. Phys., Vol. 16, p. 167, 1977.

(6) T.J. Rodgers and J.D. Meindl; "VMOS: High-speed TTL compatible MOS logic", IEEE J. Solid-State Circuits, Vol. SC-9, p. 237, 1974.

(7) M.D. Pocha, A.G. Gonzalez and R.W. Dutton; "Threshold voltage controllability in double-diffused MOS transistors," IEEE Trans. Electron Devices, Vol. ED-21, p.778, 1974.

(8) H. Masuda, T. Masuhara, M. Nagata and N. Hashimoto; "Device design of the E/D gate MOSFET", Proc. 4th Conf. Solid-State Devices, Tokyo, 1972. suppl. J. Japan Soc. appl. Phys., Vol. 42, p. 167, 1973.

(9) D.P. Kennedy and R.R. O'Brien; "Analysis of the impurity atom distribution near the diffusion mask for a planar p-n junction", IBM J. Vol. 9, p. 179, 1965.

(10) I.Ohkura, O. Tomisawa, M. Ohmori and T. Nakano; "Electrical characteristics of DSA MOS transistor with fine structure", IEEE J. Solid-State Circuits, Vol. SC-14, p. 352, 1979.

(11) H.J. Sigg, G.D. Vendelin, T.P. Cauge and J. Kocsis; "D-MOS transistor for microwave applications", IEEE Trans. Electron Devices, Vol. ED-19, p. 45, 1972.

(12) T.J. Rodgers, S. Asai, M.D. Pocha, R.W. Dutton and J.D. Meindl; "An experimental and theoretical analysis of double-diffused MOS transistors", IEEE J. Solid-State Circuits, Vol. SC-10, p.322, 1975.

(13) 大倉，浅井，下酉，中野，林，垂井；"DSA MOS トランジスタの E/D モデル解析" 信学論(C)，Vol．62－C，p．107，1979．

(14) Y. Hayashi, T. Sekigawa and Y. Tarui; "DSA MOS transistor and its integrated circuits", Proc. 8th Conf. Solid-State Devices, suppl. Japan J. appl. Phys., Vol. 16, p. 163, 1977.

(15) 富沢，中屋，穴見，中野；"MOS E－D ゲートの遅延時間解析"，信学論(C)，Vol. 62－C，p.811，1979．

(16) 穴見，大森，富沢，中野；"EDMOS インバータにおける負荷容量の分析" 昭53 信学全大 2－186

(17) 林，垂井，橋本；"ED－MOS－ICの設計理論"，信学論(C) Vol. 55－C，p．337，昭47－07．

(18) 例えば
林重憲；"演算子法解説" p．83 電気書院，昭38

(19) D.K. Lynn 編 "Analysis and design of integrated circuits" p. 514, McGraw-Hill, 1967.

(20) 富沢，穴見，大森，大倉，中野；"MOS 出力バッファ回路の設計"，昭52 信学全大 p．2－149．

(21) H.C. Lin; "An optimized output stage for MOS integrated circuits", IEEE J. Solid-State Circuits, Vol. SC-10, 1975.

第４章　高速大規模集積回路への応用

４．１　序

高速ＬＳＩの応用分野として各種の産業用システムを眺めること，これらのシステムに必要なＬＳＩは大きくわけて２つの分野に分類することができる。その１つは記憶装置（メモリ）であり，他は論理回路（ロジック）である。メモリはさらに，直列形のデータ記憶方式をとるシフトレジスタ，読み出し専用のＲＯＭ（Read Only Memory）と，読み書き可能なランダムアクセスメモリＲＡＭ（Random Access Memory）に区別することができる。

一方論理ＬＳＩは，マイクロプロセッサで代表される汎用論理ＬＳＩと顧客の特別仕様による専用カスタムＬＳＩ，及び両者の中間に位置づけられる準カスタムＬＳＩとに分類することができる。この準カスタムＬＳＩには，ＰＬＡ（Programable Logic Array）　や，マスタースライス形ゲートアレイ　がある。

第２章でI^2Lの動作速度を制限している要因としてｎ型エピタキシャル層内に蓄積する正孔の解析を行い，高速化を可能にするものとしてＶＩＬデバイスの提案を行った。また第３章では，ＭＯＳＬＳＩの速度制限要因として，外因性遅延時間の解析を，ＤＳＡ　ＭＯＳデバイスについて行った。

本章では，メモリとしてＲＡＭを，ロジックとしてゲートアレイを対象として，第２章及び第３章で検討した結果を検証するために，高速バイポーラ技術をＲＡＭに，高速ＭＯＳ技術をロジックに応用し，大規模集積回路構成上の問題点を明らかにした結果を述べる。

I^2Lデバイスを用いた各種メモリセルの提案がなされている[(1)〜(4)]もののメモリＬＳＩとしての問題点は十分把握されていない。そこでまずメモリセルとしての基本機能，及びアドレス方式について評価し，その結果にもとづいて，ＶＩＬデバイスを採用した１ＫビットＲＡＭの試作を行った。

一方ロジックの分野ではマスタースライス型ゲートアレイが主にバイポーラ回路のＥＣＬ（Emitter Coupled Logic）と呼ばれる回路を用いて開発されてきた[(5),(6)]。ＥＣＬは高速性能をもつ反面消費電力が大きいため集積度が数百ゲートに制限されていた。そこで，ＤＳＡ　ＭＯＳデバイスを用いた，高集積高速ＭＯＳゲートアレイの試作を行い，配線方式として，ポリシリコン－アルミを用いる場合と，アルミ－アルミ多層配線を用いる場合とについて検討を行い，高速ＭＯＳＬＳＩ構成上の問題点を明らかにした。

4．2　バイポーラ型高速ＲＡＭの試作

4.2.1　はじめに

バイポーラデバイスを用いたＲＡＭ(Random Access Memory)は，主に消費電力上の制約から２５６ビット以下の小規模なものに限られてきた。これはスタッティクＲＡＭのメモリセルであるラッチを構成するときに必要な負荷抵抗が，小さなパターンで高抵抗にすることができなかったためである。I^2L デバイスが負荷として横形 pnp トランジスタを用い，バイポーラであるにもかかわらず低電力を示すことから，I^2L の最初の応用品として考えられたのがＲＡＭであった。Wiedmann, Berger 等は，１９７１年以降，“全トランジスタメモリセル[1]”“変形全トランジスタメモリセル[2]”“超集積全トランジスタメモリセル[3]”“注入結合型メモリセル[4]”と称するいくつかの I^2L メモリセルを発表している。これらのメモリセルは基本的にｎｐｎ トランジスタと横型ｐｎｐトランジスタの対からなるインバータ２個でラッチを形成し，ビット線との結合用として，ｐｎｐトランジスタもしくはｎｐｎトランジスタを付加したものである。

本節では，上記の注入結合型メモリセルの回路を用い，メモリセルの動作アドレス方式を検討した後，ＶＩＬ構造を用いて１ＫビットのＲＡＭを試作した結果について述べる。

4.2.2.　メモリセルの回路及び動作

Wiedmann らが提案している注入結合形メモリセルの構造を示す平面図及び等価回路は，図4.2.1(a), (b)に示すとおりである。メモリの１セルは２つのｎｐｎトランジスタ Q_1, Q_2 と２つのｐｎｐトランジスタ Q_3 ，Q_4 及びデータの接合用ｐｎｐトランジスタ Q_5，Q_6 の６トランジスタから構成されている。Q_3，Q_4 はｎｐｎトランジスタのベース電流供給源及び負荷を兼ねている。６トランジスタ形と称しているが，実際には図4.2.1(a)に示すとおり，５個のｐ形領域があるのみで，Q_4 のコレクタと Q_2 のベースが共有される如くいくつかの場所で複合化，共有化がな

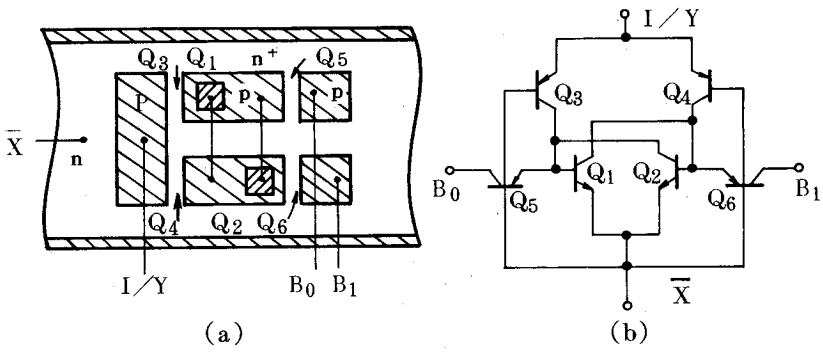


図 4.2.1　注入結合形メモリセルの構造と等価回路

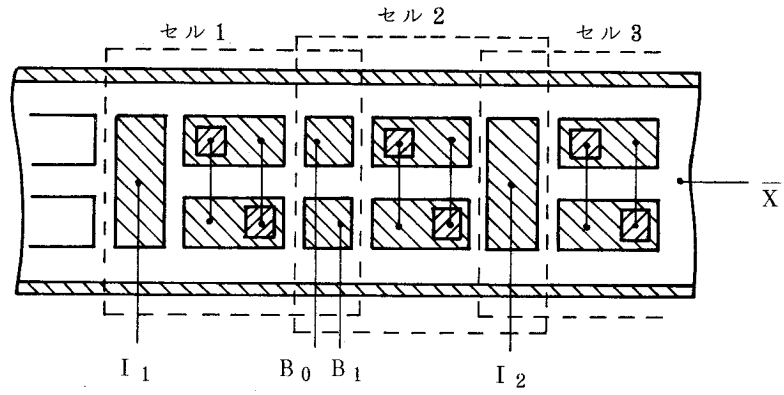
され構造的に小形化がはかられている。ｎｐｎトランジスタQ_1，Q_2のベース，コレクタは互に金属配線で結合され，これでラッチが構成される。

定常状態でQ_1，Q_2のうちいずれかが導通，他が遮断しており，どちらのトランジスタが導通しているかで記憶状態“１”“０”が定まる。Q_5，Q_6はともに双方向性をもったｐｎｐトランジスタであり，データ読み出しのときに図4.2.1(b)に示した方向で動作し，書き込み時にはエミッタ，コレクタが反転した状態で動作する。メモリセルの接地端子は，図中$\overline{X}$で示され，分離された島状領域を形成している。このメモリセルのアドレスは$\overline{X}$とＹ及びＢ０，Ｂ１で行われる。以下メモリセルの動作を読み出し時と書き込み時に分けて説明する。

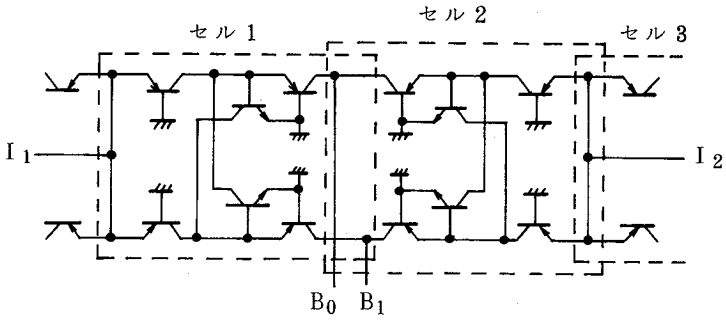
ⅰ）読み出し時：Ｘアドレスが選択されると，$\overline{X}$で表わされたｎ形の島は接地電位におとされる。このときＹアドレスが選択されないときは，Ｉと記したインジェクタ端子から微弱なスタンバイ電流（数μＡ）が流れるのみであり，Ｂ0ないしＢ1に出力電流は現われない。ＸアドレスとともにＹアドレスが選択された場合，Ｉ端子から比較的大きな電流（数１００μＡから数ｍＡ）が流し込まれ，このときはＢ0，Ｂ1のいずれかに出力電流があらわれる。たとえばQ_2が導通，Q_1が遮断の記憶状態のときならばQ_2のベース電位は，拡散電位（約0.7Ｖ），Q_1のベース電位はQ_2の飽和電位（約０Ｖ）であるため結合用ｐｎｐトランジスタQ_6を介して，Ｂ1に出力電流が流れ出す。逆にQ_2が遮断，Q_1が導通の状態であればＢ0に出力電流があらわれる。

ⅱ）書き込み時：記憶されていた状態と別の状態を書き込むには，Q_1，Q_2の導通，遮断状態を反転させればよい。Ｘアドレスは読み出し時と同様に$\overline{X}$を接地することによって選択される。Ｙアドレスは，読み出しの時にＩ端子が選択されたのに対して，書き込み時はＢ0，Ｂ1線で選択される。Ｉ端子はスタンバイ電流を供給したままである。Q_2が遮断，Q_1が導通の状態を反転させる場合について考えると，Ｉからは微弱なスタンバイ電流が流れているだけであるため，ラッチ作用はそれほど強くない。このときＢ１から書き込み電流（数１００μＡ～数ｍＡ）を流し込むと，Q_2のベースに電流が供給され，Q_2が導通，Q_1が遮断に向い状態が反転する。Q_1を導通させるには逆にＢ０から書き込み電流を流し込めば良い。

メモリセルをアレイ状に配列するには前述のセルを繰りかえし配列する方法とは別にＩとＢ０，Ｂ１を２セルで共用するように配列する方法があり，集積度が向上する。この場合のパターン及び等価回路を図4.2.2(a)，(b)に示す。図4.2.2(a)において，Ｂ０，Ｂ１はセル１とセル２とで共有され，インジェクタI_2はセル２とセル３とで共有される。Ｘアドレスの選択は$\overline{X}$を接地することで行われる。Ｙアドレスについては，セル１，セル２を読み出すとき，それぞれI_1及びI_2から読み出し電流を流し込み，共通のデータ線Ｂ0，Ｂ1から出力をとり出す。



(a)



(b)

図 4.2.2　ビット線及びインジェクタを共用するメモリセル配列方法

書き込みの時は，たとえばセル１に書き込む場合，I_1に微弱なスタンバイ電流を流しつつ，Ｂ０，Ｂ１のいずれかから書き込み電流が流し込まれる。このときセル２に誤って書き込まれるのを防止するため，I_2に十分な電流を流し，セル２のラッチ作用を強化することも同時に行われる。

4.2.3　メモリセルの評価結果

メモリセルの動作及び，前述したインジェクタを共有するセル配列方式の評価を行うために，３×２のマトリクス状に配列したメモリアレイを試作した。セル配列は図 4.2.3 に示すように，Ｘ方向３列，Ｙ方向２列である。セル１１とセル１２，セル２１とセル２２，セル３１とセル３２はそれぞれ p^+ 領域で分離された共通の n 形領域の中に作られている。またＸアドレスのアドレス線の抵抗を下げるために，共通 n 形領域には n^+ 形埋込層が設けられている。Ｙ方向のア

ドレスをするためのインジェクタ，及びB0，B1を結ぶ線は金属配線を用いた。B0，B1にデータを入れるために図4.2.4に示す入出力回路を付加しD_0，D_1からデータ（書き込み電流）を入れ，出力はB0，B1の位置で観測を行った。アドレスの機能は，XとYを分けて評価した。Yアドレス機能は，$\overline{X}_1$を選択した状態でセル１１とセル１２の書き込み読み出しの動作を図4.2.5.(a)に示すテストタイミング図に従ってチェックした。セルｉｊをC_{ij}とし，その記憶状態をQ_{ij}として，まずC_{11}とC_{12}に“１”を書き込み続いてC_{11}のみに“０”を書き込む。続いてC_{11}に“１”を，さらにC_{12}に“０”を書き込み続いてC_{11}に“１”を書き込む。これら

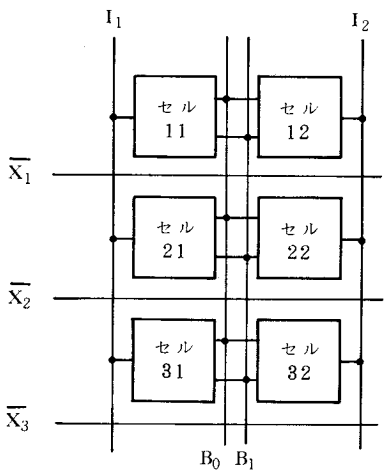


図 4.2.3　評価用メモリセルアレイ

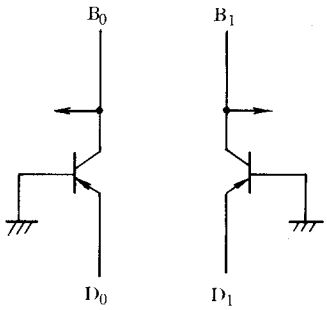


図 4.2.4　データ入出力結合回路

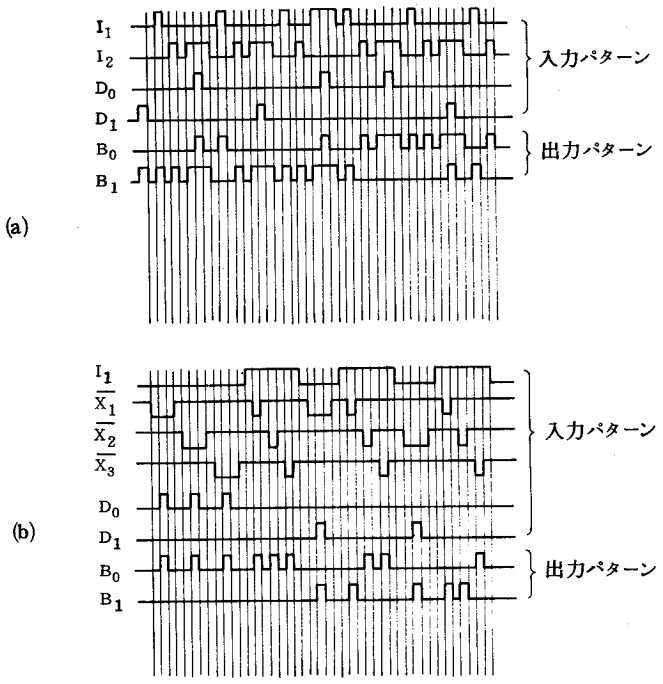


図4.2.5　メモリセル評価用入出力タイミング図

(a)　Yアドレス　(b)　Xアドレス

の一連の書き込み動作のあとには読み出し動作を入れて書き込みの確認を行った。この波形写真を図4.2.6(a)に示す。

Xアドレスの評価はセル11，セル21，セル31を用い，まず最初にC_{11}，C_{21}，C_{31}に0を書き込み続いて順次C_{11}，C_{21}に“0”を書き込み，各書き込み動作のあとにC_{11}，C_{21}，C_{31}の状態を読み出して評価を行った。テストタイミング，波形写真はそれぞれ図4.2.5(b)，図4.2.6(b)に示すとおりである。

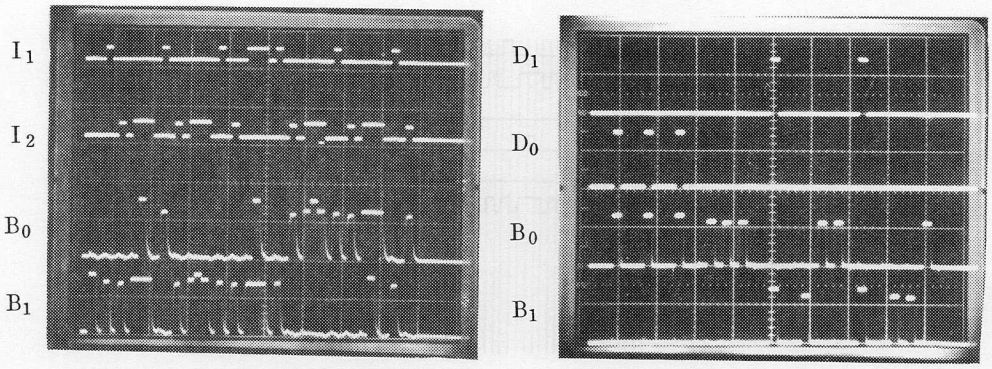
以上，インジェクタ及びビット線を共用するメモリセルアレイが正常に動作することを確認したわけであるが，共用することに帰因する問題点も存在する。すなわち，

i）隣接セルのインジェクタ電流が多いとき，所望のメモリセルに書き込むことができない。

ii）隣接セルのインジェクタ電流が少なすぎると，所望のメモリセルの書き込みと同時に隣接セルまで書き込まれてしまう。

これらの隣接セル間の相互作用を検討するために次の4つの場合について実験を行なった。

i）$Q_{11}=0$，$Q_{12}=0$の状態でC_{11}に“1”を書き込み“1”の書き込み電流W_{B1}とC_{12}



(a) (b)

図4.2.6　メモリセル入出力波形図

(a) Yアドレス (b) Xアドレス

のインジェクタ電流（書き込み防止用電流）I_{2pv}との関係を調べる。

ii）$Q_{11}=1$，$Q_{12}=1$の状態でC_{11}に“0”を書き込み“0”の書き込み電流W_{B0}と，C_{12}のインジェクタ電流I_{2pv}との関係を調べる。

iii）$Q_{11}=0$，$Q_{12}=0$の状態でC_{11}に“1”を書き込みC_{11}とC_{12}を読み出し，スタンバイ電流I_{2st}と読み出し電流I_{1R}との関係を調べる。

iv）$Q_{11}=1$，$Q_{12}=1$の状態でC_{11}に“0”を書き込み，C_{11}とC_{12}を読み出し，スタンバイ電流I_{2st}と読み出し電流I_{1R}との関係を調べる。

W_{B1}，W_{B0}，I_{2pv}，I_{2st}，I_{1R}のタイミングを図4.2.7に示す。i)からiv)までの場合について，メモリセルが正常な動作をする範囲を求めたものを図4.2.8～図4.2.11に示す。図4.2.8で示されている動作領域は図4.2.2を用いて以下のように説明される。

ある一定の書き込み電流をB1から流し込むと，セル1，セル2の両方に流れ込むが，I_2から流す書き込み防止電流I_{2pv}が十分でないとき，セル1，セル2のラッチ作用が十分でないために両方のセルに書き込まれる。I_{2pv}を増すと，セル2のラッチ作用が十分になり，B1から印加された電流でセル1は書き込まれるがセル2は書き込まれないという正常な動作になる。さらにI_{2pv}を増すと，I_2からの電流が寄生pnpトランジスタ作用で，B_0のp形領域まで流れ込み，等価的にB_0からも電流を流し込んだものと同じになる。このためセル1の書き込みが困難になる。

従って正常な動作を行わせるためには，対象とするセルに書き込むための書き込み電流と，隣接セルの書き込みを防止するためのインジェクタ電流が一定の範囲内にあることが必要となり，図4.2.8に示す動作領域になる。

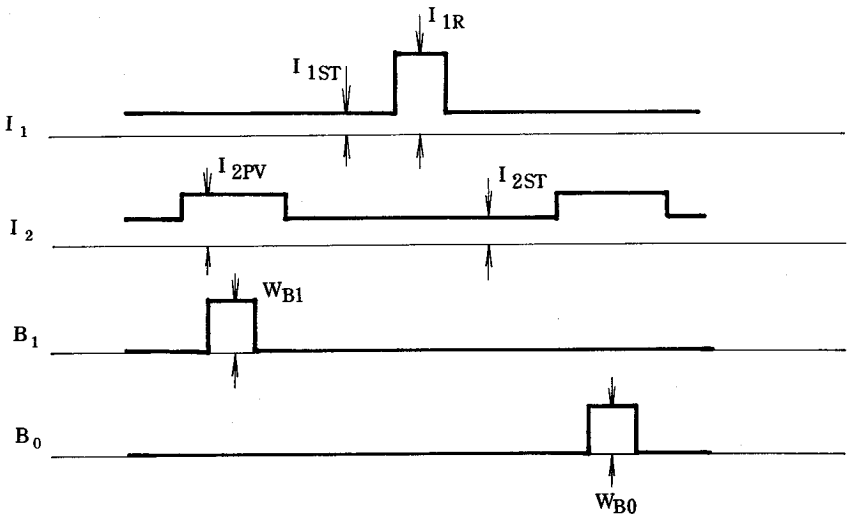


図4.2.7　共用セル方式におけるインジェクタ電流と書き込み電流

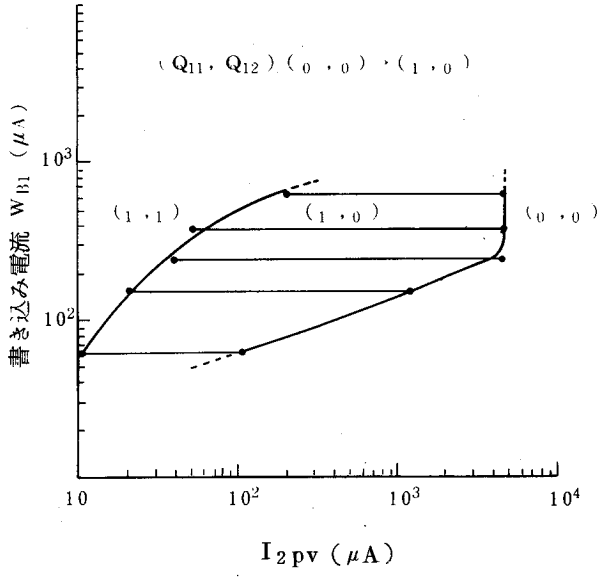


図4.2.8　メモリセルの正常動作領域（その１）

図4.2.9の場合についても同様に考えられる。図4.2.10，図4.2.11の場合は，隣接セルセル2のスタンバイ電流が小さすぎると，ラッチ作用が小さく，セル1の読み出し電流によってセル2が書き込まれてしまうことを示している。従って，一層安定性を増すためには，集積度がそ

こなわれるが，共用セル方式でなく，各メモリセル列がそれぞれ独立したビット線及びインジェクタを持つ構造を採用するのが好ましい。

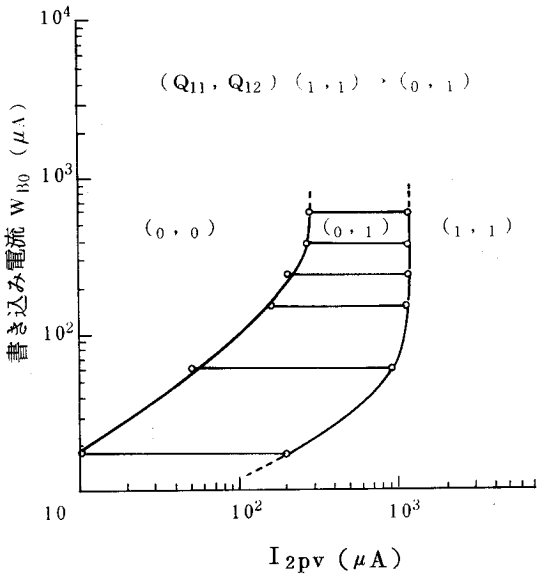


図 4.2.9　メモリセルの正常動作領域（その２）

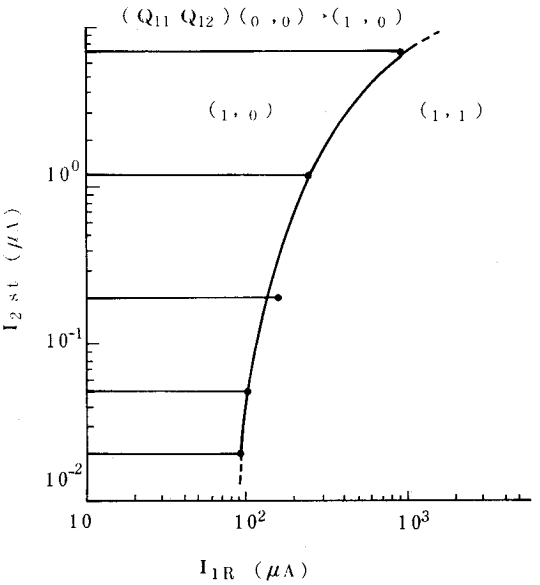


図 4.2.１０　メモリセルの正常動作領域（その３）

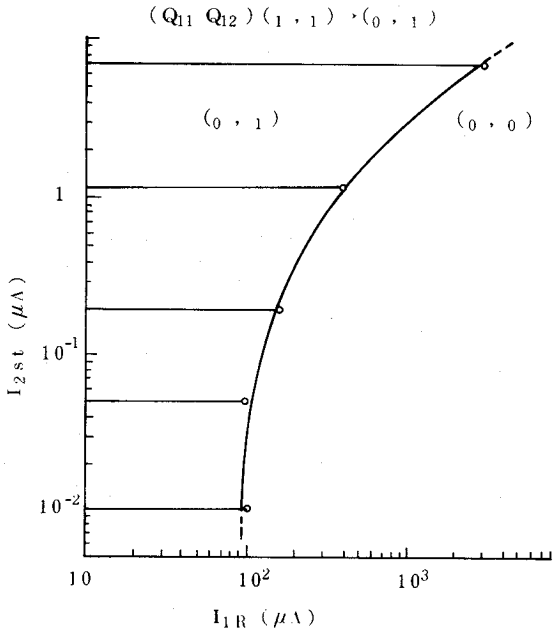


図4.2.11　メモリセルの正常動作領域（その4）

4.2.4　VIL 1KビットRAMの試作[7]

高速バイポーラLSI技術として検討を行ってきたVILデバイスの応用として，1024ビットのスタティックRAMを試作した。RAMは，メモリセルをマトリクス状に配列したメモリセル群と，1つのメモリセルを選択するためのデコーダ回路，読み出し書き込みの制御回路，及びセンスアンプ回路から構成される。センスアンプ，電源回路は，縦型pnpトランジスタを用いた通常のバイポーラ回路で形成し，その他はすべてVIL回路を用いた。図4.2.12はVILで構成したメモリセルの構造を示す。等価回路図上では通常のI^2Lメモリセルと全く同一であるが，構造上では，横型pnpトランジスタが縦形pnpトランジスタに置き替えられている。RAMにおける遅延時間のうち，最も重要なパラメータはアクセス時間である。アクセス時間はアドレス信号がデコーダで復号され，選択されたメモリセルのインジェクタに印加されるまでの遅延時間と，メモリセルの遅延時間，センスアンプの遅延時間及び，入出力制御回路の遅延時間の総和である。

図4.2.13はアドレス信号の入力からデータが出てくるまでの経路を等価回路として示したものであり，図4.2.14は，上記等価回路の各部における遅延時間の測定値を相対値として示す。図4.2.15はRAMの読み出し時における入出力波形を示す。上端がチップ選択信号，3番目がアドレス入力信号である。波形写真からアクセス時間を読み取ると，400nsである。アクセ

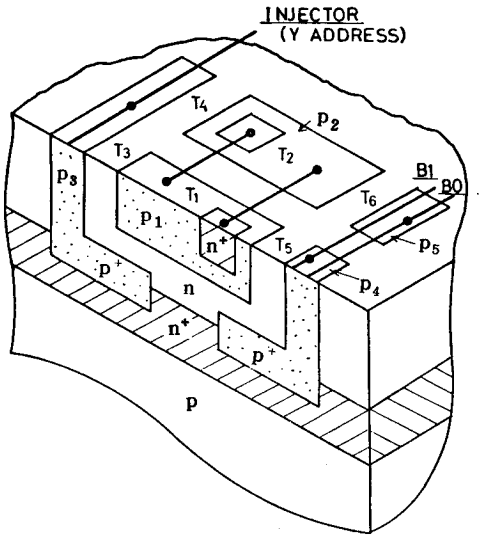


図4.2.12　ＶＩＬメモリセルの構造

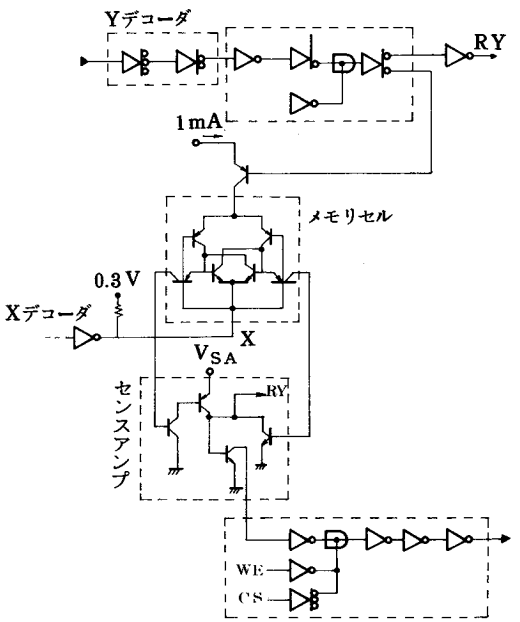


図4.2.13　メモリ等価回路

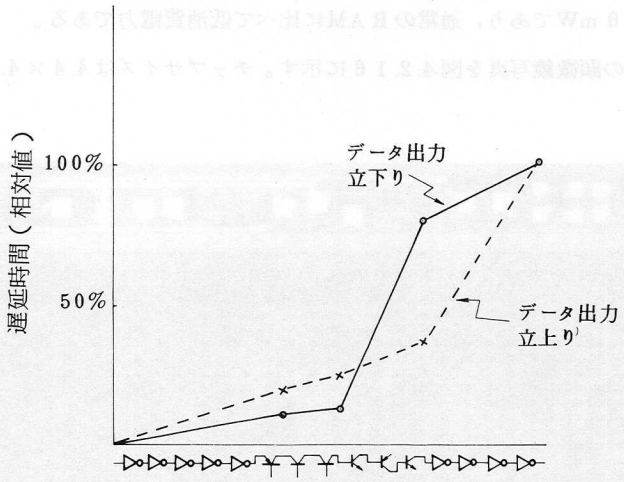


図4.2.14　アドレス入力からデータ出力までの経路における遅延時間

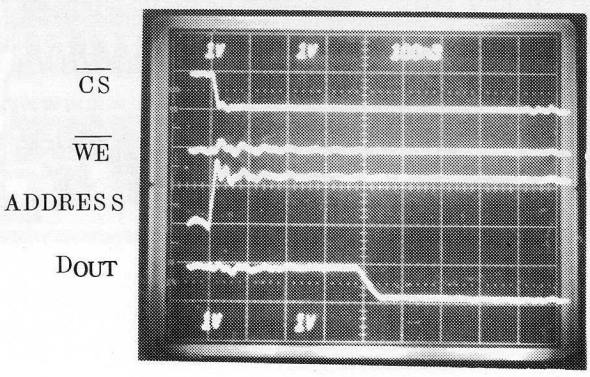


図4.2.15　メモリ入出力波形

ス時間を決める等価的なゲート段数は，15段であり，1段当りの平均ゲート遅延時間を計算すると27ns/ゲートになる。しかし，図4.2.14に見られるように，センスアンプ部分でのおくれが大きく，この部分を除くと平均ゲート遅延時間は6.5～7.3ns/ゲートになる。この値は，第2章で検討したVILゲートの遅延時間とほぼ等しい値であり，VILデバイスの高速性が活かされているものと判断することができる。センスアンプ部分の遅れについては，回路構成

上に問題があり，増幅器としての回路を改良することによって高速化が可能である。なお，動作時の消費電力は４０ mWであり，通常のＲＡＭに比べて低消費電力である。

試作したＲＡＭの顕微鏡写真を図4.2.１６に示す。チップサイズは4.4×4.0㎟である。

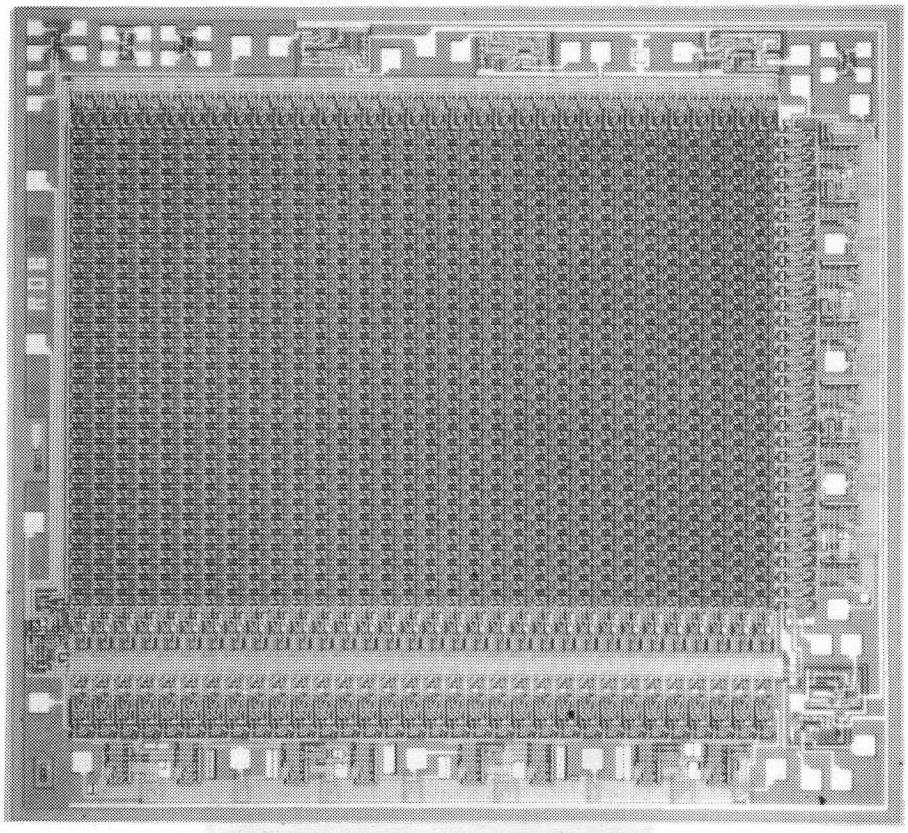


図4.2.１６　ＶＩＬ　ＲＡＭ　チップ写真

4．3　MOS型大規模論理集積回路の試作

4.3.1　はじめに

産業用システムのうちでも代表的なシステムである電子計算機は現在，第3.5世代に位置し，主としてＳＳＩ（小規模集積回路）やＭＳＩ（中規模集積回路）の論理回路で構成されている。システムの高性能化，高信頼度化，低価格化を進めるには，大規模集積回路化則ちＬＳＩ化する必要がある。しかしながら電算機用のランダム論理ＬＳＩは，多品種少量生産のため，ＬＳＩ化によって得られる経済性は必ずしも大きくなく，また開発に要する時間の割りに製品のライフサイクルが短く，開発工期の早さが不可欠となる。かかる経済性，性能および開発工期の点からマスタースライス方式が提案され，バイポーラＬＳＩの中でも最も高速化が可能なＥＣＬ（Emitter Coupled Logic）による実用化例も報告されている。[5],[6] しかしＥＣＬ方式ではパッケージの許容電力の点から自ずと集積度に限界があり，経済性面での不利を免がれない。

電算機用ランダム論理ＬＳＩの具備条件として ⅰ）動作速度，ⅱ）集積度，ⅲ）開発工期がある。低価格化のためにはチップ当りのゲート数が多い程良いが，ゲート数の増大に対してはパッケージの許容電力による制限があり，ゲート当りの電力を低くすればゲート遅延時間は長くなる。パッケージの許容電力を3Ｗとすると，電力・遅延時間積１０ pJ のデバイスを用い，ゲート遅延時間１～３ ns を得るには，チップ当りのゲート数は300～600ゲートになる。開発工期については，ＣＡＤ（Computer Aided Design）が不可欠となる。

第3章で検討した結果に基づいて，ＤＳＡＭＯＳデバイスを用い，ＣＡＤ化を前提とした高速ＭＯＳ論理ＬＳＩの試作を行った。まず，ポリシリコンとアルミを配線体として用いるマスタースライス型論理集積回路の試作結果を述べ，次に配線抵抗の低減をはかり，より高速化を実現するためにアルミ－アルミ多層配線技術を導入した，高性能ＭＯＳマスタースライス論理集積回路の試作結果を述べる。

4.3.2　マスタースライス方式論理集積回路への応用[8],[9],[10],[11]

集積回路は基本的に少品種大量生産に適したものであるが，特に計算機用集積回路等においては，多品種少量生産の傾向が強く，さらに論理設計から集積回路製造までの短い開発工期が要求される。これに対処しうる一つの有力な方法がマスタースライス方式である。マスタースライス方式は一つのマスターすなわち，アルミ配線，あるいはアルミ配線とコンタクトホール等の集積回路製造時における後部工程を除く部分を異なる品種間で共通に使用し，後部工程のみを品種ごとに作っていく方法である。従ってマスク及びウエハ工程の大半が共通化され，品種の拡張あるいは回路変更にともなって必要になるのは，アルミ配線とコンタクトホールのマスク，及びその

工程だけであるため，設計から製造までの期間が大幅に短縮される。専用化するマスクは，アルミ配線のみの場合，コンタクトホールのみの場合，あるいはコンタクトとアルミ配線の両方の場合等が考えられるが，パターン設計の自由度を考えると少くともコンタクトとアルミ配線のマスクは専用化する必要があるものと思われる。DSA　EDMOS製造プロセスで製造する場合の工程は図4.3.1に示すとおりである。DSA　MOS製造プロセスは，第3章で述べた全イオン注入プロセスを採用した。基本的な電気特性である，DSA　MOSトランジスタ及びデプレション負荷トランジスタの電流電圧特性及びE－Dインバータを構成したときの伝達特性を図4.3.2に示す。DSA　MOSトランジスタのゲート長は3 μm，ゲート幅は88 μmである。デプレショントランジスタの長さは5 μm，幅は48 μmである。DSA　MOSトランジスタの閾電圧は，0.6 Vに設定され，ゲートあたりの消費電力は3.6 mWである。標準ゲートセルのパターンレイアウトと，等価回路図を図4.3.3に示す。このセルは，1つのデプレション形負荷トランジスタと，3つの駆動トランジスタ（DSA　MOSトランジスタ）から構成されている。このセルのトランジスタサイズは，チップの全消費電力，雑音余裕度，遅延時間を考慮して決定された。ゲートの遅延時間は，そのゲートの出力に負荷として結合される容量の大きさに応じて，ゲートごとに異なる。遅延時間のゲート間のバラツキを小さくするには，ゲートのトランジスタサイズを大きくする必要がある。雑音余裕度に関しては，NAND系の論理に比べてNOR系回路の方が有利である。標準ゲートセルは，コンタクトホールとアルミ配線のパターンを変えることにより，インバータ，2入力NORゲート，3入力NORゲートになる。

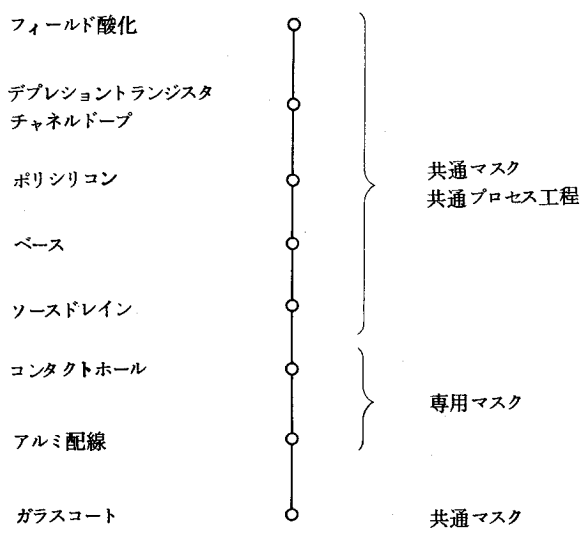
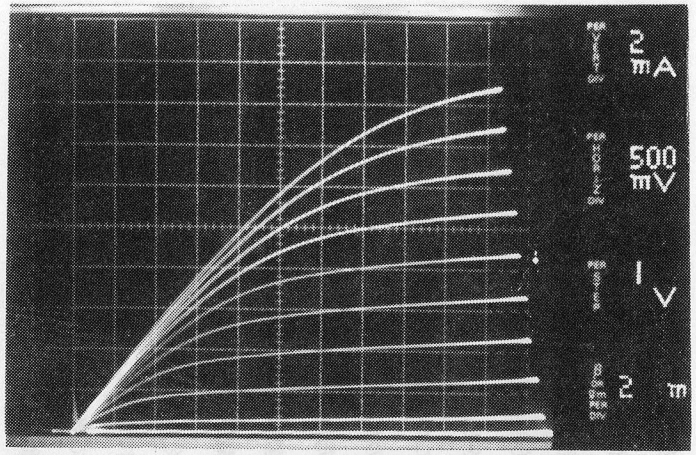
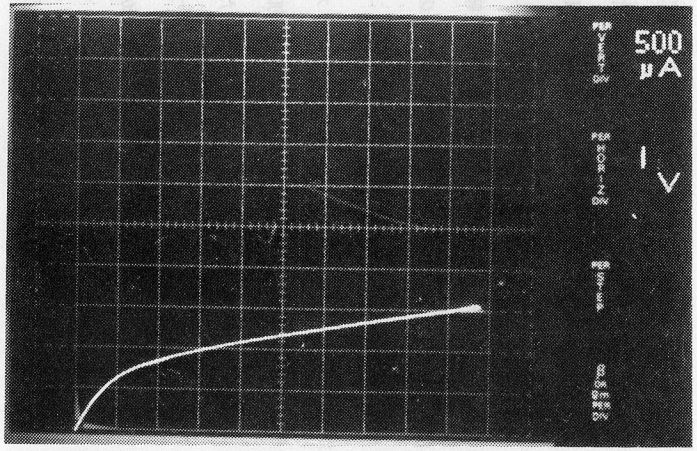


図4.3.1　DSA MOS マスタースライスの製造工程



DSA MOSFET



Load FET

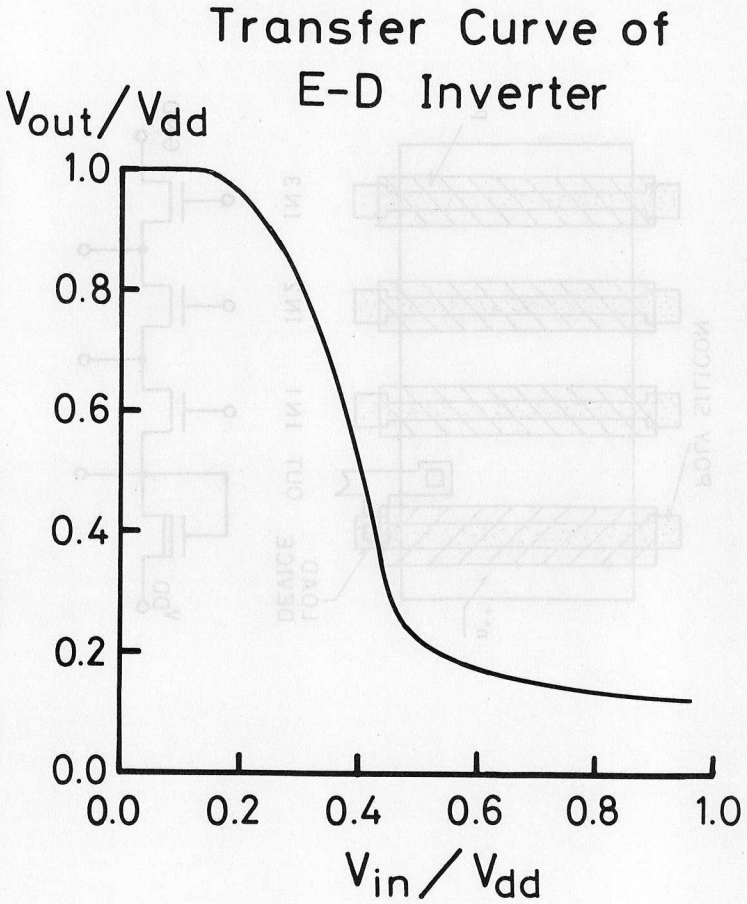


図 4.3.2　E－Dインバータのトランジスタ特性と伝達特性

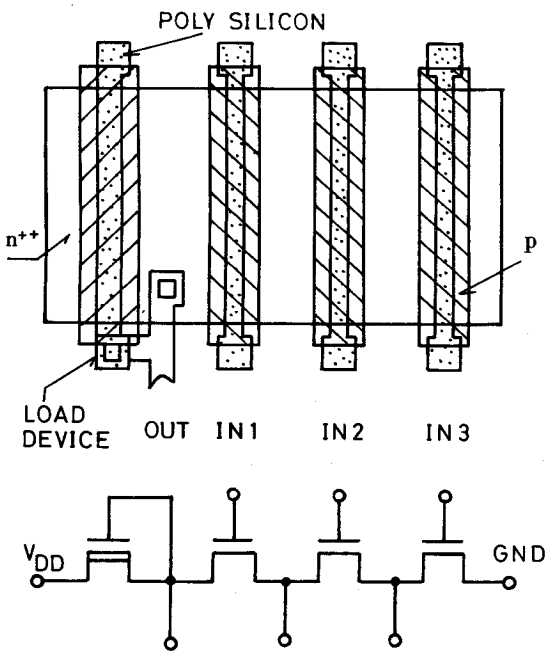
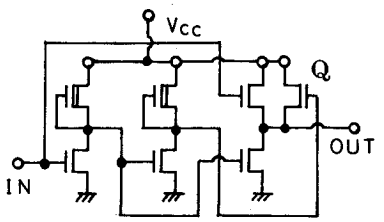
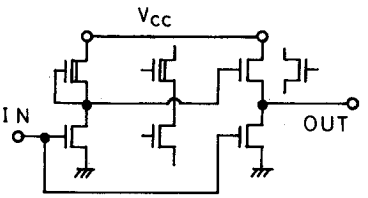


図4.3.3　標準ゲートセルのパターンレイアウト及び等価回路図

図4.3.4(a)，(b)は非反転形出力バッファ及び，反転形出力バッファの等価回路図を示す。反転形出力バッファは，通常よく用いられる回路形式すなわち，プレッシュプル形の出力トランジスタと前置増幅器から構成されている。高速化ＬＳＩ設計の観点からは，バッファ回路のインバータの段数をできるだけ少くすることが望ましい。一方消費電力を小さくする一つの方法は，内部ゲートを低電圧で動作させ，この小さな振幅の信号を出力バッファでＴＴＬレベルまで増幅すれば良い。図4.3.4(b)に示す反転形バッファの場合はこのような増幅機能をもつ。しかしながら図4.3.4(b)のバッファで，プッシュプルトランジスタのゲートに結線されている２つの配線を入れかえることによって作った非反転形バッファでは，充分な“Ｈ”レベルが与えられない。何故ならば，出力の“Ｈ”レベルは，ゲートに印加された電圧からさらに　電圧値だけ差し引かれるからである。このマスタースライスＬＳＩのために提案したバッファの段数を少くし，かつ十分な“Ｈ”レベルの得られる非反転形出力バッファ回路を図4.3.4(a)に示す。このバッファ回路には，Ｑと印のつけたプルアップトランジスタが付加されてある。このバッファ回路の動作を，回路シミュレーションプログラム“ＬＩＬＡＳ”を用いて解析した結果を図4.3.5に示す。内部ゲートの電源電圧を３Ｖとし，バッファ回路を５Ｖで駆動した。バッファ回路への入力信号Ｉの“Ｈ”レベルはほぼ３Ｖである。プルアップトランジスタＱがないときの出力波形は破線で示す



(A)



(B)

図4.3.4　出力バッファ回路

(a)　非反転バッファ　(b)　反転バッファ

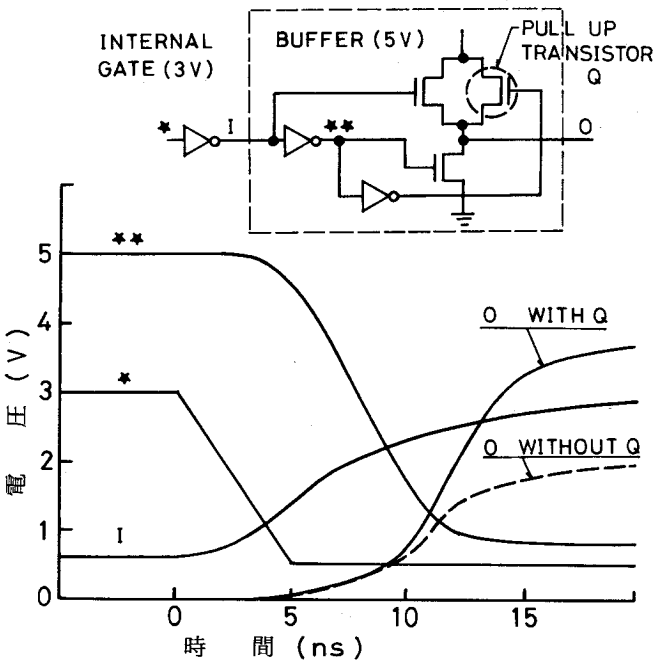


図4.3.5　非反転出力バッファの内部波形（シミュレーション）

とおりであり，Iの“H”レベルから　電圧を差し引いた値が，出力“H”レベルとなっている。プルアップトランジスタQの存在する回路では，出力は最初，Qのない回路と同じように立上る。2つのインバータ分の遅延時間の後，プルアップトランジスタが動作を開始し，図4.3.5に示すように出力の立上りを援助する。この非反転形出力バッファ回路は，内部ゲートの電源電圧を外部の電源系より小さくして用いる場合に有効な回路となる。内部ゲートとバッファの電源を同一にした，単一電源の場合でも，バッファの遅延時間と出力の立上り時間が改善されることはいうまでもない。

このマスタースライスチップは次のような構成になっている。２５個のゲートセルが１つのブロックを形成し，３２個のブロックが２×１６のマトリクスに配列されている。１２０個の入出力バッファはゲートアレイの周辺の４辺に配置されている。横方向に隣接するゲートセルは，互に線対称になるように配置されている。配線領域は，セル列間及びバッファとゲートアレイの間に設けられている。配線方式を模式的に図4.3.6に示す。ポリシリコンの固定配線が縦方向に走

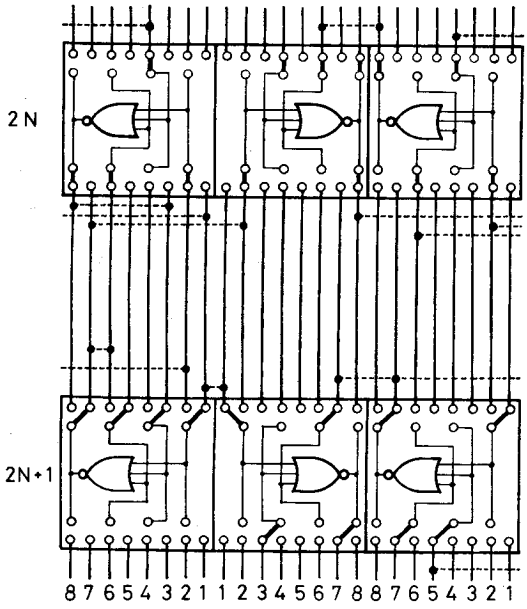


図4.3.6　ゲートアレイの配線方式

り，アルミ配線が横方向に走る。ポリシリコンとアルミの交点の位置に必要に応じてコンタクトホールがあけられる。１つのゲートセルの上下に設けられた８本のポリシリコン配線が，ゲートの入出力端子をアルミ配線に接続するために用いられる。縦方向に走るポリシリコンのいずれも

が，横方向のアルミ配線に接続することができる。しかし１つのセルは８本のポリシリコン配線中，半分の４本のみが使用できる。図4.3.6を例にとって具体的に述べると，偶数列のゲートセルの入出力は，偶数番目のポリシリコン配線に接続することができ，奇数列のゲートセルは奇数番目のポリシリコン配線を使用することができる。

本マスタースライスチップを用いて，８ビットのＡＬＵを試作した。ブロックダイヤグラムを図4.3.7に示す。このＡＬＵは，基本となる加算器の他，シフター，レジスタ，入力データセレ

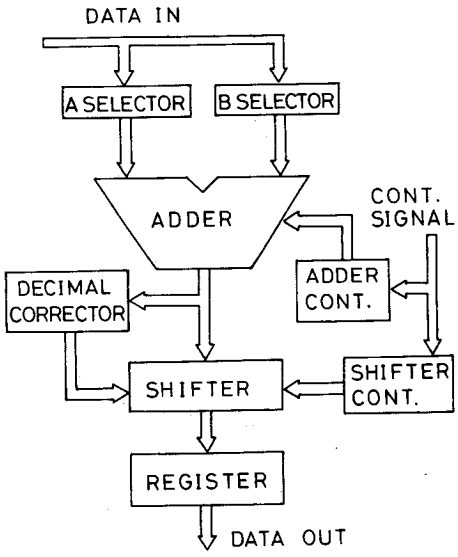


図4.3.7　ＡＬＵのブロック図

クタを含み，すべてＮＯＲ論理系で構成されている。ゲート数は，７２０ゲート，使用した入出力ピンは７６個である。図4.3.8及び図4.3.9にＡＬＵのチップ写真および内部ゲートセルの拡大写真を示す。結線は，すべてポリシリコン固定配線と，アルミの専用配線で行ってある。

チップサイズは7.68×7.88㎟であり，このうち１１％が内部ゲート，４３％がセル間配線に占められている。全消費電力は３Ｗ，このうち2.5Ｗが内部ゲート，残りの0.5Ｗは入出力バッファに配分されている。電源電圧は５Ｖ単一である。内部ゲートの遅延時間は，配線長が充分短いときで１ｎｓ／ゲートであり，ＰＤ積は3.6 pJ となる。ＡＬＵチップでの平均遅延時間は３Ｗの消費電力のときで３ｎｓ／ゲートであった。図4.3.１０は，ＡＬＵの中の典形的なパスに沿って測定した遅延時間を示す。[12] 測定はウエハ上にプローブを立てて行い，プローブ容量の影響をさけるために，ｎ番目のゲートまでの遅延時間を得るには（ｎ＋１）番目の出力が，立上りは

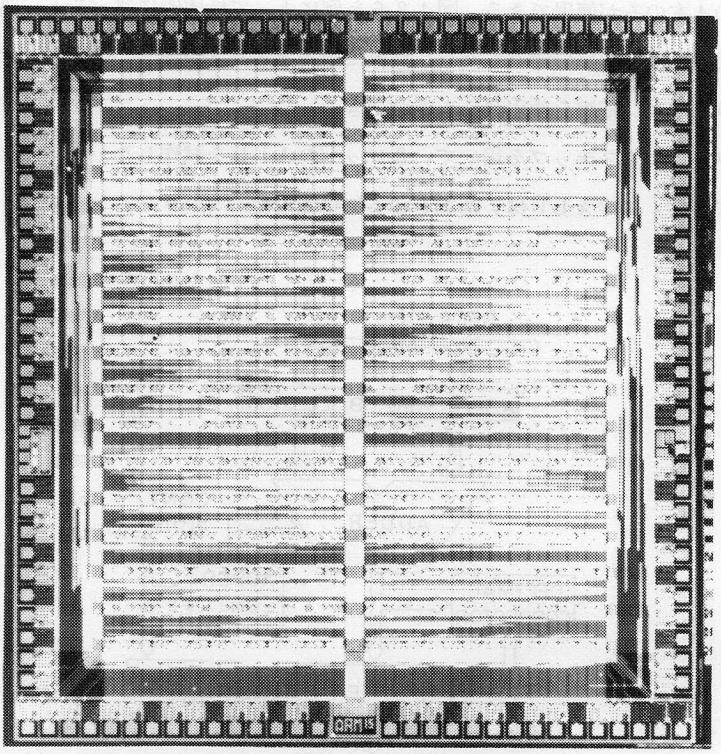


図 4.3.8　ALUのチップ写真

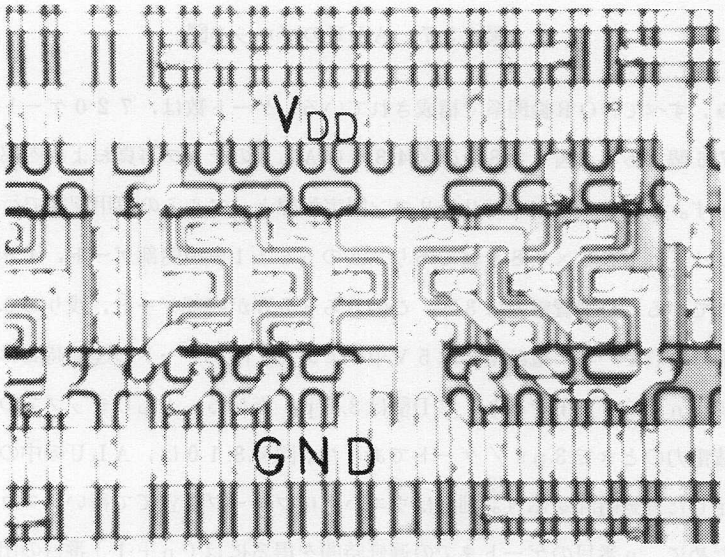


図 4.3.9　内部ゲートセルの拡大写真

じめる。あるいは立ち下りはじめる点までの遅延時間を測定した。このようにして測定した遅延時間は，論理閾値電圧における遅延時間に対応する。図4.3.10における破線は，第3章で述べたモデルに基づいて計算した結果であり，実験値と計算値は良い一致を示している。本マスターで作ったALUは80ピンのフラットパッケージに実装され，2枚のプリント基板の基能を1チップで実現した。いいたえれば，79個のSSIと，2つのMSIが1チップに置きかえられた。SSI/MSIボードの場合，5.6Wであった消費電力は，このLSIを用いたボードでは3.6Wまで改善された。

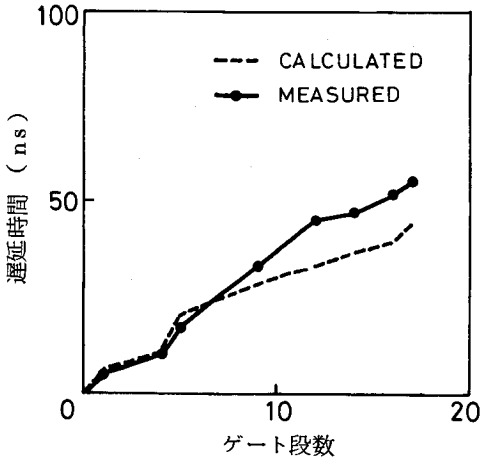


図4.3.10　ALU内における典形的なパスに沿った遅延時間。

4.3.3　高性能化マスタースライス論理集積回路の試作[11),(13)]

前節で述べたポリシリコンを配線に用いるマスタースライスLSIではポリシリコンの配線抵抗に帰因する遅延時間が大きくなるという欠点を有していた。この問題を解決するために，アルミニウムの2層配線を用いたマスタースライスLSIの検討を行った。ここでは最後の3つのマスクすなわち第1アルミ，スルーホール，第2アルミが品種ごとに専用化される。

図4.3.11は，多層配線化したDSA MOS E－Dインバータの断面図を示す。もともとDSA MOSのプロセスに含まれている選択酸化プロセス（SOP）と，リンガラスによるスムースコートプロセスのために表面の段差がゆるやかであり，多層配線化にともなう問題点は少ない。多層配線のプロセスフローは以下の通りである。2％のシリコンを含有するアルミ合金がプラズマスパッタ法で蒸着される。続いて，プラズマCVDプロセスで第1アルミの上にチッ化膜が積まれる。このチッ化膜は段差における被膜性と，ピンホール密度の点で有利であり，さら

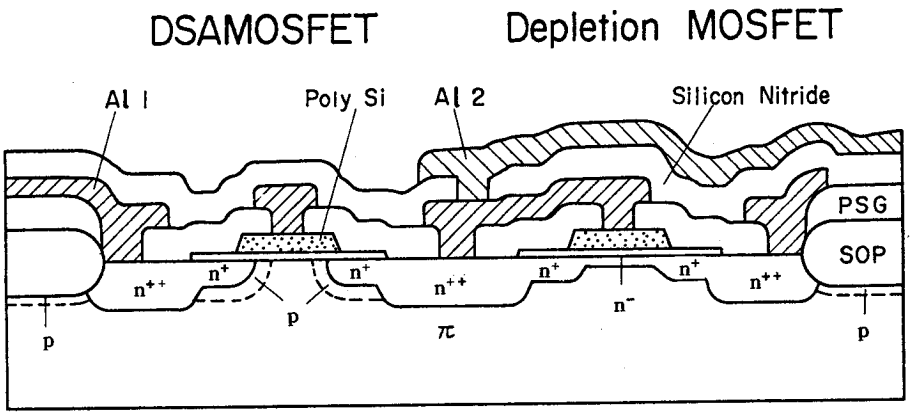


図4.3.11　多層配線化したDSA MOS E−Dゲートの断面図

にスルーホールを設けるためにドライプロセスでエッチングできるという特長をもっている。第2アルミは第1アルミを軽くスパッタエッチした後にプラズマスパッタ法で積まれる。これらのプロセスで段差部分が非常になめらかにすることができた。また多くのプラズマ処理にもかかわらず，V_{TH} のシフトは見られなかった。基本セルは前節で述べたものと同様に1つのデプレショントランジスタと3つのエンハンスメント形DSA MOS トランジスタから構成されている。表4.3.1はポリシリコンとアルミで配線を行った場合と，アルミ二層配線の場合の遅延時間の比較を行った計算結果である。全配線長を2.5㎜とし，ゲート当りの消費電力を5㎜W／ゲートとしている。第1アルミの幅は5μm，第2アルミの幅は7μmであり，単位長当りの容量は，第

表4.3.1　アルミ−アルミ多層配線採用による遅延時間改善の効果

Interconnection length			Delay time	
Total (mm)	X* (mm)	Y* (mm)	Poly Si/Al (ns)	Al/Al (ns)
minimum	—	—	1.45	1.39
2.5	2.3	0.2	3.0	2.1
2.5	2.0	0.5	3.7	2.1
2.5	1.5	1.0	5.9	2.1
2.5	0.5	2.0	8.5	2.0

*

	Poly Si/Al	Al/Al
X	Aluminum	1st Aluminum
Y	Polysilicon	2nd Aluminum

1アルミ，第2アルミそれぞれ0.13 pF／mm，0.11 pF／mmである。6 μm幅のポリシリコン配線の容量及び抵抗は，0.21 pF／mmと8.3 kΩ／mmである。ポリシリコン配線の比率が増えると，ポリシリコンの抵抗のために遅延時間は大きくなる。2.5mmの配線長のときアルミ2層配線の場合2 ns／ゲートの遅延時間が得られているが，ポリシリコンで0.2mm，アルミで2.3mmの配線を行うと遅延時間は3 nsになる。ポリシリコン－アルミ配線方式と，アルミ2層配線方式のそれぞれの場合についてALUを例にとって遅延時間の度数分布をとった結果を図4.3.12に示す。多層配線化したマスター－スライスLSIでは，平均遅延時間，最大遅延時間，分散ともに改善されている。このアルミ－アルミ2層配線を用いたマスタースライスLSIの構成は以下の通りである。26個のゲートで1ブロックを形成し，このブロックが2×12のマトリクスに配列されている。20個の入力専用バッファと60個の入出力バッファがチップの四辺に配置されている。

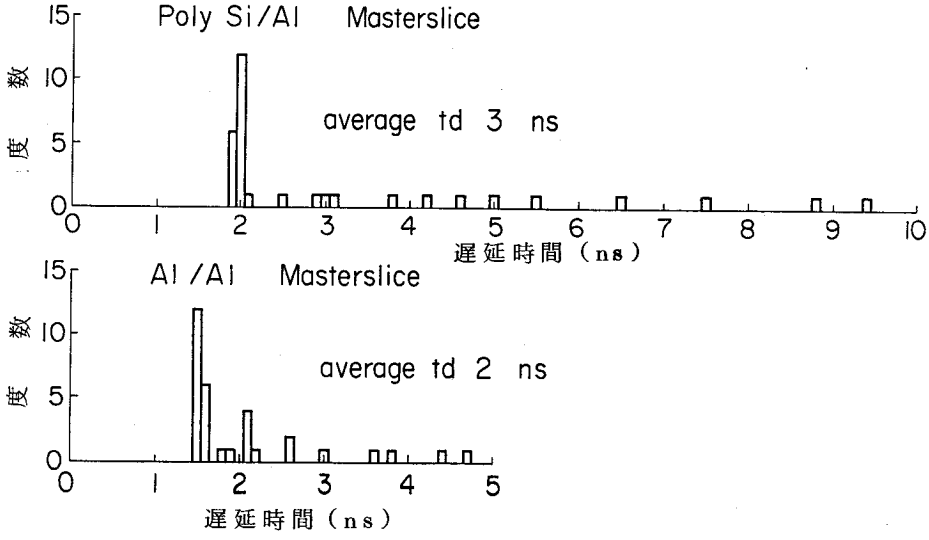


図4.3.12　LSI内における遅延時間の度数分布

以上述べたマスターチップを用い，磁気ディスク制御回路に用いている11ビットまでのバースト誤り訂正可能なECC（Error Correcting and Checking）回路を2石のLSIで実現した。ECC回路は，生成多項式によるサイクリックコードの生成，誤り検出を行う回路であり，4つのブロックに分けられた計56個のシフトレジスターと，多項式の係数に応じて演算するための回路により構成されている。2個のLSIの集積度はそれぞれ603，313ゲートであり，使用入出力ピン数はそれぞれ38，45ピンである。このLSIのマスター部分の特徴

を前節で述べたポリシリコン－アルミ配線方式のものと比較しつつ表4.3.2に示す。

表4.3.2　マスタⅠ，Ⅱの試作結果のまとめ

		Master Ⅰ	Master Ⅱ
No of Gates		800	624
No of Buffer	In/out	116	60
	Input only	—	20
Vcc		5 V Single supply	
Pd		3 W／1.5 W	3 W／1.5 W
Chip size		7.68×7.88	6.28×6.60
No of Pins		120	84
Inter-connection		Poly Si-Al	Al-Al
Output Buffer		Totem pole	Totem pole
		Open drain	Open drain
			Tri-state
Gate circuit		NOR, Wired AND	NOR, Wired AND
Tpd/gates	Min	1 ns	1 ns
	Ave	3 ns	2 ns

同様に，ＬＳＩ化の効果を表4.3.3に示す。

表4.3.3　ＳＳＩ／ＭＳＩとマスタスライスⅠ，Ⅱの実装比較

		SSI/MSI ASSEMBLY	MASTERSLICE LSI ASSEMBLY
MASTER Ⅰ	Logic Function	8 bit ALU Without data latches	8 bit ALU With data latches
	Packaging-Density	2 boards 75 SSI/MSI's 81 SSI space (size 448 cm²)	1 board 1 LSI+9 SSI 19 SSI space (size 104 cm²)
	Power Dissipation	+5 V, 5.6 W	+5 V, 3.6 W (LSI 3 W)
MASTER Ⅱ	Logic Function	ECC circuit	Same as left
	Packaging-Density	66 SSI/MSI's 66 SSI space (size 415 cm²)	2 LSI+7 SSI's 15 SSI space (size 100 cm²)
	Power Dissipation	+5 V, 11.4 W	+5 V, 5.0 W

図4.3.13は種々のデバイス技術を用いて作られたマスタースライスＬＳＩのゲート遅延時間と集積ゲート数の比較を示す。ＤＳＡ ＭＯＳ マスタースライスはショットキーＴＴＬ，あるいはＥＣＬと比べ集積度は２～３倍，ゲート遅延時間はＥＣＬに近い値になっている。図4.3.14はゲート遅延時間に関し，各種電算機に実用化されているＥＣＬマスタースライス，低電力ショットキーＴＴＬマスタースライスとの比較を示す。アルミーアルミ多層配線を用いたＤＳＡＭＯＳマスタースライスでは電力遅延時間積が１０ｐＪであり，電源電圧を3.5Ｖまで下げることにより5.4ｐＪまで改善された。更にスケーリング理論によれば，現状の１／３のデバイス寸法にすれば遅延時間0.7ｎｓ／ゲート，消費電力0.55ｍＷ／ゲートとなり，消費電力は現状の１０～２０分の１となり，かつ遅延時間はＥＣＬ同等の性能を得ることが期待できる。

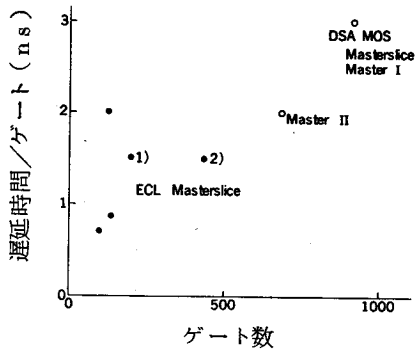


図4.3.13　各種マスタスライスのゲート数に対する遅延時間

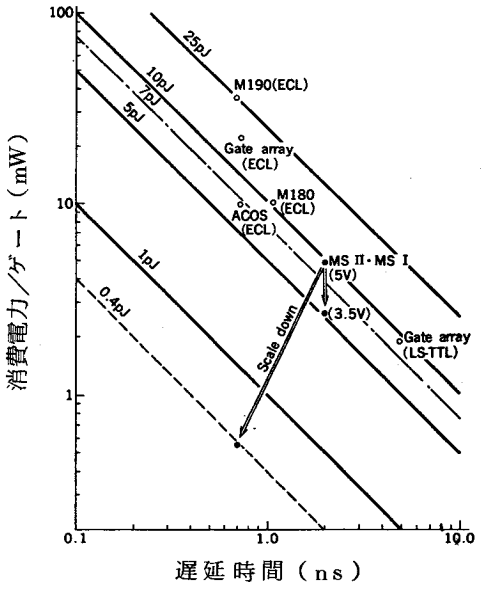


図4.3.14　各種マスタスライスの遅延時間に対する消費電力と微細化デバイスの性能

4.4 結　言

本論文第2章，第3章で検討した結果に基づき，ＶＩＬ，及びＤＳＡ ＭＯＳ デバイスの高速ＬＳＩへの応用として，それぞれ１Ｋビットの ＲＡＭ，及びマスタースライス型論理ＬＳＩの試作評価を行った。

1K ＲＡＭの試作に先だって，I^2L デバイスを用いて，メモリセル，及びアドレス方式の検討を行った。インジェクタ及びビット線を２つのメモリセル列で共用する方式において書き込みを行う場合，選択されたセルに隣接するセルのインジェクタに誤書き込みを防止するための電流を流す必要があり，この電流は，書き込み電流と同じ程度の大きさが必要である。またメモリセルのスタンバイ電流は１μＡ程度で動作するが，隣接セルの読み出し電流が１ｍＡを超えると，１０μＡ以上のスタンバイ電流を流さなければ誤動作する。従って安定な動作のためには，インジェクタ及びビット線を各メモリセル列が独立に持つアドレス方式の方が良い。続いて I^2L の動作速度を制限している要因であるエピタキシャル層内の正孔蓄積を低減するものとして，第2章で提案したＶＩＬデバイスの高速性を活かし，高速1K ＲＡＭの試作を行った。センスアンプ回路に回路上の問題があり，アドレスアクセス時間として４００ｎｓ が得られたが，センスアンプ部分を除くと，ゲート当り6.5～7.3 ｎｓ の遅延時間で動作している。センスアンプ回路の改良により，４００ｎｓ 以下のアクセス時間を得ることが可能である。

一方ＤＳＡ ＭＯＳ デバイスを用いて，ゲートアレイ型マスタースライスＬＳＩを２種類試作した。ポリシリコンとアルミを配線に用いる方式では，平均ゲート遅延時間３ｎｓ の値が得られた。アルミの二層配線を用いた集積回路では，配線抵抗による遅れが改善され，平均ゲート遅延時間を２ｎｓ まで低減することができた。さらに遅延時間のバラツキも小さくなった。

ショトキーＴＴＬやＥＣＬデバイスを用いたマスタースライスＬＳＩに比べてＤＳＡＭＯＳ マスタースライスＬＳＩでは，集積度が２～３倍，遅延時間はショトキーＴＴＬと同程度の値が得られた。アルミーアルミ多層配線化ＤＳＡ ＭＯＳ マスタースライスＬＳＩの平均電力遅延時間積は，１０ｐＪ であり電源電圧を3.5Ｖまで下げることによって5.4 ｐＪ まで改善される。さらにスケーリング則に従って1／3の比例縮少を行えば，遅延時間0.7 ｎｓ／ゲート，消費電力0.55 ｍＷ／ゲートの特性を得ることが期待できる。

第4章　文　献

(1) S.K. Wiedmann and H.H. Berger; "Small size low-power bipolar memory cell", IEEE J. Solid-State Circuits, Vol. SC-6, p. 283, 1971.

(2) H.H. Berger, R. Schnadt and S.K. Wiedmann; "Write-current control and self-powering in a low-power memory cell", IEEE J. Solid-State Circuits, Vol. SC-8, p. 232, 1973.

(3) S.K. Wiedmann and H.H. Berger; "Super-integrated bipolar memory shares functions on diffused islands", Electronics Feb. 14, p. 83, 1972.

(4) S.K. Wiedmann; "Injection-Coupled memory: A high density static bipolar memory", IEEE J. Solid-State Circuits, Vol. SC-8, p. 332, 1973.

(5) A. Masaki, Y. Harada, and T. Chiba, "200-gate ECL masterslice LSI", ISSCC Dig. Tech. Papers, p. 62, 1977.

(6) T. Ishitani, H. Kodama, and T. Sudo; "A subnanosecond masterslice LSI using dielectric isolation and three layer mettallization technologies", 9th Conf. Solid-State Devices, Dig. Tech. Papers, Tokyo, p. 7, 1977.

(7) T. Nakano, Y. Horiba, K. Kijima, K. Tanaka and O. Tomisawa; "Vertical injection logic-An improved structure of integrated injection logic-", Proc. 8th Conf. Solid-State Devices, Tokyo, suppl. Japan. J. appl. Phys. Vol. 16, p. 129, 1977.

(8) T. Nakano, O. Tomisawa, K. Anami, M. Nakaya, M. Ohmori and I. Ohkura; "A 920 gate masterslice", IEEE ISSCC, Dig. Tech. Papers, p. 64, 1978.

(9) 富沢，穴見，中屋，大森，大倉，中野；“DSA MOS デバイスを用いたマスタースライスＬＳＩ”，昭５３　信学全大 p. ２－１３２

(10) O. Tomisawa, K. Anami, M. Nakaya, M. Ohmori, I. Ohkura and T. Nakano; "A 920 gate MOS masterslice", IEEE J. Solid-State Circuits, Vol. SC-13, p. 536, 1978.

(11) 中野，富沢，穴見；“高速ＭＯＳ論理ＬＳＩとその将来”，昭５３　電気四学会連合大会 p. ３－３５

(12) 中屋，穴見，富沢，中野；“MOS　ＬＳＩ内の遅延時間特性”，昭５３　信学全大 p. ２－１３１

(13) I. Ohkura, O. Tomisawa, M. Nakaya, Y. Ohbayashi and T. Nakano; "A multi-level mettallized DSA MOS masterslice", IEEE J. Solid-State Circuits, Vol. SC-14, p. 764, 1979.

第5章　結　　論

ＬＳＩの高速化に関し，基礎的研究およびその工学的応用に関して行った種々の実験とその理論的考察を第2章から第4章にわたって述べた。本研究によって得られた結論を総括して以下に示す。

(1) ＬＳＩ化に有利なバイポーラデバイスとして注目されている I^2L は，消費電力の増大とともに遅延時間が減少し，10ns／ゲートから数10ns／ゲートの遅延時間で飽和する。この遅延時間は，負荷容量の充放電時定数で定まる外因性遅延時間に対して，内因性遅延時間と呼ばれており，これを改善するものとしてＶＩＬデバイスを提案した。

(2) ＶＩＬデバイスは I^2L の横型 pnpトランジスタの替りに npn トランジスタのベース直下に埋込インジェクタを持つ縦型 pnpトランジスタを有しており，このＶＩＬデバイスを作成するための製造プロセス条件を求めた。

i) エピタキシャル層の厚みは，埋込 p^+ 層の拡散条件，エピタキシャル層成長後の熱処理サイクル，npn トランジスタの p^+ ベース領域拡散深さから設定することができる。このため埋込インジェクタの上方向再拡散長 x_j と熱処理時間の関係を明確にした。

ii) $n-n^+$ 構造を有する npn トランジスタの上方向電流増幅率 β_u を高くするためにはエピタキシャル層を薄くすることが必要である。

iii) 埋込インジェクタの濃度を高くし，かつ上方向再拡散長を制限するためには，n^+ 埋込層形成後，薄いエピタキシャル層を作り，この上に下面インジェクタを拡散し，第2エピタキシャル層を成長させる方法が有効である。

(3) ＶＩＬでは縦型 pnp トランジスタのベース領域を均一に作ることができ，また，npnトランジスタのベースの p^+ 層の拡散深さを制御することによって pnpトランジスタのベース幅を1 μm 以下にすることができた。

(4) I^2L での最小遅延時間10.5nsに対してＶＩＬでは6.5ns まで改善することができた。また電力遅延時間積は，I^2L の0.2 pJ に対して，ＶＩＬでは0.07pJまで低減することができた。

(5) ＶＩＬの電気的特性を解析するためにＶＩＬデバイスの構造を4つの部分に分割し，それぞれを簡略化した1次元モデルによって検討を行った。

i) 直流特性として npn トランジスタの電流増幅率 β_{eff} を解析し，埋込インジェクタと npn トランジスタのベースの重なり量 χ との関係を明らかにした。

ii) 最小遅延時間（内因性遅延時間）は，npnトランジスタの遮断時定数（$\tau_T = 1/2\pi f_T$）とエピタキシャル層内の正孔の実効的ライフタイム（τ_{eff}）によって定まる。

iii) 下面インジェクタの形状が同一である場合，エピタキシャル層中の正孔蓄積量Q及び，ベース電流 I_B は一定であり τeff が一定となる。このとき npn トランジスタのベース幅を短くすることによって，βeff を大きくすると内因性遅延時間は小さくなる。

iv) npn トランジスタの f_T が同一である場合，埋込インジェクタの面積を増やして βeff を低減させると遅延時間は短くなる。

v) VIL構造ではエピタキシャル層の実効厚みを適切に設定することにより，エピタキシャル層中に蓄積する正孔電荷量を減少させることができる。従って遮断時定数 τ_T（$= 1/2\pi f_T$）を小さくし，遅延時間を改善することができる。

(6) MOS LSIの高速化を制限する主要因は，外因性遅延時間であり，この外因性遅延時間の限界値は，トランジスタのゲート容量Cg と相互コンダクタンスgmとで定まる時定数Cg/gm である。Cg／gmを小さくすることを目的とする短チャネルMOSデバイスのうちDSA MOSデバイスを選び，プロセス検討，及び静特性解析を行った。

i) E－D構成のDSA MOS 製造プロセスにおける工程数と，微細化したNMOSプロセスの工程数と同じであり，ポリシリコン工程と，エンハンスメントトランジスタのチャネルドープ工程の順番のみが異なる。

ii) チャネル長の低減に対する V_{TH} の変動は，NMOSトランジスタがL＝10 μm から3 μm までゆるやかに減少し，3 μ以下で急減するのに対して，対称形DSA MOSトランジスタでは2 μまで一定であり，L＜2 μm でむしろ V_{TH} は上昇する。

iii) 対称形DSA MOSトランジスタではL＜1.3 μm でもパンチスルー現象が観測されない。

(7) MOS LSIにおける遅延時間は，論理ゲート構造に付随する内因性容量の充放電時間によって決まる最小遅延時間が，配線，ファンアウトの増加にともなう容量，抵抗の付加によって増大するものとして解析することができる。

i) 内因性容量は，接合容量，ゲート電極容量，配線容量からなる。単位面積あたりの接合容量のうちフィールド酸化膜下の p^+ とソースドレインの n^+ 拡散との間の容量はアルミ基板間容量の約17倍の値をもつ。またゲート電極とドレイン拡散の重なりに帰因する帰還容量のミラー係数は3.4の値になりこれらの容量は，最小遅延時間に大きな影響を与える。

ii) 最小遅延時間は，論理ゲートを最短配線で結線したリングオシレータの発振周波数から求められるゲート遅延時間に対応する。

iii) 容量性の負荷のみをもつゲートの遅延時間は，全負荷容量と内因性容量の比を最小遅延時間に乗じて得られる。

iv) 配線体に抵抗成分が含まれる場合は，この配線体をπ型等価回路に置きかえることで遅延時間の近似式を負荷トランジスタの定電流近似，抵抗近似各々の場合について陽関数表示で求めることができた。デプレション型負荷トランジスタは基板バイアス効果によって抵抗に近い特性になるため，上記抵抗近似による近似式が実験と良い一致を示した。

v) 配線抵抗が遅延時間に与える効果は著しく，例えば0.31pFの配線容量で2.3nsの遅延時間が得られている論理ゲートに6kΩの配線抵抗を付加すれば遅延時間5.1nsまで増大する。従ってＬＳＩの高速化をはかるためには配線抵抗の低減が極めて重要な条件となる。

(8) ＬＳＩ外部の容量を十分に駆動できる出力トランジスタと，この出力トランジスタを駆動するための前置増幅器とからなる出力駆動回路では，出力トランジスタのチャネル幅と，ＬＳＩ内部ゲートのチャネル幅の相乗平均値を前置増幅器のチャネル幅に設定すると，出力駆動回路の遅延時間を最小にすることができる。

(9) 出力駆動回路の電力－遅延時間積を最小にする前置増幅器のチャネル幅は，遅延時間を最小にするチャネル幅より小さい。内部ゲートのチャネル幅で規格化した出力トランジスタのチャネル幅を100とすると遅延時間を最小にする前置増幅器のチャネル幅は$\sqrt{100}=10$になり，電力遅延時間を最小とする前置増幅器のチャネル幅は約3になる。

(10) I^2Lデバイスを用いて，注入結合形メモリセルと称せられるメモリセル及びアドレス方式の検討を行った。

i) インジェクタ及びビット線を2つのメモリセル列で共用する方式において書き込みを行う場合，選択されたセルに隣接するセルのインジェクタに誤書き込みを防止するための電流を流す必要があり，この電流は，書き込み電流と同じ程度の大きさが必要である。

ii) メモリセルのスタンバイ電流は1μA程度でも記憶保持の動作をするが隣接セルの読み出し電流の2桁低い電流値以上の電流を流しておかなければ読み出し時に誤動作する。

(11) ＶＩＬデバイスの高速性を活かし，1kビットのランダムアクセスメモリ（ＲＡＭ）の試作を行った。センスアンプ回路に回路上の問題があり，アドレスアクセス時間として400nsが得られたが，センスアンプ部を除くとゲート当り6.5～7.3ns の遅延時間で動作している。センスアンプ回路の改良により400ns以下のアクセス時間を得る事ができる。

(12) DSA MOSデバイスを用いた論理ＬＳＩとして，2種類の配線方式によりゲートアレイ型マスタースライスＬＳＩの試作を行った。

i) ポリシリコンとアルミを配線に用いる方式では，平均ゲート遅延時間3ns の値が得られた。アルミの2層配線を用いたＬＳＩでは配線抵抗による遅れが改善され平均ゲート遅延時間を2nsまで低減することができた。さらに遅延時間のバラツキも小さくなった。

ii) ショトキーＴＴＬやＥＣＬデバイスを用いたマスタースライスＬＳＩに比べてDSA MOSマスタースライスＬＳＩでは，集積度が２～３倍，遅延時間は，ショトキーＴＴＬと同程度の値が得られた。

iii) アルミ－アルミ２層配線化ＤＳＡＭＯＳマスタースライスＬＳＩの平均電力遅延時間積は，１０pJであり，電源電圧を3.5Ｖまで下げると5.4 pJまで改善された。スケーリング則に基づいた微細化によってさらに電力遅延時間積を小さくすることが期待できる。

謝　　辞

本論文を結ぶにあたり，本研究を通じて終始御親切な御指導と御討論を賜った大阪大学 犬石嘉雄教授に衷心より御礼のことばを申し上げます。

本研究の遂行および論文作成にあたり，数々の有益な御教示と御忠告をいただいた大阪大学 中井 順吉 教授，小山 次郎 教授に深く感謝いたします。

また本論文につき御懇篤なる御検討を戴いた大阪大学木下 仁志 教授，西村 正太郎 教授，山中 千代衛 教授，藤井 克彦 教授，鈴木 胖 教授，横山 昌弘 教授，中井貞夫 教授に厚く御礼申し上げます。

また本論文の作成にあたり適切な御助言を賜った大阪大学工学部 白藤 純嗣 助教授に深く感謝します。

本研究の遂行にあたって，御教示と御鞭撻を賜り，また研究の機会を与えていただいた三菱電機株式会社常務取締役 喜連川 隆 博士，ＬＳＩ開発センタ センタ長 岡 久雄博士，同設計技術開発部 部長 蒲生 容仁氏，同プロセス技術開発部部長 中田 秀文博士に心から御礼を申し上げます。

また本研究の遂行，および論文の作成にあたり，熱心なる御討論を通じて数々の有益なる御教示，御忠告をいただいた三菱電気ＬＳＩ開発センタ 主任研究員 中野 隆生博士，主任研究員 堀場 康孝氏，研究員 大倉 五佐雄博士，加藤 周一氏，穴見 健治氏および御協力いただいた方々に心から感謝いたします。

研 究 業 績 目 録

発表論文

1) "Vertical Injection Logic", IEEE J. Solid-State Circuits Vol. SC-11, p. 637, 1976.

2) "Vertical Injection Logic- An Improved Structure of Integrated Injection Logic-", Proc. 8th Conf. Solid-State Devices, Tokyo, suppl. Japan J. Appl. Phys. Vol. 16, p. 129, 1977.

3) "Analysis of Static and Dynamic Characteristics in VIL", IEE Solid State Electron Device, Vol. 2, p. 83, 1978.

4) "A 920 Gate DSA MOS Masterslice", IEEE J. Solid-State Circuits. Vol. SC-13, p. 536, 1978.

5) "Electrical Characteristics of DSA MOS transistor with fine structure", IEEE J. Solid-State Circuits, Vol. SC-14, p. 352, 1979.

6) "MOS E−D ゲートの遅延時間解析" 信学論(C), Vol. 62−C, p. 811, 1979.

ショートノート

1) "A Multi-level Metallized DSA MOS Masterslice", IEEE J. Solid-State Circuits, Vol. SC-14, p. 764, 1979.

研究会資料，シンポジウム

1）“ＶＩＬ－Vertical Injection Logic－ ”信学会研資ＳＳＤ 75－69，1976

2）“ＶＩＬの電気特性と解析 ” 信学会研資 SSD 77－10，1977

3）“高速ＭＯＳ論理 LSI とその将来 ”，昭53電気四学会連合大会 p.3－35

学会報告

1）“Vertical Injection Logic ” IEEE International Electron Deviec Meeting p.555，Dec. 1975

2）“ＶＩＬ（Vertical Injection Logic）－新しいI^2L構造 ”
昭５１年電子通信学会総合全国大会，p.2－160 昭５１年３月

3）“ＶＩＬにおける下面インジェクタ効果 ”
昭５２年電子通信学会総合全国大会 p.2－168 昭和５２年３月

4）“DSA MOS インバータの特性解析 ”
昭５２年電子通信学会総合全国大会 P.2－150 昭和５２年３月

5）“ＭＯＳ出力バッファ回路の設計 ”
昭５２年電子通信学会総合全国大会 P.2－149 昭和５２年３月

6）“A 920 Gate Masterslice ” IEEE International Solid－State Circuits Conference p.64，Feb. 1978

7）“ MOS ＬＳＩ内の遅延時間特性 ”
昭５３年電子通信学会総合全国大会 p.2－131 昭和５３年３月

8）“ＥＤ ＭＯＳ インバータにおける負荷容量の分析 ”
昭５３年電子通信学会総合全国大会 p.2－186 昭和５３年３月

9）“ＤＳＡ ＭＯＳ デバイスを用いたマスタースライスＬＳＩ ”
昭５３年電子通信学会総合全国大会 p.2－132 昭和５３年３月

10）“磁気テープ制御用ＤＳＡ ＭＯＳ ＬＳＩ ”
昭５４年電子通信学会総合全国大会 p.2－108 昭和５４年３月

11）“ＭＯＳ マスタースライスＬＳＩ ”
昭５４年電子通信学会総合全国大会 p.2－111 昭和５４年３月

12）“ＭＯＳ ＬＳＩ の遅延時間の解析 ”
昭５４年電子通信学会総合全国大会 p.2－149 昭和５４年３月