

Title	次世代高密度半導体パッケージのための樹脂材料及 実装プロセスに関する研究		
Author(s)	満倉, 一行		
Citation	大阪大学, 2018, 博士論文		
Version Type	VoR		
URL	https://doi.org/10.18910/69580		
rights			
Note			

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

# 博士学位論文

次世代高密度半導体パッケージのための 樹脂材料及び実装プロセスに関する研究

# 満倉 一行

# 2017年12月

# 大阪大学大学院工学研究科

第1章 序論	1
1.1 研究の背景	1
1.2 並列チップ間の高速伝送技術の課題と研究目的	4
1.2.1 マルチチップ実装の現状	4
1.2.2 インターポーザ樹脂基板における微細配線技術の課題	5
1.2.3 インターポーザ樹脂基板の微細配線技術の開発指針	6
1.3 積層チップ間の高速伝送技術の課題と研究目的	8
1.3.1 貫通電極を用いた多段積層による高密度化とバンプ接続方式	8
1.3.2 アンダーフィル材と積層方式の現状と課題	9
1.3.3 微細パターニング可能なアンダーフィルと生産性に優れたプロセスの開発指針	11
1.3.4 フィルムアンダーフィルとそれを用いた多段積層プロセスの開発指針	12
1.4 微細配線技術とチップ積層技術を適用した次世代高密度パッケージ	12
1.5 研究の構成と流れ	13
笠り音 インターポーザ掛胎其垢の絶録信頼姓と微細加工姓	15
第2章 インクーホーリ倒加 医彼の 紀縁 信頼住と 阪和加工住	15
<ul><li>2.1 福台</li><li>2.2 咸光性絶縁材料の選定</li></ul>	15
	19
	21
25 微細配線を有する基板の作製	21
26 銅配線のニッケル被覆による微細配線層の提案と実証	33
27 配線層の絶縁信頼性に関すろ解析のプロヤス滴合性と寿命予測への応用	37
	40
	10
第3章 微細パターニング可能なアンダーフィル材料の開発	42
3.1 緒言	42
3.2 ポリイミド樹脂の設計, 合成と特性評価	43
3.2.1 ポリイミド樹脂の設計指針	43
3.2.2 カルボキシル基含有ポリイミド樹脂の合成と特性評価	44
3.2.3 フェノール性水酸基含有ポリイミド樹脂の合成と特性評価	48
3.2.4 分子量を制御したポリイミド樹脂の合成と特性評価	50
3.3 結言	54
第4章微細パターニング可能なアンダーフィル材料の評価とプロセス提案	55
4.1 緒言	55

目次

4.2 感光性アンダーフィルを用いたChip on Chip積層評価	55
4.2.1 感光性アンダーフィルの選定と評価用チップ	55
4.2.2 圧着プロファイルによる積層結果への影響	58
4.2.3 低圧着荷重によるCoC積層評価	62
4.2.4 狭ピッチバンプを有するCoC接続	64
4.2.5 Cu-Cuバンプ接続	68
4.3 感光性アンダーフィルを用いた一括リフロー接続	69
4.4 感光性アンダーフィルを用いたChip on Substrate積層評価	72
4.4.1 感光性アンダーフィルの評価に用いたチップ及び基板	72
4.4.2 Chip on substrate積層評価	73
4.4.3 Chip on substrate 一括リフロー接続	75
4.5 結言	75
第5章 フィルムアンダーフィル材料と多段積層プロセスの開発	77
5.1 緒言	77
5.2 フィラの粒径と含有率による特性への影響把握と評価材料の選定	77
5.2.1 フィルムアンダーフィル選定の着眼点	77
5.2.2 透過率への影響	77
5.2.3 粘性への影響	79
5.2.4 線膨張係数への影響	79
5.3 チップ/チップ積層評価	80
5.3.1 積層評価に用いるチップの構造	80
5.3.2 アライメントマーク認識性とチップ積層評価	81
5.3.3 バンプ接続部の信頼性評価	87
5.4 TSV多段積層プロセスの開発	92
5.4.1 20 μmピッチバンプでの積層評価	92
5.4.2 TSV多段積層評価	93
5.4.3 TSV多段一括積層プロセスの検討	97
5.5 CoW積層プロセスの検討	102
5.5.1 CoW個別接続方式の検証	102
5.5.2 CoW一括接続方式の検証	104
5.6 結言	107

第6章 結論

謝辞	Ž	112
参考	今文献	113
Ι.	本研究に関する発表論文	120
Π.	本研究に関する学会発表	120
Ш.	本研究に関する受賞歴	121

第1章 序論

**1.1**研究の背景

半導体デバイスのトランジスタの高集積化は、これまでウェハプロセスの微細加工技術による 回路の高密度化によって達成され、大規模集積回路(LSI: Large-scale integration)の性能向上と 価格の低下に大きく貢献してきた<sup>1-3)</sup>。Figure 1.1はチップあたりのトランジスタの数の変遷を示 したグラフである。「半導体の集積率は、18ヶ月で2倍のペースで増加する」と要約される"Moore's Law<sup>4</sup>"に従ってトランジスタの数も増加し、材料、プロセス、解析、設計などの研究開発の貢 献によってその法則は実現されてきた。チップの微細化による高集積化では、2013年にIntelが MPU(Micro processing unit)で最小回路幅が14 nmのチップが量産に入り、Taiwan Semiconductor Manufacturingが10 nm世代品の製品化を検討している。しかしながら、素子の微細化が物理的限 界に近づきつつあることに加えて、露光装置やフォトマスクを始めとするコスト面からも微細化 の限界が来ると考えられている<sup>5-7)</sup>。半導体メーカ各社は、微細加工の限界を意識しながらも更 なる微細化を追及する"More Moore"を検討する一方、実装技術によって高密度化を追求す る"More than Moore"によって高機能なシステム開発を目指している<sup>6-11)</sup>。



Fig. 1.1 Plot of CPU (Central processing unit) transistor counts against dates of introduction<sup>12</sup>).

シングルチップ実装からマルチチップ実装へ、そして2次元実装から3次元実装へと、チップ の構造とパッケージングが大きく変わろうとしている。Figure 1.2はシングルチップ2次元実装 の断面図で、有機基板上にチップを搭載し銅ワイヤによって有機基板に接続される。ワイヤボン ディングの接続端子の微細化は1990年代には100µmピッチ、2000年代には100µmピッチ以下の技 術開発が進められ、現在では35µmピッチの技術確立がなされた<sup>13-17)</sup>。しかし、低コストのフリ ップチップパッケージの普及に伴い、ワイヤボンドパッケージのピン数は大きな伸びは見込まれ ておらず、今後のパッドピッチの微細化は2022年でも30µmと考えられている<sup>18)</sup>。これは、ワイ ヤボンディングの接続による高密度化は限界であることを意味している。Fig.1.3はマルチチップ 2次元実装の断面図で、有機基板上に複数のチップをフリップチップ技術によって並列に有機基 板に接続される。一方のチップはAND、OR回路やそれを組み合わせたフリップ・フロップ回路、 マルチプレクサ回路、バッファー回路等算術論理演算を行う回路が集積されているロジックチッ プ(Logic)、もう一方のチップは記憶素子が搭載されたDRAM (Dynamic Random Access Memory) チップが想定される。これらのチップ同士は高密度で接続することが要求される。更にDRAM チップは高容量化と低消費電力化を達成するために、後述するシリコン貫通電極(Though Silicon Via: TSV)によって多段に積層される。



Fig. 1.2 Schematic cross-section of single-chip 2D package.



Fig. 1.3 Schematic cross-section of multi-chip 2D package.

1.2 並列チップ間の高速伝送技術の課題と研究目的

1.2.1 マルチチップ実装の現状

マルチチップ実装では、チップと基板との接続端子数が増加し、更には基板経由で素子間を高 速伝送する必要がある。Figure 1.4にICチップと有機基板の配線の断面模式図を, Figure 1.5にIC チップのローカル配線と有機基板の配線幅の推移を示す。半導体前工程で製造されるチップ内の ローカル配線で数+nm, グローバル配線でも数µmであり, 半導体後工程で製造される有機基板 の配線幅とギャップがあることから、パッケージ全体の性能を大きく低下させる問題が顕著にな っている<sup>19,20)</sup>。チップ内と基板との配線幅のギャップを埋めることを目的に, Figure 1.6に示すよ うに,シリコンインターポーザを介してチップ同士を高密度に接続する方法(2.5D package)が採 用されている。シリコンインターポーザは半導体プロセスを適用して数μm以下の微細配線層を 形成することができ、基板側への電極の引き出しにはTSVが用いられる。代表的なTSVの作製方 法としては、仮固定材の耐熱性の観点からビアミドル方式が数多く検討されている。具体的には、 トランジスタを作製するFEOL(Front End of Line)と回路配線を作製するBEOL(Back End of Line) との間に, 異方性と等方性のイオンエッチング(ボッシュプロセス)もしくはレーザー加工を繰 り返してシリコンにビアを形成し、絶縁用のシリコン酸化膜をCVDによって作製し、スパッタ リングによって銅のシード層を形成しめっき銅を充填する。その後、得られたデバイスウェハを 仮固定材を介してキャリアウェハに搭載してCMP(Chemical Mechanical Polish)及びエッチングを 実施する<sup>21-24)</sup>。このようなプロセスで作製されるTSV付ウェハはコスト面で大きな課題がある。 更に、シリコンは半導体材料であるため、導体とシリコン、及びビアホール間に設計上意図して いない素子である寄生素子が発生し、高周波特性への懸念がある。そこで、寄生素子の影響がほ とんどない絶縁体であるガラスインターポーザが検討されている<sup>25-27)</sup>。しかし、50~100 umに 加工されたガラスは非常に割れやすく取り扱いが困難であることに加えて、ガラス貫通電極 (Through Glass Via: TGV))形成時にクラックが発生することが課題となっている。このような貫 通電極を形成するTSVやTGV技術はプロセスやコスト面で問題が生じており、特に並列に配置さ れたチップ同士を接続するインターポーザのように大面積が必要な用途に適用することが難し い。Figure 1.7のような高速伝送に必要な微細配線層が有機基板に搭載された有機インターポー ザ(2.1D package)が実現できれば、TSVやTGVの形成や、寄生素子の問題も生じない。



Fig. 1.4 Schematic wiring layer of IC chip and organic sustrate.



Fig. 1.5 Line and space transitions of IC chip and printed wiring board wiring layer.



Fig. 1.6 Schematic cross-section of 2.5D package.



Fig. 1.7 Schematic cross-section of 2.1D package.

1.2.2 インターポーザ樹脂基板における微細配線技術の課題

インターポーザ樹脂基板は微細配線層が有機基板に搭載された構造である。有機基板上の配線 層は、Figure 1.8(a)に示すセミアディティブプロセス(Semi-Additive Process: SAP)が採用されてき た。SAPとは、ビルドアップ材上に無電解めっきによって銅を形成した後に、フォトレジスト材 料をパターン形成する。形成した銅をシード層として電解銅めっきし、フォトレジスト材料及び 不要な銅のシード層を除去することで配線が形成される。その後、ビルドアップ材で配線を埋め 込む手法である。しかし、配線を埋め込む際に生じるビルドアップ材の凹凸が原因で、ビルドア ップ上に微細な配線を形成できないことに加え,銅のシード層を除去する工程で密着性を確保す ることが難しいため、良好な収率で得られる配線のLine width & Spacing (L/S) は7/7 μmが限界 である<sup>30)</sup>。TSVを用いた積層DRAMとLogicを高密度接続するためには少なくとも2/2 μmのL/Sが 必要であり、更にITRS(International Technology Roadmap for Semiconductors)の予測で2019年には LSIのグローバル配線と同じレベルの1/1 µmのL/Sが必要とされている<sup>28,29)</sup>。そのような背景の下, Figure 1.8(b)に示すように,絶縁材料に溝部を形成して配線を形成するトレンチプロセスが注目 されている。トレンチプロセスとは絶縁膜に形成した凹部に銅を充填し、研磨によって平坦化し て配線を形成する手法である。トレンチプロセスの利点は, 埋め込み配線であるためビルドアッ プ材の凹凸やシード層除去時の配線剥離といった課題を解決することに加えて, レジスト塗布及 び除去, またシード層の除去が必要なくプロセスが簡略化できる点が挙げられる。 凹部はレーザ ーによって形成され、適用するレーザーも微細化の要求に応じて、50~100 μmの配線形成が可 能なCO<sub>2</sub>レーザー(9.4 µmもしくは10.6 µm), 30~50 µmの配線形成が可能なUV-YAGレーザー(355 nm), 更に10~30 μmの配線形成が可能なエキシマーレーザー(248 nm)が検討されている。しかし ながら、UV-YAGレーザーは下地の銅配線ヘダメージを与える点で条件の制御が難しく、また、 エキシマーレーザーは低繰り返しであるため生産性の課題に加えて,高コストであることが問題 である。今後の配線の高精細化に伴って、配線数も大幅に増加するため、一括で加工することが 難しいレーザー方式はコスト面と生産性に更に大きな課題を抱えることが予想される。ビルドア ップ材にエキシマーレーザーを適用してトレンチを形成し, 5/5 μmのL/Sの配線を形成できるこ

とが実証されているが<sup>30</sup>, レーザーによる配線形成は樹脂の分解プロセスであるため, レーザー 処理後に樹脂の残存物を除去するためのデスミア工程が必要である。更に, 配線側壁の形状も凹 凸が大きいため, 電流密度が導体表面で高くなる表皮効果によって伝送時の損失も大きくなるこ とが懸念される。以上から, レーザーを用いた微細化は所定の配線幅と形状を得ることが難しく, 新たなプロセス及びそれに伴う材料の開発が必須となっている。



Fig. 1.8 Semi-additive process (a) and trench process (b).

#### 1.2.3 インターポーザ樹脂基板の微細配線技術の開発指針

本研究では、感光性絶縁材料を用いたフォトリソグラフィープロセスによって一括で5/5 µm以 下のL/Sを有する微細配線を形成し、高い生産性かつ優れた絶縁信頼性を有する配線層を実証す ることを目的とした。それを実現するためには、感光性絶縁材料の解像度と絶縁信頼性に着目し、 目標を満足するための材料指標を解明することが必要である。特に、有機材料を用いた微細配線 においては、有機材料への銅の拡散による絶縁性の課題が想定される。ここで、参考までにトレ ンチ方式が適用されているICチップの配線形成プロセスをFigure1.9に示す<sup>31)</sup>。まずシリコンウェ ハ上にmetal-oxide-semiconductor field-effect transistor(MOS-FET)を作製する。その上に化学気相成 長法(Chemical Vapor Deposition: CVD)によって配線間誘電膜を製膜後、レジスト形成とドライ エッチングによって溝を形成し、スパッタリングによってバリアメタルを形成する。その上に電 解めっきによって銅を埋め込み、過剰な銅をCMPによって除去して配線を形成する。露出した 銅は更にCVDによって積層される配線間誘電膜によってマイグレーションを防ぐことができる。 しかしながら、本プロセスを有機インターポーザに適用しようとすると、CVDによるSiN形成の プロセス温度は通常400 ℃以上であるため適さない。更に、基板や銅とSiNとのCTEのミスマッ チによるクラックが懸念されることに加え、レジスト形成、エッチング、レジスト剥離といった 煩雑な工程も必要となる。従って、有機インターポーザに適用できる、生産性と信頼性に優れた 配線層の形成材料やプロセスを開発することが強く要求される。一方で、有機材料を用いた微細 配線での絶縁信頼性に関する材料指標は明確になっていない。

インターポーザ基板にとって、絶縁信頼性が最も重要であり、絶縁信頼性には、樹脂材料の吸 湿率・イオン濃度が支配因子と考えられる。また、吸湿率が低くなると加工性が低下することが 予想される。本研究では、樹脂材料の吸湿率、イオン濃度と絶縁信頼性の関係を明確にするとと もに、加工性の観点において、吸湿率と微細加工性の関係を明確にする。微細配線基板に用いる 樹脂材料の選定指針を明らかにするとともに、微細配線構造・プロセスの新規提案を行う。また、 各材料及び構成が有する絶縁信頼性の指標として活性化エネルギーを算出して、絶縁性の寿命予 測のみならず、プロセス適合性を判定する指標を明らかにすることを対象とする。更に、有機材 料を用いた微細配線において、微細化と絶縁信頼性を両立するための構成を検証することを対象 とする。



Fig. 1.9 Wiring assembly process of IC chip<sup>31)</sup>.

1.3 積層チップ間の高速伝送技術の課題と研究目的

1.3.1 貫通電極を用いた多段積層による高密度化とバンプ接続方式

実装技術によって高密度化する手法はDRAM(Dynamic Random Access Memory)のシリコンチ ップをFigure1.10に示すワイヤボンディング技術によって相互接続する技術によって既に普及し ている。ワイヤボンディング技術の課題は、ワイヤボンディングパッドによって小型化が難しく、 金属ワイヤが比較的長いことによる信号遅延と高い消費電力である。そこで、小型化と高速化を 両立するためにFigure1.11に示すシリコンに貫通電極を形成して複数のチップを相互接続する TSV(Through Silicon Via)技術(3D package)が開発された。TSVによるDRAMの積層体は前項で記 述したシリコンインターポーザとは異なり、大面積を必要としないことからコストを抑えること ができ、半導体メーカ各社で開発が進められている<sup>32-40)</sup>。

複数のチップは金属バンプによって相互接続される。バンプ接続としては、これまでチップ電 極部に搭載したソルダボールで接続するC4(Controlled Collapse Chip Connection)接続法が一般的 である。バンプの急速な狭ピッチ化に従って、ソルダのはみ出しによるバンプ間のショートの課 題が顕著となり、銅バンプを5~10 µm厚の薄層ソルダで接続する方式が検討されている<sup>41-47)</sup>。バ ンプ間が更に狭ピッチ化するとソルダを適用することが困難になることに加えて、電気的特性の 観点からも銅バンプ同士、もしくはTSVと銅パッドを直接接合する技術が研究されている<sup>48-56)</sup>。



Fig. 1.10 Schematic multi-die stack by wire bonding.



Fig. 1.11 Schematic cross-section of 3D package.

# 1.3.2 アンダーフィル材と積層方式の現状と課題

アンダーフィル材とは、IC チップであるシリコンと有機基板及び銅との熱膨張係数差に由来 する応力がバンプ接続部分に集中しないように,チップとチップとの間またはチップと有機基板 との間に充填するための樹脂である。これまでアンダーフィル材としては、バンプ接続した後に、 液状のキャピラリーアンダーフィル材を毛細管現象によって注入するキャピラリーアンダーフ ィル方式が適用されてきた。しかし、バンプの小径化、狭ピッチ化に伴って金属バンプ間の空隙 が狭くなり、液状材を注入するのに長時間を要し、更に low k 材にダメージを与えるなどの理由 で、充填が困難になりつつある。そのような課題を解決するために、アンダーフィルが予め塗布 されたチップを加熱圧着によって接続する先途布型アンダーフィル方式 57-65) が開発されている。 キャピラリーアンダーフィル方式の場合は、アライメントのための圧着後にリフロー工程によっ て一括でバンプ接続させ、その後にアンダーフィルを注入するため、優れた生産性を有する。一 方で,先塗布型アンダーフィル方式の場合は,アンダーフィルを排除し,ソルダを溶融させるた め個々のチップを高温で加熱圧着して接続させる。そのため、生産性に課題があるのに加えて、 昇温と降温を繰り返すため IC チップへの熱ダメージが懸念される。更に、バンプの狭ピッチ化 に伴って, 薄層化したソルダを用いたバンプや銅バンプ同士を接合する場合は, 加熱圧着時にア ンダーフィルが排除できず、バンプ間にアンダーフィルが噛込、接続不良になることが懸念され る。一方で、アンダーフィルは応力が接続部分に集中しないように充填されるため、アンダーフ ィルがないバンプ接続部は信頼性低下の懸念が大きい。

積層方式としては、Table1.1に示すようにウェハ同士を積層するWafer on Wafer (WoW)<sup>66-71</sup>, ウェハ上にチップを積層するChip on Wafer (CoW)<sup>72-78</sup>, チップ同士を積層するChip on Chip (CoC)<sup>79-81)</sup>が挙げられる。WoWはDRAMの積層体のように同じデザインのウェハを積層する場合 は、非常に生産性に優れた方法である。WoWでは樹脂による汚染を抑制するために銅とSiO2を 直接接続するハイブリッドボンディングが多く検討されているが、接着樹脂が存在しない接続方 式では極微量のダストによって貼合せできなくなる<sup>82)</sup>。更に、接合条件は高温もしくは高荷重と なることから、300 mmウェハ全面でボンディングツールの平行度を確保することは非常に難し い。最も大きな問題はウェハそのものの歩留まりである。TSVを有するウェハはその工程の複雑 さから歩留まりは高くなく、そのウェハを複数段積層すると良品として得られる積層チップは極 端に少なくなる。従って、WoWの実用化は、TSVウェハそのものの歩留まり向上、クリーン環 境の整備及び高性能ボンダーの開発といった環境が整えば理想的な積層方式となる。一方、CoC はそれぞれのウェハをダンシングして得られたチップを個々に高温で加熱圧着する。従って、良 品チップ(Known good die(KGD))を使用することから歩留まり向上は期待できるものの、生産性 に課題がある。また、CoWも同様にKGDを使用することができるため歩留まり向上が期待でき、 ボトムチップの搬送と昇温が必要ないためCoCよりも生産性は向上するものの、CoCと同様にIC チップへの熱ダメージとウェハ上に形成されている銅パッドの酸化が懸念される。以上から、生 産性と熱ダメージを解決できる積層プロセス及びアンダーフィル材の研究は、非常に重要となっ ている。



Fig. 1.12 Schematic multi-die stack by TSV.

	Chip on Chip (CoC)	Chip on Wafer (CoW)	Wafer on Wafer (WoW)
Stacking method	Stacking	Dicing	Dicing
		CCC ⇒∰	♥⇒≝
Productivity	Low	Middle	High
Yield	High (KGD)	High (KGD)	Middle
Remarks	• Thermal damage	• Thermal damage	Bonder improvement required Excellent wafer yield required Alignment issue Same wafer design

Table 1.1 Stacking method: Chip on chip, chip on wafer and wafer on wafer.

1.3.3 微細パターニング可能なアンダーフィルと生産性に優れたプロセスの開発指針

先塗布型アンダーフィルは,バンプピッチが狭いチップを積層する用途として開発が進んでお り,微細・狭ピッチ化したチップの積層にとってバンプの接続性が最も重要である。

本研究では、噛込の原因となるバンプ上のアンダーフィルをフォトリソグラフィーによって除 去できる感光性アンダーフィルを新規に設計し、そのコンセプトを実証することを目的とした。 材料の設計指針としては、感光性アンダーフィルの成分であるポリイミド樹脂の構造と分子量に 着目し、解像性、パターン形成後の粘性、熱硬化後のガラス転移温度(Tg)への影響を解明すると ともに、開発した感光性アンダーフィルを用いて、噛込がないバンプ接続部と、生産性を大幅に 向上できる積層プロセスを検証することを研究対象とする。 1.3.4 フィルムアンダーフィルとそれを用いた多段積層プロセスの開発指針

微細・狭ピッチ化した電極の接続にとって,アライメントと接続状態が最も重要であり,アラ イメントには樹脂材料の透明性,接続信頼性には樹脂材料の粘性と線膨張係数が支配因子と予想 される。本研究では,フィルムアンダーフィルに含まれるフィラの含有量・粒径の透明性,粘性 と線膨張係数との関係を明確にする。また,接続時の透明性とアライメント,及び粘性と噛込と の関係を明確にし,微細・狭ピッチ化した電極の接続に用いる樹脂材料の選定指針を明らかにす るとともに,多段積層プロセスの新規提案と検証を行う。

# 1.4 微細配線技術とチップ積層技術を適用した次世代高密度パッケージ

前述したように、複数のチップが相互に接続された次世代高密度パッケージのためには、平面 方向を高密度に接続する微細配線技術と、垂直方向にTSVチップを接続する積層技術をともに優 れた生産性で実現する必要がある。次世代高密度パッケージとしては、LogicとDRAM積層体が、 高密度配線を有する有機インターポーザ上に搭載されたFigure 1.13に示すパッケージ形態を想 定している。本研究では、次世代高密度パッケージを構成するために好適な樹脂材料とプロセス の組合せを提案する。





1.5 研究の構成と流れ

本研究の流れを示す。第1章では研究の背景となる半導体素子の微細化の限界と実装技術によ る高密度化への移行,シングルチップ実装からマルチチップ実装への構造の変化について述べた。 次に,並列チップ間の高速伝送に必要な微細配線技術と,積層チップ間の高速伝送に必要なバン プ接続技術の動向と課題を詳述した。本研究の開発指針を,次世代高密度半導体パッケージに用 いられる樹脂材料と実装プロセスとし,微細配線を有する樹脂基板における絶縁性と微細加工性 を両立する樹脂材料とプロセスと,電極の微細・狭ピッチ化のためのアンダーフィル樹脂材料と プロセスとすることを記述した。Figure 1.14に全体の研究の流れを示した。

第2章では、インターポーザ樹脂基板にとって最も重要な絶縁信頼性に着眼し、樹脂材料の吸湿率、イオン濃度と絶縁信頼性の関係を明確にするとともに、加工性の観点において、吸湿率と微細加工性の関係を明確にすることを目的とした。微細配線基板に用いる樹脂材料の選定指針を明らかにするとともに、微細配線構造・プロセスの新規提案を検証した。また、各材料及び構成が有する絶縁信頼性の指標として活性化エネルギーを算出して、絶縁性の寿命予測のみならず、プロセス適合性を判定する指標になることを明らかにした。

第3章では、アンダーフィルのバンプ接続部への噛込と生産性の課題に着眼し、バンプ接続部 の噛込の原因であるバンプ上のアンダーフィル材をフォトリソグラフィーによって除去できる 感光性アンダーフィル(PWLUF: Photodefinable wafer level underfill)の材料開発を目的とした。第2 章で得られた解像性と絶縁信頼性の指標を基に、材料を選定した。選定材料の主成分であるポリ イミド樹脂の構造と分子量に着目して、微細なバンプ上での開口のための解像性、熱圧着時のバ ンプ接続を可能にするパターン形成後の粘性、低い線膨張係数(CTE: Coefficient of thermal expansion)を実現するための熱硬化後のガラス転移温度(Tg)への影響を解析した。

第4章では、第3章で設計したPWLUFの材料コンセプトを、積層評価によって検証することを 目的とした。パターン形成後の粘性が異なるPWLUFを用いて、バンプ接続性への影響を調べた。 開発したPWLUFを用いると、露光、現像によってバンプ上のアンダーフィルを除去することが でき、バンプ接続部に噛込がないことを検証した。更に、生産性を大幅に改善する積層プロセス として、高温で個々のチップを加熱圧着する必要がない一括リフロープロセスを検証した。

第5章では、微細・狭ピッチ化した電極の接続にとって重要なアライメントと接続状態に着眼 し、樹脂材料に含まれるフィラの含有量・粒径が透明性、粘性と線膨張係数(CTE: Coefficient of thermal expansion)に与える影響を明確にした。また、第4章で得られた粘性の指標を基に材料を 選定し、接続時の透明性とアライメント、及び粘性と噛込との関係を明確にし、微細・狭ピッチ 化した電極の接続に用いる樹脂材料の選定指針を明らかにするとともに、多段積層プロセスの新 規提案を検証した。

13



Fig. 1.14 Reseach flowchart of this study.

第2章 インターポーザ樹脂基板の絶縁信頼性と微細加工性

## 2.1 緒言

有機材料を用いたセミアディティブプロセス(Semi-Additive Process: SAP)による配線形成は, エッチング時の配線剥離と配線を埋め込むビルドアップ材の凹凸によって,L/Sが5/5 µm以下を 実現することが難しい課題がある。微細配線を形成する方法として,熱硬化性材料にレーザによ って溝を形成して配線を形成する方法が知られているものの,微細化が難しいことに加えて配線 の側壁の凹凸が大きく,生産性に課題がある。インターポーザ樹脂基板にとって,絶縁信頼性が 最も重要であり,絶縁信頼性には,樹脂材料の吸湿率・イオン濃度が支配因子と考えられる。ま た,加工性を考えると,吸湿率が低くなると加工性が低下することが予想される。しかし,微細 配線における絶縁信頼性や解像性に求められる材料指標は明らかになっていない。

本研究では、樹脂材料の吸湿率・イオン濃度と絶縁信頼性の関係を明確にするとともに、加工 性の観点において、吸湿率と微細加工性の関係を明確にした。微細配線基板に用いる樹脂材料の 選定指針を明らかにするとともに、微細配線を有する基板の作製方法の新規提案を行った。また、 各材料及び構成が有する絶縁信頼性の指標として活性化エネルギーを算出して、絶縁性の寿命予 測のみならず、プロセス適合性を判定する指標になることを明らかにした。

#### 2.2 感光性絶縁材料の選定

Figure 2.1に解像性が低い感光性絶縁材料を用いてパターン形成した写真を示す。残渣が多く 存在しており、このような樹脂残渣はL/Sが5/5 µm以下の加工性に影響する。残渣の原因は樹脂 の溶解不足であり、現像液と樹脂との親和性が解像性に影響すると考えた。そこで、配合する樹 脂と現像液の主成分である水との親和性を評価した。樹脂材料の水との親和性を表現するパラメ ータとして、分子内の親水性と親油性の指標を示すHLB(Hydrophile-Lipophile Balance)値に着 目し、樹脂成分の親水性と解像性との関係を調べた。HLB値は、分子構造から下記式を用いて 計算し、元素あるいは結合に与えられている有機性値(OV)及び無機性値(IV)は、無機性基表<sup>83)</sup> を引用した。低いHLBを有する材料は有機性が高いため親油性であり、高いHLBを有する材料 は無機性が高いため親水性であることを意味する。

#### HLB=無機性値(IV)/有機性値(OV)×10・・・(1)

Figure 2.2は、感光性材料においてアクリレートなどの他の配合成分及び配合量を固定し、20% 配合したエポキシ樹脂のHLB値と残渣量との関係を示している。また、Figure 2.3 (a)はHLB値 が2.9の材料を配合してパターン形成した写真と残渣量の測定方法を示しており、残渣量はパタ ーン側壁からの残渣の距離と定義した。(b)はHLB値が7.8の材料を配合してパターン形成した写 真を示している。HLB値とパターン形成後の残渣量には相関があり、高いHLB値を有する材料 を使用することで解像性が向上することがわかった。そこで、解像性に関する材料指標を明らか にすることを目的に、吸湿率の異なる感光性絶縁材料を準備して解像性との関係を調べた。



Figure 2.1 Pattern using photosensitive material with poor resolution.



Figure 2.2 Influence of HLB value of epoxide on resolution.



Figure 2.3 Pattern residues using photosensitive material with low HLB (a) and high HLB value (b).

また、5/5 μm以下の配線での絶縁信頼性に必要な材料特性は明らかになっていない。Figure 2.4 は、Biased-HAST評価の構造模式図(a)、銅の溶出・析出の模式図(b)及び陽極、陰極及び樹脂中で の反応機構を示している。陽極では樹脂に浸透した水の電気分解によって、酸が発生するととも に銅が溶出する。更に、系中のpHが低いと銅の溶出は加速される。溶出した銅イオンは樹脂内 の陰イオンと会合した塩形成と、再イオン化を繰り返しながら樹脂中を陰極側へ移動(マイグレ ーション)する。銅イオンは陰極から電子を受け取ることで銅として析出する。この結果、配線 回路間の電気抵抗値の低下が引き起こされることが報告されている<sup>84)-95)</sup>。従って、感光性絶縁材 料としては、電気分解によって酸を発生させる原因となる樹脂の吸湿率と、樹脂中の銅の移動を 促進する陰イオン濃度が絶縁信頼性に大きな影響を与えると考えた。本研究では、5/5 μm以下で の絶縁性に関する材料指標を明らかにすることを目的に、樹脂系、吸湿率、陰イオン濃度の異な る感光性絶縁材料を準備して絶縁信頼性との関係を調べた。



Anode Cu<sup>2+</sup> + 2e<sup>-</sup> → Cu

(c) Reaction scheme on cathode, anode and resin

Figure 2.4 Copper migration mechanism.

Table 2.1は、準備した8種類の感光性絶縁材料の樹脂系、吸湿率、陰イオン濃度をまとめたものである。Material A~C及びEはフェノール樹脂系, Material D, F~Hはポリイミド樹脂系である。 Material A~Eは、陰イオン濃度が同程度で吸湿率が異なるため、吸湿率による絶縁性への影響を比較することができる。Material E~Hは、吸湿率が同程度で陰イオン濃度が異なるため、陰イオン濃度による絶縁性への影響を比較することができる。更に、Material CとDは、吸湿率と陰イオン濃度が同程度で樹脂系が異なるため、樹脂系による影響を比較することができる。吸湿率の 測定方法を記載する。シリコンウェハ上に30 µmの厚さで形成したMaterial A~Hの硬化膜をHAST 条件である130 ℃,85%RHに200 h放置した。その後,恒温恒湿炉が40 ℃になるまで自然冷却し サンプルを取り出した。硬化膜を3 mg程度削り取り,窒素流量が400 mL/min,昇温速度が10 ℃ /minの条件で,熱重量測定装置を用いて測定し,100 ℃までの重量減少率を吸湿率とした。Figure 2.5は,Material Aの吸湿率を測定した結果である。吸湿処理の前後において100℃よりも高温の 部分での大きな変化がないことから,樹脂の大きな分解がないことを確認した。次に,イオン濃 度とpHの測定方法を記載する。Material A~Hの硬化膜1 gと,超純水10 gをテフロン耐熱容器に 入れ,130 ℃で5時間加熱抽出した液をろ過し,装置:ダイオネクス製ISC-2000,検出器:電気 伝導度検出器,カラム:AS20 (4 mmo×200 mm),カラム温度:30 ℃,流速:1.0 ml/min,注入 量:25 µl,グラジェント設定は0分で5 mMのKOH,5分で5 mMのKOH,15分で30 mMのKOH, 20分で55 mMのKOHの条件で測定し,0~30分に検出されたピークから陰イオン濃度を算出した。 更に,上記の抽出水のpHをガラス電極式水素イオン濃度指示計で測定した。Material A~Hの間 では大きな差は観測されなかった。

Item	Resin type	Moisture absorption rate (%)	Anion concentration (ppm)
Material A	Phenol	2.0	1000
Material B	Phenol	1.6	980
Material C	Phenol	1.4	930
Material D	Polyimide	1.0	950
Material E	Phenol	< 0.3	970
Material F	Polyimide	< 0.3	530
Material G Polyimide		< 0.3	330
Material H Polyimide		< 0.3	71

Table 2.1 Moisture absorption rate and Anion concentration of Material A~H.



Figure 2.5 Weight loss curve of Material A before and after HAST.

### 2.3 感光性絶縁材料の解像性の評価

解像性の評価方法をFigure 2.6に示す。シリコンウェハに5 μm厚の感光性絶縁材料を形成し, 高圧水銀灯アライナー露光装置を用いて全面露光した後,熱硬化した(a)。その後,更に3 μm厚 の感光性絶縁材料を形成し(b),i線ステッパ露光装置を用いてフォトマスクを介して露光,現像 した後,熱硬化した(c)。Figure 2.7は,Material Aを用いて解像性を評価した結果であり,上面及 び断面を走査型電子顕微鏡(SEM: Scanning electron microscope)を用いて,L/Sが5/5 μm(a),3/3 μm (b),2/2 μm (c)のパターンを観察した結果を示している。いずれのパターンにおいても残渣やパ ターン底部の剥離などの不具合は見られていないことを確認した。同様の方法でMaterial A~Hの 評価を行った。Figure 2.8は,Material A~Hの吸湿率と解像性との関係を示した図であり,吸湿率 が0.3%以下であったMaterial E~Hは0.3%としてプロットした。感光性絶縁材料の吸湿率が高くな るに伴って高い解像性が得られ,吸湿率が0.3%以下の感光性絶縁材料では解像性に乏しく,吸 湿率が1.4%以上の感光性絶縁材料でL/Sが5/5 μm以下の解像性を示した。更に,吸湿率が2.0%の Material AがL/Sが2/2 μmの解像性を有することがわかった。以上の結果から,感光性材料の吸湿 率が解像性に影響し,L/Sが5/5 μm以下の解像性を達成するための材料指標を明らかにした。



Figure 2.6 Evaluation flow of photolithography property.



Bird's eye view

Cross sectional view





Cross sectional view

(b) L/S=3/3 µm



(c)  $L/S=2/2 \ \mu m$ 

Figure 2.7 Bird's eye and cross sectional view after patterning using Material A.



Figure 2.8 Influence of moisture absorption rate on the resolution.

## 2.4 感光性絶縁材料の絶縁信頼性評価

絶縁信頼性を評価するためのTEGを新規に設計し、Biased-HASTによって評価を実施した。 Biased-HASTは、試験デバイスに温度、湿度、電圧を一定の圧力下で行う試験であり、高湿度の 環境下で動作させ, デバイスの信頼性を評価する手法である。Figure 2.9は, 10/10, 5/5, 3/3, 2/2 μm のL/Sの櫛場配線を有するTEGデザインであり、左右のパッド部分に銅ワイヤを接続し電圧をか けることによって絶縁性の評価を行う。問題がない場合は、 配線が絶縁材料によって隔離されて いるため高い電気抵抗値を示し、銅の溶出等で課題が生じた場合には電気抵抗値が低下する。 Figure 2.10は後述するMaterial Aを用いたトレンチ配線によって作製した絶縁信頼性評価用の TEGの5/5 μm(a)及び2/2 μm配線部分(b)の外観を示している。また, Figure 2.11は絶縁信頼性を評 価するためのTEGの表面及び断面模式図であり、凹部の銅配線と感光性絶縁材料であるMaterial Aとの間は、マイグレーション耐性の高いチタンが存在する構造となっている。一方、配線の上 部は銅が露出した状態であり, Figure 2.12の模式図を示したように, 評価する感光性絶縁材料を 配線上に塗布することで絶縁信頼性を評価することができる。ソルダによってパッドの部分に銅 ワイヤを接続し, 130 ℃, 85 %RH, 3.3 Vの条件でBiased-HAST評価を実施した。Biased-HAST 評価中に10<sup>6</sup>Ω以上の電気抵抗値を示している場合は絶縁性を確保できており,10<sup>6</sup>Ωを下回る電 気抵抗値を示した場合は不具合が生じていると判断した。また,評価開始から200 h以上の絶縁 性を維持することを目標値とした。

21



Figure 2.9 TEG structure with L/S=10/10, 5/5, 3/3, 2/2  $\mu$ m for insulation reliability evaluation.



Figure 2.10 TEG surface views with 5/5  $\mu$ m (a) and 2/2  $\mu$ m (b) for insulation reliability



Figure 2.11 Schematic TEG structures for insulation reliability evaluation.



Figure 2.12 Schematic structures to evaluate insulation reliability of Material A~H.

Table 2.2は、Material A~Hの材料を10/10, 5/5, 3/3, 2/2 µmのL/Sを有する配線において、 Biased-HAST評価中に10<sup>6</sup>Ω以上の電気抵抗値を維持した時間である。材料によって大きな差が見 られ, Material Aが全てのL/Sで10h以内で不具合が生じたのに対し, Material Bは10/10 µmで90h, Material Eは10/10 µmで200 h以上, Material C, D, Fは5/5 µmで200 h以上, Material Gは3/3 µmで200 h, Material Hは2/2 µmで200 h以上の絶縁性を維持した。Figure 2.13はMaterial Aを用いた5/5 µmの 配線において, Biased-HAST評価時間と電気抵抗値との関係を示したものであり, 評価開始から 10 h程度で電気抵抗値は10<sup>6</sup>Ωを下回っていることがわかる。Figure 2.14はMaterial Aを用いた Biased-HAST評価前のサンプル(a)と200 hまで評価したサンプル(b)の状態を比較した顕微鏡写真 であり, 陽極に接続していた櫛場配線が黒く変色し, 陰極の配線よりも細くなっている。Figure 2.15はL/Sが2/2 μmの配線において, Biased-HAST評価を200 hまで実施したサンプルの断面の STEM(Scanning Transmission Electron Microscope)-EDX(Energy Dispersive X-ray spectrometry)結果 を示しているが、陽極の銅が溶出していることがわかる。一方で、Figure 2.16はMaterial Hを用い た2/2 µmの配線において、Biased-HAST評価時間と電気抵抗値との関係を示したものであり、300 h以上の絶縁性を維持している。Figure 2.17はBiased-HASTを300 hまで実施する前後での顕微鏡 写真を示しており,銅の溶出による大きな配線腐食や変色は観測されなかった。更に, Figure 2.18 はBiased-HAST評価を300 hまで実施したサンプルの断面のSTEM-EDX結果を示している。スパ ッタリングされたチタンの厚さが比較的薄い部分で陽極の一部の銅が溶出しているものの,材料 には全く拡散は見られず, Material Hが良好な絶縁信頼性を有することがわかった。

L/S (µm)	10/10	5/5	3/3	2/2
Material A	< 10 h	< 10 h	< 10 h	< 10 h
Material B	90 h	20 h	< 10 h	< 10 h
Material C	> 200 h	> 200 h	50 h	20 h
Material D	> 200 h	> 200 h	70 h	30 h
Material E	> 200 h	100 h	20 h	20 h
Material F	> 200 h	> 200 h	150 h	70 h
Material G	> 200 h	> 200 h	200 h	120 h
Material H	> 200 h	> 200 h	> 200 h	> 200 h

Table 2.2 Biased-HAST reliability with L/S=10/10, 5/5, 3/3, 2/2 µm using Material A~H.



Figure 2.13 Resistance value during biased-HAST evaluation using Material A.

Cu connected with anode



Figure 2.14 Surface view of L/S 5/5  $\mu$ m before and after biased-HAST using Material A.



Figure 2.15 Elemental mapping of C, Ti and Cu by STEM-EDX after biased-HAST using Material A.



Figure 2.16 Resistance value during biased-HAST evaluation using Material H.







Figure 2.18 Elemental mapping of C, Ti and Cu by STEM-EDX after biased-HAST for 300 h using Material H.

5/5 µm以下での絶縁信頼性の材料指標を明らかにすることを目的に,得られた結果の解析を実施した。Material CとDは,吸湿率と陰イオン濃度が同程度で樹脂系が異なるため,樹脂系による影響を比較することができる。いずれのL/Sにおいても同程度の絶縁性を示していることから,材料の絶縁信頼性は,吸湿率と陰イオン濃度の寄与が支配的であり,樹脂系による影響は小さいと考えた。

Material A-Eは、陰イオン濃度が同程度で吸湿率が異なるため、吸湿率による絶縁性への影響 を比較することができる。Figure 2.19は、Material A-Eの吸湿率と、5/5 μm及び2/2 μmの配線にお ける絶縁信頼性との関係を示している。吸湿率が0.3%以下であったMaterial Eは0.3%としてプロ ットした。5/5 μmの配線に関しては吸湿率が絶縁性に大きな影響を与え、吸湿率を1.4%以下の材 料で200時間以上の絶縁信頼性を確保した。一方で、2/2 μmの配線に関しては、低い吸湿率にす ることで絶縁性は改善するものの大きな影響は見られなかった。2.2項にBiased-HAST中の反応機 構を示したが、樹脂の吸湿率が低い場合には、陽極から溶出する銅イオンは少なくなるため、絶 縁信頼性が高くなると考えられる。しかし、溶出した銅イオンは樹脂内の陰イオンと会合した塩 形成と、再イオン化を繰り返しながら陰極側へと移動するため、Material A-Eのように陰イオン が多く含まれる材料では銅イオンが移動しやすい状態である。特に、2/2 μmのような微細な配線 では、この少量の銅イオンの移動によっても電気抵抗値の低下を引き起こすと考えられる。

Material E~Hは、吸湿率が同程度で陰イオン濃度が異なるため、陰イオン濃度による絶縁性への影響を比較することができる。Figure 2.20は、Material E~Hの陰イオン濃度と、5/5 µm及び2/2 µmの配線における絶縁信頼性との関係を示している。5/5 µmの配線に関しては、Material E~Hは吸湿率が低いことから、いずれの材料においても200時間以上の絶縁信頼性を確保した。2/2 µmの配線に関しては、陰イオン濃度が絶縁性に大きな影響を与えることがわかった。また、指数近似による相関係数が0.9968であり信頼性のよい解析結果が得られた。Material E~Hは、吸湿率が低いことで陽極から溶出する銅イオンが少なく、更に陰イオン濃度による銅イオンの移動のしやすさが支配的になったと考えている。

以上の結果から、5/5 µmの配線に関しては、陰イオン濃度が多い場合においても吸湿率を低下 させることで絶縁性を確保することができる。その材料指標としては、陰イオン濃度を1000 ppm 以下かつ吸湿率を1.4%以下にすることである。2/2 µmの配線に関しては、吸湿率を低下させて更 に陰イオン濃度を低くすることで絶縁性を確保することができる。その材料指標としては、陰イ オン濃度を70 ppm以下かつ吸湿率を0.3%以下にすることである。また、本研究では評価してい ないが、吸湿率が高くイオン濃度が小さい材料系に関しても、少量の銅イオンの移動によって電 気抵抗値の低下を引き起こす2/2 µmの配線では、絶縁信頼性は確保できないと考えている。

27



Figure 2.19 Influence of moisture absorption rate on insulation reliability. The anion concentrations are 1000 ppm approximately.



Figure 2.20 Influence of anion concentration on insulation reliability. The rates of moisture absorption are below 0.3%.

#### 2.5 微細配線を有する基板の作製

有機絶縁材料への配線は、一般にシード層と呼ばれる金属膜を給電層として用いた電解銅めっ きによって形成される。熱硬化性樹脂を用いたシード層の形成方法としては、 デスミア液と呼ば れる過マンガン酸カリウムと強アルカリ成分を含む水溶液を用いて熱硬化性樹脂の表面に凹凸 を形成することでアンカー効果を発現させ(デスミア処理),無電解めっきによって銅膜を形成 する方法が用いられる。Figure 2.21は5/5 μmのパターンをデスミア処理する前後での顕微鏡写真 を示しており,強アルカリ成分を含む水溶液でのデスミア工程によってパターンが剥離すること がわかった。そこで、スパッタリングによって金属膜を形成し、給電層として適用した。Material A上にチタン層を50 nm, 次いで銅層を100 nmの厚さでスパッタリングした後, 電解銅めっきし た。Figure2.22は、電解銅めっきを形成した後の外観(a)とL/Sが2/2 µm部分の断面SEM写真(b)を示 している。全面に均一に金属層が形成されており、微細な配線の部分にもボイドや剥離などは観 測されなかった。次に、凹部のみに金属を残存させるために、不要な金属層を除去する必要があ る。CMP(Chemical Mechanical Polishing)による研磨は、平坦化のためのひとつの選択肢であるが、 基板プロセスに適用するためにはコスト面の課題を抱えている。 サーフェスプレーナは, 特別な 薬液を必要とせずダイヤモンドによる機械的切削のみで平坦化する手法であり,大型基板への対 応が期待される。Figure 2.23は、サーフェスプレーナを用いてめっき銅、チタン及び樹脂を研削 したサンプルの概観写真を示しており,感光性絶縁材料が露出して配線が形成されていることが わかる。Figure 2.24は,表面研削後のL/Sが5/5 µmの配線部分(a),及び2/2 µmの配線部分(b)の断面 SEM写真である。 配線の剥離やクラックは観察されず, 5/5 μm以下の配線が良好に形成できてい ることがわかる。また、微細な配線を積層するためには樹脂と銅との段差も小さい必要がある。 Figure 2.25は、サーフェスプレーナによって平坦化したサンプルの、樹脂及び配線銅を含む測定 範囲(a)と表面粗さの測定結果(b)を示したものであり、3サンプルを測定した平均のRaは27 nm、 Rzは125 nmであった。配線板において高周波用途に用いられる銅箔のRzが1~1.5 μmであること から,十分に低い値が得られた。一方で,CMPによって平坦化を実施したサンプルのRaは11 nm, Rzは30 nmであり、サーフェスプレーナによって平坦化したサンプルよりも低い値が得られた。 以上の結果から、感光性絶縁材料であるMaterial Aを用いたフォトリソグラフィープロセスと、 スパッタリング, 電解めっき及びサーフェスプレーナによる平坦化によって, L/Sが5/5 µm以下 の配線が得られた。



(a) After patterning and curing (b) After desmear

Figure 2.21 Trench pattern after patterning and curing (a), and after desmear (b).



Figure 2.22 Overview (a) and cross-sectional SEM image (b) after Cu plating.



Figure 2.23 Overview after surface planarization.



(a) 5/5 µm

(b) 2/2 µm

Figure 2.24 Cross-sectional SEM images of 5/5  $\mu$ m (a) and 2/2  $\mu$ m (b) patterns using Material A.



Figure 2.25 Surface roughness of copper trace and Material A.
2.3項と2.4項の結果から、Material Cを用いることでL/Sが5/5 µmの解像性と絶縁信頼性を両立 することができる。一方で、2/2 µmの解像性を得るにはMaterial Aを適用する必要があり、絶縁 信頼性を付与することが難しい。そこで、Material Aを用いてL/Sが2/2 µm以下の配線を形成し、 銅配線の上に絶縁信頼性の高いMaterial Hを設けて配線層を作製した。Figure 2.26は配線層の断面 模式図(a)、及び2/2 µmの配線層の断面SEM写真(b)を示している。Figure 2.27は1.5/1.5 µm及び1/1 µmの配線においてBiased-HAST評価中の電気抵抗値を示したものであり、200 hを経過しても10<sup>6</sup> Ω以上の電気抵抗値を維持している。この結果から、Material HはL/Sが1/1 µmの配線においても 絶縁性を維持する材料であることがわかった。



Figure 2.26 Schematic cross-section (a) and cross-sectional SEM image (b) of trench wiring layer using material A and Material H.



Figure 2.27 Resistance value during biased-HAST reliability of material H with 1.5/1.5  $\mu$ m (a) and 1/1  $\mu$ m (b).

2.6 銅配線のニッケル被覆による微細配線層の提案と実証

これまでの結果から、銅の溶出は露出した銅配線から発生していることがわかった。従って、 良好な絶縁信頼性を有する配線層を得るためには、露出した銅を、溶出を抑制する絶縁膜で覆う ことが有効であると考えられる。絶縁膜としては、2.5項に記載したように高い絶縁性を有する 樹脂を設けることが挙げられ、他には、SiNなどの無機絶縁膜や、チタンやクロムなどの銅より も腐食しにくい金属層(バリアメタル)<sup>96)</sup>で覆う方法が考えられる。SiNなどの無機絶縁膜は350 ~450 ℃でCVDによって形成されるが、有機材料が350~450 ℃の耐熱性を有していないこと、 更に、SiNと有機材料の線膨張率の差が大きいため、樹脂のクラック発生や反りが大きくなるこ とが懸念される。一方で、スパッタリングリングによってバリアメタルで覆う方法は、Figure 2.28 に示すように、研磨によって露出した配線(a)上に、バリアメタルをスパッタリングリングによ って形成(b)し、その後、フォトレジストを配線銅の上面のみが残るようにパターニング(c)した 後、配線銅上を除く不要な部分のバリアメタルをエッチング(d)、最後にレジストを除去する(e) 工程が考えられる。しかし、このようなプロセスは煩雑かつ高価であり、基板の製造プロセスと しては適さない。そこで、Figure 2.29に示すように、銅の置換反応によって銅表面にのみ選択的 に金属を成長させることができる無電解めっきを適用することを検討した。金属種としてはコス トと均質性、バリアメタルとしての性能<sup>90</sup>の観点からニッケルを選択した。



Figure 2.28 Process flow for Cu wiring covered with sputtered Ti or Cr.



Figure 2.29 Process flow for Cu wiring covered with electroless plated metal.

Figure 2.30は, 2/2 μmの部分の銅配線(a)及び無電解ニッケル処理後(b)の顕微鏡写真を示してお り,配線間にニッケルの付着がないことを確認した。無電解ニッケル処理によって銅配線を被覆 したサンプルに, 2.5項で絶縁信頼性に乏しかったMaterial Aを形成し, 130 ℃, 85 %RH, 3.3 V の条件でBiased-HAST評価を実施した。Figure 2.31は5/5 μm, 2/2 μm及び1.5/1.5 μmの配線におい て, Biased-HAST評価中の電気抵抗値の変化を示したものであり, 200 hを経過しても10<sup>6</sup> Ω以上 の電気抵抗値を維持した。Figure 2.32はBiased-HAST評価を200 hまで実施した2/2 μmの配線の顕 微鏡写真であり,銅の溶出による大きな配線腐食や変色は観測されなかった。また、Figure 2.33 はBiased-HAST評価を300 hまで実施したサンプルの断面のSTEM-EDX結果を示しているが, (d) のニッケルマッピングから,露出した銅がニッケルによって隙間なく覆われており, (e)の銅マ ッピングから,銅の拡散は全く見られずに非常に良好な絶縁性を確保できていることがわかる。 この結果から,層間材料の絶縁信頼性に関わらず,無電解ニッケルによってバリアメタルを形成 する方法において,優れた絶縁信頼性を付与できることを実証した。



(a) Trench wiring of 2/2 µm

(b) After Ni electroless plating

Figure 2.30 Surface inspections before (a) and after (b) Ni electroless plating.



Figure 2.31 Electrical resistance changes during biased-HAST with 5/5  $\mu$ m (a), 2/2  $\mu$ m (b), and 1.5/1.5  $\mu$ m (c) covered by electroless plated Ni using Material A.



Figure 2.32 Surface inspection of  $2/2 \ \mu m$  after biased-HAST for 300 h.



(e) Copper mapping

Figure 2.33 C, Ti, Ni and Cu elemental mapping by STEM-EDX after biased-HAST with 2/2 µm wiring covered with Ni on Cu line using Material A.

## 2.7 配線層の絶縁信頼性に関する解析のプロセス適合性と寿命予測への応用

絶縁材料にかかる電界強度(E: Electric field strength)の自然対数ln Eと,絶縁保持時間(t: Insulation retention time)の自然対数ln tとの間には,直線関係が成立することが知られている<sup>97)</sup>。

$$\ln t = -r \cdot \ln E + \frac{E_a}{kT} \qquad \cdot \cdot \cdot (2)$$
$$E = V / S \qquad \cdot \cdot \cdot (3)$$

その直線の切片の値から,絶縁材料中のイオンマイグレーションの活性化エネルギー(Ea: Activation energy) を算出することができ、絶縁材料の電気絶縁性を定量的に比較することがで きる。Eaの値が大きいほど銅イオンや有機イオンがマイグレーションしにくく,電気絶縁性が 高い、つまり絶縁信頼性に優れることを意味する。Eaの値は以下の式を用いて算出することが でき、tは絶縁信頼性試験の結果から得られる絶縁保持時間(s)、rは定数、Eは配線間にかかる電 界強度(V·m<sup>-1</sup>), Eaは絶縁材料の活性化エネルギー(eV), kはボルツマン定数(8.62×10<sup>-5</sup> eV・K<sup>-1</sup>), Tは絶縁信頼性試験中の絶対温度(403.15 K), Vは絶縁信頼性試験での印加電圧(3.3 V), Sは電極 間距離(m)である。L/Sが10/10,5/5,3/3及び2/2 umの絶縁信頼性によって得られた結果を解析する こととした。櫛型電極の電極間距離(10 µm, 5 µm, 3 µm, 2 µm)をそれぞれ式(2)中のSへ,また,印 加電圧 3.3 Vを式(2)中のVへ代入して電界強度Eを算出した。次に,電界強度Eの自然対数lnEと 絶縁保持時間tの自然対数lntをプロットし,得られる近似直線の切片の値E<sub>a</sub>/kTから活性化エネル ギーEaを算出した。まず, Figure 2.34(a)はMaterial A~C, G, H, (b)はMaterial Aを用いて銅配線上 の無電解ニッケル有無でのBiased-HAST試験の結果から算出されたIn EとIn tとの関係を示した ものである。いずれの材料についても、プロットされた点は概ね直線上にあり定量的な絶縁信頼 性の結果が得られた。次に, Table 2.3にFigure 2.33のプロットを直線近似して得られた切片から 算出した各材料及びNiバリアメタル有でのEaの値を纏めて示しており, Eaは0.33~0.49 eVの範 囲にあることがわかった。Eaが1 eV以下の場合、絶縁破壊は主に材料中のCuイオンのマイグレ ーションが原因であることが知られており%, STEM-EDXによって得られた結果と合致する。ま た,絶縁バリア樹脂もしくはニッケルバリア処理によって配線を保護することによって, Eaは 約1.5倍になっており電気絶縁性を定量的に評価することができた。



Figure 2.34 Relationship between  $\ln E$  and  $\ln t$  of Material A $\sim$ C, G and H (a), and with or without Ni barrier metal on Cu line using Material A (b).

Table 2.3 Calculated Ea value of Material A $\sim$ C, G, H and Cu line with Ni barrie
---

Material	Material A	Material B	Material C	Material G	Material H	With Ni barrier using Material A
Ea (eV)	0.33	0.36	0.40	0.47	0.49	0.49

横軸 ln E は S と V から算出されるため、V の値を固定した場合 Figure 2.35(a)に示すように 直線を外挿することによって ln t が 13.5 を示す ln E の値から、それぞれの材料で Biased-HAST での目標である 200 h の絶縁信頼性を確保できる L/S を予測することができる。また、Figure 2.35 (b)に示すように、ln E が 13.75、13.6、13.5、13.35、13.2 としたときの ln t の値から、それぞれ L/S が 1.5/1.5、1.2/1.2、1/1、0.7/0.7、0.5/0.5 µm のときの絶縁保持時間を予測することができる。Table 2.4 は、130 °C、85%RH、3.3 V の条件で Biased-HAST 試験した際に、絶縁保持時間が 200 h となる L/S を算出した結果であり、Table 2.5 は、それぞれの L/S での絶縁保持時間を予測した結果である。 L/S が 2/2~10/10 µm の結果から、Material H は L/S が 0.9/0.9 µm での絶縁保持時間で 200 h と算 出されており、2.5 項において L/S が 1/1 µm で 200 h 以上の絶縁信頼性を有していた結果と一致 している。また、銅配線をニッケルバリアで被覆した配線は、L/S が 1/1 µm での絶縁保持時間 で 200 h と算出されている。2.6 項において L/S が 1.5/1.5 µm で 200 h 以上の絶縁信頼性を有して いた結果とは対応している。一方で、L/S が 1.2/1.2 µm 以下で Biased-HAST 評価した結果、絶縁 保持時間は50 h以下であり、予測結果と乖離があることがわかった。サンプルを解析すると、 1.2/1.2 µm 以下の配線でのサンプルに不具合があり、ニッケルバリアで被覆するプロセスの適正 化が必要であることがわかった。このような解析方法は、L/S が 10/10 µm や 5/5 µm の絶縁信頼 性結果から、2/2 µm 以下の寿命を算出できるため、2/2 µm 以下の TEG 設計が困難な場合に特に 有効である。また 2/2 µm 以下の絶縁信頼性結果から、10/10 µm での結果を算出することもでき、 評価を短時間で実施することができる。更には、プロットが直線から外れる場合には、TEG の 不良やプロセスの改善が必要であることが示唆されるため、配線の絶縁信頼性評価にとって有用 な手法である。



Figure 2.35 Calculation method for insulation reliable L/S using Material B, C, G and H (a), and with Ni barrier metal on Cu line using Material A (b).

Material	Material A	Material B	Material C	Material G	Material H	With Ni barrier
L/S (µm)	> 20/20	16/16	7/7	3/3	0.9/0.9	1/1

Table 2.4 Calculated insulation reliable L/S for 200 h.

Table 2.5 Calculated insulation retention time using Material H and Ni barrier metal on Cu line.

L/S (µm)	1.5/1.5	1.2/1.2	1/1	0.7/0.7	0.5/0.5
Material H	260 h	220 h	200 h	170 h	150 h
With Ni barrier	230 h	220 h	200 h	170 h	140 h

2.8 結言

解像性と絶縁信頼性に寄与する感光性絶縁材料の指標を明らかにし,優れた生産性と絶縁信頼 性を有する微細配線層を実証することを目的に、樹脂系、吸湿率、陰イオン濃度の異なる8種類 の感光性絶縁材料を準備して解像性と絶縁信頼性との関係を調べた。

解像性に関しては、感光性絶縁材料の吸湿率が高くなるに伴って高い解像性が得られ、吸湿率 が0.3%以下の感光性絶縁材料では解像性に乏しく、吸湿率が1.4%以上の感光性絶縁材料でL/Sが 5/5 μm以下の解像性を示した。更に、吸湿率が2.0%のMaterial AがL/Sが2/2 μmの解像性を有する ことがわかった。以上の結果から、感光性材料の吸湿率が解像性に影響し、L/Sが5/5 μm以下の 解像性を達成するための材料指標を明らかにした。

絶縁信頼性に関しては、吸湿率と陰イオン濃度含有量の寄与が支配的であり、樹脂系による影響は見られなかった。5/5 µmの配線に関しては吸湿率が絶縁性に大きな影響を与え、吸湿率を 1.4%以下の材料で200時間以上の絶縁信頼性を確保した。一方で、2/2 µmの配線に関しては、低 い吸湿率にすることで絶縁性は改善するものの大きな影響は見られなかった。これは、2/2 µmの 配線で絶縁信頼性を確保するためには、少量の銅イオンの移動も抑制する必要があることを示唆 している。5/5 µmの配線に関しては、吸湿率が0.3%以下のいずれの感光性絶縁材料においても200 時間以上の絶縁信頼性を確保した。2/2 µmの配線に関しては、陰イオン濃度含有量が絶縁性に大 きな影響を与え、陰イオン濃度が絶縁性との関係を解析することで、指数関数の相関が得られた。 吸湿率が低い場合には、陽極から溶出する銅イオンが少なく、更に陰イオン濃度による銅イオン の移動のしやすさが支配的になったと考えた。以上の結果から、5/5 µmの配線に関しては、陰イ オン濃度が多い場合においても吸湿率を低下させることで絶縁性を確保することができる。その 材料指標としては、イオン濃度を1000 ppm以下かつ吸湿率を1.4%以下にすることである。2/2 µm の配線に関しては、吸湿率を低下させて更に陰イオン濃度を低くすることで絶縁性を確保するこ とができる。その材料指標としては、イオン濃度量を70 ppm以下かつ吸湿率を0.3%以下にする ことである。

微細配線を有する基板の作製は、Material Cを用いることでL/Sが10/10~5/5 µmの解像性と絶縁 信頼性を両立することができる。一方で、2/2 µmの解像性を得るにはMaterial Aを適用する必要 があり、絶縁信頼性を付与することが難しい。2/2 µmの解像性と絶縁信頼性を両立するために、 配線形成には解像性に優れたMaterial A、層間絶縁層には絶縁信頼性に優れたMaterial Hを適用し、 絶縁信頼性を満足する1/1 µmのトレンチ配線層を実証した。また、プロセスの追加が必要なもの の、配線層の絶縁信頼性を大幅に向上させるもう一つの手法として、露出した配線銅に無電解ニ ッケルバリア層を形成することによって、絶縁信頼性が低いMaterial Aを適用した場合において も、1.5/1.5 µmの配線での絶縁信頼性を付与できた。従って、上記の構成によってL/Sが5/5~1/1 µm の解像性と絶縁信頼性を両立することができる。

配線層の絶縁信頼性を定量的に評価するために、様々な材料と配線間距離でのBiased-HAST試験のデータから配線層の活性化エネルギーとして算出した。Material Eや無電解ニッケルバリアを形成した配線層はMaterial Aと比較して1.5倍の活性化エネルギーになっており、電気絶縁性を

定量的に検証することができた。絶縁信頼性を定量化する手法によって,10/10 µmや5/5 µmの絶 縁信頼性結果から2/2 µm以下の寿命を算出できるため,2/2 µm以下のTEG設計が困難な場合に特 に有効である。また2/2 µm以下の絶縁信頼性結果から,10/10 µmの結果を算出することもでき, 評価を短時間で実施することができる。更には、プロットが直線から外れる場合には、TEGの不 良やプロセスの改善が必要であることが示唆されるため,配線の絶縁信頼性評価にとって有用な 解析手法である。 第3章 微細パターニング可能なアンダーフィル材料の開発

3.1 緒言

先塗布型アンダーフィルは、微細・狭ピッチ化したチップを積層する用途として開発が進んで おり、バンプの接続性が最も重要である。

本研究では、アンダーフィルの噛込の原因となるバンプ上のアンダーフィル材をフォトリソグ ラフィーによって除去できる感光性アンダーフィル(PWLUF: Photodefinable wafer level underfill) を新規に設計した。Figure 3.1はPWLUFのコンセプトを示しており、バンプを覆うようにPWLUF を形成し(a)、露光、現像によってバンプ上の不要なアンダーフィルを除去する(b)。その後、も うー方のチップを圧着する(c)ことで、噛込がないバンプ接続が得られる。PWLUFの材料評価の 指標は、微細なバンプ上での開口のための解像性、熱圧着時のバンプ接続を可能にするパターン 形成後の粘性、低い線膨張係数(CTE: Coefficient of thermal expansion)を実現するための熱硬化後 の高いガラス転移温度(Tg)及び絶縁信頼性とした。材料設計は、第2章でL/Sが7/7 µmの解像性と 5/5 µmの絶縁信頼性を有することを検証したMaterial Dを基本組成とし、パターン形成後の粘性 と熱硬化後の高いTgを付与することとした。Material Dの主成分であるポリイミド樹脂の骨格・ 分子量と解像性・粘性・Tgとの関係を明確にし、微細パターニング可能なアンダーフィル材料 の設計指針を明らかにした。



Figure 3.1 Schematic concept of PWLUF, lamination on bumps (a), underfill removal over bumps by photolithography process (b) and bonding without any underfill entrapment (c).

3.2 ポリイミド樹脂の設計,合成と特性評価

3.2.1 ポリイミド樹脂の設計指針

ポリイミド樹脂の骨格は、解像性、パターン形成後の粘性及び熱硬化後のTgに影響を与える と考えた。Figure 3.2に示すように、ポリイミド樹脂はカルボン酸二無水物とジアミンを配合し、 加熱してイミド化することで合成される。導入するジアミン成分として芳香族ジアミンと脂肪族 ジアミンの導入比率によってTgを制御することができる。そこで、カルボン酸二無水物を固定 して、芳香族ジアミンの導入比率による材料特性への影響を調べた。また、芳香族ジアミンとし て、カルボキシル基含有の芳香族ジアミンとフェノール性水酸基含有の芳香族ジアミンをそれぞ れ用いて、ポリイミド樹脂の骨格による材料特性の差を比較した。カルボキシル基及びフェノー ル性水酸基を導入したポリイミド樹脂の模式図をそれぞれFigure 3.3とFigure 3.4に示す。更に、 ポリイミド樹脂の分子量は、解像性やパターン形成後の粘性に大きく影響すると考えた。Figure 3.5に示すポリイミドの模式図のように、ポリイミド末端をアミノフェノールによって封止し、 その比率を変更することで得られるポリイミド樹脂が解像性とパターン形成後の粘性に与える 影響を調べた。



Figure 3.2 Scheme of polyimide synthesis







Figure 3.4 Schematic polyimide structure having phenol unit.



Figure 3.5 Schematic polyimide structure with end capping.

3.2.2 カルボキシル基含有ポリイミド樹脂の合成と特性評価

Table 3.1は、全ジアミン成分に対するカルボキシル基含有芳香族ジアミン成分のモル比率を変 更することによって得られた、ポリイミド樹脂のTg及び数平均分子量(Mn)を測定した結果であ る。Figure 3.6は、カルボキシル基含有芳香族ジアミン成分の比率と、得られたポリイミド樹脂 のTgとの関係を示している。カルボキシル基含有芳香族ジアミンの比率が増えるとともに、よ り高いTgを有するポリイミド樹脂が得られたが、分子量には大きな変化は見られなかった。

Table 3.1 Tg of polyimide and Mn by changing carboxylic diamine unit ratio

Polyimide	PI-A	PI-B	PI-C	PI-D	PI-E	PI-F
Carboxylic diamine unit ratio to all diamine (mol%)	0	21	42	53	63	84
Tg of Polyimide (°C)	30	55	75	90	105	140
Mn	34,000	33,000	31,000	32,000	32,000	32,000



Figure 3.6 Relationship between carboxylic diamine ratio and Tg of polyimide.

PI-A-Fのポリイミド樹脂を光,熱硬化成分と配合して得られた溶液を,離型剤が塗布された PET(polyethylene terephthalate)フィルム上に塗工し,80 ℃で20分,次いで120 ℃で20分の条件で 溶剤を揮発させて20 μm厚のPWLUF A-Fを得た。Table 3.2に,解像性,パターン形成後の最低溶 融粘度,及び硬化後のTgをまとめた。Figure 3.7は,カルボキシル基含有芳香族ジアミンの比率 と解像性との関係をプロットしたものであり,カルボキシル基含有芳香族ジアミン比率の増加に 伴って,パターン形成可能なアスペクト比が大きく低下した。Figure 3.8はPWLUF B-Eのパター ン形成後の粘度曲線を示しており,カルボキシル基含有芳香族ジアミン比率が大きいポリイミド 樹脂を用いたPWLUF DやPWLUF Eでは,加熱してもほとんど粘度が低下しないことがわかった。 Figure 3.9(a)は硬化したPWLUF B-Eの貯蔵弾性率曲線を,(b)はそれぞれのtan δを示している。 熱硬化後のTgを示すtan δのピーク温度は,カルボキシル基含有芳香族ジアミン比率の増加に従 って高くなり,PWLUF DやPWLUF Eでは,合成したポリイミド樹脂のTgよりも30℃程度高くな った。

PWLUF (Polyimide)	PWLUFA (PI-A)	PWLUF B (PI-B)	PWLUFC (PI-C)	PWLUF D (PI-D)	PWLUFE (PI-E)	PWLUF F (PI-F)
Aspect ratio	0.7	0.7	0.5	0.3	0.25	0.1
Lowest viscosity (Pa⋅s)	150	3,000	10,000	22,000	50,000	_
Tg after curing (°C)	30	75	85	100	140	170

Table 3.2 Aspect ratio, the lowest viscosity and Tg after curing using PWLUF A~F.



Figure 3.7 Relationship between carboxylic diamine ratio and patterning aspect ratio.



Figure 3.8 Viscosity curves after patterning of PWLUF B~E.



Figure 3.9 Elastic modulus curves (a) and tan  $\delta$  (b) of cured PWLUF B~E.

Figure 3.10は、ポリイミドとしてPI-Bを用いたPWLUF Bと、PI-Dを用いたPWLUF DのL/Sが 40/40 µmでの解像性を比較評価した結果であり、PWLUF Dではパターンが溶解せずに開口不良 となっいる。カルボキシル基の増量に伴って現像液への溶解性が高くなることが想定されるにも 関わらず、解像性が大きく低下している。Figure 3.11(a)は、この要因を解析することを目的に、 ポリイミド樹脂とエポキシ樹脂のみを配合した溶液を作製し、加熱乾燥前のワニスと加熱乾燥後 のフィルムの酸価を比較した結果である。ポリイミド樹脂中のカルボキシル基含有ジアミン比率 が増加するに伴って、ワニスの酸価が高くなる一方で、フィルムの酸価はほとんど変化していな いことがわかった。また、Figure 3.11(b)は、加熱乾燥前のワニスと加熱乾燥後のフィルムのNMP に対する不溶化率を比較した結果であり、カルボキシル基含有ジアミン比率の増加に伴って不溶 化率が大きくなることがわかった。以上の結果から、カルボキシル基の増量にも関わらず解像性 が低下した要因は、フィルム作製のための加熱乾燥によってカルボキシル基とエポキシの反応が 進行したことによると考えた。これは、PWLUF Dが低い解像性や高い粘性を示した結果と対応 している。以上の結果から、カルボキシル基含有のポリイミド樹脂では、高い解像性、パターン 形成後の低い粘性及び熱硬化後の高いTgを有するPWLUFを設計することは難しいと判断した。



(a) PWLUF B

(b) PWLUF D





Figure 3.11 Acid value (a) and insoluble ratio to NMP (b) before and after thermal treatment.

3.2.3 フェノール性水酸基含有ポリイミド樹脂の合成と特性評価

Table 3.3は、全ジアミン成分に対するフェノール性水酸基含有芳香族ジアミン成分のモル比率 を変更することによって得られた、ポリイミド樹脂のTg及び数平均分子量(Mn)を測定した結果 である。3.2.2項と同様、フェノール性水酸基含有芳香族ジアミンの比率が増えるとともに、より 高いTgを有するポリイミド樹脂が得られたが、分子量には大きな変化は見られなかった。PI-G~J のポリイミド樹脂を光、熱硬化成分と配合して得られた溶液を、離型剤が塗布された PET(polyethylene terephthalate)フィルム上に塗工し、80 ℃で20分、次いで120 ℃で20分の条件で 溶剤を揮発させて20 µm厚のPWLUF G~Jを得た。Table 3.4に、解像性、パターン形成後の最低溶 融粘度、及び硬化後のTgをまとめた。フェノール性水酸基含有芳香族ジアミン比率を増加して も解像性にほとんど変化は見られなかった。最低溶融粘度は、ポリイミド樹脂のTgがほぼ同じ であるPWLUF EとPWLUF Iで比較すると、カルボキシル基含有のポリイミド樹脂を適用した PWLUF Eでは50,000 Pa·sであったのに対し、フェノール性水酸基含有のポリイミド樹脂を適用した のポリイミド樹脂を適用した場合と同様の値を示した。

48

Polyimide	PI-A	PI-G	PI-H	PI-I	PI-J
Phenol diamine unit ratio to all diamine (mol%)	0	21	42	63	84
Tg of Polyimide (°C)	30	60	80	110	150
Mn	34,000	31,000	32,000	32,000	32,000

Table 3.3 Tg of polyimide and Mn by changing phenol diamine unit ratio.

Table 3.4 Aspect ratio, the lowest viscosity and Tg after curing using PWLUF A and G~J.

PWLUF (Polyimide)	PWLUFA (PI-A)	PWLUF G (PI-G)	PWLUFH (PI-H)	PWLUFI (PI-I)	PWLUF J (PI-J)
Aspectratio	0.7	0.7	0.5	0.5	0.5
Lowest viscosity (Pa·s)	150	2,000	6,000	18,000	_
Tg after curing (°C)	30	70	90	140	170

3.2.2項で記載した、フィルム作製のための加熱乾燥による熱反応の影響を調べた。Figure 3.12 は、ポリイミド樹脂とエポキシ樹脂のみを配合した溶液を作製して、加熱乾燥前のワニス状態と 加熱乾燥後のフィルム状態のNMPに対する不溶化率を比較した結果であり、フェノール性水酸 基含有ジアミンの比率を増加しても完全に溶解することがわかった。これは、カルボキシル基か らフェノール性水酸基に変更したことによって、加熱乾燥中のポリイミドとエポキシとの反応が 抑制されたことを示唆している。Figure 3.13は、PWLUF Hの解像性を評価した結果であり、Figure 3.8(b)に示した同程度のTgを有するカルボキシル基含有ポリイミド樹脂を適用したPWLUF Dと 比較して大幅に改善することがわかった。以上の結果から、フェノール性水酸基含有のポリイミ ド樹脂では、解像性を維持しながら熱硬化後に高いTgを示すPWLUFを設計することができた。 しかしながら、狭ピッチのバンプへの適用を想定した場合のより高い解像性と、より低い粘性を 可能にする材料設計が必要と考えた。



Figure 3.12 Insoluble ratio to NMP before and after thermal treatment.



Figure 3.13 Microscope inspection after patterning using PWLUF H.

3.2.4 分子量を制御したポリイミド樹脂の合成と特性評価

ポリイミド樹脂の分子量は、解像性やパターン形成後の粘性に大きく影響すると考えた。ポリ イミド樹脂の末端をアミノフェノールによって封止し、その導入比率によって分子量を変更した 数種のポリイミド樹脂を合成することを検討した。Table 3.5はアミノフェノールのカルボン酸二 無水物に対するモル比率と、得られたポリイミド樹脂のTgと分子量をまとめて示している。フ ェノール性水酸基含有芳香族ジアミン成分のモル比率は全てのジアミン成分に対して63 mol% に固定した。Figure 3.14は、アミノフェノールの比率とポリイミド樹脂の分子量との関係を示し ている。アミノフェノールを含まないポリイミド樹脂の分子量が32,000であったのに対し、アミ ノフェノールの比率の増加に伴って、ポリイミド樹脂を段階的に低分子量化でき、アミノフェノ ールをカルボン酸二無水物に対して40 mol%導入することで、6,700程度の低分子量ポリイミド樹 脂が得られた。また、得られた分子量は配合比率から計算される理論分子量とほぼ同じであり、 GPCによってモノマーが残存していないことを確認した。

Polyimide	PI-I	PI-K	PI-L	PI-M	PI-N
Phenol diamine unit ratio to all diamine (mol%)	63	63	63	63	63
Amino phenol unit to dianhydride (mol%)	0	13	20	29	40
Tg of Polyimide (°C)	110	110	110	120	120
Mn	32,000	25,000	15,000	11,000	6,700

Table 3.5 Tg of polyimide and Mn by changing amino phenol contents.



Figure 3.14 Influence of phenol amine ratio on polyimide molecular weight.

PI-K-Nのポリイミド樹脂を光,熱硬化成分と配合して得られた溶液を,離型剤が塗布された PET(polyethylene terephthalate)フィルム上に塗工し,80 ℃で20分,次いで120 ℃で20分の条件で 溶剤を揮発させて20 µm厚のPWLUF K~Nを得た。Table 3.6に,解像性,パターン形成後の最低溶 融粘度,及び硬化後のTgをまとめた。Figure 3.15は,ポリイミド樹脂の分子量(Mn)と解像性との 関係をプロットしたものである。ポリイミド樹脂の低分子量化に伴ってアスペクト比が大幅に向 上し,Mnが32,000のPI-Iを適用したPWLUF Iのアスペクト比が0.5であったのに対して,Mnが 6,700のPI-Nを適用したPWLUF Nのアスペクト比は2.0となった。これは低分子量化によって現像 液への溶解性が向上したことによると考えている。Figure 3.16はPWLUF Lを用いて形成した直径 15 µmのビアパターンの断面のSEM写真を示しており,残渣がない良好なパターンであることを 確認した。Figure 3.17はPWLUF I及びK~Nのパターン形成後の溶融粘度曲線を示しており,Figure 3.18は、ポリイミド樹脂の分子量(Mn)とパターン形成後の最低溶融粘度との関係をプロットした ものである。ポリイミド樹脂の低分子量化に伴って粘性が大幅に低下し,Mnが32,000のPI-Iを適 用したPWLUF Iの最低溶融粘度が18,000 Pa·sであったのに対して, Mnが6,700のPI-Nを適用した PWLUF Nの最低溶融粘度は150 Pa·sとなった。硬化後のTgに関しては,ポリイミド樹脂のTgが ほぼ同じであることから130~140 ℃で大きな変化は見られなかった。以上の結果から,アミノ フェノールの導入率によってポリイミド樹脂の分子量を設計できることがわかった。また,ポリ イミド樹脂の分子量によって解像性と熱流動性を制御することができ,分子量を低く設計するこ とによって,硬化後のTgを維持したまま解像性を向上させ,パターン形成後の粘性を大幅に低 下することができた。

PWLUF (Polyimide)	PWLUF I (PI-I)	PWLUF K (PI-K)	PWLUFL (PI-L)	PWLUFM (PI-M)	PWLUFN (PI-N)
Aspect ratio	0.5	0.5	1.3	1.3	2.0
Lowest viscosity (Pa⋅s)	18,000	8,200	1,000	440	150
Tg after curing (°C)	140	130	135	140	140

Table 3.6 Aspect ratio, the lowest viscosity and Tg after curing using PWLUF I and K~N.



Figure 3.15 Influence of molecular weight on aspect ratio of patterning.



Figure 3.16 Cross-sectional SEM image of 15  $\mu$ m diameter via using PWLUF L.



Figure 3.17 Viscosity curves after patterning using PWLUF I, K~N, respectively.



Figure 3.18 Influence of molecular weight on the viscosity after patterning.

## 3.4 結言

微細・狭ピッチ化したチップの積層において優れたバンプ接続性を実現することを目的に、バ ンプ上のアンダーフィル材をフォトリソグラフィーによって除去できる微細パターニング可能 なアンダーフィルを新規に設計した。材料評価の指標は、解像性、パターン形成後の粘性、低い CTEを実現するための熱硬化後のTgとした。材料設計は、第2章でL/Sが7/7 μmの解像性と5/5 μm の絶縁信頼性を有することが明らかとなったMaterial Dを基本組成とし、パターン形成後の粘性 と熱硬化後の高いTgを付与することとした。配合成分であるポリイミド樹脂の骨格・分子量に 着目して、解像性・粘性・Tgへの影響を調べた。

カルボキシル基含有芳香族ジアミン成分を高い比率で導入したポリイミド樹脂は、熱硬化後に 高いTgを示したものの、解像性が低下し、パターン形成後の粘性が大きく上昇した。酸価及び 不溶化率の測定結果から、フィルム作製のための加熱乾燥によるカルボキシル基とエポキシの反 応が原因であることが示唆された。従って、カルボキシル基含有のポリイミド樹脂では、高い解 像性、パターン形成後の低い粘性及び熱硬化後の高いTgを有するPWLUFを設計することは難し いと判断した。フェノール性水酸基含有ジアミン成分を導入したポリイミド樹脂は、加熱乾燥に よるフェノール性水酸基とエポキシとの反応は抑制され、解像性を維持しながら熱硬化後に高い Tgを示すPWLUFを設計することができた。更に、ポリイミド樹脂の分子量は、解像性やパター ン形成後の粘性に大きく影響すると考え、ポリイミド樹脂の末端をアミノフェノールによって封 止し、その導入比率によってポリイミド樹脂の分子量を制御することができた。ポリイミド樹脂 の分子量によって解像性と粘性を制御することができ、ポリイミド樹脂の分子量を低く設計する ことによって、硬化後のTgを維持したまま解像性は向上し、パターン形成後の粘性は大幅に低 下した。以上の結果から、フェノール性水酸基含有ジアミン成分を導入し、末端をアミノフェノ ールによって封止して低分子量化したポリイミド樹脂を用いることで、高い解像性、パターン形 成後の低い粘性、熱硬化後の高いTgを両立したPWLUFを設計することができる。 第4章 微細パターニング可能なアンダーフィル材料の評価とプロセス提案 4.1 緒言

アンダーフィルのバンプ接続部への噛込と生産性の改善が重要であり, 微細パターニング可能 なアンダーフィル材料によってこれらの課題が解決すると予想される。噛込の原因となるバンプ 上のアンダーフィル材をフォトリソグラフィーによって除去できる感光性アンダーフィル (PWLUF: Photodefinable wafer level underfill)を考案し, 第3章でポリイミド樹脂の骨格と分子量に 着目し, 高い解像性, パターン形成後の低い粘性, 熱硬化後の高いTgを満たす材料を設計した。

本研究では、バンプが形成されたTEGを用いた積層評価を実施することで微細パターニング可能な樹脂材料を用いたコンセプトを検証するとともに、生産性を改善する積層プロセスの新規提案を行った。また、ソルダの飛散によるショートや電気特性の改善として期待されているCu-Cuバンプの接続を実証した。

4.2 感光性アンダーフィルを用いたChip on Chip積層評価

4.2.1 感光性アンダーフィルの選定と評価用チップ

第3章で設計した粘性が18,000 Pa·sであるPWLUF Iと, 1,000 Pa·s であるPWLUF Lを積層評価 に選定して比較を行った。また, Table 4.1はCoC積層及びCoW積層の評価に使用したTEG構造で あり, Figure 4.1はそれぞれのチップの概観(a)とトップチップのバンプの断面模式図(b)を示して いる。バンプはそれぞれ80 μmピッチのペリフェラルと300 μmピッチのフルアレイに配置されて おり, 1チップあたりバンプ数は728ピンである。トップチップのバンプの大きさは38 μm角であ り, バンプの構成はチップ側からCuが30 μm, Sn-Agが15 μmの厚さである。一方, ボトムチップ のパッドの大きさは58 μm角であり, パッドはNi-Auが6 μmの厚さで構成されている。

Item	Top chip with bump	Bottom chip with pad		
Die size (mm²)	7.3 x 7.3	10 x 10		
Bump array	Peripheral and full area			
Number of bumps	728			
Bump/pad size (µm²)	38 x 38	58 x 58		
Bump/pad pitch (µm)	80 (peripheral), 300 (area)			
Bump/pad height (µm)	45	6		
Bump/pad composition (µm)	Sn-Ag/Cu (15/30)	Ni-Au (6)		

Table 4.1 TEG structures for CoC and CoW evaluation using PWLUF.



Figure 4.1 Overview of top and bottom chips (a), and schematic top and side view of top chip's bump (b).

更に狭ピッチバンプでの積層評価を目的に, IMECによって設計されたTable 4.2に示すTEGを 用いた。Figure 4.2はそれぞれのバンプの断面模式図(a)と加熱圧着したサンプルの外観(b)を示し ている。PTCM1は加熱圧着の際のトップチップとして, PTCN1はボトムチップとして使用され る。バンプはそれぞれ50 µmピッチでフルアレイに配置されており, 1チップあたりバンプ数は 8250ピンである。トップチップとして用いるPTCM1のバンプの直径は15 µmであり, バンプの構 成はチップ側からCuが5 µm, Niが1 µm, Snが3.5 µmの厚さである。一方, ボトムチップとして 用いるPTCN1のバンプの直径は25 µmであり, Cuが10 µmの厚さである。圧着時のアライメント 精度を考慮して, ボトムチップのバンプ径がチップチップよりも大きく設計されている。

Item	PTCM1	PTCN1		
Use	Top wafer	Bottom wafer		
Die size (mm²)	5 x 5	8 x 8		
Bump array	Full area			
Number of bumps	8250			
Bump diameter (µm)	15	25		
Bump pitch (µm)	50			
Bump height (µm)	9.5	10		
Bump composition (µm)	Sn/Ni/Cu (3.5/1/5)	Cu (10)		

Table 4.2 PTCM1 and PTCN1 design for underfill evaluation



Figure 4.2 Schematic bump structure of PTCM1 and PTCN1 (a), and the overview of PTCM1/PTCN1 stacked sample (b)

また, Table 4.3はCu-Cu接続評価用のTEGの構成を, Figure 4.3は断面模式図を示している。 PTCM1-Cuは加熱圧着の際のトップチップとして, PTCN1はボトムチップとして使用される。バ ンプはそれぞれ50 μmピッチでフルアレイに配置されており, 1チップあたりバンプ数は8250ピ ンである。トップチップとして用いるPTCM1のバンプの直径は15 μmであり, バンプの構成はCu が5 μmの厚さである。一方, ボトムチップとして用いるPTCN1のバンプの直径は25 μmであり, バンプの構成はCuが10 μmの厚さである。

Table 4.3 PTCM1-Cu and PTCN1	l design for C	u-Cu bonding evaluation.
------------------------------	----------------	--------------------------

Item	PTCM1-Cu	PTCN1	
Use	Top wafer	Bottom wafer	
Die size (mm²)	5 x 5	8 x 8	
Bump array	Full area		
Number of bumps	8250		
Bump diameter (µm)	15	25	
Bump pitch (µm)	50		
Bump height (μm)	5	10	
Bump composition (µm)	Cu (5)	Cu (10)	



Figure 4.3 Schematic bump structures of PTCM1-Cu and PTCN1.

4.2.2 圧着プロファイルによる積層結果への影響

PWLUF LをTable 4.1に示したトップウェハに80 ℃でラミネートしてバンプを埋め込み,バン プ上のアンダーフィルを露光,現像によって除去した。得られたウェハをダイシングして積層評 価用のチップを得た。感光性アンダーフィルをパターニングした後の断面模式図(a),上面(b)及 び断面(c)のSEM写真をFigure 4.4に示す。バンプ上のアンダーフィルは完全に除去され,バンプ が露出していることを確認した。



(a) Schematic cross-sectional view



(b) Bird's eye view

(c) Cross-sectional view

Figure 4.4 Schematic cross-sectional view (a), bird's eye (b) and cross-sectional view (c) of bumps after PWLUF L patterning.

加熱圧着時のアンダーフィルの挙動としては、急激な加熱によるアウトガス起因のボイドを樹 脂の流動によってチップ外へ排除しながら、熱硬化が進むことが望ましい。PWLUF は、ポリ イミド樹脂を主成分とし、光硬化成分としてアクリレート、熱硬化成分としてエポキシ 樹脂及びその他添加材によって構成されている。ガスクロマトグラフィーの結果から、パ ターン形成した後の PWLUF を加熱して発生するアウトガス成分は,主にエポキシ樹脂であるこ とがわかった。加熱圧着後のボイド残存を抑制するために、実装温度プロファイルによって、ア ウトガスと熱硬化及び熱流動を制御することが重要である。Figure 3.17 に示したように,パター ン形成後の PWLUF L の粘度曲線は 150~180 ℃で低粘度を示し, 180 ℃以上では熱硬化によっ て粘度が上昇する。更に、各温度での熱硬化速度を、示差走査熱量測定(DSC)を用いた Kamal Sourour モデルから算出した<sup>98)99)</sup>。150, 180, 200 及び 210 ℃での熱硬化速度を Figure 4.5 に示す。 200 ℃以上での反応率は 5 秒以内に 50%以上に達することがわかった。高温での急速な熱反応 はボイドを発生させる傾向があるため,200 ℃以下で段階的に昇温する圧着温度プロファイルを 設定した。135 ℃ステップ (Profile 1), 150 ℃ステップ (Profile 2), 180 ℃ステップ(Profile 3)及 び,参考データとしてステップなし (Profile 4)の 4 条件の圧着プロファイルを Figure 4.6 に,圧 着した後の超音波顕微鏡(C-SAM)観察結果を Figure 4.7 に示す。圧着時のチップ間の実温は、チ ップ間に熱電対を挿入することによって事前に測定した。圧着時間は7秒,加圧はバンプあたり 20 MPa とした。Profile 4 では広い範囲で, Profile 3 では一部にボイドが観測された。この結果か ら,高温でのステップやステップなしの条件では,急速な熱反応によって,PWLUFからのアウ トガスが抑制できないことによると推察した。Profile 1 や Profile 2 を適用した場合は、明らかな ボイドは観測されなかった。設計した PWLUF が,パターン形成のために光硬化した後も十分に 熱流動していることを示唆している。Profile 2 を適用して得られたサンプル断面の走査型電子顕 微鏡(SEM)写真を Figure 4.8 に示す。積層サンプルは 100%の導通収率を示し, バンプ間にアンダ ーフィルの噛込がない良好なバンプ接続が得られた。



Figure 4.5 Simulated thermal curing kinetics using Kamal Sourour model at 150, 180, 200 and 210 °C.



Figure 4.6 Four types of bonding temperature profiles including 135 °C step, 150 °C step, 180 °C step and non-step, respectively. Soldering temperature is 280 °C (a). Bonding pressure per bump is 20 MPa (b).



Figure 4.7 C-SAM images after bonding at four kind of bonding profiles.



Figure 4.8 Cross-sectional SEM image of the sample stacked by Profile 2.

粘性が 18,000 Pa·s である PWLUFIと, 1,000 Pa·s である PWLUFL を CoC 積層することによ って,粘度による影響を比較評価した。Table 4.4 は,バンプ上のアンダーフィルを現像によって 除去し,加熱圧着して得られたサンプルのバンプ接続部分,及び熱流動によってチップ外へ押し 出されたアンダーフィル (フィレット)部分の断面写真を示している。PWLUF Iを用いた積層 サンプルでは,バンプはパッドに到達しておらず非常に少ないフィレット量であった。一方で, パターン形成後に低い溶融粘度となるように改良した PWLUFLでは,良好な接続状態が得られ, フィレット量も多くなった。以上の結果から,PWLUFのパターン形成後の溶融粘度は,熱時流 動性に大きな影響を与え,ポリイミド樹脂の低分子量化によって設計した PWLUFL は,アンダ ーフィルの噛込がないバンプ接続を実現した。



Table 4.4 Cross-sectional SEM images of the stacked sample using PWLUF I and PWLUF L.

## 4.2.3 低圧着荷重による CoC 積層評価

ペースト型アンダーフィルやフィルム型アンダーフィルに代表される先塗布型アンダーフィ ルを適用する場合,バンプ上のアンダーフィルを押しのけるためにバンプあたり 20 MPa 以上の 加圧が必要となる<sup>100)101</sup>。しかしながら,高荷重での圧着は,装置の荷重制限や平行度の観点か ら多ピン化,狭ピッチ化したバンプへの適用は難しい。そこで,PWLUF Lを用いてバンプ上の 樹脂を除去することで低荷重による接続を可能にするかを検証した。Figure 4.9 に示すように, バンプあたりの加圧が 20 MPa (Profile 2)を標準条件として,7 MPa (Profile 5),3 MPa (Profile 6) で評価した。ステップ温度は 150 ℃,圧着時間は7秒で実施した。Table 4.5 にそれぞれの積層 条件で得られたサンプルの導通収率,断面 SEM 及び C-SAM 写真をまとめて示す。標準条件で ある 20 MPa 及び低加圧条件である7 MPa では,100%の導通収率でバンプ間にアンダーフィル の噛込やボイドがない接続状態であった。一方で,3 MPa の条件では接続に問題があることがわ かった。Figure 4.10 は、7 MPa の加圧で圧着したサンプルのフィレット状態を示しており、十分 に熱流動していることがわかる。Table 4.6 は、加圧条件とフィレット長さの関係を示しているが、 3 MPa の低い加圧ではフィレット長さが短くなっておりアンダーフィルが十分に熱流動してい ないことがわかった。以上の結果から、PWLUFLはバンプあたり7 MPa(チップあたり 25 N)の 低加圧での接続を可能にした。



Figure 4.9 Bonding temperature profile (a) and three types of bonding pressure profiles including 20 MPa, 7 MPa and 3 MPa, respectively (b).

Table 4.5 Electrical yield, SAM images of stacked samples and cross-sectional SEM images of soldering bumps obtained by bonding at 20 MPa, 7 MPa and 3 MPa using PWLUF L.

Bonding force	20 MPa	7 MPa	3 MPa
Electrical yield	100%	100%	35%
Cross- sectional SEM	20 µm	20 µm	20 µm
SAM	2 mm	2 mm	2 mm



(a) Overview

(b) Cross-section

Figure 4.10 PWLUF fillet overview (a) and cross-sectional SEM image (b) of stacked sample by Profile 5 (7 MPa) using PWLUF L.

Table 4.6 Fillet lengths by different bonding pressures using PWLUF L.

Bonding pressure	20 MPa	7 MPa	3 MPa
Fillet length	220 µm	82 µm	30 µm

## 4.2.4 狭ピッチバンプを有するCoC接続

80 µm ピッチのバンプを有する TEG において, PWLUF L を用いてバンプ間に噛込がない良好 な接続状態が得られることを実証した。次に,狭ピッチバンプへの適用を目的に, IMEC によっ て設計された Table 4.2, Figure 4.2 に示した 50 µm ピッチのバンプを有する TEG を用いて積層評 価を実施した。PWLUF L を PTCN1 ウェハに真空ラミネートによってバンプを埋め込み,バン プ上のアンダーフィルを露光,現像によって除去した。得られたウェハをダイシングして積層評 価用の PTCN1 のチップを得た。PWLUF をパターニングした後の表面の SEM 写真を Figure 4.11 に示す。バンプ上のアンダーフィルは除去され,バンプが露出している。また,パターニング後 に露出した銅バンプ上のラマンスペクトルを測定して PWLUF に起因するピークが検出されな かったことから,銅バンプ上に PWLUF 残渣がないことを確認した。Figure 4.12 は,パターン形 成した PWLUF 付き PTCN1 チップを PTCM1 チップと積層したサンプルの断面 SEM 写真と SAM 観察結果を示したものであり,バンプは熱流動した PWLUF で覆われ,バンプ間に噛込がないバ ンプ接続が得られた。



PWLUF

Figure 4.11 Surface SEM image of PTCN1 after PWLUF L patterning.



(a) Cross-section

(b) SAM

Figure 4.12 Cross-sectional SEM (a) and SAM (b) images of stacked PTCM1-PTCN1 using PWLUF L.

得られた積層サンプルを 85 ℃, 60%RH の恒温恒湿層に 168 h 静置し, その後に最高温度を 260 ℃に設定したリフロー炉に 3 回投入した。更に, 積層サンプルを-55 ℃~125 ℃の温度サイ クル(TCT)を 1000 サイクル実施し, 機械的信頼性を評価した。Table 4.7 は, 15 サンプルを試験 した後のサンプルの導通収率とバンプ接続部のデイジーチェーンの電気抵抗値の平均値, 及び SAM 写真を示している。信頼性試験前後において, 導通収率と電気抵抗値に大きな変化がなく, SAM 結果からも大きなボイドや剥離は観察されなかったことから, PWLUFL を用いた積層サン プルは良好な機械的信頼性を有していることがわかった。

Process	After bonding	After reflow and TCT
Electrical yield	_	100%
Electrical resistance	317	315
SAM	<u>1 mm</u>	1 mm

Table 4.7 Electrical yields, resistances and SAM inspections after bonding and mechanical reliability evaluation of stacked PTCM1-PTCN1 using PWLUF L.

先塗布型アンダーフィルは、スタッキング時に Cu バンプの酸化膜を除去することを目的に、 通常フラックス成分を配合している。一方, PWLUF では, スタッキング前にバンプ上の樹脂を 除去するためアンダーフィルによるフラックス作用が期待できない。そのため,良好なバンプ間 の接続状態を形成できるかが懸念事項である。Figure 4.13 は, 圧着後(a)と 260 ℃リフロー後(b) のバンプ接続部分の断面 SEM を示している。圧着後のバンプ接続部には、PTCM1 バンプと PTCN1 バンプとの間に界面が存在することが分かった。一方で、リフロー後のバンプ接続状態 では、バンプ間の界面が消失し、IMC が成長していることが示唆される。Figure 4.14 は、アンダ ーフィルを用いずに 260 ℃で 60 秒の条件で加熱圧着した積層サンプルの断面 SEM を示してい る。PWLUFを適用した際に得られた接続状態と同様、バンプ間の界面が存在しない良好な接続 が得られた。バンプ付きウェハの作製方法は,通常,バンプ形成し,レジストを除去した後に Cu クリーニングを実施する。Cu クリーニング液としては、カルボン酸系の水溶液が用いられ、 例えば本サンプルではクエン酸系水溶液を適用している。クエン酸は銅と錯形成することが知ら れており、このような錯体が Cu バンプの表面を保護して酸化を抑制していることがフラックス なしでも良好な接続状態が得られた可能性の一つとして考えている。以上の結果から, PWLUF はリフロープロセスによってバンプ接続界面がない良好な接続状態が得られることがわかった。 一方で,金属酸化膜による接続状態への影響は,酸化膜の厚さや表面処理によって変化すること が想定されるため、今後も留意していく必要がある。



(b) After reflow

Figure 4.13 Bump's soldering observation after bonding (a) and after reflow (b) using PWLUF L.



Without underfill

Figure 4.14 Bump's soldering observation after bonding without underfill and flux.
### 4.2.5 Cu-Cuバンプ接続

バンプの狭ピッチ化に伴い、銅バンプ上にのソルダ飛散によるショートを避けるため、ソルダ 厚が薄化することが予想される。上記に加えて、銅バンプ同士の直接接続は電気特性の観点から 理想的である。しかしながら、薄層のソルダや Cu-Cu バンプ接続においてはソルダの流動が期 待できないため、アンダーフィルの嚙み込みの課題はより深刻となる。 そこで感光性アンダーフ ィルを用いたバンプ上の樹脂を除去することによる Cu-Cu 接続への適用可能性を検討した。 Figure 4.15 に Cu-Cu 接続の評価プロセスを示す。先塗布型アンダーフィルとしてペースト型ア ンダーフィル(NUF: Non-flow type underfill)を評価する場合は、ボトムチップに適量の NUF を吐 出して NUF 付きチップを作製した。また、PWLUF を適用する場合は、バンプ上のアンダーフ ィルを露光,現像によって除去して PWLUF 付きのチップを作製した。良好な接続を得るために, 圧着加圧はバンプあたり 50 MPa, 圧着時間は 300 sとした。また, 圧着温度プロファイルは, ステップ温度を 150 ℃, 最高到達温度を 300 ℃とした。Figure 4.16 は, フィラー有無の 2 種類 の NUF を適用して圧着した Cu-Cu 接続バンプの断面 SEM を示しており、樹脂がバンプ間に嚙 み込んだ状態になることがわかった。銅バンプ上に十分な量のソルダが形成されている場合は, 噛み込んだアンダーフィルはソルダの流動とともにある程度バンプ接続部外へ押し出される。 Cu-Cu バンプ接続では、ソルダのように金属の流動が期待できないため、接続部に樹脂が多く噛 み込んだ状態となると考えている。また、この現象は圧着の荷重、時間及び温度の変更で改善す ることはなかった。一方, Figure 4.17 に PWLUF L を適用して圧着した Cu-Cu 接続バンプの断面 SEM を示しており,バンプ間に界面のない良好な接続状態が得られた。以上の結果から, PWLUF の Cu-Cu バンプ接続への適用の可能性を実証した。



(b) PWLUF

Figure 4.15 Cu-Cu bonding assembly flow using NUF (a) and PWLUF (b).



(a) Without filler

(b) With filler

Figure 4.16 Cross-sectional SEM of bumps obtained by Cu-Cu direct bonding using NUF without filler (a) and with filler (b).



Figure 4.17 Cross-sectional SEM of bumps obtained by Cu-Cu direct bonding using PWLUF L.

4.3 感光性アンダーフィルを用いた一括リフロー接続

先塗布型アンダーフィルは、アンダーフィル付のチップを 260 ℃以上の高温で複数回圧着す る必要があるため、生産性に課題を抱えている。これは圧着ツールの昇温と降温による長いサイ クルタイム、ウェハ上にチップを積層する方式(Chip on Wafer)におけるウェハへの熱ダメージや 銅パッドの酸化が課題となる。本報では、PWLUF L を用いて、Figure 4.18 に示すようにウェハ 上にチップをアライメントのために圧着した後、ウェハレベルでのリフローによってバンプ接続 するウェハレベルー括リフロー接続(Collective reflow soldering)への適用の可能性を評価した。原 理確認として、ボトムウェハをダイシングして得られたサンプルに 9 個のトップチップを搭載し て評価した。リフロー条件は Figure 4.19 に示した。Table 4.8 はアライメント圧着の温度と、リ フロー後のチップ観察及び導通収率の結果を示した。チップのアライメント圧着の温度を 25 ℃ もしくは 80 ℃とした場合は、リフロー後に全てのチップが脱落した。一方で、アライメント圧 着時の温度を 120 ℃、150 ℃とした場合はリフロー後もウェハ上に搭載された状態を保持して おり、150 ℃でアライメント圧着したサンプルの導通収率は 100%を示した。Figure 4.20 に 120 ℃ (a)及び 150 ℃(b)の条件でアライメント圧着してリフロー処理した後の断面 SEM 写真を示す。 120 ℃でアライメント圧着後に 260 ℃リフローしたサンプルは PWLUF の熱流動不足と想定さ れるボイドが残存していた。一方で、150 ℃でアライメント圧着したサンプルは、アンダーフィ ルの噛込がない良好なバンプ接続が得られた。これはパターン形成後の 150 ℃での溶融粘度 (1000 Pa・s)が、アンダーフィルの流動に伴ってバンプが接触するのに十分低く設計されている ことを示唆している。Figure 4.21 は 150 ℃でアライメント圧着後にリフローしたサンプルの SAM を示しており、一部にボイドが観察されるものの大きな剥離はないことを確認した。以上 の結果から、PWLUFLはウェハレベルでの一括リフロー接続プロセスに適用可能な見通しを得 た。本プロセスは 260 ℃の圧着ツールが必要ないため、特にチップを積層する方式(Chip on Wafer)においては、先塗布型アンダーフィルの生産性を大幅に改善できる。



Figure 4.18 Schematic chip on wafer assembly process of collective reflow soldering.



Figure 4.19 Temperature profile for collective reflow soldering.

Table 4.8 Influence of alignment bonding temperature for collective reflow soldering using PWLUF L.

Alignment temperature	25 °C	80 °C	120 °C	150 °C
After reflow	Delamination	Delamination	Voids	No void
Electrical yield	0%	0%	0%	100%



(a) Alignment bonding at 120 °C

(b) Alignment bonding at 150 °C

Figure 4.20 Cross-sectional SEM images of bumps after alignment bonding and reflow using PWLUF L. Alignment bonding temperatures are 120  $^{\circ}$ C (a) and 150  $^{\circ}$ C (b). Alignment bonding force is 20 MPa per bump and its bonding time is 7 s.



Figure 4.21 SAM inspection of stacked sample by collective reflow soldering after alignment bonding at 150 °C.

# 4.4 感光性アンダーフィルを用いたChip on Substrate積層評価

4.4.1 感光性アンダーフィルの評価に用いたチップ及び基板

Chip on substrate積層評価には, Table 4.9に示した構造のチップ(a)と基板(b)を使用した。Figure 4.22は, チップのバンプ部分の断面(a)と基板の外観(b)を示している。基板には20 µm厚のソル ダーレジストが形成されている。

Table 4.9 Chip (a) and substrate (b) design for chip on substrate bonding evaluation.

Chip	Silicon, SiO <sub>2</sub> surface
Chip size (mm <sup>2</sup> )	7.3 × 7.3
Bump array	peripheral & area
Number of bump	728
Bump size (µm²)	38 × 38
Bump pitch (µm)	80 (peripheral), 300 (area)
Bump height (µm)	45
Bump composition and thickness (µm)	Sn-Ag/Cu (15/30)

# (a) Chip structure

# (b) Substrate structure

Substrate	E679FG(R)
Substrate thickness (mm)	0.4
Solder resist thickness (µm)	20
Cu line/space (µm)	40/40
Cu thickness (µm)	9



(a) Cross-section of chip



(b) Overview of substrate

Figure 4.22 Cross-sectional image of chip (a) and overview of substrate (b) for chip on substrate bonding evaluation.

### 4.4.2 Chip on substrate積層評価

5.3項に記載したように、PWLUF LがChip on chip積層においてアンダーフィルの嚙み込みがな いバンプ接続を実現することを見出した。チップと基板間はチップ同士の接続と比較して狭ピッ チではないものの、生産性が改善すればキャピラリー方式から先塗布方式へ移行することが想定 される。一方で、基板にはソルダーレジストや配線の厚みが大きいため、アンダーフィルには更 に高い熱流動性が求められる。PWLUF Lを適用してChip on Substrate積層評価を実施した。Figure 4.23に示したように、パターニングすることでバンプを露出できていることを確認した。得られ たPWLUF L付きチップを基板に積層した。Figure 4.24は積層したサンプルのバンプ部分の断面 SEM写真(a)とSAM写真(b)を示している。バンプに搭載されたソルダがチップの外側方向へ変形 してパッドに到達しておらず、ボイドも多く存在していることがわかった。Figure 4.25に想定要 因を示しているが、基板の外周部分に存在するバンプの内側には20 µm厚のソルダーレジストが 形成されており、熱圧着時にはアンダーフィルはチップの内側から外側へとアンダーフィルが大 きく流動する。PWLUF Lは熱流動時の粘性が高いため、ソルダをチップ外側の方向へ押し出し たことによると推定した。



Figure 4.23 Bird's eye view of bumps after PWLUF L patterning.



Figure 4.24 Cross-section (a) and SAM (b) images of chip/substrate stack using PWLUF L.



Figure 4.25 Supposed schematic cross-section of solder deformation using PWLUF L.

PWLUFの粘性の影響を調べるため、パターン形成後の粘性が1,000 Pa・sであるPWLUF Lより も、更に低い溶融粘度である150 Pa・sを示すPWLUF Nを用いて積層評価を実施した。Figure 4.26 は積層したサンプルのバンプ部分の断面SEM写真(a)とSAM写真(b)を示している。バンプ接続状 態は嚙み込みもなく良好であり、大きなボイドや剥離も観察されなかった。導通収率も100%を 示したことから、PWLUF Nを適用することでChip on Substrateの積層評価においても優れたバン プ接続を実証した。



Figure 4.26 Cross-sectional SEM image of bump (a) and SAM image (b) of the chip stack on substrate obtained by thermal compression bonding using PWLUF N.

# 4.4.3 Chip on substrate 一括リフロー接続

Chip on substrate の積層においても、一括リフロー接続は大幅に生産性を向上させる。そこで、 PWLUFNを用いて、上記と同様に150 ℃でアライメント圧着後にリフローすることによる接続 性を評価した。Figure 4.27 は断面 SEM 写真(a)と SAM 観察結果(b)を示しており、ボイドを抑制 した状態で嚙み込みがないバンプ接続が得られた。また、得られた導通収率は100%であったこ とから、PWLUF はチップと基板の積層においても一括リフロー接続プロセスに適用可能なこと を実証した。



(a) Cross-section

(b) SAM

Figure 4.27 Cross-sectional SEM image of bump (a) and SAM image (b) of the chip on substrate stack obtained by reflow soldering process using PWLUF N.

# 5.5 結言

バンプ接続部の噛込が引き起こす接続性と生産性の改善を目的に,第3章にて設計した PWLUFのコンセプトを検証した。PWLUFをパターニングすることでバンプ上のアンダーフィ ルは完全に除去され,積層サンプルは全く噛込がないバンプ接続を実現した。パターン形成後の 熱流動性による影響を比較するため,粘性が18,000 Pa·s である PWLUF I と,1,000 Pa·s である PWLUF L を積層評価した結果,PWLUF I を用いた積層サンプルでは熱流動性の不足によってバ ンプはパッドに到達せず,PWLUF L では良好な接続状態が得られたことから,ポリイミド樹脂 の低分子量化による PWLUF 設計の有効性を実証した。得られたバンプ接続は吸湿リフローや温 度サイクルなどの機械的信頼性評価後も良好な状態を維持した。また,チップと基板との積層や Cu-Cu バンプ接続に対しての PWLUF の適用の可能性も検証した。更には,先塗布型アンダーフ ィルの課題である生産性を大幅に改善する積層方法として,ウェハ上にチップをアライメントの ために圧着した後、ウェハレベルでのリフローによってバンプ接続する一括リフロー接続 (Collective reflow soldering) へ適用できることを実証した。

本研究では、先塗布型アンダーフィルの噛込と生産性の課題に着目し、微細パターニング可能 なアンダーフィル材を新規に設計してそのコンセプトを検証した。積層評価を実施した結果、バ ンプ周辺部にも明らかなボイドは観察されず、噛込が見られなかったことから、高い解像性とと もに光硬化後も十分に低い粘性を有している材料設計コンセプトを実証した。今後のバンプ接続 技術としては、多ピン化による低荷重での接続と、薄層のソルダや Cu-Cu バンプでの接続技術 が重要となる。また、先塗布型アンダーフィルが市場で拡がるためには、ウェハレベルー括リフ ロー接続といった生産性の改善が必須であると筆者は考えている。本論文で記載した材料とプロ セスは、更に多ピン化されるバンプ接続と生産性の両方を解決する一つの方法と考えている。ま た、開発した材料のアスペクト比が2であることから、バンプピッチとチップ間のギャップの比 率が1:1と仮定すると、10 µm ピッチの微細バンプまで対応できることを示唆している。一方で、 感光性アンダーフィルは露光、現像といった従来のアンダーフィルにはないプロセスが必要であ り、バンプ上の樹脂の開ロパターン形状やサイズを決定するためにも多くの評価を要する。従っ て、プロセスの簡略化を目的に、第5章でフィルムアンダーフィルでの材料設計と積層評価を進 めた。 第5章 フィルムアンダーフィル材料と多段積層プロセスの開発

5.1 緒言

先塗布型アンダーフィルは、バンプピッチが狭いチップを積層する用途として開発が進んでお り、アンダーフィル付チップを加熱圧着してバンプ上の樹脂を排除することで接続する材料であ る。微細・狭ピッチ化した電極の接続にとって、アライメントと接続状態が重要であり、アライ メントには樹脂材料の透明性、接続信頼性には樹脂材料の粘度と線膨張係数が支配因子と予想さ れる。また、多段積層する際には、個々のチップをソルダが溶融する高温で加熱圧着する必要が あるため、生産性に課題を抱えている。フィルムアンダーフィルを用いて狭ピッチのバンプを有 するTSVチップを多段積層して課題を抽出した研究例は少ない。第4章で粘性を1000 Pa·s以下に 設計することで良好な接続性が得られることがわかった。一方で、アライメントマーク認識のた めの透過率と、アンダーフィルのバンプ接続部の噛込に影響する粘性の指標が明確になっていな い。

本研究では、微細パターニングを必要としないフィルムアンダーフィルを用いて、アンダーフ ィル材料に含まれるフィラの含有量・粒径の透明性、粘度と線膨張係数との関係を明確にした。 また、接続時の透明性とアライメント、及び粘度と噛込との関係を明確にし、微細・狭ピッチ化 した電極の接続に用いる樹脂材料の選定指針を明らかにするとともに、多段積層プロセスの新規 提案を行った。

### 5.2 フィラの粒径と含有率による特性への影響把握と評価材料の選定

5.2.1 フィルムアンダーフィル選定の着眼点

先塗布型アンダーフィルは、バンプ上に形成されるアンダーフィルを加熱圧着時に排除する必要があるため、加熱時の樹脂の粘性が重要な因子となる。また、アンダーフィルを介してチップ上に形成されたアライメントマークを認識するために、ボンダーに搭載されている光源の中心波長である555 nmでの高い透過率や、機械的信頼性の観点から低いCTEも必要となる。筆者は、アンダーフィルに含まれるフィラの粒径や含有率が透過率、粘性及びCTEに大きく影響すると考え、樹脂成分を統一してシリカフィラの粒径や含有率の異なるアンダーフィルを準備して材料特性との関係を調べた。また、第4章で得られた積層結果を基に、フィルムアンダーフィルの粘性を10000 Pa·s以下に設計して積層評価した。

#### 5.2.2 透過率への影響

Figure 5.1はフィラを含有しない場合と、樹脂量に対してシリカフィラの含有率を40質量%とし、 粒径を変更したときの透過率曲線を示している。この結果から、50 nm以下の粒径ではフィラを 含有しない場合の透過率曲線と大きな差異は見られず、350 nm以上の波長での透過率に大きな 影響を与えないことがわかった。一方で、250 nm以上の粒径では透過率は大きく低下した。こ れは、波長とフィラの粒径がほぼ同程度となるため散乱の影響が強くなったと考えている。 Figure 5.2 (a)は、フィラの含有率を40質量%としたときの、粒径と555 nmでの透過率との関係を 示している。50 nm以下のシリカ粒径を適用することで555 nm波長での透過率を高く維持できる ことがわかった。Figure 5.2 (b)は,50 nmもしくは500 nmの粒径のフィラを適用したときの,そ れぞれの含有量と555 nmでの透過率との関係を示している。50 nmの粒径では含有率によって変 化は見られなかったが,500 nm の粒径では少量の配合でも透過率が大きく低下することがわか った。



Figure 5.1 UV spectrums using several kinds of filler size with 40 weight % filler amount to resin.



Figure 5.2 Influence of filler sizes with 40 wt% filler amount to resin (a) and filler contents (b) on 555 nm transmittance.

#### 5.2.3 粘性への影響

Figure 5.3は、50 nmと500 nmの粒径のフィラを適用したときの、含有率とフィルムアンダーフ ィルの熱時の最低溶融粘度との関係を示している。いずれの粒径においても、フィラの増量に伴 って溶融粘度が大きく上昇していることがわかる。一方で、フィラの粒径が粘性に与える影響は 大きく、同量配合しても50 nmよりも500 nmのフィラの方が粘性を低く制御できた。これは、フ ィラの比表面積を大きくすることでフィラ間の凝集力が小さくなったためと考えている。この結 果から、フィラの含有量を少なくすること、また同じ含有量でも粒径が大きいフィラを適用する ことで、粘性を低く制御できることがわかった。



Figure 5.3 Influence of filler contents on the lowest melt viscosity of film underfill using 50 nm and 500 nm diameter fillers.

# 5.2.4 線膨張係数への影響

Figure 5.4 (a)は、樹脂量に対するシリカフィラの含有率を60質量%としたときの、フィラの平 均粒径とCTEとの関係を示している。10 nmの粒径では80 ppm/℃と高い値を示したが、50 nm以 上の粒径では45~55 ppm/℃であり、50 nm以上の粒径による大きな影響は見られなかった。これ は、粒径が比較的小さいフィラを含む系では熱硬化性樹脂の架橋が妨げられるのに対し、一定以 上の大きさのフィラではその影響が小さくなったと考えている。また、Figure 5.4 (b)は粒径が50 nmのフィラを適用したときの、フィラの含有率とCTEとの関係を示している。フィラの増量に 伴ってCTEは低下するものの、40質量%以上ではその効果は小さくなり、50 nm以上の粒径のフ ィラを40質量%以上配合することで、CTEを低く制御できることがわかった。



Figure 5.4 Influence of average filler sizes on CTE with 60 wt% filler amount to resin (a) and influence of filler amount on CTE using 50 nm diameter filler (b)

以上に得られた結果と第4章で得られた積層結果を基に,Table 5.1に示す透過率と粘性が異なる4種のフィルムアンダーフィルUnderfill A~Dを準備し,アライメントマーク認識性,バンプ接続部へのアンダーフィルの噛込への影響を調べた。

Table 5.1 Four kinds of underfill for stacking evaluation

Underfill	Underfill A	Underfill B	Underfill C	Underfill D
Transmittance at 555 nm (%)	25	3	20	7
Lowest melt viscosity (Pa·s)	3000	1500	700	300

# 5.3 チップ/チップ積層評価

5.3.1 積層評価に用いるチップの構造

IMECによって設計されたTable 4.2, Figure 4.2に示すTEGを用いた。トップウェハである PTCM1にそれぞれ膜厚20 µmの4種類のフィルムアンダーフィルをラミネートし、ダイシングに よってチップに個片化してアンダーフィル付のPTCM1チップを準備した。 5.3.2 アライメントマーク認識性とバンプ接続部の噛込

チップ積層には、アライメントマークを自動認識して加熱圧着する装置であるフリップチップ ボンダーを用いる。アライメントマークはチップ上に配置されているため、フィルムアンダーフ ィルを介して認識する必要がある。Table 5.2はフリップチップボンダーに搭載されている光源 (LED(RGB), Axial/Ring Light)を用いてマークを観察した写真であり、それぞれのアンダーフィル の555 nmでの透過率と併せて示している。555 nm はフリップチップボンダーに搭載されている 光源である可視光の中心部の波長である。透過率が20%以上であったUnderfill AとUnderfill Cで はアライメントマークの自動認識が可能であったものの、10%を下回るUnderfill BとUnderfill D では認識できなかった。この結果から、フリップチップボンダーでの自動認識のためには、アン ダーフィルの555 nmでの透過率が20%以上必要であることがわかった。材料設計としては、平均 粒径が500 nmのシリカを30%以上含むアンダーフィルでは透過率に問題があることがわかった。

Table 5.2 Alignment	mark visibility	through film	underfill	with	different	transmittances	at 555	nm usi	ng
flip chip bonder.									

Underfill	Underfill A	Underfill B
Transmittance at 555 nm	25%	3%
Alignment mark visibility	Clear 50 µm	Not clear 50 μm
Underfill	Underfill C	Underfill D
Underfill Transmittance at 555 nm	Underfill C 20%	Underfill D 7%

それぞれのアンダーフィルが貼付されたPTCM1のチップを、フリップチップボンダーを用い てPTCN1のチップに加熱圧着した。Figure 5.5は加熱圧着のプロファイルであり、圧着時間と圧 着温度(a),及び圧着時間とバンプへの加圧(b)との関係を示している。圧着温度は、ボンダーの 設定温度と実際の温度との間に差があるため、PTCM1とPTCN1のチップの間に熱電対を差し込 むことで測定した実温の結果と、ボンダーの上面と下面の設定温度を併せて示している。最高到 達温度はソルダの溶融温度である260 ℃以上, 加圧はフィルムアンダーフィルでは標準的な条件 である約20 MPaに設定した。PTCM1/PTCN1はそれぞれのバンプが接続することでデイジーチェ ーンが形成される設計であり、Figure 5.6のPTCN1の表面模式図と写真に示すように、それぞれ 4,125箇所の接続部を有する2つエリアでデイジーチェーン(Chain 1, Chain 2)の導通をチェックす ることができる。PTCM1とPTCN1の4,125個のバンプが全て接続されると導通し、電気抵抗値が 計測できる。つまり,高い抵抗値が表示されるとバンプ接続部分に異常があること(Open)を意味 する。更に、隣接するバンプ同士が接続される不具合(Short)も検知することができる。4種のア ンダーフィルを用いて加熱圧着したサンプルをそれぞれ15個作製し, 導通試験を実施した。フラ ックス洗浄したPTCM1とPTCN1のチップを、アンダーフィルなしで加熱圧着した電気抵抗の値 を参考に、100 mVの電圧条件で、ショートなく500 Ω以下の電気抵抗値が得られたサンプル を"Good", 隣接するバンプ同士の接続が観測されたサンプルを"Short", 500Ωを上回る電気抵抗 値が観測されたサンプルを"Open"とした。



Figure 5.5 Stacking profile, setting and actual temperature (a) and bonding force (b).



(a) Schematic overview of electrical measurement

Pad for electrical measurement













Table 5.3は、Underfill A~Dを用いて積層したサンプルの導通試験結果であり、30の測定数に対 する"Good", "Open", "Short"のそれぞれの数と導通収率を示している。熱時の最低溶融粘度が 3,000 Pa·sであったUnderfill Aは93%の導通収率であり7%の不具合はバンプの接続不良であった。 一方で,最低溶融粘度が1,500 Pa s以下であったUnderfill B,C及びDはいずれも100%の導通収率 を示した。Figure 5.7は積層したサンプルの断面SEM写真であり、いずれの材料を用いた場合も バンプの接続部にアンダーフィルの噛込が観察され、特に収率が93%であったUnderfill Aでは多 くの噛込が観察された。バンプを覆うように形成されたアンダーフィルは、加熱圧着時にソルダ とともに押し出される。しかしながら、一部のアンダーフィルが押し出されないままバンプ同士 が接続されるとこのような噛込が発生する<sup>78), 102)</sup>。Figure 5.8はUnderfill AとUnderfill Cを用いた積 層サンプルのバンプ接続部を比較したものである。Underfill Cでは、PTCM1に搭載されたソルダ とPTCN1のバンプである銅との間で金属間化合物(IMC: Intermetallic compound)が形成されてい るのに対し, Underfill Aを用いたサンプルでは、バンプ接続部に界面が存在していた。Figure 5.9 は、Underfill Cを用いて、荷重を19 MPaと38 MPaで積層したサンプルのバンプ接続部の断面写真 であり,ランダムに20箇所を選定してアンダーフィルの噛込を観察した。Figure 5.10は各材料の 最低溶融粘度とアンダーフィルの噛込率との関係を示している。より低い溶融粘度のアンダーフ ィルを用いると噛込率が低下し、更に荷重を19 MPaから38 MPaに上げることで更に噛込率は低 下する。しかしながら、いずれの材料、条件においても噛込が観察された。また、38 MPa以上 の荷重では隣接するバンプのソルダが連結してショートする不具合が見られた。

Underfill	Underfill A	Underfill B	Underfill C	Underfill D
Lowest melt viscosity (Pa·s)	3000	1500	700	300
Good(x) / measured(30)	28/30	30/30	30/30	30/30
Open(x) /sample number(30)	2/30	0/30	0/30	0/30
Short(x)/ sample number(30)	0/30	0/30	0/30	0/30
Yield	93%	100%	100%	100%

Table 5.3 Electrical yield using Underfill A, B, C and D.



(c) Underfill C







Figure 5.8 Underfill entrapment and IMC formation of stacked sample using Underfill A (a) and Underfill C (b).



(b) 38 MPa

Figure 5.9 Underfill entrapment of stacked samples obtained by 19 MPa (a) and 38 MPa (b) bonding force using Underfill C.



Figure 5.10 Relationship of the lowest viscosity and entrapment ratio between bumps.

### 5.3.3 バンプ接続部の信頼性評価

バンプ接続部のアンダーフィルの噛込が信頼性に与える影響を調べるため、Underfill Aと Underfill Cを用いた積層サンプルの吸湿リフロー耐性と温度サイクル耐性(TCT: Thermal cycling test)を比較した。吸湿リフロー耐性とは,所定の条件で吸湿させたサンプルをリフロー炉に投入 してデバイスの不具合を評価する方法である。また、温度サイクル耐性とは、所定の温度範囲で 昇温と降温を繰り返してデバイスの不具合を評価する方法である。 本論文では, 吸湿リフロー耐 性の条件として85 ℃,60%RHの恒温恒湿層で168h吸湿させたサンプルを,最高温度が260 ℃に 設定されたリフロー炉に3回投入するJEDEC Moisture sensitivity level 2(MSL2)の規格で評価した。 また, TCTの条件としては, -55 ℃で15 min, 125 ℃で15minのサイクルであるJESD22-A104 condition Bの規格を1000回繰り返す条件とした。Table 5.4は積層後の15サンプルのChain 1とChain 2の抵抗値をそれぞれ測定し,吸湿リフロー後及び温度サイクル後の電気抵抗値を比較したもの である。アンダーフィルの噛込が少なかったUnderfill Cでは, MSL2及びTCT後も抵抗値が大き く変化することはなかった。一方で、噛込が多く良好なバンプ接続が形成されなかったUnderfill Aでは、TCT後に抵抗値が大きく上昇した。抵抗値が上昇した要因を解析するために、TCT後の SAM及び断面SEMを観察した。Table 5.5は,積層後,MSL2評価後及びTCT評価後のSAM観察の 結果である。Underfill Aでは, 圧着後にボイドが見られるもののMSL2やTCTによって大きく変 化することはなかった。また, Underfill Cでは, いずれの段階でも大きなボイドは観察されなか った。Figure 5.11はTCT評価後の断面写真であり、Underfill Cでは良好な接続状態であったもの の, Underfill Aではバンプ接続部にクラックが観察された。Underfill AとUnderfill CのTCT評価の 温度領域でのCTEはほぼ同じであることから, バンプ接続部のクラックはアンダーフィルの噛込 による接続不良が原因と考えられる。

Process	After bonding	After MSL2	After TCT
Underfill A	336 Ω	337 Ω	2500 Ω
Underfill C	323 Ω	325 Ω	323 Ω

Table 5.4 Electrical resistance changes after bonding, after MSL2 and after TCT using Underfill A and C.

Process	After bonding	After MSL2	After TCT
Underfill A			
Underfill C			

Table 5.5 SAM images after bonding, after MSL2 and after TCT using Underfill A and C.



Figure 5.11 Cross-sectional SEM images after TCT using Underfill A (a) and Underfill C (b).

Table 5.6は. Underfill A~Dの4種のアンダーフィルを用いたアライメント認識性, Figure 5.5の 条件で加熱圧着した導通収率とバンプ接続性、接続部の信頼性の結果をまとめたものである。 Underfill Cはアンダーフィルの噛込が見られるものの,いずれの項目も満足するため, Underfill C を選定してパッケージ信頼性を評価した。Figure 5.12 (a)はパッケージ信頼性を評価する構造の断 面模式図であり、Figure 5.5の条件で加熱圧着して得られた積層体を、半導体用接着材を介して 基板へ搭載し、 ワイヤボンディングで基板とチップを電気的に連結した後、 固形封止剤を用いて チップを封止した。Figure 5.12 (b)は封止後の外観写真である。パッケージ信頼性の評価は,温 度サイクル耐性(TCT), 飽和蒸気加圧試験(PCT: Pressure cooker test)及び高温保存試験(HTS: High temperature storage test)とし, 導通収率と電気抵抗値の変化を評価項目とした。TCTは, -55 ℃で 15 min, 125 ℃で15 minのサイクルを1000回繰り返す条件, PCTは121 ℃, 100%RH, 2 atmで240 h静置する条件, HTSは150 ℃で1000 h静置する条件とした。Table 5.7は, TCT, PCT及びHTS試 験における導通収率と電気抵抗値の推移を示したものである。いずれの評価項目においても導通 収率及び電気抵抗値に変化が見られなかったことから、Underfill Cは優れた信頼性を有している ことがわかった。また、50 µmのバンプピッチを有する積層サンプルにおいて、バンプ間に一部 のアンダーフィルが噛み込んだ状態でも信頼性に大きな影響がないことを実証した。以上の結果 から, Underfill Cを用いることで, アライメント認識のための高い透過率と積層のための熱時の 低い溶融粘度を満たし、信頼性に優れた積層サンプルを作製できることがわかった。

Table 5.6 Alignment mark recognition, electrical yield, bump junction without underfill entrapment and mechanical reliability using Underfill A, B, C and D.

Underfill	Underfill A	Underfill B	Underfill C	Underfill D
Transmittance at 555 nm (%)	25	3	20	7
Lowest melt viscosity (Pa·s)	3000	1500	700	300
Alignment mark recognition	100%	13%	100%	0%
Electrical yield	93%	100%	100%	100%
Bump junction without underfill entrapment	0%	0%	20%	0%
Yield after reliability*	0 %	100%	100%	100%



(a) Schematic structure for package reliaiblity

(b) Overview after molding

Figure 5.12 Schematic cross-sectional images of package reliability structure (a) and overview after molding (b).



Table 5.7 Electrical yield and resistance changes of package using Underfill C.

Figure 5.13 (a)(b)は、圧着後とHTS評価後のバンプ接続部分の金属組成を、エネルギー分散型X 線分光法(EDX: Energy dispersive X-ray spectrometry)によって解析した結果である。Figure 5.5の条 件で積層したサンプル(a)においても上下バンプともにCuとSnが反応しているものの、接続部分 の組成は、上側のバンプから順にCu<sub>3</sub>Sn、Cu<sub>6</sub>Sn<sub>5</sub>、Cu<sub>3</sub>Snであり広い部分でCu<sub>6</sub>Sn<sub>5</sub>が残存している。 一方で、HTS評価後の(b)では、いずれのポイントでも比較的強度が高いCu<sub>3</sub>Snへと相変態してい ることが確認された。このような現象は、TCT後やPCT後でも同様に観察され、信頼性試験中に バンプ接続部分の反応が進んでいることがわかった。脆弱層であるCu<sub>6</sub>Sn<sub>5</sub>が圧着後に多く存在す るにも関わらず良好な信頼性が得られた原因は、加速試験中のIMCの成長が考えられる。



(a) After bonding

(b) After HTS for 1000 h

Figure 5.13 IMC measurements of bump junctions after bonding (a) and after HTS for 1000 h (b) using Underfill C.

### 5.4 TSV多段積層プロセスの開発

5.4.1 20 µmピッチバンプでの積層評価

50 µmピッチのバンプを有するチップ積層において良好な結果が得られたUnderfill Cを選定し て、20 µmピッチのバンプを有するチップでの積層評価を実施した。Table 5.8はIMECによって設 計された20 µmピッチのバンプ接続を評価するためのTEGの仕様であり、Figure 5.14はそれぞれ のチップの断面模式図(a)と加熱圧着したサンプルの外観(b)を示している。PTCOはTSVを有して おり積層の際のトップチップ、多段積層の際にはミドルチップとして、PTCPはボトムチップと して使用される。バンプはそれぞれ20 µmピッチでペリフェラルに配置されており、1チップあ たりのバンプ数は3,828個である。PTCOは両面にバンプが配置されており、一方のバンプの直径 は7.5 µm、もう一方は12.5 µmである。直径が7.5 µmのバンプの構成はチップ側からCuが5 µm、 Snが3.5 µmの厚さであり、直径が12.5 µmのバンプの構成はCuが5 µmの厚さである。ボトムチッ プとして用いるPTCPのバンプの直径は12.5 µmであり、Cuが5 µmの厚さである。12 µmの膜厚の フィルムアンダーフィルUnderfill Cをラミネートし、ダイシングによってチップに個片化してア ンダーフィル付のPTCOチップを準備した。アンダーフィル付のPTCOチップを、フリップチッ プボンダーを用いてPTCPチップにFigure 5.5に示すプロファイルで積層し、接続性を評価した。 Figure 5.15に示すようにアンダーフィルの噛込は見られるものの、PTCOとPTCPの2段積層体の 導通収率は98%であった。

Item	PTCO with TSV PTCP without		
Use	Top/ Middle chip Bottom chip		
Die size (mm²)	5 x 5 10 x 10		
Die thickness (µm)	50 200		
Bump array	Peripheral		
Number of bumps	3828		
Bump diameter (µm)	7.5/12.5 12.5		
Bump pitch (µm)	20		
Bump height (µm)	8.5/5 5		
Bump composition (µm)	Sn/Cu (3.5/5) Cu (5) Cu (5)		

Table 5.8 PTCO and PTCP design for underfill evaluation.



Figure 5.14 Schematic bump structure of PTCO and PTCP (a), and the overview of PTCO/PTCP stacked sample (b).



(a) Cross-sectional overview

(b) Cross-section of bumps



### 5.4.2 TSV多段積層評価

Figure 5.16は、良好な導通収率が得られた1<sup>st</sup> PTCO/PTCPの2段積層サンプル(a)に、同様の方法 でアンダーフィル付のPTCOチップをFigure 5.5に示すプロファイルで加熱圧着して3段積層(b),4 段積層(c)、5段積層(d)するプロセスの模式図である。Figure 5.17の模式図に示すように、各層の デイジーチェーンからボトムチップのパッドに接続されているため、多段積層サンプルに関して はそれぞれの層での導通収率を測定することができる。PTCPと1<sup>st</sup> PTCO間の接続をL1、1<sup>st</sup> PTCO と2<sup>nd</sup> PTCO間の接続をL2,2<sup>nd</sup> PTCOと3<sup>rd</sup> PTCO間の接続をL3,3<sup>rd</sup> PTCOと4<sup>th</sup> PTCO間の接続をL4 とした。Figure 5.18はPTCPチップ上に1<sup>st</sup> PTCOと2<sup>nd</sup> PTCOをそれぞれ加熱圧着した3段積層サン プルのL1とL2の導通収率であり、いずれも90%以上の導通収率であった。アンダーフィルを用 いて積層したサンプルは、チップの保護の観点から角の部分が、熱流動によってチップ外へ押し 出されたアンダーフィル(フィレット)で覆われることが好ましい。Figure 5.19は3段積層サン プルのフィレットの状態を観察した写真であり、(a)は積層サンプルの表面模式図、(b)は表面か ら観察した顕微鏡写真、(c)は断面模式図、(d)は断面の顕微鏡写真を示している。フィレットが 2<sup>nd</sup> PTCOの表層まで這い上がり、その量はチップの上下中央部で比較的多いことがわかった。 Figure 5.20 (a)は更に3<sup>nd</sup> PTCOを積層したサンプルの表面写真を示しているが、3段積層時に表層 まで這い上がったフィレットによって3<sup>nd</sup> PTCOチップが破損し、更にボンディングツールを汚染 した。一方で、Figure 5.20 (b)に示すように、4段積層サンプルのチップコーナー部分は、フィレ ット量が少ないことから、アンダーフィルの膜厚を薄くすることによる対策は難しいと判断した。



(a) 1st PTCO bonding (b) 2nd PTCO bonding (c) 3rd PTCO bonding (d) 4th PTCO bonding

Figure 5.16 Schematic sequential multi-die stacking method,  $1^{st}$  PTCO bonding over 260 °C (a),  $2^{nd}$  PTCO bonding over 260 °C (b),  $3^{rd}$  PTCO bonding over 260 °C (c) and  $4^{th}$  PTCO bonding over 260 °C (d).



(a) PTCP/1st PTCO(L1) (b) 1st PTCO/2nd PTCO(L2) (c) 2nd PTCO/3rd PTCO(L3) (d) 3rd PTCO/4th PTCO(L4)

Figure 5.17 Electrical measurements of stacked sample, 1<sup>st</sup> PTCO/PTCP (L1) (a), 2<sup>nd</sup> PTCO/1<sup>st</sup> PTCO (L2) (b), 3<sup>rd</sup> PTCO/2<sup>nd</sup> PTCO (L3) (c) and 4<sup>th</sup> PTCO/3<sup>rd</sup> PTCO (L4) (d).



Figure 5.18 Electrical yield of three die stacked samples by sequential stacking using Underfill C.



Figure 5.19 Underfill fillets of three die stack, schematic surface view (a), surface observation (b), schematic cross-sectional view (c) and cross-sectional observation (d) by sequential stacking using Underfill C.



Figure 5.20 Schematic surface view (a), chip crack (b) and underfill fillet of chip corner (c) of four die stack by sequential stacking using Underfill C.

チップの位置によってアンダーフィルのフィレット量が異なる要因を解析した。Figure 5.21(a) は3段積層サンプルの最上段チップのうねりを測定した結果であり,(b)はPTCOチップの表面デ ザインを示している。フィレットが多かったチップの上下中央部は,他の部分よりも10 μm程度 の深さでチップが押し込まれた状態となっており,(b)に示したチップ上下に配置されているバ ンプの位置と対応している。従って,チップの上下中央部でフィレットが多い理由は次のように 考察した。Figure 5.22に示すように、チップはボンダーに吸着された状態で積層される。50 μm 厚のチップは変形しやすく,バンプが多く存在する部分は下に凸の形状となるため,表面にバン プが多く存在する上下中央部でチップが押し込まれ、フィレットが多くなる。また、表面のバン プが少ないチップ角のフィレットは少ない状態となる。更にチップ左右でのフィレット量の差は、 ボンダーの平行度の仕様が±3 μm程度であることに原因と考えられる。上記のような不均一なバ ンプデザインやボンダーの平行度による不均一なフィレットは、実際のデバイス製造でも想定さ れるため、抽出された課題を解決する積層プロセスの開発が必要と考えた。



Figure 5.21 Top chip undulation measurement of three die stack (a) and bump design of PTCO chip surface (b).



Figure 5.22 Assumed factor of underfill overflow.

# 5.4.3 TSV多段一括積層プロセスの検討

Figure 5.16に示すような通常の積層プロセスでは、多段積層が困難であることを実証した。更 に,チップ毎に260 ℃以上の高温で複数回圧着する必要があるため,生産性に課題を抱えており, 圧着ツールの昇温と降温による長いサイクルタイム、またウェハ上にチップを積層する方式 (Chip to Wafer)においてはウェハへの熱ダメージや銅パッドの酸化が課題となる。チップ積層時 のアンダーフィルの熱流動を抑制し、かつ生産性を改善するプロセスとして、Figure 5.23に示す ように、比較的低温で積層してチップのアライメントと仮圧着を行い、その後にソルダが溶融す る高温で圧着してバンプを接続するコレクティブ積層方式を検討した。また, 仮圧着の温度はア ンダーフィルの弾性によってソルダが変形するのを避けるため,アンダーフィルの粘度が低くな る100 ℃に設定した。コレクティブ積層方式の場合は、最後に高温で一括接続するため、加熱圧 着時の各層での実温はアンダーフィルの流動性とバンプの接続状態に大きな影響を与える。 Figure 5.24は実温の測定方法を示しており, 熱電対TC-L1をPTCP上に置いた状態でアンダーフィ ル付PTCOを100 ℃で圧着し,同様にして熱電対TC-L3とTC-L4が挟み込まれた5段積層体を作製 した。Figure 5.25は、このようにして得られた積層サンプルを加熱圧着して各層の実温を測定し た結果を示しており, Table 5.9に実温が100, 150, 180, 260 ℃付近となる時間での各層の温度及び その温度差をまとめたものである。バンプ接続性への影響が大きい260 ℃付近での温度差は5% 以下の15 ℃程度であり、接続性に課題となる温度差ではないと判断した。



(a) 1<sup>st</sup> PTCO bonding (b) 2<sup>nd</sup> PTCO bonding (c) 3<sup>rd</sup> PTCO bonding (d) 4<sup>th</sup> PTCO bonding Figure 5.23 Schematic collective multi-die stacking method, 1<sup>st</sup> PTCO bonding at 100 °C (a),

2<sup>nd</sup> PTCO bonding at 100 °C (b), 3<sup>rd</sup> PTCO bonding at 100 °C (c) and 4<sup>th</sup> PTCO bonding over 260 °C (d).



(a) Schematic cross-section

(b) overview

Figure 5.24 Schematic cross-section (a) and overview (b) of actual interface temperature measurement.



Figure 5.25 L1, L3 and L4 actual interface temperature during five die stacking.

L1 actual temperature	103 ºC	152 ºC	203 ºC	261 ºC
L3 actual temperature	118 ºC	166 ºC	217 ºC	275 °C
L4 actual temperature	123 ºC	167 ºC	218 ºC	275 °C
Temperature gap (L4-L1)	+20 °C	+15 ºC	+15 ºC	+14 ºC

Table 5.9 L1, L3 and L4 actual interface temperature difference during five die stacking.

Underfill Cを用いて、各チップを100 ℃で仮圧着した後にFigure 5.25のプロファイルで圧着す るコレクティブ積層方式によって4段積層サンプルを作製した。Figure 5.26は、フィレットの状 態を観察した写真であり、(a)は積層サンプルの表面模式図、(b)は表面から観察した顕微鏡写真、 (c)は断面模式図、(d)は断面の顕微鏡写真を示している。積層後もフィレットがチップ表層まで 這い上がらず、ボンディングツールを汚染することもなかった。Figure 5.27 (a)は各チップを 260 ℃以上の高温で圧着する従来の積層方式、(b)はコレクティブ積層方式で得られたサンプル の断面を示しており、積層方法によって各層のバンプの接続状態に大きな差が見られなかった。 Figure 5.28 (a)は5段積層サンプルの断面模式図を示しており、(b)はコレクティブ積層方式によっ て作製した5段積層サンプルの断面模式図を示しており、(b)はコレクティブ積層方式によっ て作製した5段積層サンプル15個のL1~L4の各層での導通収率を示したものである。L1で一部 OpenとShortが見られ95%の導通収率であったものの、L2~L4は100%であり優れた導通収率を有 する5段積層サンプルが得られた。また、導通させた際の磁場測定結果から、L1で観察された5% の収率低下はRDL起因であり、バンプ接続部によるものではないことを確認した。



(c) Schematic cross-sectional view

(d) Cross-section

Figure 5.26 Underfill fillet of four die stack by vertical collective bonding using Underfill C, schematic surface view (a), surface observation (b), schematic cross-sectional view (c) and cross-sectional observation (d).



Figure 5.27 Cross-sectional SEM images of four die stack by sequential bonding method (a) and by vertical collective bonding method (b) using Underfill C.





Figure 5.29は5段積層サンプルの外観写真, Figure 5.30は透過型超音波顕微鏡(T-SAM: Transmission mode scanning acoustic microscope)を用いて測定した結果であり, クラック等のチップの不具合や大きな剥離は観察されなかった。更に, Figure 5.31は断面SEM写真と各層のバンプの接続状態を示している。1<sup>st</sup> PTCOのTSVが露出していないのは均一に研磨できていないためである。各層のバンプの接続状態には大きな差は見られず, ソルダがバンプの外側へ押し出されていることがわかる。



Figure 5.29 Overviews of five die stacked sample by vertical collective bonding using Underfill C.



Figure 5.30 T-SAM image of five die stacked sample by vertical collective bonding using Underfill C.



Figure 5.31 Cross-sectional SEM image of five die stack using Underfill C by vertical collective bonding.

5.5 CoW積層プロセスの検討

5.5.1 CoW個別接続方式の検証

CoW積層は、良品チップを使用することができるため歩留まり向上が期待でき、ボトムチッ プの搬送と昇温が必要ないためCoCよりも生産性が向上する。Figure 5.32に示すように、CoW積 層には、個々のチップをソルダの溶融温度である260 ℃以上に上昇させて接続をとるCoW個別 接続方式と、まずアンダーフィルが溶融する温度で圧着してチップを仮固定し、その後ウェハボ ンダーによって260 ℃以上で圧着して接続をとるCoW一括接続方式が提案されている。それぞ れの特徴をTable 5.11に示しているように、一括接続方式の利点としては、高温での熱履歴が短 くなることでCuバンプの酸化の影響が少なくなり、生産性が改善されることが挙げられる。し かし、これに適用するためのウェハボンダーは装置メーカ各社が開発を急いでいる状況であり、 短時間での昇温,ボンディングツールの平坦性,バンプの高さばらつきの緩和の点で未だ大きな 課題がある。本研究では、CoW個別接続方式と、既存装置でCoW一括接続方式を実施したとき の課題を抽出した。Figure 5.33は、Underfill Cが貼付されたPTCM1チップを積層時にバンプ接続 させるCoW個別接続方式で、300 mmのPTCN1ウェハに圧着した外観写真である。圧着プロファ イルはFigure 5.5に示したCoC積層と同じプロファイルとした。Table 5.12に、CoW個別接続方式 とCoC積層において、導通収率とデイジーチェーンの電気抵抗値の平均を比較した。CoW個別接 続方式においてもCoC積層と同様に良好な接続状態が得られることがわかった。



Figure 5.32 Schematic process flow of CoW local bonding method (a) and CoW collective bonding method (b).

Table 5.11 CoW stacking methods and the features.

Stacking method	CoW local bonding	CoW collective bonding
Productivity	Middle	Middle high
Advantage	Compatible to bump height variation	Slow Cu pad oxidation
Challenge	Cu pad oxidation	Bonder improvement required


Figure 5.33 Overview of stacked sample by CoW local bonding method.

Table 5.12 Electrical yield and resistance of stacked sample by CoC bonding and CoW local bonding using Underfill C.

Bonding method	CoC bonding	CoW local bonding	
Electrical yield	100%	100%	
Electrical resistance	518 Ω	521 Ω	

## 5.5.2 CoW一括接続方式の検証

CoW-括接続方式において、ウェハボンディング前の仮圧着温度は銅パッドの酸化抑制と生産性の向上のため、低温であることが好ましい。Figure 5.34は、仮圧着温度を70~150 ℃、圧着時間を10秒間として条件を振り分け、チップをウェハに圧着したときの断面SEMを観察した結果であり、Figure 5.35は仮圧着温度とバンプ間距離との関係を示している。仮固定温度の上昇とともにバンプ間の距離は短くなり、130 ℃以上でその距離は1 µm以下になることが分かった。次に、110、130、150 ℃の仮固定温度でチップを仮圧着して得られたCoW積層サンプルを、最高温度を300 ℃、荷重をウェハボンダーの最大荷重である10 MPaの条件でウェハボンディングした。Figure 5.36は、ボトムウェハとトップチップのアライメントマークをIR顕微鏡で観察した結果であり、110 ℃の仮圧着条件ではアライメントマークがずれており、ウェハボンディング時に位置ずれが生じた。一方で、130 ℃及び150 ℃の仮圧着温度では位置ずれは発生しなかった。Figure 5.37はウェハボンディング後に得られたサンプルのバンプ接続状態であり、(a)は130 ℃、(b)は150 ℃で仮圧着したものである。バンプ間に樹脂が噛み込んだ状態であり、いずれのサンプルにおいても導通は得られなかった。要因を解析するため、圧着時の荷重とバンプ接続との関係をCoC積層によって把握することにした。



Figure 5.34 Cross-sectional SEM images after temporary bonding at each temperature for 10 s using Underfill C.



Figure 5.35 Relationship of temporary bonding temperature and bump gap distance.







(a) Temporary bonding at 110 °C (b) Temporary bonding at 130 °C (c) Temporary bonding at 150 °C

Figure 5.36 Alignment mark observation of bottom wafer and top chip after temporary bonding followed by wafer bonding by IR microscope.



(a) Temporary bonding at 130 °C

(b) Temporary bonding at 150 °C

Figure 5.37 Cross-sectional SEM images of bumps after temporary bonding at 130  $^{\circ}$ C (a) and temporary bonding at 150  $^{\circ}$ C (b) followed by wafer bonding.

Figure 5.38は、荷重によるバンプ接続への影響を評価するためのCoC積層のプロファイルであ り、圧着時間と温度条件を(a)に、圧着時間とバンプへの加圧条件を(b)に示している。バンプへ の加圧を標準条件である19 MPaから、8 MPa、4 MPaと段階的に低下させた積層サンプルをそれ ぞれ6個作製して、12個のデイジーチェーンの導通収率を評価した。Table 5.13は加圧条件と導通 収率との関係、Figure 5.39は19 MPa及び8 MPaの条件で積層したサンプルのバンプ接続部の断面 写真を示している。加圧が8 MPa以下の条件では、アンダーフィルをバンプ間から排除すること ができず導通収率が20%以下となった。この結果から、CoW一括接続方式において良好な接続が 得られなかった要因は荷重不足によることがわかった。この結果から、高い生産性を実現する CoW一括接続方式には、より高い荷重で圧着できるウェハボンダーや噛込を抑制できる新しい タイプのプロセス及びアンダーフィルの開発が必要と考えている。



Figure 5.38 Stacking profile, setting and actual temperature (a) and bonding force (b)

Bonding force	19 MPa	8 MPa	4 MPa
Good(x) / measured(12)	12/12	1/12	2/12
Open(x) /sample number(12)	0/30	11/12	10/12
Short(x)/ sample number(12)	0/30	0/12	0/12
Yield	100%	8%	17%

Table 5.13 Electrical yield by lower bonding forces using Underfill C.



(a) 19 Ma

(b) 8 MPa

Figure 5.39 Cross-sectional microscope images, bonding force of 19 MPa (a) and bonding force of 8 MPa (b) by CoC bonding using Underfill C.

## 5.5 結言

アライメントマーク認識のための透過率と,アンダーフィルのバンプ接続部の噛込に影響する 粘性の指標を明らかにし,生産性に優れた多段積層プロセスを開発することを目的に,アンダー フィルに含まれるフィラの粒径や含有率が,透過率と熱時の溶融粘度,更には CTE に与える影 響を調べた。

透過率に関しては、フィラの粒径が透過率に大きく影響し、50 nm 以下の粒径では含有量に関わらず透過率が変化しない一方、250 nm 以上の粒径では少量の配合でも透過率が大きく低下することがわかった。これは、波長とフィラの粒径がほぼ同程度となるため散乱の影響が強くなったと考えている。

熱時の溶融粘度に関しては、粒径に関わらず、フィラの増量に伴って溶融粘度が大きく上昇した。50 nm と 500 nm の粒径を比較すると、フィラの粒径が溶融粘度に与える影響は大きく、同量配合しても 50 nm よりも 500 nm のフィラの方が熱時溶融粘度を低く制御できた。これは、フ

ィラの比表面積を大きくすることでフィラ間の凝集力が小さくなったためと考えている。

CTE に関しては, 10 nm の粒径では 80 ppm ℃と高い値を示したが, 50 nm 以上の粒径では 45 ~55 ppm ℃であり, 50 nm 以上の粒径による大きな影響は見られなかった。これは, 粒径が比較的小さいフィラを含む系では熱硬化性樹脂の架橋が妨げられるのに対し, 一定以上の大きさのフィラではその影響が小さくなったと考えている。また, フィラの増量に伴って CTE は低下するものの, 40 質量%以上ではその効果は小さくなった。

透過率と粘性が異なる4種のフィルムアンダーフィルを準備し、アライメントマーク認識性、 バンプ接続部へのアンダーフィルの噛込への影響を調べた。アライメントマーク認識性に関して は、透過率が20%以上で認識が可能であった。バンプ接続部へのアンダーフィルの噛込に関して は、溶融粘度が3,000 Pa·sのフィルムアンダーフィルではバンプ接続に課題があった。一方で、 溶融粘度が1,500 Pa·sのフィルムアンダーフィルでは100%の導通収率が得られた。更に、低い溶 融粘度の材料と高い圧着荷重の組合せによって割合は低下するものの、全く噛込がないバンプ接 続は得られなかった。この結果から、フィルムアンダーフィルを用いた場合には、バンプ接続部 の噛込の可能性を排除することは難しいと考える。噛込が多いアンダーフィルを用いた場合には バンプ接続部の機械的信頼性に課題が見られたが、噛込が少ない状態ではデバイスの信頼性には 大きな影響がなかった。また、バンプ接続部のIMC成長は信頼性試験中に進んでおり、アンダー フィルの噛込によって良好な接続形成が阻害されていることがわかった。

バンプピッチが20 µmの2段の積層体においても良好な導通収率を示した。しかしながら、4段 積層においては、表層まで這い上がったフィレットによってチップが破損した。これは、不均一 なバンプデザインとボンダーの平行度による不均一なフィレットが原因と考えられる。この課題 は、低温で圧着してチップのアライメントと仮圧着を行い、その後にソルダが溶融する高温で圧 着してバンプを接続するコレクティブ積層方式の提案によって解決し、良好な導通収率の5段積 層サンプルを実証した。このプロセスは多段積層において生産性を大幅に改善すると考えている。 ウェハ上にチップを個々に高温で接続させるCoW個別接続方式においては、CoC積層と同様に良 好な接続状態が得られることを確認した。一方で、ウェハ上にチップを低温で仮圧着した後にウ ェハボンダーによって接続させるCoW一括接続方式では、非常に高い荷重のウェハボンダーが 必要となることがわかった。

108

#### 第6章 結論

複数のチップが相互に接続された次世代高密度パッケージのためには、平面方向を高密度に接 続するインターポーザ樹脂基板の微細配線技術と、垂直方向にTSVチップを接続する微細バンプ での多段積層技術をともに優れた生産性で実現する必要がある。微細配線技術においては、L/S が5/5 µm以下の解像性と絶縁信頼性に寄与する感光性絶縁材料の指標を明らかにし、優れた生産 性と絶縁信頼性を有する微細配線層を実証した。また、配線幅と材料特性との関係を解析し、絶 縁信頼性を定量化することで絶縁寿命を予測し、検証した。多段積層技術においては、先塗布型 アンダーフィルの生産性とバンプ接続部の噛込の改善が難しい課題に対して、微細パターニング 可能なアンダーフィル材(PWLUF)を考案した。PWLUFの開発においては、ポリイミド樹脂の骨 格と分子量に着目し、解像性、パターン形成後の粘性、熱硬化後のTgとの関係を明らかにした。 開発した材料は、バンプ接続部の噛込の可能性を排除でき、ウェハレベルでリフローによって一 括接続する方式が生産性を改善する指針を得た。更に、現像プロセスを必要としない材料として、 フィルムアンダーフィルに含まれるフィラの粒径や含有率が、透過率、粘性及びCTEに与える影 響を調べ、アライメントマーク認識のための透過率と、バンプ接続部の噛込に影響する粘性の指 標を明らかにした。また、チップを低温で仮固定した後に高温で接続する方式によって多段積層 を実証した。本研究で得られた知見を総括する。

第2章では、感光性絶縁材料の解像性と絶縁信頼性に着目し、それらの目標を満足するための 材料特性を解明するとともに,高い生産性と絶縁信頼性を有する微細配線層の作製方法を検証し た。より高い吸湿率を有する材料が良好な解像度を示す一方、より低い吸湿率かつ低いイオン濃 度を有する材料が良好な絶縁信頼性を示した。樹脂材料の吸湿率・イオン濃度と絶縁信頼性 は、5/5 µmの配線に関しては、吸湿率が1.4%以下かつ陰イオン濃度が1000 ppm以下の材料で絶 縁信頼性の目標を満足した。一方で、2/2 µmの配線に関しては、低い吸湿率にすることだけでは 大きな影響は見られなかった。これは,2/2 μmの配線で絶縁信頼性を確保するためには,少量の 銅イオンの移動も抑制する必要があることを示唆している。2/2 µmの絶縁信頼性の材料指標は, 陰イオン濃度を200 ppm以下かつ吸湿率を0.3%以下であった。10/10~5/5 μmの配線層はMaterial Cで解像性と絶縁信頼性を両立することができた。一方で、5/5μm以下では両立が難しいため、 配線形成には解像性に優れたMaterial A, 層間絶縁層には絶縁信頼性に優れたMaterial Hを適用す る、もしくは露出した配線銅に無電解ニッケルバリア層を形成することによって、L/Sが5/5~1/1 μmの解像性と絶縁信頼性を両立する配線層を実証することができた。配線層の絶縁信頼性を定 量的に評価するために、様々な材料と配線間距離でのBiased-HAST試験のデータから配線層の活 性化エネルギーとして算出し,電気絶縁性を向上する手法として定量的に検証することができた。 また, 10/10 μmや5/5 μmの絶縁信頼性結果から2/2 μm以下の寿命を算出できるため, 2/2 μm以下 のTEG設計が困難な場合に特に有効である。また2/2 µm以下の絶縁信頼性結果から, 10/10 µmで の結果を算出することもでき、評価を短時間で実施することができる。更には、プロットが直線 から外れる場合には、TEGの不良やプロセスの改善が必要であることが示唆されるため、 配線の 絶縁信頼性評価にとって有用な解析手法である。

第3章では, 噛込の原因となるバンプ上のアンダーフィル材をフォトリソグラフィーによって 除去できるPWLUFを開発することを目的とした。微細なバンプ上での開口のための解像性,バ ンプ接続を可能にするパターン形成後の低い粘性,低いCTEを実現するための熱硬化後の高いガ ラス転移温度(Tg)を評価指標として、ポリイミド樹脂の構造と分子量の影響を調べた。カルボキ シル基含有芳香族ジアミン成分を高い比率で導入したポリイミド樹脂は、熱硬化後に高いTgを 示したものの, 解像性が低下しパターン形成後の粘性が大きく上昇した。 酸価及び不溶化率の測 定結果から,フィルム作製のための加熱乾燥によるカルボキシル基とエポキシの反応が原因であ ることが示唆された。従って、カルボキシル基含有のポリイミド樹脂では、高い解像性、パター ン形成後の低い粘性及び熱硬化後の高いTgを有するPWLUFを設計することは難しいと判断した。 フェノール性水酸基含有ジアミン成分を導入したポリイミド樹脂は、加熱乾燥によるフェノール 性水酸基とエポキシとの反応は抑制され、解像性を維持しながら熱硬化後に高いTgを示す PWLUFを設計することができた。しかしながら、狭ピッチのバンプへの適用を想定した場合の より高い解像性と、アンダーフィルとしてのより低い粘性を可能にする材料設計が必要と考え、 ポリイミド樹脂の分子量による影響を調べた。ポリイミド樹脂の末端をアミノフェノールによっ て封止し、その導入比率によってポリイミド樹脂の分子量を制御することができた。分子量によ って解像度と熱流動性を制御することができ、分子量を低く設計することによって、硬化後の Tgを維持したまま解像度は向上し、更にパターン形成後の熱流動性は大幅に低下した。以上の 結果から, フェノール性水酸基含有ジアミン成分を導入し, 末端をアミノフェノールによって封 止して低分子量化したポリイミド樹脂を用いることで,解像性,パターン形成後の粘性,熱硬化 後の高いTgを両立することができた。

第4章では、先塗布型アンダーフィルの課題であるバンプ接続部分のアンダーフィルの噛込と 生産性の改善を目的に、第3章にて設計した PWLUF のコンセプトを検証した。PWLUF をパタ ーニングすることでバンプ上のアンダーフィルは完全に除去され、積層サンプルは噛込がないバ ンプ接続部を実現した。パターン形成後の粘性による影響を比較するため、粘性が異なる PWLUF を積層評価した結果、バンプの接続状態に大きな差が見られ、ポリイミド樹脂の低分子量化によ る PWLUF の設計はアンダーフィルの噛込がないバンプ接続を実現した。得られたバンプ接続部 は吸湿リフローや温度サイクルなどの機械的信頼性を満足した。また、先塗布型アンダーフィル の課題である生産性を大幅に改善する積層方法として、ウェハ上にチップをアライメントのため に圧着した後、ウェハレベルでのリフローによってバンプ接続するウェハレベルー括リフロー接 続(Collective reflow soldering)へ適用できることを実証した。

第5章では、フィルムアンダーフィルの狭ピッチバンプ及び多段積層に適用した際の課題抽出 と生産性の向上を目的に、シリカフィラの粒径及び含有量の変更に伴う材料特性と、アライメン トマーク認識性、粘性及び機械的信頼性との関係を明らかにするとともに、多段積層プロセスの 提案と検証を実施した。CTEは粒径が50 nm以上のシリカフィラを40質量%以上用いることで大 きく低減できる。粘性はフィラの含有量を少なくすること、また同じ含有量でも粒径が大きいフ ィラを適用することで、低く制御できる。透過率は粒径が50 nm以下のシリカを適用することで 維持できる。積層評価によって, 555 nmの透過率が20%以上, 粘性が1500 Pa<sup>.</sup> s以下のアンダーフ ィルを適用することでアライメントマーク認識性と100%の導通収率が得られることがわかった。 一方で, バンプ接続部のアンダーフィルの噛込に関しては, 低い粘性の材料の選定と高い圧着荷 重の組合せによって割合は低下した。バンプピッチが50 μmの積層サンプルにおいて, 噛込が非 常に多い状態では機械的信頼性に課題が見られたが,噛込が少ない状態ではデバイスの信頼性に は大きな影響がなかった。バンプ接続部のIMC成長は信頼性試験中に進んでおり、噛込が成長を 阻害していることが示唆された。バンプピッチが20 μmのTSVの2段積層においても、アンダーフ ィルの噛込は見られるものの良好な導通収率を示した。しかしながら、4段積層においては、表 層まで這い上がったフィレットによってチップが破損した。これは、不均一なバンプデザインと ボンダーの平行度による不均一なフィレットが原因と考えられる。この課題は,比較的低温で加 熱圧着してチップのアライメントと仮固定を行い,その後にソルダが溶融する高温で加熱圧着し てバンプを接続する一括積層方式の提案によって解決し、良好な導通収率の5段積層サンプルを 実証した。ウェハ上にチップを個々に高温で接続させるCoW個別接続方式においては、CoCと同 様に良好な接続状態が得られることが確認された。一方で、ウェハ上にチップを低温で仮圧着し た後にウェハボンダーによって接続させるCoWー括接続方式では、非常に高い荷重のウェハボ ンダーが必要となることがわかった。

最後に複数のチップが相互に接続された次世代高密度パッケージへの適用について述べる。イ ンターポーザ樹脂基板上での微細配線形成は,生産性の観点からトレンチ配線プロセスが有効で ある。10/10~5/5 μmの配線層は1種類の感光性絶縁材料で,5/5~1/1 μmの配線層は2種類の感光 性絶縁材料の組合せ,もしくはバリア金属形成プロセスの追加で,解像性と絶縁信頼性を両立す ることができる。微細バンプでの多段積層は,微細パターニング可能なアンダーフィルを適用す ることで10 μmピッチのバンプ接続と一括リフロープロセスによって生産性の向上を実現する ことができる。また,フィルムアンダーフィルを適用することで,20 μmピッチのバンプ接続と 多段一括積層プロセスによって生産性の向上を実現することができる。

111

#### 謝辞

本研究は大阪大学大学院工学研究科マテリアル生産科学専攻生産科学コースの博士後期課程 在学中に藤本公三教授のご指導のもと行ったものであります。本論文をまとめるにあたって懇切 なご指導をいただきました藤本公三教授に深謝の意を表します。

大阪大学大学院工学研究科マテリアル生産科学専攻の廣瀬明夫教授,加柴良裕特任教授,福本 信次准教授には,副査を引き受けていただき,貴重なご助言をいただきましたことを御礼申し上 げます。

Inter Interuniversity Micro-Electronics Center (IMEC) 3D System Integration ProgramのScientific Director Eric Beyne氏, Group Leader Andy Miller氏には第4章と第5章の研究を行うにあたって 有意義な議論をしていただきましたことを深く感謝いたします。また,第4章と第5章の研究の遂 行に協力していただいたKenneth June Rebibis氏, Fabrice Duval氏, Teng Wang氏, Robert Daily氏, Giovanni Capuz氏に感謝いたします。

日本アイ・ビー・エム株式会社東京基礎研究所 久田隆史氏には、同研究室の先輩として暖か い激励とご助言をいただきましたことを深く感謝いたします。

本研究を行うにあたってご理解とご支援をいただいた日立化成株式会社パッケージングソリ ューションセンター 宮崎忠一センター長に深く感謝いたします。また、日立化成株式会社パッ ケージングソリューションセンター 蔵渕和彦担当部長には本研究へのご助言とご支援をいた だきましたことを御礼申し上げます。また、第2章の研究の遂行に協力していただいた日立化成 株式会社パッケージングソリューションセンター 峯岸知典氏、鳥羽正也氏に深謝いたします。 日立化成株式会社パッケージングソリューションセンターの各位には研究遂行にあたり日頃よ り有益なご討論ご助言をいただいた。ここに感謝の意を表する。

#### 参考文献

1) P. S. Peercy, "Trends in Semiconductor Equipment, Materials, and Processing Technology," Proceeding of the International Electron Devices Meeting, 1998, pp. 14-17.

2) 杉本茂樹,神垣哲也,上條浩幸,"半導体プロセス技術の進歩と課題,"東芝レビュー, Vol. 59, No.8, 2004, pp. 2-7.

3) G. Patton, "Semiconductor Technology –Trends, Challenges and Opportunities." Proceedings of the 13<sup>th</sup> International Workshop on Computational Electronics, 2009, pp. 1-4.

4) G. Moore, "Cramming More Components Onto Integrated Circuits," Electronics, vol. 38, pp. 114-117, Apr. 1965.

5)田邉功,竹花洋一,法元盛久,"フォトマスク 電子部品製造の基幹技術",東京電機大学出版局,2011年4月

6) ITRS(International technology roadmap for semiconductors) 2013 Edition Executive Summary

7) 3DIC and 3D Packaging Market Trends 'Why, When and How 3D', YOLE Developpement, 2013

8) J. H. Lau, "TSV manufacturing yield and hidden costs for 3D IC integration," in Proc. IEEE Electronic Components and Technology Conference (ECTC), LasVegas, NV, USA, Jun. 1-4, 2010, pp. 1031-1042

9) J. H. Lau, "Critical Issues of 3D IC Integrations", Proceedings of IMAPS International Symposium on Microelectronics, San Jose, CA, November 2009, pp. 585-592.

10) J. H. Lau, "Key Enabling Technologies for 3D IC Integrations", Professional Development Course given at IEEE Electronic & Components Technology Conference, San Diego, CA May 2009.

 J. H. Lau, G. Tang, "Thermal Management of 3D IC Integration with TSV (Through Silicon Via)", IEEE Proceedings of Electronic, Components & Technology Conference, San Diego, CA, May, 2009, pp. 635-640.

12) http://www.intel.com/content/www/us/en/history/museum-gordon-moore-law.html

13) 2013 年度版日本実装技術ロードマップ(一般社団法人 電子情報技術産業協会)

14) G. G. Harman, "Wire bonding-toward  $6\sigma$  yield and fine pitch," Proceedings of the 1992 Electronic Components and Technology Conference, 1992, pp. 903–910.

15) L. Nguyen et al., "70 μm fine pitch wirebonding," Proceedings of the Twenty-Third IEEE/CPMT Electronics Manufacturing Technology Symposium, 1998, pp. 394-400.

16) Y. F. Yao et al., "Assembly Process Development of 50um Fine Pitch Wire Bonded Devices," Proceedings

of the 2004 Electronic Components and Technology Conference, 2004, pp. 365-371.

17) W. ZhiJie, C. Du and M. C. Han, "BGA 44um Fine Pitch Low K Wire Bonding Process Development," Proceedings of the 2005 Conference on High Density Microsystem Design and Packaging and Component Failure Analysis, 2005, pp. 1-6.

18) 2013 年度版日本実装技術ロードマップ(一般社団法人 電子情報技術産業協会)

19) 本多進, "半導体 IC と実装基板の融合に向けて," エレクトロニクス実装学会第 18 回マイク ロエレクトロニクスシンポジウム基調講演資料, I-02, 2008 年 9 月

20) 本多進, "Si/ガラスベースインターポーザ・受動デバイスの動向" エレクトロニクス実装学 会誌, Vol. 14, No. 5, pp. 344-350, 2011 年 8 月

21) A. Jourdain, A. Phommahaxay, G. Verbinnen, G. Murdoch, A. Miller, K. J. Rebibis, A. Guerrero, J. McCutcheon, M. Privett, J. Neidrich, G. Beyer and E. Beyne, "Integration and Manufacturing Aspects of Moving from WaferBOND HT-10.10 to ZoneBOND Material in Temporary Wafer Bonding and Debonding for 3D Applications," Proceeding of Electronic Components & Technology Conference, 2013, pp. 113-117.

22) A. Phommahaxay, I. D. Wolf, P. Hoffrogge, S. Brand, P. Czurratis, H. Philipsen, Y. Civale, K. Vandersmissen, S. Halder, G. Beyer, B. Swinnen, A. Miller and E. Beyne, "High Frequency Scanning Acoustic Microscopy Applied to 3D Integrated Process: Void Detection in Through Silicon Vias," Proceeding of Electronic Components & Technology Conference, 2013, pp. 227-231.

23) Y. Civale, S. V. Huylenbroeck, A. Redolfi, W. Guo, K. B. Gavan, P. Jaenen, A. L. Manna, G. Beyer,
B. Swinnen, E. Beyne, "Via-Middle Through-Silicon Via with Integrated Airgap to Zero TSV-induced
Stress Impact on Device Performance," Proceeding of Electronic Components & Technology Conference,
2013, pp. 1420-1424.

24) A. Jourdain, A. Phommahaxay, G. Verbinnen, A. Guerrero1, S. Bailey, M. Privett, K. Arnold, A. Miller, K. J. Rebibis, G. Beyer, E. Beyne, "Temporary Bonding for High -topography Applications: Spin-on Material Versus Dry Film," Proceeding of Electronic Components & Technology Conference, 2014, pp. 894-898.

25) R. R. Tummala, "TPV formation by laser ablation & reliability of TPV's in glass," in Proc. ICEP2012, pp. 6-12, 2012.

26) G. Kumar, T. Bandyopadhyay, V. Sukumaran, V. Sundaram, S. K. Lim, and R. Tummala, "Ultra-High I/O density glass / silicon interposers for high bandwidth smart mobile applications," in Proc. IEEE Electronic Components and Technology Conference (ECTC)2011, pp. 217-223.

27) V. Sukumaran, T. Bandyopadhyay, Q. Chen, N. Kumbnat, F. Liu, R. Pucha, Y. Sato, M. Watanabe, K. Kitaoka, M. Ono, Y. Suzuki, C. Karoui, C. Nopper, M. Swaminathan, V. Sundaram, and R. Tummala, "Design, Fabrication and Characterization of low-cost glass interposer with fine-pitch through-package-vias," in Proc. IEEE Electronic Components and Technology Conference (ECTC)2011, pp. 583-588.

28) ITRS(International technology roadmap for semiconductors) 2012 Update, Table AP10 and INTC2

29) S. Watanabe, "Development of Organic Multi Chip Package for High Performance Application," iNEMI Substrate & Packaging Technology Workshop, April 2014.

30) Y. H. Chen, S. L. Cheng, D. C. Hu, T. J. Tseng, "Ultra-thin Line Embedded Substrate Manufacturing

for 2.1D/ 2.5D SiP Application," Proceeding of ICEP-IAAC 2015.

31) SEMI FORUM JAPAN プログラム委員会編: 半導体プロセス教本, 東京, SEMI ジャパン, 2007

32) "三次元メモリ,遂に実用化 TSV積層技術による8GビットDDR3 SDRAMをサンプル出荷", http://www.nedo.go.jp/news/press/AA5\_100032.html, 2011

33) D. W. Kim, R. Vidhya, B. Henderson, U. Ray, S. Gu, W. Zhao, R. Radojcic, M. Nowak, "Development of 3D Through Silicon Stack(TSS) Assembly for Wide IO Memory to Logic Devices Integration," Proceeding of Electronic Components & Technology Conference, 2013, pp. 77-80.

34) "Micron Technology Ships First Samples of Hybrid Memory Cube," http://investors.micron.com/releasedetail.cfm?ReleaseID=793156, 2013

35) "SK hynix Developing World's First Max. 128GB DDR4 Module," http://www.sk.com/Channel/News/view/1203, 2014.

36) "Design Technologies for a 1.2V 2.4Gb/s/pin High Capacity DDR4 SDRAM with TSVs," Symposia on VLSI Technology and Circuits Session 4 「Circuits/Technology Joint Focus Session: 3D Circuits and Application, 2014.

37) "Samsung, TSV を用いた3次元DRAMの2014年内の量産開始を宣言," http://techon.nikkeibp.co.jp/article/EVENT/20140613/358440/,2014

38) S.Q. Gu, "Stackable Memory of 3D Chip Integration for Mobile Applications" IEDM Tech. Dig., 2008.

39) J. West, "Practical Implications of Via-Middle Cu TSV-induced Stress in a 28nm CMOS Technology for Wide-IO Logic-Memory Interconnect," Symposium on VLSI Technology, art. no. 6242481, pp. 101 – 102, 2012

40) P. J. Tzeng, "Key Enabling Technologies of 300mm 3DIC Process Integration," VLSI-TSA, pp. 1-2, 2012.

41) R.S. Patti, "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs." Proc. IEEE 94 (2006) 1214.

42) M.T. Fukushima, T. Tanaka, "High-density through silicon vias for 3D LSIs," Proc. IEEE 97 (2009)49.

43) J.-Q. Lu, "3-D hyperintegration and packaging technologies for micro-nano systems," Proc. IEEE 97 (2009) 18.

44) H.Y. Hsiao, C.M. Liu, H.W. Lin, T.C. Liu, C.L. Lu, Y.S. Huang, C. Chen, K.N. Tu, "Unidirectional growth of microbumps on (111)-oriented and nanotwinned copper," Science 336 (2012) 1007.

45) K.N. Tu, "Reliability challenges in 3D IC packaging technology," Microelectron. Reliab. 51 (2011)517.

46) T.C. Liu, C.M. Liu, Y.S. Huang, C. Chen, K.N. Tu, "Eliminate Kirkendall voids in solder reactions on nanotwinned copper," Scr. Mater. 68 (2013) 241.

47) Y.S. Huang, H.Y. Hsiao, C. Chen, K.N. Tu, "Effect of concentration gradient on interfacial reactions in microbumps of Ni/SnAg/Cu during liquid-state soldering.," Scr. Mater, 66 (2012) 741.

48) B. Swinnen, W. Ruythooren, P. De Moor, L. Bogaerts, L. Carbonell, K. De Munck, B. Eyckens S. Stoukatch, D. Sabuncuoglu Tezcan, Z. Tőkei, J. Vaes, J. Van Aelst, E. Beyne, "3D integration by Cu-Cu thermo-compression bonding of extremely thinned bulk-Si die containing 10μm pitch through-Si vias", in IEEE International Electron Device Meeting Tech. Digest (IEDM), 2006, pp. 371–374.

49) A. Fan, A. Rahman, R. Reif, "Copper Wafer Bonding", Electrochemical and Solid-State Letters (ESL), 1999, Vol. 2, Issue 10, pp. 534-536.

50) A. Jourdain, "Electrically yielding Collective Hybrid Bonding for 3D Stacking of ICs", Proc. 59<sup>th</sup> ECTC, San Diego, USA, May 2009, pp. 11-13

51) C. Okoro, R. Agarwal, P. Limaye, B. Vandevelde, D. Vandepitte, Eric Beyne, "Insertion Bonding: A Novel Cu-Cu Bonding Approach for 3D Integration," Electronic Components and Technology Conference, 2010, pp. 1370 -1375

52) C. M. Liu, H. W. Lin, Y. C. Chu, C. Chen, D. R. Lyu, K. N. Chen, K. N. Tuc, "Low-temperature direct copper-to-copper bonding enabled by creep on highly (111)-oriented Cu surfaces," Scripta Materialia, 2014, pp. 65–68.

53) T.H. Kim, M.M.R. Howlader, T. Itoh, T. Suga, "Room temperature Cu–Cu direct bonding using surface activated bonding method," J. Vac. Sci. Technol. A 21 (2003) 449.

54) C.S. Tan, L. Peng, J. Fan, H. Li, S. Gao, "Three-Dimensional Wafer Stacking Using Cu–Cu Bonding for Simultaneous Formation of Electrical, Mechanical, and Hermetic Bonds," IEEE Trans. Device Mater. Reliab. 12 (2012) 194.

55) J. Lee, D.M. Fernandez, M. Paing, Y.C. Yeo, S. Gao, "Electroless Ni Plating to Compensate for Bump Height Variation in Cu–Cu 3-D Packaging," IEEE Trans. Comp. Packag. Manuf. Technol. 2 (2012) 964.

56) K. N. Chen, S. H. Lee, Paul S. Andry, Cornelia K. Tsang, Anna W. Topol, Y. M. Lin, J. Q. Lu, Albert M. Young, M. Ieong, W. Haensch, 2006 International Electron Devices Meeting (IEDM), San Francisco CA, December 11–13, 2006.

57) M. Gerber, "Next generation fine pitch Cu Pillar technology -Enabling next generation silicon nodes," Proceedings of Electronic, Components & Technology Conference, 2011, pp. 612-618.

58) Y. Orii, K. Toriyama, H. Noma, Y. Oyama, H. Nishiwaki, M. Ishida, T. Nishio, "Ultrafine-Pitch C2 Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps," Proceedings of Electronic, Components & Technology Conference, 2009, pp.948-953.

59) Y. Jung, "Development of Large Die Fine Pitch Flip Chip BGA using TCNCP Technology," in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), San Diego, CA, May 29 – June 1, 2012, pp. 439–443.

60) Zhang, Zhuqing, "Assembly of Lead-free Bumped Flip-Chip with No-Flow underfills", IEEE

Transactions on Electronic Packaging Manufacturing, Vol. 25, No. 2, April 2002, pp. 113-119.

61) Lee, Sangil, "Void Formation Study of Flip Chip in Package Using No-Flow Underfill", IEEE Transactions on Electronic Packaging Manufacturing, Vol. 31, No. 4, October 2008, p.297.

62) S. Kawamoto, "The Optimization of the Composition of Non-Conductive Film and the Lamination to Wafer," in Proc. 63th Electronic Components and Technology Conference, Las Vegas, NV, May 2013, pp. 778-784.

63) R. D. Zenner, B. S. Carpenter, "Wafer-Applied Underfill Film Laminating," 8th International Symposium on Advanced Packaging Materials, 2002, pp.317-325.

64) F. Claudius, "The Over-Bump applied Resin Wafer-Level Underfill Process: Process, Material and Reliability", Proceedings of IEEE 59th Electrical Components and Technology Conference, Las Vegas, NV, June 2009, pp. 1502-1505.

65) L. Liu, "Process optimization of lead-free waferlevel underfill material used in chip scale packaging", IEEE international symposium on Advanced Packaging Meterials, March 2005, pp. 293-297.

[66] N. Maeda, Proc. AMC 2008, Eds. M. Naik, R. Shaviv, T. Yoda, K. Ueno, Mat. Res. Soc., 2009, pp. 501.

67) Y. S. Kim, "Ultra thinning 300-mm wafer down to 7-μm for 3D wafer integration on 45-nm node CMOS using strained silicon and Cu/Low-k interconnects," IEEE IEDM Tech. Dig., 2009, pp. 365.

68) T. Ohba, "3D large scale integration technology using Wafer-on-Wafer (WOW) stacking," Microelectronic Eng., Elsevier, 87, 2010, pp.485-490.

69) Y. C. Hsin, "Effects of Etch Rate on Scallop of Through-Silicon Vias (TSVs) in 200mm and 300mm Wafers", Proceeding of Electronic Components & Technology Conference, 2011, pp. 1130-1135.

70) S. C. Liao, E. H. Chen, C. C. Chen, S. C. Chen, J. C. Chen, P. C. Chang, Y. H. Chang, C. H. Lin, T. K. Ku, M. J. Kao, Y. S Kim, N. Maeda, S. Kodama, H. Kitada, K. Fujimoto, T. Ohba, "An Innovative Bumpless Stacking with Through Silicon Via for 3D Wafer-On-Wafer (WOW) Integration", Proceeding of Electronic Components & Technology Conference, 2014, pp. 1853-1856.

71) M. Koyanagi, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, "Three-Dimensional Integration Technology Based on Wafer Bonding With Vertical Buried Interconnections," IEEE Trans. Electron Devices 53, 2006, pp.2799.

72) Kunio, K. Oyama, Y. Hayashi, and M. Morimoto," Three dimensional ICs, having four stacked active device layers," IEDM Tech. Dig., 1989, pp. 837.

73) M. Koyanagi, H. Kurino, K.-W. Lee, K. Sakuma, N. Miyakawa, and H. Itani," Future system-on-silicon LSI chips," IEEE Micro 18 [4], 1998, pp.17.

74) S. J. Souri, K. Banerjee, A. Mehrotra, and K. C. Saraswat: Proc. 37th ACM Design Automation Conf., 2000, pp. 873.

75) K. Banerjee, S. J. Souri, P. Kapur, and K. C. Saraswat, "3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration," Proc. IEEE 89, 2001,

pp.602.

76) P. Ramm, D. Bonfert, H. Gieser, J. Haufe, F. Iberl, A. Klumpp, A. Kux, and R.Wieland, "InterChip via technology for vertical system integration," Proc. IEEE Interconnect Technology Conf. (IITC), 2001, pp. 160.

77) K.-W. Lee, A. Noriki, K. Kiyoyama, T. Fukushima, T. Tanaka, and M. Koyanagi," Three-Dimensional Hybrid Integration Technology of CMOS, MEMS, and Photonics Circuits for Optoelectronic Heterogeneous Integrated Systems," IEEE Trans. Electrons Devices 58, 2011, pp.748.

78) Antonio La Manna, K. J. Rebibis, C. Gerets, E. Beyne, "Use of Wafer Applied Underfill for 3D Stacking," IMAPS 2011, Long Beach US.

79) A. Jourdain., "Integration of TSVs, wafer thinning and backside passivation on full 300mm CMOS wafers for 3D applications," Proc. IEEE 61st Electronic Components and Technology Conference (ECTC), 2011

80) R. Agarwal, W. Zhang, P. Limaye, and W. Ruythooren, "High density Cu-Sn TLP bonding for 3D integration," Proc. Electronic Components and Technology Conf., 2009, pp 345.

81) Ivankovic, A.; Cherman, V.; Vandevelde, B.; Van der Plas, G.; Rebibis, K.; La Manna, A.; Beyne, E, De Wolf, I. and Vandepitte, D. "Thermo-mechanical impact of the underfill-microbump interaction in 3D stacked integrated circuits," Electronics Packaging Technology Conference – EPTC 2011

82) H. Ishida, "Wafer-to-Wafer Bonding for 3D Stacking and Interconnection," 12th IC Packaging Technology Expo / Technical Conference, No.5, 2011.

83) 甲田善生: 有機概念図-基礎と応用-, 三共出版(1984)

84) 靏義之, 岡村寿郎, 菅野雅雄, "イオンマイグレーションのメカニズムの検討", 回路実装学 会誌, 10[2], 1995, pp.101-107.

85) 川島哲哉, 杉本俊彦, 小川俊夫, "フレキシブルプリント配線基板中の銅イオンマイグレー ション", マテリアルライフ(Materials Life), 11 [2], 1999, pp.71-77.

86) A. Dermarderosian, "The electrochemical migration of metals", Proc. int. Society of Hybrid Microelectronics Symposium, 1978, pp.134-141.

87) G. Ripka, G. Harsanyi, "Electrochemical Migration in ThickFilm ICs," Electrocomp. Sci. Tecn., 11, pp. 281-290, 1985

88) 津久井勤, 横須賀洋児, "プリント配線板のイオンマイグレーション発生パターンについての考察", プリント回路学会誌, 9[3], 1994, pp. 190-198.

89) 大鳥利行, "プリント回路板の絶縁劣化要因としてのイオンマイグレーション—その発生メ カニズムと抑制策—",回路実装学会誌,10[2],1995, pp. 80-86.

90) Harsanyi, G, "Dendritic Growth from Dielectric Constituents: a Newly Discovered Failure Mechanism in Thick Film ICs?," Int. J. Microcircuits & Electronic Packaging, 16 [3], 1993, pp. 207-216. 91) 岡本健次,前田賢彦,芳賀弘二,"金属ベースプリント配線板における銅イオンマイグレー ションと誘電特性の関係,"回路実装学会誌, 10[2], 1995, pp. 108-112. 92) 山本繁晴, 花森優, 山口元男, 清田伸一, 柳沢武, "イオンマイグレーションの評価: 調査報告", 電気学会誘電・絶縁材料研究会資料, DEI-96-85, 1996, pp. 71-80.

93) 小川俊夫, 倉谷篤, 大澤敏, 井上浩, "ポリイミド製プリント基板の高温高湿度下における耐 久性":マテリアルライフ, 10 [2], 1998, pp. 85-92.

94) 小副川みさ子,高野悟,日比野豊, "FPCの耐マイグレーション性における接着剤の影響," 電気学会誘電・絶縁材料研究会資料,DEI-96-9,1996, pp. 27-33.

95) 野々垣光祐, 北村洋一,高浜隆, "多層プリント配線板における銅イオンマイグレーション," 電気学会絶縁材料研究会資料, EIM-90-83, 1990, pp. 53-62.

96) 木村雄二, "腐食概論,"溶接学会誌, 第79卷, 第3号, pp.39-48, 2010

97) 津久井勤,"電子機器のイオンマイグレーションによる絶縁劣化とその対策(その2)," エレクトロニクス実装学会誌, vol. 8, No.6, 2005, pp.523-530.

98) M. R. Kamal, S. Sourour, "Kinetics and thermal characterization of thermoset cure", Polym. Eng. Sci., Vol. 13, 1973, pp.56-64.

99) S. Sourour, M. R. Kamal, "Differential scanning calorimetry of epoxy cure: isothermal cure kinetics", Thermochim. Acta., Vol. 14, 1976, pp.41-59.

100) C. L. Su, K. Y. Yeh, C. C. Lin, "Development of non-conductive, non- flow wafer level underfill",Proc. Electronics Components and Technology Conference, 2012, pp.1800-1804.

101) S. Kawamoto, A. Saito, Y. Fukuhara, H. Sone, M. Hoshiyama, "The optimization of the composition of non-conductive film and the lamination to wafer", Proc. Electronics Components and Technology Conference, 2013, pp.778-784.

102) A. Taluy, A. Jouve, S. Joblot, R.Franiatte, J. Bertheau, A. Farcy, S. Cheramy, N. Sillon, P. Ancey, A. Sylvestre, "Wafer Level Underfill Entrapment in Solder Joint during Thermocompression: Simulation and Experimental Validation," Proc. IEEE 63rd Electronic Components and Technology Conference (ECTC), 2013.

# I. 本研究に関する発表論文

1) Kazuyuki Mitsukura, Ryouta Saisyo, Tatsuya Makino, Keiichi Hatakeyama, Tomonori Minegishi, Teng Wang, Robert Daily, Fabrice Duval, Kenneth June Rebibis, Andy Miller, Eric Beyne, "Development and evaluation of photodefinable wafer level underfill", J. Photopolym. Sci. Technol., Vol. 28, No.2, 2015, pp.229-232.

 Kazuyuki Mitsukura, Tatsuya Makino, Keiichi Hatakeyama, Kenneth June Rebibis, Teng Wang, Giovanni Capuz, Fabrice Duval, Mikael Detalle, Andy Miller, Eric Beyne, "Packaging Material Evaluation for 2.5D/3D TSV Application," Transactions of The Japan Institute of Electronics Packaging, Vol. 5, No. 1, 2016, pp. 107-114.

3) Kazuyuki Mitsukura, Tomonori Minegishi, Keiichi Hatakeyama, Kenneth June Rebibis, Teng Wang, Fabrice Duval, Andy Miller, Eric Beyne, Kozo Fujimoto, "Assembly Technology for Fine Pitch Bumps Using Photodefinable Wafer-Level Underfill," スマートプロセス学会誌 Vol. 6, pp. 144-150, 2017. 4) Kazuyuki Mitsukura, Masaya Toba, Kousuke Urashima, Kenichi Iwashita, Tomonori Minegishi, Kazuhiko Kurafuchi, "Proposal of Ultra-fine and High Reliable Trench Wiring Process for Organic Interposer," Journal of Microelectronics and Electronic Packaging, Vol. 14, pp.26-31, 2017. 5) Kazuyuki Mitsukura, Tomonori Minegishi, Kozo Fujimoto, "Negative-tone photodefinable underfill having high resolution and appropriate thermal fluidity," J. Photopolym. Sci. Technol., Vol. 30, 2017, pp.157-161.

# Ⅱ.本研究に関する学会発表

# 国際会議・シンポジューム

 Hiroshi Matsutani, Kazuyuki Mitsukura, Tatsuya Makino, Fabrice Duval, Mikael Detalle, Andy Miller, Eric Beyne, "Photosensitive Insulation Coating for Copper Redistribution layer process," Proceedings of the IEEE CPMT Symposium Japan, 2014.

2) Kazuyuki Mitsukura, Tatsuya Makino, Keiichi Hatakeyama, Kenneth June Rebibis, Teng Wang, Giovanni Capuz, Fabrice Duval, Mikael Detalle, Andy Miller, Eric Beyne, "Material Technology for 2.5D/3D Package," Proceedings of the IEEE CPMT Symposium Japan 2015.

3) Kazuyuki Mitsukura, Masaya Toba, Kousuke Urashima, Kenichi Iwashita, Tomonori Minegishi, Kazuhiko Kurafuchi, "Proposal of Ultra-fine and High Reliable Trench Wiring Process for Organic Interposer," Proceedings of The International Microelectronics and Packaging Society, 2016.

4) Teng Wang, Pieter Bex, Giovanni Capuz, Fabrice Duval, Fumihiro Inoue, Carine Gerets, Julien Bertheau, Kenneth June Rebibis, Andy Miller, Gerald Beyer, Eric Beyne, Masanori Natsukawa, Kazuyuki Mitsukura, Keiichi Hatakeyama, "3D IC assembly using thermal compression bonding and wafer-level underfill – strategies for quality improvement and throughput enhancement," Proceedings of Electronics Packaging Technology Conference, 2016.

5) Kazuyuki Mitsukura, Shinichiro Abe, Masaya Toba, Tomonori Minegishi, Kazuhiko Kurafuchi, "Highly Reliable Cu Wiring Layer of 1/1 μm Line/Space Using Newly Designed Insulation Barrier Film, "Proceedings of The International Microelectronics and Packaging Society, 2017.

国内会議・シンポジューム

 満倉一行,牧野竜也,畠山恵一,Kenneth June Rebibis, Teng Wang, Giovanni Capuz, Fabrice Duval, Mikael Detalle, Andy Miller, Eric Beyne, "2.5D/3D TSV用実装材料技術 —招待講演-,"電子情報通 信学会シリコン材料・デバイス研究会 シリコンテクノロジー, 2016.

 満倉一行,牧野竜也,畠山恵一, Kenneth June Rebibis, Teng Wang, Giovanni Capuz, Fabrice Duval, Andy Miller, Eric Beyne,藤本公三,"3次元実装における多段一括積層アンダーフィル材料・工 程の開発,"スマートプロセス学会秋季総合学術講演会,2016.

 満倉一行,峯岸知典,畠山恵一, Kenneth June Rebibis, Teng Wang, Fabrice Duval, Andy Miller, Eric Beyne,藤本公三, "感光性アンダーフィルを適用したファインピッチバンプの接続技術," 第23回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム, 2017.

4) 満倉一行, 峯岸知典, 畠山恵一, Kenneth June Rebibis, Teng Wang, Fabrice Duval, Andy Miller, Eric Beyne, 藤本公三,"微細バンプ接合用アンダーフィル,"第117回マイクロ接合研究委員会, 2017.

5) 満倉一行,鳥羽正也,峯岸知典,藤本公三,"有機材料を用いた微細配線の絶縁性解析,"ス マートプロセス学会秋季総合学術講演会,2017.

6) 満倉一行,鳥羽正也,峯岸知典,藤本公三,"絶縁信頼性に優れた微細配線層の開発,"第24 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム,2018.

## Ⅲ. 本研究に関する受賞歴

- "Best of Track" and "Best of Session" in "International Microelectronics and Packaging Society 2016"
- 2) "優秀論文賞"第23回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム2017