The University of Osaka
Institutional Knowledge Archive

Title	Low Energy VLSI Architecture for Interfacing Brain: Measurement and Stimulation
Author(s)	杉浦, 友紀
Citation	大阪大学, 2018, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/69714
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

様式3

論　文　内　容　の　要　旨

氏　名　（　杉浦　友紀　　）	
論文題名	Low Energy VLSI Architecture for Interfacing Brain: Measurement and Stimulation (脳インタフェースのための低消費電力量VLSIアーキテクチャ: 計測と刺激)

論文内容の要旨

Owe to miniaturization of integrated circuits, implantable medical devices can be more intelligent than ever. Their users' demands for hardware architecture are significantly severe because their malfunctions damage the users' vital directly and negative effects caused by their daily use degrade the users' quality of life. Like cochlear implants, visual prostheses, and deep brain stimulations, new medical treatments to cure or adverse diseases by stimulating target nerves have emerged, which the conventional methods such as surgery and pharmacological approach cannot cope with. Energy efficiency is one of the most concerning topics not only for hardware development by medical engineers but also for the clinical use of neural stimulation devices by medical experts. Low energy hardware architecture of the neural stimulation devices can increase their longevity, which mitigates the user's physical and mental burden caused by the replacement of its secondary battery. Also, regarding the neural acquisition, the number of electrodes increases more and more to improve the precision of diagnosis and prediction of neural diseases for neural stimulation. Therefore, the brain interface for medical use is required to cope with both the energy efficiency and performance.

This thesis presents a VLSI architecture for low energy brain interface for neural signal measurement and stimulation. First, high throughput and low hard-ware cost biomedical signal processor for phase synchrony analysis is described. Next, a low computational data compression method for neural stimuli data and its hardware implementation are proposed. Then, a system-on-a-chip (SoC) for neural stimulation control with high temporal resolution and high flexible stimuli configuration is developed.

様式 7

論文審査の結果の要旨及び担当者

氏　名　（　杉浦　友紀　）			
論文審査担当者	（職）	氏　名	
	主 査	教授	橋本　昌宜
	副 査	教授	尾上　孝雄
	副 査	教授	八木　哲也　（大学院工学研究科）
	副 査	大阪大学名誉教授	今井　正治
	副 査	准教授	武内　良典

論文審査の結果の要旨

本論文は、体内埋め込み医療機器の一種である脳インタフェースに用いられるVLSIの低消費電力量化手法について提案を行っている。脳インタフェースは、脳信号の計測および脳への刺激を行う2種類のインタフェースより構成される。

脳信号の計測インタフェースに関しては、生体信号の位相同期の指標であるMean Phase Coherence(MPC)のハードウェア実装の効率の更なる向上について研究を進めた。MPCはてんかんの発作などの予兆計測のために用いられる重要な指標である一方で、既存の実装ではMPCの計算に使用される三角関数の計算がスループットのボトルネックであった。そこで、数学的に等価な式変形を用いて三角関数を使用しない、計算精度および処理時間の向上をもたらす新たな計算方法を考案しハードウェア実装を提案した。評価実験の結果より、既存の実装と比較して提案された実装はゲート数あたりのスループットを5.3 倍に向上することを示した。提案された実装によってさらなる多点数の電極を用いたリアルタイムな脳波解析の実現が期待できる。

脳への刺激インタフェースに関しては、脳皮質刺激型人工視覚システムの低消費電力量化を達成するための刺激位置情報の圧縮手法の開発について取り組んだ。体内外装置間の無線通信における消費電力量の削減は人工視覚システムの実現のための課題のひとつとして挙げられている。そこで、高い更新頻度を要求される体内に埋植された電極の制御情報である刺激位置情報の通信量を削減することで低消費電力量化の実現を図った。刺激位置情報のもつ時間方向および空間方向の特徴を利用するために、時間方向の差分情報に対し変更点及び非変更点に対してそれぞれ異なる符号化手法を適応することで効率的に圧縮できる新たな圧縮手法を考案した。また、提案する圧縮手法を効率良く処理できるよう既存のRISCプロセッサを拡張した新たな実装を提案した。評価実験の結果より、提案する圧縮手法は刺激位置情報を77%削減できることを示し、Bluetooth Low Energyを通信方式として用いた場合提案する実装は圧縮処理を加えない場合と比較して受信時の消費電力量を75%削減できることを示した。提案された実装によって人工視覚システムの駆動時間のさらなる延長および小型化が期待できる。さらに、神経刺激に対する高い時間精度および柔軟性を実現するための神経刺激制御システムの開発について取り組んだ。神経刺激制御において、マイクロ秒単位の高い時間精度、刺激方法の設定に対する高い柔軟性、および低消費電力量な設計が望まれている。既存研究では刺激方法の設定に対する高い柔軟性をもつ刺激生成回路が提案されており、将来的な閉回路制御の実現を視野に入れ、上記で提案したプロセッサと刺激生成回路の制御回路を含むSystem-on-a-chip (SoC)を提案した。提案するSoCは、刺激生成回路の制御回路とプロセッサの処理を並列に行うことで刺激精度の高さを実現し、プロセッサによる制御によって柔軟性を実現し、前述した圧縮処理によって低消費電力量化が期待できる。FPGAを用いた動作検証では、提案するSoCアーキテクチャがマイクロ秒単位の刺激制御およびプログラム書き換えによる刺激手法の設定の変更の実現を確認した。提案するSoCは制御可能な刺激点数および刺激振幅の解像度において、先端研究に匹敵する性能を持ち、刺激の周波数および時間間隔の解像度においてはそれらを上回ることを示した。本研究成果は刺激精度向上により神経生理学のさらなる発展の後押しが期待できるものである。

よって、本論文を博士（情報科学）の学位論文として価値のあるものとして認める。