

|              |   |
|--------------|---|
| Title        | 化合物半導体と高誘電率絶縁膜との界面物性および電気特性とその制御に関する研究  |
| Author(s)    | 吉田, 慎一  |
| Citation     | 大阪大学, 2019, 博士論文  |
| Version Type |   |
| URL          | <a href="https://hdl.handle.net/11094/72350">https://hdl.handle.net/11094/72350</a>   |
| rights       |   |
| Note         | やむを得ない事由があると学位審査研究科が承認したため、全文に代えてその内容の要約を公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈/a〉</a> をご参照ください。 |

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

## 論文内容の要旨

氏名 ( 吉田 慎一 )

論文題名

化合物半導体と高誘電率絶縁膜との界面物性および電気特性とその制御に関する研究

## 論文内容の要旨

現在の高度情報化社会は、半導体デバイスの進歩とともに、発展してきた。60年以上に渡って、半導体デバイスの微細化・高集積化が進められてきた結果、半導体大規模集積回路 (Very Large Scale Integration ; VLSI) を基本要素とするコンピュータの性能は指数関数的に向上し、近年では携帯電話に代表されるような持ち運びできる機器によって、いつでも・どこでも・誰とでもネットワークを通じて、情報交換が可能な高度な情報化社会を実現してきた。代表的な半導体デバイスであるMetal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) から構成されるVLSIは、スケールリング則に従ってナノメートルの領域までMOSFETを微細化することで高集積化されてきた。2000年以降、スケールリング則の物理的限界から、単純なスケールリング則に依らない、歪みSi技術や高誘電率ゲート絶縁膜 (high- $k$ ) 技術などの新規材料を適用したMOSFETの高性能化技術が導入されてきた。

新規材料が導入される一方、依然としてMOSFETのチャネル材料にはSiが用いられており、MOSFETのさらなる高性能化および低消費電力の要望からチャネル材料の高移動度化が求められている。近年、NMOSFET向けの高移動度チャネル材料として、InGaAsに代表されるIII-V族半導体が盛んに研究されている。しかしながら、III-V族半導体はバルク特性として高い電子移動度を示すが、Si MOSFETで用いられてきたSiO<sub>2</sub> / Si 界面とは異なり、III-V族半導体とゲート絶縁膜との良好な界面特性を得ることが難しく、界面欠陥の存在によって大幅に移動度が劣化することが報告されている。また、界面欠陥に起因したIII-V MOSFETの特性劣化に加えて、ゲート信頼性もIII-V MOSFETの大きな課題となっている。III-V MOSFETでは、低いゲート電圧ストレス下においても、容易にキャリアのトラップが生じることで、MOSFETの閾値電圧が変動することが報告されている。

本論文では、高移動度III-V族半導体をチャネル材料としたIII-V MOSFETを実現させる上で、重要な課題であるIII-V族半導体とゲート絶縁膜との界面欠陥の抑制、およびIII-V MOSのゲート信頼性の悪化要因を理解することを目的として、研究を行った。

第1章では、Si MOSFETの技術進化の歴史を述べた後、高移動度III-V族半導体を適用することによるMOSFETの性能向上、および高性能III-V MOSFETを実現する上での重要課題を述べた。第2章では、過去に報告されたIII-V族半導体とゲート絶縁膜の界面特性制御技術を踏まえて、本研究では、様々なメタル電極材料を有するIII-V MOSの界面特性および界面構造を系統的に評価することで、InGaAs表面でメタル電極材料を起点とした酸化還元反応が進行することを明らかにした。Pd電極からの酸素供給でInGaAs最表面を酸化するプロセスでは、様々な酸化状態が混在するような過度のInGaAs酸化とは異なり、InGaAs最表面のみにIn-As-O結合およびGa-As-O結合を有する高品質な極薄InGaAs酸化膜を形成できることを確認した。さらに、TiN電極を用いてInGaAs自然酸化膜を還元除去するプロセスでは、比較的熱安定性が低いIII-V MOSに対してもhigh- $k$ 中へのIII-V原子拡散を伴うことなく、界面欠陥を含むInGaAs自然酸化膜を選択的に還元除去することによって、high- $k$  / InGaAs構造の界面準位を低減できることを実証した。第3章では、メタル電極による界面制御技術をInGaAs MOSFETに適用し、高移動度かつ急峻なSubthreshold特性を有するInGaAs MOSFETを実現した。第4章では、III-V MOSのゲート信頼性を評価する上で重要な指標となる、ゲート絶縁膜中へのtrap / de-trapを引き起こすborder trapに着目し、Positive Bias Temperature Instability (PBTI) を劣化させるborder trapの発生メカニズムの解明を検討した。SiもしくはGeの界面層および異なるゲート絶縁膜を有する様々なゲートスタック構造を形成し、それら構造のborder trapを評価することで、border trap起因のtrap / de-trapが絶縁膜と半導体との間のエネルギー障壁高さに対して、強い相関があることを明らかにした。最後に、第5章では、高性能III-V MOSFET実現に向けて、低界面欠陥および良好なゲート信頼性を有するIII-V族半導体とゲート絶縁膜との界面制御手法の指針を示した。

## 論文審査の結果の要旨及び担当者

| 氏 名 ( 吉 田 慎 一 )   |     |     |       |
|---|-----|-----|-------|
|   | (職) | 氏 名 |       |
| 論文審査担当者   | 主 査 | 教授  | 渡部 平司 |
|   | 副 査 | 教授  | 高井 義造 |
|   | 副 査 | 教授  | 兼松 泰男 |
|   | 副 査 | 教授  | 大政 健史 |
|   | 副 査 | 教授  | 菊地 和也 |
|   | 副 査 | 教授  | 伊東 忍  |
|   | 副 査 | 教授  | 中山 健一 |
| 論文審査の結果の要旨  |     |     |       |
| <p>本博士論文は、高性能 III-V MOSFET の実現に向けて、III-V 族半導体と高誘電率絶縁膜との界面物性および界面制御技術について研究したものである。MOSFET のさらなる高性能化および低消費電力の要望からチャネル材料の高移動度化が求められており、高移動度チャネル材料として、III-V 族半導体が研究されている。しかしながら、III-V 族半導体とゲート絶縁膜との良好な界面特性を得ることが難しく、界面欠陥の存在によって大幅に移動度が劣化する課題がある。本論文は、III-V 族半導体とゲート絶縁膜との界面欠陥を抑制することで、高性能 III-V MOSFET を実証した研究である。本論文は、序論（第 1 章）と結論（第 5 章）を含め、5 章から構成されており、以下に本論文の内容を要約する。</p> <p>第 1 章では、Si MOSFET の技術進化の歴史を述べた後、高移動度 III-V 族半導体を適用することによる MOSFET の性能向上、および高性能 III-V MOSFET を実現する上での重要課題を述べている。第 2 章では、過去に報告された III-V 族半導体とゲート絶縁膜の界面特性制御技術を踏まえて、様々なメタル電極材料を有する III-V MOS の界面特性および界面構造を系統的に評価することで、InGaAs 表面でメタル電極材料を起点とした酸化還元反応が進行することを実証している。第 3 章では、メタル電極による界面制御技術を InGaAs MOSFET に適用し、高移動度かつ急峻な Subthreshold 特性を有する InGaAs MOSFET の作製に成功している。第 4 章では、III-V MOS のゲート信頼性を評価する上で重要な指標となる、ゲート絶縁膜中への trap / de-trap を引き起こす border trap に着目し、ゲート信頼性を劣化させる border trap の発生メカニズムの解明を行っている。border trap 起因の trap / de-trap が絶縁膜と半導体との間のエネルギー障壁高さに対して、強い相関があることを明らかにしている。最後に、第 5 章では、高性能 III-V MOSFET 実現に向けて、低界面欠陥および良好なゲート信頼性を有する III-V 族半導体とゲート絶縁膜との界面制御手法の指針を示している。</p> <p>以上のように、本論文は良好な界面特性を得ることが難しい III-V 族半導体と高誘電率絶縁膜との界面に対して、独自のメタル電極による界面制御技術を適用することで、高性能 III-V MOSFET の作製に成功した先駆的な研究であり、これらの結果は、今後の情報化社会の根幹技術となる高性能 MOSFET の実現に大きく寄与するものであると考えられる。よって本論文は博士論文として価値あるものと認める。</p> |     |     |       |