

Title	高電圧・大電流・高速スイッチングSiCパワーモ ジュールの開発とその評価法に関する研究			
Author(s)	林, 慧			
Citation	大阪大学, 2019, 博士論文			
Version Type	VoR			
URL	https://doi.org/10.18910/72398			
rights				
Note				

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

題 目

高電圧・大電流・高速スイッチングSiCパワーモジュールの 開発とその評価法に関する研究

指導教員 舟木 剛 教授

報告者林 慧

平成31年1月

大阪大学大学院 工学研究科 電気電子情報工学専攻

目 次

1		緒論	3
	1.1	パワーエレクトロニクスと WBG デバイス	3
	1.2	WBG デバイスの現状と社会実装における課題	5
		1.2.1 WBG デバイスの現在の応用事例	5
		1.2.2 SiC デバイスの現状と社会実装における課題	5
	1.3	研究の目的	6
	1.4	本論文の構成	7
2		SiC パワーモジュールの開発	9
	2.1	パワーデバイスの動作原理	9
		2.1.1 PiN ダイオード	9
		2.1.2 SBD(ショットキバリアダイオード)	10
		2.1.3 MOSFET	10
		2.1.4 IGBT	12
	2.2	パワーデバイスの損失	13
		2.2.1 バイポーラデバイスの損失	14
		2.2.2 ユニポーラデバイスの損失	15
	2.3	パワーデバイスのモジュール化	17
		2.3.1 パワーモジュール内部構造	17
		2.3.2 SiC デバイス実装における課題	18
	2.4	SiC パワーモジュールの開発	20
		2.4.1 開発パワーモジュールの諸元	20
		2.4.2 開発パワーモジュールの特性	23
	2.5	第2章まとめ	29
3		SiC デバイスを適用した電力変換回路の測定法の開発	30
	3.1	高速スイッチング時の測定上の課題.........................	30
	3.2	過渡電圧測定法	30
		3.2.1 上側アーム過渡電圧測定におけるコモンモード電圧の影響	32
		3.2.2 差動プローブの CMRR 特性評価	36
		3.2.3 コモンモード電圧補償法の提案と検証	38
	3.3	過渡電流測定法	44

	3.3.1 電流測定法の原理	44
	3.3.2 電流測定法の比較	45
3.4	損失・電力測定	46
	3.4.1 実験方法(損失評価試験)	46
	3.4.2 試験対象(損失評価試験)	47
	3.4.3 実験結果(損失評価試験)	47
3.5	伝導ノイズ測定法....................................	51
	3.5.1 モード分離手法	52
	3.5.2 VSA	53
	3.5.3 モード分離性能の評価	54
3.6	まとめ (3章)	59
4	開発 SiC パワーモジュールを適用した	
	電力変換回路の評価	66
4.1	大電力双方向 DCDC コンバータ応用	66
	4.1.1 デュアルアクティブブリッジ (DAB) 回路動作	66
	4.1.2 DAB 回路の損失評価法	70
	4.1.3 デュアルアクティブブリッジ (DAB) 回路設計	71
	4.1.4 デュアルアクティブブリッジ (DAB) 試験結果	71
4.2	開発パワーモジュールの高電圧・大電流・高周波回路応用	72
	4.2.1 試験条件(高電圧・大電流・高周波連続動作試験)	72
	4.2.2 実験結果(高電圧・大電流・高周波連続動作試験)	72
4.3	まとめ(4章)	73
5	結論	82
5.1	結論	82
5.2	今後の課題	83
謝辞		84
参考文	献	85
研究業績	遺	91

要旨

SiC デバイスを用いた高電圧・大電流・高周波電力変換回路の実現によるシステムの小型・高効率化 が進められている。さらなるシステム高性能化・社会実装促進のためには、SiC デバイス回路応用時の 正確な測定に基づく評価手法・システム設計手法の確立が不可欠である。

本研究では、高電圧・大電流・高速スイッチング動作を達成する SiC パワーモジュールを設計・開発 し、さらに電力変換回路応用時の過渡特性評価法・損失評価法・ノイズ電圧評価法について検討した。 また開発した SiC パワーモジュールを適用した大電力変換回路および高周波電力変換回路を製作・評価 した結果について報告する。

本論文は「高電圧・大電流・高速スイッチング SiC パワーモジュールの開発とその評価法」に関する 研究成果をまとめたものであり、以下の5章で構成される。

第1章では、本研究の背景、従来のSiデバイスと比較したSiCデバイスの特長と回路応用時の問題 点、さらに社会実装の現状・制限要因をまとめ、本研究の目的を述べた後、本論文の構成概略を示した。

第2章では、パワーデバイスの構造・動作原理、パワーモジュールの構造についてまとめ、SiC デバ イスの利点と実装上の課題について検討した。

SiC デバイスの高電圧・大電流・高速スイッチング動作による電力変換回路の高性能化(高効率・小型・軽量化)が期待されている。しかし、高速スイッチング時の高い電圧・電流変化率(*di/dt・dv/dt*)と回路内寄生成分との相互作用により起こる「ゲート発振による誤動作」および「サージ電圧による素子破壊」が問題となる。本研究では、ゲート発振を抑制するために内蔵ゲート抵抗、サージ電圧を低減するために内蔵スナバコンデンサをパワーモジュール内部に実装した SiC パワーモジュールを開発し、受動部品の内蔵の有用性を明らかにした。開発した SiC パワーモジュールは誤動作・破壊することなく、高電圧・大電流・高速スイッチング動作を達成した。

第3章では、SiCデバイスの高電圧・大電流・高速スイッチング動作時の電圧・電流・電力(損失)・ ノイズの測定・評価法に関して検討した。

スイッチングの高速化に伴い、電圧・電流の過渡応答、電力(損失)の測定・評価は測定機器の性能 不足や回路内寄生成分の影響が顕著になるため難しくなる。また、電力変換回路から発生するノイズの 高周波化・広帯域化が懸念される。高周波電力変換回路のパワーデバイス電圧・電流の過渡応答測定、 電力(損失)測定、伝導エミッション測定における各課題を示し、SiC デバイスに対応した評価法につ いて提案・検証する。具体的には、「フローティング過渡電圧測定におけるコモンモード電圧補償法」、 「高速スイッチングに適した過渡電流測定手法の比較・検証」、「損失解析の簡易手法」、「ベクトルシグ ナルアナライザを用いたノイズ電圧モード分離手法」である。

第4章では、開発 SiC パワーモジュールを用いた電力変換回路を製作し、その性能に関して検討した。 開発モジュールを適用した双方向絶縁型 DCDC コンバータ(デュアルアクティブブリッジ)回路を開

発し、600V・100Ap-p・50kHz・25kW において最高変換効率 98.6%を達成した。開発パワーモジュー ルをフルブリッジ回路に組み込み、600V・100Ap-p・1MHz の高電圧・大電流・高周波連続動作を達成 した。

第5章では、本論文で得られた成果についてまとめ、今後の展望を示している。

1 緒論

1.1 パワーエレクトロニクスとWBG デバイス

人口増加・発展途上国の経済成長に起因して、世界の消費電力は年々増加の一途を辿っている [1]。電 力化率(最終エネルギー消費に占める電力消費の割合)は 1970 年には 12.7% であったが、2016 年に は 25.7% に達しており、より一層の電気エネルギーの有効活用が求められる。パワーエレクトロニクス (以下、パワエレ)は「パワー半導体デバイス(以下、パワーデバイス)のスイッチング動作により、電 力の変換やその制御を取り扱う研究・技術分野」である [2]。1973 年に発表された論文 [3] でパワエレが 定義されて以降、パワーデバイス・受動部品・制御技術等の各要素技術の進化に伴って、その応用範囲 を広げてきた。現在、パワエレ技術はエアコン・IH ヒータ等の家電、風力発電・太陽光発電等のエネル ギーインフラ、鉄道・自動車(HEV、EV)等のモビリティ等、様々な分野での応用が進んでおり、創エ ネ・省エネに必要不可欠な技術となっている [4]。パワエレシステムの高効率化・小型化・軽量化、出力 密度(容積あたりの出力電力)の向上によりさらなる応用分野の拡大が期待されている。

現在、普及しているパワーデバイスの殆どは Si(Silicon: ケイ素) が材料のデバイスである。図 1.1 の ように、Si 半導体デバイス(以下、Si デバイス) は応用の電圧毎に住み分けられている。電源電圧が数 kV 程度の高電圧電力変換回路において、伝導度変調によりオン抵抗を小さくすることが出来る Si-PiN ダイオードや Si-IGBT(Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ)等の バイポーラデバイスが適用される。しかし、これらのデバイスはターンオフ時にデバイス内部に蓄積さ れた少数キャリアの吐き出す電流によってスイッチング損失が大きくなり、スイッチング周波数が制限 される。Si-SBD (Schottky Barrier Diode: ショットキバリアダイオード) や Si-MOSFET(Metal Oxide Semiconductor Feield Effect Transistor: MOS 型電界効果トランジスタ)等ユニポーラデバイスは少数 キャリアの蓄積がないため高速スイッチング動作が可能であるが、高耐圧化に伴いオン抵抗が増大する ことから、その応用は低電圧回路に限られる。各 Si デバイスは十分に製造技術が改善され、今ではデバ イスの性能がほぼ理論限界に達した。

次世代のパワーデバイスとして注目されているのが SiC (Silicon Carbide: 炭化ケイ素)や GaN (Gallium Nitride: 窒化ガリウム)を材料とした WBG 半導体デバイス (Wide Band Gap: ワイドバンド ギャップ、以下 WBG デバイス)である [5]-[6]。図 1.2 に WBG デバイスの特長とパワエレシステム応 用時の利点の関係性を示す。WBG 半導体は従来の Si 半導体に比べて高い絶縁破壊電界強度を有する。 そのためデバイスの耐圧維持層 (ドリフト層)幅が 1/10 ですみ、さらにこの領域のドーピング密度を 100 倍に出来るため、大幅なオン抵抗の低減が可能になる [7]。つまり従来の Si デバイスでは不可能で あった高耐圧でかつ低損失なユニポーラデバイスが実現する出来る。またデバイスの高温耐性も期待で きる。温度上昇に伴って真性キャリア密度が増加しドーパント密度と同程度になると半導体としての機



図 1.1: Si/SiC デバイスの住み分け



図 1.2: WBG デバイスの特長と電力変換システム応用時に期待される効果

能を失う [8]。従って、Si デバイスの動作温度は 150°C 程度である。一方で、WBG 半導体は広いバンド 幅により 500°C 程度までなら半導体として機能するため、WGB デバイスは高温動作が可能である [9]。 以上より、WBG デバイスの特長は"高耐圧"でかつ"低損失"な"高速スイッチング動作"と"高

温動作"が可能なデバイスであると言える。

デバイスから生じる損失が低くなるため、システムの効率が向上する(高効率化)。損失が低減し、デ バイスの動作温度が高いことから冷却機構の簡易化ができる(小型化)。高周波化により、パワエレ回 路内で電圧・電流リプルを抑制する役割を果たす受動部品(インダクタ・キャパシタ)が小容量で済む (小型化)。以上より、WBG デバイスをパワエレシステムに適用することで、システムの"高効率化"、 "小型・軽量化"が可能となり、出力密度の向上が期待できる。

1.2 WBG デバイスの現状と社会実装における課題

1.2.1 WBG デバイスの現在の応用事例

WBG デバイスの実用例をいくつか示す。SiC 半導体デバイス(以下、SiC デバイス)は既に量産化・応用が進められており、様々な分野での社会実装が進められている[10]。家電分野において、三菱電機の2017 年モデルのエアコンはフル SiC IPM(Intelligent Power Module: インテリジェントパワーモジュール)を適用し、省エネ化を実現している[11]。モビリティ分野において、トヨタ自動車は2020 年にハイブリッド自動車であるプリウスのモータ駆動用インバータに SiC デバイスを適用することで、10%の燃費向上を目指している[12]。JR 東海新幹線の新型車両 N700S は駆動システムに SiC デバイスを適用し、モータの極数を増やし電磁石を小さくすることで、小型かつ軽量な駆動モータを実現した[13]。その他にも、エレベータ[14]、太陽光発電用パワーコンディショナ[15]、パルス電源[16]、高周波電源[17] 等が挙げられる。

GaN 半導体デバイスは結晶およびウェハー製造の難しさから、価格が安い Si 基板上に横型の GaN 半 導体デバイスを構築する GaN on Si 半導体デバイスが主流である [18]-[19]。そのため、GaN 半導体デバ イスは低容量のものに限られており、製品は USB PD(USB パワーデリバリー)等、一部に限られる [20]。縦型の GaN 半導体デバイスの実現は欠陥のない単結晶ができるまで難しいのが現状である。

その他 Ga₂O₃(Gallium Oxide: 酸化ガリウム) やダイヤモンドを材料としたパワーデバイスの研究・ 開発が進められているが、製品化の例はない [21]。

1.2.2 SiC デバイスの現状と社会実装における課題

WBG デバイスの適用により、電力変換システムのさらなる進化が期待されている。WBG デバイス のなかでも、特に SiC デバイスの社会実装が進んでいる。しかし、現状 Si デバイス製品が殆どである。 SiC デバイスの社会実装を妨げている要因は大きく分けて以下の3つである。

- 価格
- 信頼性
- WBG デバイスの特性を引き出す回路実装

1つ目は価格である。市販されている SiC ウェハはすべて昇華法で製造されている。昇華法の結晶成 長速度が非常に遅いため、Si ウェハと比較してコストが高い [22]。また SiC 結晶は Si と比べて未だに結 晶欠陥が多く存在する。これが歩留まりの要因となり、Si デバイスと比較して数倍の価格となる。費用 対効果が十分得られていないため、応用が限られている。

2つ目は信頼性である。現状、Si デバイスの実装はダイアタッチに鉛フリーはんだ、封止材にエポキ シ樹脂が用いられている。しかし、これらの材料は高温など極限環境での活用を想定している SiC デバ

イスの要求に対して不十分である [23]。SiC デバイスの高温動作・局所的な高電界に耐える材料・実装 方法の確立が求められる。

3つ目はSiCデバイスの特性を引き出す回路実装である。高速スイッチング動作によって高周波化や 低損失化が期待されている。しかし、スイッチングの高速化に伴い、電流変化率(*di/dt*)が大きくなるた め、配線の寄生インダクタンスとの相互作用により生じるサージ電圧も大きくなる[24]。高速なスイッ チング動作を達成するためには寄生成分を低減した回路配線の形状設計が必要となる。また、大きな電 圧変化率(*dv/dt*)による誤動作・破壊の例も報告されており、従来のSiデバイスと同じ回路実装では、 その潜在能力を引き出すことが出来ない[25]。冷却機構を小型化するためには正確な損失評価と熱抵抗 評価が重要である[26]-[27]。SiCデバイスは低損失であるため、その正確な損失評価は難しくなってい る[28]-[29]。特にスイッチング損失はデバイスの電圧・電流の過渡応答の測定結果に基づいて推定する ことが一般的だが、スイッチングの高速化に伴い測定機器の性能不足や回路内寄生成分の影響が顕著に なるため難しくなる。また高速なスイッチングが実現されると同時に回路から生じる高周波数ノイズの 増大が懸念されるため、その評価・対策手法に関する検討が進められている[30]。

1.3 研究の目的

本研究の目的は、SiC デバイスの高電圧・大電流・高速スイッチング動作を活かした、低損失の高周 波電力変換回路の開発である。

SiC デバイスの高速スイッチング動作によって、スイッチング損失の低減やシステムの高周波化が期 待できるが、1.2.2 節で述べたように高速スイッチング動作が種々の問題もたらす。そのため、本研究で は SiC デバイスの潜在能力を引き出す実装手法および正確にデバイス性能を評価する手法について検討 する。具体的には、SiC デバイス(SiC-MOSFET& SiC-SBD)を実装した高電圧・大電流・高速スイッ チング SiC パワーモジュールを開発し、その過渡電圧・電流の測定法や電力変換回路応用時の損失・ノ イズ評価法に関して検討する。さらに開発 SiC パワーモジュールを応用した大電力変換回路および高周 波電力変換回路を開発する。

1.4 本論文の構成

本論文は、全5章で構成されており、各章の内容を下記に示す。

第1章 緒論

第1章では、本研究の背景、従来のSiデバイスと比較したSiCデバイスの特長と回路応用時の問題 点、さらに社会実装の現状・制限要因をまとめ、本研究の目的に述べた後、本論文の構成概略を示した。

第2章 SiC パワーモジュール

第2章では、パワーデバイスの構造・動作原理、パワーモジュールの構造についてまとめ、SiC デバ イスの利点と実装上の課題について検討した。

SiC デバイスの高電圧・大電流・高速スイッチング動作による電力変換回路の高性能化(高効率・小型・軽量化)が期待されている。しかし、高速スイッチング時の高い電圧・電流変化率(*di/dt・dv/dt*)と回路内寄生成分との相互作用により起こる「ゲート発振による誤動作」および「サージ電圧による素子破壊」が問題となる。本研究では、ゲート発振を抑制するために内蔵ゲート抵抗、サージ電圧を低減するために内蔵スナバコンデンサをパワーモジュール内部に実装した SiC パワーモジュールを開発し、その有効性を明らかにした。開発した SiC パワーモジュールは誤動作・破壊することなく、高電圧・大電流・高速スイッチング動作を達成した。

第3章 SiC デバイスを適用した電力変換回路の測定・評価法

第3章では、SiCデバイスの高電圧・大電流・高速スイッチング動作時の電圧・電流・電力(損失)・ ノイズの測定・評価法に関して検討した。

高速スイッチング時の電圧・電流の過渡応答、電力(損失)の測定・評価は測定機器の性能不足や回路 内寄生成分の影響が顕著となるため難しい。また、電力変換回路から発生するノイズの高周波化・広帯 域化が懸念される。高周波電力変換回路におけるパワーデバイス電圧・電流の過渡応答測定、電力(損 失)測定、伝導エミッション測定における各課題を示し、SiC デバイスに対応した評価法について提案・ 検証する。具体的には、「フローティング過渡電圧測定における測定電圧補償法」、「高速スイッチング に適した過渡電流測定手法の比較・検証」、「損失解析の簡易手法」、「ベクトルシグナルアナライザを用 いたノイズ電圧モード分離手法」である。

第4章 SiC パワーモジュールの電力変換回路応用

第4章では、開発 SiC パワーモジュールを用いた電力変換回路を製作し、その性能に関して検討した。 開発モジュールを適用した双方向絶縁型 DCDC コンバータ(デュアルアクティブブリッジ)回路を開 発した。600V・100Ap-p・50kHz・25kW において最高変換効率 98.6%を達成した。さらに開発パワー モジュールをフルブリッジ回路に組み込み、600V・100Ap-p・1MHzの高電圧・大電流・高周波連続動 作を達成した。

第5章 結論

第5章では、本論文で得られた成果についてまとめ、今後の展望を示している。

2 SiCパワーモジュールの開発

本章では、研究対象である各種パワーデバイスの構造・動作原理、SiC パワーモジュールに関してま とめる [31]。

2.1 パワーデバイスの動作原理

2.1.1 PiN ダイオード

PiN ダイオードの構造と回路記号を図 2.1 に示す。ダイオードの耐圧を確保するために、PN 接合の 間に *i* 層を設けた構造となっている。逆バイアス印加時、空乏層は p 型層と n 型層どちらにも及ぶが、 殆どが不純物濃度の低い *i* 層で形成するため耐電圧の殆どを *i* 層が負担する。順バイアス印加時は空乏 層は狭まり、*i* 層はそのごく一部を形成するのみとなる。p 型層及び n 型層から *i* 層に注入されるキャリ アは *i* 層を経由してそれぞれ n 型層及び p 型層に達する。本来 *i* 層はキャリアが少なく、抵抗値が非常 に高い。しかし、 $p \cdot n$ 型層の両方からキャリアが高レベルに注入されるため見かけ上低い抵抗値とな る。これを伝導度変調という。PiN ダイオードはバイポーラデバイスであるため、ターンオフ動作にお いて逆回復現象が生じる。逆回復現象とは、ダイオードに順電圧が印加され電流が流れている状態にお いて、逆バイアス電圧がかけられると電流は減少し、0 を下回り逆方向に電流が流れる現象である。こ れは、オン状態の間に *i* 層に注入されていたキャリア吐き出されるまたは再結合により消滅し、空乏層 が形成されるまで持続する。逆回復特性がスイッチング損失に大きく影響する。従来の高電圧の電力変 換回路では Si-PiN ダイオードが使われている。また、SiC-PiN ダイオードは 4.5kV 以上での応用が期 待されており、現在は研究段階である [32]。





(a) PiN ダイオード構造

(b) PiN ダイオード回路図

図 2.1: PiN ダイオード

2.1.2 SBD (ショットキバリアダイオード)

SBD の基本構造と回路記号を図 2.2 に示す。n 型の SBD の構造は n 型にドーピングされた半導体層 の裏面の電極との接合がオーミック接合になっており,もう一方がショットキー接合になっているダイ オードである。SBD はユニポーラデバイスで有ることから、ターンオフ時に逆回復現象が生じないため スイッチング損失を小さく抑えられる。一方で、高耐圧を得ようとすると n 型半導体層を厚くし、不純 物濃度を下げる必要があり、オン抵抗が非常に大きくなる。そのため Si-SBD では比較的低い耐圧領域 での使用に限られる。SiC-SBD は耐圧層を薄くすることが出来るため、高電圧で用いられるようになり Si-PiN ダイオードに代わる高速・低損失のダイオードとして開発が進められている。



図 2.2: ショットキーダイオード (SBD)

2.1.3 MOSFET

MOSFET は Metal-Oxide-Semicoductor Field Effect Transistor の略であり、基本構造 (プレーナ型)、 トレンチゲート型構造、スーパージャンクション構造、回路記号を図 2.3 に示す。図 2.3a のように基本 構造は n 型半導体層の裏面にオーミック接合による金属電極が形成され、表面には MOSFET の構造、 つまり p 型半導体、ゲート絶縁膜としてのシリコン酸化膜、ゲート絶縁膜上にゲート電極、ソース・ド レイン間の電界を保持するための n 型でソース領域やドレイン領域に比べて低濃度のドリフト領域を構 成する。ソースに対してゲートに正の電圧を印加すると、n 型に挟まれた p 型界面の電子が誘起され反 転層 (チャネル)を形成する。ドレインにも同様にソースに対して正の電圧を印加すると、チャネルを 介してソースからドレインへと電子電流が流れる。またソース電極とドレイン電極間は p 型・n 型半導 体であるため、寄生ダイオード (ボディーダイオード)が存在する。

MOSFET のオン抵抗は各抵抗成分の総和となり、次式で表される。

$$R_{on} = R_{ms} + R_{cs} + R_{ch} + R_{acc} + R_{JFET} + R_{drift} + R_{sub} + R_{cd} + R_{md}$$
(2.1)



(c) スーパージャンクション (SJ)MOSFET 構造



⊠ 2.3: MOSFET

ただし図 2.3a に示すように、 R_{ms} はソース電極抵抗、 R_{cs} はソースコンタクト抵抗、 R_{ch} はチャネル 抵抗、 R_{acc} は蓄積層の抵抗、 R_{JFET} は JFET 領域抵抗、 R_{drift} はドリフト層抵抗、 R_{sub} は基板抵抗、 R_{cd} はドレインコンタクト抵抗、 R_{md} はドレイン電極抵抗である。

図 2.3b に示すトレンチ型 MOSFET はゲート電極を半導体表面に形成されたトレンチ (Trench: 溝) に埋め込んだ構造である。プレーナー型 MOSFET のチャネルは横方向にしか広がらないが、トレンチ 型 MOSFET はチャネルを垂直方向に広げられるため微細化、高チャネル密度化が可能となる。さらに 構造上 JFET 領域抵抗 *R_{JFET}* が存在しないため、大幅にオン抵抗を低減できる構造である。

図 2.3c に示すスーパージャンクション (SJ) 型 MOSFET は耐圧層である n^- 層の一部をエッチング し、選択エピタキシャル成長により p^+ 層を形成した構造である。プレーナ型の場合、電圧印加時 n^- 層 に空乏層が広がり、 p^+ 層と n^- 層の界面が最も電界強度が高くなる。耐圧をあげるためには n^- 層を厚 くする必要があるが、 n^- 層を厚くするとドリフト層抵抗 R_{drift} が増大する。SJ 型 は n^- 層に空乏層が ー様に広がるため電界強度は均一となり、n⁻ 層を薄く(ドリフト層抵抗 R_{drift} を小さく)できる構造 である。ゲートをトレンチ型とドリフト層をスーパージャンクション型を組み合わせたスーパージャン クショントレンチ型も存在する。

SJ型Si-MOSFET は定格 600V 程度が限界であり、またそのデバイス構造からボディーダイオードの逆 回復電流が大きいため、応用は一部に限られる。SiC-MOSFET は耐圧層を薄くできることから、後述の Si-IGBT からの置き換えが期待されている。プレーナ型、トレンチ型、トレンチ SJ型の SiC-MOSFET の開発が進み、日々改良が進められている [33]。

2.1.4 IGBT





IGBT は Insulated Gate Bipolar Transistor の略で絶縁型バイポーラトランジスタと呼ばれ、基本構造と回路図、等価回路を図 2.4 に示す。構造は低濃度の n 型半導体 (n ドリフト層)の裏面に高濃度の p 型があり,表面には MOSFET 構造が形成している。つまり MOSFET の高濃度 n 層を高濃度 p 層に

置き換えた構成で、電子の導通と遮断をゲート電圧で制御できるようになっている。図 2.4c に示す、等 価回路は MOSFET を通してベース電流を供給して動作する pnp トランジスタとして表される。エミッ タに対してゲートに正の電圧を印加し閾値を超えると、チャネルを形成する。エミッタに対してコレク タに正の電圧を印加すると、MOSFET のソース部からコレクタ部へ電子電流が流れ、これが pnp バイ ポーラトランジスタのベース電流となり、コレクタ・エミッタ間が導通状態となる。また、IGBT の等 価回路は図 2.4d に示す MOSFET と PiN ダイオードを直列接続した構成でも表現できる。IGBT は PN 接合を有することから、バイポーラデバイスである。そのため導通時はドリフト層にキャリアを蓄積で きることから、伝導度変調によりドリフト層の抵抗を著しく小さくすることが出来る。一方でターンオ フ時にドリフト領域に蓄積したキャリアの吐き出しによりテール電流が流れるため、前述の MOSFET に比ベスイッチング時間が長くなる欠点を持つ。従来の高電圧の電力変換回路では Si-IGBT が使われ ている。

2.2 パワーデバイスの損失

理想的なパワーデバイスは

- オフ状態のときは漏れ電流 0A(抵抗値 ∞[Ω])
- オン状態のときは電圧降下 0V(抵抗値 0[Ω])
- スイッチング時間 0 (電圧・電流変化率 $dv/dt = \pm \infty \cdot di/dt = \pm \infty$)

を満たし、損失は0となる。しかし、実際のパワーデバイスはオン抵抗・スイッチング時間を有する。 電力変換回路に実装したパワーデバイスから発生する損失 *P*_{LOSS} は式 (2.2) で表される [34]。

$$P_{LOSS} = P_{COM} + P_{SW}$$
$$= R_{ON} \times i_d^2 + (E_{ON} + E_{OFF}) \times f_{sw}$$
(2.2)

ただし、 P_{COM} は導通損失 [W]、 P_{SW} はスイッチング損失 [W]、 R_{ON} はオン抵抗 [Ω]、 i_d はデバイス電流 [A]、 $E_{ON} \cdot E_{OFF}$ はターンオン・ターンオフ損失 [J]、 f_{sw} はスイッチング周波数を表す。導通損失 P_{COM} とはデバイスのオン抵抗 R_{ON} により発生する損失で、デバイス電流 i_d の二乗に比例する。ス イッチング損失 P_{SW} とはオン・オフ状態切り替え時に過渡的にデバイス電圧・電流が印加されて発生 する損失である。オフ状態からオン状態になる時に発生する損失をターンオン損失 E_{ON} 、オン状態か らオフ状態になる時に発生する損失をターンオフ損失 Edit ところ、ターンオン・ターンオフ損失を式 (2.3)、(2.4) に示す。

$$E_{on} = \int_0^{t_{ON}} v_d \cdot i_d dt \tag{2.3}$$

$$E_{off} = \int_0^{t_{OFF}} v_d \cdot i_d dt \tag{2.4}$$

ただし、 v_d はデバイス端子間電圧 [V]、 $t_{ON} \cdot t_{OFF}$ はターンオン・ターンオフ時間 [s] を表す。

2.2.1 バイポーラデバイスの損失

図 2.5 にバイポーラデバイス(PiN ダイオード& IGBT)を適用したハーフブリッジ回路に誘導負荷 を接続した場合の過渡電流経路、図 2.6 に過渡電圧・電流応答を示す。 オン状態のハイサイド PiN ダイ





(a) D_H : ON, Q_H , Q_L , D_L : OFF

(b) Reverse recovery current

Tail current

:ON

DL:OFF



(c) Q_L : ON, Q_H , D_H , D_L : OFF

(d) Tail current

図 2.5: バイポーラデバイスを用いたハーフブリッジ回路の過渡電流模式図

オード D_H(図 2.5a) がターンオフする際、2.1.1 節で述べた逆回復電流が図 2.5b および図 2.6a のように ハイサイド・ローサイドデバイスを貫通する貫通電流として流れる。そのため、ダイオードの逆回復電 流によってダイオード自身のターンオフ損失とローサイドデバイスのターンオン損失が大きくなる。ま たオン状態ローサイド IGBT Q_L(図 2.5c) がターンオフする際、2.1.4 節で述べたテール電流が図 2.5d



図 2.6: バイポーラデバイスを適用したハーフブリッジ回路の過渡応答

および図 2.6b にように流れ続けるため、ターンオフ損失が大きくなる。

以上より、Si(バイポーラ)デバイスは低オン抵抗の高耐圧デバイスが実現できるが、スイッチング 損失が大きくなる。

2.2.2 ユニポーラデバイスの損失

高電圧回路において Si (バイポーラ) デバイスから SiC (ユニポーラ) デバイスに置き換えることで、 デバイス損失の低減が期待されている。ユニポーラデバイスを適用したハーフブリッジ回路の過渡電流 経路を図 2.7 に、ハイサイド・ローサイドデバイスの電圧・電流応答を図 2.8 に示す。ただし、図 2.7 中 の C は SiC-MOSFET の寄生容量を表している。

3つの時間領域に分けて説明する。

(i) $V_{GS,L} = V_{GS,ON} \rightarrow V_{GS,PLA}$ ゲート・ソース間電圧 $V_{GS,L}$ がゲートオン電圧 $V_{GS,on}$ からプラトー 電圧 $V_{GS,PLA}$ に達するまでたち下がる。この際、ゲート・ソース間容量 $C_{GS,L}$ が放電される。プラトー 電圧 $V_{GS,PLA}$ は V_{GS} - I_d 特性とデバイス電流 I_D から求まる。ゲート電圧とプラトー電圧はそれぞれ式 (2.5)、(2.6) のように表される。

$$V_{GS,L} = V_{GS,on} \exp \frac{-t}{R_G(C_{GS,L} + C_{GD,L})}$$
(2.5)

$$V_{GS,PLA} = V_{th} + \frac{i_D}{g_m} \tag{2.6}$$

ただし、 R_G はゲート抵抗、 $C_{GD,L}$ は帰還容量、 g_m はトランスコンダクタンス、 V_{th} はしきい値を表す。 (ii) $V_{DS,L} = V_{cc} \rightarrow 0V$ 上側デバイスの出力容量(ダイオードの接合容量)が放電され、下側デバイス が充電し始める。この充放電電流によって上側のデバイス電流は I'_D まで上昇し、下側のデバイス電流 は $I_D - I'_D$ まで下降する。この時の電圧変化率 $\frac{dV_{DS,L}}{dt}$ は式 (2.7) で表される。

$$\frac{dV_{DS,L}}{dt} = \frac{V_{th}}{R_G C_{GD}} + \frac{i_d}{g_m R_G C_{GD}}$$
(2.7)



図 2.7: ユニポーラデバイスを用いたハーフブリッジ回路の過渡電流模式図

この領域で発生する損失をそれぞれターンオン損失、ターンオフ①損失とする。

(iii) $I_{D,H} = I'_D \rightarrow I_D$ 上側デバイス電流が負荷電流、下側デバイス電流が0に達する。電流の時間応答 は式 (2.8) で表される。

$$I_{D,l}(t) = (g_m V_{th} + i_D) \exp \frac{-t}{R_G(C_{GS,L} + C_{GD,L})}$$
(2.8)



図 2.8: ユニポーラデバイスのスイッチング過渡特性

この領域の損失をターンオフ②損失とする。

2.3 パワーデバイスのモジュール化

パワーデバイスの大電流化はチップ面積を大きくすることで達成できる。ウェハーの有効活用や歩留 まりを低減するために、小さなチップを並列接続することで大電流化を図る。複数のパワーデバイスを 組み合わせてモジュール化した回路部品をパワーモジュールと言う。

2.3.1 パワーモジュール内部構造



図 2.9: パワーモジュールの内部構成

図 2.11 はパワーモジュールの代表的な実装構造の断面図を示す。パワーモジュールの構成は多岐に



(a) 2 in 1 モジュール (BSM080D12P2C008・ROHM)

(b) 6 in $1 \notin \mathcal{I}_{J} = \mathcal{N}$ (CC020M12CM2/Wolfspeed)



図 2.10: パワーモジュール内部構成例

図 2.11: パワーモジュール断面図

わたり、代表的なものは 1 in 1、2 in 1、6 in 1 であり、それぞれ図 2.9 に示す。また 2 in 1、6 in 1 モ ジュールに関して実物の内部を図 2.10 に示す。パワーデバイスを搭載する基板に絶縁基板や金属ベース 基板を用いることで、放熱性や絶縁性を確保する。

パワーデバイス同士の配線は金属パターンとワイヤボンディングと呼ばれる金属線を用いる。ケース 内は絶縁や保護の役割を果たす封止樹脂が充填されている。

2.3.2 SiC デバイス実装における課題

SiC デバイスを電力変換回路に適用することで、システムの小型・高効率化が期待されている。しかし、従来のSi デバイスと同様の実装方法ではSiC デバイスの性能を十分に引き出すことが出来ない。以下にSiC デバイスのパワーモジュール実装における課題を示す。

寄生インダクタンスの低減

高電圧回路で用いられる SiC デバイスはユニポーラデバイス(SiC-SBD、 SiC-MOSFET)であるため、従来の Si デバイス(Si-PiN ダイオード、 Si-IGBT)と比べて高速スイッチングが可能となる。大きな電流変化率 *di/dt* と図 2.12a に示す配線パターンやワイヤーボンディングによる寄生インダクタン

ス L_{pn} および平滑コンデンサの等価直列インダクタンス(ESL: Equivalent Series Inductance) $L_{C,ESL}$ との相互作用により、大きなサージ電圧 V_{Surge} が生じる。サージ電圧 V_{Surge} を式 (2.9) に示す。

$$V_{Surge} = (L_{pn} + L_{C,ESL})\frac{di}{dt}$$
(2.9)

そのため、高速スイッチングを達成しつつサージ電圧を抑制するためには、パワーモジュール内部の寄 生インダクタンス L_m を小さくするように設計し、L_{C.ESL} の小さいコンデンサの適用が求められる。







図 2.12: サージ電圧

並列接続 MOSFET のゲート発振

図 2.13 に並列接続した MOSFET の等価回路を示す。図中に示す赤線は MOSFET の帰還容量 CGD とパターンやワイヤーボンディングによる配線の寄生インダクタンス L_D や L_G によって形成される低 インピーダンスの共振回路を表している [35]。高い電圧変化率 dv/dt が CGD を介してゲートに伝わり、 ゲート・ソース間に大きな振動電圧(ゲート発振)が発生する。ゲート発振によって回路動作が不安定 になり、素子が破壊されることもある。

信頼性・放熱設計

SiC デバイスは高温環境下でも動作が可能であるが、その実装に用いる材料(ダイアタッチや封止材) も動作温度に対する信頼性を確保する必要がある。SiC 半導体は高い熱伝導率を有するため、デバイス の熱抵抗が小さくなる。効果的な放熱設計のため、パッケージを通した効率的な放熱設計が求められる。



図 2.13: ゲート発振発生メカニズム

2.4 SiCパワーモジュールの開発

本研究で開発した2種類のSiCパワーモジュールの諸元・特性について述べる。

2.4.1 開発パワーモジュールの諸元

表 2.1 に本研究で開発した 2 種類の SiC パワーモジュールの諸元を示す。IEMOS モジュールは、1 レ グあたり 3mm 角 SiC-IEMOS(Implantation & Epitaxial MOSFET) が 3 並列、3mm 角 SiC-SBD が 2 並列実装されている。図 2.14a に IEMOS の断面図を示す。IEMOS はプレーナ型のゲート構造であり、 p^+ 層の底部を高濃度化してパンチスルーによりオン抵抗を低減し、表面は結晶品質の優れたエピタキ シャル膜で形成しているため平坦であり、高いチャネル移動度が得られる構造になっている [36]。VMOS モジュールは、1 レグあたり 5mm 角 SiC-VMOS(V-groove Trench MOSFET)、SiC-SBD が 1 つずつ実 装されている。図 2.14b に VMOS の断面図を示す。VMOS はトレンチ型のゲート構造であり、斜面が (0338) 面からなる V 溝形状のゲート構造のトレンチ型 SiC-MOSFET である [37]。この結晶面は高い移 動度を有しているため、この面をチャネルとして活用することでチャネル抵抗 R_{CH} を低減できる。

また図 2.15a に開発モジュールの外観、図 2.15b に回路図、図 2.15c に IEMOS モジュールの内部の模 式図を示す。開発モジュールは 2 in 1 構成であり、定格電圧は 1200V、最大電流は 50A である。想定し ているアプリケーションは 600V/50A の定格電力 30kW の電力変換回路や EV/HEV モータ駆動回路な どである。

IEMOS モジュールの最大の特徴はモジュール内部に内蔵ゲート抵抗と内蔵スナバコンデンサを実装

表 2.1: 開発モジュールの諸元

	IEMOSモジュール	VMOSモジュール		
構成	2 in 1(Half bridge)			
定格電圧	1200V			
最大電流	50A			
サイズ	50×61.7×16.7mm ³			
内容	SiC-IEMOS(3×3mm ² ×3para), SiC-SBD(3×3mm ² ×2para) MLCC[47nF/630V,TDK](2series) Chip resister(3.30hm / 1608mm)	SiC-VMOS(5×5mm ² ×1para), SiC-SBD(5×5mm ² ×1para)		



図 2.14: パワーデバイス断面図

している点である。開発モジュールは各 MOSFET に内蔵ゲート抵抗 (3.3Ω, size:1608[mm]) を実装し、 2.3.2 で述べた並列接続した MOSFET の寄生容量による共振回路の Q 値 $(1/R\sqrt{LC})$ を下げることで ゲート発振を抑制している。

モジュール内部に ESL の小さいスナバコンデンサ(内蔵スナバコンデンサ)を実装することで寄生イ ンダクタンス小さくできる(図 2.12b 中の L'_{pn})。開発モジュールは図 2.15b、2.15c のように、銅板に はんだ付けした 2 つの MLCC(Multi Layer Ceramic Capacitor: 積層セラミックキャパシタ)のブリッ ジを P・N 端子が実装されているパターン上に縦向きに実装している。

図 2.16 にインピーダンスアナライザ (E4991B/アジレント・テクノロジー)を用いて測定した *C*_{SN} 未実装モジュールの PN 端子間のインピーダンス周波数特性の測定結果を示す。ただし、ハイサイド・



図 2.15: 開発モジュール

ローサイドデバイスともにゲートソース間に 18V 印加し、オン状態にして測定している。測定結果より、 L_{pn} は 21nH である。本研究で使用した MLCC の ESL は 0.24nH である。また図 2.15c に示す MLCC を接続する銅板の寄生インダクタンス L'_{cop} は式 (2.10)より 9.8nH と求まる。

$$L'_{cop} = 0.2 \times l \times \left(\ln \frac{2l}{w+t} + 0.2235 \times \frac{w+t}{l} + 0.5 \right) = 9.8nH$$
(2.10)

以上より、*C_{SN}* の実装により寄生インダクタンスを 21.0nH から 10.3nH と 51% 低減できる。ただし、 VMOS モジュールは内蔵ゲート抵抗および内蔵スナバコンデンサを実装していない。



図 2.16: 開発パワーモジュールの PN 端子間インピーダンス周波数特性

2.4.2 開発パワーモジュールの特性

開発パワーモジュールの静特性

図 2.17、図 2.18 にカーブトレーサ(B1505AP/アジレント・テクノロジー)を用いて測定した、開発パ ワーモジュールの静特性を示す。図 2.17、図 2.18 に基づく各パラメータを表 2.2 にまとめる。図 2.17a・ 図 2.17c より、VMOS モジュールは IEMOS モジュールに比べて低いオン抵抗を有していることがわか る。トレンチ型はプレーナ型に比べて構造上ゲートが広くなるため、トランスコンダクタンス g_m(図 2.17e)、入力容量 C_{ISS}(図 2.18a) および帰還容量 C_{RSS}(図 2.18c) が大きくなる。両者のモジュールは チップ面積が殆ど変わらないため、出力容量 C_{OSS}(図 2.18b)は帰還容量 C_{RSS}の差のみである。また 図 2.17f に示す内部ゲート抵抗に関しては、IEMOS モジュールは抵抗器を内蔵していることや、デバイ ス設計の違いにより差が現れている。

開発パワーモジュールの動特性

内蔵ゲート抵抗と内蔵スナバコンデンサの効果を検証するために IEMOS モジュールを用いてダブル パルス試験を行った。図 2.19 にダブルパルス試験の試験回路と試験波形を示す。第一パルスの終端で ターンオフ、第二パルスの始端でターンオン特性を評価する。また実験に用いたゲートドライブ回路図 を図 2.20、外観を図 2.21 に示す。開発パワーモジュールの上部に収まるように配線設計した。 ゲート ドライブ IC には BM6104FV(1ch gate drive IC/ ROHM)、絶縁ゲート電源には MGJ2D052005SC (+20V& -5V/Murata Elec.)を用いた。また、ゲートドライブ IC の他に出力インピーダンスを下げる ためのバッファ回路やオフ時の誤ターンオンを防ぐためのミラークランプ回路を実装している。

図 2.22 に内蔵ゲート抵抗未実装/実装モジュールの実験結果を示す。ただし、未実装モジュールの外付 けゲート抵抗は 85.3Ω、実装モジュールの場合は 84.2Ω とし、合成抵抗は同等になるようにしている。内



図 2.17: 開発パワーモジュール静特性(電流-電圧特性、内部ゲート抵抗)



図 2.18: 開発パワーモジュール静特性 (寄生容量-電圧特性)

		IEMOS	VMOS	
On state resistance (Drain - Source, V _{GS} =20V)	R _{ON,DS}	35.0	18.0	
On state resistance (Source - Drain, V _{GS} =0V)	R _{ON,SD(0V)}	32.7	30.5	mΩ
On state resistance (Source - Drain, V _{GS} =20V)	R _{ON,SD(20V)}	23.0	17.7	
Gate Threshold voltage	V _{TH}	3.1	3.2	V
Transconductance	gf	11.6	23.0	S
Input capacitance (V _{DS} =600V)	C _{iss}	2.30	4.20	nF
Output capacitance (V _{DS} =600V)	C _{oss}	0.52	0.52	nF
Reverse capacitance (V _{DS} =600V)	C _{rss}	11.0	17.8	pF

表 2.2: 開発パワーモジュールパラメータ





蔵ゲート抵抗未実装モジュールの場合、図 2.22a のように第一パルスの始端でゲート発振が起きている。 一方で、内蔵ゲート抵抗実装モジュールはゲート発振を起こすことなく、正常なスイッチングが確認でき る。ただし、ターンオン時の電圧変化率 *dv/dt* は 10.7[kV/µs] であり、電流変化率 *di/dt* は 0.92[kA/µs] である。以上より、内蔵ゲート抵抗を各 MOSFET に実装することでゲート発振を抑制でき、高電圧・ 大電流の高速スイッチングを達成した。

図 2.23 に C_{SN} 未実装、外付け C_{SN} 実装、内蔵 C_{SN} 実装モジュールのターンオフ時のサージ電圧を 比較した結果を示す。ただし、外付け C_{SN} 実装とはパワーモジュール端子付近に C_{SN} を実装している ことを示す。 C_{SN} 未実装の場合に比べて外付け C_{SN} 実装することでサージ電圧が 112V(18%) 低減して いる。さらに内蔵 C_{SN} 実装モジュールは外付け C_{SN} 実装に比べてサージ電圧が 138V(23%) 低減して いる。



図 2.20: ゲートドライブ回路・回路図



図 2.21: ゲートドライブ回路・外観



図 2.22: ダブルパルス試験結果

以上より、内蔵スナバコンデンサによって寄生インダクタンスを低減でき、サージ電圧を低減に寄与 することを実験的に示した。



図 2.23: サージ電圧比較(第一パルス終端)

2.5 第2章まとめ

本章では研究対象であるパワーデバイスおよびパワーモジュールに関して説明した。また SiC デバイ スへの期待と実装における問題点、ゲート発振およびサージ電圧に関して述べた。

開発した SiC パワーモジュールは内部に内蔵ゲート抵抗および内蔵スナバコンデンサを搭載すること で、ゲート発振およびサージ電圧の対策を図った。 実機検証により、これらの対策は有用であること を示した。以上より、高電圧・大電流・高速スイッチング動作が可能な SiC パワーモジュールの開発に 成功した。

3 SiCデバイスを適用した電力変換回路の測定法の開発

3.1 高速スイッチング時の測定上の課題

本章では、SiC デバイスの高電圧・大電流・高速スイッチング動作時の電圧・電流・電力(損失)・ノ イズの測定・評価法に関して検討した。

スイッチングの高速化に伴い、電圧・電流の過渡応答、電力(損失)の測定・評価は難しくなる。ま た、電力変換回路から発生するノイズの高周波化・広帯域化が懸念される。高周波電力変換回路のパワー デバイス電圧・電流の過渡応答測定、電力(損失)測定、伝導エミッション測定における各課題を示し、 SiC デバイスに適当な評価法について提案・検証する。具体的には、「フローティング過渡電圧測定にお ける残留コモンモード電圧補償法」、「高速スイッチングに適した過渡電流測定手法の比較・検証」、「損 失解析の簡易手法」、「ベクトルシグナルアナライザを用いたノイズ電圧モード分離手法」に関して議論 する。

3.2 過渡電圧測定法

WBG デバイスの高速スイッチング動作の活用において、デバイスの各部に印加されている電圧・電流の過渡応答を正確に測定することは、スイッチング損失や速度等の評価やデバイスモデリングに必要である [38]-[39]。図 3.1a にパワーエレクトロニクス回路の最小基本構成であるハーフブリッジ回路を示す。高電圧のハーフブリッジ回路は2つの N チャネルトランジスタを直列に接続した構成であり、ここでは N チャネルトランジスタを MOSFET として考え、上側アームのデバイスを *Q_H*、下側アームのデバイスを *Q_L*とする。MOSFET のスイッチング性能は、ゲート-ソース間電圧 *V_{GS}*、ドレイン-ソース間電圧 *V_{DS}*、ドレイン電流 *I_D*の応答により評価する [40]。MOSFET の導通状態はゲート端子とソース端子間に印加される電圧により決まるため、スイッチング特性の評価には *V_{GS}*の測定は不可欠である。



図 3.1: 負極接地ハーフブリッジ回路



図 3.2: 上側アーム電圧測定におけるコモンモード電圧

スイッチング電源やモータドライブインバータ等の汎用のパワーエレクトロニクス回路では、図 3.1 に 示すように負極を接地するのが一般的である。

負極接地されているハーフブリッジ回路において下側アームの MOSFET Q_L のドレイン電圧 $V_{DS,L}$ およびゲート電圧 $V_{GS,L}$ の過渡応答は接地されたソース端子を基準にしてシングルエンドプローブを用 いてディジタルオシロスコープ (DSO: Digital Storage Oscilloscope) で測定できる。

上側アーム MOSFET Q_H のソース端子の電位は下側アーム MOSFET Q_L の導通状態によって変化 する。そのため上側アーム MOSFET Q_H のドレイン電圧 $V_{DS,H}$ およびゲート電圧 $V_{GS,H}$ の過渡応答 の測定には、シングルエンドプローブを 2本用いて接地電位を基準にして得た Q_H のドレイン電位およ びゲート電位とソース電位の差分を取る、もしくは差動プローブの使用が必要となる。ハーフブリッジ 回路において電圧過渡応答を表す信号源の等価回路は図 3.1b のように表すことが出来る。差動プロー ブを用いた上側アーム MOSFET Q_H に印加されるドレイン電圧 $V_{DS,H}$ ・ゲート電圧 $V_{GS,H}$ の測定に おいて、下側アーム MOSFET Q_L のドレイン電圧 $V_{DS,L}$ は図 3.2 に示すようなコモンモード電圧とな る [41]-[42]。 CMRR (Common Mode Rejection Ratio) は差動プローブの性能指標の一つで、コモン モード (CM) 電圧に対して、現れる差動電圧 (測定電圧)の比を表す。差動プローブの CMRR は周波 数が高くなるに従い低下し、測定周波数帯域内で十分な CMRR が得られない場合、測定結果は CM 電 圧の影響を無視できなくなる。特に高電圧回路においてゲート電圧などの低電圧測定に与える影響は大 きい。このため、ハーフブリッジ回路における、上側アーム MOSFET Q_H に印加された電圧の過渡応 答測定には注意を要する。本研究では、ハーフブリッジ回路を構成する SiC-MOSFET のスイッチング 特性の評価において、特に上側アーム MOSFET Q_H の電圧測定におけるコモンモード電圧の影響抑制 法を提案する。
3.2.1 上側アーム過渡電圧測定におけるコモンモード電圧の影響

本章では、負極接地されたハーフブリッジ回路の上側アーム MOSFET の電圧測定において、用いる プローブの特性が測定結果に与える影響について議論する。

試験条件

表 3.1 に用いたシングルエンドプローブと二種類の差動プローブ Probe1・2 の諸元をまとめる。また 図 3.3 に各プローブの外観を示す [43]-[44]。

	single end passive probe	Differential (active) probe	
		Probe 1	Probe 2
Model number	TPP0850	THDP0200	IsoVu (TVIM1)
Attenuation	50X	50X/500X	50X/100X
Differential voltage	2500V	±150V/±1500V	$\pm 25V/\pm 50V$
Common mode Max. Voltage	-	±1500V	60kV
Bandwidth	800MHz	200MHz	1GHz
Terminal	BNC	Hock clip	MCXX

表 3.1: 試験対象プローブ



(a) Probe1



(b) Probe2

図 3.3: プローブ外観

表 3.2: 試験条件(C	'M 電圧の影響)
---------------	-----------

電源電圧	600V	
負荷電流	60Ар-р	
スイッチング周波数	40kHz	
負荷リアクトル	$64.0 \mu H$	
コンデンサ	100µF (20µF 5 並列)	
ゲート電圧	+20V/-5V	
外付けゲート抵抗	0 Ω	

測定にはディジタルオシロスコープ (Digital Storage Oscilloscope: 以下 DSO、 DPO4104B/8bit、 1GHz、 Tektronix)を使用した。ただし、各プローブのスキュー補正はメーカー推奨値に設定している。 本研究では図 3.4 に示すハーフブリッジ回路で試験を行う。試験条件を表 3.2 に示す。



図 3.4: 試験回路

 $Q_H \cdot Q_L$ は SiC-MOSFET(SCT2080KE/ ROHM)、外付けゲート抵抗は 0 Ω 、 $C_H \cdot C_L$ はフィルムコ ンデンサ(B32778G1206K000/ EPCOS)、負荷は空芯リアクトル (64 μ H) である。また電源電圧 600V、 負荷電流 60Ap-p、スイッチング周波数 40kHz、ゲート電源+20/-5V である。

試験結果とコモンモード電圧の影響

図 3.5 に各部の測定電圧を示す。図 3.5a はシングルエンドプローブで測定した下側アーム MOSFET Q_L のドレイン電圧 $V_{DS,L}$ である。 Q_L はターンオン時 $-53.8kV/\mu s$ 、ターンオフ時 55.4 $kV/\mu s$ の高速 スイッチング動作を達成している。また回路の寄生インダクタンスの影響により、ターンオフ時に 300V のスパイク電圧が生じている。図 3.5b はシングルエンドプローブを用いて測定した GND に対する上側 アーム MOSFET Q_H のゲート端子電圧 から Q_L のドレイン電圧 $V_{DS,L}$ を差し引いて求めた Q_H のゲー ト電圧 $V_{GS,H}$ である。オシロスコープの電圧レンジを測定対象の電圧に合わせて 100V/div としたため、 電圧分解能は 3.9V となる。ゲート電圧が+20V/-5V であるため、求めたゲート電圧 $V_{GS,H}$ は量子化雑 音の影響を大きく受けている。デシメーションによる等価的な電圧分解能向上も可能であるが、高速ス イッチング動作を評価するのに十分な周波数帯域を得ることは困難である。図 3.5c・3.5d はそれぞれ差 動プローブ Probe1、Probe2 を用いて測定した Q_H のゲート電圧 $V_{GS,H}$ である。立ち上がり時に生じる スパイク電圧測定値がプローブにより異なっていることが分かる。図 3.5e は Q_L のゲート電圧 $V_{GS,L}$ で ある。立ち上がり時のスパイク電圧は 0.6V と極わずかである。また図 3.5f・3.5g はそれぞれ Probe1・2 の正負両端子を短絡させた状態で図 3.4 中の O 端子に接続して、測定した電圧応答 $V_{O,SHORT}$ である。 これは差動プローブに誘起される残留 CM 電圧に相当する。図 3.5g より Probe2 の電圧 $V_{O,SHORT}$ は



ほぼ 0V で保たれていることから十分に高い CMRR により測定対象に対するコモンモード電圧に相当 する *V_{DS,L}* の影響を無視できることが分かる。一方、図 3.5f に示す Probel の測定電圧 *V_{O,SHORT}* は入 力端子を短絡しているにも関わらず、スイッチングのタイミングで高周波リンギングが観測されている。 すなわち、Probel の CMRR が不足しているため、CM 電圧(*V_{DS,L}*)の高周波リンギング成分が除去 しきれずに現れている。このことから、図 3.5c に示す Probel の *V_{GS,H}* の測定結果には CMRR で除去 しきれない CM 電圧が重畳されていると考えられる。



(b) $Q_H \ \varphi - \mathcal{V} \ \mathcal{T}$

図 3.6 に各差動プローブで測定された Q_H のゲート電圧 $V_{GS,H}$ [図 3.5c・3.5d] から残留 CM 電圧 $V_{O,SHORT}$ [図 3.5f・3.5g] を差し引いた結果を示す。両者のプローブで得られた結果は一致している。 従って両者のプローブの CMRR の違いが、測定した V_{GS} の違いとして現れていると考えられる。す なわち CMRR の低い差動プローブ (Probe1) でも、同時に測定した CM 電圧の影響を補償することで、 CMRR の高い差動プローブ (Probe2) と同等の結果が得られる。ただし、この補償方法は同じ特性の差 動プローブを 2 つ用意し、残留 CM 電圧を別途測定する必要がある。

以下では残留 CM 電圧測定用の差動プローブを用いずに、スイッチング特性評価試験において同時に 測定することが一般的な *Q_L* のドレイン電圧 *V_{DS,L}* を用いた補償法を示す。

図 3.6: 上側アーム MOSFET のゲート電圧のコモンモード電圧補償結果

3.2.2 差動プローブの CMRR 特性評価

CMRR 評価試験ベンチ

図 3.7 に差動プローブの CM ゲイン |CMRR(f)|・位相特性 $\theta(f)$ を評価するための測定系の構成を示 す。ファンクションジェネレータ (33600A/Keysight/以下、FG) は図 7 に示す自作フィクスチャー・



(b) 外観



BNC 変換アダプタ (T 型分岐) を介して 50Ω 終端器に接続している。FG の出力インピーダンスを 50Ω としている。またフィクスチャーの特性インピーダンスも 50Ω の伝送線路としている。式 (3.1) を用い



図 3.8: CMRR 測定フィクスチャー

て、マイクロストリップラインとして設計した[45]。

$$Z_0 = \frac{87}{\sqrt{\varepsilon_r + 1.414}} \times \ln \frac{5.98h}{0.8w + t}$$
(3.1)

ただし、Z₀ はマイクロストリップラインの特性インピーダンス、ε_r と h はプリント基板の絶縁板 (FR-4) の比誘電率と厚み、wとt は銅箔の幅と厚みを示している。ここでZ₀ = 50Ω、h = 1.6mm、w = 2.56mm、 t = 0.21mm とした。マイクロストリップラインの出力端子の直近に Probe1 用テストポイントと Probe2 用の MCXX 端子を配置している。この点で各差動プローブの測定端を短絡させることで、差動プロー ブに誘起される CM 電圧を測定する。測定装置の配置やプローブ線処理による影響を最小限に抑えるた め、測定点の間隔とプローブ線のツイスト回数を変えないようにしている。シングルエンドプローブは プローブチップを介して出力端に接続されている。また差動プローブの入力インピーダンスは評価系の 特性インピーダンスに比べて十分に大きく、接続によるインピーダンス変化は無視できるものとする。 各変換コネクタの伝搬遅延時間は無視できるものとする。

シングルエンドプローブ及び Probe1・Probe2 はそれぞれ DSO の CH1、CH2、CH3 に接続している。

試験結果

図 3.7 の測定系を用いて差動プローブの CM ゲイン・位相特性を評価する。ただし、FG の出力信号は 4Vp-p の正弦波を入力し、周波数を 10MHz~100MHz まで 2.5MHz 刻みで測定した。DSO のサンプリ ングレートは 5GSample/s、サンプル数は 100,000 点で測定した。測定した電圧に対し DFT(Discrete Fourier Transform)処理を行い、励振周波数成分の振幅と位相を求めた。図 3.9 にプローブ特性評価シ ステムを用いて測定した各信号およびその DFT により抽出した励振周波数成分の例を示す。CMRR の



図 3.9: CMRR 測定結果例

低い Probe1 は CM 電圧を十分に除去できていない。一方で、CMRR の高い Probe2 はおおよそ 0V に 保たれている。励振周波数成分に対して DFT で抽出した振幅の比および位相差から差動プローブにお ける CMRR のゲイン・位相の周波数特性を評価する。測定した各プローブの CM ゲイン・位相特性を 図 3.10 に示す。各差動プローブのデータシートに示された CMRR を図 3.10a 中の点線で示す。Probe2 測定時 DSO の縦軸レンジを 5V としたため、1bit あたりの電圧は約 0.02V である。量子化誤差により、 Probe2 の CMRR 測定値はデータシート値よりも大きな値となった。

3.2.3 コモンモード電圧補償法の提案と検証

本論文で提案する負極接地されたハーフブリッジ回路の差動プローブを用いた上側アーム電圧測定に おける CM 電圧補償法のフローチャートを図 3.11 に示す。CM 電圧として差動プローブに印加される $V_{DS,L}$ の測定結果を DFT により、式 (3.2) に示される各周波数の振幅 $|V_{DS,L}|(f)$ ・位相 $\delta(f)$ に分解す る。ただし、位相の基準は CH1 に接続したシングルエンドプローブとした。

$$\overrightarrow{V_{DS,L}(f)} = |V_{DS,L}(f)| \angle \delta(f)$$
(3.2)



(a) CMRR



(b) 位相

図 3.10: 差動プローブの CMRR・位相-周波数特性



図 3.11: CM 電圧補償法フローチャート

差動プローブのコモンモード電圧に対するゲイン |CMRR(f)|・位相 $\angle \theta_f$ 特性は式 (3.3) で表せる。

$$\overrightarrow{CMRR(f)} = |CMRR(f)| \angle \theta_f \tag{3.3}$$

式 (3.2) · (3.3) より差動プローブの測定電圧に現れる残留 CM 電圧 VO,SHORT は式 (3.4) で表せる。

$$\overrightarrow{V_{O,SHORT}(f)} = |V_{DS,L}(f)| \times |CMRR(f)|$$

$$\angle \theta(f) + \delta(f)$$
(3.4)

式 (3.4) で得られた CM 電圧の周波数スペクトルを IDFT (Inverse Discrete Fourier Transform) するこ とで、残留 CM 電圧の時間応答推定値 V_{O,SHORT}'(t) が算出される。

前節で得られた差動プローブの CMRR ゲイン・位相の周波数特性を元に、以下では CMRR の低い

Probe1 を用いたブリッジ回路の上側アーム MOSFET ゲート電圧測定における CM 電圧補償の効果を 評価する。差動プローブの各特性と $V_{DS,L}$ の DFT の結果の周波数幅を一致させるため、図 3.10 の結果 をスプライン補間して LUT (Look-Up Table)を構築した。

図 3.12 に上側アーム MOSFETQ_H のターンオンにおける各部の電圧応答、つまり図 4 の 5.8µs から 6.8μs の拡大図を示す。図 3.12a はシングルエンドプローブを用いた下側アーム MOSFETQ_L のドレイ ン電圧 V_{DS,L} である。図 3.12b は差動プローブ Probe1・2 を用いた上側アーム MOSFETQ_H のゲート 電圧 *V_{GS.H}* および *V_{GS.L}* である。図 3.12c は差動プローブ Probe1・2 において測定される残留 CM 電圧 である。入力される CM 電圧が最大 900V であるため、Probe1 において無視できない CM 電圧が観測 される。図 3.12d は Probe1 で測定される残留 CM 電圧 Vo.SHORT と、提案手法のうち振幅補正のみを 行って得られた残留 CM 電圧の時間応答推定値 VO.SHORT'である。測定値と推定値は一致しておらず、 振幅補正だけでは不十分であることが分かる。図 3.12e は Probe1 で測定される残留 CM 電圧 V_{O.SHOBT} と、提案手法により得られた残留 CM 電圧の時間応答推定値 VO.SHOBT' である。測定値と推定値は振 幅が僅かに異なるものの、よく一致している。残留 CM 電圧 Vo,SHORT の測定値はプロービングによ る影響を受け易いことから、差が現れたものと考えられる。図 3.12f に Probe2 の上側アームゲート電 圧 V_{GS,H} 測定値と Probel の測定値 V_{GS,H} に対して提案手法により算出した残留 CM 電圧 V_{O,SHORT}' を差し引いた結果を示す。図 3.6 に示した、CM 電圧測定値を用いて補償した場合と同様に、補償出来 ている事がわかる。Probe1・2 の上側アームゲート電圧 V_{GS.H} の測定最大値の差は 6.3V であったが、 補償により 2.1V となった。図 3.13 に上側アーム MOSFETQ_H のターンオンにおけるの各部電圧応答、 つまり図 4 の 18.3µs から 19.3µs の拡大図を示す。ただし、(a)-(f) の各電圧応答は図 3.12 のものと対応 している。ターンオフ時も補償により、Probe1・2 で同等の結果が得られる。以上の結果から、提案補 償法は妥当であると言える。



(c) $V_{GS,H}$ (Probe1 & Probe2) & $V_{GS,L}$ (single end passive probe)





図 3.12: 実験結果および提案補償法結果 (Q_H ターンオン)



(b) $V_{GS,H}$ (Probe1 & Probe2) & $V_{GS,L}$ (single end passive probe)



(d) $V_{O,SHORT}({\rm w}/~{\rm gain}~{\rm compensation},~{\rm w}/{\rm o}~{\rm phase}~{\rm compensation}$)

time[µs]

Only Gain

Compensation

-5





図 3.13: 実験結果および提案補償法結果 (Q_H ターンオフ)

3.3 過渡電流測定法

デバイスのスイッチング損失を推定するために、デバイス電流の過渡応答測定は非常に重要である [46]-[47]。本節では、SiC デバイスの過渡電流測定に適した電流測定法に関して議論する。

3.3.1 電流測定法の原理

表 3.3 に各種電流測定手法に関してまとめる。

	原理	長所	短所
ロゴスキー コイル		 ・測定箇所に後付で取 付可能 ・ 空芯なので大電流で も計測できる 	・直流が測定できない ・増幅器の周波数帯域不足
ホール 検出	ホール効果により測定	・直流、交流ともに 正確に測定	・測定箇所確保のため、 線の引き回し or 回路設計が 必須 →回路動作に影響
シャント抵抗	- へへく オームの法則	・検出が簡単	・ESLにより周波数帯域が狭く なる ・回路動作に影響を与えない 抵抗値にする必要がある

表 3.3: 電流測定手法

ロゴスキーコイルはパワーデバイスの電流過渡応答測定によく用いられる。トロイダル状の空芯コイ ルに誘起された電圧を積分し、交流電流を検出する。プローブの挿入インピーダンスが小さく、測定系 による回路動作への影響が小さい。しかし、測定原理上、直流成分が測定出来ないことや、積分器(増 幅器)により周波数帯域が制限される。

ホール検出方式の電流プローブは、ホール効果を応用して電流を測る方式である。直流・交流どちら も測定できるが、プローブが大きいため配線の引き回しが必要となり回路動作に影響を与える。パワエ レ回路において、負荷電流などの測定に用いられる。

シャント抵抗は測定したいデバイスと直列に接続し、抵抗値と測定電圧から電流値を算出する。簡単 に測定できる一方で、ESLにより周波数帯域が狭くなる。同軸シャント抵抗は電流経路を行き帰りで反 対方向にすることで、磁束を打ち消し寄生インダクタンスが小さくなるように設計されたシャント抵抗 である [48]。同軸シャント抵抗は ESL が小さいため、高速スイッチング時の電流測定に適している。



図 3.14: 電流測定法比較

3.3.2 電流測定法の比較

同軸シャント抵抗 (SDN-414/ T & M Research Product) とロゴスキーコイル (SS-282/IWATSU) で同じ電流を測定し、その結果を比較する。SiC デバイスを適用したパワエレ回路は高速スイッチング 動作させるため、ホール検出方式の電流プローブは不適切であるのでここでは割愛する。ただし、試験 回路はハーフブリッジ回路を用いてダブルパルス試験回路を組み、下側サイドデバイスのソース端子と N ラインの間に同軸シャントを実装している。ローサイドトランジスタ *QL* のソース電流の測定結果を 図 3.14 に示す。ただし、電圧プローブの測定結果は抵抗値に基づいて電流に換算している。電流変化率 di/dt はターンオフの時-2.2[kA/us]、ターンオンの時 2.5[kA/us] であることが分かる。ロゴスキーコイ ルは最大 di/dt (スルーレート)が 1[kA/us] であるため、正確に測定出来ていない。

以上より、パワーデバイスの電流測定は同軸シャント抵抗が適当である。しかし、同軸シャント抵抗 の最大でも定格電力は 2W であるので、短い時間でしか評価が出来ない欠点を有する。

3.4 損失・電力測定

SiC デバイスを適用した電力変換システムの高効率化に関して多々報告がなされている [49]-[51]。シ ステムの高効率化に伴い、そのシステム内の損失を評価することが困難になっている。図 3.15 のフルブ リッジ回路を用いて、高精度に SiC パワーモジュールから発生する損失を評価する方法を示す。



図 3.15: 損失評価試験に用いるフルブリッジ回路

3.4.1 実験方法(損失評価試験)

*Q*_{H1} と *Q*_{L2} および *Q*_{H2} と *Q*_{L1} をデッドタイムを介して交互にオンする。負荷電流は電圧から位相が 90 度遅れた三角波状の交流となる。そのため負荷で消費される電力はリアクトル損のみとなるため、 直流電源から供給される電力は回路内で発生する損失分となる。

高調波成分を除去して入力電力を正確に測定するため、入力の DC リンクラインに空芯コイル (52.1µH、 42.1mΩ)を直列に挿入することで、LC ローパスフィルタ(カットオフ周波数 2kHz)を形成している。 ローパスフィルタの有無による入力電圧電流の違いを図 3.16 に示す。高調波成分が除去されることがわ かる。

回路内で発生する損失を以下にまとめる。

1. 受動部品

- リアクトル銅損 Preactor,cop
- シャント抵抗損 P_{shunt}

2. パワーモジュール



(a) LC ローパスフィルタなし

(b) LC ローパスフィルタあり

図 3.16: 入力電圧·電流応答

- 導通損失 P_{CON}
- スイッチング損失 *P_{SW}*

ただし、配線や平滑コンデンサの ESR による抵抗損失は微小であるものとして無視している。回路の 入力電圧・電流をパワーアナライザ(PW6001・HIOKI)を用いて測定することで、回路損失を正確に 測定・評価することが可能となる。スイッチング損失はドレイン・ソース間電圧 V_{ds} とドレイン電流 I_d の過渡応答測定結果から推定する。

パワーモジュールの導通損失は図 2.17a-2.17c に示す静特性から算出する。また負荷(空芯リアクトル)の損失はインピーダンスアナライザを用いて測定した交流抵抗から算出する。

3.4.2 試験対象(損失評価試験)

IEMOS モジュールと VMOS モジュールに対して損失評価試験を行い、オン抵抗の差が回路損失とし て測定できるか検証する。ただし、SiC デバイスの過渡電流応答を測定するため内蔵スナバコンデンサ が搭載されていないモジュールを用いる。

3.4.3 実験結果(損失評価試験)

表 3.4 に試験条件を示す。また図 3.17 に試験時のパワーモジュールの様子を示す。各パワーモジュー ルのゲート抵抗をパラメータとして、全損失の測定および各損失の推定を行った。ただし、ゲート抵抗 が 7.5Ω において、同軸シャント抵抗により寄生インダクタンスが増加し誤ターンオンが発生した。そ のため、ゲート抵抗が 7.5Ω 以下の場合は同軸シャント抵抗を外して試験を行い、損失分離は行わない。

図 3.18 に各パワーモジュールのターンオン・ターンオフ特性を示す。電圧変化率・電流変化率を図 3.19 にまとめる。ただし、7.5Ω以下では電流を計測できないため、サージ電圧とモジュールの PN 端子 間寄生インダクタンスから推定した。また負荷電流の実効値は 27.4A である。以上結果から、損失分離

表 3.4: 試験条件(損失評価試験)

電源電圧	600V
負荷電流	100Ар-р
スイッチング周波数	50kHz
負荷リアクトル	$64 \mu H$
平滑コンデンサ	80µF (フィルムコンデンサ 20µF /1.3kV 4 並列)
	$10\mu F$ (CeraLink5 $\mu F/1$ kV 2 並列)
スナバコンデンサ	23.5nF(MLCC 47nF/630V 2 直列)
外付けゲート抵抗	5.1, 7.5, 10, 15, 20, 30 Ω



図 3.17: 損失評価試験(外観)

を行う。

リアクトル銅損

リアクトルの抵抗値は表皮効果により周波数が上昇するのに伴い増加する。スイッチング周波数(50kHz) における交流抵抗は 269mΩ であったため、リアクトル銅損の概算値は以下のように求まる。

$$P_{reactor,cop} = (269 \times 10^{-3}) \times 27.3^2 = 200.5[W]$$
(3.5)

シャント抵抗損失

シャント抵抗の抵抗値は100mΩであったため、シャント抵抗損失は以下のように求まる。

$$P_{reactor,cop} = (100 \times 10^{-3}) \times 27.3^2 = 74.5[W]$$
(3.6)



(a) IEMOS モジュールターンオン



(b) IEMOS モジュールターンオフ





(c) VMOS モジュールターンオン

(d) VMOS モジュールターンオフ





図 3.19: ターンオフ電圧・電流時間変化率

導通損失

図 2.17a-2.17c に示すデバイス静特性から、VMOS と IEMOS の導通損失はそれぞれ以下のように求まる。

$$P_{CON,IE} = 29.0[W] \tag{3.7}$$

$$P_{CON,IE} = 14.9[W] \tag{3.8}$$

よって各モジュールの導通損失の差は15.1Wである。

49

スイッチング損失

図 3.18 のデバイス電流・電圧応答から、台形積分によりターンオン・ターンオフのスイッチング損失 を得た。

損失評価

図 3.20 にパワーアナライザを用いて得られた入力電力の測定結果とデバイスの静特性・動特性から得 られたデバイス損失の推定値を示す。ただし、入力電力の測定結果からリアクトル銅損およびシャント 抵抗損失を差し引いている。ゲート抵抗を小さくするにつれて、図 3.19 にまとめた電圧・電流変化率が 上昇し、スイッチング損失が小さくなっていることが分かる。

電圧変化率は前述の式 (2.7) のように表される。両者のモジュールの帰還容量・しきい値はおおよそ 一致するため、*dv/dt* は内部ゲート抵抗値 (図 2.17f) の差によって現れたものと考えられる。図 3.19a の ように、外付けのゲート抵抗が大きいと両者のモジュールの内部ゲート抵抗値の差が相対的に小さくな るため、電圧変化率に差は現れない。一方で、外付ゲート抵抗が小さいと内部ゲート抵抗値の差が顕著 となり、VMOS モジュールの方が高い電圧変化率を示す。

デバイス電流は前述の式 (2.8) のように表される。電流変化率の差はゲート抵抗・入力容量・トラン スコンダクタンスによって決まる。図 3.19b に示すように、電流変化率は IEMOS の方が高い。これは、 IEMOS の入力容量とトランスコンダクタンスが小さいことに起因すると考えられる。

 $R_g = 5.1\Omega$ の場合、入力電力の差は 14.2W となった。これは両者のモジュールの導通損失とおおよ そ一致する。外付けのゲート抵抗が十分小さくなると、スイッチング損失はターンオン損失とターンオ フ①損失が支配的となる。これらの損失は出力容量の充放電電流に起因する損失であるため、IEMOS・ VMOS モジュールにスイッチング損失の差が現れなかったものと考えられる。

以上より、低損失なパワーモジュールの性能の差を精度良く評価できることを示した。



図 3.20: 損失評価試験結果

3.5 伝導ノイズ測定法

電力変換回路ではパワーデバイスのスイッチング動作が高い周波数成分の雑音電圧・電流を生成する [52]。SiC や GaN パワーデバイスの登場により、高速なスイッチングが実現されると同時に、生じる 高周波数雑音の増大が懸念される。スイッチング動作に伴い生じるディファレンシャルモード (DM) ノ イズは、電力変換の原理・回路動作から不可避である。動作電圧・電流の大きい電力変換回路で生じる ディファレンシャルモードノイズのレベルは IT 機器の回路で生じるものに比べて何桁も大きい。定電 圧を維持するように設計される直流電源回路においては、ディファレンシャルモードのノイズ成分は高 調波成分と同時にフィルタにより低減される。コモンモード (CM) ノイズは、電力変換回路におけるパ ワーデバイスのスイッチング動作のみでは生じにくい。しかし、回路要素の寄生容量や寄生インダクタ ンスによる回路の非対称性に起因してディファレンシャルモード電圧・電流ノイズはコモンモードに変 換される。高周波のコモンモード電圧や電流は機器の筐体を通る復路を形成し伝導エミッションが放射 エミッションを生じ、EMI(電磁障害: Electromagnetic Interfere) として他の機器に与える影響が大き い。従って、取り扱う電力レベルの大きいパワーエレクトロニクス機器では EMC(電磁環境両立性: Electromagnetic Compatibility)性能の検証においてコモンモード電圧・電流の測定・評価が重要にな る。CISPR22 や CISPR11 に基づいた標準伝導ノイズ測定では、伝導エミッション電圧を LISN (Line Impedance Stabilization Network)を用いて雑音端子電圧の周波数スペクトルで評価する (図 3.21)。

ノイズ対策のために講じるフィルタ設計はノイズ電圧の DM・CM モードを分離して議論する [53] -

[56]。伝導ノイズ電圧測定におけるモード分離は、Δ型・T型LISN もしくは図 3.22 に示す CMDM モー ド切り替えスイッチ (以下、CMDM スイッチ)を用いる方法が一般的である [57]。CMDM スイッチは 図 3.23 に示すように変成器により 2 つの入力信号 A・B から CM/DM 電圧を合成する。CMDM スイッ チは簡単にモード分離が可能である一方で、一線対地間のノイズ電圧測定とモード分離を同時に行うこ とが出来ない。

本研究では、ベクトルシグナルアナライザ (VSA)を2チャンネル用い、その同期計測と演算処理に よるモード分離を行う手法を提案する。従来の周波数掃引式のスペクトラムアナライザは広い周波数帯 域・高いダイナミックレンジを有しているが、振幅測定に限られる。VSA で測定した一線対地間のノイ ズ電圧をベクトル量として扱い、演算により CM・DM 電圧に分離することでそれぞれの周波数スペク トルを抽出する。CMDM スイッチを用いた結果との比較により、提案手法の妥当性を示す。

3.5.1 モード分離手法

本章では、伝導ノイズのモード分離法について CMDM スイッチを用いた方法および提案する VSA を 用いた方法について概説する。

CMDM スイッチ

図 3.22 に示す CMDM スイッチ (9kHz-30MHz/ CMDM8700/ SCHWARZBECK) は V 型 LISN によ り得たノイズ電圧のモード分離を行う装置である。図 3.23 に CMDM スイッチの回路構成を示す。出力 信号はスイッチによって切り替わる。図 3.23a・b はそれぞれ入力信号 A・B を出力する接続状態を示 している。入力信号は測定機器の保護 (直流成分の除去)を目的とした 7kHz のハイパスフィルタを介し て出力する。また出力しないもう一方の入力信号は 50 Ω終端される。図 3.23c は入力信号 A・B の CM 成分を出力する接続状態である。CM 電圧は結合インダクタ・ハイパスフィルタを介して出力される。 DM 電流に対する結合インダクタのインピーダンスは非常に高いため、CM 成分のみを抽出することが



図 3.21: 伝導エミッション測定



図 3.22: CMDM スイッチ (CMDM8700/SCHWARZBECK)

可能である。図 3.23d は入力信号 A・B の DM 成分を出力する接続状態である。変圧器の一次側に印加 された DM 電圧により二次側電圧が生じる。CM チョークによって CM 成分を除去することで DM 成 分のみ抽出することが可能である。

図 3.24 にネットワークアナライザ (E5071C/ Keysight /300k-20GHz) により求めた CMDM スイッ チのミックストモード S パラメータ S_{sc12}・S_{sd12} を示す。3 ポートミックストモード S パラメータは式 (3.9) で定義される [58]。

$$\begin{pmatrix} b_1 \\ b_{d2} \\ b_{c2} \end{pmatrix} = \begin{pmatrix} S_{ss11} & S_{sd12} & S_{sc12} \\ S_{ds21} & S_{dd22} & S_{dc22} \\ S_{cs21} & S_{cd22} & S_{cc22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_{d2} \\ a_{c2} \end{pmatrix}$$
(3.9)

ただし、*a*₁・*b*₁ は出力ポートの入射波・反射波、*a*_{d2}・*b*_{d2} は入力ポートの DM 入射波・反射波、*a*_{c2}・*b*_{c2} は入力ポートの CM 入射波・反射波を表している。また S パラメータの 4 つの添字はそれぞれ順に、応 答ポートのモード、入力ポートのモード、応答ポートナンバー、入力ポートナンバーを表している。

図 3.24a に示すのは、スイッチを CM 電圧出力にして同期信号を入力した場合の $S_{sc12} \cdot S_{sd12}$ 、図 3.24b に示すのはスイッチを DM 電圧出力にして差動信号を入力した場合の $S_{sc12} \cdot S_{sd12}$ である。図 3.24a の S_{sc12} 、図 3.24b の S_{sd12} は全周波数帯域に亘りほぼ 0dB が得られており、選択したモード成分が減衰 せずに通過していることが分かる。一方、図 3.24a の S_{sd12} 、図 3.24b の S_{sc12} は特に 10MHz 以下では 40dB の分離性能が得られている。10MHz 以上では周波数の増加に伴い劣化するものの、30MHz にお いても 32dB のモード分離性能が得られている。

3.5.2 VSA

VSA は入力信号のスペクトルを周波数毎の同相成分 *I* と直交成分 *Q* に分解して求める [59]。VSA を 2CH 用いて、同期した測定を行うことで、図 3.25 のように 2 信号のベクトル演算が可能である。入力



図 3.23: CMDM スイッチ内部構成

信号 A、B の各周波数における IQ 成分をそれぞれ $I_A \cdot Q_A$ 、 $I_B \cdot Q_B$ とすると、含まれる DM · CM 成 \mathcal{O}_{DM} 、 \mathcal{O}_{CM} はそれぞれ式 (3.10)、(3.11) で得られる。

$$\vec{O}_{DM} = \sqrt{|\vec{A}|^2 + |\vec{B}|^2 - 2|\vec{A}||\vec{B}|\cos(\theta_A - \theta_B)} \angle \frac{|\vec{A}|\sin\theta_A - |\vec{B}|\sin\theta_B}{|\vec{A}|\cos\theta_A - |\vec{B}|\cos\theta_B}$$
(3.10)

$$\vec{O_{CM}} = \sqrt{|\vec{A}|^2 + |\vec{B}|^2 + 2|\vec{A}||\vec{B}|\cos(\theta_A - \theta_B)} \angle \frac{|\vec{A}|\sin\theta_A + |\vec{B}|\sin\theta_B}{|\vec{A}|\cos\theta_A + |\vec{B}|\cos\theta_B}$$
(3.11)

ただし、 $\mathbf{A} = |\mathbf{A}| \angle \theta_A = I_A + jQ_A$ 、 $\mathbf{B} = |\mathbf{B}| \angle \theta_B = I_B + jQ_B$ である。ここで j は虚数単位を表す。

3.5.3 モード分離性能の評価

試験条件

図 3.26a に CMDM スイッチを用いる場合、図 3.26b ベクトル演算機能を用いる場合のモード分離試験 系を示す。ただし、図中の色的は信号線を表している。任意波形発生器 (AWG、33600A/ Keysight)を用 いて伝導エミッション電圧を模擬する。任意波形発生器の出力は 2 台の V-LISN (Solar type 9867-5-TS-



(b) DM 信号入力

図 3.24: CMDM スイッチの通過特性

50-N / Solar electronics company)を介して CMDM スイッチもしくは VSA に接続している。V-LISN の外観、内部構成およびインピーダンス周波数特性・通過特性 *S*₁₁ を図 3.26 に示す。



図 3.25: ベクトル演算模式図



図 3.26: モード分離性能実験系模式図

正弦波入力に対するモード分離

CMDM スイッチ 図 3.28 に入力する同相正弦波信号・逆相正弦波信号の例を示す。ただし、信号線 ③ ⑤の長さは等しく、信号の周波数を 150kHz から 30MHz まで変化させた。図 3.29 に正弦波信号入力 に対するモード分離の結果を示す。図 3.29a は CM 入力信号に対するモード分離の結果、図 3.29b は図 3.29a から LISN のインピーダンス特性 (図 3.27)を補正した結果、図 3.29c は DM 入力信号に対するモー ド分離の結果、図 3.29d は図 3.29c から LISN のインピーダンス特性を補正した結果を示している。また CMDM スイッチの CM 出力を緑四角点に示し、DM 出力を黄四角に示す。図 3.29b より 150kHz-30MHz の範囲において、図 3.24 の結果と同様に 32dB 以上のモード分離性能を有している。また図 3.29d より、 逆相信号入力時も同相信号入力と同じように 32dB 以上のモード分離性能が得られている。以上の結果 から、本稿では VSA でのモード分離性能の目標値を 30dB とする。

\mathbf{VSA}

チャンネル間遅延位相遅れ補償

VSA を 2CH 用いて同期計測を行う場合、CH 間の遅延および位相遅れを評価・補正する必要がある。 長さの等しい (0.17m) 信号線を用いた図 3.30 中の条件 (i) において、同相信号入力に対する CH 間の位 相差は式 (3.12) に示すように周波数に比例する成分 *R* とオフセット θ₀ からなる線形関係が見られる。

$$\theta = R \times f + \theta_0[\deg] \tag{3.12}$$

(3.15)

ただし、f[MHz]は周波数である。最小二乗法により得られたパラメータは各々R = -1.38、 $\theta_0 = -10.4$ となった。周波数に比例する成分は伝搬遅延を表していることからケーブル長で補償し、キャリブレーションによりオフセット θ_0 を差し引いた結果を図 3.30 中の条件 (ii) に示す。ただし、補正するケーブル長は信号線 A の長さを 0.17m、信号線 B の長さを 0.96m とした。以下では、遅延位相遅れを補正した結果を示す。

モード分離

1

図 3.29 中の赤丸点は VSA による CM 成分、青丸点は DM 成分演算結果を示す。VSA の演算機能を 用いたモード分離は 30dB の目標値を達成しており、CMDM スイッチと同等の性能を有することが分 かる。

非正弦波入力に対するモード分離

式 (3.16) に示す非正弦波信号入力時の CMDM スイッチおよび VSA のモード分離性能を評価する。

$$\vec{A} = \vec{CM} + \vec{DM} \tag{3.13}$$

$$\vec{B} = \vec{CM} - \vec{DM} \tag{3.14}$$

 $\vec{CM} = 0.5(0.1\sin 16\omega t + 0.2\sin 17\omega t + 0.3\sin 18\omega t + 0.4\sin 19\omega t$

 $+0.5\sin 20\omega t + 0.4\sin 21\omega t + 0.3\sin 22\omega t + 0.2\sin 23\omega t + 0.1\sin 24\omega t)$

$$\vec{DM} = \begin{cases} 25 \times 10^6 t & (0 \le t \le 20 \text{ns}) \\ 0.5 & (20 \text{ns} \le t \le 250 \text{ns}) \\ -25 \times 10^6 t & (250 \text{ns} \le t \le 270 \text{ns}) \\ 0 & (270 \text{ns} \le t \le 500 \text{ns}) \end{cases}$$
(3.16)

ただし、 ω = 1[MHz]. CM 成分となる入力信号 A、B の和は 16-24MHz の正弦波の和であり、DM 成 分となる入力信号 A,B の差は台形波とした。これはパワーエレクトロニクス回路における回路電圧を模 擬している。入力信号 A、B および各信号の和・差の時間応答を図 3.31 に示す。 図 3.33 に CMDM スイッチ、VSA を用いたモード分離の結果を示す。図 3.33a の CM 成分の振幅に 関して、20MHz における VSA の演算結果が 106.9dBµV(0.22V) と僅かに異なった。これは VSA 内の FFT のスペクトル漏れに起因するものと考えられる。台形波の折れ点周波数は立ち上がり時間とパルス 幅で決まり、図 3.32 に示す両者の結果はよく一致している。

3.6 まとめ(3章)

第3章では、SiCデバイスの高電圧・大電流・高速スイッチング動作時の電圧・電流・電力(損失)・ ノイズの測定・評価法に関して検討した。

SiC デバイスを適用した電力変換回路の上側アーム電圧測定において、差動プローブに重畳されるコ モンモード (CM) 電圧を同時に測定し、残留 CM 電圧を補償することで、CMRR が低くても CMRR が 高いプローブと同等の結果が得られることを示した。差動プローブの残留 CM 電圧の影響を抑制するた め、CM ゲイン・位相特性を考慮した CM 電圧測定補償法を提案し、その妥当性を検証した。

次に、高速スイッチング動作時の電流測定手法に関して検討した。従来のロゴスキーコイルでは周波 数帯域が不足し、SiC デバイスの高速な電流変化を捕捉することができない。一方で、同軸シャント抵 抗を用いることで正確な電流測定できることを示した。

SiCパワーモジュールの正確な損失評価のため、僅かな損失の差を測定できる評価ベンチを開発した。 2種類の開発モジュールに対して損失評価試験を行い、その有用性を示した。

ベクトルシグナルアナライザ (VSA) を用いた、2CH 同期測定による伝導エミッション電圧の CMDM モード分離手法を提案した。従来手法である CMDM スイッチと、提案手法である VSA 出力のベクト ル演算によるモード分離性能を実験的に評価し、同等の結果が得られることを示した。以上より、VSA の伝導エミッション電圧測定におけるモード分離への応用の可能性を示した。

以上より、SiC デバイスを適用した電力変換回路の測定・評価における、各種の問題に対して検証を 行った。



(a) V-LISN 外観











図 3.29: 正弦波信号入力に対するモード分離



図 3.30: 同期した VSA 位相差



(b) $A + B \cdot A - B$

図 3.31: 入力信号の時間応答



図 3.32: 入力信号 A・B の周波数スペクトル



(b) DM 成分の周波数スペクトル

図 3.33: 非正弦波に対するモード分離

4 開発SiCパワーモジュールを適用した

電力変換回路の評価

4.1 大電力双方向 DCDC コンバータ応用

そこで本章では、開発パワーモジュールを適用した Dual Active Bridge (DAB) 回路を開発・評価する [60]-[62]。DAB 回路は SST(Solid-State Transformer) 等での応用が期待されている [63]。

4.1.1 デュアルアクティブブリッジ (DAB) 回路動作

DAB 回路は図 4.1a に示すように、単相のフルブリッジ回路 2 台をトランスを介して接続した構成で ある。DAB 回路の制御方法は一次側と二次側の任意の位相差 δ にすることで出力電力を制御する"位 相シフト制御"が一般的である。図 4.1b に DAB に用いる高周波トランスと外付けインダクタを抜粋し た回路図を示す。図 4.1c は、図 4.1b の高周波トランスを T 型等価回路に置き換えた時の回路図である。 ただし、巻線抵抗は無視している。トランスの磁化インダクタンス L_M が漏れインダクタンスに比べて 十分大きい場合。図 4.1c は図 4.1d に書き換えられる。



図 4.1: Dual Active Bridge 回路

DAB回路の回路動作と出力電力式導出

図 4.2 に一周期の間の各回路モード時の電流経路、図 4.3 にトランス一次側電圧 V_P 、二次側電圧 V_S 、 トランス電流 I_L の模式図を示す。また表 4.1 に各モードにおける導通デバイスと ZVS(Zero Voltage Switching) 可能なデバイスを示す。電圧が 0 近辺でスイッチングするソフトスイッチング動作である。

キルヒホッフの電流則より

$$i(t_0) = -i(t_3)$$
 (4.1)

$$i(t_1) = 0$$
 (4.2)

$$i(t_2) = i(t_3) - \Delta I_{L2}$$
 (4.3)

$$i(t_3) = \frac{\Delta I_{L1} + \Delta I_{L2}}{2}$$
 (4.4)

$$i(t_4) = 0 \tag{4.5}$$

キルヒホッフの電圧則より

$$\Delta I_{L1} = \frac{V_i + V_o}{L} T_1 \tag{4.6}$$

$$\Delta I_{L2} = \frac{V_i - V_o}{L} T_2 \tag{4.7}$$

スイッチング周期と位相差の関係より

$$T = T_1 + T_2$$
 (4.8)

$$T_1 = \frac{\delta}{2\pi}T = \frac{\delta}{2\pi}\frac{1}{f_{sw}} = \frac{\delta}{\omega_{sw}}$$
(4.9)

$$T_2 = \frac{\pi - \delta}{2\pi} T = \frac{\pi - \delta}{\omega_{sw}} \tag{4.10}$$

$$\Delta I_{L1} + \Delta I_{L2} = \frac{1}{L} \left((V_i + V_o) T_1 + (V_i - V_o) T_2 \right)$$
(4.11)

$$= \frac{1}{\omega_{sw}L} \left(V_i \delta + V_o \delta + V_i (\pi - \delta) - V_o (\pi - \delta) \right)$$
(4.12)

$$= \frac{1}{\omega_{sw}L} \left(\pi V_i (2\delta - \pi) V_o \right) \tag{4.13}$$
よって

$$i(t_3) = \frac{1}{2\omega_{sw}L} (\pi E_1 (2\delta - \pi) E_2)$$
 (4.14)

$$i(t_2) = \frac{\Delta I_{L1} + \Delta I_{L2}}{2} - \Delta I_{L2}$$
(4.15)

$$= \frac{\Delta I_{L1} - \Delta I_{L2}}{2} \tag{4.16}$$

$$= \frac{1}{2\omega_{sw}L} \left((2\delta - \pi)V_i + \pi V_o \right) \tag{4.17}$$

以上の式を元に回路の動作をモード毎分けて説明する。

Mode 1-2: $t_1 - t_2$

この時間領域では、2次側のコンデンサが放電する。この放電電荷 Q1-2 は以下の式で求まる。

$$Q_{1-2} = \frac{1}{2}i(t_2)(t_2 - t_1)$$
(4.18)

ここで三角形の相似性より

$$t_1 - t_0 = T_1 \frac{i(t_3)}{i(t_2) + i(t_3)}$$
(4.19)

$$t_2 - t_1 = T_1 \frac{i(t_2)}{i(t_2) + i(t_3)}$$
(4.20)

よって

$$Q_{1-2} = \frac{1}{2} \times T_1 \frac{(i(t_2))^2}{i(t_2) + i(t_3)}$$
(4.21)

$$= \frac{1}{2} \frac{\delta}{\omega_{sw}} \left\{ \frac{1}{4\omega_{sw}^2 L^2} \left((2\delta - \pi) V_i + \pi V_o \right) \right\} \frac{\omega_{sw} L}{\delta(V_i + V_o)}$$
(4.22)

$$= \frac{\left((2\delta - \pi)V_i + \pi V_o\right)^2}{8\omega_{sw}^2 L(V_i + V_o)}$$
(4.23)

Mode 2-3: $t_2 - t_3$

この時間領域では、2次側のコンデンサが充電される。この充電電荷 Q2-3 は以下の式で求まる。

$$Q_{2-3} = \frac{1}{2} (i(t_2) + i(t_3))(t_3 - t_2)$$
(4.24)

$$= \frac{1}{2} \times T_2 \frac{1}{2\omega L} (2\delta V_i + 2\delta V_o) \tag{4.25}$$

$$= \frac{1}{2} \frac{\pi - \delta}{\omega_{sw}} \frac{\delta}{\omega_{sw}L} (V_i + V_o) \tag{4.26}$$
$$(\pi - \delta) \delta (V_i + V_i)$$

$$= \frac{(\pi - \delta)\delta(V_i + V_o)}{2\omega_{sw}^2 L}$$

$$(4.27)$$

Mode 3-4: $t_3 - t_4$

この時間領域では、2次側のコンデンサが充電される。この充電 Q3-4 は以下の式で求まる。

$$Q_{3-4} = \frac{1}{2}i(t_3)(t_4 - t_3)$$

$$(4.28)$$

$$= \frac{1}{2}i(t_3)(t_4 - t_3)$$

$$(4.29)$$

$$= \frac{1}{2}i(t_3)(t_1 - t_0) \tag{4.29}$$

$$1 - i(t_2)^2$$

$$= \frac{1}{2}T_1 \frac{i(t_3)^2}{t_2 + t_3} \tag{4.30}$$

$$= \frac{(\pi V_i + (2\delta - \pi)V_o)^2}{8\omega_{sw}^2 L(V_i + V_o)}$$
(4.31)

Mode 4-5: $t_4 - t_5$, Mode 5-0: $t_5 - t_0$ Mode 0-1: $t_0 - t_1$

各回路モードはそれぞれ前述の回路モードと対称であるため、各充放電電荷は以下の式で表される。

$$Q_{4-5} = Q_{1-2} \tag{4.32}$$

$$Q_{5-0} = Q_{2-3} \tag{4.33}$$

$$Q_{0-1} = Q_{3-4} \tag{4.34}$$

以上より、1周期内の充放電電荷 Q は

$$Q = -Q_{1-2} + Q_{2-3} + Q_{3-4} - Q_{4-5} + Q_{5-0} + Q_{0-1}$$
(4.35)

$$= 2(-Q_{1-2} + Q_{2-3} + Q_{3-4})$$

$$(4.36)$$

$$((2\delta - \tau)V + \tau V)^{2} - (\tau - \delta)\delta(V + V) - (\tau V + (2\delta - \tau)V)^{2}$$

$$= 2\left\{-\frac{\left((2\delta-\pi)V_i+\pi V_o\right)^2}{8\omega_{sw}^2 L(V_i+V_o)} + \frac{(\pi-\delta)\delta(V_i+V_o)}{2\omega_{sw}^2 L} + \frac{(\pi V_i+(2\delta-\pi)V_o)^2}{8\omega_{sw}^2 L(V_i+V_o)}\right\}$$
(4.37)

$$= \frac{\delta(\pi - \delta)}{\omega_{sw}^2 L} V_i(V_i + V_o) \tag{4.38}$$

ここで、 $V_i = V_o$ とすると

$$Q = \frac{2\delta(\pi - \delta)}{\omega_{sw}^2 L} V_i^2 \tag{4.39}$$

出力電流 I₀は

$$I_o = Q \cdot f_{sw} \tag{4.40}$$

$$= \frac{2\delta(\pi-\delta)}{\omega_{sw}^2 L} V_i^2 \cdot f_{sw} \tag{4.41}$$

$$= \frac{V_i}{\omega L} \delta \left(1 - \frac{\delta}{\pi} \right) \tag{4.42}$$

DAB 回路の出力電力 Poは

$$P_o = V_o \cdot I_o \tag{4.43}$$

$$= \frac{V_i V_o}{\omega L} \delta \left(1 - \frac{\delta}{\pi} \right) \tag{4.44}$$

ただし、 P_{OUT} は出力電力 [W]、N はトランスの巻数比 ($N = N_1/N_2$)、 V_i 、 V_o は入出力電力 [V]、 ω_{sw} はスイッチング角周波数 (= $2\pi f_{sw}$)、L は一次側に等価換算した外付けインダクタ L_a とトランスの漏れインダクタンス $L_{Leakage}$ の和である。

図 4.1d 中の *L* が式 (4.44) の L(= 2($L_a + L_{Leakage}$)) である。式 (4.44) より、位相差が 90 度 ($\delta = \pi/2$ [rad])の時に最大の出力電力を得る。

4.1.2 DAB 回路の損失評価法

DAB 回路は高周波トランスの巻数比 N=1 にすると、入力電圧 V_i と出力電圧 V_o が一致する。そのため図 4.4 のように、出力電力を入力側に回生する接続をとることで、3.4.1 章のフルブリッジ回路損失評価試験と同様に電源から損失分のみ供給されることとなる。よって、入力電力をパワーアナライザで測定することで、効率測定・損失評価が可能となる。DAB 回路の効率 η は以下の式で表される。

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_o I_o}{V_i I_{Loss} + V_o I_o} \tag{4.45}$$

また回路内で発生する損失を以下にまとめる。リアクトルとトランスの鉄損を除く損失に関しては 3.4.1 章と同様に推定する。文献 [49] では、三次多項式近似曲線を出力電力 P_{out} = 0 の時まで外挿し推定し ており、これを参考にする。

1. 受動部品

- リアクトル
 - 銅損 Preactor,cop
 - 鉄損 Preactor, iron
- トランス
 - 銅損 Ptrans,cop
 - 鉄損 Ptrans,iron

2. パワーモジュール

- 導通損失 P_{CON}
- スイッチング損失 *P_{SW}*

4.1.3 デュアルアクティブブリッジ (DAB) 回路設計

制御系の設計 制御インターフェースに Single-Board RIO(sbRIO9606/National Instrument)を適用す る。制御プログラムはパソコン上の LabVIEW を用いて構築し、sbRIO 上の FPGA に書きこむ。制御 プログラムはパソコンの CPU ではなく FPGA 上で実行できるため、高速な制御を可能とする。sb-RIO 上に実装されている FPGA(Xilinx Spartan-6 FPGA)のクロック周波数は 40MHz であるため、最小 時間分解能は 25ns である。スイッチング周波数が 50kHz で動作させるため、位相差の分解能は以下の 式から求まる。

$$360 deg \times \frac{25 \text{ns}}{20 \mu \text{s}} = 0.45 [\text{deg}]$$
 (4.46)

受動部品の設計 本研究では開発 SiC パワーモジュールを 600V、50A、スイッチング周波数 50kHz の 動作条件で動かすことを目標とした。出力電力の動作点を 0 から 25kW まで 100 点とするため、位相差 分解能 0.45[deg] であることから外付インダクタの値を 21µ H を目標にした。

製作した高周波トランスと外付インダクタを外観及びインピーダンス特性を図 4.5 に示す。外付イン ダクタのコア材には Mn-Zn フェライト (MBT1/ JFE フェライト)を用いている。また巻線には表皮効 果の影響を軽減できるリッツ線を用いており、巻き数は 6 ターン、自己インダクタンスは 10.5µ H であ る。高周波トランスのコア材には Mn-Zn フェライト (PC40 EE コア 86*76*20mm/TDK)を用いてい る。巻線には絶縁リッツ線 (TEX-ELZ/古河電工)を用いており、巻き数は 11 ターン、磁化インダクタ ンスは 880µ H、漏れインダクタンスは 1.44µ H である。

表 4.2 に試験条件を示す。また図 4.6 に本試験条件における位相差と出力電力の関係を示す。

4.1.4 デュアルアクティブブリッジ (DAB) 試験結果

図 4.7 に DAB 回路動作時の効率及び損失の測定結果を示す。低出力領域(軽負荷)において損失が 増大するのは、負荷電流が ZVS に必要な電流値以下であることに起因する。定格運転時の一次側巻線電 流およびデバイス電圧を図 4.8 に、ターンオン・ターンオフ電流・電圧応答および電圧・電流軌跡を示 すを図 4.9。ターンオン動作時に ZVS 動作が出来ていることが分かる。定格運転(26kW)動作時にお いて効率 96.8%を達成した。

さらに外付けゲート抵抗を $Rg = 5.1\Omega$ まで下げた時の、定格運転時において効率 98.6 % を達成した。 $Rg = 5.1\Omega$ の時の損失評価の結果を図 4.10 に示す。誤差 22W であり、誤差率は 0.08% と高精度な損失 分離を達成した。

4.2 開発パワーモジュールの高電圧・大電流・高周波回路応用

SiCパワーモジュールの高周波駆動に関して様々な報告がなされているが、高電圧・大電流でかつ1MHz を超える高周波スイッチングを達成した報告はない [64]-[66]。開発パワーモジュールが高電圧・大電流・ 高周波連続動作が可能であるかを検証した。

4.2.1 試験条件(高電圧・大電流・高周波連続動作試験)

試験回路図と試験波形を図 4.11 に示す。また試験条件を表 4.3 に示す。 開発パワーモジュールを 2 台 用いてフルブリッジ回路を構成している。 $Q_{H1} \geq Q_{L1}$ のゲート信号は、それぞれ $Q_{L2} \geq Q_{H2} \geq -$ 致 し、図 4.11b に示すように、負荷電流は三角波状になる。スイッチング周波数 1MHz で駆動するため、 回路内の受動部品は全て共振周波数が 1MHz より高い必要がある。DC リンクコンデンサはリップル電 圧抑制のために大きな静電容量と高い自己共振周波数が求められる。CeraLink (5uF、1000V / TDK) は 低 ESL、低 ESR、高静電容量密度の特徴を有しているため [67]、試験回路の DC リンクコンデンサ として実装した。図 4.12a は、一般的に DC リンクコンデンサとして適用されるフィルムコンデンサ (40uF、1300V /EPCOS) および CeraLink の周波数特性を示している。フィルムコンデンサの共振周 波数が 150kHz であるのに対し、CeraLink は 1MHz を超えている。図 4.13 に 500V、500kHz 動作時に、 フィルムコンデンサと CeraLink をそれぞれ実装した場合の DC リンク電圧を示す。フィルムコンデンサ を実装した場合、共振周波数よりも高いスイッチング周波数で動作しているため Δ 80V(16%)の大きな リップル電圧が現れている。一方で、CeraLink はリップル電圧を Δ 20V(4%) と小さく抑えられている。

負荷リアクトルは自作の空芯コイルを用いた。式 (4.49) より、目標の電圧・電流・スイッチング周波 数から負荷のインダクタンス値が求まる。

$$L_{Load} = V \times \frac{dt}{di} \tag{4.47}$$

$$= 600 \times \frac{0.5 \times 10^{-5}}{100} \tag{4.48}$$

$$= 3\mu H \tag{4.49}$$

負荷リアクトルの周波数特性を図 4.12b に示す。図 4.12 より回路内の全ての受動部品の共振周波数が 1MHz を超えている事が分かる。本試験では、上下アーム短絡を防ぐため、デッドタイムを 400ns とし た。デッドタイム期間中は、ボディダイオードおよび還流ダイオードを介して負荷電流が流れる。

4.2.2 実験結果(高電圧・大電流・高周波連続動作試験)

図 4.14 に実験結果を示す。本動作は今までに報告にない負荷電圧 ±600V、負荷電流 ±50A、スイッ チング周波数 1MHz を達成した。

4.3 まとめ(4章)

本章では、開発 SiC パワーモジュールを適用した電力変換回路を製作し、その性能に関して評価した。 開発モジュールを適用した双方向絶縁型 DCDC コンバータ(デュアルアクティブブリッジ)回路開発 した。600V・100Ap-p・50kHz・25kW において最高変換効率 98.6%を達成した。開発パワーモジュー ルをフルブリッジ回路に組み込み、600V・100Ap-p・1MHz の高電圧・大電流・高周波連続動作を達成 した。さらに



図 4.2: Dual Active Bridge 回路動作



図 4.3: DAB 回路 電圧・電流模式図

表 4.1: Dual Active Bridge 回路モード

Mode	Time instant	Conducting devices		ZVS Turn on
		Primary side	Secondary side	
1-2	$t_1 - t_2$	Q_{H1} , Q_{L2}	Q_{L3} , Q_{H4}	
2	t_2	Q_{H1} , Q_{L2}	C_{H3} , C_{L3} , C_{H4} , C_{L4}	
2-3	$t_2 - t_3$	Q_{H1} , Q_{L2}	D_{H3} , D_{L4}	Q_{H3}, Q_{L4}
	after dead time	Q_{H1} , Q_{L2}	$Q_{H3}, D_{H3}, Q_{L4} D_{L4}$	
3	t_3	$C_{H1}, C_{L1}, C_{H2}, C_{L2}$	$Q_{H3}, D_{H3}, Q_{L4} D_{L4}$	
3-4	$t_3 - t_4$	D_{L1}, D_{H2}	$Q_{H3}, D_{H3}, Q_{L4} D_{L4}$	
	after dead time	$Q_{L1} , D_{L1}, Q_{H2} D_{H2}$	$Q_{H3}, D_{H3}, Q_{L4} D_{L4}$	Q_{L1}, Q_{H2}
4-5	$t_4 - t_5$	Q_{L1}, Q_{H2}	Q_{H3}, Q_{L4}	
5	t_5	Q_{L1} , Q_{H2}	C_{H3} , C_{L3} , C_{H4}, C_{L4}	
5-6	$t_{5} - t_{6}$	Q_{L1} , Q_{H2}	D_{L3} , D_{H4}	
	after dead time	Q_{L1} , Q_{H2}	$Q_{L3}, D_{L3}, Q_{H4} D_{H4}$	Q_{L3}, Q_{H4}
6	t_6	$C_{H1}, C_{L1}, C_{H2}, C_{L2}$	$Q_{L3}, D_{L3}, Q_{H4} D_{H4}$	
6-1	$t_{6} - t_{7}$	D_{H1}, D_{L2}	$Q_{L3}, D_{L3}, Q_{H4} D_{H4}$	
	after dead time	$Q_{H1}, D_{H1}, Q_{L2} D_{L2}$	$Q_{L3}, D_{L3}, Q_{H4} D_{H4}$	Q_{H1}, Q_{L2}



図 4.4: 損失評価試験時の接続図

電源電圧	600V
負荷電流	100Ар-р
スイッチング周波数	50kHz
外付けリアクトル	10.5 µ H (1 · 2 次側)
高周波トランス(磁化インダクタンス)	880 µ H
高周波トランス(漏れインダクタンス)	$1.44~\mu~{\rm H}$
平滑コンデンサ	80µF (フィルムコンデンサ 20µF/1.3kV 4 並列)
	$10\mu F$ (CeraLink5 μ F/1kV 2 並列)
スナバコンデンサ	23.5nF(MLCC 47nF/630V 2 直列)
外付けゲート抵抗	30 Ω
出力電力(位相差)	$0.25 \text{kW} \ (0 \sim 35.1 \text{deg})$

表 4.2: 試験条件(DAB回路)

表 4.3: 試験条件(高電圧・大電流・高周波回路応用)

電源電圧	600V
負荷電流	100Ap-p
スイッチング周波数	1MHz
負荷リアクトル	$2.8 \ \mu \mathrm{H}$
外付けゲート抵抗	$5.1 \ \Omega$



(a) 高周波トランス外観



(c) 高周波トランス インピーダンス特性(開放)



(e) 外付インダクタ インピーダンス特性

図 4.5: DAB 回路内受動部品



(b) 外付けインダクタ



⁽d) 高周波トランス インピーダンス特性(短絡)



図 4.6: 位相差-出力電力



図 4.7: DAB 回路試験結果



図 4.8: DAB 回路 デバイス電圧・1 次側巻線電流



図 4.9: ターンオン・ターンオフ電流・電圧応答 (Pout=25kW)



図 4.10: DAB 回路損失評価 (Pout=25kW)



図 4.11: 高周波・高電圧・大電流フルブリッジ回路







図 4.13: DC リンク電圧 (500V, 500kHz)



(c) 負荷電流 ILoad

図 4.14: 1MHz,600V,100Ap-p 連続駆動達成

5 結論

本研究では、SiC デバイスの高電圧・大電流・高速スイッチング動作を活かした、前例にない高周波 電力変換回路の開発を目指し、SiC デバイスの潜在能力を引き出す実装手法および正確にデバイス性能 を評価する手法について検討した。

以下では、本論文の主要な成果を示す。

5.1 結論

高電圧・大電流・高速スイッチング動作が可能な SiC パワーモジュールの開発

パワーモジュール内部に受動部品を実装することで、SiC デバイスの高速スイッチング動作に伴う 「ゲート発振」を抑制し、「サージ電圧」を低減することに成功した。本開発パワーモジュールは高電圧・ 大電流・高速スイッチング動作を達成し、実装手法の有用性を示した。

SiC デバイス適用回路の上側アームの過渡電圧測定におけるコモンモード電圧補償法

高速スイッチング時の過渡電圧応答の正確な測定法を確立するため、上側アーム電圧測定時の高電圧 差動プローブの性能が測定結果に与える影響について検証した。上側アーム電圧の測定結果は下側デバ イスの端子電圧(コモンモード電圧)の影響を完全に除去できないことを実験的に示し、さらにこのコモ ンモード電圧を考慮することでより真値に近い測定が可能であることを示した。プローブのコモンモー ド電圧に対する周波数特性に基づく残留コモンモード電圧補償法を提案し、2種類の高電圧差動プロー ブを対象にその妥当性を検証した。本補償法により、差動プローブに重畳される CM 電圧を別途測定す ることなしに、同時に測定する下側アーム MOSFET のドレイン電圧を用いて同等の結果が得られるこ とを示した。

低損失電力変換回路の損失測定ベンチの開発

低損失な電力変換回路でも正確に損失評価できるテストベンチを提案し、その妥当性をゲート構造の 異なる2種類の開発パワーモジュールを対象に検証した。僅かな損失の差を正確に測定・評価できるこ とを示した。

高周波電力変換回路用モード分離手法

ベクトルシグナルアナライザ (VSA) を用いた、2CH 同期測定による伝導エミッション電圧の CMDM モード分離手法を提案した。従来手法である CMDM スイッチと、提案手法である VSA 出力のベクト ル演算によるモード分離性能を実験的に評価した。任意波形発生器を用いて模擬したノイズ信号に対し て提案手法は従来手法と同等の結果が得られることを示した。 以上より、VSA の伝導エミッション電 圧測定におけるモード分離への応用の可能性を示した。

開発 SiC パワーモジュールを用いた高効率な大電力変換回路の実現

開発モジュールを双方向絶縁型 DCDC コンバータ(デュアルアクティブブリッジ)回路に適用したと ころ、出力電力 25kW において変換効率 98.6%を達成した。

開発 SiC パワーモジュールを用いた高電圧・大電流・高周波電力変換回路の実現

開発 SiC パワーモジュールを用いた 600V, 100Ap-p, 1MHz の高電圧・大電流・高周波電力変換回路 を実現した。1MHz の高電圧・大電流の回路動作は今までに報告にない。

以上より、本研究ではSiC デバイスの潜在能力引き出し、正確に評価し、高性能な電力変換回路の開 発に成功した。

5.2 今後の課題

本研究は 1.2.2 節で示した、SiC デバイスの社会実装における課題のうち「SiC デバイスの特性を引き 出す回路実装」に着目して得られた成果である。そのため、内蔵ゲート抵抗および内蔵スナバコンデン サの実装による、SiC パワーモジュールの高性能化を述べる一方で、部品点数が増えることによる信頼 性の低下には触れていない。また正確なパワーモジュールの性能評価手法に関して種々検討しているも のの、熱抵抗測定の結果と組み合わせ、高出力密度実装を実現するに至っていない。以上より、各課題 の対策案の検証に留まっている。

SiC デバイスの潜在能力を引きしたパワエレシステム開発には、電磁気・応力・熱・流体・材料など 多様な分野との複合的な最適化が求められる。本研究の SiC デバイスの実装法・評価法に関する成果を 元に、具体的なアプリケーションを意識した最適設計手法の確立につなげることが今後の課題である。

謝辞

本研究の全過程を通じて、ご多忙の身ながら終始懇切な御支援と御指導・御教示戴きました大阪大学 大学院工学研究科電気電子情報工学専攻 舟木剛教授に謹んで感謝の意を表します。至らないことに多い 私に、厳しく、時に優しく、辛抱強くご指導戴きました。

本論文をまとめるにあたり、同専攻の白神 宏之教授、高井 重昌教授、杉原英治准教授には副査としてご助言を戴くと共に本論文の細部にわたりご指導戴きました。深く感謝申し上げます。

研究遂行に際し、協力並びに助言を戴いた坂本 邦博様 (産業技術総合研究所)、福田 憲司様 (現在、 住友電気工業)、道越 久人様 (住友電気工業)、齋藤 多賀雄様 (TDK)、広川 正彦様 (TDK) 深く感謝 致します。

また、事ある毎に叱咤激励を戴きました井渕貴章助教に厚く御礼申し上げます。何かとお世話になり ました研究室秘書である井村文絵様を始めとする研究室の皆様に深く感謝致します。

本研究は共同研究体「つくばパワーエレクトロニクスコンステレーション(TPEC: Tsukuba Power Electronics Constellation)」、内閣府が実施する「戦略的イノベーションプログラム(SIP: Strategic Innovation Promotion Program)」文部科学省・科学技術振興機構による支援プログラム「スーパーク ラスタープログラム」によって行われた。

最後に、本研究遂行にあたり理解と援助を戴いた両親および妻に感謝の意を添えます。

参考文献

- [1] 経済産業省 資源エネルギー庁; "平成 29 年度 エネルギーに関する年次報告" http://www.enecho.meti.go.jp/about/whitepaper/2018pdf/
- [2] 落合政司; "スイッチング電源の原理と設計"オーム社, ISBN:978-4-274-21715-9 (2015)
- [3] W. E. Newell; "Power Electronics-Emerging from Limbo" IEEE Transactions on Industry Applications, Vol. IA-10, No. 1, pp. 7-11(1974)
- [4] 中津欣也; "産業界からみたパワーエレクトロニクスのこれまでとこれからの研究開発"平成 30
 年電気学会全国大会講演論文集,pp.1-6(2018)
- [5] J. L. Hudgins, G. S. Simin, E. Santi and M. A. Khan; "An assessment of Wide Bandgap Semiconductors for Power Devices" IEEE Transactions on Power Electronics, Vol.18, No.3, pp.907-914 (2003)
- [6] J. Milln, P. Godignon, X. Perpi, A. Prez-Toms and J. Rebollo; "A Survey of Wide Bandgap Power Semiconductor Devices" IEEE Transactions on Power Electronics, Vol. 29, No. 5, pp. 2155-2163 (2014)
- [7] 松波 弘之,大谷 昇,木本 恒暢,中村孝; "半導体 SiC 技術と応用(第2版)"日刊工業新聞社 ISBN:978-4-526-06754-9 (2013)
- [8] 吉田貞史; "耐苛酷環境の電子素子用半導体材料"電子技術総合研究所彙報,第54巻,第8号(1990)
- T. Funaki et al.; "Power Conversion with SiC Devices at Extremely High Ambient Temperatures" "IEEE Transaction on Power Electronics, Vol.22, No.4pp.1321-1329(2003)
- [10] ROHM ホワイトペーパー; "採用が進むロームの SiC パワーデバイスソリューション" https://www.rohm.co.jp/n(2017/11 掲載)
- [11] 安藤正之,西田信也; "SiC パワーモジュールの開発と応用分野の拡大"三菱電機技報,5月号, pp.7(2016)
- [12] 日本経済新聞 2014/5/21; "トヨタ、SiCパワー半導体を開発 2020 年までに実用化" https://www.nikkei.com
- [13] 佐藤賢司,福島隆文,須山哲宏,小田耕太郎,笠原学; "SiC素子を適用した新幹線車両用駆動シス テムの開発"平成28年電気学会産業応用部門大会講演論文集,V号,pp.307-308(2016)

- [14] 加藤かおる,森和久,松本洋平,薮内達志,大沼直人; "超高速エレベータ向け SiC 適用小型変換器の検討"電学論D,第137巻,第4号,pp.334-341 (2017)
- [15] 大島雅文,前田哲也,村津宏樹; "All-SiC モジュール搭載のメガソーラー用 PCS「PVI1000AJ-3/1000」" 富士電機技報, Vol.88,No.1 pp.13-17(2015)
- [16] 徳地明,福田憲司,岡村勝也 神藤勝啓,柴田 崇統,内藤富士雄"13kV 高電圧S i Cデバイスの加速器応用に関する研究" Proceedings of the 15th Annual Meeting of PASJ, pp.1010-1014(2018)
- [17] 金井 隆彦,小野徹也,生田文昭,三坂 佳孝,川嵜一博,舟木剛; "SiC-MOSFET を用いた 400kW-200kHz 高周波誘導加熱電源"平成 29 年電気学会全国大会講演論文集,4分冊, pp.29-30(2017)
- [18] D. Christy, T. Egawa, Y. Yano, H. Tokunaga, H. Shimamura, Y. Yamaoka, A. Ubukata, T. Tabuchi and K. Matsumoto; "Uniform Growth of AlGaN/GaN High Electron Mobility Transistors on 200 mm Silicon (111) Substrate" Applied Physics Express, Vol.6, No.2, 026501 (2013)
- [19] 松本 功,山岡 優哉; "パワーデバイス用 GaN on Si 結晶"電気学会誌, 137 巻, 10 号, p. 681-684
 (2017)
- [20] ANKER 製品;"PowerPort Atom PD1" https://www.anker.com
- [21] 山本 秀和, 佐藤 宣夫, 橋詰 保; "パワーデバイス用半導体結晶~Si, SiC, GaN, ダイヤモンド, Ga₂O₃~ 総論"電学誌, 第137巻, 第10号, pp.673-674 (2017)
- [22] 恩田 正一; "SiC ウェハの現状と展望" DENSO Techenical Review, vol.22, pp.41-50 (2017)
- [23] 菅沼克昭; "SiC/GaN パワー半導体の実装と信頼性評価技術"日刊工業新聞社 ISBN:978-4-526-07339-7 (2014)
- [24] Shigenori Toyoshima, Sathoshi Hatsukawa, Noriyuki Hirakata and Yasuki Mikamura; "Compact SiC Power Module for High Speed Switching" SEI Technical Review, No. 80, pp. 81-84 (2015).
- [25] K. Murata and K. Harada; "A self turn-on mechanism of the synchronous rectifier in a DC-DC converter" INTELEC 2004. 26th Annual International Telecommunications Energy Conference, pp. 642-646 (2004).
- [26] Tsuyoshi Funaki, Shuhei Yamamoto, Shin Harada, Yuji Iizuka, Kenji Fukuda, Akio Sugiki, Tatsuhiko Hiratani, Hiroshi Kimura, Takao Saitou; "Development of SiC Power Module and

Loss Evaluation in DC-DC Converter Circuit Application "Materials Science Forum Vols. 821-823, pp. 879-883 (2015)

- [27] Tsuyoshi Funaki, Shuhei Fukunaga, "Difficulties in characterizing transient thermal resistance of SiC MOSFETs" 22nd International Workshop on Thermal Investigation of ICs and Systems (Therminic 2016) proceeding (2016).
- [28] D. Rothmund, D. Bortis and J. W. Kolar; "Accurate Transient Calorimetric Measurement of Soft-Switching Losses of 10-kV SiC mosfets and Diodes" IEEE Transactions on Power Electronics, vol. 33, no. 6, pp. 5240-5250, (2018)
- [29] A. Kadavelugu, H. Suryanarayana, L. Liu, Z. Pan, C. Belcastro and E. Paatero; "A simple and accurate efficiency measurement method for power converters" 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 3265-3270(2017)
- [30] 田中英俊, 磯崎純平, 鈴木一馬, 北川亘, 竹下隆晴; 「SiC-MOSFET を用いた AC/DC コンバータ の伝導性ノイズ対策の検討」, 電気学会全国大会, 第4分冊, pp. 199-200(2016)
- [31] B. Jayant Baliga; "Power Semiconductor Device" PWS publishing Co. ISBN: 978-0534940980(1995)
- [32] R. Singh, J. A. Cooper, M. R. Melloch, T. P. Chow and J. W. Palmour; "SiC power Schottky and PiN diodes" IEEE Transactions on Electron Devices, vol. 49, no. 4, pp. 665-672 (2002)
- [33] T. Masuda, Y. Saito, T. Kumazawa, T. Hatayama and S. Harada; "0.63m Ω cm2 / 1170V 4H-SiC Super Junction V-groove trench MOSFET" 2018 International Electron Devices Meeting, pp8.1.1-8.1.4(2018)
- [34] Duan Graovac, Marco Prschel, Andreas Kiep; "MOSFET Power Losses Calculation Using the Data sheet Parameter" Infineon Application Note, ver.1.1 (2006)
- [35] International Rectifier Application Note; "AN-941: Paralleling power MOSFETs" http://www.irf.com/application-notes
- [36] S. Harada et al.; "1.8 m Ω cm2, 10 A Power MOSFET in 4H-SiC" 2006 International Electron Devices Meeting, pp.1-4(2006)
- [37] Hideto Tamaso, Takeyoshi Masuda, Yu Saitoh, Hiroshi Notsu, Hisato Michikoshi and Yasuki Mikamura; "Fast Switching SiC V-groove Trench MOSFETs" SEI Technical Review, No. 86, pp. 91-95, April. (2018).

- [38] S. Jahdi, O. Alatise, C. Fisher, L. Ran and P. Mawby; "An Evaluation of Silicon Carbide Unipolar Technologies for Electric Vehicle Drive-Trains" IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 2, no. 3, pp. 517-528 (2014).
- [39] H. Sakairi, T. Yanagi, H. Otake, N. Kuroda and H. Tanigawa; "Measurement Methodology for Accurate Modeling of SiC MOSFET Switching Behavior Over Wide Voltage and Current Ranges" IEEE Transactions on Power Electronics, vol. 33, no. 9, pp. 7314-7325(2018)
- [40] JEC-2406, 「MOS 型電界効果トランジスタ」電気書院 ISBN: 978-4-485-98940-1(2014)
- [41] 長浜, "インバータの高電圧アイソレーション測定"パワーエレクトロニクス学会誌, Vol.37, pp.130-133, Mar. 2012.
- [42] K. Johnson, D. Maliniak; "Oscilloscope Probes for Power Electronics: Be Sure to Choose the Right Probe for Accurate Measurements" IEEE Power Electronics Magazine, vol. 5, no. 1, pp. 37-44 (2018)
- [43] Tektronixs Datasheet; "High-voltage Differential Probes TMDP0200 THDP0200 THDP0100
 P5200A P5202A P5205A -P5210A ", https://jp.tek.com/
- [44] Tektronixs User Manual; "TIVM Series IsoVuTM Measurement System", https://jp.tek.com/
- [45] ANALOG DEVICES Tutorial; "Microstirp and Stripline Design", MT-094(2009)
- [46] E. Oyarbide, C. Bernal and P. Molina-Gaud; "New Current Measurement Procedure Using a Conventional Rogowski Transducer for the Analysis of Switching Transients in Transistors" IEEE Transactions on Power Electronics Letter, pp.2490-2492 (2016)
- [47] Youichirou Suzuki, Shuichi Kouno, Ryohei Kataoka, Tomonori Kimura and Hiroki Kuwano;
 "Study of compact and broad spectrum coil by the laminated substrates structure" Transactions of the JSME, Vol.81, No.828, pp.1-6(2015).
- [48] J. A. Ferreira, W. A. Cronje and W. A. Relihan; "Integration of high frequency current shunts in power electronic circuits" IEEE Transactions on Power Electronics, vol. 10, no. 1, pp. 32-37 (1995)

- [49] T. Yamagishi, H. Akagi, S. Kinouchi, Y. Miyazaki, and M. Koyama; "A 750-V, 100-kW, 20-kHz Bidirectional Isolated DC/DC Converter Using SiC-MOSFET/SBD Modules", IEEJ Transactions, Vol.134, No.5, pp.544-553 (2014)
- [50] Koji Yamaguchi and Junichi Magome; "SiC-MOSFET Converter for Switched Reluctance Motors", IEEJ Transactions., Vol.135, No.7, pp.761-768 (2015)
- [51] Otto Kreulzer, Martin Marz and Hideki Nakata; "Full SiC DCDC-Converter with a Power Density of more than 100kW/dm3", Mayerials Science Forum., Vol.821-823, pp.844-888 (2015)
- [52] 関口秀紀, 舟木剛;「パワーエレクトロニクス機器と EMC」, 電学論 A, 134 巻, 第1号, pp. 36-40, (2014)
- [53] Shuo Wang, F. C. Lee and W. G. Odendaal; "Improving the performance of boost PFC EMI filters" Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition (APEC2003), USA, pp. 368-374 vol.1, (2003)
- [54] Shuo Wang, F. C. Lee and W. G. Odendaal; "Characterization, evaluation, and design of noise Separator for conducted EMI noise diagnosis" IEEE Transactions on Power Electronics, vol. 20, no.4, pp. 974-982, (2005)
- [55] P. Hillenbrand, S. Tenbohlen, C. Keller and K. Spanos; "Understanding conducted emissions from an automotive inverter using a common-mode model" IEEE International Symposium on Electromagnetic Compatibility (EMC), Dresden, pp. 685-690(2015)
- [56] M. C. Caponet, F. Profumo, L. Ferraris, A. Bertoz and D. Marzella; "Common and differential mode noise separation: comparison of two different approaches" IEEE 32nd Annual Power Electronics Specialists Conference, vol. 3, pp. 1383-1388.(2001)
- [57] CMDM 8700 data sheet http://www.schwarzbeck.de/Datenblatt/k8700.pdf
- [58] W. Fan, A.Lu, L.L. Wai, B.K. Lok; "Mixed-mode S-parameter characterization of differential structures" Proceedings of the 5th Electronics Packaging Technology Conference (EPTC 2003), pp. 533-537(2003)
- [59] 高橋朋仁;「スペクトラム・アナライザ入門:高周波信号解析に役立つ基本操作と応用」CQ 出版, ISBN: 978-4789837224 (2006)

- [60] R. W. De Doncker, D. M. Divan and M. H. Kheraluwala; "A three-phase soft-switched high power density DC/DC converter for high power applications" Conference Record of the 1988 IEEE Industry Applications Society Annual Meeting, vol.1, pp. 796-805(1988)
- [61] M. N. Kheraluwala, R. W. Gascoigne, D. M. Divan and E. D. Baumann; "Performance characterization of a high-power dual active bridge DC-to-DC converter" IEEE Transactions on Industry Applications, vol. 28, no. 6, pp. 1294-1301, (1992)
- [62] 井上重徳, 赤木泰文; "双方向 DC/DC コンバータの動作電圧と損失解析"電学論 D, 127 巻, 2 号,
 pp. 189-197 (2007)
- [63] J. E. Huber, J. W. Kolar; "Solid-State Transformers: On the Origins and Evolution of Key Concepts" IEEE Industrial Electronics Magazine, vol. 10, no. 3, pp. 19-28(2016).
- [64] 和田圭二, 田栗賢人; "ヒートシンク分割手法を用いた高周波スイッチング PWM インバータの実装"電学論 D, Vol.134, No.8, pp. 734-741(2014)
- [65] Ahmed M. Abou-Alfotouh, Arthur V. Radun, Hsueh-Rong Chang and Craig Winterhalter; "A 1-MHz Hard-Switched Silicon Carbide DCDC Converter" IEEE Transaction on Power Electronics, Vol.21, No.3, pp.880-889(2016)
- [66] X. Xu et al.; "Performance Evaluation of SiC MOSFET/BJT/Schottky Diode in A 1MHz Single Phase PFC" Annual IEEE Applied Power Electronics Conference and Exposition, USA, pp. 1268-1272(2007)
- [67] J.Konrad. M.Koini, M. Schossmann and M.Puff; "New demands on DC link power capacitors", TDK white paper, https://jp.tdk-electronics.tdk.com/

研究業績

【学術雑誌発表論文】

- Kei Hayashi, Tsuyoshi Funaki, Hisato Michikoshi, Kenji Fukuda : "1MHz Switching Operation of 1200V Full SiC Power Module" Materials Science Forum, Vol. 924, pp.832-835,(2018).
- 林慧,舟木剛,井渕貴章:「ハーフブリッジ回路上側アームの過渡電圧測定におけるコモンモー ド電圧補償法」電子情報通信学会論文誌B(2019)[採択決定]
- Kei Hayashi, Shunji Mori, Takaaki Ibuchi and Tsuyoshi Funaki: "Mode decomposition of conducted noise voltage with synchronized vector signal measurement", IEICE Communications Express(2019)[採択決定]

【学会発表(国際会議)】

- <u>Kei Hayashi</u>, Tsuyoshi Funaki: "Switching sequence for balancing heat generation in integrated switched reluctance motor drive circuit" the 12th IEEE International Conference on Power Electronics and Drive Systems (IEEE PEDS 2017), Honolulu, Hawaii, USA, Dec. 12-15, 2017.
- Kei Hayashi, Tsuyoshi Funaki, Hisato Michikoshi, Kenji Fukuda: "1MHz Switching Operation of 1200V Full SiC Power Module" 2017 International Conference on Silicon Carbide and Related Materials (ICSCRM), Washington, D.C., USA, Sep. 17-22, 2017.
- Kei Hayashi, Tsuyoshi Funaki, Hisato Michikoshi, Kenji Fukuda: "Comparative Study of Full SiC Power Module in 1MHz, 600V, 50A Switching Operation" International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management(PCIM Europe 2018), Nuremberg, Germany ,June. 5-7, 2018.
- <u>Kei Hayashi</u>, Tsuyoshi Funaki, Hisato, Michikoshi, Kenji Fukuda: "Comparative Study of developed 1200V/50A full SiC IEMOS and VMOS power module" 12th European Conference on Silicon Carbide and Related Materials (ECSCRM2018), Birmingham, UK ,September. 2-6, 2018.

【学会発表(国内学会・研究会 等) 】

- 舟木 剛, 林慧:「SiC デバイス適用によるスイッチトリラクタンスモータ用駆動回路の損失に関する一検討-低速回転時の導通損失・スイッチング損失評価-」,電気学会・半導体電力変換・家電・民生・自動車合同研究会,2015年12月17-18日.
- 林慧,舟木剛:「SiC MOSFET を用いたスイッチトリラクタンスモータ駆動回路の損失に関する一検討 一同期整流による導通損失低減一」,電気学会 電力技術・電力系統技術・半導体電力変換 合同研究会,2017年3月.
- 林慧,舟木剛,杉原 英治,道越久人,福田憲司「1200V,50A Full-SiC モジュールの1MHz スイッ チング駆動」応用物理学会 先進パワー半導体分科会第4回分科会,2017年11月.
- 4. 林慧,舟木剛,井渕貴章「ワイドバンドギャップ半導体デバイスを適用したパワーエレクトロニクス回路の過渡特性計測法に関する一検討」電子情報通信学会・環境電磁工学研究会(若手研究 者発表会),2017年11月.
- 5. <u>林 慧</u>, 舟木 剛, 井渕貴章「パワーエレクトロニクス教育用回路キットの開発」電気学会 教育フロンティア研究会, 2017 年 12 月.
- 6. 林慧,舟木剛「パワーエレクトロニクス教育用回路キットを用いたワイドバンドギャップ半導体 デバイスの過渡特性に関する実験的評価」電気学会電力技術・電力系統技術・半導体電力変換合 同研究会,2018年3月
- 林慧,森峻治,井渕貴章,舟木剛「ベクトルシグナルアナライザによる伝導ノイズ電圧のモー ド分離に関する実験的検討」電気学会・電磁環境研究会,EMC-18-032,2018年10月.
- 林慧,舟木剛,井渕貴章「高電圧ハーフブリッジ回路上側アームの過渡電圧測定におけるコモン モード電圧補償法」電子情報通信学会・環境電磁工学研究会ワークショップ,EMC-18-032,2018 年11月.

【受賞 】

1. 茨城大学成績優秀学生表彰 (2013 年 12 月)

2. 環境電磁工学研究会若手研究者発表会優秀賞 (2017年11月)

- 3. TPEC 奨励賞 (2017 年 12 月)
- 4. 平成 29 年度 電気学会優秀論文発表 A 賞
- International Student Symposium 2018 次世代サイエンティストの育成-ゴールド賞 [浜田 宏紀, 末岐 渉, 福永 崇平, 林 慧, 舟木 剛], 材料技術研究協会, (2018 年 8 月).
- 6. 第 30 回電気電子機器のEMCワークショップ ポスター発表優秀賞

【助成】

- 1. パワーアカデミー 2015 年度パワーアカデミー研究助成 萌芽研究, 2015 年 12 月
- Student Travel Grant (International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management: PCIM Europe 2018)