



Title	An Implementation of Embedded Object Detection System with Information-Preserved Algorithm Transformation
Author(s)	光成, 浩一
Citation	大阪大学, 2019, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/72584
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

論文内容の要旨

氏 名 （ 光 成 浩 一 ）	
論文題名	An Implementation of Embedded Object Detection System with Information-Preserved Algorithm Transformation (情報保持アルゴリズム変換を用いた組込み物体検出システムの実装)
<p>論文内容の要旨</p> <p>Demand for advanced driver assistance systems (ADAS) based on visual object detection is increasing for reducing deaths and economic loss due to traffic accidents. These embedded systems require fast and accurate object detection with limited power consumption. Due to the severe constraint on power consumption, hardware-oriented design optimization is a promising approach. However, it is still difficult to satisfy the above requirements simultaneously because many existing object detection algorithms are not designed considering hardware implementation. To address this issue, this dissertation proposes a hardware architecture for an object detection method with aggregated channel features (ACF). This dissertation approaches the issue through information-preserved algorithm and hardware architecture for fast classification. For improving the trade-offs, this dissertation focuses on information preservation in histograms of oriented gradients (HOG) feature descriptor and a quantization method for boosted decision trees (BDT) classifiers, and highly-parallelized hardware architecture for BDT.</p> <p>For improving the trade-off between detection accuracy and power consumption of feature extraction, this dissertation proposes information-preserved HOG feature descriptor named decomposed vector HOG (DV-HOG). DV-HOG feature extraction is based on the decomposition of a gradient vector to generate a histogram. DV-HOG extracts equivalent information to the original HOG, and it can be computed only with additions and multiplications. The hardware architecture for DV-HOG utilizes the symmetry of the vectors to reduce power consumption. Experimental results show that DV-HOG achieves the equivalent or better detection accuracy to the original HOG only with one-fourteenth hardware area.</p> <p>For reducing memory requirements, this dissertation proposes a quantization method for a BDT classifier, which ACF uses as a classifier. The proposed method utilizes the BDT's characteristics that BDT is based on the comparison of a pair of a feature and a threshold. Thus, the range of thresholds of a BDT classifier is narrower than that of features. The proposed quantization method focuses only on the range of thresholds for quantization. Experimental results show that the memory requirement can be reduced to one-sixteenth with 2% accuracy degradation on INRIA Person Dataset, which improves the trade-off between the detection accuracy and memory requirement.</p> <p>For improving detection speed, this dissertation proposes a hardware architecture for fast BDT classification. The fast classification is realized by hardware-software cooperative approach: highly-parallelized hardware and a software algorithm for avoiding memory access conflict from multiple hardware modules. The hardware supports 3-D parallelized classification: 2-D for images like SIMD operation and 1-D for feature channels. The hardware is designed to reduce hardware resources and connections for improving the scalability to the high degree of parallelism. The scheduling algorithm using a greedy approach determines the memory access pattern before classification. The evaluation result shows that 1,024-parallel implementation is capable of classifying pedestrian in 350 frames of Full HD images.</p> <p>Based on the above three methods, this dissertation proposes an ACF object detection hardware. Thanks to the high compatibility of ACF to hardware implementation and the above hardware-oriented algorithms to overcome the challenges, the hardware achieves fast and accurate classification. An FPGA implementation result shows that the proposed system can detect pedestrians in 170 fps a Full HD image, which is 57-times faster than the existing ACF hardware implementation. As an evaluation in a practical environment, the proposed hardware can process 6-class traffic object detection in 78 fps for a Full HD image, which satisfies the requirement for the automatic braking system of ADAS.</p> <p>The main contribution of this work is the improvement of trade-offs between detection accuracy, detection speed, and power consumption in object detection, which is achieved by the use of the information-preserved algorithm and hardware-oriented approaches.</p>	

論文審査の結果の要旨及び担当者

氏 名	(光成 浩一)		
論文審査担当者	(職)		氏 名
	主 査	教授	橋本 昌宜
	副 査	教授	尾上 孝雄
	副 査	教授	竹村 治雄

論文審査の結果の要旨

本論文は、情報保持アルゴリズム変換を用いた組込み物体検出システムの実装に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

(1) ベクトル分解に基づく方向勾配ヒストグラムの提案

画像処理に基づく物体認識で広く使用される方向勾配ヒストグラム (HOG) 特徴記述子の実装では、ハードウェア親和性の低い演算の使用による回路面積の増大、もしくは近似演算の導入による認識精度の低下が問題となっている。本論文では、線形代数学に基づくベクトル分解を用いた HOG アルゴリズムである DV-HOG を提案した。DV-HOG は四則演算のみを使用するため低計算量であり、特徴抽出時に情報損失が発生しない。DV-HOG は既存手法の 1/14 の回路面積で実現可能で、歩行者検出において精度劣化が発生しないことを示した。

(2) ブースティング決定木向け量子化手法の提案

物体検出では、入力画像から抽出した特徴量の格納に多くのメモリが必要となる。ブースティング決定木を用いた識別は特徴量と閾値との大小比較に基づく性質を利用し、本論文は識別器の閾値の範囲のみに注目した量子化手法を提案した。識別に必要な値の範囲のみに注目することで、メモリ量の削減を実現している。歩行者検出において、2% の精度劣化を許容することでメモリ使用量を 1/16 に削減可能であることを示した。

(3) 並列処理可能なブースティング決定木のハードウェア・アーキテクチャの提案

ブースティング決定木では、選択されるノードが入力データに依存するため並列処理が困難であるという問題があった。本論文は、入力データ依存性を排除するために決定木の全ノードを訪問し、SIMD-like な演算を可能とするハードウェア・アーキテクチャを提案した。また、決定木のノード処理順を決めるスケジューリング手法を提案し、複数のメモリバンクに対するアクセスの競合を回避することで複数ノードの同時処理可能にした。歩行者検出において、提案アーキテクチャは 845 倍の高速化を達成した。

(4) ACF を用いた物体検出システムの提案

(1) から (3) の提案を用いて、物体検出手法 ACF に基づくハードウェア・アーキテクチャを提案した。提案手法により、物体検出のハードウェア実装における、検出精度、検出速度、回路面積のトレードオフを向上している。提案アーキテクチャは、多クラス、複数スケールの物体を検出可能であり、FPGA に実装した提案アーキテクチャがフル HD 画像に対して、170 fps、78fps で歩行者検出、6種類の交通物体検出できることを示した。

以上のように、情報保持アルゴリズム変換を用いた組込み物体検出システムの実装に関する研究により、既存手法では達成困難であった高精度かつ高速な検出を組込みシステムで実現できる点で非常に有用である。これにより、組込みシステムでの物体検出の利用拡大が期待できる。従って、博士（情報科学）の学位論文として価値のあるものと認める。