



Title	パワー半導体デバイス動作中の発熱・発光による解析技術に関する研究
Author(s)	遠藤, 幸一
Citation	大阪大学, 2019, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/72588
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

パワー半導体デバイス動作中の
発熱・発光による解析技術に関する研究

提出先 大阪大学大学院情報科学研究科

提出年月 2019 年 1 月

遠 藤 幸 一

「パワー半導体デバイス動作中の 発熱・発光による解析技術に関する研究」

内容梗概

本論文は、著者が株式会社東芝および東芝デバイス&ストレージ株式会社(分社化に伴う所属名変更)および大阪大学大学院情報科学研究科情報システム工学専攻博士課程在学中(平成25年10月～30年9月)において行ってきた半導体製品の故障解析技術に関する研究のうち、半導体チップの発熱・発光によってパワー半導体の動作状態を非接触に観測する手法に関する研究をまとめたもので、本文は次の5章から構成されている。

第1章は序論であり、本研究の背景、目的ならびにパワー半導体に要求される信頼性上の問題点、およびパワー半導体の動作解析技術を研究、開発する位置づけについて述べる。次にパワー半導体の特性のうち、素子の阻止電圧分布およびアバランシェ降伏時の電流、温度の分布とその偏りがパワー半導体の信頼性に与える影響について説明する。パワー半導体の信頼性向上のためには、アバランシェ降伏動作時の電流分布、発熱分布を知ることは極めて重要である。本論文では、特に高い信頼性が要求される車載、産業用途で多用される、誘導負荷スイッチング(unclamped inductive switching: UIS)条件の下で避けるべきアバランシェ降伏状態が発生した場合の問題点を説明する。次にパワー半導体内で電流集中が発生した場合に、動作観測に利用できる物理現象として、発熱および発光について説明する。最後にパワー半導体の動作解析技術の位置付けを述べ、本研究の目的をまとめる。また本論文の構成を説明する。

第2章ではロックイン熱放射顕微鏡(Lock-in Thermography: LIT)を用いてパワー半導体の発熱分布を観測する解析方法について述べる。まずLITの原理と中赤外光を用いて得られるサンプルの発熱情報およびその解釈について述べる。次に、LITを用いてパワー半導体の阻止電圧分布を観測する手法とその実験結果について述べる。次にアバランシェ降伏時の発熱分布を観測する手法とその実験結果について述べる。最後に実験結果を考察しLITの問題点について述べる。

第3章は、発熱をLITよりも高速に観測する手法として、光に対する反射率の温度依存性を用いた観測方法について述べる。まず本研究において開発した近赤外光を

用いる熱反射率光学プローブイメージマッピング法(optical probed thermo-reflectance image mapping: OPTIM)および熱反射率光学プローブ波形観測(optical probed thermo-reflectance waveform: OPTW)の原理について述べる。次に実験装置と実験方法について述べる。次に単純構造の素子を用いて本解析手法の基本機能について実験を行った結果を述べる。次にアバランシェ降伏時の発熱分布を測定した実験結果について述べる。最後に、これらの実験結果を総括し、本手法が半導体デバイスの温度変化について過渡応答を観測する有効な手段であることを示す。

第4章は時間分解エミッション(time resolved emission: TRE)の原理によるマッピングイメージ顕微鏡装置を用いた発光解析手法について述べる。まずパワー半導体の一つである IGBT(Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ)のアバランシェ降伏時の電流集中(電流フィラメント形成)について述べ次に本研究で用いた測定系の構成と原理について述べる。次に観測に用いたサンプルと実験条件について述べる。最後に実験結果と考察を述べる。

第5章では、本研究で得られた成果をまとめ、今後の課題について述べる。

関連発表論文および資料

1. 学会誌

- 1 K. Endo, Y. Midoh, T. Nakamura, T. Matsumoto, K. Koshikawa and K. Nakamae, "Thermal behavior analysis of interconnect structures of Si semiconductor devices using the temperature dependent reflectance of an incoherent light beam," Jpn. J. Appl. Phys. Vol.57, No.7S2, p.07ME02, (2018).
- 2 K. Endo, K. Nakamae, " Direct Observations of Current Filament Movement on the Edge Termination Region of Insulated Gate Bipolar Transistor Chip under Avalanche Breakdown Condition Using the Time-Resolved Emission Imaging Microscopy with Microsecond Resolution," IEEE Trans. Device and Materials Reliability (2018) (to be submitted).

2. 国際学会

- 1 K. Endo, K. Norimatsu, K. Nakashima, T. Setoya, S. Nagamine, T. Nakamura, K. Koshikawa and K. Nakamae, "Time resolved emission observation from top surface in avalanche breakdown of power MOSFET." in IEEE International Reliability Physics Symposium (IRPS), 2014, pp. FA-3.1-FA-3.5.
- 2 K. Endo, K. Norimatsu, K. Nakashima, T. Setoya, S. Nagamine, T. Nakamura, K. Koshikawa and K. Nakamae, " Power MOSFET Avalanche Breakdown Current Observation using Time Resolved Emission Microscope from Top of Chip Surface," 34th NANO Testing Symposium (2014), pp.41-46.
- 3 K. Endo, K. Norimatsu, T. Nakamura, T. Setoya and K. Nakamae, "Thermoreflectance mapping observation of Power MOSFET under UIS avalanche breakdown condition," Microelectron. Reliab. 55:9-10 (2015): pp.1628-1633.
- 4 Setoya, T. Ogura, W. Saito, T. Matsudai and K. Endo, "Destruction failure

- analysis and international reliability test standard for power devices," Microelectron. Reliab. 55.9-10 (2015): pp.1932-1937.
- 5 K. Endo, K. Norimatsu, T. Setoya, T. Nakamura, T. Matsumoto, K. Koshikawa and K. Nakamae, "Detailed thermal analysis of semiconductor devices with optical probed thermo-reflectance image mapping (OPTIM)," 35th NANO Testing Symposium (2015), pp.233-238.
 - 6 K. Endo, S. Nagamine, W. Saito, T. Matsudai, T. Ogura, T. Setoya and K. Nakamae, "Direct photo emission motion observation of current filaments in the IGBT under avalanche breakdown condition," in IEEE 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD), (2016), pp.367-370.
 - 7 K. Koshikawa, T. Nakamura, T. Matsumoto and K. Endo, "Application to thermal analysis using optical probe technique," IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), (2017), pp.1-4.
 - 8 K. Endo, Y. Midoh, T. Nakamura, T. Matsumoto, K. Koshikawa and K. Nakamae, " Thermal behavior analysis of interconnect of Si semiconductor device with optical probed thermo-reflectance image mapping (OPTIM) and waveform (OPTW)," Advanced Metallization Conference (2017), P-LN1, pp.82-83.

3. 学術講演会

- 1 遠藤幸一, 菅野和明, 長峰真嗣, 藤原健志, 吉井一郎, 長友俊信, 藤巻智, 「等価時間サンプリング手法を用いた Power MOSFET における UIS 熱応答測定」, 日本科学技術連盟 信頼性・保全性シンポジウム, 2013.
- 2 遠藤幸一, 則松研二, 瀬戸屋孝, 中嶋克徳, 中村共則, 中前幸治,

「TRE(時間分解エミッション) を用いた Power MOSFET アバランシェ降伏電流分布の非接触観測」, 日本科学技術連盟 信頼性・保全性シンポジウム, 2015.

- 3 遠藤幸一, 則松研二, 瀬戸屋孝, 中村共則, 中前幸治, 「反射率イメージマッピング(OPTIM)による半導体パワーデバイスの熱解析」, 日本科学技術連盟 信頼性・保全性シンポジウム, 2016.
- 4 遠藤幸一, 中村共則, 松本徹, 越川一成, 中前幸治, 「熱反射率光学プローブ法を用いた半導体デバイスの熱挙動解析」, ナノテストシンポジウム(NANOTS), 2016.
- 5 遠藤幸一, 瀬戸屋孝, 中村共則, 松本徹, 越川一成, 中前幸治, 「光学プローブ反射率測定による半導体パワーデバイスの熱解析(OPTIM / OPTW)」, RCJ 2016.
- 6 遠藤幸一, 中村共則, 松本徹, 越川一成, 中前幸治, 「熱反射率光学プローブ法を用いた半導体デバイス上の熱伝搬観測」, ナノテストシンポジウム(NANOTS), 2017.
- 7 遠藤幸一, 泉谷敏英, 中村共則, 茅根慎通, 越川一成, 松本徹, 中前幸治, 「光加熱を併用した熱反射率光学プローブ法による μm サイズのオープン不良検出」, ナノテストシンポジウム(NANOTS), 2018 (投稿中).

4. 研究会

- 1 遠藤幸一, 「パワーデバイス 破壊前解析の検討～源流設計へのフィードバックと未然防止に向けて」信頼性学会 関西フォーラム, 2014.
- 2 遠藤幸一, 中村共則, 中前幸治, 「反射率変化観測と変化率イメージングによるパワーMOSFETの動作解析」, 電子情報通信学会 信頼性研究会, 2015.

- 3 遠藤幸一, 松本徹, 中村共則, 越川一成, 則松研二, 瀬戸屋孝, 中前幸治, 「OPTIM による Power MOSFET のアバランシェブレイクダウン条件下での温度挙動観測」, 応用物理学会 先進パワー半導体分科会 第 2 回講演会, 2015.
- 4 遠藤幸一, 「光学プローブ熱反射率イメージマッピング (OPTIM)による半導体デバイスの詳細熱解析」, 浜松ホトニクス 第 28 回半導体ワークショップ 2016.
- 5 遠藤幸一, 「微小発熱分析に基づく故障前解析手法の提案」, 信頼性学会 関西フォーラム, 2016.
- 6 遠藤幸一, 「光学プローブ熱反射率法による半導体デバイスの詳細熱解析 (低周波特性改善)」, 浜松ホトニクス 第 29 回半導体ワークショップ 2017.
- 7 遠藤幸一, 越川一成, 松本徹, 中村共則, 中前幸治, 「熱反射率光学プローブ法を用いたパワーデバイスの熱挙動解析」, 応用物理学会 先進パワー半導体分科会 第 4 回講演会, 2017.
- 8 遠藤幸一, 「半導体部品の故障メカニズムと故障解析技術」, 信頼性学会 信頼性フォーラム 2018 年 3 月

5. 解説, その他

- 1 遠藤幸一. Si パワー半導体の現状と信頼性: 故障前解析の紹介 (パワー半導体の現状と信頼性). 日本信頼性学会誌 信頼性, 2015, 37.1: 34-41.

目次

第1章 序論	1
1.1 研究の背景	1
1.2 パワー半導体に要求される信頼性上の問題点	4
1.2.1 パワー半導体の特徴	4
1.2.2 パワー半導体の破壊現象	5
1.2.3 故障解析の困難さ	9
1.3 パワー半導体の信頼性に影響する特性	9
1.3.1 阻止電圧分布の異常	10
1.3.2 オン抵抗分布の異常	10
1.3.3 電流フィラメント挙動の異常 (IGBT の場合)	11
1.3.4 内在的な原因を特定することの重要性	12
1.4 電流集中に伴う物理現象	13
1.4.1 阻止電圧分布がある場合の発熱と発光	14
1.4.2 オン抵抗分布がある場合の発熱と発光	14
1.4.3 電流フィラメント挙動の発熱と発光	14
1.5 パワー半導体の動作解析技術の位置付け	16
1.5.1 パワー半導体の動作を観測する必要性	16
1.5.2 パワー半導体の動作解析	18
1.6 本研究の目的	19
1.7 本論文の構成	20
第2章 LIT を用いた発熱分布の解析	22
2.1 まえがき	22
2.2 原理	22
2.2.1 赤外線観測の概要	22
2.2.2 LIT の原理と測定系	23
2.3 実験と結果 1 (阻止電圧分布の観測)	26
2.3.1 サンプルと測定条件	26
2.3.2 LIT 装置の変更と観測時のバイアス条件	27

2.3.3 実験結果 1(阻止電圧分布の観測)	27
2.4 実験と結果 2(アバランシェ降伏時の発熱分布の観測)	29
2.4.1 サンプルと測定条件	29
2.4.2 LIT 観測時のバイアス条件	29
2.4.3 実験結果 2(アバランシェ降伏時の発熱分布の観測)	31
2.5 むすび	34
第3章 光反射率の温度依存性を利用した発熱解析	35
3.1 まえがき	35
3.2 原理	35
3.2.1 反射率と温度の関係	36
3.2.2 周期的熱源に対する熱反射法	36
3.3 実験方法	37
3.3.1 装置	37
3.3.2 条件	38
3.4 実験と結果 1(基本機能)	38
3.4.1 サンプル	38
3.4.2 実験結果(波形モード:OPTW)	39
3.4.3 実験結果(画像モード:OPTIM)	43
3.5 実験と結果 2(アバランシェ降伏時の発熱分布の観測)	44
3.5.1 サンプルと条件	44
3.5.2 実験結果(画像モード:OPTIM)	45
3.6 OPTW/OPTIM の考察まとめ	47
3.7 むすび	49
第4章 TRE を用いた発光解析	50
4.1 まえがき	50
4.2 原理	50
4.2.1 アバランシェ降伏期間中の素子内の発光に関する過去の事例..	50
4.2.2 本研究で用いた測定系	51
4.3 実験と結果	53
4.3.1 サンプルと測定条件	53
4.3.2 結果と考察	54

4.4 むすび	59
第5章 結論	60
謝辞	63
参考文献	64

第1章 序論

1.1 研究の背景

パワー半導体は多くの機器で用いられている[1-3]。身近なものでは電気機器の電源制御、エアコンや冷蔵庫のモータなどに組み込まれている。大規模なものでは電気自動車や新幹線などの交通システムのモータを駆動するために利用されている。また、太陽光発電パネルから電力網に接続するための変換器や変電施設、スマートグリッドなどにも応用されている。

このようにパワー半導体は携帯電話などの電源回路に用いられる数 mm 程度の小型なものから、電力用に用いられる数十 cm のものまで多くの形状の製品がある。使われる電圧、電流の範囲も様々である。

パワー半導体と IC はどちらも、主にシリコン(Si)を材料にして製造されるが、その構造は異なっている。IC は、Si チップの主に片側の表面を使用し、比較的小さな電流がチップの表面を主に横方向に流れる。一方、パワー半導体は大きな電力を扱うため、チップ全体を用いて表面と裏面の間を縦方向に電流を流す。

パワー半導体には、主に 4 つの働きがある。(1) 直流から交流に変換する「インバータ」、(2) 交流から直流に変換する「コンバータ」、(3) 交流から交流への「周波数変換」、(4) 直流電圧を変換する「レギュレータ」である。パワー半導体は、これら 4 つのうち、いずれか 1 つの働きにより電力を制御してモータなどに電力を供給する。

4 つの機能のうち、例えばインバータ機能でモータの回転数を変えるには、モータへの電源供給を高速にオン、オフし、そのオンとオフの時間の割合を変えることで回転を制御する。基本的にはこれらオン、オフすなわちスイッチングを行う素子がパワー半導体である。パワー半導体の多くの機能はスイッチングによって実現されている。

このように多くの用途においてパワー半導体はスイッチ機能であると考えられる。理想のスイッチはオン状態では電気抵抗がゼロで、オフのときは電気抵抗が無限大、さらにオンとオフの切り替え時間が無限小で、電力の損失も発熱も発生しないことである。しかし現実のパワー半導体の動作はわずかな遅れがあり、オンの時も電気抵抗はゼロではないために電力消費が発生する。スイッチング動作は、瞬時に大量の電力を切り替えられるのが理想であるが、「瞬時」と「大量」の両方を満足するのは困難である。このため、用途と動作に合わせて、多くの種類の「パワー半導体」が使い分けられている。(図 1.1)

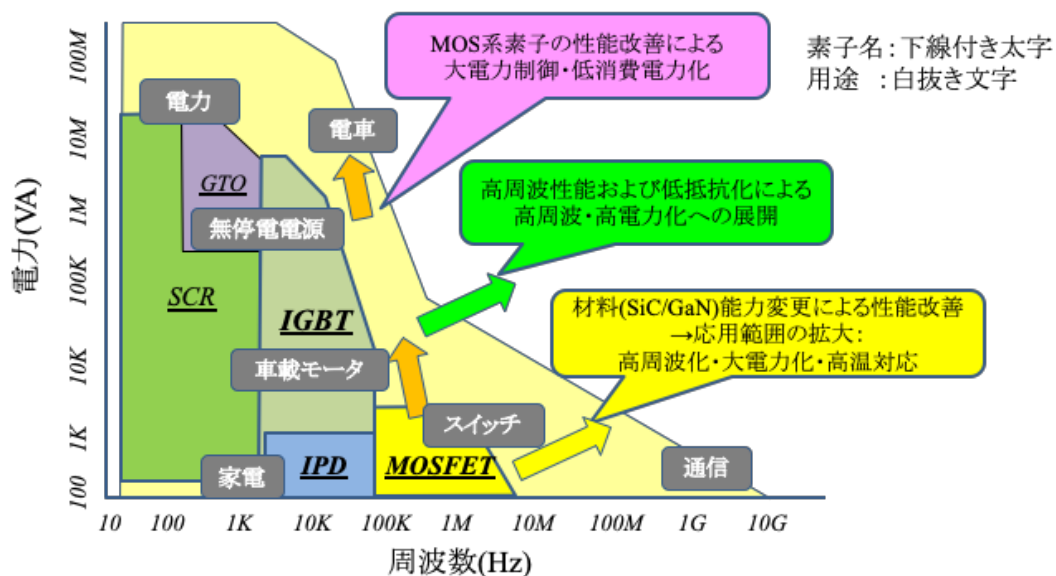


図 1.1 動作周波数と電力によって分類したパワー半導体製品の適用分野

パワー半導体にはパワートランジスタ、サイリスタ、ダイオードがある。パワートランジスタは最も応用範囲が広く、技術開発が盛んに行われている。パワートランジスタには、主に(1)バイポーラトランジスタ(2)パワーMOSFET(3)IGBTの3種類がある。バイポーラトランジスタは3つの中で最も構造が単純であり、古くから用いられてきた。しかし、スイッチング動作する時に必要な電力(消費電力)が大きい。このため、近年スイッチとして使われるパワートランジスタは主に2種類である。ひとつはパソコン電源などの省電力用に用いられ、応答速度が速い MOSFET (metal-oxide-semiconductor field-effect transistor : 金属酸化膜半導体構造電界効果トランジスタ)である。もうひとつは大電力用に使われる IGBT (Insulated Gate Bipolar Transistor : 絶縁ゲート型バイポーラトランジスタ)である[4-6]。

MOSFET は電子またはホールどちらか一方を電荷として用い、応答速度が速い。一方、IGBT は電子とホールの両方とも電荷として用いているため、オン時の抵抗が小さく、電力損失が小さい。この特性のために、家電製品や電気自動車、ハイブリッド自動車、産業用機械など、幅広い製品に使用されている。しかし、電荷が多いため MOSFET よりも応答に時間がかかる。電力損失が少ない理想のスイッチに近づけるために、シリコンに代わって炭化ケイ素 (SiC) や窒化ガリウム (GaN) といった新素材を用いた素子も研究されている[7]。

主なパワー半導体製品を印加できる最大電圧と最大電流をそれぞれ横軸，縦軸に示すと図 1.2 のように分類される。本研究では電力の増幅やスイッチ用途に主に用いられる、MOSFET と IGBT を対象とする。

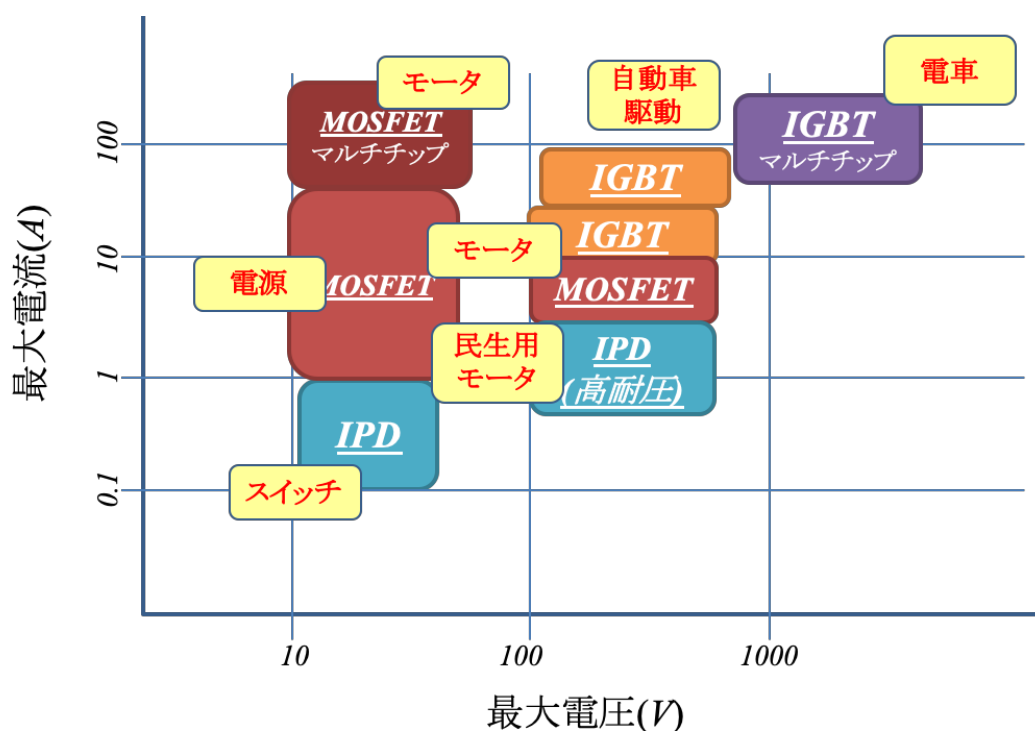


図 1.2 動作最大電圧と最大電流によって分類した
パワー半導体製品の適用分野

現状のパワー半導体製品では、出荷テストの段階では検出しきれず、市場に出してから保証範囲内のバイアス条件下（電圧・電流、アバランシェモード等）で破壊したと考えられる製品が、1 ppm 以下程度ではあるけれども存在する。使用される際には安全設計が考慮された回路に組み込まれるが、パワー半導体が使用時に破壊すると、車載用途では事故、電力用途ではエネルギー供給ラインの途絶などの重大な影響が発生する危険がある。そのため、パワー半導体には出荷段階において限りなく「ゼロデフォクト」な状態に近づけることが要求される[8]。

1.2 パワー半導体に要求される信頼性上の問題点

1.2.1 パワー半導体の特徴

本論文で対象とする MOSFET や IGBT は 1 チップで数 A から数百 A の電流を流すために、ドレイン電極(コレクタ電極と呼ばれることもある)はチップ裏面に配置され、チップの表面と裏面の間に主電流伝搬経路がある。図 1.3 に n チャネル型 MOSFET を例として(a)チップ表面図、(b)断面図を示す。チップ表面はソース電極およびゲート電極、裏面にはドレイン電極がある。表面側は、不純物拡散層、ゲート構造および

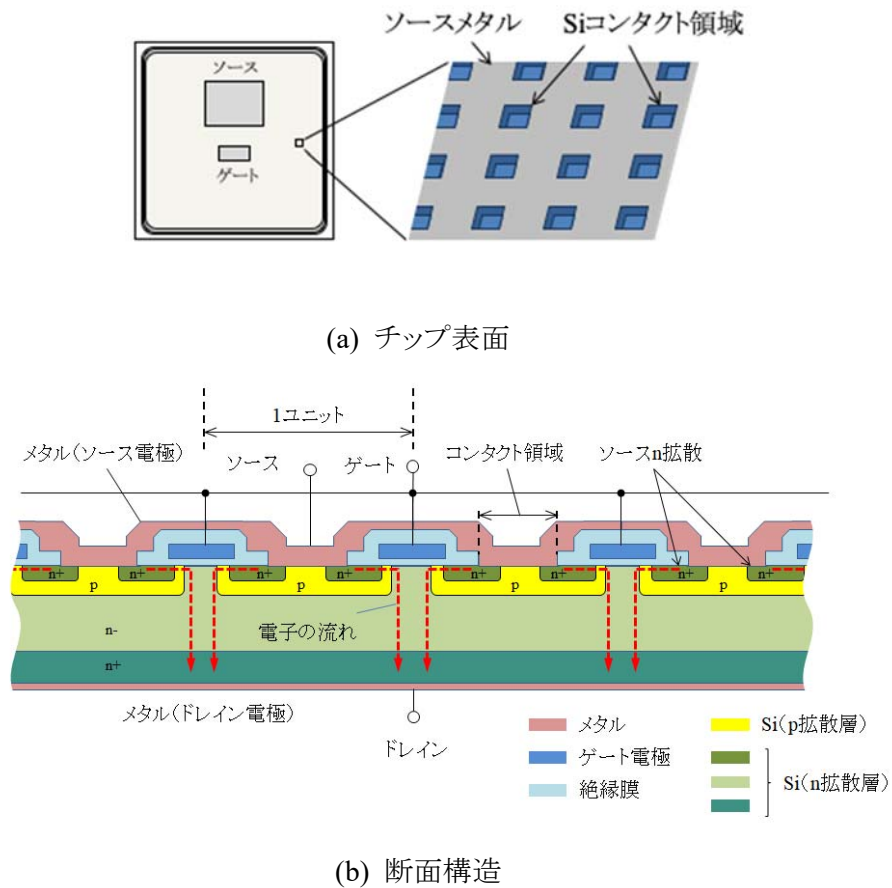


図 1.3 パワー半導体の構造の特徴(例:MOSFET)

よびソース金属で構成されるユニットと呼ぶ単位素子構造(セルと呼ばれることもある)

が多数並んでいる[9]。この他にチップには、素子の阻止電圧を維持するために周辺部に終端部(拡散層などにより構成)がある。

大電流に対応するため、チップ全体は多数のユニットから構成されている。図 1.4

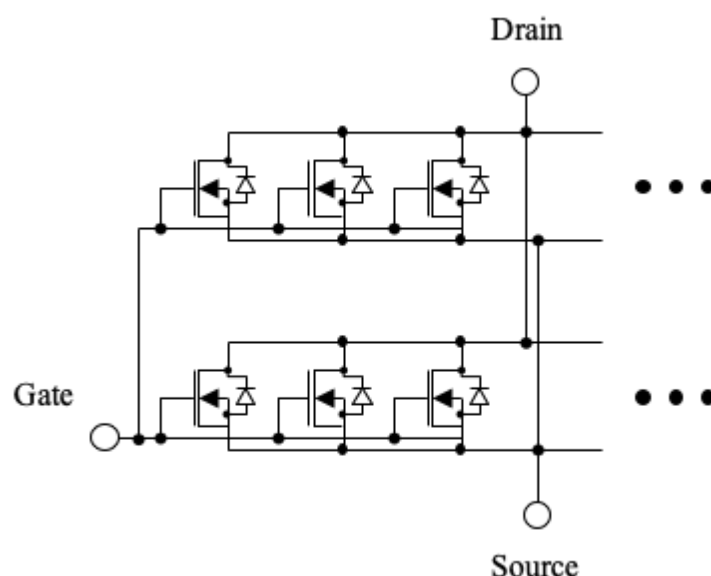


図 1.4 パワー半導体の等価回路(例:MOSFET)

は、その構成の等価回路を示す。ユニットは設計世代によって異なるが、数 μm からサブ μm の寸法で等間隔に繰り返される。1 ユニットの電流容量は数 μA 程度であるが、百万個単位のユニットを並列接続することで数 A 以上の大電流を駆動する。並列接続されたユニットの個々の特性のバラつきが小さいほど全体として安定して動作するパワー半導体となる。

1.2.2 パワー半導体の破壊現象

車載用途や産業用途に使われるパワー半導体の負荷には誘導負荷(インダクタンス)が接続される場合が多い。代表的な回路図を図 1.5 および図 1.6 に示す。図 1.5 は DC ブラシレスモータを駆動する三相インバータ回路の出力段構成である[10]。6 個の IGBT が 2 個ずつ直列に 3 組、電源と接地(Ground : GND)間に接続され、中点電位がモータ内の 3 組のインダクタンスに接続されている。6 個の IGBT を順番にスイッチし、3 個のインダクタンスに流れる電流と方向を制御することでモータを回転させる。図 1.6 は定電圧電源回路の一つである、非絶縁降圧型 DC-DC コンバータの基本構

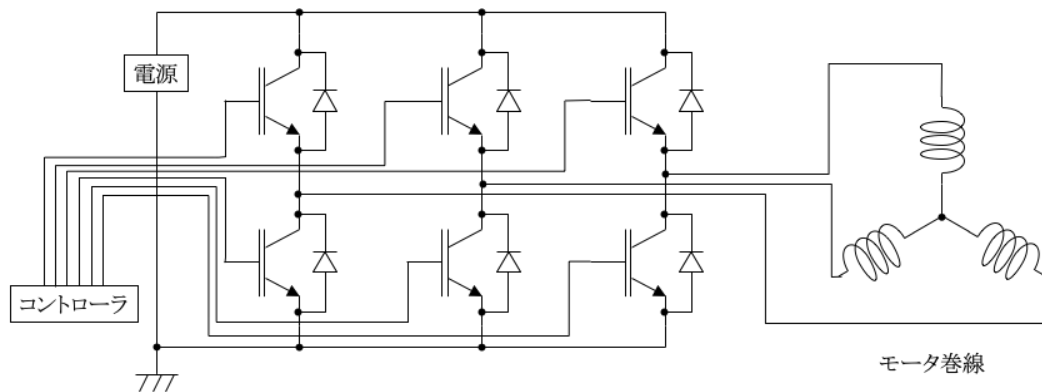


図 1.5 三相インバータモータ駆動 パワートランジスタ構成図

成を示したものである[11]。2 個の MOSFET を交互にスイッチし、負荷のインダクタンスに供給する電流をコントロールすることで出力端子の電圧を安定させる。電力効率を高めるためには、スイッチ速度を早くするなどの手段が取られる。

インダクタンス負荷の他にも素子間を接続する配線などには浮遊容量や浮遊イン

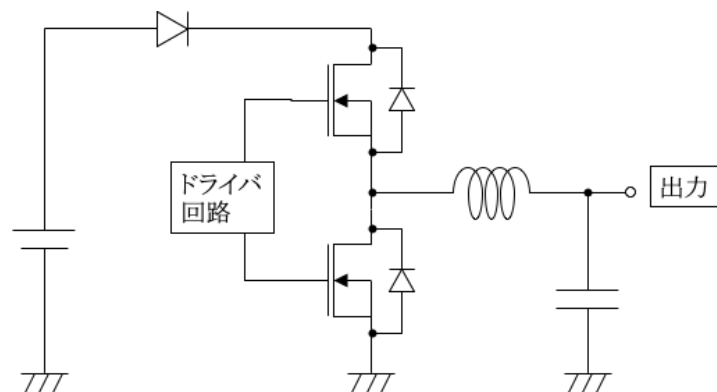
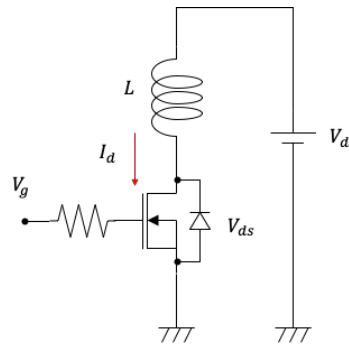


図 1.6 非絶縁降圧型 DC-DC コンバータ構成図

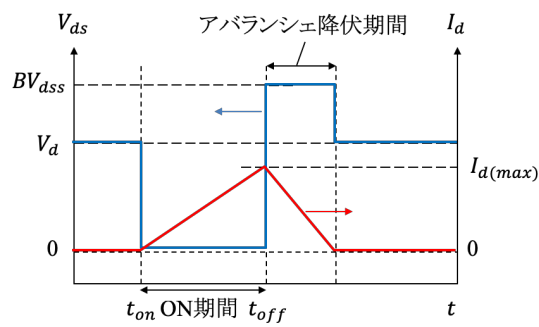
ダクタンスがあり、高速に大電流をスイッチする際にはノイズや瞬間的な電圧、電流の跳ね上がり（サージ）が発生し、阻止電圧以上の電圧が印加される場合がある。また外来ノイズなどの影響がコントロール系に及ぶとパワー半導体の適切な回路設計通りのタイミングからずれて駆動され、パワー半導体の駆動能力を超えた電流が流れるなどの過剰な負荷が素子にかかることで破壊してしまうことがしばしば起こる。

特に浮遊インダクタンスの影響で非クランプ誘導性スイッチ (un-clumped Inductive

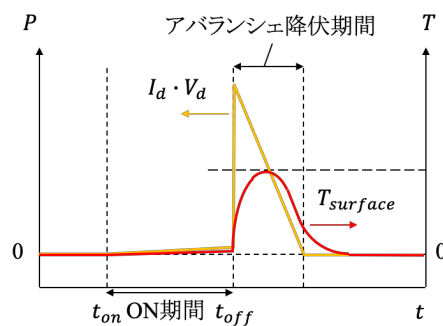
Switching : UIS) 条件が発生すると、パワー半導体内にアバランシェ降伏が起きると同時にインダクタンスからエネルギーが継続して供給される。図 1.7 に、パワー半導体のアバランシェ耐量を測定するための(a)UIS 条件バイアス回路と(b)パワー半導体の



(a) UIS バイアス回路



(b) 動作波形

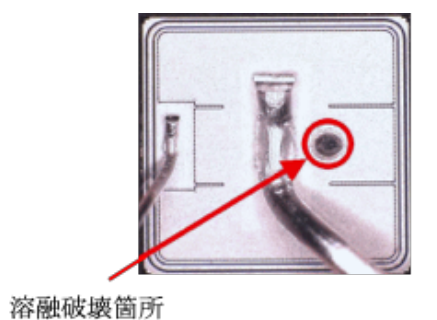


(c) 消費電力と素子表面の温度変化

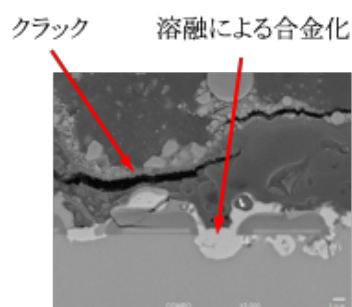
図 1.7 UIS バイアス回路と動作波形

動作波形および(c)消費電力と素子表面の温度変化の様子を示す。UIS 条件でのアバランシェ降伏条件の下では、阻止電圧以上の電圧が印加された状態で電流が流れるために大量のエネルギーがパワー半導体内で消費され、発生する熱が接合部温度を上昇させる。熱的限界を超えるとチップ内に溶融破壊が発生する[12-13]。

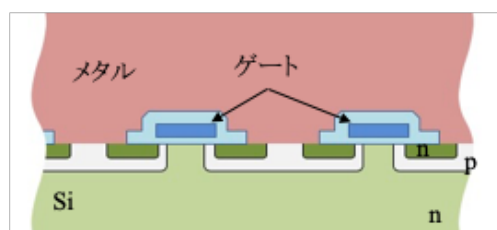
図 1.8 にアバランシェ降伏時に破壊した MOSFET の例を示す。破壊した箇所は電極メタルが溶融したことでメタルと Si が合金層を形成している。メタル自体も溶融時



(a) チップ表面の光学顕微鏡写真



(b) 破壊箇所断面の走査電子顕微鏡像



(c) MOSFET断面構造図

図 1.8 アバランシェ降伏時に溶融破壊した MOSFET の例

の熱膨張によってクラックしていることが分かる。合金層が拡散接合を越えて進展すると、その接合はリークまたはショートした状態になる。図 1.8 のような破壊が発生すると、パワー半導体のソース、ドレイン、ゲートはすべてショート(短絡)した状態に至る。図 1.5 や図 1.6 のような回路で 1 個のパワー半導体がショートすると、直列に接続された他の素子も、コントローラからの信号によってオンすると電源－GND 間短絡などの状態になり、破壊が連鎖的に進行する危険がある。このように、UIS 条件下でのパワー半導体の溶融破壊は最も深刻な破壊現象の一つである。

1.2.3 故障解析の困難さ

半導体製品の故障解析は、故障品を発見し、故障箇所を特定し、故障箇所を物理的に解析し故障メカニズムを特定する三段階に大きく分けられる。前節に述べたパワー半導体の深刻な破壊現象である溶融破壊による故障品は、出荷前の電気的特性を確認するテスト工程や、潜在的な欠陥を含有した製品を取り除くためのスクリーニング工程で発見される。そのほかに市場出荷後に破壊した場合は市場故障として発見される。

溶融破壊による故障品の故障箇所の特定は、図 1.8 の例のように、ほとんどの場合は外観上明らかである。しかしその原因を物理的に解析することは難しい場合が多い。それは図 1.8(b)のように、溶融状態によって素子の構造が破壊され、素子側に何らかの欠陥があったかどうか、物理解析を行っても判別できなくなってしまうからである。その結果、故障メカニズムの推定も困難になり、破壊の根本原因を取り除いて高信頼性を達成することが難しくなる。

1.3 パワー半導体の信頼性に影響する特性

破壊耐量(破壊する時点のバイアスや温度の程度)は負荷の大きさに依る。また、パワー半導体素子の一部のユニットなどに構造上の欠陥がある場合も耐量が低くなることが多い。さらに、素子設計の限界を超えると素子内の電流の分布が偏ったものになり、電流密度が高くなった箇所で他の箇所よりも高温になり、素子としての耐量が低下する場合がある[13]。

1.3.1 阻止電圧分布の異常

一部のユニットの阻止電圧が、チップ終端部の正常に設計された阻止電圧よりも低い場合の電流－電圧曲線の概念図を図 1.9 に示す。ある電圧 (A) まで印加すると

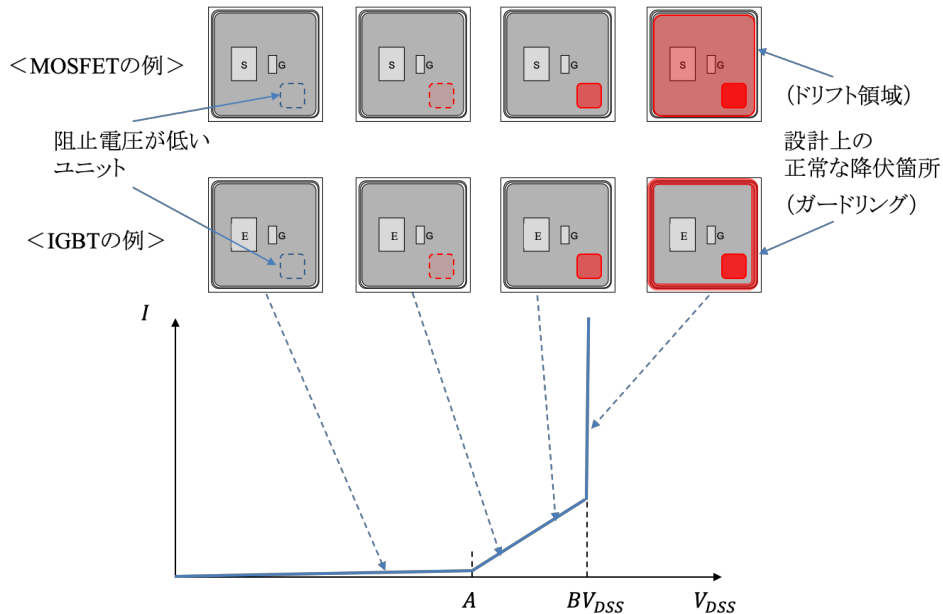


図 1.9 一部ユニットの阻止電圧が低い場合の素子全体の特性

阻止電圧が低いユニットにリーク電流が流れ始める。この時阻止電圧が低い箇所のサイズが小さいと抵抗成分は比較的大きな値を示し、印加電圧を高めるに従って電流は緩やかに上昇する。そして本来の素子の阻止電圧 (BV_{DSS}) に達すると素子全体にリーク電流が流れるため、電流値は急激に上昇する。この時、印加される電圧が A から BV_{DSS} までの間は阻止電圧が低いユニット部分に電流が流れ、この箇所は他の部分よりも温度が上昇する。UIS 条件では電流が流れ続けるため、他の部分よりも負荷がかかり破壊する可能性が高くなる。

1.3.2 オン抵抗分布の異常

一部の異常なユニットが他の部分よりもオン抵抗が小さい場合のチップ内における電流分配の概念図を MOSFET を例に図 1.10 に示す。オン抵抗が低くなる原因としては、製造工程での異常などによって不純物拡散濃度が低い、ゲート絶縁膜厚が薄い等があげられる。その結果、閾値電圧 V_{th} が低くなることが想定できる。パワー半

導体素子全体のオン抵抗はすべてのユニットの合成抵抗として式(1-1)のように観測

$$R = \frac{r}{N} \rightarrow R_a = \frac{r}{N + \left(\frac{r}{r_a} - 1\right)} \quad (1-1)$$

されるため、そのユニットの抵抗が極めて小さいショート不良でなければ、一部のユニットのオン抵抗が与える影響は小さい。電流値の変化も式(1-2)のように小さく、静特

$$I = N \frac{V_{DS}}{r} \rightarrow I_a = \left[N + \left(\frac{r}{r_a} - 1\right) \right] \frac{V_{DS}}{r} \quad (1-2)$$

性などのテスト工程では発見しにくい。このような素子をスイッチすると、 V_{th} の差によって特性が異常なユニットだけが動く期間が発生する。UIS 条件ではインダクタンスのエネルギーが異常なユニットに集中し、電流密度が高くなることによって限定された領域でエネルギー消費も集中し、その箇所の温度が上昇して溶融破壊に至ることが予想される。

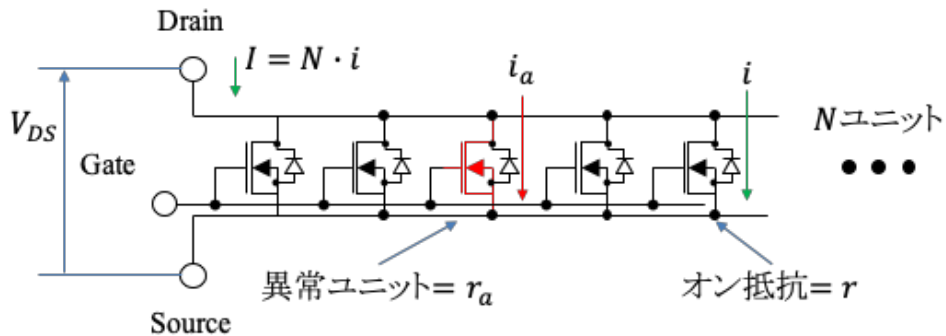


図 1.10 一部ユニットのオン抵抗が低い場合の素子全体の特性

1.3.3 電流フィラメント挙動の異常 (IGBT の場合)

IGBT の場合、電流が集中して「電流フィラメント」を形成することが主にシミュレーション研究によって知られている[14-17]。電流フィラメント形成の概念図を図 1.11 に示す。IGBT には寄生 PNP 構造の領域が存在する。アバランシェ降伏が発生すると電流が流れて熱が発生する。バイポーラトランジスタは温度上昇に伴って電流増幅率(h_{FE})が増加し、何らかの要因で電流集中が発生し、この時の電流は「電流フィラメント」と言われる。ダイオードの逆方向飽和電流は、逆方向飽和電流 I_0 、電圧 V 、絶対温度 T 、

電荷素量 q 、ボルツマン定数 k 、因子 n とすると式(1-3)で表される。電流フィラメントの電流値がインダクタンスからの電流で制限される UIS 条件においては、微小時間

$$I = I_0 \left[e^{\frac{qV}{n k T}} - 1 \right] \quad (1-3)$$

内では温度と電圧は反比例であるため、温度が上昇するほどアバランシェ電圧は高くなり、電流フィラメントが形成された箇所は阻止電圧が上昇する。そのため、電流フィラメントは隣接した温度が低い領域へと移動すると考えられている。電流フィラメントの形成は寄生 PNP 構造に起因する現象であるため、正常な IGBT チップであっても発生する。電流フィラメントによる温度上昇が素子の限界を超えなければ破壊現象は生じない[18]。

一方、製造工程上の欠陥が素子内に存在すると、その箇所で電流フィラメントが固着される可能性もシミュレーションによる研究が行われている。つまり、何らかの欠陥などを内在している IGBT 素子は UIS 条件の負荷が加わると、電流フィラメントが発生および固着することで一部の温度が上昇し、熔融破壊する可能性が高くなる[19]。

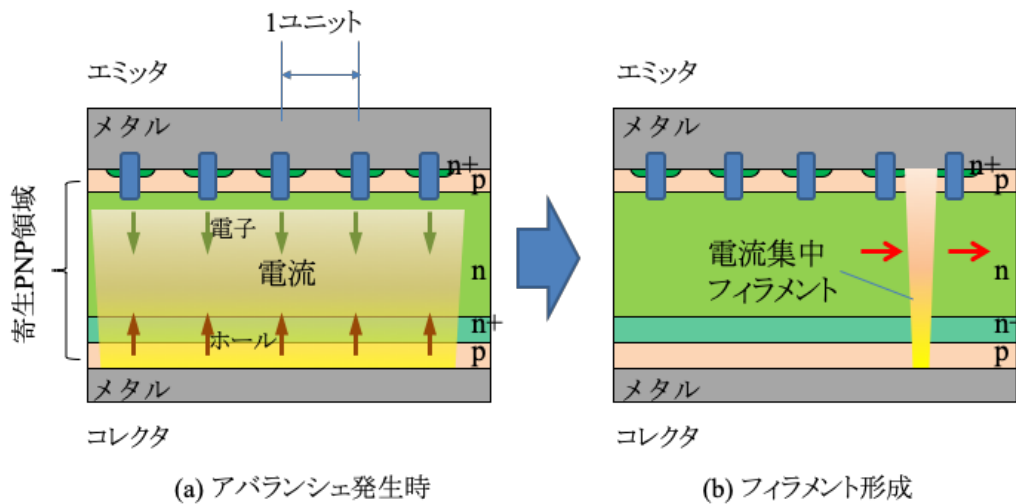


図 1.11 IGBT の電流フィラメント形成

1.3.4 内在的な原因を特定することの重要性

以上のように、阻止電圧分布の不均一性や UIS 動作におけるアバランシェ降伏

状態などによって電流分布の偏りや集中が素子内に発生すると、その箇所では温度が上昇し破壊に至る可能性が高くなる。

素子の一部に電流が集中する現象は、上記のように欠陥がある場合に限らない。パワー半導体は図 1.4 および図 1.10 に示したように多数のユニットが並列接続されている。接続されたメタル電極等には寄生抵抗と容量があるため、負荷の変化に伴って電流が変化する時やパワー半導体素子がスイッチする時など、バイアス条件が変化する際にユニット個々に印加されるバイアスに差が生じる。その結果として、電流集中が発生し破壊する場合がある。これはパワー半導体の設計の際に想定したバイアス条件を逸脱している場合に起きやすい。

故障の原因としては、製品のユニットに製造上のなんらかの欠陥がある場合と、使用条件の上で素子の限界を超えて破壊してしまう場合に大きく大別できる。前者の欠陥としては、工程中ダストなどの異物混入、濃度や形状などの拡散層異常、厚さ不足などの異常が挙げられる。後者の場合は素子自体には異常が無く、ノイズによる誤動作や設計仕様と仕様条件の不整合などがある場合が挙げられる。

故障原因が素子側にある場合は工程の改善などを行って対策を行っていく。一方の素子の限界を超えて破壊した場合は、どこに設計と使用のミスマッチがあったのか、設計も含めて検討する必要がある。この 2 つのどちらが起きているのか、明確に区別しなければならない。

1.4 電流集中に伴う物理現象

1.3 節で述べたように、チップ内の不均一な動作や電流集中が発生すると、パワー半導体には溶融破壊を伴った故障が発生する可能性が高くなる。電流集中が発生するとその箇所からはエネルギー消費に応じた熱と光が発生する。電気的特性以外にこれらの発熱と発光の挙動を観測することでパワー半導体素子内の電流分布の変化を知ることができる。

発熱は電流および電圧が印加されることで発生するジュール熱による。半導体素子内での発光は、バイポーラ動作、ホットキャリアの発生、酸化膜リーク、電荷の制動放射などに伴って光が放射される。また、アバランシェ降伏条件の下での電流経路からは、その電流に応じて光子が放出されることが 1955 年に報告されている[20,21]。アバランシェ降伏時の発光は、空乏層内の電場によって加速された電荷の制動放射に

伴う発光であり、広い波長域にわたる光が放射される。発熱の観測も赤外線強度を観測する場合には発光の一種であるが、本研究では温度に伴う放射(輻射)以外の光の放射を発光と表現する。

1.4.1 阻止電圧分布がある場合の発熱と発光

阻止電圧を超えて電流が流れると印加電圧と電流の積に相当する電力が消費され熱が発生する。パワー半導体の場合は少なくとも数十 V 以上の最大電圧で降伏が発生するため、小さいリーク電流であっても発生する熱量は多い。

チップ面内の一部のユニットあるいは終端部で他の箇所よりも阻止電圧が低い分布がある場合、図 1.91 の例では A 以上 BV_{DSS} 以下の限定された範囲の電圧を印加すると、阻止電圧が低い箇所のみに電流が流れる。この発熱が観測できれば阻止電圧が低い箇所を特定できる。

本研究で対象とするパワー MOSFET や IGBT などのパワー半導体の阻止電圧は数十 V 以上ある。Si デバイスではこの電圧での降伏はアバランシェ降伏である。チップ内で阻止電圧に不均一な分布がある場合でも、そのリーク電流はアバランシェ降伏に依るものであり発光を伴う。そのため、図 1.91 の例では A 以上 BV_{DSS} 以下の電圧を印加する条件で発光が観測できればその箇所を特定できる。

1.4.2 オン抵抗分布がある場合の発熱と発光

オン抵抗分布に異常がある場合は、限定的な電圧を印加して特定箇所だけが動作する条件を再現できれば発熱挙動を観測できる可能性がある。しかしこの場合の印加電圧はドレインとソース(またはコレクタとエミッタ)間の正常時の印加電圧よりも低い場合発熱量は小さい。十分な感度が必要であると考えられる。

1.4.3 電流フィラメント挙動の発熱と発光

パワー半導体の場合は、図 1.3 に示したように、素子の表面は終端部分を除いてほぼ全面がソースまたはエミッタの電極メタルで覆われている。そのため、終端部分での発光は比較的容易に観察することが可能であるが、電極メタルで覆われているユニット部分での発光は、第 4 章で述べる単一光子検出モードのように高感度な手法を用いないと難しい。

UIS 条件下の IGBT で発生する電流フィラメントもアバランシェ降伏による発光を

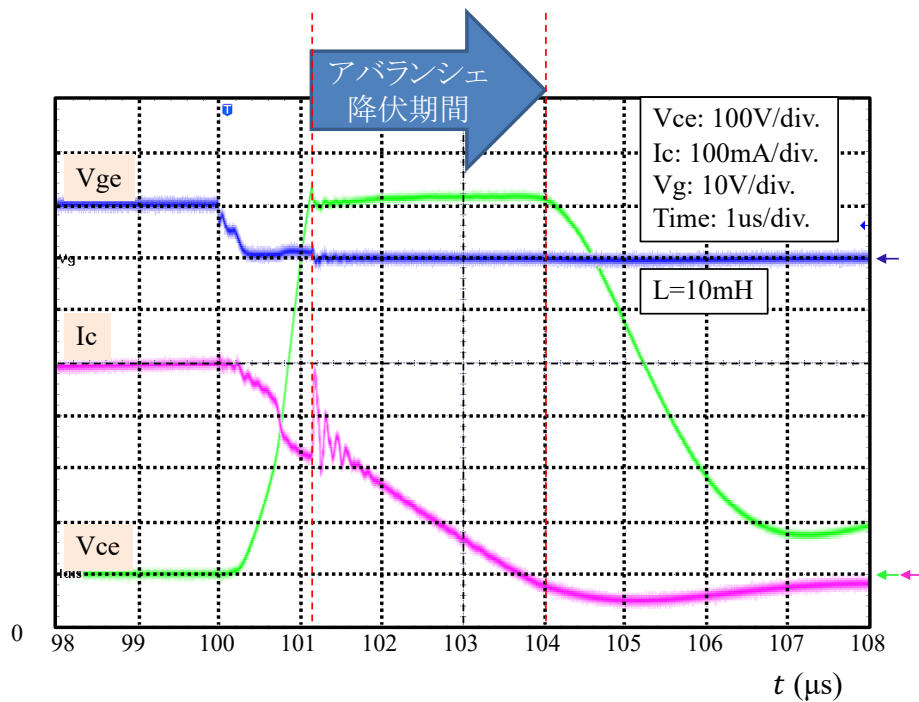


図 1.12 IGBT のアバランシェ降伏波形の例

伴う。阻止電圧分布の場合と比べて電流フィラメントは電流密度が高いため、発光の強度も発熱も強い。しかしアバランシェ降伏における電流と電圧の挙動および電流フィラメントの移動は早く、温度変化の情報からは詳細を把握しにくい。図 1.12 は IGBT のアバランシェ降伏期間における代表的な波形の例である。この例ではコレクタ電流 I_C の最大値は 400 mA、アバランシェ降伏の期間は時間軸の読みで 101.2 μs から 104 μs までの約 4 μs であり、102 μs までの間では約 100 ns 周期の電流の振動（ダイナミッ

$$\mu = \sqrt{\frac{\kappa}{\pi c \rho f}} \quad (1-4)$$

クパンチスルーによる振動)が見られる[22]。温度変化の信号は、媒質の熱特性と温度波の周波数により式(1-4)に示すように決まる熱拡散長 μ の距離だけ熱源から離れると $1/e$ に弱まる[23]。ここで、 κ は熱導電率、 c は比熱、 ρ は媒質の密度、 f は熱源の温度変化の周波数である。熱源の振動周期が 100 ns の場合、熱拡散長は Si では約 1.7 μm である。IGBT は図 1.11 に示した構造のうち n 領域の厚さは阻止電圧が 600 V の素子でも約 60 μm あるため、電流フィラメントによる熱の伝搬の信号からはア

アバランシェ降伏初期に起こる電流の振動に関する情報はほとんど得られない。そのため、UIS 条件下での電流フィラメントの挙動の詳細を把握するためには発光を観測するしかない。

1.5 パワー半導体の動作解析技術の位置付け

1.5.1 パワー半導体の動作を観測する必要性

パワー半導体を出荷する前に電気的特性をテストする工程では、ソース、ドレイン、ゲート端子(またはエミッタ、コレクタ、ゲート端子)にプローブを当てて製品の特性を測定する。先に述べたように、パワー半導体全体は多数のユニット構造の素子を並列接続したものであるため、少数のユニットの特性のずれはテスト工程で発見することは難しい。主なテスト項目を、MOSFET を例に表 1.1 に示す。

表 1.1 代表的な MOSFET の特性項目

	項目	記号	単位
絶対最大定格	ドレイン・ソース間電圧	V_{DSS}	V
	ゲート・ソース間電圧	V_{GSS}	V
	ドレイン電流	I_D	A
	許容損失	P_D	W
	アバランシェ電流	I_{AS}	μA
静的特性	ゲート漏れ電流	I_{GSS}	A
	ドレイン遮断電流	I_{DSS}	A
	ドレイン・ソース間降伏電圧	$V_{(BR)DSS}$	V
	ゲート閾値電圧	V_{th}	V
	ドレイン・ソース間オン抵抗	$R_{DS(ON)}$	m Ω
動的特性	端子間容量		pF
	スイッチング時間		ns

一部のユニットに何らかの欠陥がある製品を出荷前に取り除くためにスクリーニングと呼ばれる工程が行われる。パワー半導体の場合は、ゲート酸化膜が一部薄くなっているものを除去する方法は高電圧スクリーニング、アバランシェ降伏しても容易には壊れない MOSFET のような製品はアバランシェスクリーニングなどが行われる。工程上の欠陥を内在している素子は適切なスクリーニングを行って除去することができる。

しかしこれらは明らかに異常ユニットがあった場合に取り除く方法である。前述したような、ノイズや使用上のバイアス条件のバラツキによってパワー半導体の能力限界を超えたために破壊する場合、素子自体には異常ユニットが無い場合スクリーニングは有効な手段ではない。これらは素子設計仕様と使用条件の不一致が原因で限界を超えたバイアスがかかることが原因である。そのため、素子の設計源流から外部バイアスに対して余裕度を持った設計を検討するべきであると考えられる。

本研究で対象とする MOSFET や IGBT の溶断破壊による故障現象は、1.2 節で記したように故障発生後の物理解析による原因特定が難しい。また、製品に含まれる何らかの欠陥による故障、すなわち工程改善によって対策すべきものかどうか、判断する材料を得難い現象である。そのため、素子の動作状態を観測し、不安定な動作の有無を調査し、適切なスクリーニングの対策を考察する必要がある。

図 1.13 に半導体製品の設計、製造から故障発生、解析、検証、対策までの流れと、本研究の位置付けを示す。故障が発生すると、まず故障解析を行う。解析は、正常な製品と異なる挙動を特定する動作解析、異常を起こしている原因の素子または箇所を明確化する箇所特定、異常箇所の構造的な原因を特定する物理解析などを行う。次に、得られた異常に関する情報を元に、故障が発生するまでのメカニズムを推定し、必要であれば検証実験を行う。最後に確定された故障メカニズムが製造上の問題、使

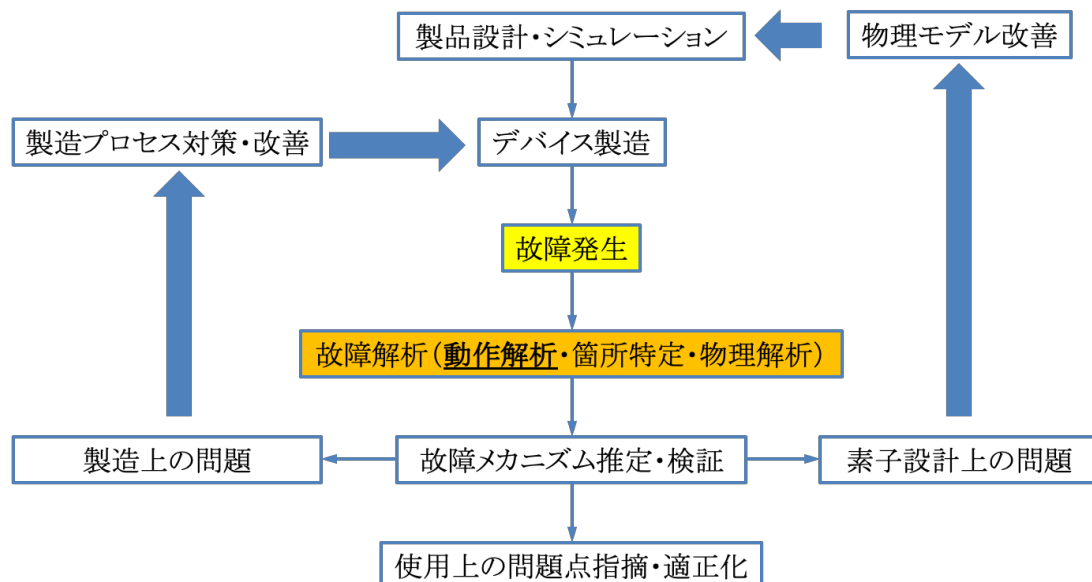


図 1.13 改善までの流れと動作解析の位置付け

用上の問題点、設計上の問題点のいずれにあるかを特定し、対策を行う。パワー半導体での熔融破壊は物理解析が困難であり、メカニズム推定のためのデータを得ることが困難である。本研究の解析手法である動作解析は、故障前の素子の熱および電流の挙動を観測し、熔融破壊につながる異常動作とその発生する箇所を特定するデータを取得することを目的とした。

1.5.2 パワー半導体の動作解析

パワー半導体がどのようにその素子内で電流を各ユニットに分配し、発生する熱による温度分布がどのようなになっているか、半導体素子内に動作のバラツキがあるかどうか、ということについて知るためには、電気的特性の観測だけでは不十分な場合が多い。すでに述べたように、パワー半導体は多数のユニットの並列接続で構成されている。ソース(またはエミッタ)、ゲート、ドレイン(コレクタ)の3端子間の特性を測定する場合は、電流については全ユニットの合計値が観測されるので、少数ユニットの動作バラツキに対する検出感度は高くない。そのため、異常な電流集中が発生している箇所を検出する観測手法が必要である。

素子内のバラツキや電流集中を観測するには、それらの現象の素子内の位置を特定できなければならない。そこで故障解析手法のうち、故障箇所特定のための手法を利用することを考慮した[24-26]。

図 1.14 は分析工程のモデルを示している。サンプルの状態を調べる時は、光、電子線、電氣的バイアスなどの入力刺激を加え、それによってサンプルの状態が変化し、その変化を発光や温度変化、電氣的な挙動などを通して信号として得る。パワー半導

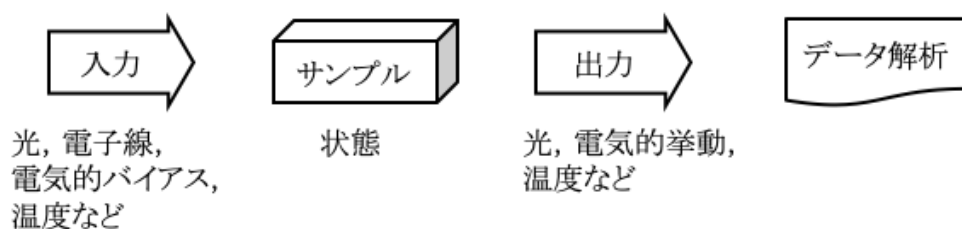


図 1.14 分析のモデル

体の動作バラツキや電流集中を調べるためには、その動作状態を変化させない無侵襲な手法を選ぶ必要がある。パワー半導体が動作している状態は外部から電氣的バ

イアスが加わっているので、これを入力信号とし、出力を観察することが最も適している。すなわち受動的に観測する手段が最も適している。または、動作状態に影響を与えない無侵襲な入力刺激であれば適用することができる。

表 1.2 は半導体の故障解析で用いられる、主な故障箇所特定のためのツールを挙げている。これらの中で、受動的な観測方法はエミッション顕微鏡 (Photo Emission Microscopy : PEM) とロックイン熱放射顕微鏡 (Lock-in Thermography : LIT) である。1.4 節で述べたように、パワー半導体は動作する時のバラツキや電流集中に伴って

表 1.2 半導体の主な故障箇所特定ツール

解析手法	Input	Output	素子に与える影響
光学顕微鏡 (OM)	可視光	反射光, 散乱光, 透過光	有 (光励起電流)
電子顕微鏡 (SEM)	電子線	二次電子, 反射電子 etc.	有 (電子による電流)
電子ビームテスター	電子線	電気的特性の変化	有 (電子による電流)
エミッション顕微鏡 (PEM/EMS/TRE)	電流電圧	発光 (強度, 位置, 応答, 波長)	無 (受動的)
光ビーム加熱抵抗変動検出法 (OBIRCH)	温度 (光)	電気的特性の変化 (抵抗値)	有 (温度変化, 光励起電流)
光励起電流 (OBIC)	光	電流	有 (光励起電流)
ロックイン熱放射顕微鏡 (LIT)	電流電圧	赤外線の変化	無 (受動的)

発熱と発光を伴うので、これら 2 つの手法は本研究で観測する対象としては適している。

PEM は半導体層からの発光を観測する装置であるが、メタルで覆われた電極部分での発光を観測するには感度が低い。そのため、本研究ではより感度が高い検出方法を検討する。

LIT は温度変化に対する感度が高いが、後述するように時間分解能は高く無い。また空間分解能も 10 μm 以下にすることは難しい。そのため発熱に関する観測は LIT に加えて反射率の温度依存性を用いる方法も検討する。

1.6 本研究の目的

これまで述べたように、パワー半導体の用途が新しい市場へ拡大するにつれて、信頼性の要求レベルが高くなるとともに、動作状態下における溶融破壊による故障の

可能性を低減する必要が高まっている。そのためには半導体素子の動作状態を観測し、ユニット単位の空間分解能で阻止動作に対し無侵襲に評価する技術が必要である。そのために素子の発熱や発光を非接触で観測する技術を検討する。この技術があれば、これまで判断できなかったユニットレベルでの潜在的故障要因をスクリーニングする技術へと役立てることが可能と成る。

本研究ではパワー半導体素子が動作する時の状態を、電流集中時に発生する熱と光を非接触で観測することで、素子の動作状態を観測する手法の研究・開発を目的とする。これまで解析できなかった動作状態を把握する観測を行い、パワー半導体の信頼性向上に資するための知見を得ることを目的とする。

1.7 本論文の構成

本論文の構成を図 1.15 に示す。

まず第 2 章では、ロックイン熱放射顕微鏡(Lock-in Thermography : LIT)を用いてパワー半導体の発熱分布を観測する解析方法について説明する。まず LIT の原理と中赤外光を用いて得られるサンプルの発熱情報およびその解釈について説明する。次に、LIT を用いてパワー半導体の阻止電圧分布を観測する手法とその実験結果、さらにアバランシェ降伏時の発熱分布を観測する手法とその実験結果について説明する。最後に実験結果を考察し LIT の問題点について述べる。

第 3 章は本研究において開発した、光に対する反射率の温度依存性を用いた、熱反射率光学プローブイメージマッピング法(optical probed thermo-reflectance image mapping : OPTIM)および熱反射率光学プローブ波形観測(optical probed thermo-reflectance waveform : OPTW)による発熱挙動の測定手法とその実験結果に関して述べる。まず原理について述べ、次に実験装置と実験方法について述べる。次に単純構造の素子を用いて本解析手法の基本機能について実験を行った結果を述べる、次にアバランシェ降伏時の発熱分布を測定した実験結果について述べる。最後に、これらの実験結果を総括し、本手法が半導体デバイスの温度変化について過渡応答を観測する有効な手段であることを示す。

第 4 章は時間分解エミッション(time resolved emission : TRE)の原理によるマッピングイメージ顕微鏡装置を用いた発光解析手法について述べる。まずパワー半導体の一つである IGBT(Insulated Gate Bipolar Transistor : 絶縁ゲート型バイポーラト

ラジスタ)のアバランシェ降伏時の電流集中(電流フィラメント形成)について述べ次に本研究で用いた測定系の構成と原理について述べる。次に観測に用いたサンプルと実験条件について述べる。最後に実験結果と考察を述べる。

第5章では、本研究で得られた成果をまとめ、今後の課題について述べる。

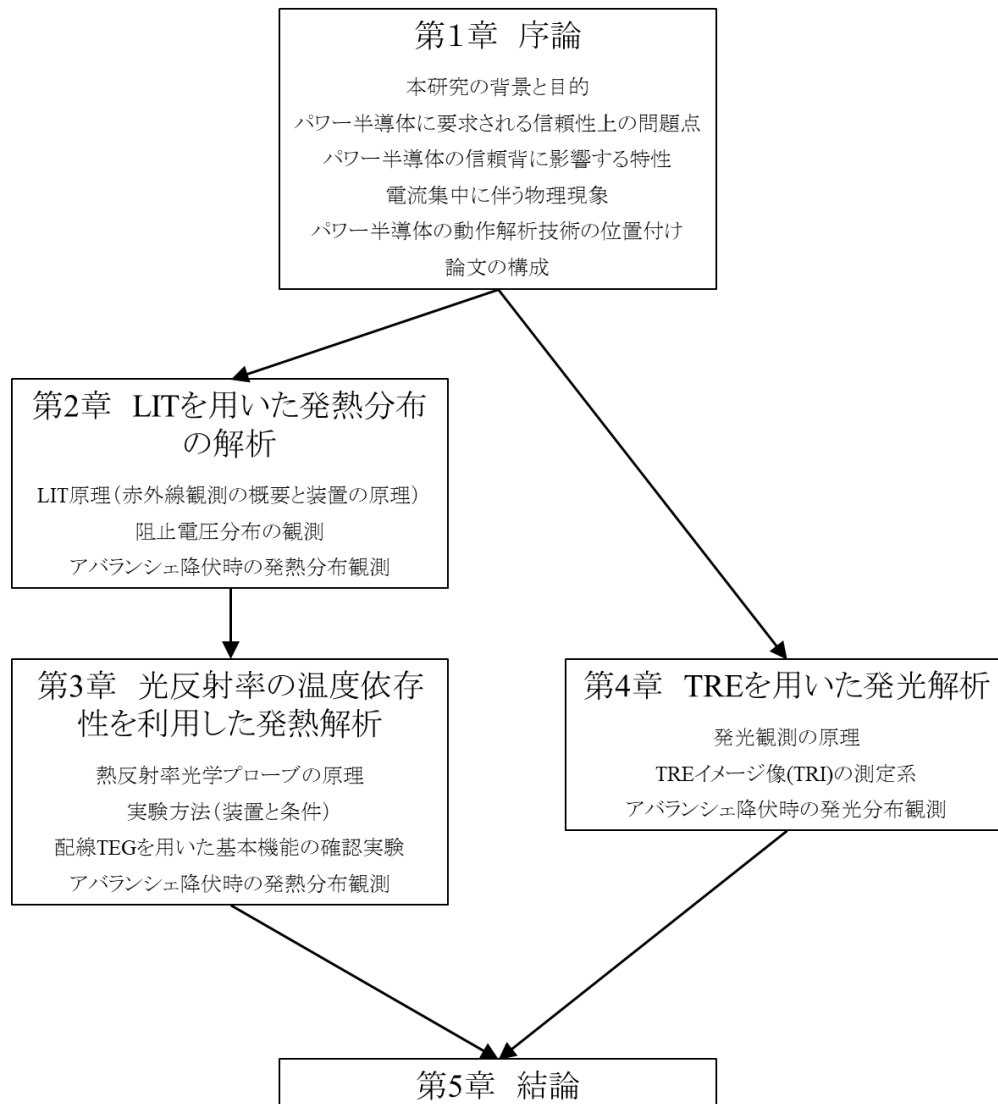


図 1.15 論文の構成

第2章 LIT を用いた発熱分布の解析^[27-33]

2.1 まえがき

本章では、ロックイン熱放射顕微鏡(Lock-in Thermography : LIT)を用いてパワー半導体の発熱分布を観測する解析手法について述べる。まず LIT の原理と得られるサンプルの発熱情報およびその解釈について述べる。次に、LITを用いて素子の阻止電圧分布を観測する手法とその実験結果について述べる。次にパワー半導体にバイアスを印加する回路と LIT を同期する手法を用いて、アバランシェ降伏時の温度の偏りを観測する手法とその実験結果について述べる。最後に LIT データの解釈に関する問題点と解決方法および限界について述べる。

2.2 原理

2.2.1 赤外線観測の概要

LIT は電氣的バイアスに伴ってサンプルが発熱する箇所を特定する故障解析ツールである。

物体からはその温度に依存した強度の電磁波が放射される。室温近傍では図 2.1 のように約 $3\ \mu\text{m}$ よりも長い赤外線である。物体からは図 2.1 の黒体からの赤外線量に対して物体の放射率倍の強度の赤外線が放射される。黒体から放射される赤外線ス

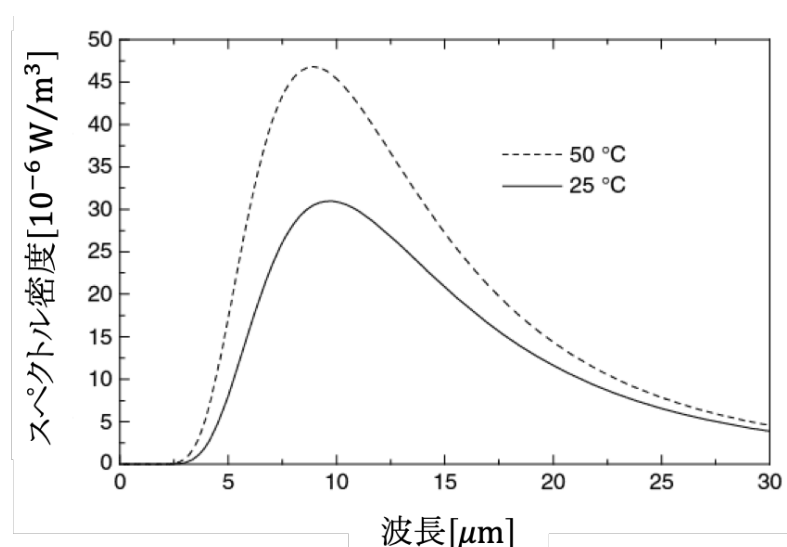


図 2.1 室温近傍の黒体からの放射

ペクトルと観測する物体の放射率(温度の関数)が分かっているならば、赤外線量を観測することで物体の表面温度を知ることができる。物体の一部、表面や内部に熱源があると、熱源から物体中へ熱が伝播した結果として物体内および表面に温度の分布が現れる。

半導体素子中に故障箇所や動作が異常なユニットがある、またはある特定の外部バイアスによって素子内で動作の偏りを持つ場合、多くのケースでは素子内および素子表面に温度分布が発生する。上記のように温度分布が発生する場合は放射される赤外線強度も分布をもつため、この現象を利用して故障箇所特定を行うツールが LIT である。ただし、この方法は、赤外線の強度そのものをデータとするのではなく、サンプルに与えた周期的な電氣的バイアスと同期した赤外線の変化の信号を抽出することで発熱領域を限定する。

2.2.2 LIT の原理と測定系

実験で用いた LIT 解析装置は、InSb を光センサとして使用する赤外線カメラ(量子型サーモグラフィカメラ)を搭載している。装置としては $3\text{ }\mu\text{m}$ から $5\text{ }\mu\text{m}$ の赤外線に感度を持つ。

LIT の装置構成を図 2.2 に示す。InSb 赤外線カメラと中赤外線に対応した顕微

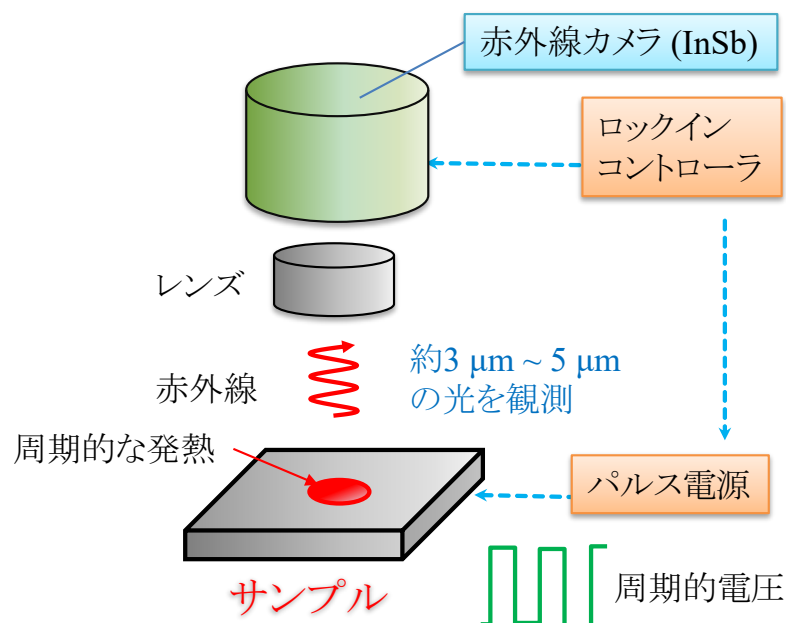


図 2.2 LIT の構成図

鏡、サンプルに周期的電圧バイアスを加えるためのパルス電源、信号処理と各装置間の同期を取るためのロックインコントローラなどから成る。InSb カメラは一般のデジタルカメラのセンサと同様の二次元画像センサであり、視野範囲のピクセル単位で受光した光を指定時間範囲(露光時間)に渡って積分した値に相当する強度値 $I(x, y)$ を持つ。コントローラとカメラ間では指定時間ごとに1枚ずつの画像データ $I_t(x, y)$ を転送し、発熱画像の時間変化情報が蓄えられる。露光と露光の間にはデータ転送の時間が必要のため、二次元センサを用いた観測は時間的に離散な画像データを解析している。市販のLIT装置は、露光とデータ転送で数十msの時間を要するため、観測周波数は数百Hzが最大値となる。

赤外線強度の変化を把握するためにデジタルロックイン処理が行われ、印加周期に同期した信号の振幅値(Amplitude)と位相値(Phase)を求める。LITの場合は二次元情報で計算されるため、各ピクセルに振幅 $A(x, y)$ と位相 $\Phi(x, y)$ が得られる。

振幅値 $A(x, y)$ と位相値 $\Phi(x, y)$ を計算する方法について説明する。図2.3のように発熱画像データを取得したとする。印加バイアスの1周期の間に N 回の赤外

$$S^{0^\circ}(x, y) = \frac{1}{N} \sum_{i=0}^{N-1} w_{Ai} \cdot I_i(x, y) \quad (2-1)$$

$$S^{-90^\circ}(x, y) = \frac{1}{N} \sum_{i=0}^{N-1} w_{\Phi i} \cdot I_i(x, y) \quad (2-2)$$

線強度像 $I_{ti}(x, y) : i = 0, \dots, N-1$ を取得する。これに対し、セルごとに式(2-1)、(2-2)により、印加バイアスと同じ周期の正弦波の重み係数 $w_{Ai}, w_{\Phi i} : i = 0, \dots, N-1$ を掛けた2つの重み付き平均 $S^{0^\circ}(x, y)$ と $S^{-90^\circ}(x, y)$ を算出する。これはフーリエ級数展開後に基本周波数成分の項を取り出していることに相当する。 $S^{0^\circ}(x, y)$ と $S^{-90^\circ}(x, y)$ から式(2-3)、(2-4)により $A(x, y)$ と $\Phi(x, y)$ を求める。これは基本周波

$$A(x, y) = \sqrt{[S^{0^\circ}(x, y)]^2 + [S^{-90^\circ}(x, y)]^2} \quad (2-3)$$

$$\Phi(x, y) = \tan^{-1} \left[\frac{-S^{-90^\circ}(x, y)}{S^{0^\circ}(x, y)} \right] \quad (2-4)$$

数成分の振幅と位相に相当する。最後に LIT 装置では、サンプル上の位置と合わせて操作端末の画面上でイメージとして表示する。一連の処理を行うことにより、印加バイアスに同期して赤外線強度が変化している箇所の信号のみが取り出され、バックグラウンドに相当する信号に同期しない赤外線の情報を取り除かれる。一般的なサーモグラフィに対して、デジタルロックイン処理を行った信号は、発熱中心部が強調して示される。

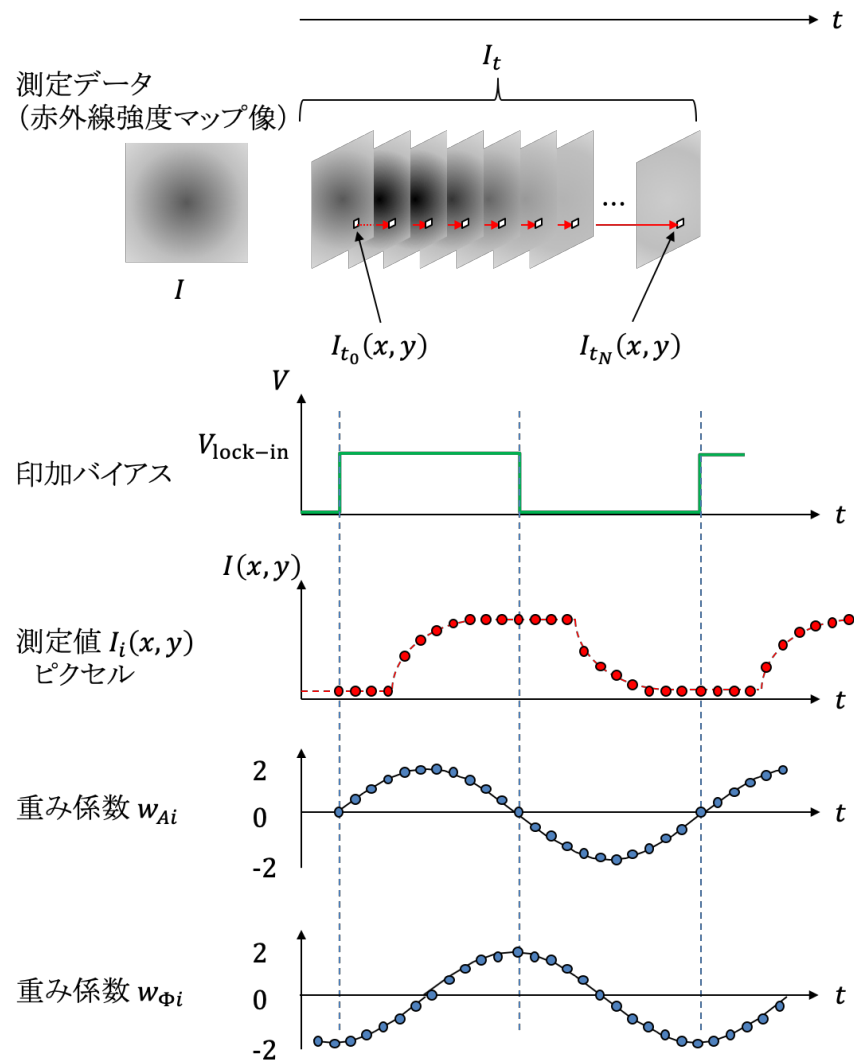


図 2.3 LIT のデータ処理。振幅と位相の重み係数

2.3.2 LIT 装置の変更と観測時のバイアス条件

LIT は通常、ある設定電圧 $V_{\text{lock-in}}$ と 0 V の周期的矩形パルスを印加して周期的な発熱応答を観測する。実験では阻止電圧の分布を観測するために、通常の市販 LIT 装置では最大 ± 45 V が最大印加電圧である電源装置から ± 3 kV まで印加できる Keithley 社製 2657A へ変更し、取得する赤外線像と同期できるようにコントロールソフトウェアを修正した。

観測時には、 $V_{\text{lock-in}}$ を変化させながら都度 LIT 測定を行い、発熱箇所がどのように変化していくかを記録した。それにより、印加電圧において主に発熱する点が観測できる。本実験での観測時間は $V_{\text{lock-in}}$ の 1 条件につき 60 秒であった。

2.3.3 実験結果 1 (阻止電圧分布の観測)

観測結果を図 2.6 に示す。各像の色は、図 2.6 右上に示すカラーチャートのように、最も振幅値が大きいピクセルをピンク色、小さい値のピクセルを紺色で示している。各像は振幅像で、色は観測領域中の最大振幅値のピクセルがピンク色、最小値が紺色になるように規格化されている。また各像の下に示す電圧値はオンバイアス時の印加 $V_{\text{lock-in}}$ 電圧値である。

図 2.6(a)は正常品の振幅像である。阻止電圧よりもわずかに低い 630 V まで $V_{\text{lock-in}}$ を上昇させながら測定すると、チップ終端領域のうちの四角および右側の直線部分に信号が得られた。チップ四隅の赤色系の色に表示されている信号は PN 接合パターンが円弧を描いており、直線部分よりも阻止電圧が低く、低い $V_{\text{lock-in}}$ 値から電流が流れ始めて発熱していることを示している。右直線部分は他の直線部分とは異なり発熱していることから、このチップは図 2.5 のように電気的特性上は正常であるが、わずかにチップ面内で差があったことがわかる。なお、620 V の測定結果でチップ面内のほぼ全域でノイズ状の表示になっている理由は、終端部四角を含めてもチップ全体で発熱量が少なく振幅値が小さいためである。また右直線部分の振幅信号が一部薄くなっているところは、ゲートのボンディングワイヤが通過している箇所である。ワイヤによって赤外線の強度が低く観測されたことを示している。

図 2.6(b)はリーク不良品の測定結果である。正常品よりも低い 300 V でも発熱が確認され、赤矢印で示した、チップ終端部分ではない内部に点状の発熱箇所があることがわかった。 $V_{\text{lock-in}}$ を上昇していくと点状の発熱箇所の振幅が増していき、図 2.5 で確認した阻止電圧に近い 639 V 近傍から赤矢印で示したチップ終端領域内の 2 箇

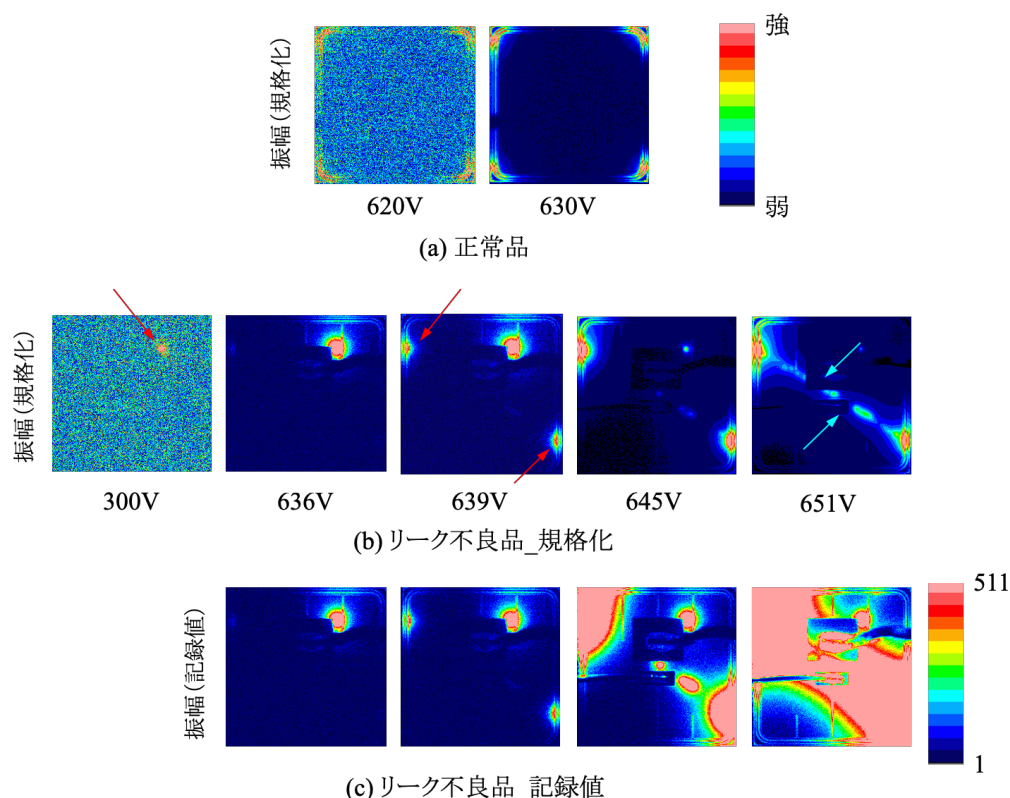


図 2.6 発熱箇所の $V_{\text{lock-in}}$ 依存性確認結果

所の発熱が確認できた。さらに阻止電圧を超えて $V_{\text{lock-in}}$ を上昇させると、 $V_{\text{lock-in}} = 650 \text{ V}$ の印加バイアス時には、この 2 箇所は直線状に連なる発熱箇所の一部であったことがわかった。点状の発熱箇所と線状の発熱箇所は MOSFET のチップパターンとの相関が見られないことから、なんらかの結晶欠陥によってリーク電流経路が形成されていると推定できる。このように、 $V_{\text{lock-in}}$ を変化させながら取得した LIT 観測データを検討することで、阻止電圧分布を把握することができた。

なお、 $V_{\text{lock-in}} = 651 \text{ V}$ の像において水色矢印で示した箇所で信号強度が弱いのは、この部分でチップ最表面の保護膜が無いボンディングパッドの箇所で、赤外線放射率が低いメタルが直接観測されている領域である。このようにサンプル表面を構成する材料の違いで信号に差が見えてしまうのは LIT 観測の欠点の一つである。

また、300 V から 639 V まで明確に現れている点状の発熱箇所が 645 V 以上で不明確になっていくように示されているのは、この振幅像のカラーチャートが最大振幅箇所をピンク色に表示するように規格化しているためである。記録値でカラーチャートを変更した結果は図 2.6(c)に示す。最大を 511、最小を 1 になるように設定している。こ

の結果、点状の発熱箇所は 651 V まで大きな変化がないことがわかった。以上のことから、図 2.5(b)の電気的特性で 640 V の阻止電圧以降の電流は線状リーク箇所で流れる電流が主要因であることがわかった。

2.4 実験と結果 2 (アバランシェ降伏時の発熱分布の観測)

2.4.1 サンプルと測定条件

続いて、素子電圧分布を測定したパワーMOSFET リーク不良品を用いて、アバランシェ降伏時の発熱分布を測定した。

2.4.2 LIT 観測時のバイアス条件

LIT はその測定原理からサンプルに周期的バイアスを印加しなければならない。しかし LIT 装置の電源は MOSFET にアバランシェ降伏を連続的に発生させるには能力が不足である。そのために図 1.7(a)の UIS 回路で MOSFET にアバランシェ降伏を発生させるバイアスボードを図 2.7 のように LIT システム上で同期するように改造を行った。UIS バイアスボードは LIT の $V_{\text{lock-in}}$ をトリガ信号として入力し、ゲート駆動電圧 V_G のパルスを形成した。バイアスのタイミングは図 2.8 に示す。負荷として 2 mH のインダクタンスを使用した。LIT の $V_{\text{lock-in}}$ 周波数は 100 Hz、MOSFET のゲート駆動のターンオン期間は 100 μs とした。MOSFET の動作波形の拡大図を図 2.9 に示す。ドレイン電流の最大値は 400 mA であった。本実験での観測時間は $V_{\text{lock-in}}$ の 1 条件につき 60 秒であった。合計 6000 回の UIS 発熱を積算した結果を示す。

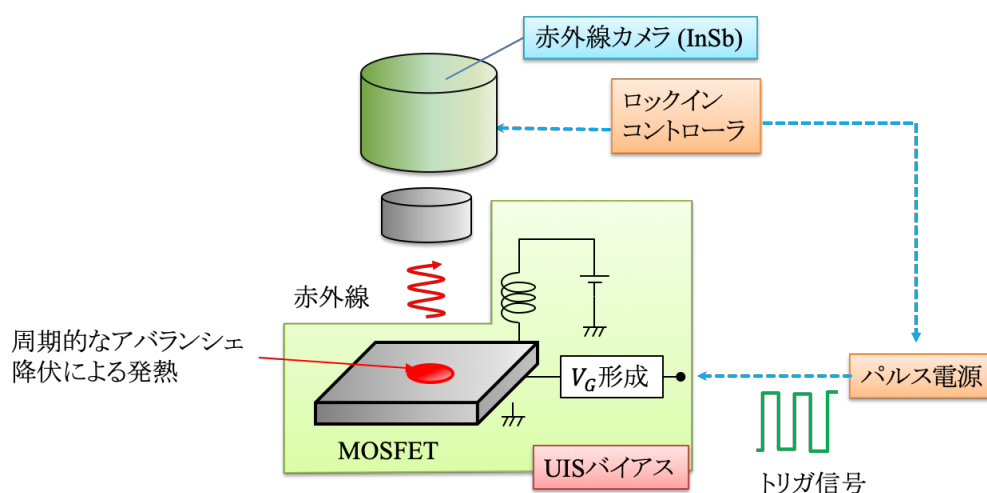


図 2.7 アバランシェ降伏時の LIT 発熱観測図

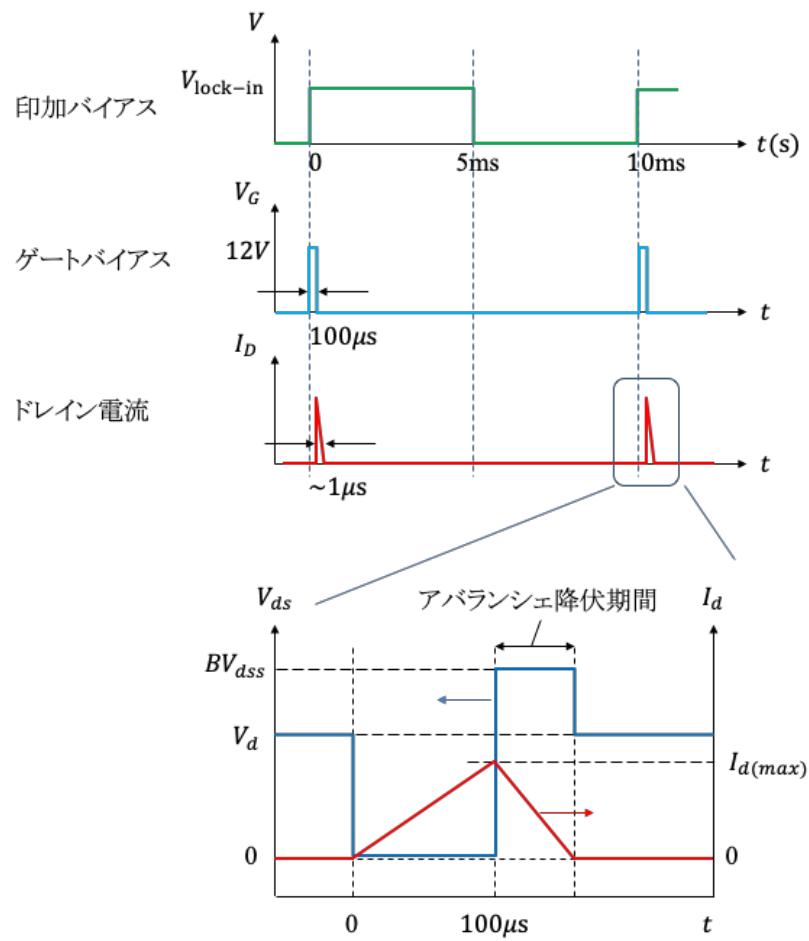


図 2.8 UIS 条件で LIT 観測タイミング

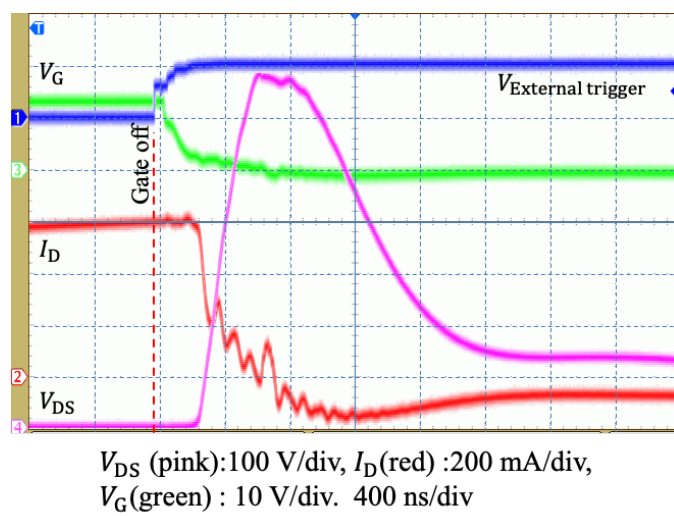


図 2.9 UIS 条件でのアバランシェ降伏波形

2.4.3 実験結果 2(アバランシェ降伏時の発熱分布の観測)

観測結果を図 2.10 に示す。振幅像の色は阻止電圧分布の測定結果である図 2.6 と同様のカラーチャートに従って示している。位相像は、最も位相値が小さい 0° のピクセルがピンク色、大きい 360° のピクセルを紺色で示している。なお、2 つの像中の

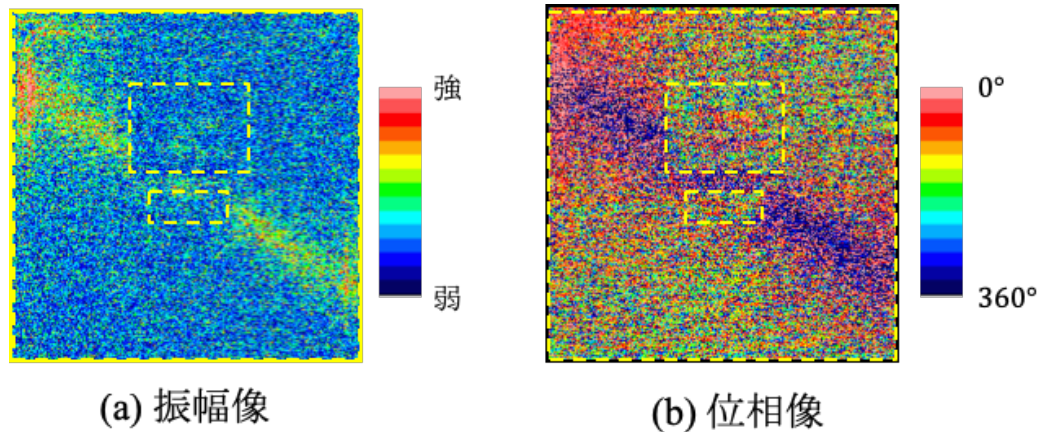


図 2.10 外部同期 LIT 測定によるアバランシェ降伏発熱分布の観測結果

黄色点線はソースおよびゲートのボンディングパッドの位置を示している。

図 2.10 の結果から、アバランシェ降伏は阻止電圧を超えて電流が流れるため、リーク不良品の発熱箇所は実験結果 1 の発熱箇所と一致していた。MOSFET のアバランシェ降伏は IGBT と異なって電流フィラメントができないため、正常品であればチップ全面で電流が流れる。しかしリーク不良品では不良箇所に発熱が偏っていた。さらにバイアス条件を上げて負荷のエネルギーを増加すると、リーク不良箇所が熱破壊を起こす可能性があることを示している。

図 2.10(a)ではチップ左上の終端領域で最も振幅が大きい箇所が確認できる。しかし、この領域はソース端部のメタルが無い領域であるため、放射される赤外線強度がメタル部分と不連続な領域でもある。かつ、チップ周辺パターンに沿った、図で縦に振幅値が大きい領域が広がっている。これは温度による差か放射率の不連続による擬似的な差なのか、詳細に検討する必要がある。この点については第 3 章で反射率による測定結果と比較検討する。

位相像では発熱箇所の位相値が 300° 前後の大きな値を示している。これは $V_{\text{lock-in}}$ のパルス幅 5 ms に対して UIS バイアスによる発熱が発生するパルス幅が図 2.9 のように約 $1\text{ }\mu\text{s}$ と 2%しかないためである。図 2.11 に示すように、式(2-1)から(2-

4)に基づくデジタルロックインの位相値計算は $V_{\text{lock-in}}$ の周波数成分に対する位相値を計算するため、本実験の UIS パルス条件では応答の遅れが 0 であっても位相値 Φ は約 $-90^\circ = 270^\circ$ という値であると計算される。これは熱の発生と伝達が遅れているのではなく、計算上の問題であり、LIT の位相値から高速な温度の応答を把握することは困難である。

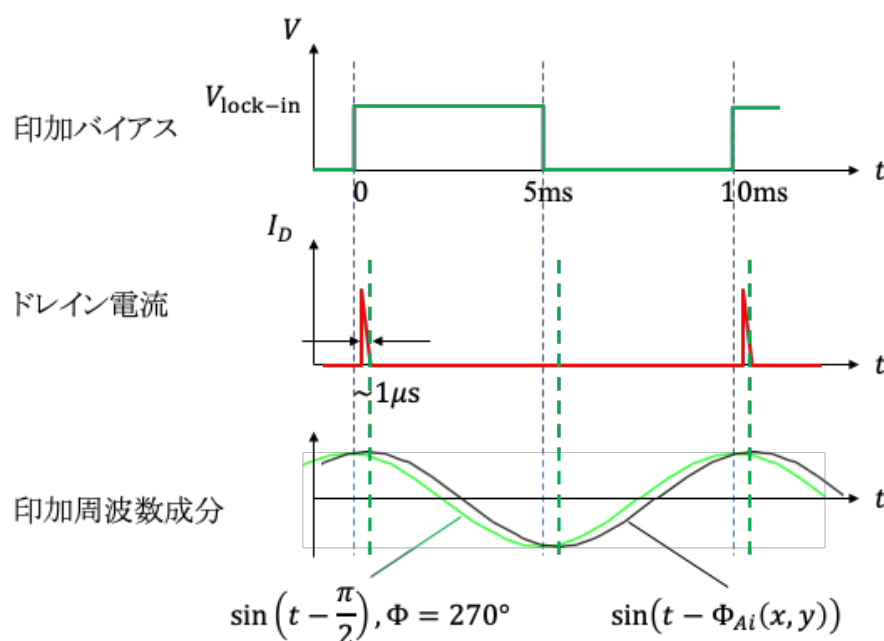


図 2.12 UIS 条件での位相遅れについて

LIT を用いて、パワーMOSFET の阻止電圧分布を観測し、リーク不良品では発熱分布に正常品とは異なる偏りがあることを観測した。また、UIS バイアスを外部同期として LIT 測定することで、リーク不良品はアバランシェ降伏時にも発熱分布が偏っていることを観測した。以上のことから、発熱分布に偏りがあるチップを、LIT を用いて把握、選別できる可能性を示した。しかし詳細な熱応答については位相値だけでは判断が難しいことも確認した。

ここで、未解決の課題を整理する。以下の 2 点があげられる。

- (1) 実温度測定: LIT はサーモグラフィを用いてサンプルから放射される赤外線強度を測定しているが、実温度の非接触観測は達成できていない。赤外線量はサンプルの温度、放射率、サンプル表面の形状によって変化する。放射率は構成する物質

によって異なり、また温度依存性も異なる。そのため、半導体を構成する物質について換算テーブルを用意して見積もらなければならない。さらにサンプルの表面状態によって赤外線量は変わる現象については図 2.13 を用いて示す。サーモグラ

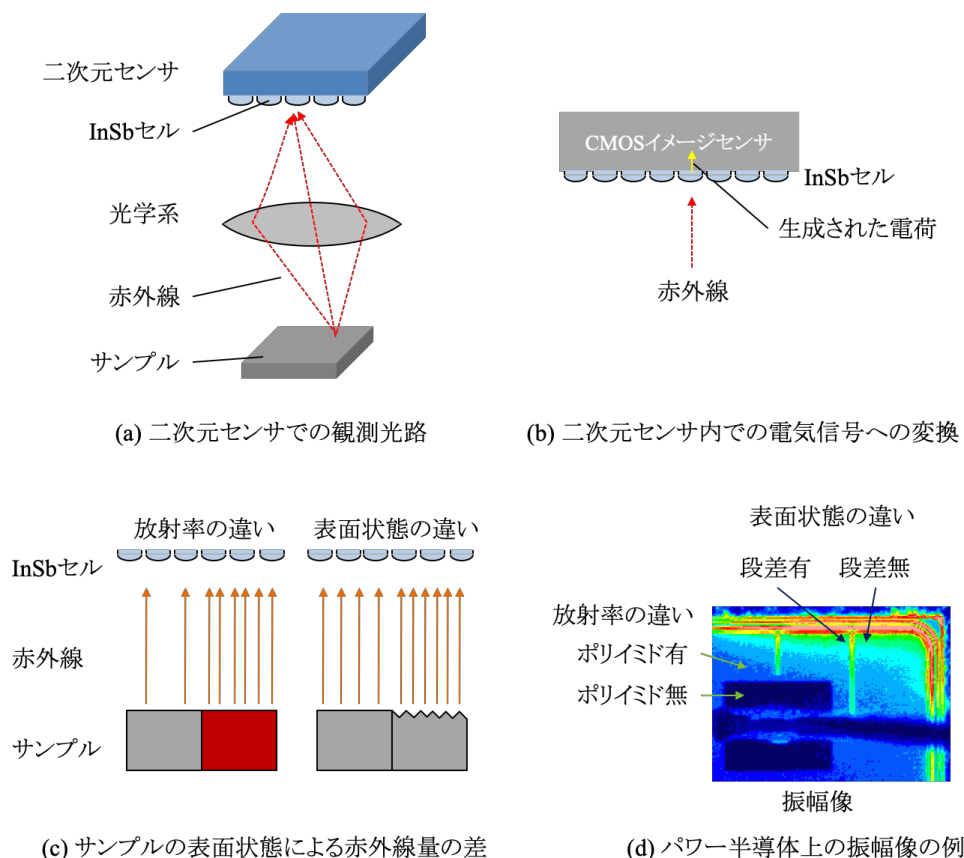


図 2.13 放射赤外線観測の問題点に関して

フィは光を電荷に変換する受光セルがアレイ状に並んだ二次元センサである。サンプルから放射された光は光学系を通してセンサ上に結像する(図 2.13(a))。各セル毎に入射した総光量に応じて電荷が発生し、通常は CMOS センサなどを通して電氣的信号として像の情報を得ることができる(図 2.13(b))。赤外線量は各セルに対応する、サンプル表面を構成する物質の放射率だけでなく表面積にも依存する(図 2.13(c))。表面に段差や荒れなどの凹凸があると赤外線量は増加する。観測例を図 2.13(d)に示す。また、振幅値は式(2-1)から(2-4)の計算による重み付き平均を取った結果である。このように強度や振幅値はサンプルを構成する物質と表面形状や応答波形から換算するモデルを構築しなければ実温度に換算することが困難である。

(2) 位相データの物理的解釈: 位相データを算出することで相対的な応答の比較ができることを確認した。しかし図 2.12 を用いて説明したように、印加バイアスのオン、オフ比によって位相値は変化する。また、サンプルを構成する各物質の熱的性質とサイズによっても変化する事が考えられる。これらの影響についてはシミュレーション等を用いて明確化する必要がある。

2.5 むすび

本章では、LIT を用いて、パワー半導体の阻止電圧分布とアバランシェ降伏時の温度の偏りを観測する手法について述べた。

1. LIT の原理と得られる発熱情報およびその解釈について述べた。LIT はサンプルに加えた周期的バイアスに同期して、

- ・サンプル表面から放射される赤外線を受動的に観測
- ・赤外線強度の変化の振幅と位相の算出

を行う。振幅は相対的な強度を表し、位相は発熱応答の遅れを表していることを示した。

2. LIT を用いて素子の阻止電圧分布を観測する手法とその実験結果について述べた。印加電圧を変えながら LIT 測定を繰り返すことで、リーク不良品を用いて阻止電圧分布を観測し、正常品とは異なる温度分布が発生していることを確認した。

3. アバランシェ降伏時の温度の偏りを、LIT を用いて観測する手法とその実験結果について述べた。LIT に同期して UIS 条件のバイアスを印加することで、リーク特性を示す不良サンプルから阻止電圧が異常な箇所でアバランシェ発熱も強くなることを確認した。

4. UIS 条件を組み合わせ測定する実験のように、印加バイアスのパルス幅と発熱のパルス幅が大きく異なる場合は位相値のずれが発生し、高速な温度変化の応答を LIT 位相値だけで判断することは困難であることを示した。

第3章 光反射率の温度依存性を利用した発熱解析^[34-67]

3.1 まえがき

パワー半導体表面にあるメタル電極の光に対する反射率の温度依存性を用いた、LIT より高速な、最高では 100 kHz 程度の発熱応答を観測する解析手法について述べる。まず開発した近赤外光を用いる熱反射率光学プローブイメージマッピング法 (optical probed thermo-reflectance image mapping : OPTIM) および熱反射率光学プローブ波形観測 (optical probed thermo-reflectance waveform : OPTW) の原理について述べる。次に第 2 章と同じく、パワー半導体素子の阻止電圧分布およびアバランシェ降伏における温度の偏りを、OPTIM を用いて測定する手法とその実験結果について述べる。最後に、OPTW の高速性を用いて行った実験結果を述べ、半導体素子の温度変化について過渡応答を観測する有効な手段であることを示す。

3.2 原理

これまでに説明したように、温度変化を伴う故障箇所特定のためのツールとして、サーモグラフィカメラを用いる LIT はチップ内の阻止電圧分布やオン抵抗異常を観察することができた。LIT で観測する赤外光の波長は 3~5 μm であるため、その空間分解能は約 10 μm 程度であった。さらに、赤外線量は、サンプル表面を構成する材料の放射率およびサンプル表面の粗さによって変化する。そのため、LIT 観測で数 μm 程度の空間分解能を達成することは困難であった。

空間分解能を上げるためには、より短い波長の光を用いる必要がある。しかし赤外線放射量はさらに減少するため検出器の感度が不十分となる可能性がある。

そのため、本研究では反射率の温度依存性を用いて温度変化を計測する方法を用いた。パワー半導体のチップ表面は多くの領域が反射率が高いメタルで覆われているので、反射光を用いることは検出感度を高くできる。

3.2.1 反射率と温度の関係

温度変化に伴う反射率の変化を観測する熱反射 (Thermoreflectance) 法は広く知られている。過去の研究では、可視光領域の光が用いられている。しかし、可視光領域の光は動作状態にある半導体素子に対して照射すると、電子、ホール対を生成し光励起電流を発生させるために素子の動作状態を変えてしまう侵襲的である。過去の研究では、無侵襲な波長の光を用いて動作状態の半導体素子内の微小領域 (μm サイズ) の温度変化を測定した報告はなかった。本研究では、無侵襲な光として波長 $1.3\ \mu\text{m}$ の非コヒーレントな光源を測定用光ビームとして用いた。

3.2.2 周期的熱源に対する熱反射法

周期的な熱源に対しての熱反射率法を適用する原理を図 3.1 に示す。熱源の周期的温度変化によって温度波 (Thermal Wave) が発生する。発生した熱は熱源を中心に、周辺、主に固体中へ温度の振動として伝搬する。

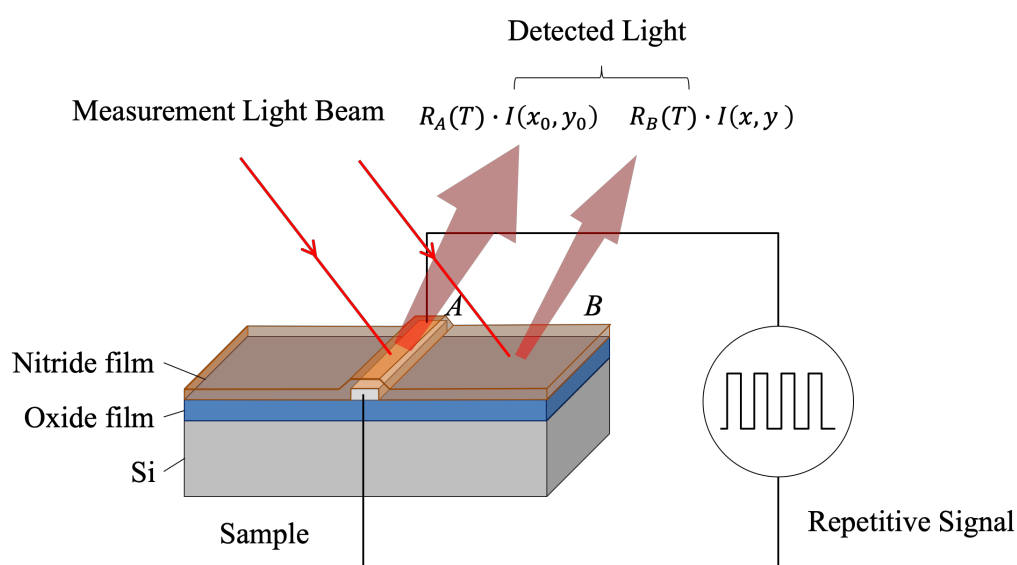


図 3.1 周期的熱源と熱源からの温度波に対する熱反射法

図 3.1 は単純な構造の例として、Si 半導体基板上に酸化膜を介して形成されたメタル配線があり、この配線に周期的に変化する電氣的バイアスを印加して温度変化を発生させた場合を示している。周期的なバイアスが印加されることで配線は反復的に加熱され、サンプル中に温度波が発生する。このサンプル表面に光ビームを照射しその反射率を観測すると、サンプル表面の温度振動によって光ビームの反射率が変化

する。印加バイアスの周期的なタイミングと温度による反射率変化の応答の振幅および位相遅れは、サンプルの熱伝導率と熱容量に依存する。

反射率の温度依存性によって、サンプル表面の周期的な温度変化により表面の反射率 R も周期的に変化する。式(3-1)に示すように、反射率の変化は周期的な温

$$R = \beta(\lambda_{\text{beam}})R_0(\lambda_{\text{beam}})\Delta T \quad (3-1)$$

度変化 ΔT の関数である。ここで、 $R_0(\lambda_{\text{beam}})$ は入射する光ビームの波長(λ_{beam})における入射表面の反射率、 $\beta(\lambda_{\text{beam}})$ は熱反射率係数で温度の関数である。周期的に反射率が変化するので、サンプル表面からの反射光ビームに対してロックイン検出を行なって反射光量を測定する。入射光と反射光の強度は式(3-2)に関連づけられる。

$$I_{\text{detet}} = RI_{\text{beam}} \quad (3-2)$$

ここで、 I_{beam} は測定光ビームの強度、 I_{detect} は反射光の強度である。サンプル上を光ビームを走査しながら R を求めること、サンプル表面の温度変化分布を知ることができる。

3.3 実験方法

3.3.1 装置

図 3.2 は、電気光学(Electro Optical : EO)プロービング解析システムを搭載した浜松ホトニクス製の故障解析装置 PHEMOS-1000 を利用した熱反射法の実験装置系統図を示す。PHEMOS-1000 は、半導体素子中の弱い発光を検出することで故障箇所を特定する高分解能のエミッション顕微鏡(Photo Emission Microscope : PEM)である。EO プロービング解析は、半導体素子内の特定位置での空乏層変化の反復信号を測定する電気光学プロービング(Electro Optical Probe : EOP)機能と、特定の繰り返し周波数で動作する領域の位置を示す画像を得る電気光学周波数マッピング(Electro Optical Frequency Mapping : EOFM)機能とを含んでいる。本研究では EOP と EOFM をサンプル表面の反射率の変化を観測する機能として用い、それぞれ波形モードと画像モードと呼ぶ。EO プロービング解析ユニットは LSI の動作解析に用いられるため、アンプの帯域は 10 kHz 以上であった。測定するサンプルの熱容量によっては温度変化は緩やかになるため、本研究ではアンプを再設計し、波形モードで観測できる測定帯域を 1 kHz ～ 100 MHz とし、1 μ s の応答まで観測できるようにした。

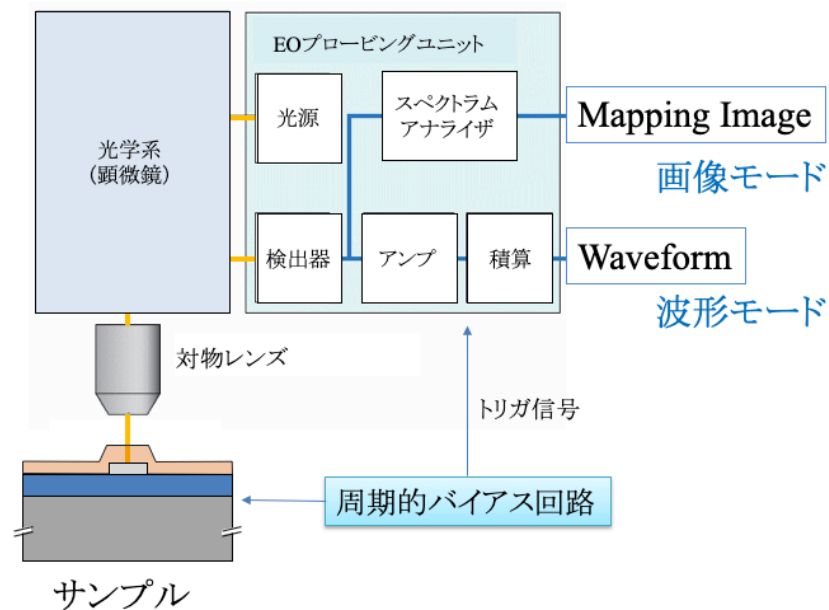


図 3.2 熱反射法の装置系統図

3.3.2 条件

本研究では、EO プローブユニットに搭載された波長 $1.3\ \mu\text{m}$ のインコヒーレントな光源と、開口数 (NA) = 0.4 の 20 倍の対物レンズを使用した。一般にレイリー基準として知られている式 (3-3) により、これらの条件下で光学的分解能 D は約 $1.63\ \mu\text{m}$ と推定

$$D = \frac{\lambda}{2 \cdot NA} = \frac{1.3}{2 \cdot 0.4} \sim 1.63 \quad (3-3)$$

される。 $1.3\ \mu\text{m}$ の波長の光のエネルギーは Si のバンドギャップエネルギーよりも小さいために電子、ホール対を生成せず、Si には電流が誘起しないため無侵襲である。

3.4 実験と結果 1 (基本機能)

3.4.1 サンプル

本研究では、幅 $4\ \mu\text{m}$ のアルミニウム配線構造の試験要素グループ (Test Element Group : TEG) を使用して、 μm 単位の空間分解能で温度変化の測定を試みた。配線

TEG の構造を図 3.3 に示す。図 3.3(a)は配線部分の形状を示す反射顕微鏡写真、(b)は断面構造の三次元模式図である。配線下の基板はシリコン (Si) である。厚さ $1\text{ }\mu\text{m}$ の

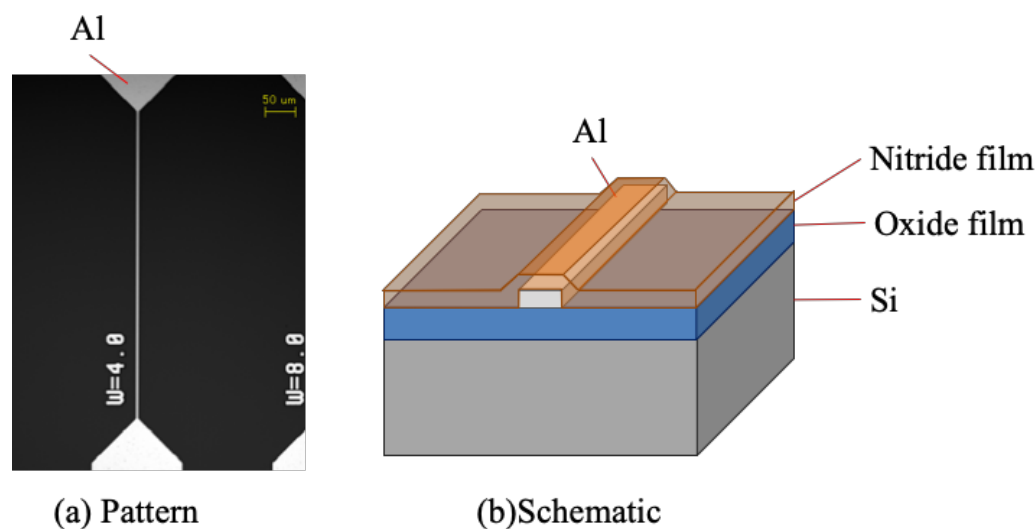


図 3.3 Al 配線 TEG 構造

酸化膜 (SiO_2) 上に厚さ 500 nm の Al 層を形成し、厚さ 500 nm の窒化物 (Si_3N_4) 膜で被覆した。Al 配線の幅は $4\text{ }\mu\text{m}$ 、長さは $500\text{ }\mu\text{m}$ である。図 3.3(a)の細い配線部分の抵抗値は約 $8\text{ }\Omega$ である。

図 3.1 に示した繰り返し信号として、周波数 10 kHz 、デューティ比 50% の矩形波を印加した。矩形波の電圧振幅を調整し、Al 配線部分で消費される電力が 2 mW になるように設定した。また、本実験での観測時間は、波形モードは 1 点あたり 30 秒 、画像モードは観測エリアをスキャンするために約 5 分 を要した。

3.4.2 実験結果 (波形モード : OPTW)

波形モードは素子の特定のポイントでの時間応答を高速にサンプリング計測する。

(1) Al 配線に沿った温度波

Al 配線に沿って温度波がどのように変化するかを観測した測定点を図 3.4 に示す。Al 配線の中心線に沿って $3\text{ }\mu\text{m}$ 間隔で 7 箇所の温度波を波形モードで測定した。

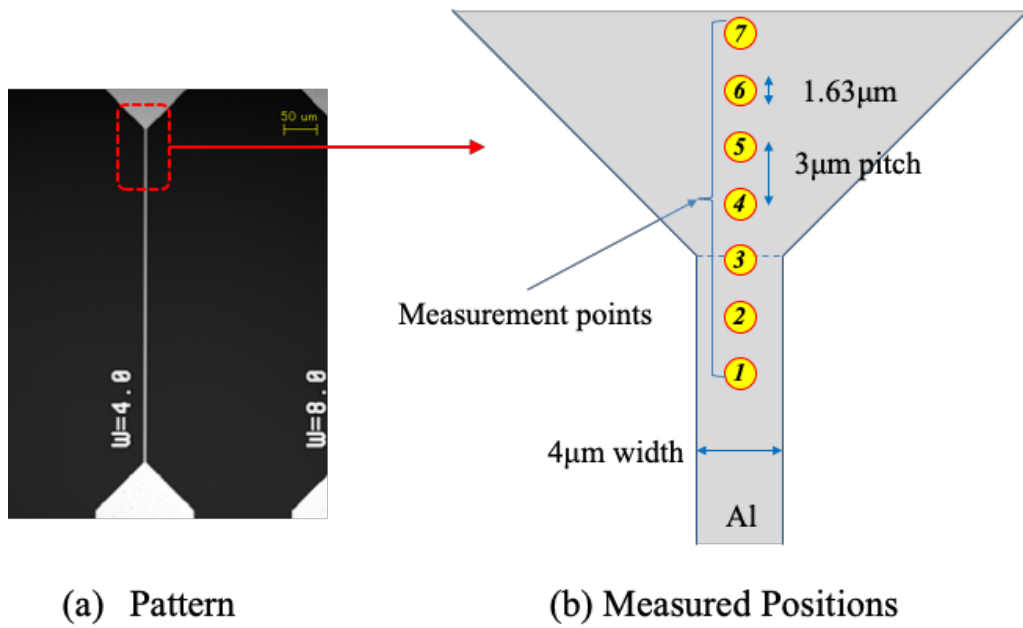


図 3.4 Al 配線に沿った温度波を観測した測定点

図 3.5(a)は、波形モードを用いて得られた、各測定点での I_{detect} の時間変化を示す。周波数 10 kHz、デューティ比 50%の印加矩形信号の 1 周期分の測定結果で

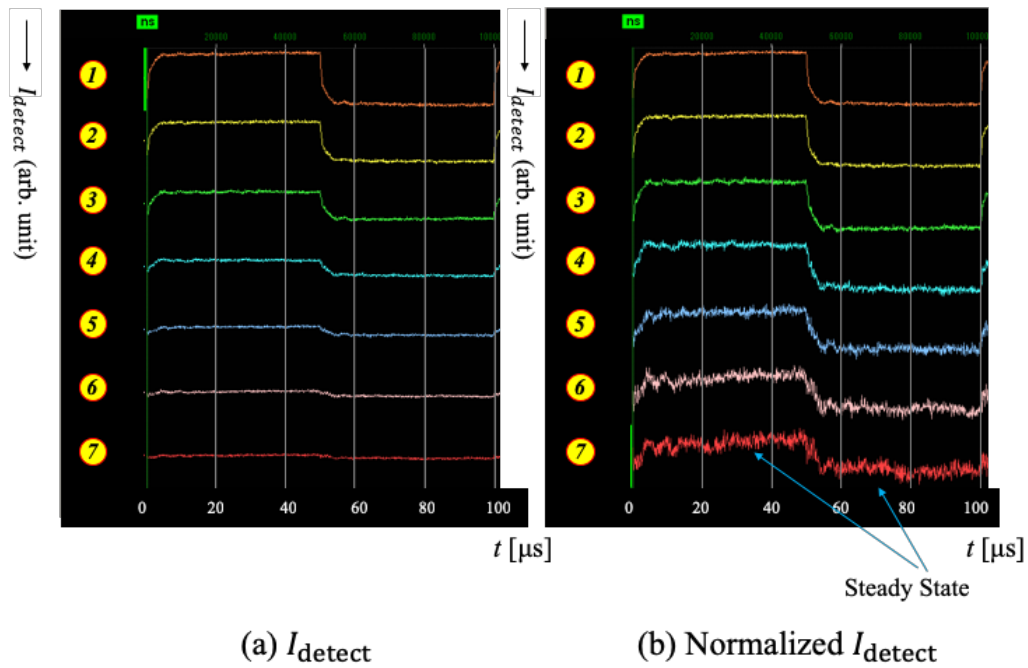


図 3.5 Al 配線に沿った温度波による I_{detect}

ある。これらの結果から、検出信号 I_{detect} の振幅は測定点 1 から 7 に向かって減少していくことが分かる。この結果は、位置による配線抵抗値の差によるものと考えられる。図 3.5(b) は、図 3.5(a) の各測定点の値を測定点 1 の振幅で正規化した結果を示す。この結果から、矩形信号に対する応答の過渡部分は位置に依存しないことが分かる。また、測定点 1 から 7 までの遅れ時間は約 $5 \mu\text{s}$ である。これは、Al 配線の熱容量が小さく、Al 配線の熱伝導率が高いことによると考えられる。

(2) Al 配線から遠ざかる方向の温度波

図 3.6 は、Al 配線と直交する方向に伝搬する温度波の観測した測定点を示す。温度波は $3 \mu\text{m}$ 間隔で 7 点で測定した。ポイント 1 は Al 配線上にある。

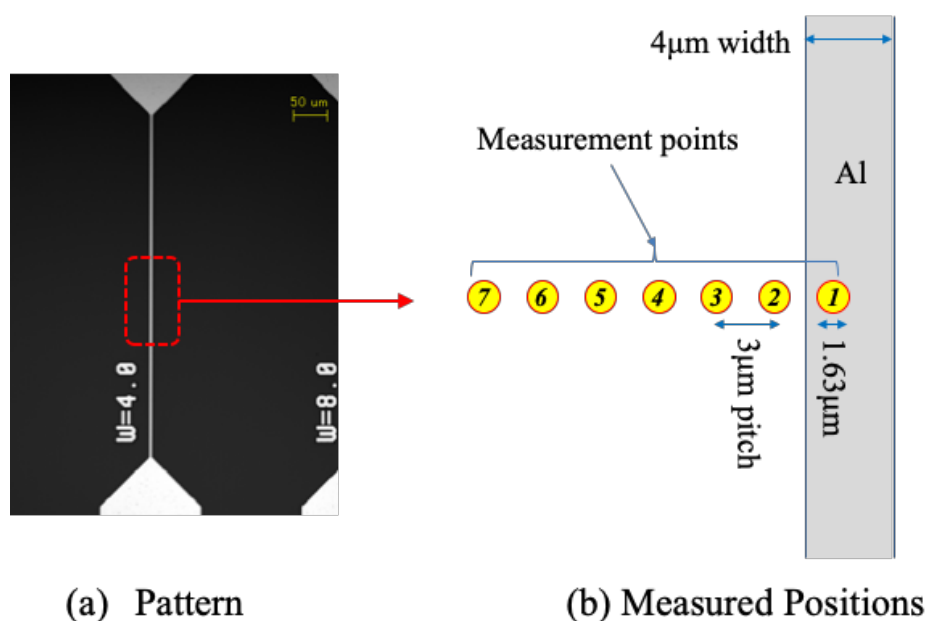


図 3.6 Al 配線から遠ざかる方向の温度波を観測した測定点

図 3.7(a) は、各測定点での I_{detect} の時間変化を示す。Al 配線上の測定点 1 の結果は、「高」状態から始まっている、測定点 2 から 7 は「低」状態から始まっている。これは、Al の反射係数の温度依存性が Si とは逆のためである。測定点 2 から 7 の結果から、検出信号 I_{detect} の振幅は測定点 2 から 7 に向かって減少していくことが分かる。図 3.7(b) は、図 3.7(a) の各測定点の値を測定点 1 の振幅で正規化した結果を示す。また、測定位置 2 から 7 の正規化された波形を重ね合わせて比較できるようにしたグラフを図 3.8 に示す。これらの結果から、温度変化の開始時間は位置にほとんど

依存しないが、定常状態までの過渡時間は測定位置 2 から 7 の順に長くなることがわかる。これは、Si の熱伝導率は Al に近いけれども、Si 基板の熱容量が大きいためであると考えられる。

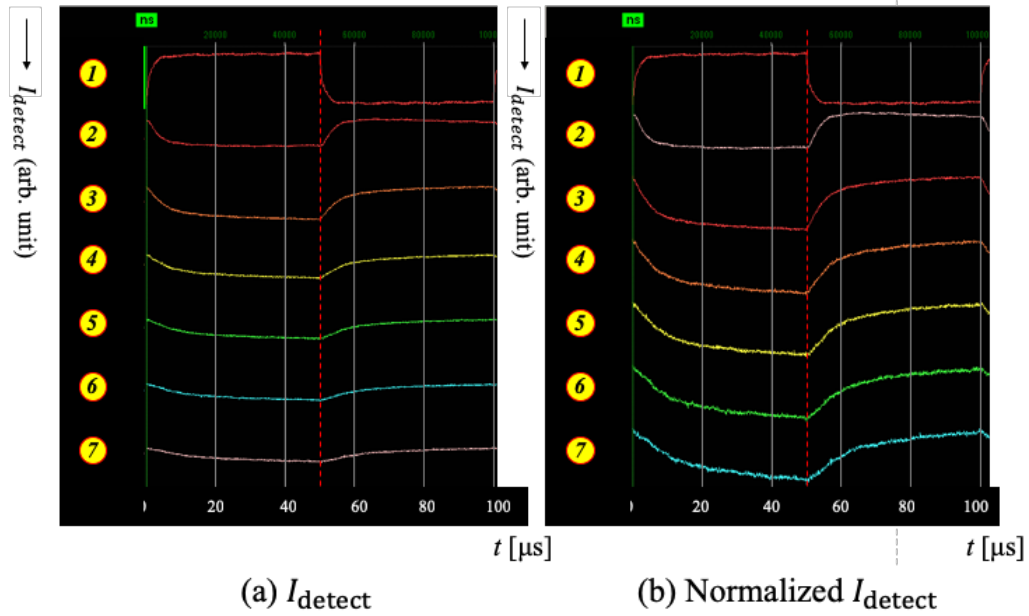


図 3.7 Al 配線から遠ざかる方向の温度波による I_{detect}

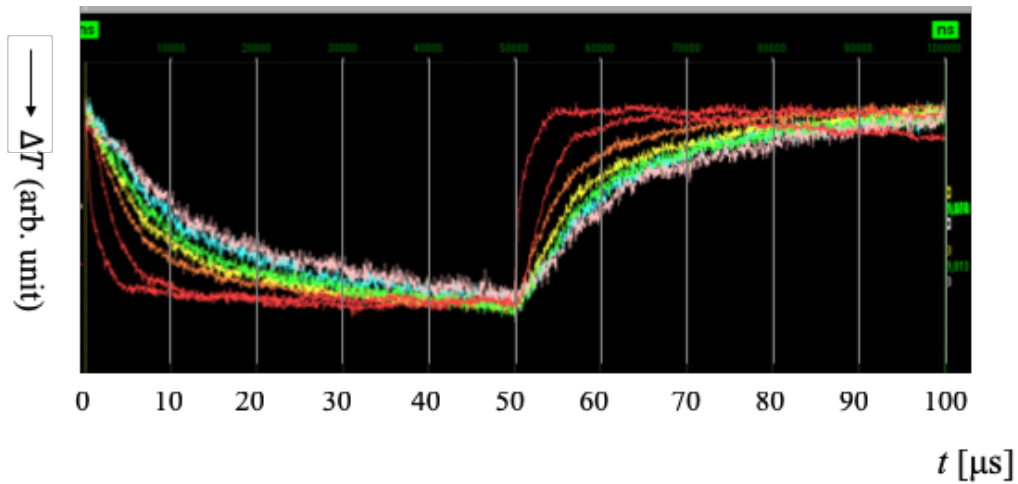


図 3.8 図 3.7(b)の位置 2 から 7 の重ね合わせグラフ

3.4.3 実験結果(画像モード : OPTIM)

画像モードは、各測定点での波形からある周波数での信号の振幅と位相を、位置情報を示す画像として視覚化するものである。

検出した画像は LIT と同様のロックイン原理に従ってデジタル処理される。得られる結果は、同相信号 $S^{0^\circ}(x, y)$ と、直交信号 $S^{-90^\circ}(x, y)$ のイメージである。これらの 2 つの信号から、表面温度変化の振幅画像 $A(x, y)$ は式 (3.4)、および位相画像

$$A(x, y) = \sqrt{S^{0^\circ}(x, y)^2 + S^{-90^\circ}(x, y)^2}, \quad (3.4)$$

$$\Phi(x, y) = \arctan\left(\frac{-S^{-90^\circ}(x, y)}{S^{0^\circ}(x, y)}\right), \quad (3.5)$$

$\Phi(x, y)$ は式 (3.5) で求められ、この 2 つの画像が得られる。 0° と -90° の両方の画像の値は、表面温度に比例するので、振幅画像においても熱源箇所のコントラストは

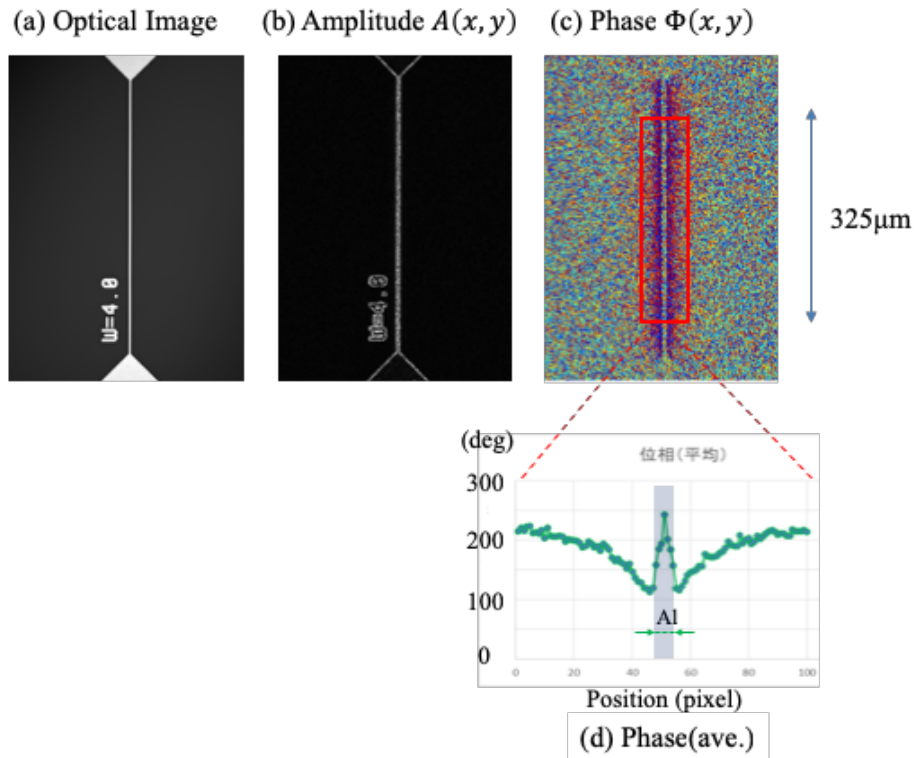


図 3.9 画像モードで観測結果

消散電力に比例する。一方、位相画像は、 0° および -90° の画像の商に依存する。位相画像は表面温度変化の時間遅延の尺度に相当する。

図 3.9 は、周期的(10 kHz)なバイアス条件下での画像モードで得られた Al 配線 TEG の(a)光学像および(b)振幅「 A 」および(c)位相「 Φ 」画像を示す。この図では、配線長方向に沿って 325 μm に対応する画素数で平均化された位相のプロット(d)も示している。この図 3.9(d)のグラフから、配線領域から離れるに従って位相値が大きくなることが分かる。これは、熱の波伝搬の遅延を意味している。

以上の結果から、1.3 μm の無侵襲な波長のインコヒーレント光ビームを使用することで、Si 半導体素子における μm オーダーのサイズの配線構造の温度変化を測定することが可能であることがわかった。電気光学 (EO) プロービング解析用の高分解能エミッション顕微鏡を用いることで 2 つの測定モード、波形モード (OPTW) と画像モード (OPTIM) がでの測定ができる。波形モードは、高速 (1 kHz $\sim$ 100 MHz) サンプルングで素子の特定のポイントでの時間応答を高速に取得できる。画像モードは各点の波形からある周波数で信号の強度を抽出し、それを画像として視覚化する。検出された画像は、ロックイン原理に従ってデジタル処理される。位相画像は表面温度変化の時間遅延の尺度に相当する。

3.5 実験と結果 2 (アバランシェ降伏時の発熱分布の観測)

3.5.1 サンプルと条件

第 2 章の LIT 観測実験で用いたリーク不良品サンプルを使用して、アバランシェ降伏時の発熱分布を本方式で観測した。

図 3.2 のバイアス回路を UIS 回路にして MOSFET にアバランシェ降伏を発生させた。ゲート電圧 V_G の立ち下がりタイミングでトリガ信号を得て画像モードで観測した。トリガのタイミングは図 3.10 に示す。UIS バイアスは、負荷として 2 mH のインダクタンスを使用した。印加周波数は 100 Hz、MOSFET のゲート駆動は 100 μs のターンオン期間とした。ドレイン電流の最大値は 400 mA であった。これらは LIT での実験時と同じで、MOSFET の動作波形は図 2.9 に示した。本実験での観測時間は、観測エリアをスキャンするために約 10 分を要した。

ここで周波数を LIT での条件と合わせて 100 Hz で行った。波形モードの帯域は 1 kHz 以上であるために取得できなかった。ここでは応答の遅れを示す位相像と、EO プローブユニットに搭載されている式 (3-6) で求まる IQ 像を結果として示す。

$$IQ = A \cdot \cos(2\pi ft + \Phi) \quad (3-6)$$

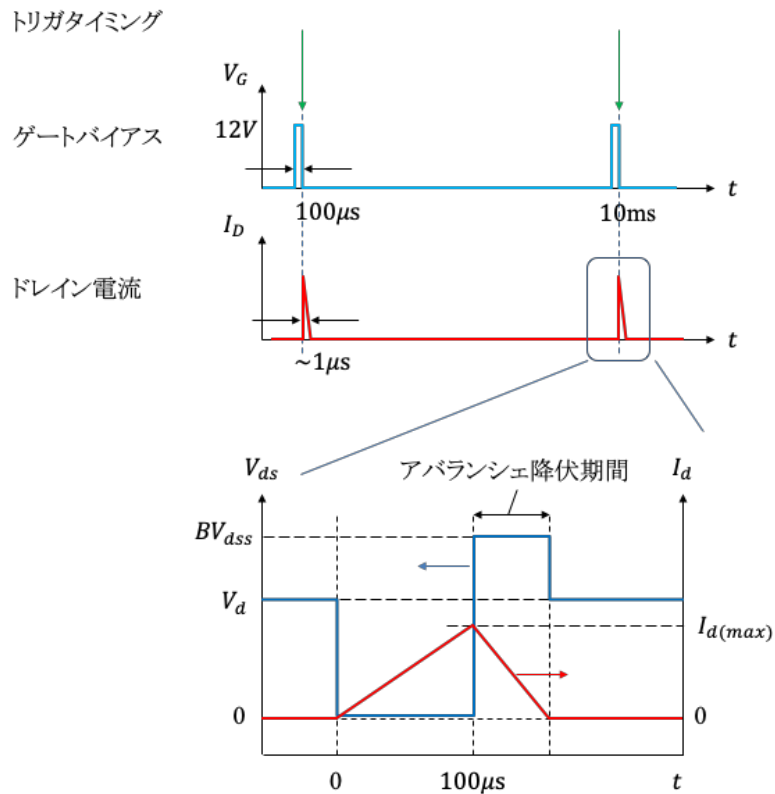


図 3.10 UIS 条件での観測タイミング

3.5.2 実験結果(画像モード : OPTIM)

図 3.11 に結果を示す。リーク不良品の(a)位相像と(b)IQ 像である。図中の黄色点線は、チップの外枠と、2 つの小さな四角はソースおよびゲートのボンディングパッドの位置を示している。

リーク不良品の位相像では、図 2.10 で示した LIT による解析と同様に素子電圧が低い領域に沿って、位相像では水色に表示された箇所がある。この領域以外には反射率が変化する信号が捕らえられている領域はなく、水色の領域でのみ印加バイアスと同期した温度の変化があることがわかる。IQ 像でも同じ領域に若干明るい色の領域があることがわかる。

画像モードの位相像と図 2.10 に示した LIT 位相像との比較を図 3.12 に示す。まずソースパッド部において LIT で見られた発熱信号の断続部分であるが、反射率変

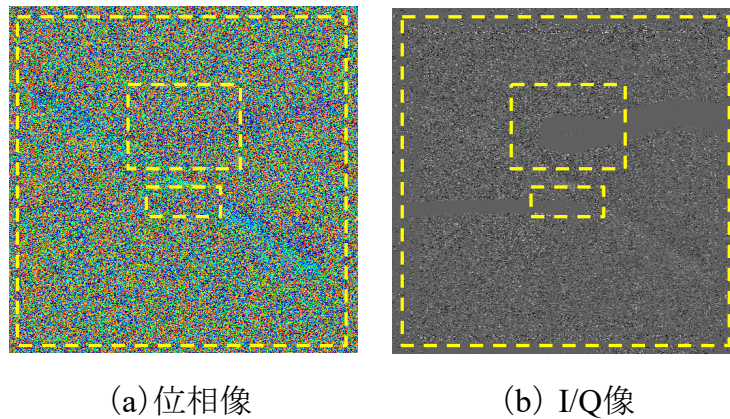


図 3.11 画像モードでの観測結果

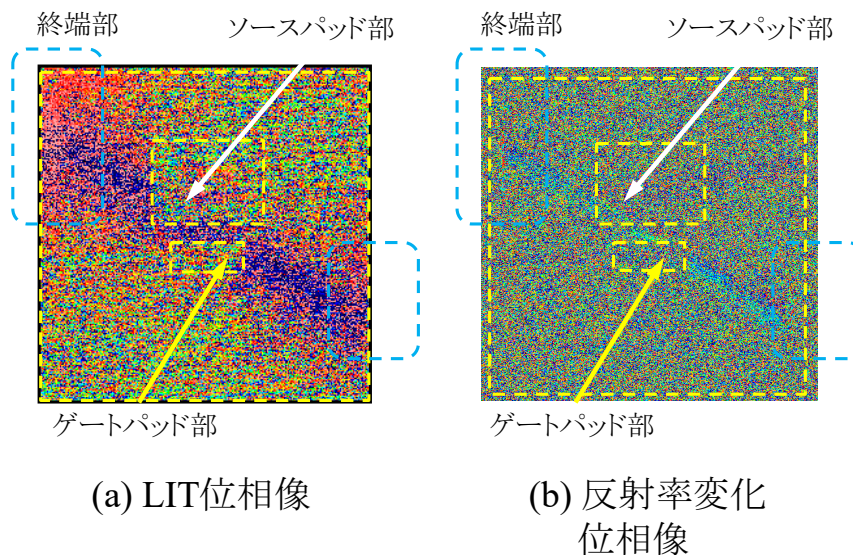


図 3.12 反射率変化の位相像と LIT 位相像の比較

化ではパッド以外の部分から連続して反応の信号が続いていることがわかる。これはメタルの赤外線放射率がひくいために LIT では信号が得られなかった箇所でも、反射を用いれば信号が検出できることを示している。またゲートパッド部分は反射率変化の位相像でも断続している。設計データによれば、ゲートパッド部分には MOSFET のユニットが配置されていないことがわかった。そのためゲートパッド箇所ではアバランシェ電流が流れず、発熱応答も発生しない。反射率変化の画像モードでは両パッドの構造の違いによる発熱応答を明確に示している。最後に、LIT で終端部に見られた信号らしき領域が反射率変化では見られない。終端部のメタルが無い箇所ではゲートパッド

と同様にユニットが無い場合アバランシェ電流は流れにくい。メタルが無いことで赤外線放射率は高く、LIT で信号のように見えているのは赤外線放射率が異なることによる誤反応である可能性が高い。一方で反射率変化の位相像では終端部に信号はなく、MOSFET のユニットが存在する領域にのみ信号が得られる箇所が存在していることがわかった。

IQ 像は、トリガのタイミングからある時間が経過した後の信号のピーク位置を求めることができる。図 3.13 に取得したデータから、(a) 26.2 μs 後と(b) 52.3 μs 後の信号ピークの位置の違いを示す。IQ 像では明るいコントラストで示された部分、温度変化のピークに相当する部分の中央を、図では L と記した水色の線で示している。N と記した

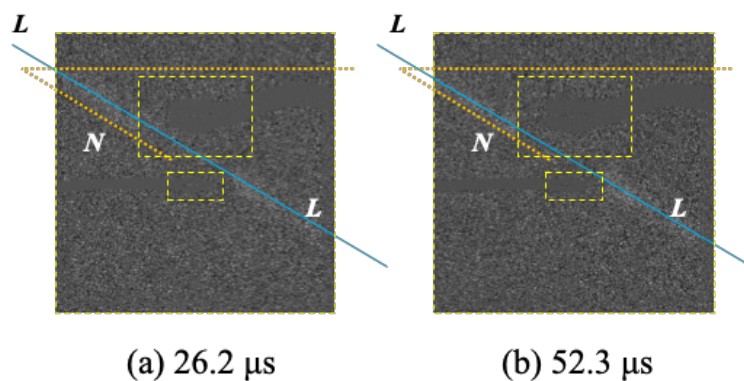


図 3.13 IQ 像から確認された温度ピーク位置の移動

オレンジ色の点線はピークのライン L を判別しやすくするための補助線で(a) (b)ともにチップに対して同じ位置にある。詳細に見ると、ピークのライン L は図の下方へ移動したことがわかる。この実験で使用した MOSFET チップは Si の(100)面を使用し、図 3.13 の水平方向は<110>方向であった。そのため、L は<410>方向を向いており、L のラインの L と垂直方向への移動速度は約 4.49 $\mu\text{m/s}$ であった。IQ 像の解析から、LIT では求められない温度ピーク位置の移動を観測することができた。

3.6 OPTW/OPTIM の考察まとめ

本研究の中で、市販の解析装置 EO プロービングユニットを用いて熱反射率光学プローブ法である OPTIM/OPTW を開発した。この手法により温度変化の応答を観察できることを実験で示した。またこの手法は、広く半導体の故障箇所特定手法として用

いられている熱解析法である LIT に対して、

- ・空間分解能が高い(LIT の約 $10\ \mu\text{m}$ に対して約 $1\ \mu\text{m}$)
- ・時間分解能が高い(LIT の $10\ \text{ms}$ [$100\ \text{Hz}$]に対して $1\times 10^{-6}\ \text{s}$ [$1\ \text{MHz}$])
- ・温度の応答波形を観測できる(熱反射光学プローブ波形観測 : OPTW)

という特徴がある。また、パワー半導体はチップ表面の大部分が反射率の高いメタルで覆われているため、これに適用する場合は熱放射法に対して光強度を高くできる。

一方、波形モードの測定帯域は $1\ \text{kHz}$ 以上であり、これは EO プロービングユニット内のアンプとスペクトラムアナライザ(図 3.2)の帯域下限による。この制約のために式(1.4)で求められる熱拡散長、約 $170\ \mu\text{m}$ より長い距離の熱応答に対しては測定感度が低い。たとえばこの長さよりもチップの厚さが厚い素子では裏面近傍に発熱源がある場合には検出することが困難である。そのため、故障解析や動作解析において熱挙動を観測する場合には、本手法と LIT を併用して解析することで、より詳細な熱応答の情報が得られると考える。

解決できていない課題としては、温度応答の物理的解釈と熱源の深さ計測が挙げられる。

反射による温度変化の観測に関しては、波形データを測定することで μs 程度の応答波形を詳細に観測できることを確認した。しかしチップ内での熱伝導と温度変化の絶対値に関する解析は不十分である。理由としては次のことがあげられる。繰り返し電圧印加による熱源の温度は熱源自体の抵抗値と印加バイアスだけでは決定できず、熱源近傍の構成する物質の熱抵抗、比熱、体積、密度などによって変化する。また、温度下降時の熱源の温度変化は周辺領域への熱拡散で決まり、これも初期条件と境界条件によって変わる。これらのために、位相値や応答波形のみでは熱伝導と温度変化の絶対値を知ることは困難である。そのため、詳細な温度変化の解析は、サンプルの構造モデルを考慮したシミュレーションによって求める検討を継続する。

熱源の深さ計測は故障解析としては重要な情報である。位相データと応答波形を元に発熱箇所の深さを推定できれば、物理解析において適切な断面加工の位置と加工手段を選択することができる。シミュレーション研究において、波形、位相データと深さの関係を検討する。

3.7 むすび

本章では、画像モード(OPTIM)と波形モード(OPTW)を用いて、パワー半導体の阻止電圧分布とアバランシェ降伏時の温度の偏り、および半導体素子の温度変化について過渡応答を観測する手法について述べた。

1. 近赤外光を用いる画像モードおよび波形モードの原理について述べた。この手法は

- 近赤外の光ビームを照射し、1次元センサを使って連続的に反射光の強度を測定できる。
- 入射光の強度との比を計算することで反射率比の応答を出力できる。
- 照射位置を移動しながら振幅および位相を算出し、照射位置に合わせて端末上に表示することでイメージ像(イメージマップ)を出力できる。

2 次元エリアセンサーで赤外線放射を受動的に観測する LIT と比較して、 $\lambda/2NA$ までの空間分解能と数 100 kHz までの時間分解能が得られる点、および応答波形が観測できる点で有利である。

2. 単純な配線構造のサンプルの発熱応答を、波形モードと画像モードを用いて観測した結果を示した。熱応答が早い半導体素子の温度変化について、その過渡応答を観測する有効な手段であることを示した。

3. 第 2 章と同じ阻止電圧リークがあるサンプルを用いて、アバランシェ降伏における温度の偏りを、画像モードを用いて測定した結果について述べた。反射率を用いる本方式は LIT と比較して放射率の影響を受けにくいことを示した。また、IQ 像を用いて温度分布の時間的変化を観測することができた。

第4章 TRE を用いた発光解析^[68-96]

4.1 まえがき

時間分解エミッション (time resolved emission : TRE) の原理によるマッピングイメージ顕微鏡装置を用いた発光解析手法について述べる。まず近赤外光を用いる観測装置の原理について述べる。次にパワー半導体の電流分布と時間変化を観測する手法について述べる。次にパワー半導体のアバランシェ降伏における電流分布に相当する、発光分布と時間変化を観測した実験結果を述べる。最後に本手法が従来の解析手段では得られなかった、パワー半導体の動作状態の情報が得られることを示す。

4.2 原理

4.2.1 アバランシェ降伏期間中の素子内の発光に関する過去の事例

第1章で述べたように、UIS バイアスなどで発生するアバランシェ降伏条件の下ではエネルギーがパワー半導体内で消費され、素子の熱的限界を超えるとチップ内で熱的破壊が発生する。特に IGBT の場合は電流の集中である電流フィラメントが発生し、小さな領域にエネルギーが集中する。

電流フィラメントの移動に関しては、シミュレーションを用いた研究と、実験的観測を用いた研究がある。現在のところ、シミュレーション研究は IGBT 素子の断面構造モデルにおける電流フィラメントの形成と移動の計算が主に行われている。これは、IGBT 素子のチップ全体をモデル化した 3 次元シミュレーションがかなりの計算リソースを必要とするためである。

実験的観測に基づく研究では、電流フィラメントが形成されることによって発生する温度波を検出する方法や、電流に伴って放射される光子を検出する方法が用いられている。前者はサーモグラフィ法を用いて行なわれている。第2章に述べたように、サーモグラフィ法の時間分解能は数十 μs 程度であり、アバランシェ降伏期間数 μs 内の変化を観測するには不十分である。後者の方法は、電流フィラメントが形成された時に光子が放射されることによる。アバランシェ降伏時の電流による光子の放出は 1955 年に報告されている。これまでは光電子増倍管やストリークカメラを用いた光子検出の手法による実験が行われているが、いずれも IGBT チップの側面から放出される光子

を観測した研究であった。電流フィラメントがチップ内のどこに生成され、どの程度の速度で動くのかを測定する研究は、これまで行われていなかった。

4.2.2 本研究で用いた測定系

アバランシェ降伏の持続時間は数 μs であるため、その間における光子の発生確率は低い。また、パワー半導体の表面は終端領域を除いてほぼ全面がエミッタ (IGBT の場合) 電極のメタルで覆われている。パワー半導体のメタル層の厚さは $3\sim 10\ \mu\text{m}$ であるので光の透過は極端に少なく、終端領域以外のユニット部分から放射される光子を観測できる確率はさらに低くなる。そのため、チップ表面側からチップ内のどこに電流フィラメントが発生しているかを観測するシステムは、単一光子検出モードでの動作が可能でなければならない。検出器としての選択肢の 1 つは、マイクロチャネルプレート (micro-channel plate : MCP) を使用することである。MCP は多数の電子増倍構造を持つウェハ状のパネルであり、光子を電子に変換するための光電面と、電子を増倍して得られる多数の電子から電気的信号に変換するための抵抗性陽極を組み合わせた図 4.1 の構造の検出器である。この検出器は、単一光子検出モードで位置情報を得ることができるため、光学系と組み合わせることで、視野内のどこで光子が放出されたかという情報を得ることができる。本研究では、この MCP を内蔵した検出器を搭載し

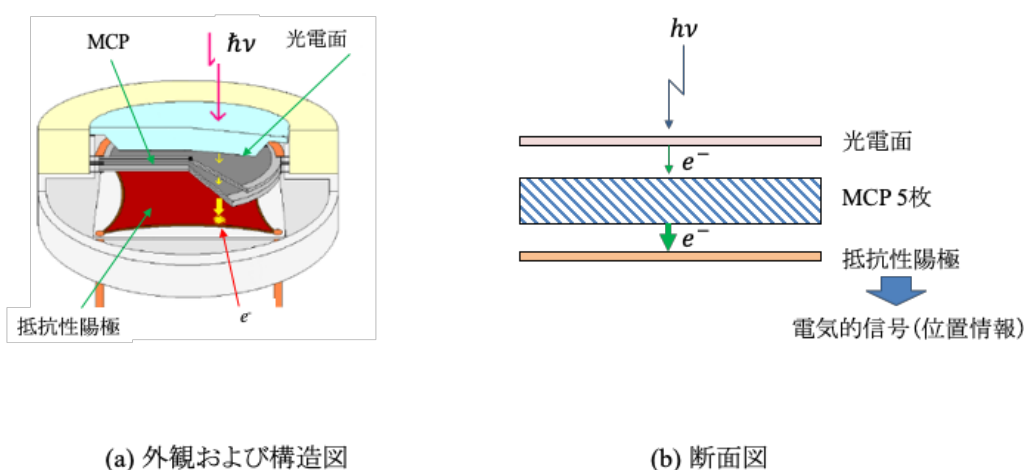


図 4.1 MCP を用いた検出器の外観と構造

た浜松ホトニクス社製の TriPHEMOS (略称 TRI) を実験装置として観測に用いた。検出器内の抵抗性陽極には 4 つの端子があり、各端子からの電流信号を処理することで、検出器へ光子が入射した位置情報(x, y)を得る。同時に時間ーデジタル変換器 (Time-to-Digital Converter : TDC) により光子が入射した時間情報(t)を得る。両者から(x, y, t)を 1 組のデータとして光子が観測された時間と位置を記録する。この装置の分解能は、位置情報については x 方向、 y 方向ともに 512 ピクセル、時間 t は数十 ps 程度である。実験装置の構成図を図 4.2 に示す。

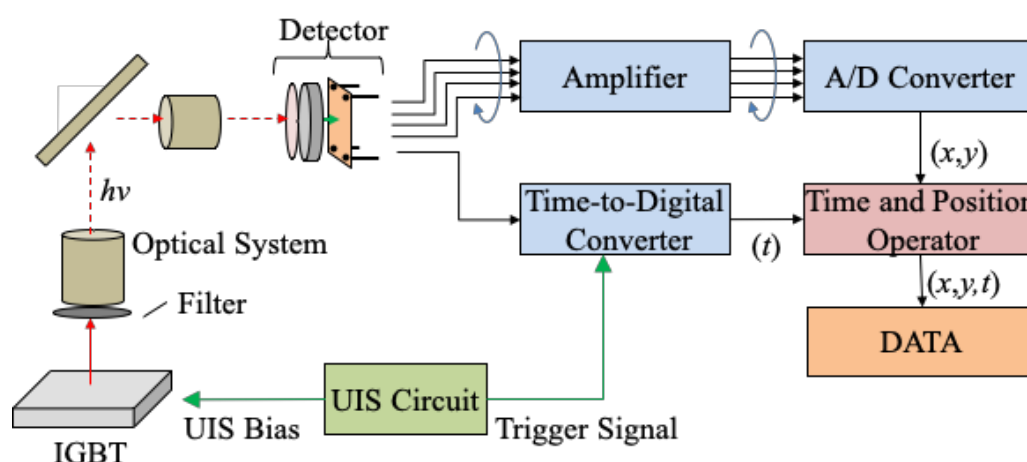


図 4.2 TRI 観測系の構成図

以下の実験結果で示すデータの表示方法には 2 つの形式がある。1 つはデータ (x, y, t) からある時刻 t での画像 (x, y) を表示する。このモードを TRI のイメージ像 (イメージマップ) モードと呼ぶ。各ピクセルの持つ値は、指定した時間の範囲にその位置で観測された光子の総数として定義される。総数はカラーチャートに従って色付けして表示される。2 つ目は TRI 波形モードである。TRI イメージ像に赤い四角枠で選択した領域内に位置するすべての光子の情報を抽出し、時間に対する総光子数の変化として求めるモードである。この表示を TRI 波形モードと呼ぶ。1 つ 1 つの光子に関するデータは時間に関しては数十 ps の分解能がある。データの表示例を後ろの節で示す。

実験装置の検出器に使われている光電面の、波長に対する感度特性である量子効率を図 4.3 に示す。900 nm から 1.6 μm までの光が検出できる。過去の文献にあるように、アバランシェ降伏時の電荷の制動放射による発光の波長は可視光領域から近赤外領域まで広く分布しているので、この実験装置によりアバランシェ降伏による電流

の分布が観測できる。

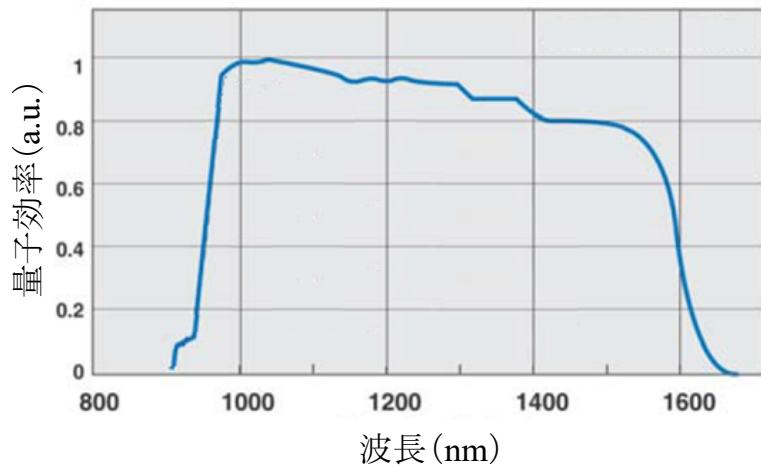


図 4.3 使用した検出器の光電面の感度曲線

4.3 実験と結果

4.3.1 サンプルと測定条件

実験に用いた IGBT チップは、製品の定格の上では 600 V の最大動作電圧、20 A のピーク電流駆動能力を備えたトレンチゲート構造の IGBT であった。図 1.7(a)に示

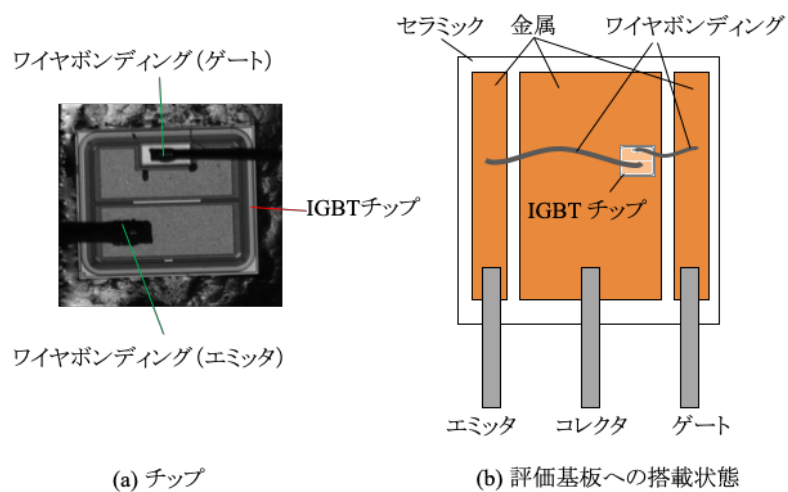


図 4.4 実験に使用した IGBT と実装状態

した UIS バイアス回路の構成で、負荷として 10 mH のインダクタンスを使用した。図 4.4(a)に IGBT チップの写真を示す。図 4.4(b)に示すように、IGBT チップをセラミック基板に実装して測定を行った。また、観測したサンプル数は2個である。サンプル A と B と呼ぶ。

図 4.5 は、10 mH のインダクタンスを負荷とし、IGBT サンプル A に 1 kHz の周波数(100 μ s のターンオン期間と 900 μ s のターンオフ期間)で繰り返し UIS バイアスを印加した時のアバランシェ降伏時の電氣的波形を示す。この時、コレクタ電流 I_C のピーク値は 800 mA であった。アバランシェ降伏の開始時間および終了時間は、ゲート電圧 V_G をオフにした時刻を時間軸の原点として、それぞれ約 0.75 μ s および 8.75 μ s であることが分かる。

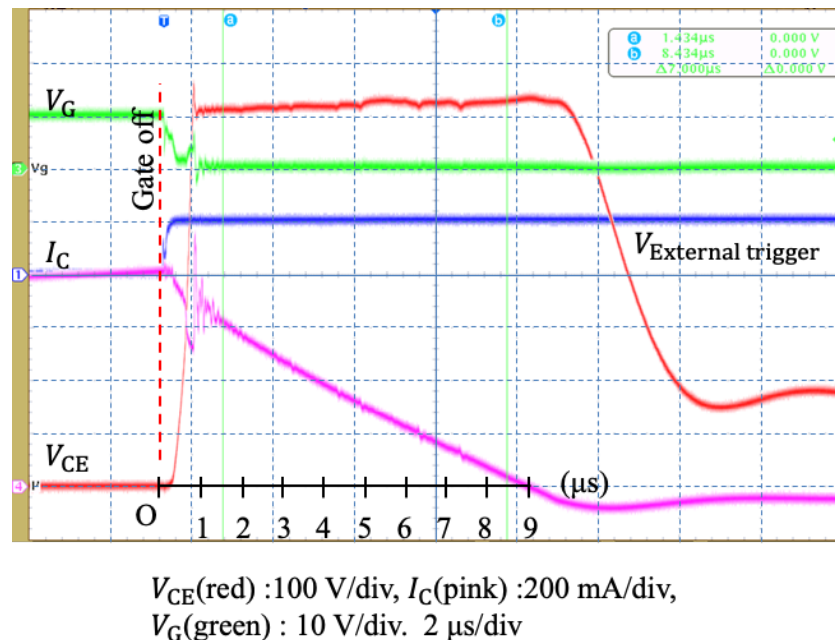


図 4.5 UIS 条件でのアバランシェ降伏波形 (IGBT サンプル A)

4.3.2 結果と考察

IGBT チップの全面を視野に収めるために、対物レンズとして倍率 1 倍(1 $\times$)、開口数 NA=0.15 のレンズを用いた。TRI イメージと波形データを図 4.6 に示す。図 4.6(a) は TRI イメージ像である。チップサイズは 3.1 mm $\times$ 3.7 mm(図 4.6(a)の赤い矩形枠)であり、この領域に含まれるセンサ有効領域の画素数は 126 $\times$ 151 ピクセルであった。

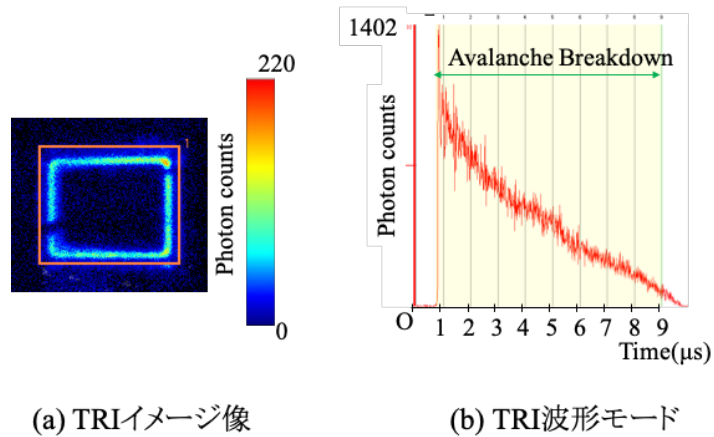


図 4.6 サンプル A の測定結果

そのため、1 画素の大きさは約 $25\ \mu\text{m}$ 角となる。各ピクセルの持つ値は、この大きさの領域で検出された光子の数として定義される。TRI イメージ像では値の大小をカラーチャートで示しており、明るく示されている箇所ほど光子数が多いことを表している。検出された光子の数が多いピクセルは、IGBT チップの終端領域にあることがわかる。これは、この領域がエミッタのメタルで覆われていないためである。

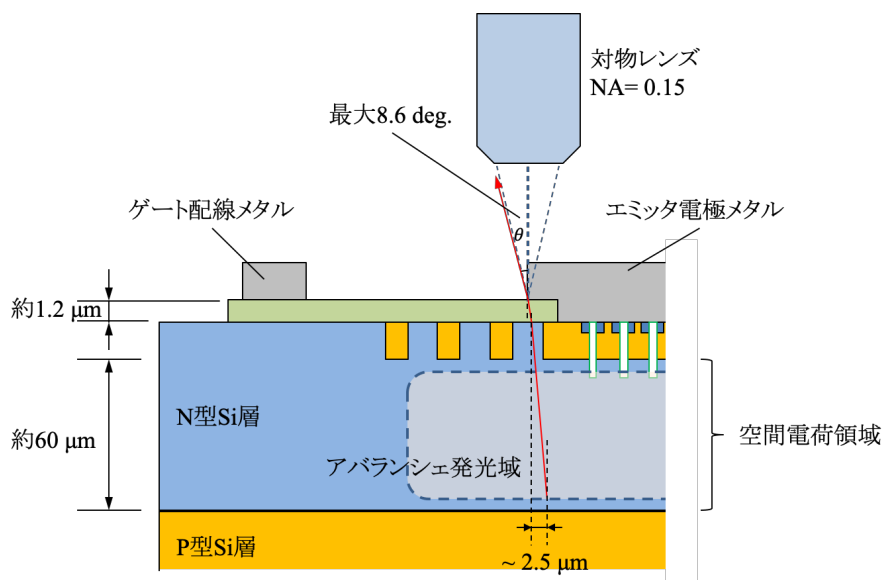


図 4.7 サンプル端部の発光確認範囲

メタルに覆われている領域の下での発光がどれくらい検出系へ入ってくるか検討

した結果を図 4.7 を用いて説明する。サンプルのメタル電極周辺部分は厚さ約 $1.2 \mu\text{m}$ の酸化膜がある。このためメタル下の領域から斜めに放射された光は Si-SiO_2 -空気 の層を屈折して出てくる。一方使用した対物レンズの開口数は $\text{NA} = 0.15$ であったため、最大 8.6 deg. までの光しか検出器まで到達することができず、これ以上の角度でチップから放射される光は検出されない。また、サンプル IGBT 内でアバランシェ降伏が発生する領域は N 型 Si 層であり、この厚さは約 $60 \mu\text{m}$ であった。以上のことから、図 4.7 に示すようにメタル電極端部から高々 $2.5 \mu\text{m}$ までの範囲で放射された光が検出されたと考える。

また、チップ終端領域で光子が検出されない 2 つの領域(暗い領域)があるが、これは図 4.4 に示したように、これらの 2 つの領域がエミッタ電極とゲート電極にそれぞれ接続された 2 本のボンディングワイヤによって光子の観測が妨げられていたからである。なお、実験は室温で行った。本実験は、約 5 分の総積算時間で観測を行った。

図 4.6(b) は TRI 波形で、図 4.6(a) の赤い矩形内に位置するすべての光子から時間依存の光子数変化の波形を算出した結果を示している。積算時間幅は $0.01 \mu\text{s}$ である。図 4.5 のコレクタ電流 I_C の時間変化と同様の变化を示す TRI 波形が得られていることがわかる。

次に、積算時間幅を $0.25 \mu\text{s}$ に設定し、アバランシェ降伏中の発光の時間空間変化を TRI 画像モードで調べた結果を図 4.8 に示す。各像の下に示している時刻は積算時間の終了する時刻を表している。時刻は図 4.5 の時間スケールに示したゲート電圧 V_G をオフにした時を時間原点にしている。例えば、図 4.8 左上の像に示した時刻

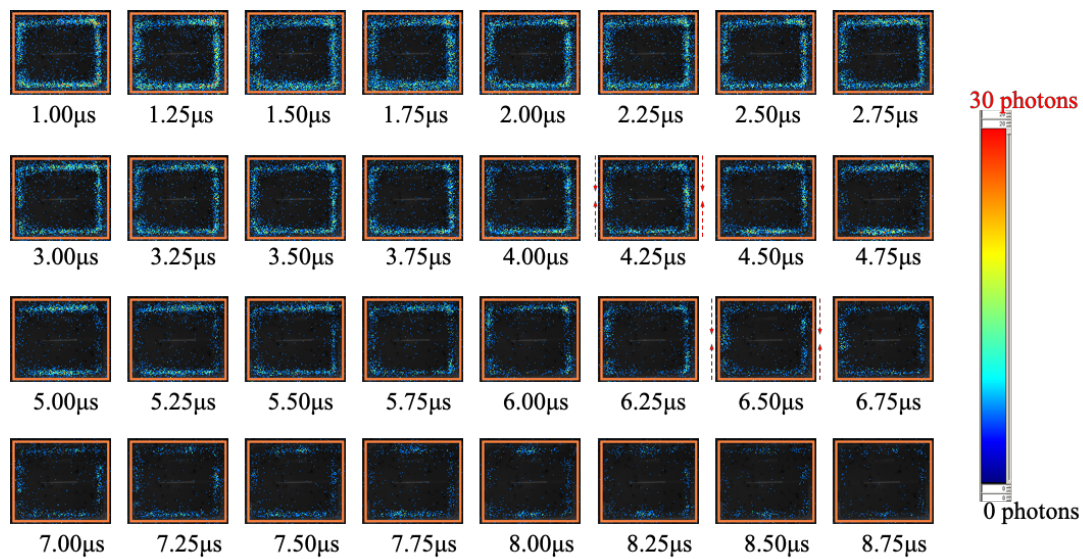


図 4.8 アバランシェ降伏期間中の TRI イメージ像の変化(サンプル A)

1.00 μs は、この像が時刻 0.75 μs から 1.00 μs までの積算結果をプロットしたものであることを表している。光子の積算数が多い画素の位置は時間とともに変化することが分かった。これを詳細に調べるために、図 4.9 に示すように、IGBT チップの終端領域の中心線(赤い四角の線)に沿った画素上の光子の積算数を調べる。図に示すように、左上隅の曲線を開始点とし、線上の光子強度(積算数に相当)を時計回りに抽出した。検出された光子の数は大きく変動するため、あるピクセルの周りの 5×5 ピクセルの平均値をそのピクセルの光子の積算数と見なした。これらの手続きを図 4.8 の 32 個の TRI 画像に適用した。結果を図 4.10(a)に示す。横軸は図 4.9 の赤線上の位置を示し、縦軸はアバランシェ降伏中の時刻を示している。図 4.10 では、理解を容易にするために、図 4.11 で示した 4 つの色枠の領域が図 4.10 の最上部に水平に配置している。

図 4.10 の結果から次のことがわかる。まず時刻 1 μs 近くでは光子強度が強いピクセルはチップのコーナー部にあった。次に、時間の経過とともに、強い光子強度を示すピクセル位置は動き始めた。この時、ピクセルの示す色が赤から黄色、水色と変化

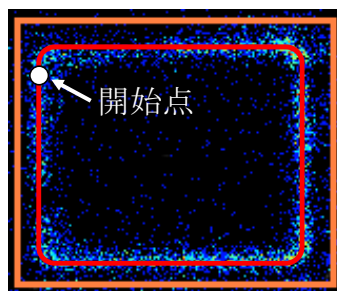


図 4.9 検出された光子数の時空間変化を調べるための基準線(赤)

する場合は光子強度が減少していることを示し、同時にアバランシェ電流が減少していることを示唆している。特に、強い光子強度を有するピクセルは最初コーナー部分にあったが、図 4.10(a)中の赤矢印で示したように、約 6 μs 後にはチップ側面の中心付近に移動したことが明らかに観察された。図 4.10 (a) の時間経過と光子強度が強いピクセルの移動距離から、移動速度は約 $0.9 \text{ mm} / \mu\text{s}$ であることがわかる。IGBT サンプル B についても同様の実験を行った。結果を図 4.10 (b) に示す。IGBT サンプル A ほど顕著な動きは見られなかったが、光子強度が強いピクセルの動きは同じ傾向であった。

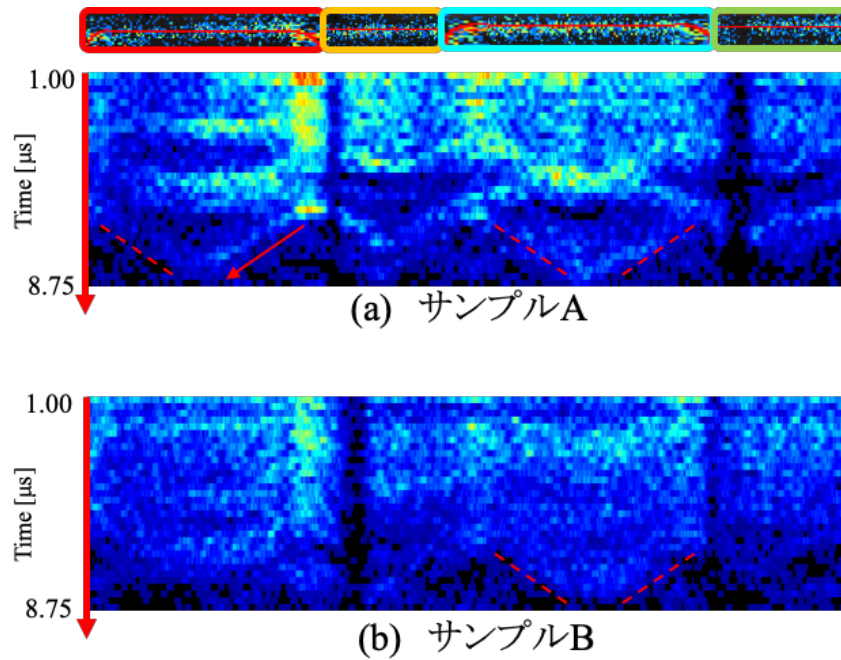


図 4.9 時間に依存した光子数の位置の変化。
(垂直軸:時刻、水平軸:アバランシェ降伏期間中の位置)

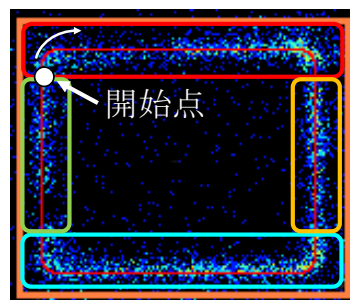


図 4.10 図 4.9 の最上段に示した 4 つの色枠の示す箇所

以上の実験結果から、室温環境下での UIS バイアス条件において、IGBT のアバランシェ降伏時に発生する電流フィラメントの挙動が観測できたと考える。TRI 波形データからは、チップ全面から放射される光子を全て積算するとコレクタ電流と同様な波形が抽出されることから、この発光観測は電流変化を観測できたとと言える。

4.4 むすび

時間分解エミッション(time resolved emission : TRE)の原理によるマッピングイメージ顕微鏡装置を用いた発光解析手法により、初めて UIS 条件下でのアバランシェ降伏状態にある IGBT の電流フィラメントの挙動を観測することを検討した。その結果、以下のことが分かった。

1. TRE と光電面、MCP、抵抗膜からなる検出器を組み合わせ、単一光子検出モードで動作させることにより、1 光子レベルの感度、空間分解能 25 μm (倍率 1 $\times$ の対物レンズ使用時)、時間分解能は数十 ps、今回示した実験の積算時間では約 0.1 μs 、が得られることがわかった。

2. パワー半導体 IGBT のアバランシェ降伏における電流分布に相当する、発光分布と時間変化を観測した。その結果、チップ周辺部に形成された電流フィラメント、およびその電流フィラメントが移動する様子を観測した。

3. 観測した結果から、電流フィラメントは約 0.9 mm / μs の速度で移動することがわかった。

第5章 結論

本研究では、パワー半導体、特に MOSFET と IGBT について、致命的な破壊故障である溶断破壊につながる、電流分布の偏りを内在している製品を

第 1 章では、電力をスイッチングするパワー半導体において、特に車載用途の需要増加に伴って、一段と高い品質である「ゼロディフェクト」の要求も増加していることを述べ、深刻な破壊不良になる溶断破壊の可能性を低くすることの重要性を論じ、本研究の目的とする、内在した破壊要因の検出手法の重要性について議論した。

第 2 章では、ロックイン熱放射顕微鏡 (Lock-in Thermography : LIT) を用いてパワー半導体の発熱分布を観測する解析方法について説明し、阻止電圧に関する不良チップを用いて、リーク箇所の特特定と、UIS バイアスを LIT 装置と同期して測定することによる、アバランシェ降伏時の発熱分布の観測結果を説明した。また、LIT で得られる位相像からはアバランシェ降伏時の熱の応答については十分な情報が得られない欠点を指摘した。

第 3 章では、本研究期間中に開発した、光に対する反射率の温度依存性を用いた、熱反射率光学プローブイメージマッピング法 (optical probed thermo-reflectance image mapping : OPTIM) および熱反射率光学プローブ波形観測 (optical probed thermo-reflectance waveform : OPTW) による発熱挙動の測定手法とその実験結果に関して述べた。この手法は、サンプル表面の赤外線放射率の違いによるデータの曖昧さを回避し、時間分解能は LIT よりも高い点で有利であることを述べた。またリーク不良サンプルのアバランシェ降伏に依る温度ピーク箇所が数十 μs レベルで移動することも観測し、本手法が半導体デバイスの温度変化について過渡応答を観測する有効な手段であることを示した。

第 4 章は時間分解エミッション (time resolved emission : TRE) の原理によるマッピングイメージ顕微鏡装置を用いた発光解析の手法について説明した。単一光子検出モードを利用した検出器を用い、最大で数十 ps の時間分解能をもつ観測系を構成した。十分な時間分解能と光に対する感度を利用して、IGBT のアバランシェ降伏時に発生する電流フィラメント形成とその移動の様子を観測した。この時間分解能でフィ

ラメントの移動を観測した例は他にない。

本研究では、熔融破壊につながる潜在的な異常箇所を検出する方法として、素子を動作させたときの発熱と発光を観測した。パワー半導体の故障を低減し品質を上げるためには製品に加える試験として、

- ・製品要求仕様に適合した電気的特性のテスト
- ・ストレスを印加することにより潜在的異常を顕在化させるスクリーニング

の 2 つがあげられる。本研究で注目した異常箇所は通常の電気的テストでは検出感度が低く、適正なスクリーニングを行う必要がある。バイアスを印加するスクリーニングで除去しきれない異常箇所はユニットレベルで位置を特定し、その挙動を解析する手法が必要であり、本研究では 3 つの解析手法を試みた。

本研究で実験対象とした、サンプル条件等を一覧表にまとめると、表 5.1 のようになった。いずれの手法も積算観測をするために測定時間に分単位の時間を要する。

表 5.1 研究を行った解析手法の一覧

	観測対象	耐圧分布異常	UISアバラン シェ	測定時間
LIT	発熱	特定可能	—	約60秒／条件
LIT＋外部同期	発熱	—	特定可能	約60秒／条件
反射波形モード	発熱応答	1kHz~100MHzに対応		約30秒／Spot
反射画像モード	発熱分布	—	特定可能	サイズによる
TRE発光観測	発光	—	移動速度を 観測	約5分／条件

今後の課題としては以下のような項目が挙げられる。

- (1) スクリーニングへの適用：発熱分布または電流挙動を異常な動作を検出するスクリーニング手段の一つとして用いる。製品のテスト工程で用いるためには、発熱や発光の現象を 1 秒以下で観測する必要がある。検出器や演算方法などを最適化する、あるいは別の手段を用いるなどの検討を継続する。

- (2) 実温度測定 : LIT および反射率による温度応答の観測では空間解像度、時間解像度ともに半導体の異常動作を観測できる能力があることを確認したが、実温度の観測に関しては達成できていない。 μm サイズの各ユニットの温度応答だけでなく、実温度情報も加えることによってパワー半導体の物理モデルの精度を向上できると考えるので、引き続き測定方法を検討する。
- (3) 温度応答の物理的解釈 : LIT および反射による温度変化の観測では、位相データを算出することで、 μs 程度の相対的な応答の速さを比較できることを確認した。またその応答波形は反射による観測の波形モードによって詳細に観測できることを確認した。しかしチップ内での熱伝導と温度変化に関する解析は不十分である。理由としては次のことがあげられる。繰り返し電圧印加による熱源の温度は熱源自体の抵抗値と印加バイアスだけでは決定できず、熱源近傍の構成する物質の熱抵抗、比熱、体積、密度などによって変化する。また、温度下降時の熱源の温度変化は周辺領域への熱拡散で決まり、これも初期条件と境界条件によって変わる。これらの未知要因のために、位相値や応答波形のみでは熱伝導と温度変化の詳細を知ることは困難である。そのため、詳細な温度変化の解析は、サンプルの構造モデルを考慮したシミュレーションを併用することによって求める検討を継続する。
- (4) 熱源の深さ計測 : 位相データと応答波形を元に発熱箇所の深さを推定することで、物理解析において適切な断面加工の手段を選択することができる。(3)のシミュレーション研究において、併せて検討を行う。
- (5) 電流フィラメント移動に関するシングルパルス観測 : IGBT の電流フィラメントの挙動に関しては、本研究で用いた TRE 発光観測は 1kHz の UIS バイアスを約 5 分間の総積算時間で観測したため、30 万回の UIS バイアスによる発光の和であった。物理的メカニズムを確認するためには、毎回の UIS パルスにおいて電流フィラメントがどのように発生と移動をするか、観測できるようなシステムを検討する必要がある。
- 以上の課題について引き続き検討を行い、パワー半導体の信頼性向上へ寄与する努力を継続する。

謝辞

本論文をまとめるにあたり、終始懇切なる御指導、御教示並びに御鞭撻を賜った、大阪大学大学院 情報科学研究科 情報システム工学専攻 中前幸治教授に深く心より御礼申し上げます。

また、本論文の作成に当たりご懇篤なる御指導と数々の御教示を賜った、大阪大学大学院 情報科学研究科 情報システム工学専攻 尾上孝雄教授、同 三浦克介准教授、大阪大学工学部附属オープンイノベーション教育研究センター特任教授 谷口研二名誉教授に厚く御礼申し上げます。

本研究に関して、有意義な御指導、御教示を賜りました、大阪大学大学院 情報科学研究科 情報システム工学専攻 御堂義博助教に心より感謝の意を表します。

筆者が大阪大学大学院情報科学研究科情報システム工学専攻に在籍することへのご配慮と本研究を行う機会を与えていただいた、東芝デバイス&ストレージ株式会社 ディスクリート半導体事業部の長峰真嗣氏、瀬戸屋孝氏に感謝申し上げます。

本研究の遂行にあたり、解析装置のご提供、新規解析システムの構築のご協力およびメカニズムに関する有益な議論とご指導を頂きました、浜松ホトニクス株式会社 システム事業部の松本徹氏、中村共則氏、越川一成氏、平井伸幸氏、茅根慎通氏に感謝申し上げます。

本研究の遂行にあたり、実験に協力いただき、パワー半導体の動作メカニズムに関する重要な議論をいただいた、東芝デバイス&ストレージ株式会社 ディスクリート半導体事業部の小倉常雄氏、末代知子氏、齋藤渉氏に厚くお礼を申し上げます。また、実験用サンプルの作製と測定にご協力いただいた、同 菅野和明氏、並びに東芝情報システム株式会社 LSI ソリューション事業部の中嶋克徳氏、佐藤鉄明氏に感謝いたします。

最後になりましたが、私がパワー半導体の動作観測に関する研究を始めるきっかけになった、LIT を用いた MOSFET の解析の機会を与えてくださった、元株式会社東芝（現ウィンボンド・エレクトロニクス株式会社）の吉井一郎氏に感謝いたします。

参考文献

1. T. Setoya, T. Ogura, W. Saito, T. Matsudai and K. Endo, “Destruction failure analysis and international reliability test standard for power devices,” *Microelectron. Reliab.* 55.9-10 (2015), pp.1932-1937.
2. 村上浩一, 「ディスクリート半導体の技術動向と展望」, 東芝レビュー Vol.65 No.1 (2010), pp.2-6.
3. 「低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト」資料 6-1-1, NEDO 国立研究開発法人 新エネルギー・産業技術総合開発機構.
<http://www.nedo.go.jp/content/100799306.pdf>
4. 大橋弘通、葛原正明等, 「パワーデバイス」(半導体デバイスシリーズ 4) (2011), 丸善.
5. 二宮英彰, 梅川真一, 脇山成一郎, 西谷和展, 「拡大する応用分野に対応して改善を続ける IGBT」, 東芝レビュー Vol.65 No.1 (2010), pp.15-18.
6. 八尾勉, 内田喜之, “パワーエレクトロニクス II. パワー半導体デバイスの進展,” 電気学会論文誌. D, 産業応用部門誌 112.1 (1992): 6-11.
7. 崎山陽子, 子迫修司, 杉山亨, 「適用分野が拡大する新材料パワーデバイスの進化」, 東芝レビュー Vol.72 No.5 (2017), pp.14-17.
8. 若井伸之, 豊田尚志, 遠藤幸一, 「車載用半導体製品の品質を作り込む信頼性・解析技術」, 東芝レビュー Vol.73 No.6 (2018 年 11 月), pp.41-45.
9. V. Barkhordarian, “Power MOSFET basics.” *Powerconversion and Intelligent Motion-English Edition* 22.6 (1996).
https://pulse.li/pdf/essay/power_mosfet_basics.pdf

10. 遠藤隆久, 温品治信, 清水 慎也, 「エアコン用インバータ装置の省エネ技術」, 東芝レビュー Vol.61 No.12 (2006), pp.47-50.
11. 落合政司, 「スイッチング電源の原理と設計」(2015) オーム社.
12. D. Donoval, A. Vrbicky, J. Marek, A. Chvala, P. Beno, “Evaluation of the ruggedness of power DMOS transistor from electro-thermal simulation of UIS behaviour,” *Solid-State Electronics* 52, (2008), pp.892–898.
13. K. H. Bach, M. Asam, W. Kanert, “Failure Mechanisms of Low-Voltage Trench Power MOSFETs Under Repetitive Avalanche Conditions,” 24th International Symposium of Power Semiconductor Devices and ICs(ISPSD), pp.113-115 (2012).
14. P. Rose, D. Silber, A. Porst and F. Pfirsch, “Investigations on the Stability of Dynamic Avalanche in IGBTs,” in *Proceedings of ISPSD’02*, pp. 165-168, 2002.
15. T. Shoji, M. Ishiko, T. Fukami, T. Ueta and K. Hamada, “Investigations on current filamentation of IGBTs under unclamped inductive switching conditions,” in *Proceedings of ISPSD’05*, pp.227-230, 2005.
16. T. Kobayashi, T. Suwa, T. Matsudai and T. Ogura, “Current Filamentation Caused by Dynamic Avalanche during Turn-Off Transient under Short-Circuit Operation of IGBTs,” in *Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials*, Tsukuba, pp. 1008-1009, 2014.
17. M. Riccio, L. Maresca, G. De Falco, G. Breglio, A. Irace, P. Spirito, Y. Iwahashi, “Cell pitch influence on the current distribution during avalanche operation of Trench IGBTs: design issues to increase UIS ruggedness,” in *Proceedings of ISPSD’14*, pp.111-114, 2014.
18. T. Raker, H. P. Felsl, F. J. Niedernostheide, F. Pfirsch and H. J. Schulze, “Limits of Strongly Punch-Through Designed IGBTs,” *Proc. of ISPSD’11*, pp.100-103, 2011.

19. Z. Chen, K. Nakamura, A. Nishii, T. Terashima and T. Kawakami, "A Balanced High Voltage IGBT Design with Ultra Dynamic Ruggedness and Area-efficient Edge Termination," Proc. of ISPSD'13, pp.37-40, 2013.
20. R. Newman, "Visible Light from a Silicon p-n Junction," Phy. Rev., vol. 100, no. 2, pp. 700-703, 1955.
21. A. G. Chynoweth and K. G. McKay, "Photon Emission from Avalanche Breakdown in Silicon," Phys. Rev., vol. 102, no. 2, pp. 369-376, 1956.
22. M. Tsukuda, I. Omura, Y. Sakiyama, M. Yamaguchi, K. Matsushita and T. Ogura. "Critical IGBT Design Regarding EMI and Switching Losses," in Proc. of 20th ISPSD, pp. 185-188, 2008.
23. S. G. Burnay, T. L. Williams and C. H. Jones, "*Applications of Thermal Imaging*," ed. A. E. De. Barr (Adam Hilger, Philadelphia, 1988), p.227.
24. 遠藤幸一. Si パワー半導体の現状と信頼性: 故障前解析の紹介 (パワー半導体の現状と信頼性). 日本信頼性学会誌 信頼性, 2015, 37.1: 34-41.
25. 遠藤幸一, 「パワーデバイス 破壊前解析の検討～源流設計へのフィードバックと未然防止に向けて」信頼性学会 関西フォーラム, 2014.
26. I. Yoshii et al., "Failure Analysis Techniques and Issues for Power Devices" (in Japanese), 31th LSI testing symposium (LSITS), pp.55-60
27. K. Endo, K. Norimatsu, T. Nakamura, T. Setoya and K. Nakamae, "Thermoreflectance mapping observation of Power MOSFET under UIS avalanche breakdown condition," Microelectron. Reliab. 55.9-10 (2015): pp.1628-1633.
28. O. Breitenstein, W. Warta, M. Langenkamp, "Lock-in Thermography - Basics and Use for Evaluating Electronic Devices and Materials," Second Edition, Springer,

2010.

29. M. Riccio, L. Rossi, A. Irace, E. Napoli, G. Breglio, P. Spirito, R. Tagami and Y. Mizuno, "Analysis of large area Trench-IGBT current distribution under UIS test with the aid of lock-in thermography," *Microelectronics Reliability*, 2010, pp. 1725-1730.
30. K. Endo, K. Sugano, I. Yoshii, T. Fujiwara, T. Nagatomo and S. Fujimaki, "Transient thermal response measurement of Power MOSFET avalanche breakdown by equivalent time sampling technique," *32th LSI Testing Symposium (LSITS)*, 2012, pp. 45-49.
31. M. Riccio, G. De Falco, L. Maresca, G. Breglio, E. Napoli, A. Irace, Y. Iwahashi and P. Spiritoet, "3D electro-thermal simulations of wide area power devices operating in avalanche condition," *Microelectronics Reliability*, 2012, pp. 2385-2390.
32. O. Breitenstein, *Solar Energy Materials & Solar Cells*, 95, 2933-2936 (2011).
33. Ch. Schmidt, F. Altmann and O. Breitenstein, *Mater. Sci. Eng. B*, 177, 1261-1267 (2012).
34. K. Endo, Y. Midoh, T. Nakamura, T. Matsumoto, K. Koshikawa and K. Nakamae, "Thermal behavior analysis of interconnect structures of Si semiconductor devices using the temperature dependent reflectance of an incoherent light beam," *Jpn. J. Appl. Phys. Vol.57, No.7S2*, p.07ME02, (2018).
35. J. Christofferson, D. Vashae, A. Shakouri and P. Melese, "Real time sub-micron thermal imaging using thermoreflectance," *International Mechanical Engineering Congress and Exposition* (2001).
36. J. Christofferson and A. Shakouri, "Thermoreflectance based thermal microscope," *Review of Scientific Instruments*, 76, 024903 (2005).

37. http://www.hamamatsu.com/resources/pdf/sys/SSMS0052E_EOP.pdf, Hamamatsu Photonics K.K., "Electro Optical Probing Unit."
38. E. Misra, N.D. Theodore, J.W. Mayer and T.L. Alford, *Microelectron. Reliab.*, 46, 2096-2103 (2006).
39. Y. S. Ju and K. E. Goodson, *IEEE Elect. De. Lett.*, 18, No11, pp.512-514 (1997).
40. J. Marek, A. Chvala, D. Donoval, P. Pribytny, M. Molnar and M. Mikolaek, *Solid-State Electron.*, 94, 44-50 (2014).
41. G. Busse, *Infrared Phys.*, 20, 419-422 (1980).
42. Y. S. Ju, O. W. Kaeding, Y. K. Leung, S. S. Wong and K. E. Goodson, *IEEE Electron Device Lett.*, 18(5), 169-171 (1997).
43. G. Tessier, S. Hole and D. Fournier, *Appl. Phys. Lett.*, 78, 2267-2269 (2001).
44. J. Christofferson, D. Vashae, A. Shakouri and P. Melese, 17th IEEE SEMI-THERM Symposium 58-62 (2001).
45. M. G. Burzo, P. L. Komarov and P. E. Raad, *IEEE Trans. on Components and Packaging Technologies*, 28(4), 637-643 (2005).
46. P. L. Komarov, M. G. Burzo and P. E. Raad, 22nd IEEE SEMI-THERM Symposium, 199-203 (2006).
47. P. E. Raad, P. L. Komarov and M. G. Burzo, *IEEE Trans. on Components and Packaging Technologies*, 30(4), 597-603 (2007).
48. P. E. Raad, P. L. Komarov and M. G. Burzo, *Electronics Cooling*, 14(1), 28 (2008).
49. K. Pierciski, D. Pierciska and M. Bugajski, *Microelectron. J.*, 40, 1373-1378 (2009).

50. K. Yazawa, D. Kendig and A. Shakouri Compound Semiconductor Integrated Circuit Symposium (CSICS), 1-4 (2015).
51. K. Endo, Y. Midoh, T. Nakamura, T. Matsumoto, K. Koshikawa, and K. Nakamae, Proc. of 2017 ADMETA plus, pp. 82-83 (2017).
52. J. A. Malen, K. Baheti, T. T. Y. Zhao, J. A. Hudgings, and A. Majumdar, Journal of Heat Transfer, 133(8), 08160 (2011).
53. S. G. Burnay, T. L. Williams, C. H. Jones, Applications of Thermal Imaging (Adam Hilger, Bristol and Philadelphia, 1988) p.227.
54. A. Rosencwaig, Jon Opsal, W. L. Smith, and D. L. Willenborg, Appl. Phys. Lett, 46, 1013 (1985).
55. R. Kato and I. Hatta, International Journal of Thermophysics, 26(1), 179-190 (2005).
56. G. Celi, S. Dudit, T. Parrassin, P. Perdu, A. Reverdy, D. Lewis, M. Vallet, 37th International Symposium for Testing and Failure Analysis(ISTFA), p.18 (2011).
57. Load Rayleigh, XV. "On the theory of optical images, with special reference to the microscope," (The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science, 1896) Series 5, Vol.42.255, p.167-195.
58. R. Rosei and D. W. Lynch, Phys. Rev. B, 5(10), 3883 (1972).
59. R. R. L. Zucca and Y. R. Shen, Phys. Rev. B, 1(6), 2668 (1970).
60. O. Breitenstein, C. Schmidt, F. Altmann and D. Karg, in Microelectronics Failure Analysis Desk Reference, ed. R. J. Ross (Asm International, Ohio, 2004) 5th ed., p. 330.

61. K. Avni, The SIJ Transactions on Computer Science Engineering & its Applications (CSEA), 3(2), 32 (2015).
62. M. C. Motwani, M. C. Gadiya and R. C. Motwani, "Survey of image denoising techniques," Proceedings of GSPX, 27-30 (2004).
63. A. Buades, B. Coll and J. M. Morel, Multiscale Model. Simul., 4(2), 490 (2005).
64. A. Sheinker, N. Salomonski, B. Ginzburg, L. Frumkis and B.Z. Kaplan, Measurement Science and Technology, 19, 045205 (2008).
65. N. Otsu, IEEE transactions on systems, man, and cybernetics, SMC-9(1), 62 (1979).
66. K. Endo, K. Norimatsu, T. Setoya, T. Nakamura, T. Matsumoto, K. Koshikawa and K. Nakamae, "Detailed thermal analysis of semiconductor devices with optical probed thermo-reflectance image mapping (OPTIM)," 35th NANO Testing Symposium (2015), pp.233-238.
67. K. Koshikawa, T. Nakamura, T. Matsumoto and K. Endo, "Application to thermal analysis using optical probe technique," IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), (2017), pp.1-4.
68. K. Endo, K. Nakamae, "Direct Observations of Current Filament Movement on the Edge Termination Region of Insulated Gate Bipolar Transistor Chip under Avalanche Breakdown Condition Using the Time-Resolved Emission Imaging Microscopy with Microsecond Resolution," IEEE Trans. Device and Materials Reliability (2018) (to be submitted).
69. P. Spirito, L. Maresca, M. Riccio, G. Breglio, A. Irace, and E. Napoli, "Effect of the Collector Design on the IGBT Avalanche Ruggedness: A Comparative Analysis between Punch-Through and Field-Stop Devices," IEEE Trans. Electron Devices, vol.62 no.8, pp.2535-2541, 2015.

70. P. Rose, D. Silber, A. Porst, and F. Pfirsch, "Investigations on the Stability of Dynamic Avalanche in IGBTs," in Proc. of 14th ISPSD, pp. 165-168, 2002.
71. T. Shoji, M. Ishiko, T. Fukami, T. Ueta, and K. Hamada, "Investigations on current filamentation of IGBTs under unclamped inductive switching conditions," in Proc. of 17th ISPSD, pp. 227-230, 2005.
72. U. Knipper, F. Pfirsch, T. Raker, J. Niedermeyr, and G. Wachutka, "Study of Time-Periodic Avalanche Breakdown Occurring in VLD Edge Termination Structures," in Proc. of Conf. on Simulation of Semiconductor Processes and Devices, vol.12, pp.189-192, 2007.
73. T. Raker, H. P. Felsl, F. J. Niedernostheide, F. Pfirsch, and H. J. Schulze, "Limits of Strongly Punch-Through Designed IGBTs," in Proc. of 23rd ISPSD, pp. 100-103, 2011.
74. Z. Chen, K. Nakamura, A. Nishii, T. Terashima, and T. Kawakami, "A Balanced High Voltage IGBT Design with Ultra Dynamic Ruggedness and Area-efficient Edge Termination," in Proc. of 25th ISPSD, pp. 37-40, 2013.
75. M. Riccio, A. Irace, G. Breglio, P. Spirito, E. Napoli, and Y. Mizuno, "Electro-thermal instability in multi-cellular Trench-IGBTs in avalanche condition: Experiments and simulations," in Proc. of 23rd ISPSD, pp. 124-127, 2011.
76. R. Newman, "Visible Light from a Silicon p-n Junction," *Phy. Rev.*, vol. 100, no. 2, pp. 700-703, 1955.
77. A. G. Chynoweth and K. G. McKay, "Photon Emission from Avalanche Breakdown in Silicon," *Phys. Rev.*, vol. 102, no. 2, pp. 369-376, 1956.
78. G. Bascoul, P. Perdu, M. Benigni, and D. Lewis, "High performance thermography with InGaAs photon counting camera," *Microelectron. Reliab.*, vol. 52, pp. 2087-2092, 2012.

79. H. Ohashi and A. Nakagawa, "A STUDY ON GTO TURN-OFF FAILURE MECHANISM," in Proc. of 27th IEDM, pp.414-417, 1981.
80. A. Nakagawa and D. H. Navon, "A Time-and Temperature-Dependent Simulation of the GTO Turn-Off Process," in Proc. of 28th IEDM, pp.496-499, 1982.
81. G. K. Wachutka, "Analytical Model for the Destruction Mechanism of GTO-Like Devices by Avalanche Injection," IEEE Trans. Electron Devices, vol.38, no.6, pp.1516-1523, 1991.
82. U. Knipper, G. Wachutka, F. Pfirsch, T. Raker, and J. Niedermeyer, "Time-Periodic Avalanche Breakdown at the Edge Termination of Power Devices," in Proc. of 20th ISPSD, pp.307-310, 2008.
83. G. Bascoul, P. Perdu, G. Celi, S. Dudit, and D. Lewis, "Time Resolved Imaging at low power supply on 45nm technology," in Proc. of 31st IPFA, pp. 1-4, 2011.
84. G. Bascoul, P. Perdu, A. Benigni, S. Dudit, G. Celi, and D. Lewis, "Time Resolved Imaging: From logical states to events, a new and efficient pattern matching method for VLSI analysis," Microelectron. Reliab., vol. 51, pp. 1640-1645, 2011.
85. T. Matsudai, K. Endo, T. Ogura, T. Matsumoto, K. Uchiyama, F. Niikura, and K. Koshikawa, "Direct Photo Emission Monitoring for High Power IGBT during Avalanche Operation," in Proc. of 54th IRPS, pp.FA.3.1-FA.3.5, 2016.
86. T. Matsudai, K. Endo, T. Ogura, T. Matsumoto, K. Uchiyama, and K. Koshikawa, "Direct Photo Emission Monitoring for Analysis of IGBT Destruction Mechanism using Streak Camera," in Proc. of 29th ISPSD, pp.135-138, 2017.
87. K. Endo, S. Nagamine, W. Saito, T. Matsudai, T. Ogura, T. Setoya, and K. Nakamae, "Direct Photo Emission Motion Observation of Current Filaments in the IGBT under Avalanche Breakdown Condition," in Proc. of 28th ISPSD, pp. 367-370, 2016.

88. S. Chef, S. Jacquir, K. Sanchez, P. Perdu, S. Binczak, C.L. Gan, "Unsupervised learning for signal mapping in dynamic photon emission," *Microelectron. Reliab.*, vol.55, pp. 1564-1568, 2015.
89. M. Riccio, L. Maresca, G. De Falco, G. Breglio, A. Irace, P. Spirito and Y. Iwahashi, "Cell pitch influence on the current distribution during avalanche operation of Trench IGBTs: design issues to increase UIS ruggedness," *Proc. of ISPSD'14*, pp.111-114, 2014.
90. A. Watanabe, I. Omura and M. Tsukuda, "Real-time failure monitoring system for high power IGBT under acceleration test up to 500 A stress," *Proc. of ISPSD'14*, pp.338-341, 2014.
91. N. Hirata, A. Watanabe and I. Omura, "High Speed Real-time Temperature Monitoring System inside Power Devices Package Using Infrared Radiation," *Proc. of SSDM'14*, pp.1016-1017, 2014.
92. Y. Ikeda, Y. Yamaguchi, I. Omura and T. Domon, "Non-Destructive Current Measurement for Surface Mounted Power MOSFET on VRM board using Magnetic field probing technique," *Proc. of ISPSD'09*, pp.65-68, 2009.
93. M. Tanaka and A. Nakagawa, "Simulation studies for short-circuit current crowding of MOSFET-Mode IGBT," *Proc. of ISPSD'14*, pp.119-122, 2014.
94. K. Endo, K. Norimatsu, K. Nakashima, T. Setoya, S. Nagamine, T. Nakamura, K. Koshikawa and K. Nakamae, "Time resolved emission observation from top surface in avalanche breakdown of power MOSFET." in *IEEE International Reliability Physics Symposium(IRPS)*, (2014), pp.FA-3.1-FA-3.5.
95. K. Endo, K. Norimatsu, K. Nakashima, T. Setoya, S. Nagamine, T. Nakamura, K. Koshikawa and K. Nakamae, "Power MOSFET Avalanche Breakdown Current Observation using Time Resolved Emission Microscope from Top of Chip Surface,"

34th NANO Testing Symposium (2014), pp.41-46.

96. K. Endo, S. Nagamine, W. Saito, T. Matsudai, T. Ogura, T. Setoya and K. Nakamae, "Direct photoemission motion observation of current filaments in the IGBT under avalanche breakdown condition," in IEEE 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD), (2016), pp.367-370.