



Title	先端微細CMOSデバイスにおける高性能化プロセスと微細領域の結晶性評価に関する研究
Author(s)	望月, 省吾
Citation	大阪大学, 2019, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/73492
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

先端微細 CMOS デバイスにおける高性能化プロセスと
微細領域の結晶性評価に関する研究

2019 年 7 月

望月省吾

先端微細 CMOS デバイスにおける高性能化プロセスと
微細領域の結晶性評価に関する研究

博士（工学）論文提出先
大阪大学大学院基礎工学研究科

2019 年 7 月

望月省吾

本論文の要旨

近年の高度情報技術の進歩は、半導体大規模集積回（VLSI）技術によって支えられてきた。VLSIを構成している基本素子である金属-酸化膜-半導体電界効果トランジスタ（MOSFET）は定電界スケーリング則に従い年々急速に微細化され、その性能向上が達成されてきた。しかしながら、ゲート長が 100 nm を下回るようになってくると、しきい値電圧の低下やゲート絶縁膜薄膜化によるトンネルリーク電流増加に代表される短チャネル効果等による寄生効果によって性能向上が妨げられることが明らかになった。その解決策としては、微細化によらない性能向上技術（歪み Si や歪み SiGe 等の高移動度チャネル材料の採用）、ゲートによるチャネル制御の優れた 3 次元ゲート構造デバイスの適用、が有効である。このような新材料や新構造等、複数のテクノロジーブースターを組み合わせることで、近年、さらなる微細化が推し進められ、Si 系 MOSFET では、個々の素子構造に対して精密で均一な結晶性を達成することが肝要になっている。特に、先端微細デバイス構造に特徴的な 3 次元構造体での結晶性制御技術が重要であり、そのためには、結晶成長プロセスにおける歪み・欠陥の導入機構を、ナノスケールのトランジスタサイズで評価し理解しなければならない。本論文では、先端微細デバイスに適用されるプロセス（結晶成長、イオン注入技術等）が与える微細領域における結晶性への影響の評価、また上記プロセスで作製された先端微細デバイス構造における結晶性の精密評価技術の確立を目的としている。

第 2 章では、トランジスタ接合部において急峻なドーパントプロファイルを有する高歪みソース/ドレイン領域を実現するため、化学気相成長法による P ドーピングとクラスター C イオン注入/固層エピタキシャル成長による再結晶化プロセスを組み合わせた歪み Si:CP 膜作製技術を提案し、その膜特性を評価した。低温 C イオン注入およびイオン注入工程数の削減により、結晶欠陥の導入を低減できることを示し、再結晶化熱処理条件により P と C の活性化を制御する手法を開発した。同時に、C 導入により P 拡散を抑制し、急峻なプロファイル（3 nm/decade）を形成することが可能となった。再結晶化低温アニールと極短時間高温レーザーアニール処理の組み合わせにより、低欠陥、低抵抗、低 P 拡散、高歪み Si:CP 層の作製を実現した。また固層エピタキシャル成長技術を 3 次元 Fin-shaped field effect transistor（FinFET）構造に適用し、チャネル部への引張歪み印加を実証するとともに、ブランケット膜との結晶成長機構の違いを議論した。

第 3 章では、ソース/ドレイン領域に埋め込み SiGe 構造（eSiGe）を有する平面バルク MOSFET デバイス構造を対象に、eSiGe ストレッサ、およびゲート直下の歪みチャネル SiGe/Si 領域の歪み・結晶性評価を行った。ゲート直下の歪み Si および eSiGe 領域の歪みは、X 線回折によって非破壊的に直接測定が可能であり、それはブランケット膜にみられる

面内二軸応力印加状態とは異なる、デバイス構造特有の形態を有する。歪みは、ゲートピッチ、eSiGe リセス形状、Ge 濃度に対応して変調され、解析的手法によるシミュレーションを基に、その大きさと分布の変調は、デバイススケールにおけるストレスの形状、サイズ等の幾何学的効果の影響を受けることが明らかになった。また、プロセス工程を経る過程で導入される歪み Si および eSiGe 内の欠陥も検出可能であることを実証した。

第 4 章では、ナノスケール歪み SiGe fin 構造における局所歪み、および格子変形の分布を定量的に評価した。fin 構造形成による SiGe 中の応力状態の変化を明らかにするために、X 線回折と透過型電子顕微鏡法に基づくナノビーム電子回折を併用した。SiGe fin 内の応力状態が、横方向の面内歪みの弾性緩和のために、SiGe fin のアスペクト比の関数として、二軸から一軸へ変化することがわかった。その応力状態の変化は、Si と SiGe の格子定数の相対的な差に依存するモデルに基づいた弾性変形機構に従う。さらに、SiGe fin 端における歪み状態を高輝度放射光を用いた極微小領域の X 線回折により評価した結果、SiGe fin 端 500 nm 内の領域において、一軸応力状態から完全歪み緩和状態へと変化することが明らかになった。また、上記の物理的解析とデバイスの電気的特性評価の比較から、SiGe fin 端部の歪み緩和によりデバイスの電気的特性が劣化することを明らかにした。この知見を基に、SiGe fin を切断する加工をプロセスフローの下流で実施する手法および S/D eSiGe 構造を適用する手法を適用し、それによって、SiGe fin 端部における局所歪みの緩和に起因する劣化効果が抑制されることを実証した。

本研究においては、先端微細デバイス構造における 3 次元歪み分布・格子欠陥構造の解析を通して、ナノスケール立体構造に特有な結晶成長機構や歪み・欠陥導入機構を抽出した。デバイスにおける歪み・結晶性およびそれらの変調・緩和等のメカニズムは、サイズ、形状、材料種（組成）等に強く影響される。本研究は材料科学の観点から、半導体極微細デバイスを取り巻く最先端エレクトロニクス技術開発の一助となると考えられる。

目次

第 1 章	序論	1
1.1	MOSFET デバイススケーリング	1
1.2	移動度向上技術	4
1.3	ソース／ドレインスケーリング	12
1.4	3次元構造を用いた新構造デバイス	12
1.5	本研究の目的	13
1.6	本論文の構成	15
1.7	参考文献	16
第 2 章	In-situ ドーピングとカーボンイオン注入による Si:CP 層の形成	21
2.1	はじめに	21
2.2	実験方法	23
2.3	実験結果と考察	27
2.3.1	クラスタカーボンイオン注入を用いた Si:CP 層の形成	27
2.3.2	Si:CP 膜特性に及ぼすリン濃度と再結晶化熱処理の影響	39
2.3.3	Si:CP 層の 3D FinFET デバイス構造への応用	55
2.4	まとめ	58
2.5	参考文献	59
第 3 章	Embedded SiGe デバイス構造における歪み・結晶性	65
3.1	はじめに	65
3.2	実験方法	66
3.3	実験結果と考察	69
3.3.1	eSiGe デバイス構造における X 線回折	69
3.3.2	eSiGe デバイス構造における結晶性評価－リセス形状、Ge 濃度およびゲートピッチによる影響	74
3.3.3	eSiGe デバイス構造における弾性格子変形シミュレーション	84
3.3.4	eSiGe デバイス構造における歪み・結晶性の熱的安定性	94
3.4	まとめ	97

3.5 参考文献.....	98
第4章 ナノスケール3次元 FinFET デバイス構造における局所歪み	102
4.1 はじめに.....	102
4.2 実験方法.....	104
4.3 実験結果と考察.....	105
4.3.1 ナノスケール SiGe fin 構造における格子変形の異方性	105
4.3.2 ナノスケール SiGe fin 構造における格子変形の Ge 濃度およびアスペクト比依存性	109
4.3.3 ナノスケール SiGe fin 内における格子変形プロファイル	113
4.3.4 SiGe fin 端部近傍の局所歪み状態の評価	115
4.3.5 局所的歪み分布が与える歪み SiGe チャネル FinFET デバイス特性への影響	121
4.4 まとめ.....	128
4.5 参考文献.....	129
第5章 結論	134
5.1 本研究の要約	134
5.2 今後の展望	136
謝辞	140
研究業績	142
付録	149
A. 線形弾性体における面内および面外方向格子変形値の導出.....	149

略語表

略語	完全表記
a/c	amorphous/crystalline
BOX	buried oxide
CBED	convergent beam electron diffraction
CMOS	complementary metal-oxide-semiconductor
CPP	contacted poly pitch
cSiGe	channel SiGe
DFH	dark field holography
DHF	dilute hydrofluoric acid
DSL	dual stress liner
EOR	end of range
EOT	equivalent oxide thickness
eSi:C	embedded Si:C
eSi:CP	embedded Si:CP
eSiGe	embedded SiGe
FEM	finite-element-method
FIB	focused ion beam
FinFET	fin-shaped field effect transistor
GAA	gate all around
HRXRD	high resolution X-ray diffraction
IL	interfacial layer
LLE	local layout effects
LOCOS	local oxidation of silicon
LSA	laser spike annealing
LSI	large scale integrated circuit
MOSFET	metal-oxide-semiconductor field-effect transistor
nanoXRD	nanobeam X-ray diffraction
NBD	nanobeam diffraction
nMOS	n-type metal-oxide-semiconductor
pMOS	p-type metal-oxide-semiconductor

RIE	reactive ion etching
RNG	random nucleation and growth
RPCVD	reduced-pressure chemical vapor deposition
RSM	reciprocal space map
RTA	rapid thermal annealing
S/D	source and drain
SCE	short channel effect
SDE	source drain extension
SGOI	SiGe on Insulator
Si:C	carbon doped silicon
Si:CP	carbon and phosphorus doped silicon
Si:P	phosphorus doped silicon
SiGe	silicon germanium
SIMS	secondary ion mass spectrometry
SiN	silicon nitride
SMT	stress memorization technique
SOI	silicon on insulator
SPE	solid phase epitaxy
SPring-8	Super Photon Ring-8 GeV
sRTA	spike RTA
SSOI	strained silicon on insulator
STI	shallow trench isolation
TED	transient enhanced diffusion
TEM	transmission electron microscope
XRD	X-ray diffraction

第 1 章

序論

1.1 MOSFET デバイススケールリング

ここ数十年、高度情報技術の進歩は、半導体大規模集積回路（LSI: large scale integrated circuit）技術によって支えられてきた。LSI はあらゆる電子機器に組み込まれており、その性能は LSI の性能によって左右される。LSI を構成する基本素子の一つである金属-酸化膜-半導体電界効果トランジスタ（MOSFET: metal-oxide-semiconductor field-effect transistor）は、デジタル信号の演算を行うためのスイッチング素子である。先端 Si 半導体デバイスの性能は、LSI の単位素子の寸法を縮小することによって達成されてきており、それは「スケールリング」と呼ばれる、1974 年に Dennard らによって提案された手法である[1]。

図 1-1 は、電界が一定の場合のスケールリング（定電界スケールリング）の概念を示す。寸法変化は、無次元スケールリング係数 κ (>1) で示されている。定電界スケールリングの原理は、デバイスに印加される電界が影響を受けないように、基板ドーピング濃度を増加させると共に、同じスケールリング係数 κ でデバイス寸法および印加電圧を減少させることである。このようにして、ドレインバイアスからの電位変化によって引き起こされる短チャネル効果を回避しながら、理想的なスケールリングを達成することができる。この理論によると、回路遅延時間は $1/\kappa$ 倍に縮小され、電力消費は $1/\kappa^2$ 倍に縮小され、回路密度は、ゲートの長さ／幅などの横方向寸法の縮小により κ^2 倍に改善される。また、ゲート酸化物の厚さおよびソース／ドレイン接合の深さなどの垂直方向の寸法は $1/\kappa$ 倍に縮小される。さらに、チャネル

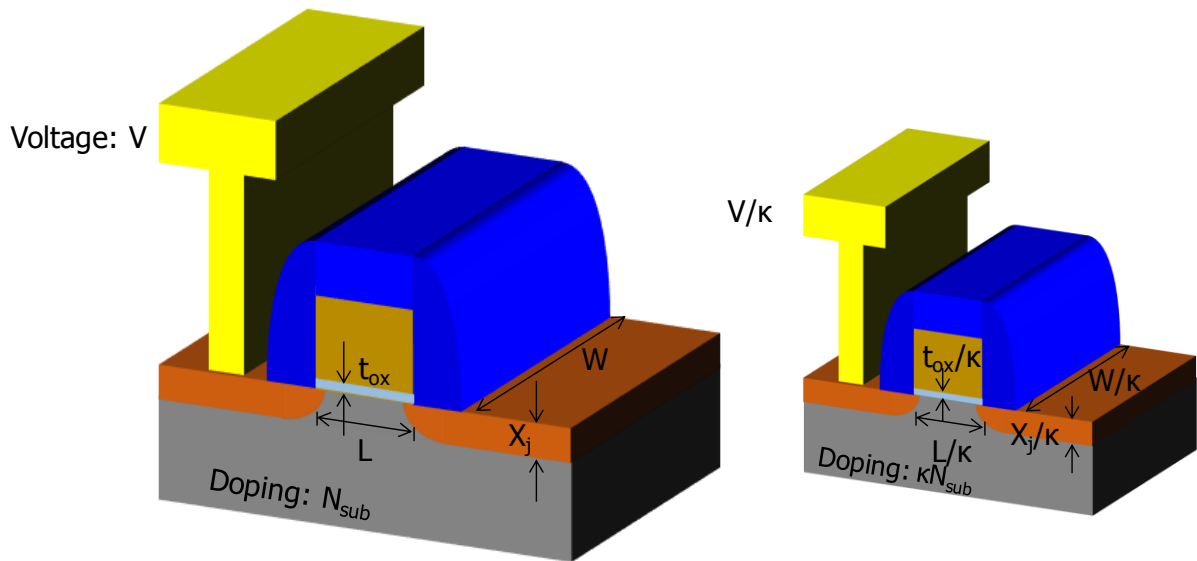


図 1-1. 定電界スケーリングにおける、スケーリング係数 κ (>1) による MOS デバイス寸法の変化。

の不純物濃度は κ 倍に増加し、印加電圧は $1/\kappa$ 倍に減少する。その結果、集積回路の最も重要なパラメータである、高速化、低消費電力化、および高集積化を同時に達成することができる。表 1-1 は、デバイスパラメータに対する定電界スケーリングの影響をまとめたものである。

デバイス性能にとって最も重要なパラメータの 1 つは、以下に示すドレイン電流 (I_d) である。

$$I_d = \mu Q_{inv} \frac{W}{L} V = Q_{inv} W \mu E \quad (1-1)$$

ここで、 μ はキャリア移動度、 Q_{inv} は単位面積当たりの反転層電荷密度、 W はゲート幅、 L はゲート長、 V はチャネルにかかる電圧、 E はチャネル内の横方向電界である。スケーリングの結果、 I_d は $1/\kappa$ の係数で縮小される。しかしながら、ドレイン電流と印加電圧の両方が同じ係数で縮小されるので、縮小デバイスのオン状態チャネル抵抗は変化しない。静電容量 (C) は、面積に比例し、垂直寸法に反比例する。 CV/I_d の値に比例する回路遅延時間は、

表 1-1. 定電界スケーリングによる、MOS デバイス寸法とデバイス特性の関係[1]。

Device or Circuit Parameter	Scaling factor
Gate Length L , Gate Width W	$1/\kappa$
Gate Oxide Thickness t_{ox} , Junction Depth X_j	$1/\kappa$
Doping concentration (N_{sub})	κ
Supply Voltage (V)	$1/\kappa$
Drive current (I_d)	$1/\kappa$
Gate capacitance (C_g)	$1/\kappa$
Circuit delay time ($\tau \sim C_g V/I_d$)	$1/\kappa$
Power consumption ($P \sim V I_d$)	$1/\kappa^2$
Circuit density ($1/A$)	κ^2
Power density (P/A)	1

静電容量が $1/\kappa$ の係数で縮小するので、 $1/\kappa$ に縮小される。さらに、 $V I_d$ 値に比例する電力消費は、係数 $1/\kappa^2$ で縮小される。これらは定電界スケーリングの最も重要な結論であり、それは半導体技術の性能を向上させるための指針・指導原理とされてきた。

一方、集積回路上に配置されるトランジスタの数が約2年ごとに2倍になるという現象は、ムーアの法則として知られている[2]。この概念は 1965 年に提唱され、それ以来トランジスタの数を増やすための経験則として半導体産業界で使用されてきた。近年、この法則は、長期的な計画と、半導体技術を進展させるための研究開発目標のガイドラインとしても使用されている。図 1-2 は、集積回路チップ上のトランジスタ数の推移を示している[3]。デジタル電子デバイスの進化は、ムーアの法則に従った LSI 技術の飛躍的な進歩によって達成され、21 世紀初頭までは、高性能マイクロプロセッサおよび低消費電力応用技術に関連する市場の劇的な拡大を促進してきた。そして今日の高度情報化社会においても、高い処理能力を有するプロセッサおよび高度の集積度を有するメモリが依然として強く要求されている。これらの要求を満たすためには、MOSFET のスケーリングまたは同等の性能向上をさらに

追求することが不可欠である。

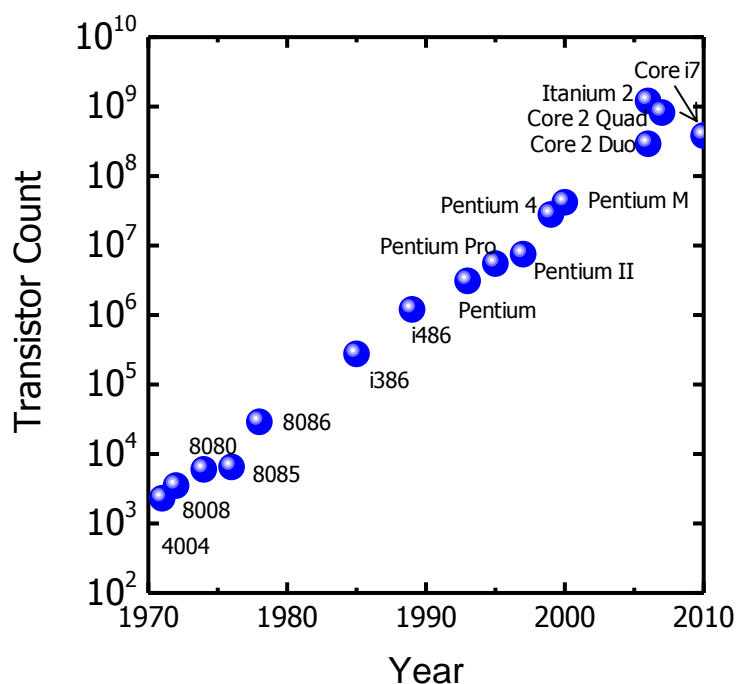


図 1-2. Intel 社製の主な CPU のトランジスタ数の推移。

1.2 移動度向上技術

MOSFET デバイスはムーアの法則に従って微細化されていくと、MOSFET のしきい値電圧の低下やゲート絶縁膜の薄膜化によるリーク電流成分としてのトンネル電流などの短チャネル効果が無視できなくなってくる。ゲート長 L が 100 nm 程度以下になると、スケーリングのみでは MOSFET の性能を向上させることは困難であるとの認識から、スケーリングに依存しないデバイス性能向上技術の研究開発が盛んに行われている。スケーリングに頼らずに平面型バルク MOSFET の性能を向上させるための技術の一つとして、90 nm ノード以来、歪み Si 技術が実用化されている。これは、応力を加えることでチャネルとなる Si 結晶を格子変形（歪みの印加）させるものである。式 (1-1) のドレイン電流 I_d に見られるよう

に、 I_d を増加させるためにはチャネル材料のキャリア移動度 μ を増加させることが重要である。歪み Si 技術は、チャネル領域の Si 結晶に歪みを与えてバンド構造を変化させ、キャリア移動度を高める技術である。Si に機械的歪み加わると電気抵抗が変化する現象は、長年にわたり piezo 抵抗効果として知られており[4]、先端デバイスにおける歪み技術として適用されてきた。

Si の伝導帯端は、波数空間において $\langle 100 \rangle$ 方向に沿って 6 つの等価なエネルギーの谷構造を持ち、その等エネルギー面は、図 1-3(a)に示すように 3 次元波数空間において 6 重に縮退している。これは 6 重縮退バレーと呼ばれ、各エネルギーバレーは回転楕円体構造をしている。MOSFET のチャネルのように、 $[110]$ 方向に電子が運動する場合、垂直方向のバレー内に存在する電子の $[110]$ 方向の有効質量は、面内方向のバレー内のものと比較して小さくなる。

ここで、Si の(001)面内に引張歪みを印加した場合、垂直方向と面内方向の伝導帯の縮退が解け、2 重縮退バレー Δ_2 と 4 重縮退バレー Δ_4 に分裂する。図 1-3(b)に示すように、 Δ_2 のエネルギーは Δ_4 のエネルギーと比較して低くなり、歪み量の増加に伴いそのエネルギー差が広がる。エネルギー差は、歪み量 1%あたり 0.16 eV 程度である[5, 6]。このため、歪み量に従って Δ_2 中の電子占有確率が高くなり、有効質量の小さい電子の濃度が増加し、平均的な有効質量が小さくなるため、電気伝導に寄与する電子移動度が向上する。図 1-3(b)には、こうした電子占有確率の変化が、各バレーにおける等エネルギー面サイズの変化として模式的に表されている。また、他の移動度向上要因として、バレー間フォノン散乱の抑制が挙げられる。これは、歪みによるバレーの分裂により、 Δ_2 内電子がエネルギー・有効質量の大きな Δ_4 へ遷移することが抑制されるためである。つまり、運動量の大きな変化を生じることなく電子の輸送が可能となり、結果として移動度が増加する。

一方、Si の(001)面内に圧縮歪みを印加した場合、 Δ_2 のエネルギーは Δ_4 のエネルギー

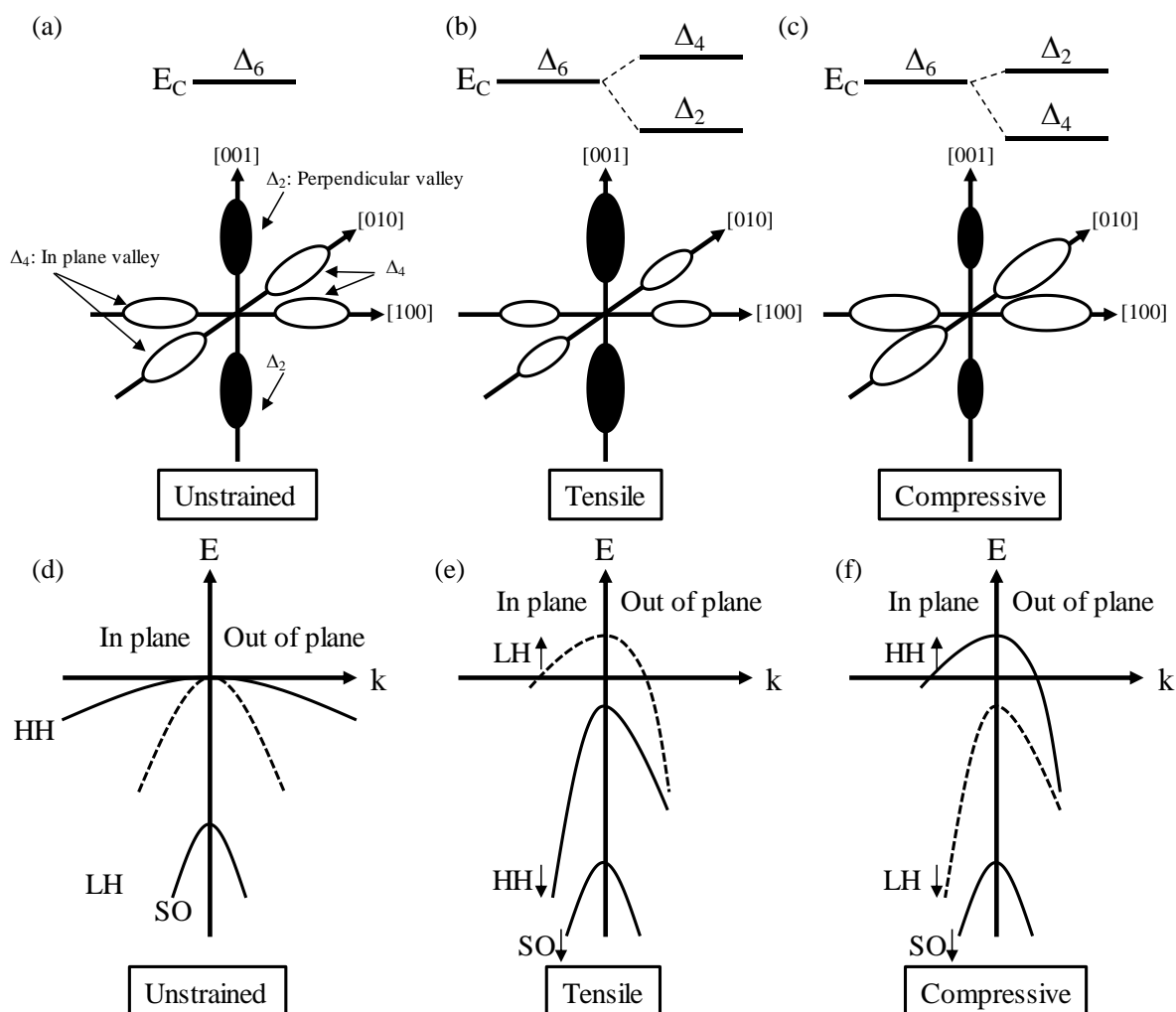


図 1-3. 3次元波数空間における歪みによる電子の等エネルギー面の変化および歪みによる価電子帯構造の変化。(a)、(d) 無歪み状態、(b)、(e) 引張歪み状態、(c)、(f) 圧縮歪み状態。

と比較して高くなり、 Δ_4 中の電子占有確率が高くなるため、有効質量の大きい電子の濃度が増加し、平均的な有効質量が大きくなるため、電気伝導に寄与する電子移動度は減少する。

図 1-3(c)には、その場合の電子占有確率の変化が、各バレーにおける等エネルギー面サイズの変化として模式的に表されている。

歪み印加による正孔の移動度向上機構は、電子の場合と同様に、歪みにより縮退が解けた有効質量の大きいバンドと小さいバンドに存在する正孔の存在比率が変化することにより起因し、それによる伝導方向の平均的な有効質量の変化、およびバンド間フォノン散乱の変化で説明できる[7, 8]。また歪み印加による有効質量そのものの变化も重要な要因である[9]。

Si の価電子帯端は、軽い正孔バンド、重い正孔バンド、スピン軌道分裂バンドの 3 つのバンドで構成されている。図 1-3(d)から(f)は、正孔が運動する面内およびそれに垂直な方向における 3 つのバンドの各エネルギー準位が歪みに伴って変化する様子を模式的に示している。図 1-3(d)の無歪みの場合、軽い正孔、重い正孔は縮退しており、スピン軌道分裂バンドはエネルギーがわずかに低い。ここで、「重い」および「軽い」は、無歪みの場合にのみ、他のバンドに対する各バンドの正孔の有効質量を指す。ただし、便宜上、2 つのバンドを区別するために、HH（重い正孔）と LH（軽い正孔）としてラベルを割り当て、歪みの影響を受けて変化するとき簡単にトレースできるようにしている。

Si の(001)面内に引張歪みを印加した場合、図 1-3(e)に示すように面内方向では LH バンドのエネルギーは高く、HH バンドのエネルギーは低くなり、同時に曲率からもわかるように HH バンドの有効質量の方が軽くなっている。しかし正孔は、LH バンドの方に多く入ることになるため、有効質量の低減効果は大きくない。

一方、Si の(001)面内に圧縮歪みを印加した場合、図 1-3(f)に示すように面内方向では LH バンドのエネルギーは低く、HH バンドのエネルギーは高くなる。さらに、曲率からもわかるように HH バンドの有効質量は無歪みのものよりも小さくなる。正孔はこのエネルギーの高い HH バンドの方に多く入ることになるため、無歪みの場合と比較して、有効質量が低減され正孔移動度が向上する。つまり、圧縮歪みの方が、正孔移動度向上効果が高い。また、スピン軌道も含めてバンド間のエネルギー差が広がってフォノン散乱が減少することも要因の一つである。

図 1-4 および図 1-5 に要約するように、MOSFET のチャネル領域に歪みを生じさせるには様々な方法がある。それらの方法は、ウェハ上に歪み Si 層を形成する方法と、チャネル領域のみに局所的に応力を加える方法とに大別される。前者は「基板歪み」と呼ばれ、歪み Si 層が基板上に形成される。後者は「プロセス歪み」と呼ばれ、デバイス作製プロセス

においていくつかのストレッサを用いることによって歪みがチャネル領域に加えられる。

基板歪み技術は、図 1-4(a)–(c)に示すように、基板上にエピタキシャル成長させた歪み層を利用している。薄い歪み Si 層が基板表面上に形成され、そこには面内二軸応力が誘起される。図 1-4(a)および(b)は、Si 基板上に厚い歪み緩和バッファ SiGe 層が形成されたバルク歪み Si 基板、および埋め込み酸化膜 (BOX: Buried Oxide) 層上に歪み Si 層と歪み緩和 SiGe 層が形成された SGOI (SiGe on Insulator) 基板を示している。SiGe 層は、Si 基板上に、Ge 組成が膜厚方向に連続的または段階的に増加した SiGe 結晶層を成長させることにより形成されている。SiGe 層の厚さが増すにつれて、SiGe の歪み緩和はミスフィット転位の導入によって進行し、ミスフィット転位は Ge 組成勾配領域に閉じ込められる。SiGe 層の貫通転位密度は、ミスフィット転位の横方向伝播によって減少させることができる[10-12]。その結果、SiGe 層は表面でほぼ完全に緩和され、その格子定数はバルク SiGe の格子定数に近づく。SGOI 基板は SOI (Silicon on Insulator) 基板上に形成された SiGe 層を酸化することにより形成され、Si と Ge の酸化速度の違いにより Ge の濃縮が起こる[13, 14]。SGOI 層の歪み緩和は、Ge の濃縮による転位の導入と、SOI/BOX 界面へのミスフィット転位の脱出によって促進されることが示唆されている[15, 16]。歪み緩和 SiGe 層上に薄い Si 層をエピタキシャル成長させると、Si の格子定数は SiGe の格子定数よりも小さいので、Si 層は面内方向に伸張され、面外方向に圧縮される。

図 1-4(c)に、歪みが SOI 層に印加される SSOI (Strained Silicon on Insulator) 基板を示す。SSOI 層は、図 1-4(a)に示した方法で作製したバルク歪み Si 基板の歪み Si 層と BOX 層を持つ Si 基板を貼り合わせる手法により得られる[17]。SSOI 層に印加された歪みは、厚い歪み緩和バッファ SiGe 層およびその下地 Si 基板を除去した後でも、BOX 層と SSOI 層との間の原子結合的な界面接触が存在するために残存する。一般に、基板歪みの場合、応力を誘起する層がウェハの表面全体にわたって挿入されるので、面内二軸応力が歪層に印加される。

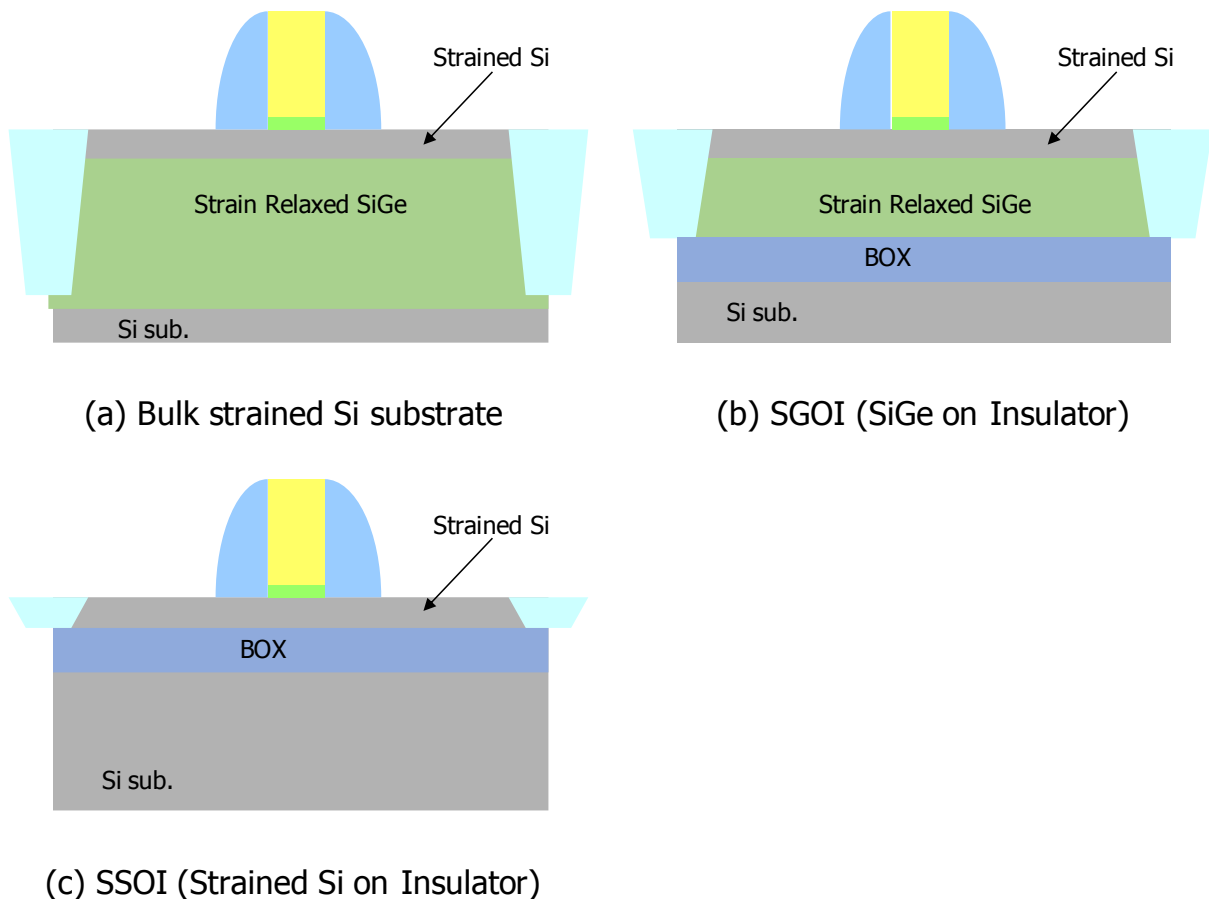


図 1-4. 基板歪み技術。

デバイス製造プロセスを通してチャネル領域外部からの応力印加を利用したプロセス歪み技術を図 1-5(a) – (c) に示す。図 1-5(a)および(b)は、SiN 膜などの応力膜や、ソース／ドレイン領域に埋め込まれた SiGe または Si:C (Carbon doped Si) 層を応力源として用いる方法を示している。局所歪みは SiN 膜の内部応力の強さに応じて引き起こされ、SiN 膜内の内部応力は堆積条件によって制御される。膜厚を厚くすることによって、MOSFET チャネル領域においてより大きな歪みを得ることができ、それはさらなるチャネル移動度の向上につながる。電子および正孔の移動度をそれぞれ高めるためには、nMOS チャネル領域に引張応力を、pMOS チャネル領域に圧縮応力をそれぞれ印加することが望ましい[18, 19]。そのため、イオン注入により不要な応力を弱める方法や、nMOS と pMOS の両方に最適な極性をもった SiN 膜を形成する方法 (DSL: Dual Stress Liner) が開発されている[20-22]。

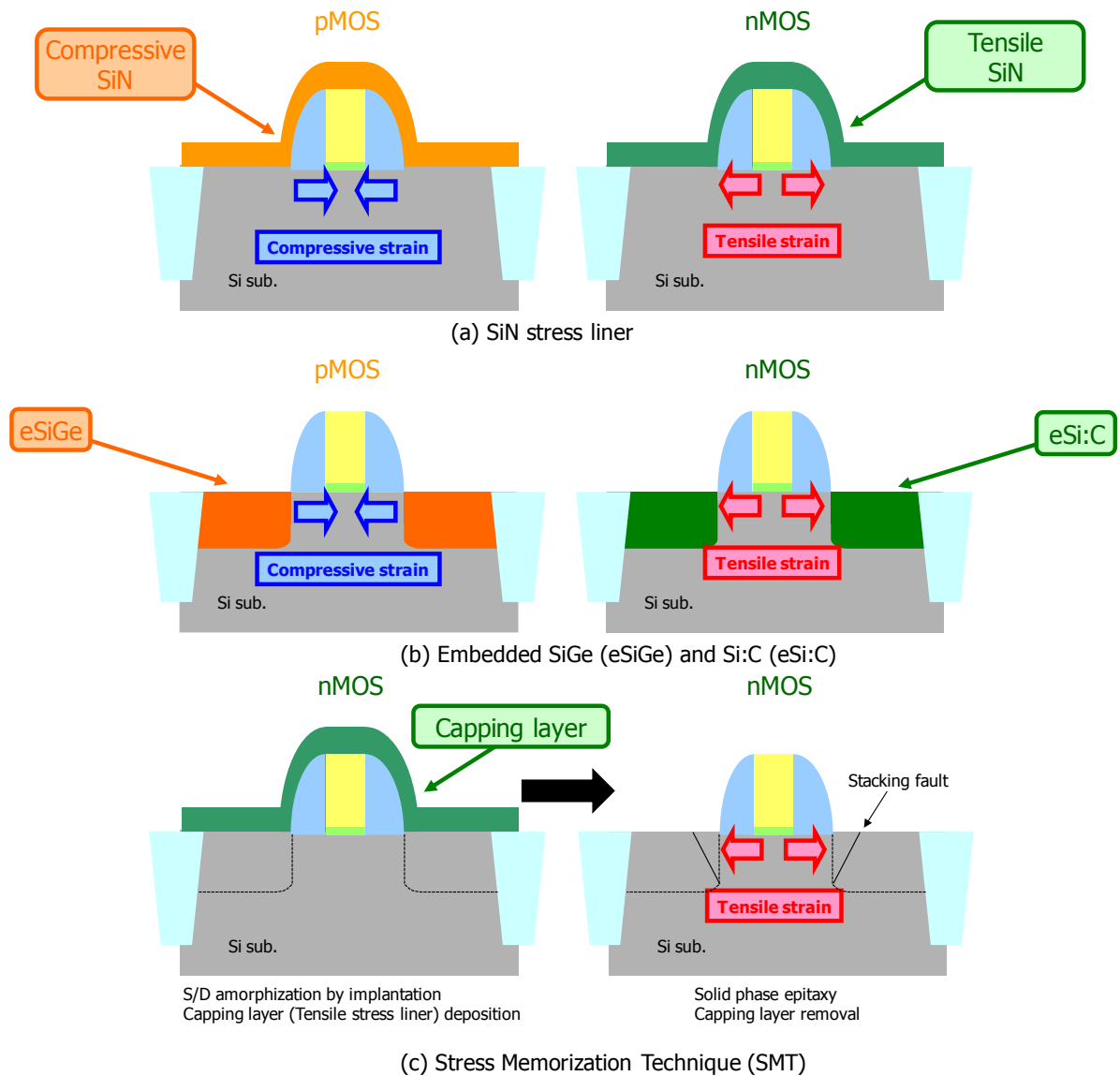


図 1-5. プロセス歪み技術。

ソース／ドレイン領域に SiGe をエピタキシャル成長させると、SiGe の格子定数が Si の格子定数よりも大きいので、SiGe に隣接する Si チャネル領域にチャネル方向に沿って圧縮歪みが印加される。そしてその圧縮歪みは pMOS チャネル部の正孔移動度を高める[23, 24]。ソース／ドレイン領域における SiGe のチャネルへの近接度および SiGe 中の Ge 濃度、ならびにリセス形状を最適化することなど、応力伝達効率を高めるための手法は、デバイス特性を向上させるうえで有効である[25, 26]。同様の原理を nMOS に適用して、Si:C の小さい格子定数を利用し、チャネル方向に沿って引張歪みを印加することによって電子移動度を高め

ることができる[27-29]。図 1-5(b)に示す構造は、埋め込み SiGe (eSiGe: embedded SiGe) および埋め込み Si:C (eSi:C: embedded Si:C) 構造と呼ばれる。

図 1-5(c)は、ゲート電極およびソース／ドレイン領域へのイオン注入を利用して内部応力を発生させる方法を示しており、SMT (Stress Memorization Technique) と呼ばれている。イオン注入後、応力誘起材料としてのキャッピング層（窒化物または酸化物）をデバイス上に堆積し、その後、ゲート電極およびソース／ドレイン領域を再結晶化するために熱処理を行う。再結晶化の結果として、引張歪みがチャネル領域に印加され、その歪みはその後のキャッピング層の除去後も維持される。引張歪みは、再結晶中に発生するチャネルとソース／ドレインの界面における残留欠陥（積層欠陥）の存在によって引き起こされることが確認されている[30-32]。また、他の外部応力誘発方法として、Si の局所酸化（LOCOS: Local Oxidation of Silicon）および STI (Shallow Trench Isolation) などが利用され、素子分離技術を用いたチャネルへの応力の印加による、デバイス性能の変調が報告されている[33, 34]。

上述のように、プロセス歪み技術は、デバイス製造プロセスへの優れた親和性、製造コストに対する負担が少ないなどの利点を有し、さらに、nMOS と pMOS それぞれに異なる歪みを印加することができる。そのため、90 nm ノード以降の量産には、プロセス歪み技術が導入されている。しかしながら、一方で、SiN 膜、eSiGe、eSi:C、STI などの応力誘起材料から発生する歪みは、デバイス構造内に複雑な歪みの分布を誘発し、レイアウト依存性を示すことが知られている。これは、応力がチャネル領域とソース／ドレイン領域（または STI 領域）との間の距離およびその幾何学的形状に依存して変化するためであり、その結果として生ずる歪みの分布はデバイス性能の変調に直接的に影響を与える。それゆえ、デバイス特性への影響を理解し、それを利用してデバイス性能を向上させるためには、デバイス構造の局所的領域における歪みを評価することが重要である。また、移動度の向上のための歪み量の増加は、同時に、結晶欠陥導入によるデバイス特性の劣化を引き起こす危険性があるため、デバイス構造の歪み状態を理解した上で、デバイスの歪みを慎重に設計し制御するこ

とが必要不可欠である。

1.3 ソース／ドレインスケールリング

デバイスの垂直方向および水平方向のスケールリングにより生じる別の問題は、ソース／ドレイン（S/D）領域における寄生抵抗の増加である。S/D の長さ、幅、および深さが $1/\kappa$ 倍に縮小すると、S/D 領域の寄生抵抗は κ 倍に増加し、S/D 寄生抵抗の影響は、よりスケールリングされたデバイスにおいて相対的に増加する。また、S/D は不純物をドーピングすることにより形成されるが、S/D エクステンション領域（S/D 接合領域）における不純物分布には、ある程度の空間的な傾斜が存在する。S/D ドーパントのチャネル側への広がり短チャネル特性を劣化させるので、同様に κ のファクターでより急峻なドーパントプロファイルを達成することも必要となる。接触抵抗および S/D 接合抵抗が、ナノスケールの MOS トランジスタの全直列抵抗の主要な要素であることも調査されている。S/D 接合抵抗は、S/D 接合領域におけるドーパントプロファイルの急峻性を改善することで低減することができる[35]。したがって、よりスケールリングされたナノスケールデバイスの性能向上のためには、S/D 接合領域において浅く急峻なドーパントプロファイルを有する、高濃度にドーピングされた低抵抗 S/D 領域を形成することが重要である。

1.4 3次元構造を用いた新構造デバイス

FinFET は従来型の平面 MOSFET とは異なる 3 次元デバイス構造を有する MOSFET である[36-38]。Fin は Si 基板を短冊状に加工することで得られる構造であり、それをゲート電極で覆うことで、表面 Si の上部および両側面部をチャネルとして用いる。シングルゲート

構造を持つ従来の平面 MOSFET に対して、ダブルゲート、トライゲートと呼ばれるゲート構造を持つので、ゲート電極によるチャネル領域のポテンシャル制御性が良い。そのため、S/D 間のパンチスルー耐性が高く、オフ状態での S/D 間リーク電流（サブスレッショルドリーク電流）低減が可能となり、より短いチャネル長においても短チャネル効果を抑制できるために微細化に適している。また、平面 MOSFET においては空乏層を薄くするために、不純物濃度を上げる必要があったが、FinFET ではその薄い fin 幅による完全空乏型の動作原理に基づいているため、チャネル不純物濃度を低減することができる。これにより、不純物濃度ばらつき起因のデバイス電気特性のばらつきが低減され、またキャリアに与える不純物散乱の効果も抑制されるため、移動度の低下が抑制される。このように FinFET はデバイスの微細化、高性能化を実現する有望な構造である。

1.5 本研究の目的

本章で概観したように、Si ベースの MOS デバイスは、その性能を向上させるために、ムーアの法則に従って、ナノメートルオーダーにまでスケールされてきた。しかしながら、短チャネル効果、寄生抵抗の増大、および寄生容量の増加に代表されるデバイスの縮小による悪影響のために、デバイス性能の向上は鈍化してきている。したがって、これらの悪影響を回避するための新しい材料技術・プロセス技術の導入は、MOS デバイススケールと並行して克服すべき緊急の課題である。一方で、新材料・プロセスの導入は、デバイス構造における材料の結晶性に多分に影響し、デバイス特性にばらつきを与え、時には性能劣化を引き起こす。それらを高精度に制御し、高品質で均一な結晶性を個々のデバイスにおいて実現するためには、ナノスケールのトランジスタサイズにおいて、結晶成長およびデバイス製造プロセスによる歪み・欠陥の導入メカニズムを評価し、理解する必要がある。

以上に述べたような課題を鑑み、以下の2点を本研究の主な目的とする。

1. 結晶成長やイオン注入等のデバイス高性能化プロセスがデバイス構造微細領域における結晶性へ与える影響の解明。
2. 高性能化プロセスを用いて作製した平面バルク MOSFET や FinFET (fin-shaped field effect transistor) の先端微細デバイス構造における歪み分布の精密評価。

これらの目的を達成することにより、微細デバイス構造における結晶性と歪みの制御および結晶性評価の手法を確立する。そして、新材料・プロセス技術が牽引するスケーリング時代において、新規デバイスの設計およびプロセスインテグレーションを確立するための一助とする。

1.2 節で述べたように、歪み技術は、最先端 MOSFET の性能向上のための重要な要素技術である。また、1.3 節で述べたように、短チャネル効果を抑制するためには急峻なドーパントプロファイルを有する S/D エクステンション領域を形成すること、さらに低抵抗化を実現するためには S/D 領域ドーパントの高活性化を達成することが重要である。イオン注入やドーパントの拡散に頼った S/D エクステンションを形成する従来の手法では、界面における接合プロファイルの急峻性を確保することは困難である。そこで本研究では、比較的簡単なプロセスインテグレーションによって、急峻なドーパントプロファイルを有する低抵抗な歪み eSi:CP 構造を作製する技術について取り組んだ。

一方、MOSFET デバイス構造において歪み技術を適用した場合、そのストレス内および周辺における歪み分布は、2 次元的に形成したストレス膜とは異なる形態を示す。デバイス構造における歪み分布は、デバイス特性に直接的に影響を与え、結晶欠陥導入による結晶性の悪化は特性の劣化を引き起こす。よって本研究では、デバイススケールでの歪みの詳細な評価、および評価手法の確立に取り組んだ。

また、1.4 節で述べたように、先端技術として、FinFET などの非平面デバイス構造の

適用によりさらなる微細化が進められているが、これに併せて、微細化によらない性能向上技術との組み合わせにより、デバイス特性のさらなる向上を目指す技術動向がある。しかし、微細化に伴うデバイスサイズ・形状の変化による種々の特性変化の理解は未だ不十分である。そこで、本研究では、性能向上技術として歪み SiGe チャンネルを有する FinFET 構造を作製し、ナノスケールでの歪みの詳細な評価、および歪みばらつきがデバイス特性に与える影響の評価を行った。また、歪みばらつきを低減する技術開発についても取り組んだ。

1.6 本論文の構成

第2章では、カーボン (C) とリン (P) をドーピングした歪み Si:CP 層の成長技術と膜の特性評価について述べる。in-situ P ドーピング Si (Si:P) 層へのクラスター C イオン注入を用いて形成したアモルファス層を、熱処理により再結晶化して歪み Si:CP 層を作製した。その際に、歪み Si:CP 層の膜特性を様々な C イオン注入と熱処理条件について調べた結果を議論する。また、この再結晶化 Si:CP 膜を 3 次元 FinFET デバイス構造に適用し、Si FinFET チャンネルに対するストレスとしての本プロセスの実行可能性を示す。

第3章では、平面バルク MOSFET デバイス構造における、S/D 領域のエピタキシャル eSiGe ストレスとゲート直下の歪みチャンネル SiGe/Si の双方における歪み・結晶性の評価について述べる。また、S/D eSiGe の Ge 濃度および異なるリセス形状によるデバイス構造内の歪みの変動について議論する。デバイス構造における結晶性の系統的な調査を通して、歪み制御および歪み特性評価技術について述べる。

第4章では、ナノスケール歪み SiGe fin 構造における局所歪み解析について議論する。周期的かつ均一に配置した SiGe fin 構造を作製し、それらの Ge 濃度およびアスペクト比に依存する歪みを精密に評価することで、3 次元微細構造における歪み状態および結晶性の変

動の解明を試みる。また、ナノビーム X 線回折を用いて SiGe fin 端部における局所歪みの状態についても調査する。

第 5 章では、本研究で得られた結果を総括し、結論を述べる。

1.7 参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc: J. IEEE SC-9 (1974) 256.
- [2] G. E. Moore, Electronics **38**, 114 (1965).
- [3] M. Bohr, IEEE IEDM, 1.1.1 - 1.1.6 (2011).
- [4] C.S. Smith, Phys. Rev. **94**, 42 (1954).
- [5] S. Takagi, J. L. Hoyt, J. J. Welser, and J. F. Gibbons, J. Appl. Phys. **80**, 1567 (1996).
- [6] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, J. Appl. Phys. **97**, 011101 (2005).
- [7] D. K. Nayak, and S. K. Chun, Appl. Phys. Lett. **64**, 2514 (1994).
- [8] M. L. Lee, and E. A. Fitzgerald, J. Appl. Phys. **94**, 2590 (2003).
- [9] M. V. Fischetti, and S. E. Laux, J. Appl. Phys. **80**, 2234 (1996).
- [10] E. A. Fitzgerald, Y. -H. Xie, D. Monroe, P. J. Silverman, J. M. Kuo, A. R. Kortan, F. A. Thiel, and B. E. Weir, J. Vac. Sci. Technol. B **10**, 1807 (1992).

- [11] E.A. Fitzgerald, S.B. Samavedam, Thin Solid Films **294**, 3 (1997).
- [12] F. K. LeGoues, B. S. Meyerson, J. F. Morar, and P. D. Kirchner, J. Appl. Phys. **71**, 4230 (1992).
- [13] N. Sugii, S. Yamaguchi, and K. Washio, J. Vac. Sci. Technol. B **20**, 1891 (2002).
- [14] T. Tezuka, N. Sugiyama, T. Mizuno, M. Suzuki and S. Takagi, Jpn. J. Appl. Phys. **40**, 2866 (2001).
- [15] N. Taoka, A. Sakai, S. Mochizuki, O. Nakatsuka, M. Ogawa, S. Zaima, T. Tezuka, N. Sugiyama and S. Takagi, Jpn. J. Appl. Phys. **44**, 7356 (2005).
- [16] M. Gunji, A. F. Marshall, and P. C. McIntyre, J. Appl. Phys. **109**, 014324 (2011).
- [17] T. A. Langdo, M. T. Currie, A. Lochtefeld, R. Hammond, J. A. Carlin, M. Erdtmann, G. Braithwaite, V. K. Yang, C. J. Vineis, H. Badawi, and M. T. Bulsara, Appl. Phys. Lett. **82**, 4256 (2003).
- [18] F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe, T. Onai, IEEE IEDM, 575 (2000).
- [19] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, T. Horiuchi, IEEE IEDM, 247 (2000).
- [20] S. Pidin, T. Mori, K. Inoue, S. Fukuta, N. Itoh, E. Mutoh, K. Ohkoshi, R. Nakamura, K. Kobayashi, K. Kawamura, T. Saiki, S. Fukuyama, S. Satoh, M. Kase, K. Hashimoto, IEEE IEDM, 213 (2000).
- [21] H.S. Yang, R. Malik, S. Narasimha, Y. Li, R. Divakaruni, P. Agnello, S. Allen, A. Antreasyan, J.C. Arnold, K. Bandy, M. Belyansky, A. Bonnoit, G. Bronner, V. Chan, X. Chen, Z. Chen, D. Chidambarao, A. Chou, W. Clark, S.W. Crowder, B. Engel, H. Harifuchi, S.F.

Huang, R. Jagannathan, F.F. Jamin, Y. Kohyama, H. Kuroda, C.W. Lai, H.K. Lee, W.-H. Lee, E.H. Lim, W. Lai, A. Mallikarjunan, K. Matsumoto, A. McKnight, J. Nayak, H.Y. Ng, S. Panda, R. Rengarajan, M. Steigerwalt, S. Subbanna, K. Subramanian, J. Sudijono, G. Sudo, S.-P. Sun, B. Tessier, Y. Toyoshima, P. Tran, R. Wise, R. Wong, I.Y. Yang, C.H. Wann, L.T. Su, M. Horstmann, Th. Feudel, A. Wei, K. Frohberg, G. Burbach, M. Gerhardt, M. Lenski, R. Stephan, K. Wieczorek, M. Schaller, H. Salz, J. Hohage, H. Ruelke, J. Klais, P. Huebler, S. Luning, R. van Bentum, G. Grasshoff, C. Schwan, E. Ehrichs, S. Goad, J. Buller, S. Krishnan, D. Greenlaw, M. Raab, N. Kepler, IEEE IEDM, 1075 (2004).

[22] K. Uejima, H. Nakamura, T. Fukase, S. Mochizuki, S. Sugiyama, M. Hane, IEEE IEDM, 220 (2007).

[23] S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, J. Bielefeld, R. Bigwood, J. Brandenburg, M. Buehler, S. Cea, V. Chikarmane, C. Choi, R. Frankovic, T. Ghani, G. Glass, W. Han, T. Hoffmann, M. Hussein, P. Jacob, A. Jain, C. Jan, S. Joshi, C. Kenyon, J. Klaus, S. Klopacic, J. Luce, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, P. Nguyen, H. Pearson, T. Sandford, R. Schweinfurth, R. Shaheed, S. Sivakumar, M. Taylor, B. Tufts, C. Wallace, P. Wang, C. Weber, M. Bohr, IEEE IEDM, 61 (2002).

[24] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, M. Bohr, IEEE IEDM, 11.6.1 (2003).

[25] H. Ohta, Y. Kim, Y. Shimamune, T. Sakuma, A. Hatada, A. Katakami, T. Soeda, K. Kawamura, H. Kokura, H. Morioka, T. Watanabe, J.O.Y. Hayami, J. Ogura, M. Tajima, T. Mori, N. Tamura, M. Kojima, K. Hashimoto, IEEE IEDM, 247 (2005).

[26] N. Yasutake, A. Azuma, T. Ishida, N. Kusunoki, S. Mori, H. Itokawa, I. Mizushima, S.

Okamoto, T. Morooka, N. Aoki, S. Kawanaka, S. Inaba, Y. Toyoshima, Symposium on VLSI Technology Digest of Technical Papers, 48 (2007).

[27] Tsung-Yang Liow, Kian-Ming Tan, Doran Weeks, Rinus T. P. Lee, Ming Zhu, Keat-Mun Hoe, Chih-Hang Tung, M. Bauer, Jennifer Spear, Shawn G. Thomas, Ganesh S. Samudra, N. Balasubramanian, Yee-Chia Yeo, Symposium on VLSI Technology Digest of Technical Papers, 126 (2008).

[28] B. Yang, R. Takalkar, Z. Ren, L. Black, A. Dube, J.W. Weijtmans, J. Li, J.B. Johnson, J. Faltermeier, A. Madan, Z. Zhu, A. Turansky, G. Xia, A. Chakravarti, R. Pal, K. Chan, A. Reznicek, T.N. Adam, B. Yang, J.P. de Souza, E.C.T. Harley, B. Greene, A. Gehring, M. Cai, D. Aime, S. Sun, H. Meer, J. Holt, D. Theodore, S. Zollner, P. Grudowski, D. Sadana, D.-G. Park, D. Mocuta, D. Schepis, E. Maciejewski, S. Luning, J. Pellerin, E. Leobandung, IEEE IEDM, 1 (2008).

[29] S. Narasimha, P. Chang, C. Ortolland, D. Fried, E. Engbrecht, K. Nummy, P. Parries, T. Ando, M. Aquilino, N. Arnold, R. Bolam, J. Cai, M. Chudzik, B. Cipriany, G. Costrini, M. Dai, J. Dechene, C. DeWan, B. Engel, M. Gribelyuk, D. Guo, G. Han, N. Habib, J. Holt, D. Ioannou, B. Jagannathan, D. Jaeger, J. Johnson, W. Kong, J. Koshy, R. Krishnan, A. Kumar, M. Kumar, J. Lee, X. Li, C-H. Lin, B. Linder, S. Lucarini, N. Lustig, P. McLaughlin, K. Onishi, V. Ontalus, R. Robison, C. Sheraw, M. Stoker, A. Thomas, G. Wang, R. Wise, L. Zhuang, G. Freeman, J. Gill, E. Maciejewski, R. Malik, J. Norum, P. Agnello, IEEE IEDM, 3.3.1 (2012).

[30] K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto, Y. Inoue, IEEE IEDM, 27 (2002).

[31] Chia-Chun Liao, Tsung-Yu Chiang, Min-Chen Lin, Tien-Sheng Chao, IEEE IEDM, 281 (2010).

- [32] Kwan-Yong Lim, Hyunjung Lee, Choongryul Ryu, Kang-Ill Seo, Uihui Kwon, Seokhoon Kim, Jongwan Choi, Kyungseok Oh, Hee-Kyung Jeon, Chulgi Song, Tae-Ouk Kwon, Jinyeong Cho, Seunghun Lee, Yangsoo Sohn, Hong Sik Yoon, Junghyun Park, Kwanheum Lee, Wookje Kim, Eunha Lee, Sang-Pil Sim, Chung Geun Koh, Sang Bom Kang, Siyoung Choi, Chilhee Chung, IEEE IEDM, 10.1.1 (2010).
- [33] S. Tiwari, M.V. Fischetti, P.M. Mooney, J.J. Welser, IEEE IEDM, 939 (1997).
- [34] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud, H. Dansas, IEEE Trans. Electron Devices **51**, 1254 (2004).
- [35] Seong-Dong Kim, Cheol-Min Park, J.C.S. Woo, IEEE Trans. Electron Devices. **49**, 467 (2002).
- [36] D. Hisamoto, W. C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. J. King, J. Bokor, and C. Hu, IEEE IEDM, 1032 (1998).
- [37] H. S. P. Wong, D. J. Frank, and P. M. Solomon, IEEE IEDM, 407 (1998).
- [38] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, T.-J. King, J. Bokor, and C. Hu, IEEE IEDM, 2320 (2000).

第 2 章

In-situ ドーピングとカーボンイオン 注入による Si:CP 層の形成

2.1 はじめに

歪み技術は、最先端の高性能金属-酸化膜-半導体電界効果トランジスタ（MOSFET: metal-oxide-semiconductor field-effect transistor）の性能を向上させるための重要な要素である。近年、埋め込みカーボンドーパ Si（eSi:C: embedded Si:C）ソース/ドレイン（S/D : source and drain）技術が nMOSFET 性能を向上させるために採用されている[1-10]。Si:C の格子定数は Si の格子定数よりも小さいため、引張歪みが Si チャンネルに誘起される。この引張歪みにより、nMOS デバイスの電子移動度が高められる[11, 12]。また、in-situ リン（P）ドーパによる埋め込み Si:CP（eSi:CP: embedded Si:CP）エピタキシャルプロセスは、S/D 領域の低抵抗化のために有効である。eSi:CP 層の形成において、S/D 領域をリセスし、選択エピタキシャル技術を用いて高置換 C 濃度（ $[C]_{\text{sub}}$ ）を有する eSi:CP を結晶成長させるには、複雑な結晶成長プロセスおよびインテグレーションスキームが必要となる[13-16]。これに対して、P および C の注入と再結晶化熱処理を用いて Si:CP 層を形成するアプローチは、比較的簡単なプロセスインテグレーションにより eSi:CP 構造を達成できる代替案として有望である[17, 18]。しかしながら、イオン注入と再結晶化プロセスの組み合わせは、高温で熱力学的平衡状態にある C の Si 中の最大固溶度が低い（ $\sim 3 \times 10^{17} \text{ cm}^{-3}$ ）、高 $[C]_{\text{sub}}$ （ $>1\%$ ）を有する歪み Si:CP 膜を実現する上で課題となる。また、P と C の Si 格子置換位置への活性化が競合す

るため、シート抵抗の低減と歪み量の増加の間にはトレードオフがある[19, 20]。したがって、S/D eSi:CP 構造を実装するデバイスにおいて、歪みの効果を有効に活用し、かつ、そのシート抵抗を低減するには、高 $[C]_{\text{sub}}$ と高濃度に活性化された P を有する歪み Si:CP 層を形成する技術の開発が必要不可欠である。

一方、S/D ドーパントのチャネル領域への拡散は、トランジスタの線形電流を改善するものの、短チャネル特性を劣化させるため、よりスケールリングされた先端微細デバイス構造においては、最適な S/D エクステンション (SDE: source drain extension) 領域を形成することが重要である。つまり、所与の線形電流における短チャネル効果 (SCE: short channel effect) を抑制するためには、急峻なドーパントプロファイルを有する接合を形成しなければならない。換言すれば、SDE のシート抵抗 (接合抵抗) を最小にし、所与の接合急峻性を通して、目標とする SCE 特性を維持しながらトランジスタの線形電流を最大にすることが必要である。

そこで本章では、in-situ P ドープ Si (Si:P) エピタキシャル成長プロセスおよび C イオン注入プロセスを組み合わせることによる歪み Si:CP 層形成技術およびその膜特性を詳細に調査した結果について述べる。Si:P 膜にクラスタ C イオン注入を行うことで、アモルファス層が生成される。C イオン ($^{12}\text{C}^+$) による単原子イオン注入が、注入領域の部分的アモルファス化や不均一なアモルファス/結晶 (a/c: amorphous/crystalline) 界面をもたらす一方で、クラスタ C イオン注入によるアモルファス層は、均一な a/c 界面を形成する[21-23]。歪み Si:CP 層は、このアモルファス層を熱処理により再結晶化することで形成される。ここでは、種々のクラスタ C イオン注入と熱処理条件に依存する、歪み Si:CP 層の膜特性を調べる。また、本 Si:CP 層形成プロセスを 3 次元 FinFET デバイス構造の S/D 領域に適用し、Si FinFET チャンネル内に生じる歪みを評価する。さらに、3 次元デバイス構造における再結晶化現象についても議論する。

2.2 実験方法

300 mm ウェハ用減圧化学気相成長（RPCVD: reduced-pressure chemical vapor deposition）装置を用いて、p 型 Si(001)基板上に、P 濃度 $4 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の in-situ ドーピング Si:P 膜を 50 nm の膜厚でエピタキシャル成長した。成長温度は 700 °C 以下で、ジクロロシラン（SiH₂Cl₂）、ホスフィン（PH₃）、および水素（H₂）の混合物を用いた。図 2-1 に示すように、P 濃度は Si:P 膜厚方向に沿って一定であり、Si:P/Si 基板界面において、 1×10^{20} から 1×10^{19} atoms/cm³ の範囲の濃度勾配 3.1 nm/decade を持つ急峻な接合を形成した。このような厚膜における急峻な接合プロファイルは P イオン注入で得ることは困難である。注入イオン分布は概ねガウス分布で表すことができ、イオン注入エネルギー増加にともない分布がさらに広がるため界面における接合プロファイルの急峻性が劣化する。これら Si 基板上 Si:P 膜に C および Si イオン注入によるアモルファス化を施し、その後、熱処理による再結晶化を行う。

本研究では、Si:CP 膜中 C 濃度 1.2%（C ピーク濃度: 6×10^{20} atoms/cm³）を得るために、

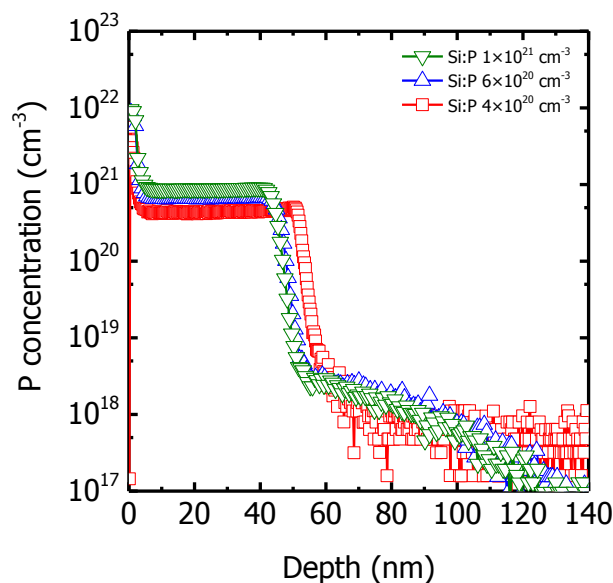


図 2-1. 結晶成長後の異なる P 濃度を有する Si:P 層における、二次イオン質量分析法（SIMS: secondary ion mass spectroscopy）で測定した P 濃度プロファイル。P 濃度プロファイルは膜厚深さ方向に一定の濃度を示し、基板界面において急峻な接合を形成している。

クラスタ C イオン注入のエネルギー、ドーズ量、そして注入回数を変えることで、いくつかのサンプルを作製した。C プロファイルはクラスタ C イオン注入回数により制御した。注入は、ウェハ傾斜角ゼロで室温 (RT) または -30 °C の基板温度で行った。注入条件(I)、(II)、および(III)はそれぞれ、

(I) $4 \text{ keV}/5.0 \times 10^{14} \text{ cm}^{-2} + 8 \text{ keV}/1.0 \times 10^{15} \text{ cm}^{-2} + 19 \text{ keV}/4.2 \times 10^{15} \text{ cm}^{-2}$ (3 段階 C イオン注入)

(II) $8 \text{ keV}/1.0 \times 10^{15} \text{ cm}^{-2} + 19 \text{ keV}/4.2 \times 10^{15} \text{ cm}^{-2}$ (2 段階 C イオン注入)

(III) $19 \text{ keV}/4.2 \times 10^{15} \text{ cm}^{-2}$ (1 段階 C イオン注入)

である。エネルギーとドーズ量は $^{12}\text{C}^+$ 相当量として表現してある。 $4 \text{ keV}/5.0 \times 10^{14} \text{ cm}^{-2}$ および $8 \text{ keV}/1.0 \times 10^{15} \text{ cm}^{-2}$ の注入には C_7H_7^+ イオンを用い、 $19 \text{ keV}/4.2 \times 10^{15} \text{ cm}^{-2}$ の注入には C_3H_3^+ イオンを用いた。各注入条件についてのクラスタ C イオン種、 $^{12}\text{C}^+$ 等価エネルギーおよびドーズ量を表 2-1 に要約する。これらクラスタ C イオン注入条件(I)、(II)、(III)によって、75 nm のアモルファス層が形成された。Si:P 膜厚全体にわたって均一な歪みを有する Si:CP 層を形成するためには、箱型の C プロファイルが必要である。図 2-2(a)に各注入条件における C プロファイルを示す。箱型の C プロファイルは、3 段階および 2 段階のクラスタ C イオン注入条件によって達成することができる。

また、別のクラスタ C イオン注入条件(IV)を適用して、箱型 C プロファイルを有するサンプルを作製した。注入は、ウェハ傾斜角ゼロ、基板温度 -30 °C で行った。注入条件は、

(IV) $5 \text{ keV}/8.2 \times 10^{14} \text{ cm}^{-2} + 14 \text{ keV}/3.5 \times 10^{15} \text{ cm}^{-2}$ (2 段階 C イオン注入)

であり、Si:CP 膜中 C 濃度 1.2% (C ピーク濃度: $6 \times 10^{20} \text{ atoms/cm}^3$) を得た。 $5 \text{ keV}/8.2 \times 10^{14} \text{ cm}^{-2}$ の注入には C_7H_7^+ イオンを選択し、 $14 \text{ keV}/3.5 \times 10^{15} \text{ cm}^{-2}$ の注入には C_5H_5^+ イオンを用いた。エネルギーとドーズ量は $^{12}\text{C}^+$ 相当量として表現してある。この低温クラスタ C イオン注入条

件(IV)によって、60 nm のアモルファス層が形成された。図 2-2(b)に注入条件(IV)における C プロファイルを示す。加えて、C の有無による膜特性の比較のために、Si イオン注入によるアモルファス化を行ったサンプルも作製した。注入条件は、ウェハ傾斜角ゼロ、基板温度-30 °C において、

(V) 20 keV/3.5×10¹⁵ cm⁻² (1 段階 Si イオン注入)

であり、60 nm 膜厚の C フリーアモルファス層を形成した。各注入条件(IV)、(V)についてのイオン種、エネルギーおよびドーズ量を表 2-1 に要約する。

固相エピタキシャル成長 (SPE: solid phase epitaxy) による再結晶化は、700 ~ 950 °C の温度範囲で 5 秒間または 30 秒間の急速熱処理 (RTA: rapid thermal annealing) および 900 ~ 1050 °C の温度範囲でのスパイク RTA (sRTA: spike RTA) を用いて行った。温度上昇速度および下降速度は、RTA では 75 °C/s および 35 °C/s、sRTA では 220 °C/s および 90 °C/s であった。sRTA における熱処理時間は約 1 秒のオーダーである。さらに、再結晶化 Si:CP 層中の P 活性化率を高めるために、1175 ~ 1250 °C の範囲のピーク温度および熱処理時間 1 ミリ秒未満 (0.75 ミリ秒) の極短時間熱処理技術レーザースパイクアニール (LSA: laser spike annealing) を追加で行った。LSA は予備加熱用ビームと長波長 CO₂ レーザ (λ = 10.6 μm) を用いるデュアルビームスキャニングシステムを使用して実施し[24]、基板上をレーザで走査することで、レーザ照射領域のみが加熱され、走査速度により熱処理時間を制御した。

作製された膜の特性を種々の方法を用いて評価した。エピタキシャル膜中の格子置換位置 C 濃度および結晶性の評価には高分解能 X 線回折 (HR-XRD: high resolution X-ray diffraction) を用いた。使用した装置は BedeMetrix-L である。一次ビームは、多層 X 線ミラーおよび 2 バウンス Ge (004) ビームコンディショナーを使用して調整されている。また、二次イオン質量分析法 (SIMS: secondary ion mass spectrometry) によって、全 C (格子置換位

表 2-1. 各イオン注入条件におけるイオン種、イオン注入回数、エネルギー、ドーズ量、および基板温度。クラスタ C イオン種のエネルギーとドーズ量は $^{12}\text{C}^+$ 相当の値で表されている。

Cluster C ion (C ⁺ equivalent)					
		C ₇ H ₇ ⁺	C ₇ H ₇ ⁺	C ₃ H ₃ ⁺	Temperature
(I)	Triple C implantation	4 keV 5.0 × 10 ¹⁴ cm ⁻²	8 keV 1.0 × 10 ¹⁵ cm ⁻²	19 keV 4.2 × 10 ¹⁵ cm ⁻²	RT or -30 °C
(II)	Double C implantation		8 keV 1.0 × 10 ¹⁵ cm ⁻²	19 keV 4.2 × 10 ¹⁵ cm ⁻²	
(III)	Single C implantation			19 keV 4.2 × 10 ¹⁵ cm ⁻²	
Cluster C ion (C ⁺ equivalent)					
			C ₇ H ₇ ⁺	C ₅ H ₅ ⁺	Temperature
(IV)	Double C implantation		5 keV 8.2 × 10 ¹⁴ cm ⁻²	14 keV 3.5 × 10 ¹⁵ cm ⁻²	-30 °C
Si ion					
				Si ⁺	Temperature
(V)	Single implantation			20 keV 3.5 × 10 ¹⁵ cm ⁻²	-30 °C

置 C と格子間位置 C の合計) 濃度および P 濃度深さプロファイルを測定した。使用した装置は Cameca IMS Wf で、一次イオンとしてエネルギー 500 eV の Cs^+ を用いた。再結晶化 Si:CP および Si:P 膜中の活性化 P による電気的特性は四探針法と Hall 測定により調べた[25]。透過型電子顕微鏡 (TEM: transmission electron microscope) を用いて微細構造分析を行った。TEM サンプルは、集束イオンビーム装置 (FIB: focused ion beam) によって作製され、200 keV の電界放出型 TEM (Hitachi HF-2000) で撮像した。また、FinFET の Si チャネル領域内の面内格子変形プロファイルは、200 keV の電界放射型 TEM (FEI Titan) を用いた、空間分解能 1 nm 未満の暗視野ホログラフィ (DFH: dark field holography) 技術によって取得した。

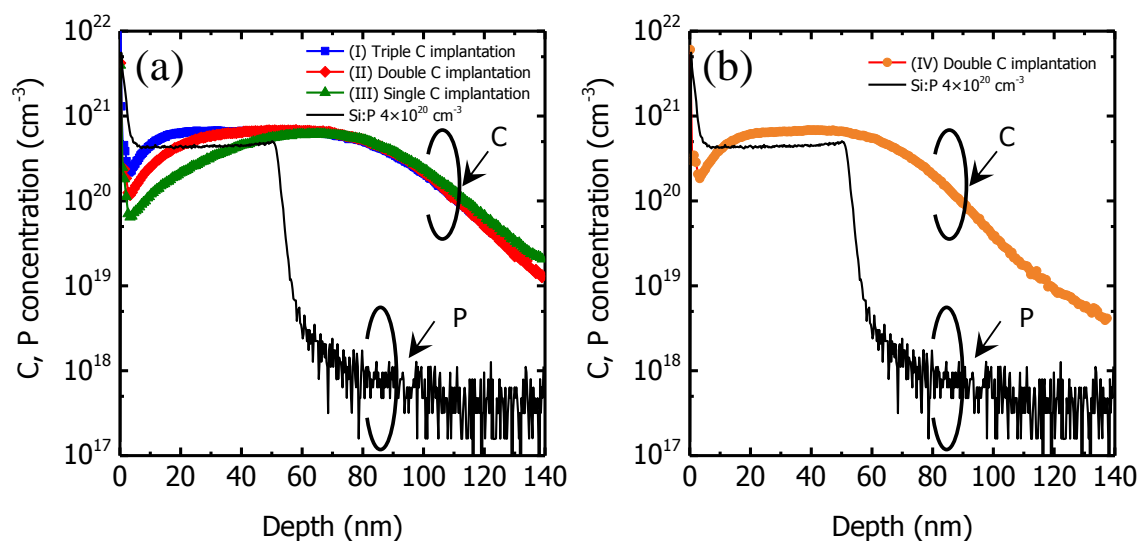


図 2-2. SIMS で測定された各注入条件における C 濃度プロファイル。(a)表 2-1 のイオン注入条件(I)、(II)、(III)、および(b) 表 2-1 のイオン注入条件(IV)。C 濃度は 1.2% (C ピーク濃度: $6 \times 10^{20} \text{ atoms/cm}^3$) である。成長直後の Si:P 層の P 濃度プロファイル (P 濃度 $4 \times 10^{20} \text{ atoms/cm}^3$) も併せて示す。C の箱型プロファイルは、3 段階および 2 段階のクラスター C イオン注入条件によって達成される。

2.3 実験結果と考察

2.3.1 クラスターカーボンイオン注入を用いた Si:CP 層の形成

基板温度 RT または -30°C で実施された 3 段階 C イオン注入 (条件(I)) と再結晶化熱処理によって作製した Si:CP 層におけるシート抵抗 (R_s) の結果を図 2-3 に示す。Si:CP 層中の C 濃度は 1.2% であり、再結晶化熱処理、および追加の LSA 後の R_s 値を示している。また、 $4 \times 10^{20} \text{ atoms/cm}^3$ の P ドーピング濃度を有する C フリー Si:P エピタキシャル膜の R_s 値も、参考値としてプロットしている。C フリー Si:P エピタキシャル膜の R_s 値は成長直後で 117 ohm/sq であり、 1025°C の sRTA を用いると 62 ohm/sq まで低下した。この値は、他の Si:CP 層の R_s 値よりも低い。追加で 1250°C の LSA を導入すると、 R_s 値は 60 ohm/sq となり、わ

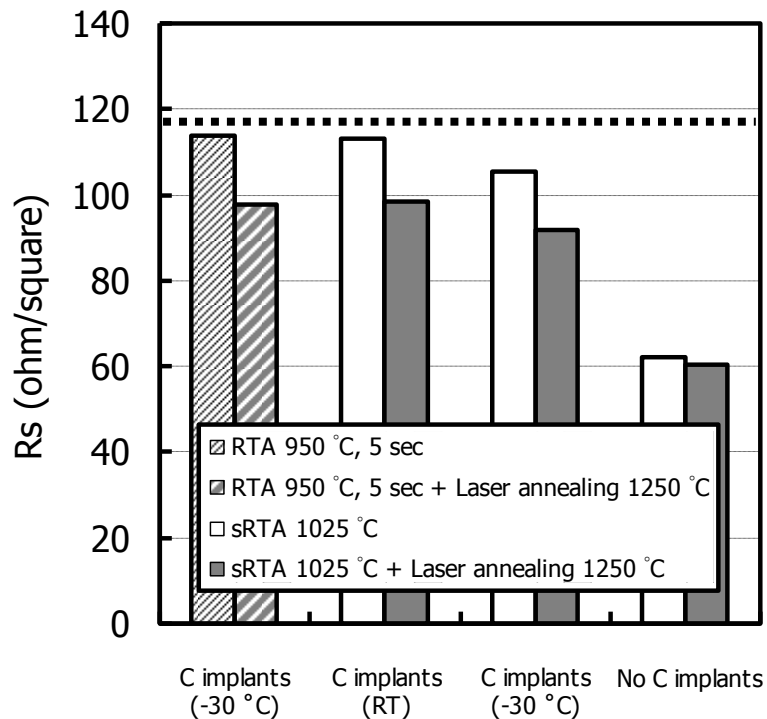


図 2-3. 基板温度 RT または -30 °C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理によって作製した Si:CP 層におけるシート抵抗（Rs）の結果。再結晶化熱処理、および追加の 1250 °C LSA 後の Rs 値を示す。点線は 4×10^{20} atoms/cm³ の P ドーピング濃度を有する C フリー Si:P エピタキシャル膜の成長直後 Rs 値を示す。1025 °C の sRTA と追加の LSA 後の C フリー Si:P エピタキシャル膜の Rs 値も参考値として示す。

ずかな減少が確認された。一方、950 °C で 5 秒間の RTA または 1025 °C の sRTA を用いて再結晶化熱処理を行った Si:CP 層の場合には、追加の LSA 後、Rs 値が約 15% 減少した。SIMS による評価により LSA の前後で P の深さ方向プロファイルに変化が無かったことから、追加の LSA による Rs 値の減少は、P 活性化率の増加によるものと考えられる。再結晶化熱処理後の Si:CP 層の Rs 値は、同様の熱処理を行った C フリー Si:P エピタキシャル膜に比べて高いことがわかる。これは、P の Si 格子置換位置への活性化効率が C の存在によって低下し、電氣的に不活性な P が増加していることを示唆している。図 2-4 は、基板温度 -30 °C で C イオン注入し、1025 °C の sRTA で再結晶化熱処理を行い作製した Si:CP 層について、イオン注入された総 C ドーズ量と Rs 値の関係を示す。追加の 1250 °C の LSA の有無についても比較している。各総 C ドーズ量はそれぞれ、イオン注入条件(I)、(II)、(III)に対応している。

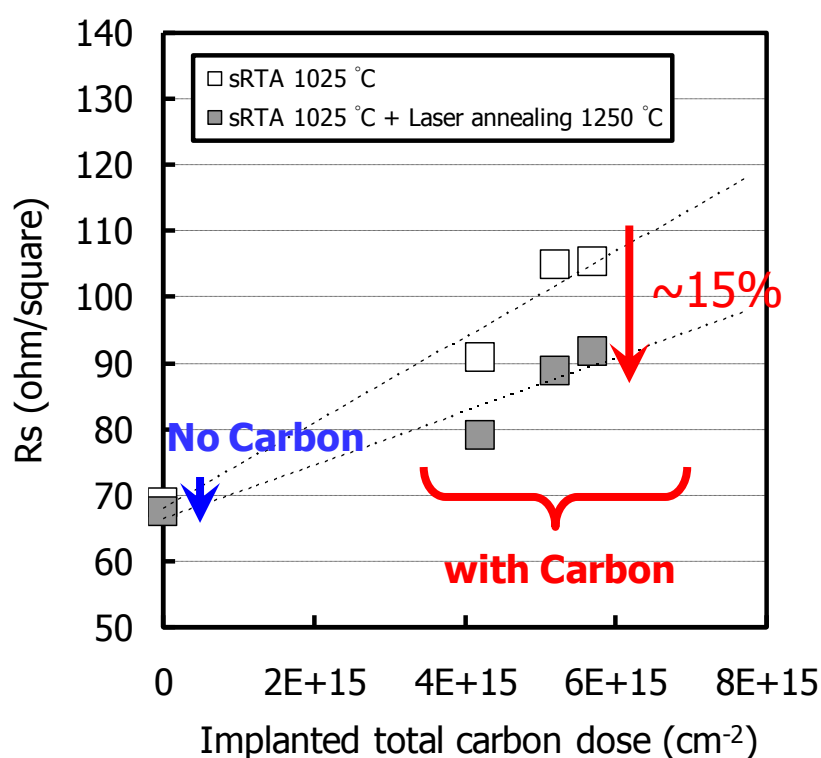


図 2-4. 1025 °C の sRTA で再結晶化熱処理を行い作製した Si:CP 層における Rs 値。C イオン注入は基板温度-30 °C で実施された。1250 °C の LSA の有無についても比較している。横軸はイオン注入条件(I)、(II)、(III)に対応した総 C ドーズ量。

総 C ドーズ量の増加と共に Rs は増加する。また、追加の LSA による約 15% の Rs 値の減少が図 2-4 に表れており、極短時間かつ高温熱処理の LSA により P 活性化率が増加したことがわかる。

基板温度 RT または -30 °C での 3 段階 C イオン注入（条件(I)）と再結晶化熱処理によって形成した C 濃度 1.2% の Si:CP 層からの 004 ω -2 θ X 線回折結果を図 2-5 に示す。それぞれのサンプルにおける基板温度と再結晶化熱処理条件は、Sample (a): -30 °C/1250 °C LSA、Sample (b): -30 °C/1025 °C sRTA、Sample (c): RT/1025 °C sRTA である。図 2-5 に示されたように、X 線回折プロファイルは 2 つの主回折ピークを有する。0 arcsec に位置する Si 基板からの高強度ピークと、Si 基板ピーク位置に対して高角側にシフトした位置に存在する歪み Si:CP 層からの低強度のピークである。これら 2 つのピークの位置は、Si および Si:CP 層内の基板垂直方向の (004) 格子面間隔 d_{004} に対応する。Si:CP メインピーク周りに見られる fringe は、Si:CP 層が良好

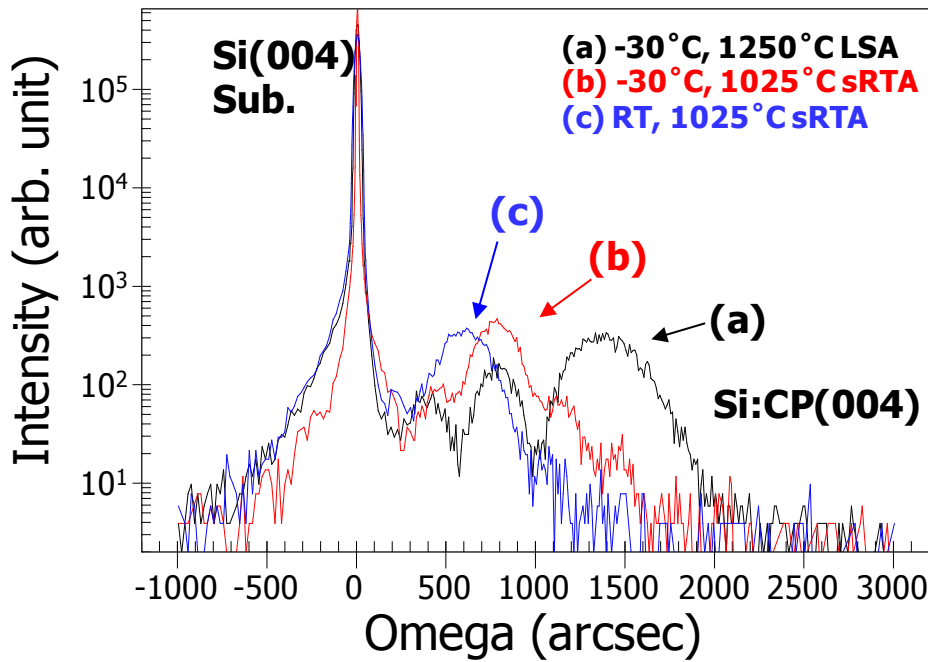


図 2-5. 基板温度 RT または -30°C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理によって作製した Si:CP 層における 004 ω -2 θ X 線回折結果。

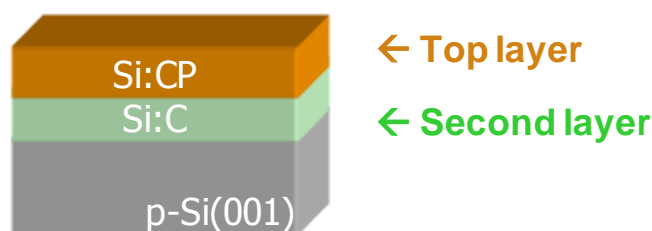
(a) -30°C 、 1250°C LSA、(b) -30°C 、 1025°C sRTA、(c) RT、 1025°C sRTA。

それぞれの歪み Si:CP 層からの回折ピークを矢印で示す。

な結晶性を有することを示している。これらの層は、(224)面を用いた非対称反射測定により、基板面内方向の(220)格子面間隔 d_{220} がSiのそれと一致したことから、下地Si基板に対して完全に格子整合する形で結晶成長しているといえる。動力的回折理論に基づくシミュレーションフィッティングにより004 ω -2 θ X線回折プロファイルを分析することで $[\text{C}]_{\text{sub}}$ を導出した。図2-2(a)に示すように、CはSi:P層とSi基板表面領域に注入されているため、各層のC濃度が異なる2層モデルでX線回折プロファイルをシミュレーションした。Si:CP層（最上層）およびSi基板（第2層）中の $[\text{C}]_{\text{sub}}$ の値を表2-2にまとめた。2層モデルによると、 1250°C のLSAで再結晶化したサンプル（Sample (a)）のSi:CP層（最上層）中の $[\text{C}]_{\text{sub}}$ は1.33% であり、Si基板（第2層）中の $[\text{C}]_{\text{sub}}$ は0.86%であった。この格子置換位置C原子の高濃度化は、LSAによる極めて急速な加熱および冷却プロセスによって達成されたと考えられる。一方、 1025°C のsRTAにより再結晶化したサンプル（Sample (b)）においては、Si:CP層およびSi基板中の $[\text{C}]_{\text{sub}}$ は0.61%および0.97%であった。Sample (b)に対してクラスタCイオン注入は基板

温度-30 °C で行われたが、基板温度RTで作製されたサンプル（Sample (c)）では、Si:CP層およびSi基板中の $[C]_{\text{sub}}$ は0.60%および0.44%であった。 $[C]_{\text{sub}}$ は、Si:CP層中ではほぼ同じ値であり、1025 °CのsRTAでの再結晶化においてSi:CP層中のC原子のほぼ半分は格子置換位置に取り込まれなかったことがわかる。また、基板温度RTの場合、下地Si基板中の $[C]_{\text{sub}}$ は0.97%から0.44%に低下した。これは、EOR（end of range）欠陥と呼ばれる、元のアモルファス/結晶（a/c: amorphous/crystalline）界面付近に残留する微小欠陥によるものと考えられる。イオン注入により形成されたアモルファス層直下の損傷が軽微な領域には、再結晶化熱処理後も完全結晶には戻らず、EOR欠陥として二次的な結晶欠陥が形成される。特に基板温度RTの場合、イオン注入による結晶のアモルファス化にともない、格子間Siや空孔のクラスタ化が起こる。そして、後に示すように、再結晶化後、EOR領域のSi基板中でC原子が格子間位置に偏析し、SiC相析出物が形成され、結果的に、EOR欠陥近傍での $[C]_{\text{sub}}$ が減少したと考えられる[26]。一方、基板温度-30 °Cの場合、格子間Siや空孔のクラスタ化が抑制され、再結晶化後において結晶欠陥の導入が抑制されたと考えられる。

表 2-2. 2層モデルにより得られた Si:CP 層（最上層）および Si 基板（第2層）中の $[C]_{\text{sub}}$ の値。



(I): Triple C implantation				
	Recrystallization anneal	Implantation Temperature	$[C]_{\text{sub}}$ in Si:CP layer (top layer)	$[C]_{\text{sub}}$ in Si substrate (second layer)
(a)	1250 ° C LSA	-30 ° C	1.33 %	0.86 %
(b)	1025 ° C sRTA	-30 ° C	0.61 %	0.97 %
(c)	1025 ° C sRTA	RT	0.60 %	0.44 %

再結晶Si:CP層の結晶性をより詳細に調べるために、HR-XRD逆格子空間マップ（RSM: reciprocal space map）を測定した。図2-6は、Sample (a)、Sample (b)、およびSample (c)における、Si 004およびSi:CP 004回折ピーク周辺のRSMを示している。 ω 方向に沿ったSi:CP 004回折ピークの広がり観察され、室温でCをイオン注入したサンプルにおいて特に顕著である。この ω 方向への広がり、転位/積層欠陥、SiC析出、および元のa/c界面付近のEOR欠陥など、Si:CP層中やSi:CP層/Si界面付近に導入される結晶欠陥によって、結晶格子が部分的に変形し、(004)格子面方位が互いにわずかに傾いているためである。このような結晶方位の揺らぎは、モザイク構造と呼ばれ、結晶性評価の指標となる。各Si:CP回折ピークの ω 方向の半値全幅は、Sample (a)において324 arcsec、Sample (b)において351 arcsec、Sample (c)において827 arcsecである。基板温度が-30 °Cでのイオン注入の場合は、再結晶化の後のSi:CP層は歪みを保持し、基板温度RTでのイオン注入の場合よりも良好な結晶性を示した。

次に、再結晶化Si:CP層の $[C]_{\text{sub}}$ に対するPの効果調べた。図2-7に、C濃度1.2%の再結晶化Si:CおよびSi:CP層からの004 ω -2 θ X線回折プロファイルを示す。基板温度-30 °Cでの3段階Cイオン注入（条件(I)）をPフリーSi基板およびSi:P 膜に実施し、1250 °CのLSAまたは

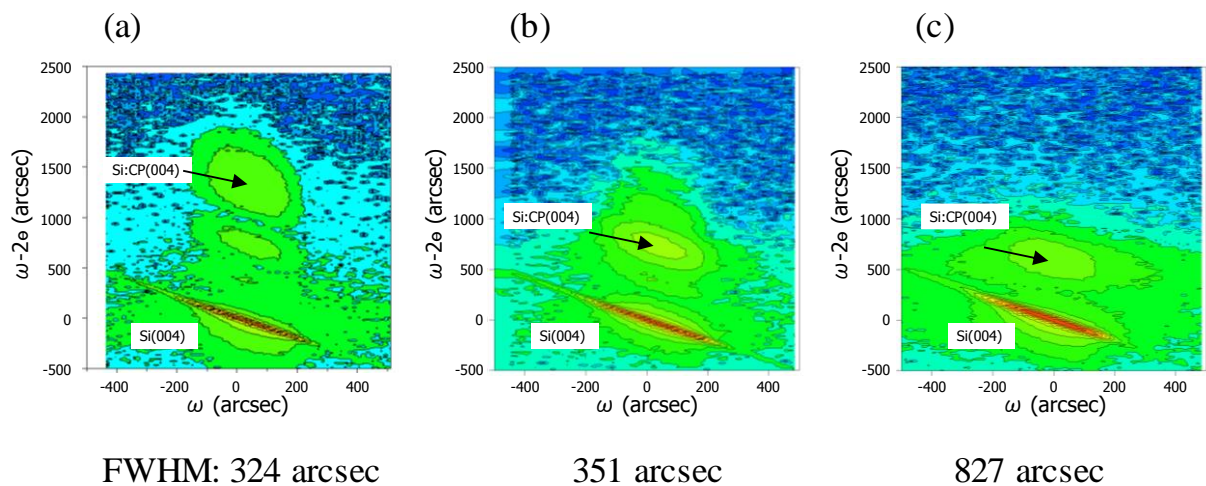


図 2-6. 基板温度 RT または-30 °C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理によって作製した Si:CP 層における 004 反射周りの HR-XRD 逆格子空間マップ（RSM: reciprocal space map）。

(a) -30 °C、1250 °C LSA、(b) -30 °C、1025 °C sRTA、(c) RT、1025 °C sRTA。
それぞれの歪み Si:CP 層からの回折ピークを矢印で示す。

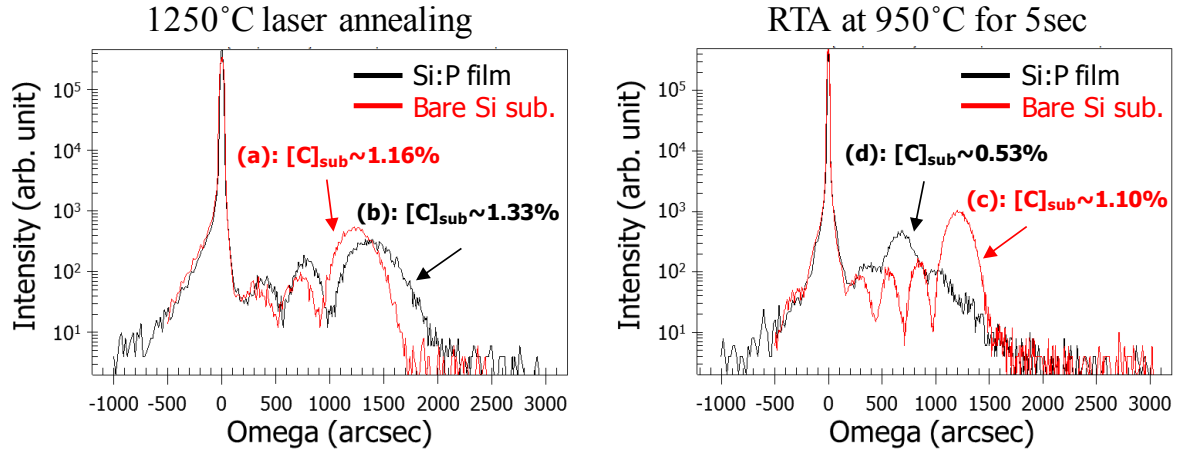


図 2-7. 基板温度-30 °C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理によって作製した Si:C および Si:CP 層における 004 ω -2 θ X 線回折結果。

(a) Si 基板、1250 °C LSA、(b) Si:P 膜、1250 °C LSA、(c) Si 基板、950 °C で 5 秒間の RTA、(d) Si:P 膜、950 °C で 5 秒間の RTA。

それぞれの歪み Si:C 層および Si:CP 層からの回折ピークを矢印で示す。

950 °C で 5 秒間の RTA により再結晶化した。1250 °C の LSA では 1.16%（Si 基板）および 1.33%（Si:P）の $[C]_{\text{sub}}$ を、また、950 °C で 5 秒間の RTA では 1.10%（Si 基板）および 0.53%（Si:P）の $[C]_{\text{sub}}$ を得た。総 C 濃度に対する $[C]_{\text{sub}}$ の割合は、Si 基板においてどちらの再結晶化熱処理の場合でも、90% 以上の高い格子置換率を示した。対照的に、Si:P 膜における C の格子置換率は、950 °C で 5 秒間の RTA により再結晶化した場合、Si 基板の場合と比較して半分程度であった。これは、P と C の Si 格子置換位置への活性化の競合によるものと推測される。一方、LSA による再結晶化は、膜中に P が含まれているにもかかわらず、高い格子置換率を維持し、高歪み Si:CP 膜が達成された。計測された $[C]_{\text{sub}}$ の値 1.33 % は、注入された C 濃度 1.2% を超えている。ここで得た $[C]_{\text{sub}}$ の値は、XRD 測定により得られた Si:CP の格子定数から見積もった格子置換位置の C 濃度である。よって、 $[C]_{\text{sub}}$ の値が注入された C 濃度 1.2% を超える場合、さらに別の要因で Si:CP 格子定数が減少していることになる。これは再結晶化における Si_3P_4 相の形成に起因すると考えられる。Pseudo-cubic- Si_3P_4 は、 Si_3P_4 のエネルギー的に安定な相であり、Si 格子定数 (5.431 Å) よりも小さい格子定数 (4.961 Å) を有することが知られている [27, 28]。

基板温度-30 °Cでの3段階Cイオン注入（条件(I)）と再結晶化熱処理1025 °CのsRTAによって形成したC濃度1.2%のSi:CP層のPおよびCの深さ方向プロファイルを図2-8に示す。併せて、CフリーSi:Pエピタキシャル膜成長直後とそれに1025 °CのsRTAを実施したサンプルのPの深さ方向プロファイルも示す。sRTA後のPプロファイルは、CフリーSi:P膜（15 nm/decade）と比較して、Si:CP層（3.3 nm/decade）において急峻であることがわかり、P拡散の抑制が明らかである。Pの拡散は、C原子と格子間Si原子との相互作用に起因する格子間Si原子の減少によって抑制されたと考えられる[29-31]。矢印で示すように、元のa/c界面付近の深さ75 nmの領域においてPとCのパイルアップが観察された。このようなPとCのパイルアップは、それらがEOR欠陥領域内の点欠陥と相互作用することに起因すると考えられる[26, 32]。

図 2-9 に、基板温度 RT または-30 °C での 3 段階 C イオン注入（条件(I)）と再結晶化

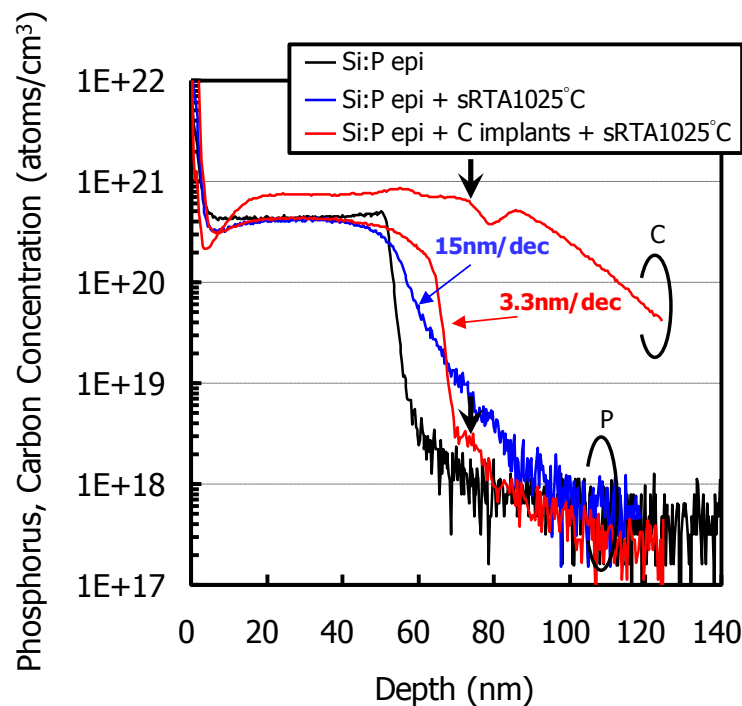


図 2-8. 基板温度-30 °C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理 1025 °C の sRTA によって形成した C 濃度 1.2% の Si:CP 層における P および C の深さ方向プロファイル。併せて、C フリー Si:P エピタキシャル膜成長直後とそれに 1025 °C の sRTA を実施したサンプルの P の深さ方向プロファイルも示す。

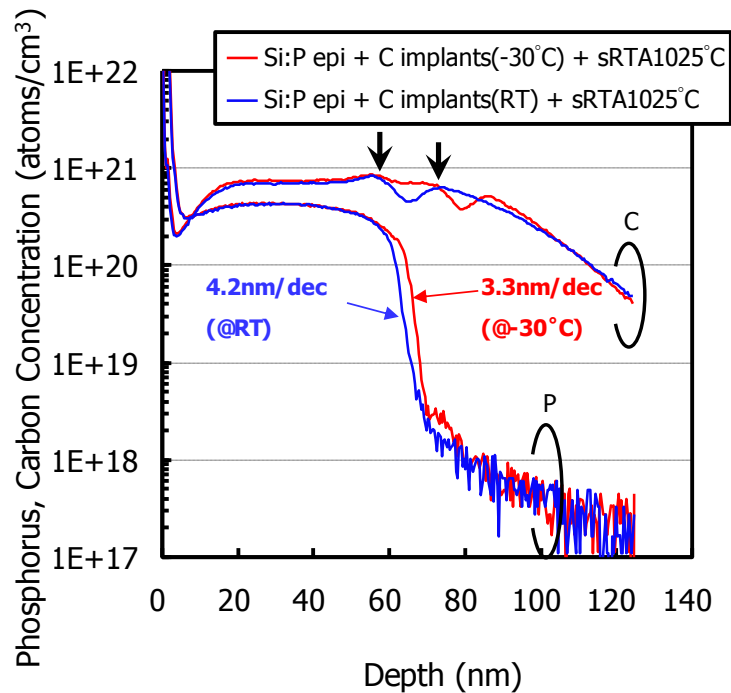


図 2-9. 基板温度 RT または -30°C で実施された 3 段階 C イオン注入（条件(I)）と再結晶化熱処理 1025°C の sRTA によって形成した C 濃度 1.2% の Si:CP 層における P および C の深さ方向プロファイル。

熱処理 1025°C の sRTA によって形成した C 濃度 1.2% の Si:CP 層の P および C の深さ方向プロファイルを示す。P の拡散は、 -30°C と RT の両方の注入条件で抑制されていることがわかる。基板温度 RT での Si:P/Si 基板界面における P プロファイルの急峻さは 4.2 nm/decade であり、 -30°C での注入の場合の 3.3 nm/decade よりわずかに大きい。また、低温注入の場合の P プロファイルのテール部（Si:P/Si 基板界面位置）は、RT 注入の場合よりも基板のより深い位置にある。これは、低温注入の方が形成されるアモルファス層が厚くなるため、a/c 界面がより深い位置に形成されることによる[33]。基板温度 RT および -30°C での a/c 界面位置は、図に矢印で示すように、EOR 欠陥領域内の C 原子のパイルアップによって確認される。

図 2-10 は、基板温度 -30°C での 3 段階（条件(I)）、2 段階（条件(II)）、1 段階（条件(III)）の C イオン注入と再結晶化熱処理 1025°C の sRTA によって形成された C 濃度 1.2% の

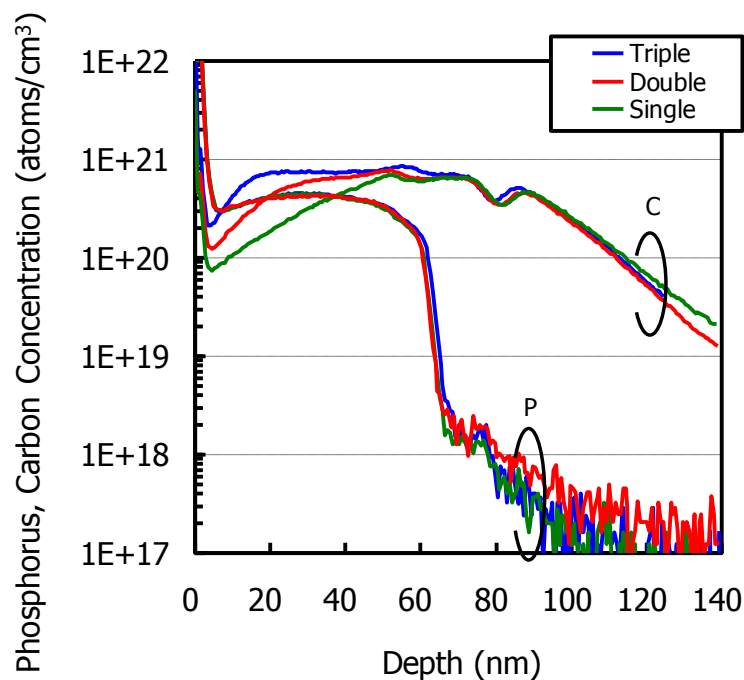


図 2-10. 基板温度-30 °C で実施された 3 段階（条件(I)）、2 段階（条件(II)）、1 段階（条件(III)）の C イオン注入と再結晶化熱処理 1025 °C の sRTA によって形成した C 濃度 1.2% の Si:CP 層における P および C の深さ方向プロファイル。

Si:CP 層における P と C の深さプロファイルを示す。すべての Si:CP 層について、P 拡散の抑制が観察され、このことから、Si:P 層内と Si 基板界面近傍の C 濃度が Si 中の P 拡散を制御するために重要であることが示唆される。図 2-11 に、基板温度-30 °C での 2 段階 C イオン注入（条件(II)）で作製した C 濃度 1.2% の Si:CP 層における P プロファイル急峻性の sRTA 再結晶化熱処理の温度依存性を示す。比較として、C フリー Si:P 膜に同様の sRTA を実施した場合の P プロファイルの急峻性を示す。Si:CP 層において、P プロファイルの急峻性の明確な改善が見られる。C フリー Si:P 膜で、sRTA 温度が高いほど急峻性の値が大きくなる傾向とは対照的に、Si:CP 層における急峻性の値は、この範囲内の sRTA 温度（1000 °C ~1050 °C）で一定である。

C イオン注入における基板温度が Si:CP 層の微細構造に及ぼす影響を調べるために、異なる基板温度で注入された 2 つ Si:CP 層を TEM によって分析した。基板温度 RT または -30 °C

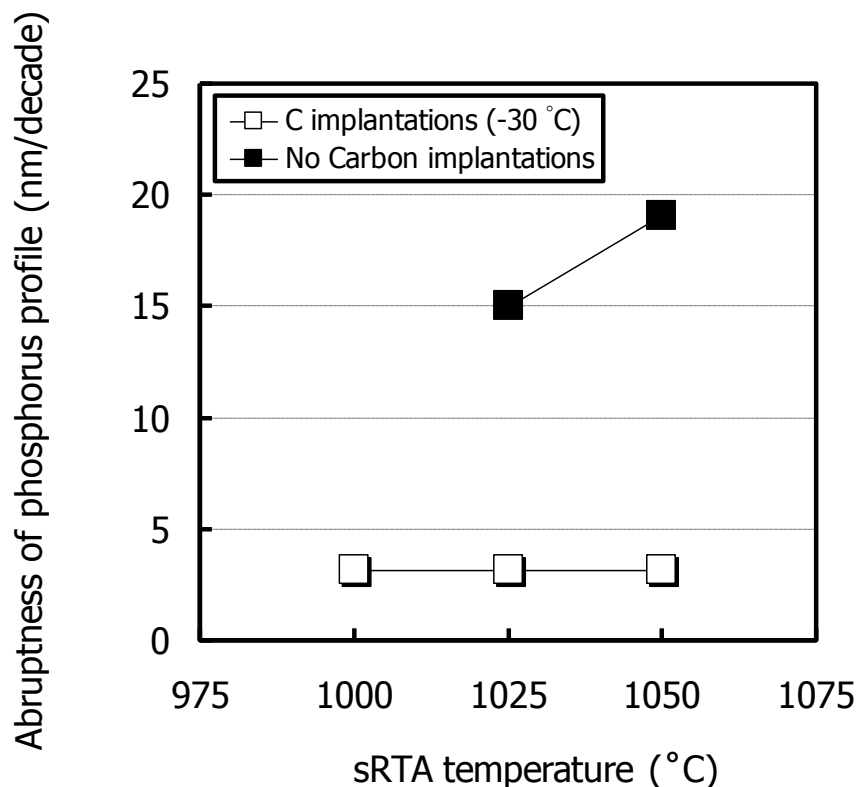


図 2-11. 基板温度-30 °Cでの2段階Cイオン注入（条件(II)）とsRTA再結晶化熱処理によって形成したC濃度1.2%のSi:CP層におけるPプロファイル急峻性のsRTA温度依存性。比較として、CフリーSi:P膜に同様のsRTAを実施した場合のPプロファイルの急峻性を示す。

での3段階Cイオン注入（条件(I)）と再結晶化熱処理1025 °CのsRTAによって形成したC濃度1.2%のSi:CP層の平面／断面TEM観察の結果を図2-12に示す。図2-12(a)および(b)は、基板温度-30 °Cでイオン注入されたサンプル、図2-12(c)および(d)は基板温度RTで注入されたサンプルの結果である。平面TEM像において、-30 °Cで注入されたサンプルと比較して、RTで注入されたサンプルの方が高い密度の積層欠陥と転位ループが検出された。これらの積層欠陥および転位ループは、断面TEM像で確認できるように、再結晶化Si:CP層の表面側に見られる。さらに、矢印で示すように、直径約10 nmのドット状の析出物（SiC相析出物であると考えられる）が、RTで注入されたサンプルの平面TEM像に見られる。さらに、断面TEM像によって示されるように、それらは元のa/c界面付近に存在している。これらのSiC相析出物は、積層欠陥および転位ループの核形成中心として作用し、再結晶化Si:CP層内の結晶性劣化の原因になりうる。-30 °Cでの注入の場合、再結晶化Si:CP層の表面付近での積層欠陥およびEOR

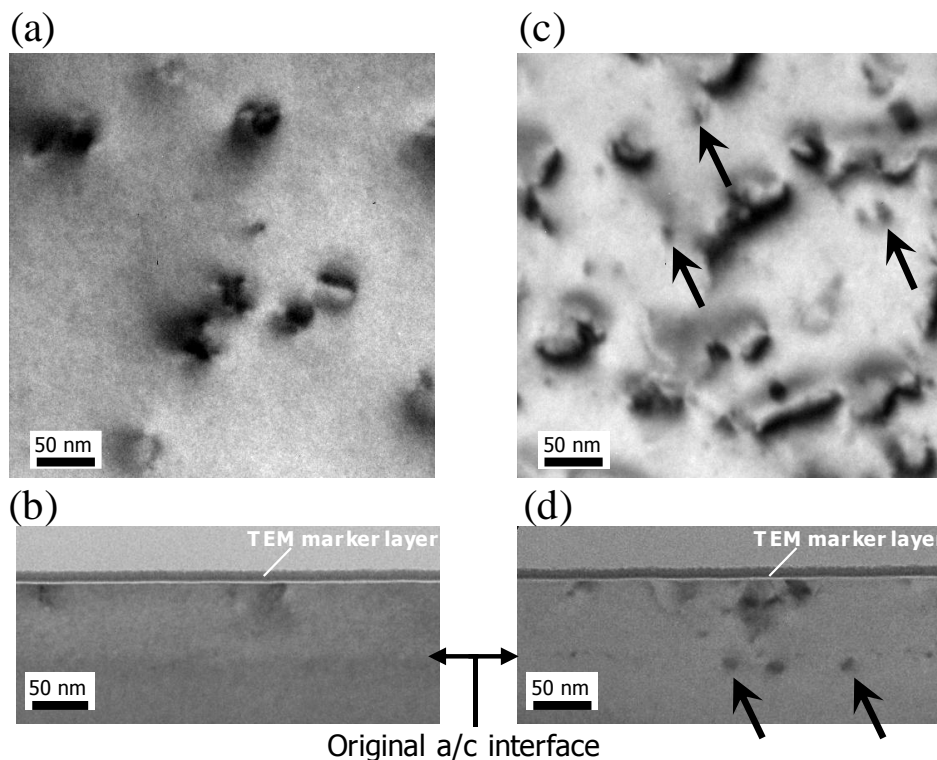


図 2-12. 3 段階 C イオン注入（条件(I)）と再結晶化熱処理 1025 °C の sRTA によって形成した C 濃度 1.2% の Si:CP 層の TEM 観察の結果。

(a) 基板温度 -30 °C、平面 TEM 像、(b) 基板温度 -30 °C、断面 TEM 像、
(c) 基板温度 RT、平面 TEM 像、(d) 基板温度 RT、断面 TEM 像。

欠陥と転位ループ密度が減少している。これは、前述のように、イオン注入時の基板温度の低温化により、格子間Siや空孔のクラスタ化が抑制されることや、a/c界面粗さが改善されることに起因していると考えられる。これらの観察結果は、図2-6に示した、XRDによって明らかにされたSi:CP層の結晶性評価の結果と一致している。

次に、Si:CP 層の微細構造に対する C 注入ドーズ量の影響を調べた。基板温度 -30 °C での 2 段階 C イオン注入（条件(II)）または 1 段階 C イオン注入（条件(III)）と再結晶化熱処理 1025 °C の sRTA によって形成した C 濃度 1.2% の Si:CP 層の断面 TEM 像を図 2-13 に示す。基板温度 -30 °C でイオン注入したサンプルでは EOR 欠陥は観察されず、さらに、Si:CP 層表面領域には、積層欠陥および転位ループがほとんど検出されなかった。特に 1 段階 C イオン注入（条件(III)）の場合、Si:CP 層内において検出できる欠陥は存在しなかった。これは、

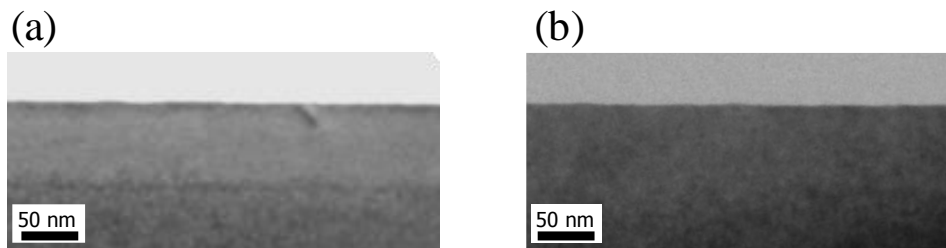


図 2-13. 基板温度-30 °C での C イオン注入と再結晶化熱処理 1025 °C の sRTA によって形成した C 濃度 1.2% の Si:CP 層の断面 TEM 像。

(a) 2 段階 C イオン注入（条件(II)）、
(b) 1 段階 C イオン注入（条件(III)）。

イオン注入ドーズ量の低減により、アモルファス層直下の基板側の結晶格子における注入損傷が少ないためであると推察される。さらに、C イオン注入工程数を減らすことが、Si:CP 表面近くの C 濃度を減少させ、この領域における C 析出および過度の歪み勾配を防ぐ結果となり、結晶欠陥導入が低減されたと考えられる。

2.3.2 Si:CP 膜特性に及ぼすリン濃度と再結晶化熱処理の影響

2.3.1 節では、in-situ P ドープ Si (Si:P) エピタキシャル成長プロセスとクラスタ C イオン注入の組み合わせによる Si:CP 層の形成について、また、クラスタ C イオン注入が再結晶化 Si:CP 層の結晶性に及ぼす影響を調べた。本節では、前節で示された調査結果に基づいて、再結晶化熱処理の熱負荷と Si:P 膜の P 濃度が Si:CP 層の結晶性に与える影響を詳細に調査する。また、クラスタ C と Si のイオン注入を比較することによって、P の拡散への影響を議論する。Si:CP 層内、a/c 界面における結晶欠陥の導入を防ぐため、イオン注入は-30 °Cで行った。用いた 2 段階クラスタ C イオン注入(IV)条件を表 2-1 に、対応する注入条件における箱型 C プロファイルは図 2-2(b) に示してある。

図 2-14 は、基板温度-30 °C での 2 段階 C イオン注入（条件(IV)）と再結晶化熱処理によって形成した Si:CP 層の 004 ω -2 θ X 線回折結果である。再結晶化熱処理は、種々の温度による sRTA または 5 秒間の RTA を用いた。 4×10^{20} atoms/cm³ の P ドーピング濃度を有する Si:P 膜にク

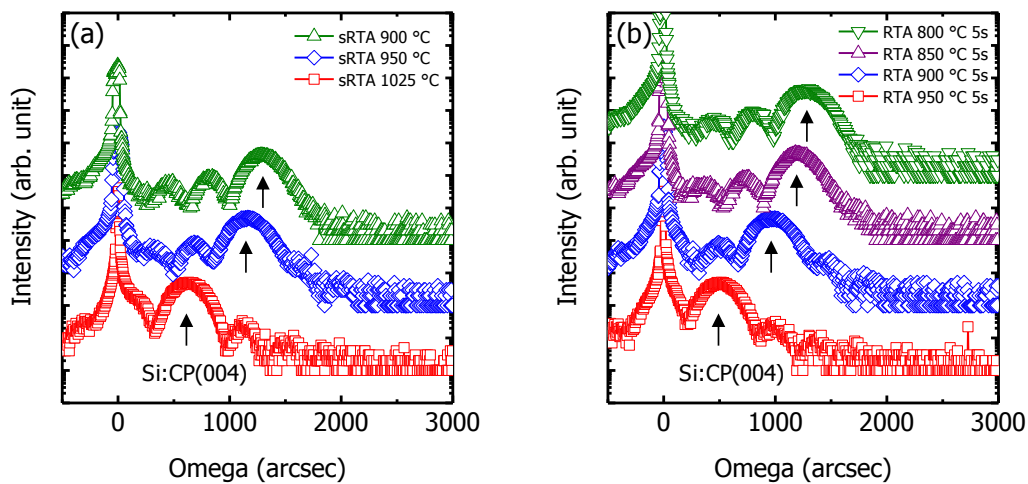


図 2-14. 基板温度-30 °C で実施された 2 段階 C イオン注入（条件(IV)）と種々の再結晶化熱処理によって作製した C 濃度 1.2% の Si:CP 層における 004 ω -2 θ X 線回折結果。Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

(a) sRTA (900 ~ 1025 °C)、および (b) 5 秒間の RTA (800 ~ 950 °C)。
それぞれの歪み Si:CP 層からの回折ピークを矢印で示す。

ラストCイオン注入を行った。図2-14に示すように、X線回折プロファイルは2つの主回折ピークを有する。0 arcsecに位置するSi基板からの高強度ピークと、Si基板ピーク位置に対して高角側にシフトした位置に存在する歪みSi:CP層からの低強度ピークである。これら2つのピークの位置は、Si:CP層内の基板垂直方向の(004)格子面間隔 d_{004} に対応する。Si:CPメインピーク周りに見られるfringeは、Si:CP層が良好な結晶性を有することを示している。これらの層は、(224)面を用いた非対称反射測定により、基板面内方向の(220)格子面間隔 d_{220} がSiのそれと一致したことから、下地Si基板に対して完全に格子整合する形で結晶成長しているといえる。動力学的回折理論に基づくシミュレーションによりX線回折プロファイルを、1層モデルを用いてフィッティング分析することで $[C]_{\text{sub}}$ を導出した。再結晶化Si:CP層において得られた $[C]_{\text{sub}}$ の値を図2-15にまとめる。図2-15に示すように、sRTAまたは5秒間/30秒間のRTAでアニールしたサンプルにおいて、歪みSi:CP層中の $[C]_{\text{sub}}$ の値がアニール温度の上昇と共に減少した。これは、1025 °CでのsRTAおよび5秒間の950 °CでのRTAのような高温での再結晶化アニーリングの場合、Si:CP層中のC原子のほぼ半分がSi格子置換位置に組み込まれないことを示唆している。この効果は、Si中のC原子の固溶限が低いことに起因する。また、

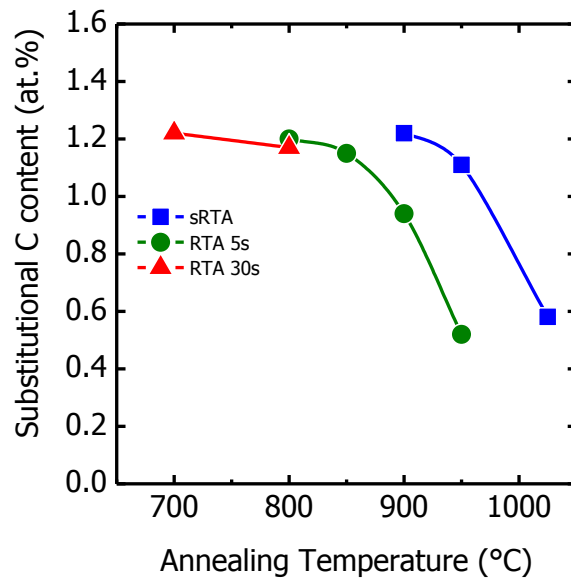


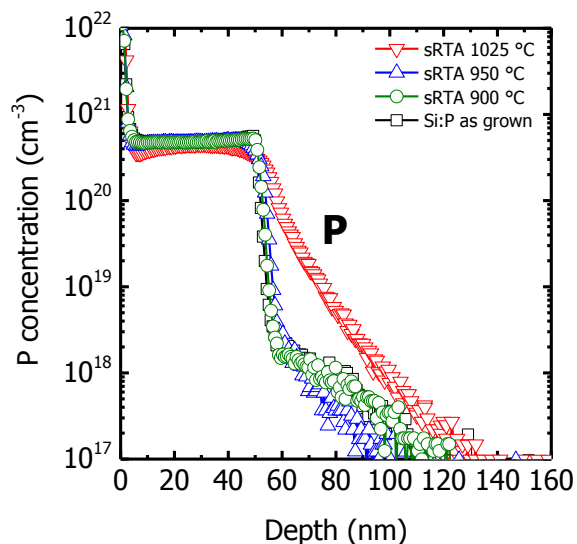
図 2-15. 基板温度-30 °C で実施された 2 段階 C イオン注入（条件(IV)）と種々の再結晶化熱処理によって作製した C 濃度 1.2% の Si:CP 層において得られた $[C]_{\text{sub}}$ の値。Si:P 膜中 P 濃度は $4 \times 10^{20} \text{ atoms/cm}^3$ 。再結晶化熱処理は sRTA または 5 秒間/30 秒間の RTA。

前節でも示されたように、 $[C]_{\text{sub}}$ の量が、Si:CP 層よりも P フリー Si:C 層の場合の方が多かったことから、 $[C]_{\text{sub}}$ の減少は P と C の Si 格子置換位置への活性化の競合によるものと考えられる[34]。加えて、熱処理時間が長いほど、Si:CP 層中の $[C]_{\text{sub}}$ の減少が観察される。この現象は、高温における C の格子置換位置から格子間位置への移動（不活性化）を表しており、高温の熱力学的平衡状態において、C が Si 中で低い溶解度を有するという事実と、Si 中における格子置換位置 C の拡散メカニズムに関連している。C 拡散の基本的なメカニズムはいわゆる、kick-out 機構と呼ばれるもので、格子間 Si が格子置換位置 C を押し出し、拡散可能な格子間 C が発生する[35]。

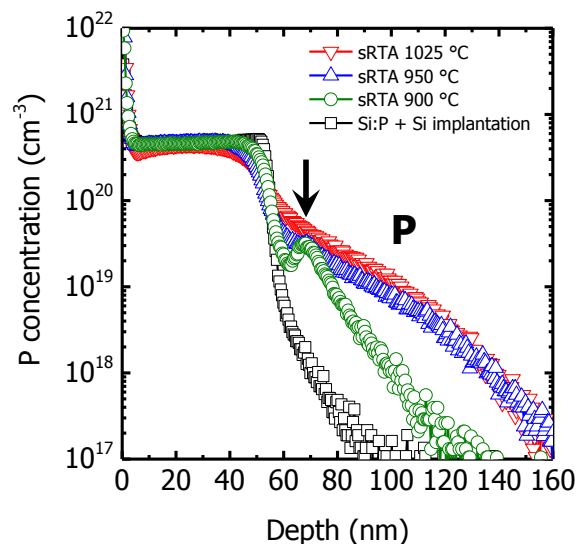
様々な温度で sRTA および 5 秒間の RTA を行った、再結晶化熱処理後の Si:P および Si:CP 層中の P および C の深さプロファイルを図 2-16 に示す。C フリー Si:P 膜に熱処理を行ったサンプルにおける P の深さプロファイルも同時に示す。C フリー Si:P 膜サンプルでは、900 °C と 950 °C の sRTA と 800 °C と 850 °C の 5 秒間の RTA のように、熱処理温度が低いサンプルでは P の拡散は確認されない。一方、1025 °C の sRTA や 950 °C の 5 秒間の RTA など、より高い熱処理

温度のサンプルでは、P拡散が顕著である（図2-16(a)、図2-16(e)参照）。さらに、Siイオン注入を行ったサンプルにおいては、同等の熱処理温度および熱処理時間で、顕著なP拡散が観察された（図2-16 (b)、図2-16(f) 参照）。これらの結果は、イオン注入によって生成され

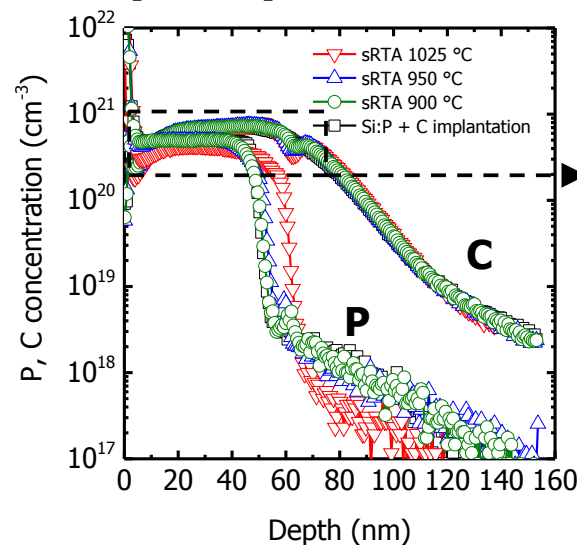
(a) Si:P epi + sRTA



(b) Si:P epi + Si implantation + sRTA



(c) Si:P epi + C implantation + sRTA



(d) Si:P epi + C implantation + sRTA

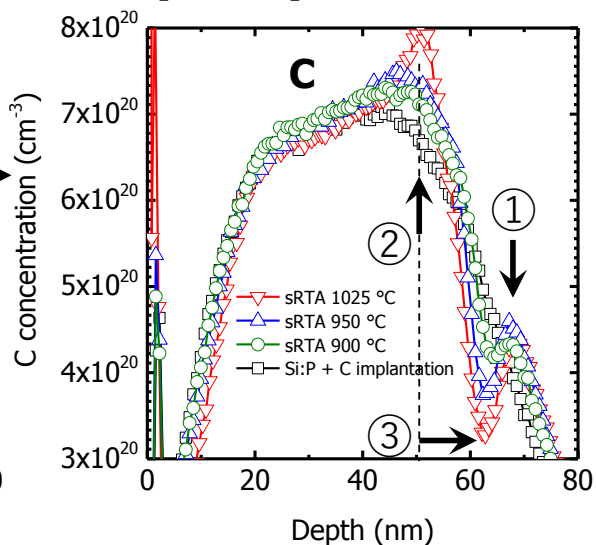


図 2-16. Si:P および Si:CP 層中の P および C の深さプロファイル。

(a) Si:P 膜に sRTA (900 ~ 1025 °C) を行ったもの。

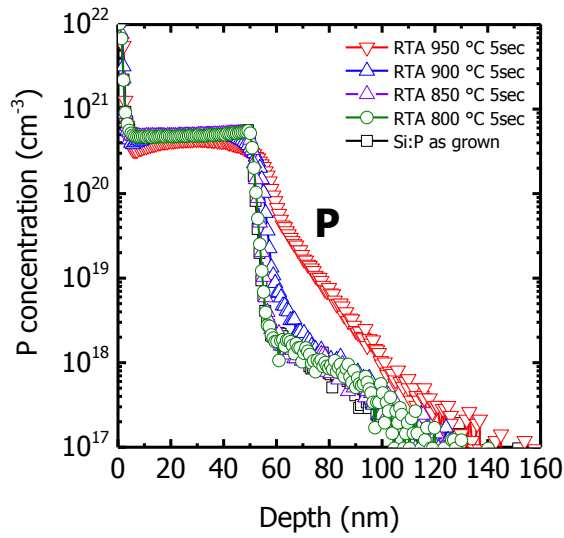
(b) Si:P 膜に、基板温度-30 °C で Si イオン注入 (条件(V)) と sRTA (900 ~ 1025 °C) を行ったもの。

(c) Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入 (条件(IV)) と sRTA (900 ~ 1025 °C) を行ったもの。

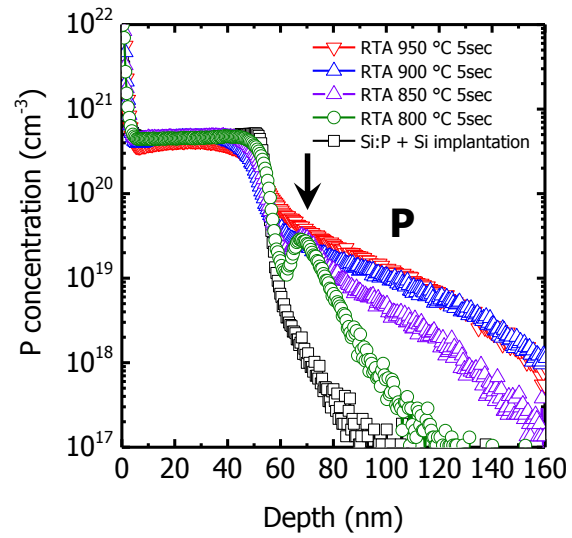
(d) 図 2-16(c)の破線部を拡大したもの。

Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

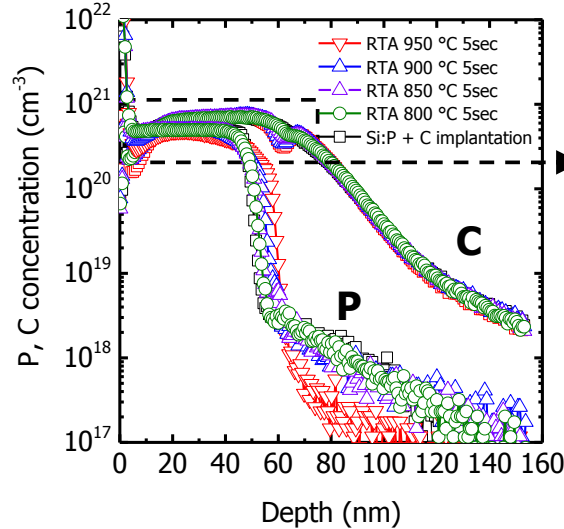
(e) Si:P epi + RTA5sec



(f) Si:P epi + Si implantation + RTA5sec



(g) Si:P epi + C implantation + RTA 5sec



(h) Si:P epi + C implantation + RTA 5sec

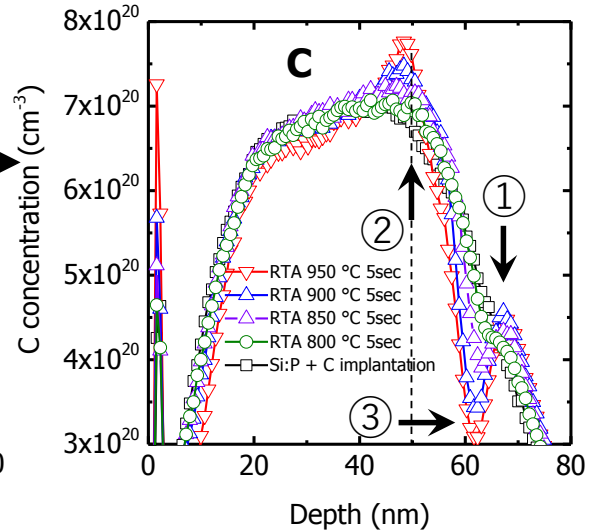


図 2-16 (つづき) . Si:Pおよび Si:CP 層中の P および C の深さプロファイル。

(e) Si:P 膜に 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

(f) Si:P 膜に、基板温度-30 °C で Si イオン注入 (条件(V)) と 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

(g) Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入 (条件(IV)) と 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

(h) 図 2-16(g)の破線部を拡大したもの。

Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

た過剰な点欠陥 (格子間Si原子) とP原子が熱処理中に相互作用して生じる過渡増速拡散

(TED: transient enhanced diffusion) によるものである[36]。このTEDは格子間Si原子を介し

て拡散する元素で顕著に確認される現象である。低温熱処理においては、TEDによるPの拡

散は減少するが、図2-16 (b)、図2-16(f)中の矢印によって示されるように、深さ65 nm付近にPの局所的なパイルアップが生じる。このパイルアップは、元のa/c界面近傍で生じており、熱処理中にEOR欠陥領域から放出される格子間Si原子に起因すると考えられる[37]。再結晶化熱処理中に、EOR欠陥領域から放出された格子間Si原子とP原子が結合することによってP - 格子間Siクラスタが形成される。一旦形成されると、P - 格子間Siクラスタ中のP原子は不動態化されるため、Pの高速拡散プロセスへの寄与が抑制または排除される。その結果、局所的にパイルアップして、EOR欠陥領域付近に残存したと考えられる。さらに、より高い温度、より長い時間で熱処理されたサンプルは、P原子の局所的なパイルアップを示さず、P - 格子間Siクラスタが分解されたことを示唆している。P - 格子間Siクラスタの分解は、Pプロファイルのテール部で示されているように、基板方向拡散の増加に寄与していることがわかる。対照的に、Cをイオン注入したサンプルのPプロファイルからは、その拡散量は少なく、また、EOR欠陥領域付近での局所的パイルアップが小さい（図2-16 (c)、図2-16(g) 参照）。これは、格子間Si原子（I）の減少により、PのTEDおよびP - 格子間Siクラスタの形成が抑制されていることを示している。格子間Si原子（I）はkick-out機構により格子置換C原子（C_s）によって捕捉され、格子間C原子（C_i）を生成する（C_s + I → C_i）ことが知られている[38-40]。

図2-17は、P濃度 1×10^{19} atoms/cm³における接合深さ（Si:Pエピタキシャル膜とSi基板との元の界面を基準とした接合深さ）と、Pプロファイルの急峻性（ 1×10^{20} から 1×10^{19} atoms/cm³の間における濃度勾配）を比較したグラフである。Si:CP層を有するサンプルについては、CフリーSi:P層を有するサンプルと比較すると、高温再結晶化熱処理後でも接合深さは浅い。さらに、CフリーSi:P層を有するサンプルでは、熱処理温度の上昇とともにPの急峻性が劣化する。対照的に、Si:CP層を有するサンプルのPプロファイルの急峻性は、実施した全範囲の再結晶化熱処理温度について、図中の破線で示すSi:P結晶成長直後のサンプルの急峻性と同等の値を維持している。これにより、可動格子間Si原子を捕獲するC原子の存在によって、PのTEDが劇的に抑制されることが再確認された。

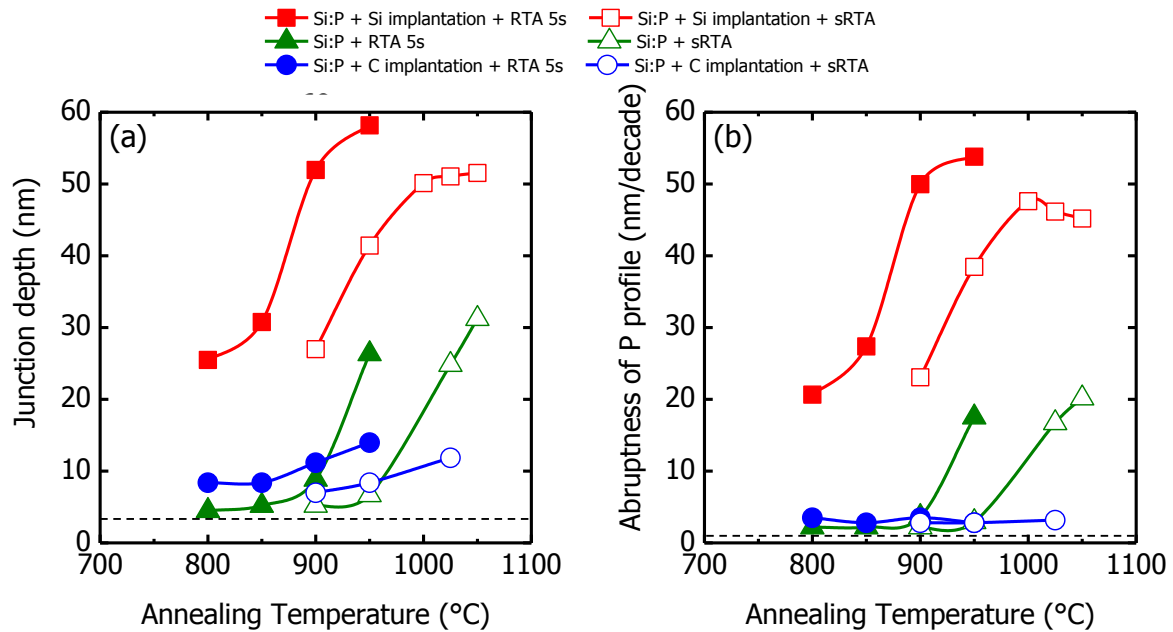


図 2-17. 図 2-16 のサンプルセットにおける
 (a) P 濃度 1×10^{19} atoms/cm³ における接合深さ (Si:P エピタキシャル膜と Si 基板との元の界面を基準とした接合深さ)、
 (b) P プロファイルの急峻性 (1×10^{20} から 1×10^{19} atoms/cm³ の間における濃度勾配)。
 図中の破線は、Si:P 結晶成長直後のサンプルの接合深さと P プロファイル急峻性。

次に、C プロファイルについてさらに詳しく調べる。図 2-16 (d) および 図 2-16 (h) は、それぞれ、図 2-16 (c) および 図 2-16 (g) の破線部を C プロファイルについて拡大したものである。図中の矢印①で示すように、元の a/c 界面付近の深さ約 65 nm で C がパイルアップしていることがわかる。この C のパイルアップは、EOR 欠陥領域近傍に安定な C - 格子間 Si クラスタが形成されたことに起因すると考えられる。元の a/c 界面直下に位置する EOR 欠陥領域は、熱処理中に可動格子間 Si 原子の供給源となることが知られている [41, 42]。可動格子間 Si 原子が C - 格子間 Si クラスタ形成のために取り込まれ、格子間 Si 原子濃度が減少した結果、P の TED が抑制される。さらに、図 2-16 (d) および 図 2-16 (h) の矢印②で示されるように、深さ約 50 nm の位置に別の C のパイルアップが存在することがわかる。深さ約 50 nm の位置は、Si:P エピタキシャル層と Si 基板との元の界面付近の位置であり、より高温で熱処理されたサンプルにおいて、パイルアップする C 濃度が上昇している。また同時に、矢印③で示すように、基板側の矢印①で示された C パイルアップ部より浅い領域で C 濃度が低下している。これらは、①で

示されたパイルアップ領域に取り込まれていない、可動C原子がSi:P膜方向に拡散していることを意味している。

上記のような、Si:Pエピタキシャル膜とSi基板との元の界面付近におけるP原子とC原子との間の相互作用を調査するために、異なるP濃度を有するSi:CP層を作製し、異なる熱処理を実施した。図2-18は、異なるP濃度を有するSi:P膜に、基板温度-30 °Cで2段階Cイオン注入（条件(IV)）と種々の再結晶化熱処理を行い形成したC濃度1.2%のSi:CP層のCの深さ方向

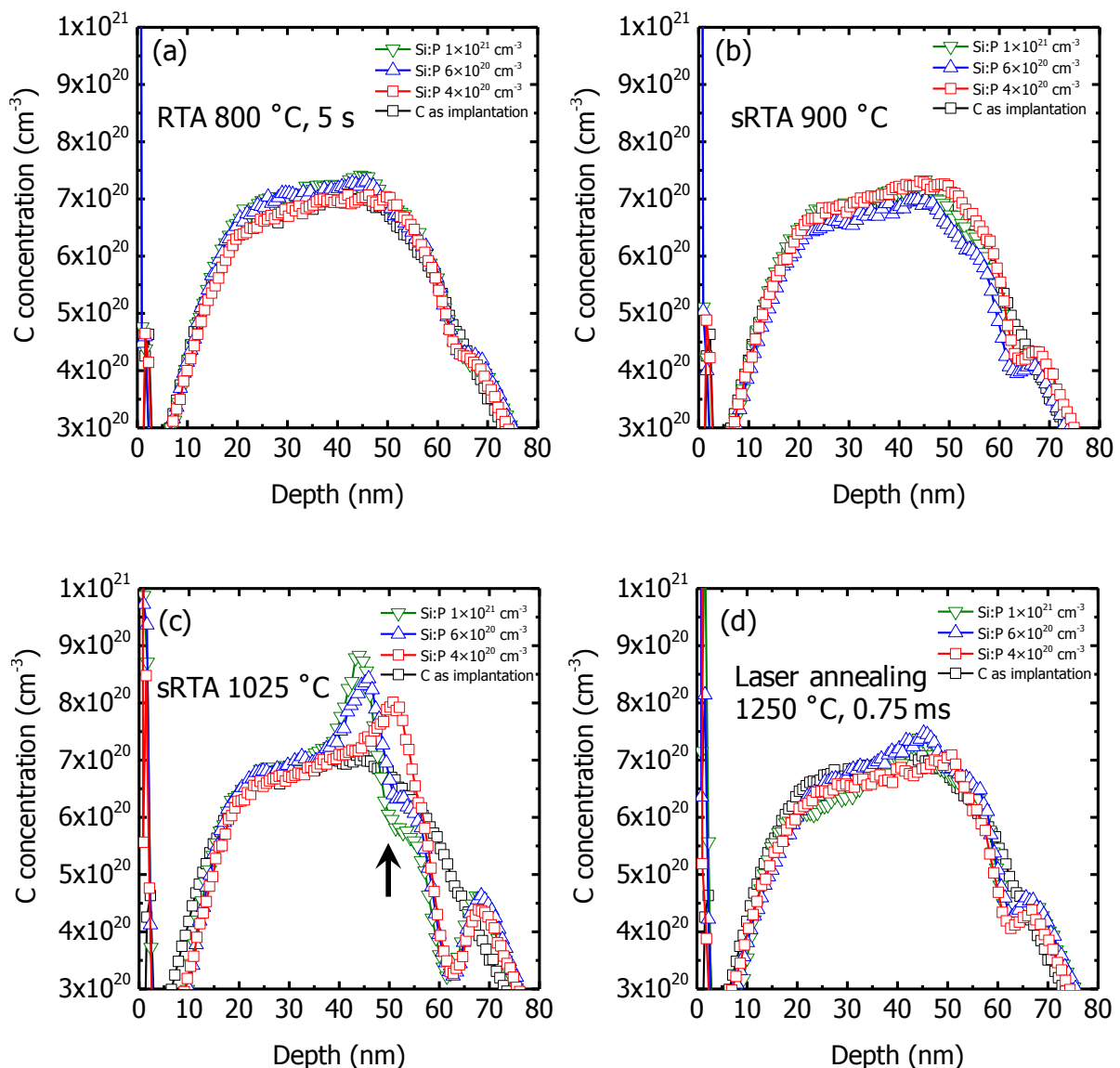


図 2-18. 異なる P 濃度を有する Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入（条件 (IV)）と種々の再結晶化熱処理を行い形成した C 濃度 1.2% の Si:CP 層の C の深さ方向プロファイル。(a) 800 °C で 5 秒間の RTA、(b) 900 °C での sRTA、(c) 1025 °C での sRTA、(d) 1250 °C の LSA。

プロファイルを示す。Si:P膜中P濃度はそれぞれ、 4×10^{20} atoms/cm³、 6×10^{20} atoms/cm³、および 1×10^{21} atoms/cm³であり、4種類の異なる熱処理条件、800 °Cで5秒間のRTA、900 °CでのsRTA、1025 °CでのsRTA、および1250 °CのLSAについて比較した。図2-18(c)に示すように、1025 °CのsRTAのような、高い温度で熱処理されたサンプルでは、矢印で示すように深さ50 nm付近（Si:P膜とSi基板との元の界面付近）で、C原子のパイルアップが観察された。また、パイルアップ領域のCの濃度は、Si:P層内のP濃度が高いほど増加する。これらの結果は、CとP原子が相互作用してSi:P層とSi基板との界面でC-Pクラスタが形成されていることを示唆している。一方、900 °CのsRTA、800 °Cでの5秒間のRTAなど、低い温度で熱処理したサンプルでは、C原子のパイルアップは観察されない。また、図2-18 (d)に示すように、1250 °CのLSAで再結晶化させたサンプルでは、非常に急速な加熱および冷却プロセスのためにCの拡散が妨げられ、C原子のパイルアップが抑制されていることが明らかになった。これらの結果は、格子間C拡散およびC-Pクラスタ形成が、より低い熱処理温度、または高温であっても極めて急速な加熱および冷却プロセスでは抑制されることを示している。異なるP濃度を有するSi:CP層におけるの接合深さおよびPプロファイルの急峻性を図2-19に示す。同じ条

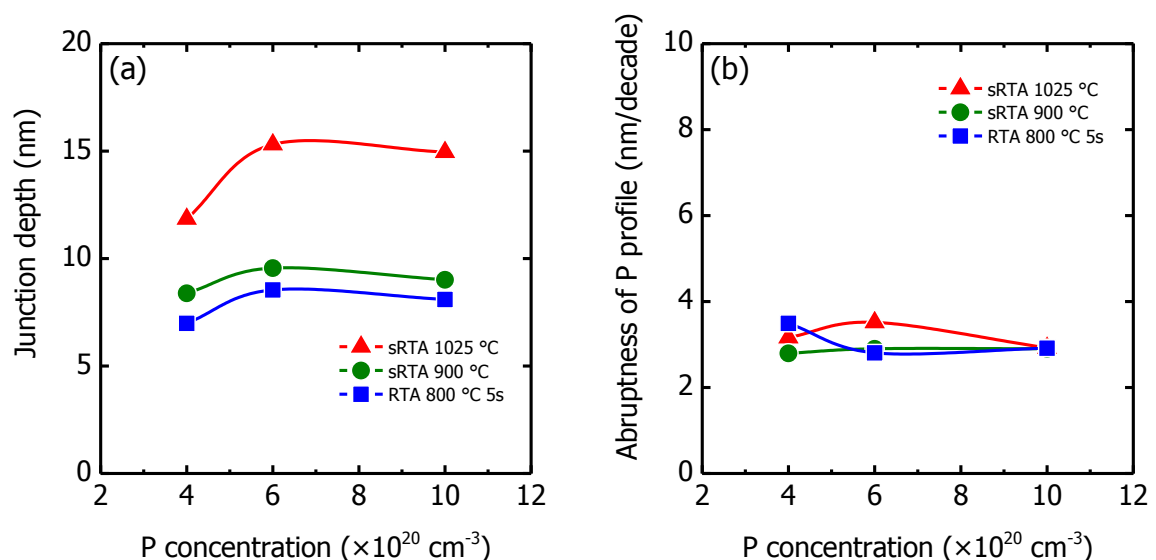


図 2-19. 異なる P 濃度を有する Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入（条件 (IV)）と種々の再結晶化熱処理を行い形成した C 濃度 1.2% の Si:CP 層の、
(a) P 濃度 1×10^{19} atoms/cm³ における接合深さ（Si:P エピタキシャル膜と Si 基板との元の界面を基準とした接合深さ）、
(b) P プロファイルの急峻性（ 1×10^{20} から 1×10^{19} atoms/cm³ の間における濃度勾配）。

件で熱処理されたSi:CP膜中において、接合深さはP濃度の増加と共に増加傾向にあるが、急峻性の値は3 nm/decade程度で一定であり、図2-17で得られた値と同等の非常に低い値が得られた。接合深さが増加するにもかかわらず、接合領域のPプロファイル急峻性に劣化が生じなかった。これは、PのTEDが抑制され、 1×10^{19} atoms/cm³付近の高濃度領域でPの濃度依存拡散が支配的となるためである。高濃度領域でのPの濃度依存拡散と低濃度領域でのTED抑制により、一般的な拡散現象によりもたらされるブロードなPプロファイル（拡散に伴い、接合深さが増加し、同時に急峻性も劣化する）とは異なり、P濃度 1×10^{21} atoms/cm³を有するSi:CP層は、P濃度 4×10^{20} atoms/cm³の場合と比較して、同等かまたは改善されたドーパント界面急峻性を有するより深い接合部が得られたといえる。

図 2-20 に、再結晶化熱処理条件の関数としての Si:P および Si:CP 層のシート抵抗 (R_s) を示す。追加の LSA (1175 ~ 1250 °C) の有無による R_s 値も同時にプロットしてある。C フリーSi:P エピタキシャル膜 (P 濃度 4×10^{20} atoms/cm³) の成長直後の R_s 値は 117 Ω /sq であった。熱処理を行うと、C フリーSi:P エピタキシャル膜の R_s 値は、図 2-20 (a)および図 2-20(d) に示されるように熱処理温度が上昇するにつれて減少する。また、より低い温度で熱処理されたサンプルの場合には、追加の LSA によるさらなる R_s 値の減少が確認された。この LSA による R_s 値の低減は、LSA による P の拡散が検出されなかったことから、膜中の P 活性化率の増加によるものであると考えられる。図 2-20 (b)および図 2-20(e) に示すように、Si イオン注入および再結晶化熱処理を行った Si:P 膜の R_s 値は、Si イオン注入されていない Si:P 膜のそれと比較して小さく、再結晶化熱処理温度依存性は非常に少ない。これは、より低い再結晶化熱処理温度でも固相エピタキシャル成長 (SPE: solid phase epitaxy) によって効率的な P 活性化が達成されたからである。この再結晶化中の効率的な P 活性化のために、追加の LSA による R_s の減少量は少なくなる。sRTA および 5 秒間の RTA による再結晶化熱処理を用いた Si:CP 層の R_s 値は、図 2-20 (c)および図 2-20(f) に示すように、熱処理温度が低温から

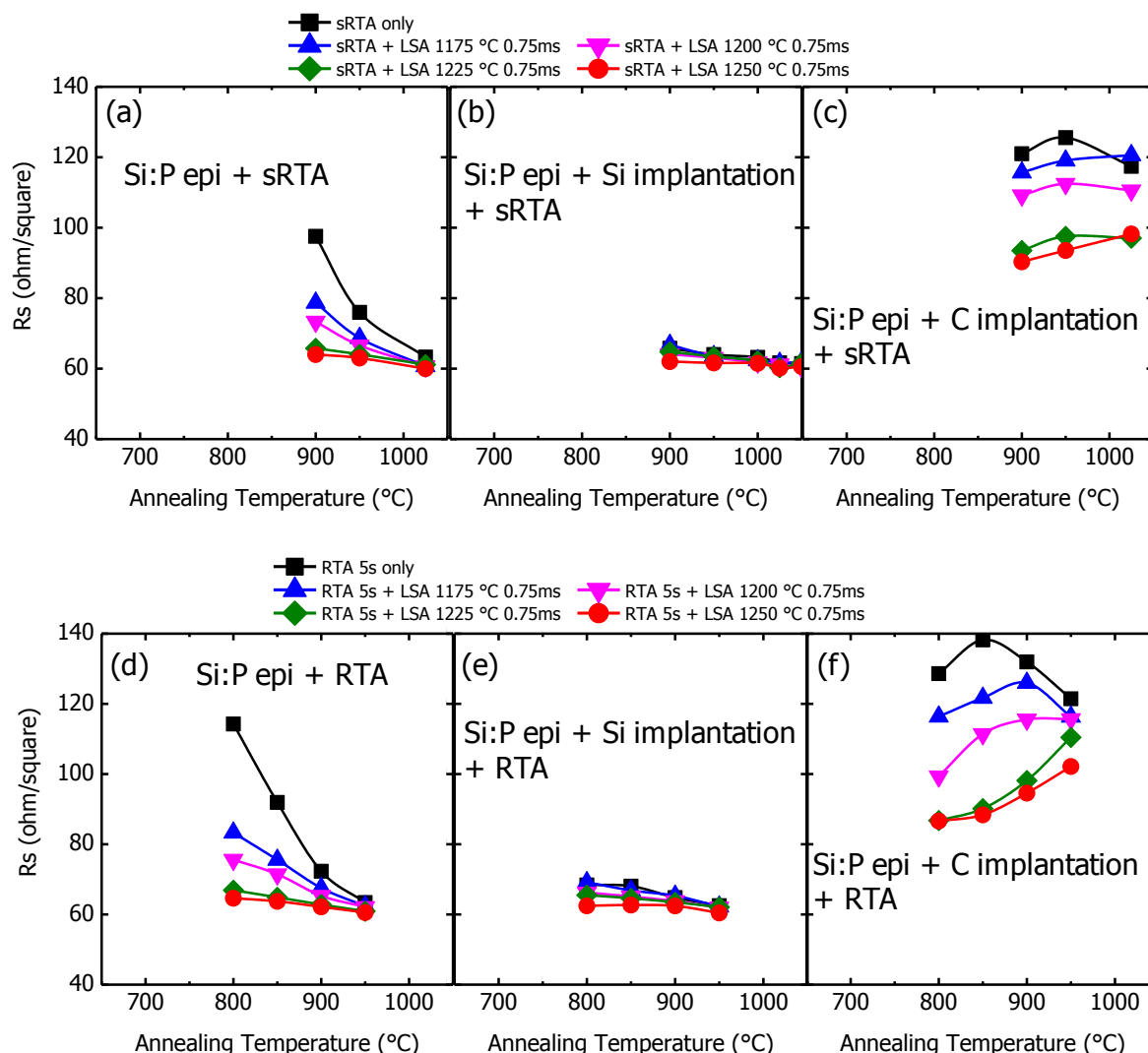


図 2-20. Si:P および Si:CP 層のシート抵抗 (R_s)。

(a) Si:P 膜に sRTA (900 ~ 1025 °C) を行ったもの。

(b) Si:P 膜に、基板温度-30 °C で Si イオン注入 (条件(V)) と sRTA (900 ~ 1025 °C) を行ったもの。

(c) Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入 (条件(IV)) と sRTA (900 ~ 1025 °C) を行ったもの。

(d) Si:P 膜に 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

(e) Si:P 膜に、基板温度-30 °C で Si イオン注入 (条件(V)) と 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

(f) Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入 (条件(IV)) と 5 秒間の RTA (800 ~ 950 °C) を行ったもの。

追加の LSA (1175 ~ 1250 °C) の有無による R_s 値も示す。Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

中温に上昇するにつれて増加した。しかし、RTA 温度をさらに上昇させると、 R_s 値が低下した。この傾向は、P の活性化と C-P クラスタ形成の競合関係により説明できる。つまり、Si:CP 層の再結晶化熱処理中に P 活性化および C 析出物/クラスタ形成プロセスの両方が起こ

り、C析出物/クラスタ形成プロセスはP活性化を妨害すると考えられる。熱処理温度を上昇させると、より良好なP活性化がもたらされるが、C析出物/クラスタの量も増大する。一方、低い熱処理温度では、P原子はSPEによって効率的に活性化されると同時に、図2-16(d)および図2-16(h)に示したように、C析出およびクラスタ形成は、その温度でのCの低い拡散性のために抑制される。追加の高温LSAを導入することは、Pを拡散させることなくSi:CP層中の残留”不活性”P原子の活性化に寄与し、顕著なRs値の減少をもたらす。よってRs値は、LSA温度の上昇と共に単調に減少し、結果的に再結晶化熱処理温度が最も低いSi:CP層においてRs値が最も小さくなったと考えられる。

次にホール測定を用い、P活性層におけるキャリア濃度と移動度を調査した。図2-21に、Si:PおよびSi:CP膜中のP活性化層のホールシートキャリア濃度を、追加LSAの温度の関数として示す。LSA温度が上昇すると、高温でのP活性化が改善されるためにホールシートキャリア濃度が増加した。さらに、LSAのみによって直接再結晶化させたSi:PおよびSi:CP膜は、sRTAによって再結晶化させたSi:CP膜と比較してより高いホールシートキャリア濃度を示した。これは、より高速なSPE速度および固溶限を超えるようなドーパントの活

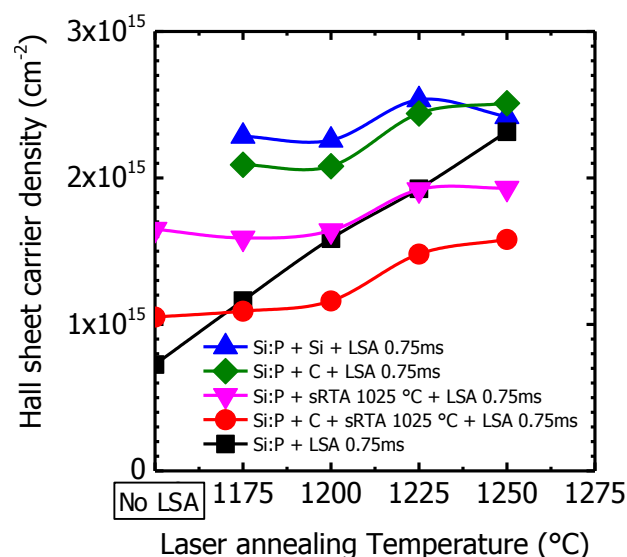


図2-21. Si:PおよびSi:CP層のホールシートキャリア濃度。サンプルはそれぞれ、Si:P膜に熱処理を行ったもの、Si:P膜に基板温度-30℃でSiイオン注入（条件(V)）と再結晶化熱処理を行ったもの、Si:P膜に基板温度-30℃で2段階Cイオン注入（条件(IV)）と再結晶化熱処理を行ったものである。追加のLSAによるホールシートキャリア濃度の変化を示す。Si:P膜中P濃度は 4×10^{20} atoms/cm³。

性化を可能にする極めて急速な加熱および冷却プロセスのためである[43, 44]。より高いホールシートキャリア濃度が達成される他の理由は、図 2-18 (d)で示したように、超短時間熱処理による C-P クラスタ形成の抑制である。LSA のみによって活性化熱処理された C フリー Si:P エピタキシャル膜では、シートキャリア濃度が温度に対して単調に増加した。この傾向は、単純な Si 中の P 活性化の温度依存性によるものである。図 2-22 は、Si:P および Si:CP 膜中の P 活性化層のホール移動度を、追加 LSA の温度の関数として示したものである。LSA 温度が上昇すると、イオン化不純物散乱の影響によりホール移動度が低下する。ホールシートキャリア濃度とホール移動度の関係を図 2-23 に示す。イオン化された不純物による散乱の影響により、ホールシートキャリア濃度とホール移動度との間の強い相関関係が観察された[45]。また、C イオン注入による明確な移動度劣化が検出された。移動度に対する C の影響を調べるために、異なる総 C ドーズ量を有するサンプルを作製した。図 2-24 は、様々な熱処理条件で再結晶化させた Si:P および Si:CP 層におけるホール移動度を、総 C ドーズ量の関数として示したものである。ホール移動度は総 C ドーズ量の増加とともに減少した。こ

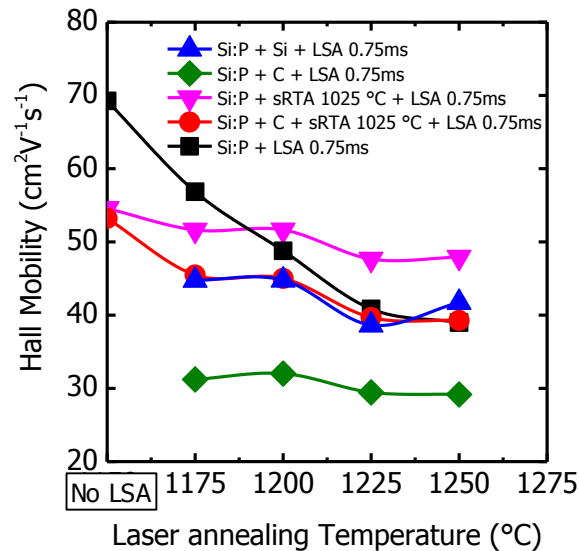


図 2-22. Si:P および Si:CP 層のホール移動度。サンプルはそれぞれ、Si:P 膜に熱処理を行ったもの、Si:P 膜に基板温度-30 °C で Si イオン注入（条件(V)）と再結晶化熱処理を行ったもの、Si:P 膜に基板温度-30 °C で 2 段階 C イオン注入（条件(IV)）と再結晶化熱処理を行ったものである。追加の LSA によるホール移動度の変化を示す。Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

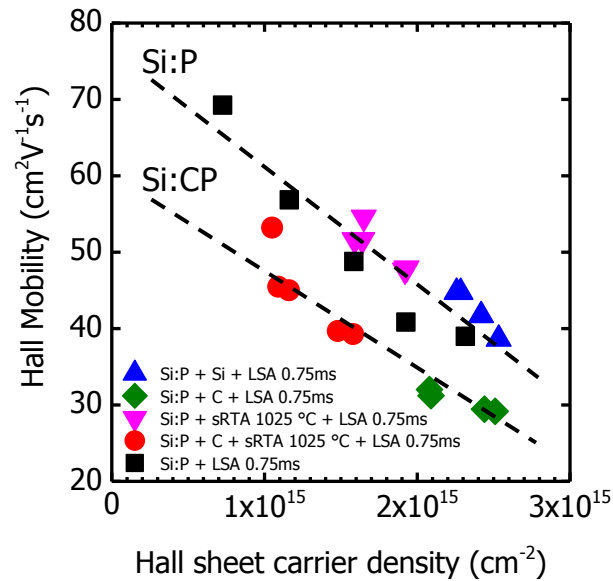


図 2-23. Si:P および Si:CP 層のホールシートキャリア濃度とホール移動度の関係。サンプルはそれぞれ、Si:P 膜に熱処理を行ったもの、Si:P 膜に基板温度-30 °C で Si イオン注入（条件(V)）と再結晶化熱処理を行ったもの、Si:P 膜に基板温度-30 °C で 2 段階 C イオン注入（条件(IV)）と再結晶化熱処理を行ったものである。Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

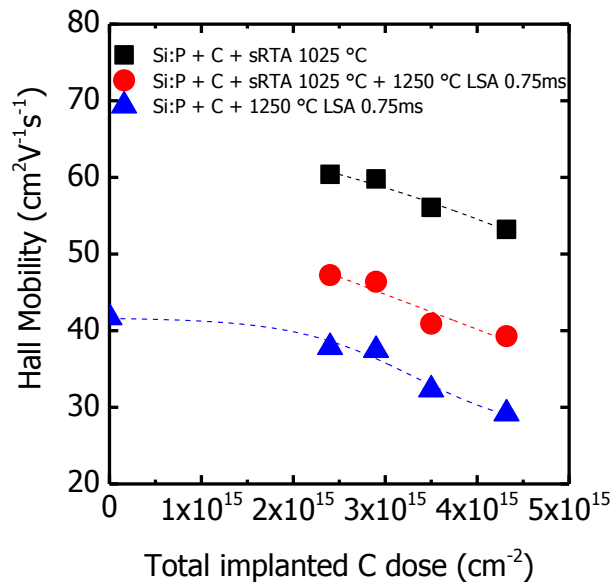


図 2-24. Si:P および Si:CP 層のホール移動度。サンプルは、Si:P 膜に基板温度-30 °C で Si イオン注入（条件(V)）と種々の再結晶化熱処理を行ったもの。熱処理条件はそれぞれ、1025 °C sRTA のみ、1025 °C sRTA と 1250 °C LSA、1250 °C LSA のみである。Si:P 膜中 P 濃度は 4×10^{20} atoms/cm³。

の移動度の低下は、格子置換 C 原子による合金散乱（alloy scattering）と電氣的に活性な格子間 C 複合体による荷電不純物散乱（charged impurity scattering）の両方によって引き起こさ

れていると考えられる[46, 47]。

種々の熱処理を用いて作製した、異なる P 濃度を有する Si:CP 層の R_s 値を、図 2-25 に示す。800 °C で 5 秒間の RTA および 900 °C での sRTA で再結晶化させたサンプルにおいて、Si:CP 膜中の P 濃度の増加とともに R_s 値が増加した。一方、1025 °C の sRTA で再結晶化したサンプルは、Si:CP 膜中の P 濃度が高いほど R_s 値が低くなった。1025 °C の sRTA で R_s 値が減少する主な理由は、図 2-26 に示すように、P 濃度が高いほど格子置換位置 C 濃度 $[C]_{\text{sub}}$ が低下し、この熱処理温度での格子置換位置 C の急激な減少によって生じる高い P 活性化によるものと考えられる。これは、Si 格子置換位置を占めようとする C と P の間の競合反応が減少した結果である。さらに、図 2-25 に示すように、追加の LSA を導入することで、さらに高い温度での P 活性化が達成されるため、これらの膜においてより高い P 濃度でより低い R_s 値を達成することが可能となった。

様々な再結晶化熱処理条件における Si:CP サンプルの断面 TEM 像を図 2-27 に示す。全てのサンプルにおいて EOR 欠陥、SiC 相析出物は観察されなかった。しかしながら、高温熱処理により再結晶化させた Si:CP 層の表面には、矢印で示すように、積層欠陥および転位

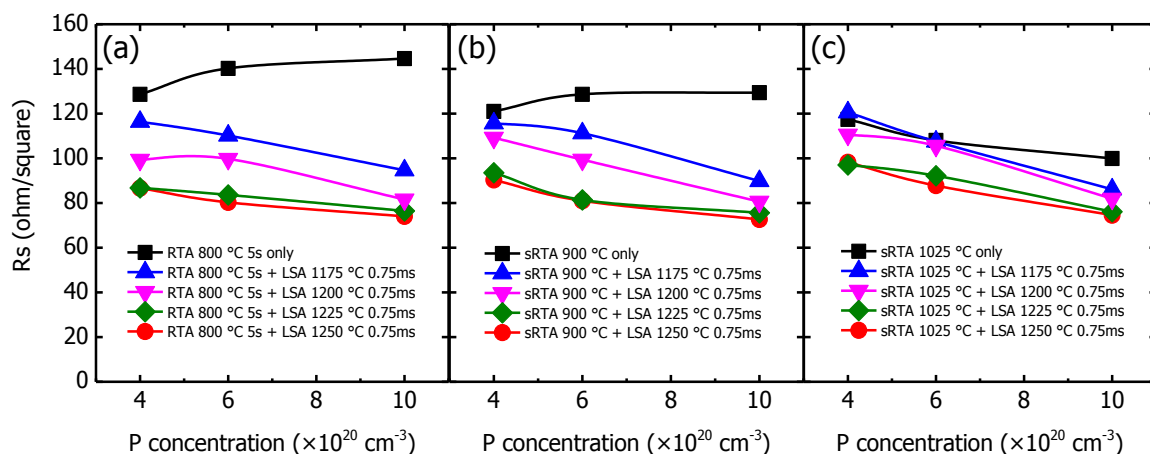


図 2-25. 異なる P 濃度を有する Si:P 膜に、基板温度-30 °C で 2 段階 C イオン注入（条件 (IV)）と種々の再結晶化熱処理を行い形成した C 濃度 1.2% の Si:CP 層の R_s 値。

(a) 800 °C で 5 秒間の RTA と追加 LSA（1175 ~ 1250 °C）。

(b) 900 °C の sRTA と追加 LSA（1175 ~ 1250 °C）。

(c) 1025 °C の sRTA と追加 LSA（1175 ~ 1250 °C）。

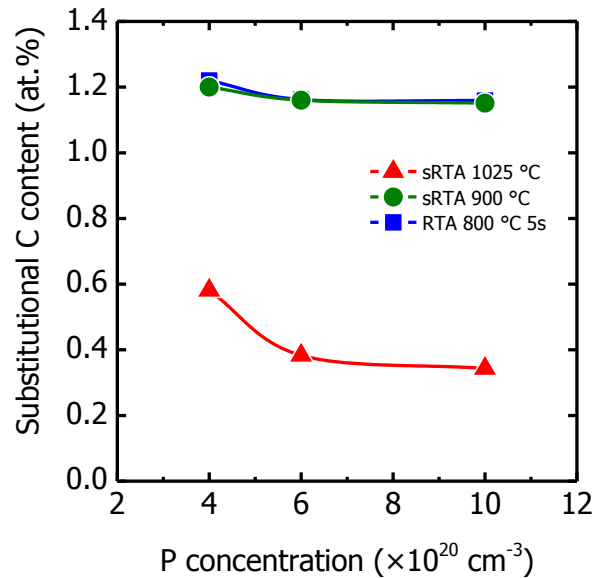


図 2-26. 異なる P 濃度を有する Si:P 膜に、基板温度-30 °C で実施された 2 段階 C イオン注入（条件(IV)）と種々の再結晶化熱処理によって作製した C 濃度 1.2% の Si:CP 層において得られた $[C]_{\text{sub}}$ の値。

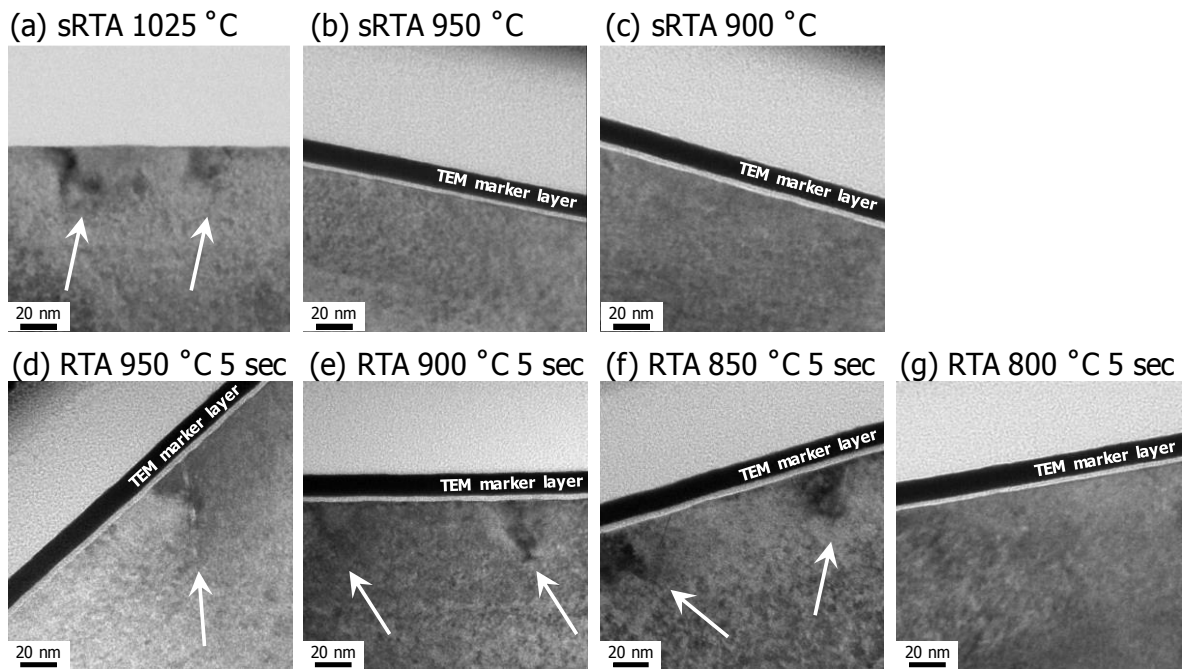


図 2-27. 基板温度-30 °C で実施された 2 段階 C イオン注入（条件(IV)）と種々の再結晶化熱処理によって作製した C 濃度 1.2% の Si:CP 層の断面 TEM 像。(a) 1025 °C での sRTA、(b) 950 °C での sRTA、(c) 900 °C での sRTA、(d) 950 °C で 5 秒間の RTA、(e) 900 °C で 5 秒間の RTA、(f) 850 °C で 5 秒間の RTA、(g) 800 °C で 5 秒間の RTA。Si:P 膜中 P 濃度は $4 \times 10^{20} \text{ atoms/cm}^3$ 。

ループが検出された。高温熱処理で形成される C-P クラスタはこれら欠陥の核形成中心として作用する可能性がある。積層欠陥および転位ループは、900 °C の sRTA および 800 °C 5 秒

間の RTA のような低温熱処理で再結晶化させた Si:CP サンプルにはほとんど見られなかった。

2.3.3 Si:CP 層の 3D FinFET デバイス構造への応用

先端トランジスタ作製に向けてクラスタ C イオン注入技術の適用を評価するために、実際のデバイス構造を用いて評価を行った。本節では、トランジスタ S/D 領域へのクラスタ C イオン注入と SPE による再成長によって誘発されるチャネル領域内の歪みを評価するために FinFET デバイス構造を採用した。Si(001)基板を用い、[110]方向にパターニングされた Fin 構造を用いた。埋め込み Si:CP S/D 領域は、in-situ ドープ Si:P 選択エピタキシャル成長とそれに続くクラスタ C イオン注入と再結晶化アニールを用いた SPE 成長により形成した。注入条件は、ウェハ傾斜角ゼロ、基板温度 -30 °C で、条件(IV) 5 keV/8.2×10¹⁴ cm² + 14 keV/3.5×10¹⁵ cm²を用い、1.2%の C 濃度 (C ピーク濃度: 6×10²⁰ atoms/cm³) であった。再結晶化アニールには 800 °C 5 秒間の RTA および 1025 °C の sRTA を用いた。図 2-28 にインテグレーションフローの概略を示す。図 2-29 に、暗視野ホログラフィ (DFH: dark field

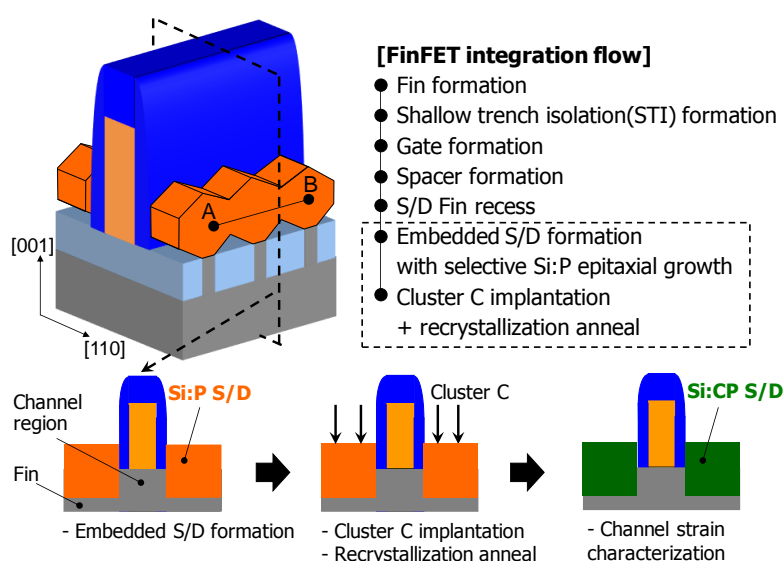


図 2-28. 埋め込み型 Si:CP S/D を有する FinFET デバイス構造の作製フローと概略図。

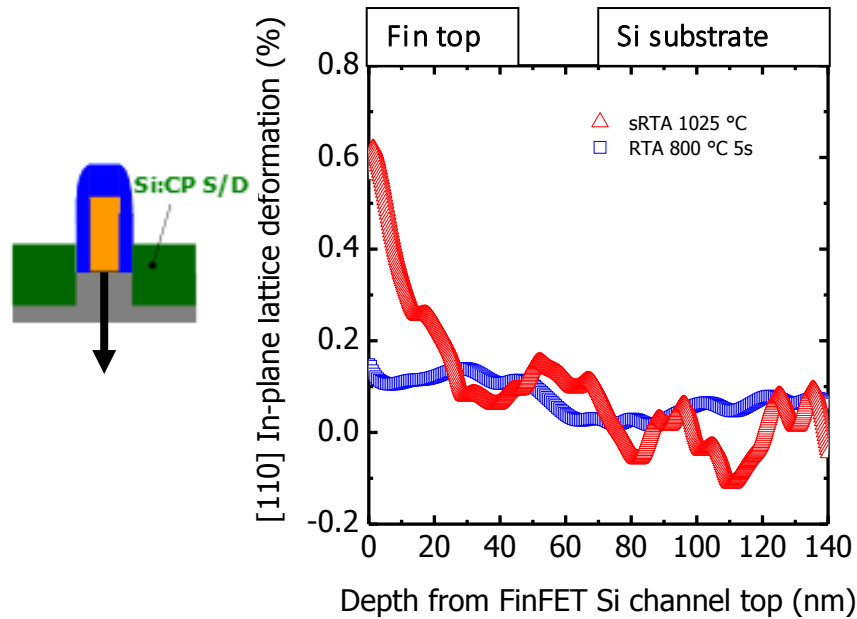


図 2-29. 暗視野ホログラフィ（DFH: dark field holography）技術によって測定した FinFET Si チャネル領域内の[110]面内格子変形量。プロファイルは、FinFET Si チャネル部の Top から基板方向（[001]方向）へのスキャンにより得られた。

holography) 技術によって測定した FinFET Si チャネル領域内の[110]面内格子変形量を示す [48, 49]。概略図に示すように、FinFET Si チャネル部の Top から基板方向（[001]方向）へのプロファイルを示してある。[110]面内格子変形量は、測定された[110]面内 Si 格子定数を、Si 基板中のより深い領域で測定された歪みを持たない Si の格子定数で規格化することで得られた。FinFET の Si チャネル領域における[110]面内格子変形量は正の値を示し、[110]面内方向への引張歪みが検出された。FinFET Si チャネルの最上部に近づくにつれて歪み量は増加し、その最大値は 800 °C 5 秒間の RTA のサンプルで 0.1%、1025 °C の sRTA のサンプルで 0.6%であった。これらの結果は、図 2-15 に示されたような結果（800 °C 5 秒間の RTA のサンプルで高[C]_{sub} 濃度）と一致せず、平面構造と比較して 3 次元構造における再結晶化プロセスが異なる可能性があることを示唆している。これは、S/D 領域内の底部から頂部への垂直方向への再結晶化およびゲートの下からの横方向への再結晶化など、複数の再成長面の存在による影響であると考えられる。さらに、このような異方的な再結晶化は、異なる結晶方位における再結晶化速度の違いによってさらに影響を受けると考えられる。これはまた、3

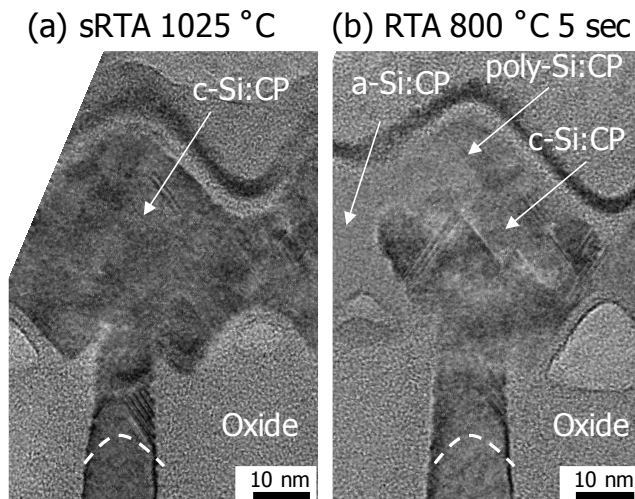


図 2-30. クラスタ C イオン注入および SPE によって形成した埋め込み Si:CP を有する FinFET S/D 領域の断面 TEM 像。（図 2-28 の線 A B を含む断面。）

(a) 1025 °C での sRTA、(b) 800 °C で 5 秒間の RTA。点線は元の a/c 界面を示す。

次元構造における SPE の遅延、および結晶核発生時に下地をもたないランダム核形成/成長 (RNG: random nucleation and growth) として知られる再結晶化プロセスに起因している[50]。

3 次元 FinFET デバイス構造における再結晶化は、Fin 間の局所的な酸化物構造体、側壁スペーサ、および自然酸化物などの絶縁膜で終端する複数の界面に沿って起こる。このような界面の存在による SPE 速度の遅延は過去にも報告されている[51-53]。図 2-30 は、クラスタ C イオン注入および SPE によって形成した埋め込み Si:CP を有する FinFET S/D 領域の断面 TEM 像である。800 °C 5 秒間の RTA による再結晶化の場合、残留非晶質 Si:CP (a-Si:CP) が確認され、再結晶化が不完全であることがわかり、S/D 領域における SPE 速度の遅延が示唆される。さらに、再結晶化された Si:CP 領域および S/D 領域上部の多結晶 Si:CP 領域に積層欠陥が観察された。これは、800 °C での 3 次元構造内の再結晶化の速度が遅いことと、a-Si:CP 領域内で発生する RNG が原因で、積層欠陥などの結晶欠陥が発生するためと考えられる。対照的に、1025 °C の sRTA では、RNG 発生前に SPE による a-Si:CP の完全な再結晶化が達成され、結果として FinFET Si チャネル領域に引張歪みが導入された。1025 °C でのより高い再結晶化速度により、SPE 成長速度が向上し、RNG 発生が低減されたものと考えられる。

2.4 まとめ

本章では、Si:P エピタキシャル成長プロセス、クラスタ C イオン注入と再結晶化熱処理を用いた Si:CP 層形成技術について述べ、各プロセスが Si:CP 膜特性に及ぼす影響を調査した。

Si:P エピタキシャル膜へのクラスタ C イオン注入と LSA による再結晶化により、Si 格子置換位置に高濃度の C を有する高品質の歪み Si:CP 層の生成が可能であることがわかった。一次再結晶化熱処理として LSA の前に行われた 1025 °C sRTA および 950 °C 5 秒間の RTA は、Si 格子置換位置を占有する C 原子と P 原子間の競合により、Si:CP 層中の格子置換位置 C 濃度の低下をもたらした。Si:CP 層中の P 活性化は、高温 LSA を追加することで改善することができた。EOR 欠陥領域における格子置換位置 C 濃度の減少は、-30 °C での C イオン注入の場合と比較した場合、RT での C イオン注入で顕著であった。C イオン注入工程の数を減らすことにより、Si:CP 層の表面での積層欠陥／転位ループが減少した。

P の深さ方向プロファイルから、様々な再結晶熱処理条件にわたって、C フリー Si:P 層と比較して、Si:CP 層では P の拡散が抑制され、より急峻な接合を有することを示した。Si 中の C の最大固溶限界を十分に超える、高[C]_{sub} を有する高品質歪み Si:CP 層が、低温 sRTA および RTA を用いることによって達成できた。これは、SPE 中の格子置換位置への C 原子の取り込み効率の増加、および Si 中での C 析出および C-P クラスタ形成の抑制に起因する。追加の LSA により、900 °C の sRTA および 800 °C の 5 秒間の RTA などの低い温度で再結晶化された Si:CP 層中の残留”非活性” P 原子を活性化することができた。低温再結晶化熱処理と高温 LSA とを組み合わせる本手法は、良好な結晶性、低抵抗率、および抑制された P 拡散プロファイルを有する Si:CP 層を生成するのに有用である。

3 次元 FinFET デバイス構造において、S/D 領域へのクラスタ C イオン注入と 1025 °C の sRTA を用いた SPE 再成長により、チャネル領域に 0.6% の引張歪みを印加できることを

示した。これに対して、800 °C で 5 秒間の RTA を行った 3 次元 FinFET デバイス構造では、S/D 領域の不完全な再結晶化および多数の積層欠陥が観察され、十分な引張歪みがチャネル部へ印加されなかった。3 次元 FinFET 構造の Si:CP S/D 領域において、SPE 速度の低下により RNG およびその結果として結晶欠陥導入の可能性がより高くなったためと考えられる。これは、3 次元 FinFET 構造と平面構造における再結晶化現象の違いを示している。このような、S/D 領域へのクラスタ C イオン注入と熱処理による SPE、およびそれに続く高温 LSA を用いた本手法は、低いシリーズ抵抗と急峻な P 接合プロファイルを有する歪み Si:CP 層を形成するための実用的な手法であるといえる。

2.5 参考文献

- [1] S. Narasimha, P. Chang, C. Ortolland, D. Fried, E. Engbrecht, K. Nummy, P. Parries, T. Ando, M. Aquilino, N. Arnold, R. Bolam, J. Cai, M. Chudzik, B. Cipriany, G. Costrini, M. Dai, J. Dechene, C. DeWan, B. Engel, M. Gribelyuk, D. Guo, G. Han, N. Habib, J. Holt, D. Ioannou, B. Jagannathan, D. Jaeger, J. Johnson, W. Kong, J. Koshy, R. Krishnan, A. Kumar, M. Kumar, J. Lee, X. Li, C.-H. Lin, B. Linder, S. Lucarini, N. Lustig, P. McLaughlin, K. Onishi, V. Ontalus, R. Robison, C. Sheraw, M. Stoker, A. Thomas, G. Wang, R. Wise, L. Zhuang, G. Freeman, J. Gill, E. Maciejewski, R. Malik, J. Norum, P. Agnello, Int. El. Devices. Meet. 3.3.1 (2012).
- [2] E. R. Hsieh, S. S. Chung, Appl. Phys. Lett. **96**, 093501 (2010).
- [3] Z. Ren, G. Pei, J. Li, B. Yang, R. Takalkar, K. Chan, G. Xia, Z. Zhu, A. Madan, T. Pinto, T. Adam, J. Miller, A. Dube, L. Black, J.W. Weijtmans, B. Yang, E. C. Harley, A. Chakravarti, T. Kanarsky, R. Pal, I. Lauer, D.-G. Park, D. Sadana, Symp. VLSI Technology, 172 (2008).
- [4] B. Yang, Z. Ren, R. Takalkar, L. Black, A. Dube, J.W. Weijtmans, J. Li, K. Chan, J.

De Souza, A. Madan, G. Xia, Z. Zhu, J. Faltermeier, A. Reznicek, T.N. Adam, A. Chakravarti, G. Pei, R. Pal, B. Yang, E. C. Harley, B. Greene, A. Gehring, M. Cai, D. Sadana, D.-G. Park, D.Mocuta, D. Schepis, E.Maciejewski, S. Luning, E. Leobandung, ECS Transactions **16**, 317 (2008).

[5] Y. Liu, O. Gluschenkov, J. Li, A. Madan, A. Ozcan, B. Kim, T. Dyer, A.Chakravarti, K. Chan, C. Lavoie, I. Popova, T. Pinto, N. Rovedo, Z. Luo, R. Loesing, W. Henson, K. Rim, Symp. VLSI Technology, 45 (2007).

[6] S.-M. Koh, X. Wang, K. Sekar, W. Krull, G. S. Samudra, Y.-C. Yeo, J. Electrochem. Soc. **156**, H361 (2009).

[7] T. Yamaguchi, Y. Kawasaki, T. Yamashita, N. Miura, M. Mizuo, J. Tsuchimoto, K. Eikyu, K. Maekawa, M. Fujisawa, K.Asai, Jpn. J. Appl. Phys. **50**, 04DA02 (2011).

[8] S.-H. Dai, R. Liao, R.-M. Huang, L.-F. Chin, Y.-R. Liu, P. Kuo, C.-Y. Chen, K.-L. Chiu, C.-I. Li, C.-H. Tsai, C.-T. Tsai, C.-W. Liang, International Symposium on VLSI Technology Systems and Applications, 5872236 (2011).

[9] T.-Y. Liow, K.-M. Tan, D. Weeks, R. T.P. Lee, M. Zhu, K.-M. Hoe, C.-H. Tung, M. Bauer, J. SPEar, S. G. Thomas, G. S. Samudra, N. Balasubramanian, Y.-C. Yeo, IEEE Trans. Electron Devices **55**, 2475 (2008).

[10] M. Togo, J. W. Lee, L. Pantisano, T. Chiarella, R. Ritzenthaler, R. Krom, A. Hikavyy, R. Loo, E. Rosseel, S. Brus, J. W. Maes, V. Machkaoutsan, J. Tolle, G. Eneman, A. D. Keersgieter, G. Boccardi, G. Mannaert, S. E. Altamirano, S. Locorotondo, M. Demand, N. Horiguchi, A.Thean, Int. El. Devices. Meet. 18.2.1 (2012).

[11] N. Serra, D. Esseni, IEEE Trans. Electron Devices **57**, 482 (2010).

- [12] F. Conzatti, N. Serra, D. Esseni, M. De Michielis, A. Paussa, P. Palestri, L. Selmi, S. M. Thomas, T. E. Whall, D. Leadley, E. H. C. Parker, L. Witters, M. J. Hÿtch, E. Snoeck, T. J. Wang, W. C. Lee, G. Doornbos, G. Vellianitis, M. J. H. van Dal, R. J. P. Lander, IEEE Trans. Electron Devices **58**, 1583 (2011).
- [13] K. W. Ang, K. J. Chui, V. Blinznetsov, A. Du, N. Balasubramanian, M. F. Li, G. Samudra, Y. C. Yeo, Int. El. Devices. Meet. 1069 (2004).
- [14] K. W. Ang, K. J. Chui, V. Blinznetsov, Y. Wang, L. Y. Wong, C. H. Tung, N. Balasubramanian, M. F. Li, G. Samudra, Y. C. Yeo, Int. El. Devices. Meet. 497 (2005).
- [15] K. J. Chui, K. W. Ang, H. C. Chin, C. Shen, L. Y. Wong, C. H. Tung, N. Balasubramanian, M. F. Li, G. Samudra, Y. C. Yeo, IEEE Electron Device Lett. **27**, 778 (2006).
- [16] K. W. Ang, K. J. Chui, C. H. Tung, N. Balasubramanian, M. F. Li, G. Samudra, Y. C. Yeo, IEEE Electron Device Lett. **28**, 301 (2007).
- [17] H. Itokawa, K. Miyano, Y. Oshiki, H. Onoda, M. Nishigoori, I. Mizushima, K. Suguro, 10th International Workshop on Junction Technology, IWJT-2010, IEEE, 2010, article 5475009.
- [18] K. Yako, M. Fujiwara, H. Bu, International Workshop on Junction Technology, 77 (2011).
- [19] W. Y. Woon, S. H. Wang, Y. T. Chuang, M. C. Chuang, C. L. Chen, Appl. Phys. Lett. **97**, 141906 (2010).
- [20] Z. Ye, Y. Kim, A. Zojaji, E. Sanchez, Y. Cho, M. Castle, M. A. Foad, Semicond. Sci. Technol. **22**, 171 (2007).
- [21] K. Sekar, W. A. Krull, ECS Transactions **28**, 53 (2010).
- [22] S. M. Koh, K. Sekar, D. Lee, W. Krull, X. Wang, G. S. Samudra, Y.C. Yeo, IEEE Electron

Device Lett. **29**, 1315 (2008).

[23] A. Li-Fatou, A. Jain, W. Krull, M. Ameen, M. Harris and D. Jacobson, ECS Transactions **11**, 125 (2007).

[24] Y. Wang, S. Chen, M. Shen, X. Wang, S. Zhou, J. Hebb, and D. Owen, Int. Workshop Junction Technol. (IWJT), 1 (2010)

[25] D. H. Peterson, O. Hansen, R. Lin, P. F. Nielsen, J. Appl. Phys. **104**, 013710 (2008).

[26] J. W. Strane, H. J. Stein, S. R. Lee, S. T. Picraux, J. K. Watanabe and J. W. Mayer, J. Appl. Phys. **76**, 3656 (1994).

[27] M. Huang, Y. P. Feng, A. T. L. Lim, and J. C. Zheng, Phys. Rev. B **69**, 054112 (2004).

[28] Z. Ye, S. Chopra, R. Lapena, Y. Kim and S. Kuppurao, ECS Transactions **50**, 1007 (2012).

[29] S. Mirabella, A. Coati, D. De Salvador, E. Napolitani, A. Mattoni, G. Bisognin, M. Berti, A. Carnera, A. V. Drigo, S. Scalese, S. Pulvirenti, A. Terrasi, and F. Priolo, Phys. Rev. B **65**, 045209 (2002).

[30] B. J. Pawlak, R. Duffy, T. Janssens, W. Vandervorst, S. B. Felch, E. J. H. Collart, and N. E. B. Cowern, Appl. Phys. Lett. **89** (2006) 062102.

[31] T. Saito, J. Xia, R. Kim, T. Aoki, Y. Furuta, Y. Kamakura, H. Kobayashi, and K. Taniguchi, Electron. Commun. Jpn., Part2 **85**, 54 (2002).

[32] S. H. Yeong, B. Colombeau, K. R. C. Mok, F. Benistant, C. J. Liu, A. T. S. Wee, L. Chan, A. Ramam and M. P. Srinivasan, J. Electrochem. Soc. **155**, H69 (2008).

[33] K. Sekar, W. Krull, M. Current, H. Onoda, Y. Nakashima, N. Hamamoto, T. Nagayama, 11th International Workshop on Junction Technology, 92 (2011).

- [34] S. Mochizuki, R. Loesing, Z. Zhu, A. G. Domenicucci, P. L. Flaitz, J. Li, V. Paruchuri, *Thin Solid Films* **557**, 94 (2014).
- [35] Y. J. Kim, T. J. Kim, T. K. Kim, B. Park, J. H. Song, *Jpn. J. Appl. Phys.* **40**, 773 (2001).
- [36] P. A. Stolk, H.-J. Gossmann, D. J. Eaglesham, D. C. Jacobson, C. S. Rafferty, G. H. Gilmer, M. Jaraíz, J. M. Poate, H. S. Luftman and T. E. Haynes, *J. Appl. Phys.* **81**, 6031 (1997).
- [37] S. H. Yeong, B. Colombeau, K. R. C. Mok, F. Benistant, C. J. Liu, A. T. S. Wee, L. Chan, A. Ramam, M. P. Srinivasan, *J. Electrochem. Soc.* **155**, H69 (2008).
- [38] S. Mirabella, A. Coati, D. De Salvador, E. Napolitani, A. Mattoni, G. Bisognin, M. Berti, A. Carnera, A. V. Drigo, S. Scalese, S. Pulvirenti, A. Terrasi, F. Priolo, *Phys. Rev. B* **65**, 045209 (2002).
- [39] B. J. Pawlak, R. Duffy, T. Janssens, W. Vandervorst, S. B. Felch, E. J. H. Collart, N. E. B. Cowern, *Appl. Phys. Lett.* **89**, 062102 (2006).
- [40] T. Saito, J. Xia, R. Kim, T. Aoki, Y. Furuta, Y. Kamakura, H. Kobayashi, K. Taniguchi, *Electron. Commun. Jpn.*, **85**, 54 (2002).
- [41] J. W. Strane, H. J. Stein, S. R. Lee, S. T. Picraux, J. K. Watanabe, J. W. Mayer, *J. Appl. Phys.* **76**, 3656 (1994).
- [42] N. Zographos, I. M. Bragado, 15th IEEE International Conference on Advanced Thermal Processing of Semiconductors, 119 (2007).
- [43] A. Shima, Y. Wang, S. Talwar, A. Hiraiwa, *Symp. VLSI Technology*, 174 (2004).
- [44] T. Ito, T. Iinuma, A. Murakoshi, H. Akutsu, K. Suguro, T. Arikado, K. Okumura, M. Yoshida, T. Owada, Y. Imaoka, H. Murayama, T. Kusuda, *Jpn. J. Appl. Phys.* **41**, 2394 (2002).

- [45] G. Kaiblinger-Grujin, H. Kosina, S. Selberherr, J. Appl. Phys. **83**, 3096 (1998).
- [46] M. P. Vaughan, F. Murphy-Armando, S. Fahy, Phys. Rev. B **85**, 165209 (2012).
- [47] H. J. Osten, J. Griesche, P. Gaworzewski, K. D. Bolze, Appl. Phys. Lett. **76**, 200 (2000).
- [48] M. Hÿtch, F. Houdellier, F. Hÿe, E. Snoeck, Nature. **453**, 1086 (2008).
- [49] Y. Y. Wang, J. Li, A. Domenicucci, J. Bruley, M. Kawaski, D. Cooper, J. Rouvière, Strain Measurement by Dark Field Electron Holography with Dual Lens Operation, JEOL News **47**, 9 (2012).
- [50] G. L. Olson, J. A. Roth, Mater. Sci. Rep. **3**, 1 (1988).
- [51] Y. Kunii, M. Tabe, K. Kajiyama, J. Appl. Phys. **56**, 279 (1984).
- [52] H. Ishiwara, H. Yamamoto, S. Furukawa, M. Tamura, T. Tokuyama, Appl. Phys. Lett. **43**, 1028 (1983).
- [53] R. Duffy, M. J. H. Van Dal, B. J. Pawlak, M. Kaiser, R. G. R. Weemaes, B. Degroote, E. Kunnen, E. Altamirano, Appl. Phys. Lett. **90**, 241912 (2007).

第 3 章

Embedded SiGe デバイス構造における 歪み・結晶性

3.1 はじめに

スケーリングによる相補型金属-酸化膜-半導体 (CMOS: complementary metal-oxide-semiconductor) デバイスの性能向上と併せて、歪み技術は、微細化によらない性能向上技術の重要な要素である。pMOSFET のソース/ドレイン (S/D : source and drain) 領域に埋め込まれたエピタキシャル SiGe 層 (eSiGe: embedded SiGe) によって、隣接する Si チャネル領域に一軸性圧縮応力を導入し、チャネルを歪ませて正孔移動度を向上させる手法は、90 nm CMOS ノードから実用化されてきた[1-3]。この歪み技術は、スケーリングによる性能向上を続けるために、high-*k* 技術と組み合わせて使用されてきた。high-*k* 技術とは、ゲート絶縁膜に Si 酸化膜よりも比誘電率の大きな (high-*k*) 絶縁膜を用いる技術であり、酸化膜換算膜厚 (EOT : equivalent oxide thickness) を減少させつつ、物理的膜厚を保つことでゲートリーク電流の低減が可能となる。また、チャネル移動度のさらなる高移動度化およびしきい値電圧の調整のため、歪み SiGe をチャネル部分に組み込むことも有望な選択肢である[4-6]。このように、先端微細 CMOS デバイスでは、複数の高性能化プロセスの導入により、その歪み形態がより複雑化する。したがって、歪み技術を利用してデバイス性能を向上させるためには、デバイス構造の微細領域における歪みを詳細に評価し、デバイス特性への影響を理解することが重要である。また、歪み量の増加による移動度の向上には、結晶欠陥の導入に起因するデバイス特性の劣化が懸念される。したがって、局所的なデバイス構造の歪み状態を

理解した上で、デバイスの歪みを注意深く設計し制御する必要がある。

デバイス構造内の歪みの定量化には、ナノビーム電子線回折（NBD: nanobeam diffraction）、および収束電子回折法（CBED: convergent beam electron diffraction）などの透過型電子顕微鏡法（TEM: transmission electron microscopy）をベースとした評価技術が用いられてきた[7-9]。TEM に基づく分析は破壊検査であり、電子線の透過率を上げるためプローブされる試料を薄片化する必要がある。しかしながら、試料の薄片化による構造内の歪み緩和を極力抑えるため、電子線が透過する範囲で、できるだけ厚い試料に調製する必要がある。また、TEM 試料の厚さなどの試料調製条件に応じて分析結果が変動する可能性もあり、デバイス構造の微細化や複雑化が進むほど、TEM 試料の調製に高い精度とそれに見合う高度な技術が要求される。一方、歪み SiGe などの歪み膜を評価およびモニタリングするための非破壊的手法として X 線回折（XRD: X-ray diffraction）が用いられてきた。しかしながら、この技術は、これまで主にブランケット SiGe 膜の特性評価に使用されており、実際のデバイス構造における膜特性の検出には頻繁に用いられて来なかった。

本章では、平面バルク MOSFET デバイス構造における、S/D 領域のエピタキシャル eSiGe ストレッサとゲート直下の歪みチャンネル SiGe/Si の双方における歪み・結晶性の評価について述べる。高分解能 XRD（HRXRD: high resolution XRD）の新規応用を提案し、実際のデバイス構造への適用を試みる。これにより、デバイス構造内の歪み・結晶性および面内パターンの周期性を直接的かつ非破壊的に検出することが可能となる。また、eSiGe の Ge 濃度、S/D 領域のリセス形状に依存する歪みの変化を調査する。デバイススケールでの格子変形による歪状態変化のメカニズムを理解するために、実験結果を解析的モデリング手法によるシミュレーション結果と比較し議論する。

3.2 実験方法

図 3-1 に、MOSFET 様細線構造作製のプロセスフローと最終的なデバイス構造を示

す。バルク Si(001)基板上に、膜厚 7 nm、Ge 濃度 30%のチャネル SiGe (cSiGe: channel SiGe) をエピタキシャル成長させた後、界面層 (IL: interfacial layer)、high- k 絶縁膜、ゲート多結晶 Si、および Si 窒化膜ハードマスキング材料を堆積し、フォトリソグラフィおよび反応性イオンエッチング (RIE: reactive ion etching) を用いてゲート構造のパターニングを行った。次に、Si 窒化物を堆積し、続く RIE でそれをエッチバックすることによって窒化物側壁スペーサを形成した。XRD 測定を行うテストサイトには、ブランケット開口領域と、115 nm または 230 nm のゲートピッチを有する MOSFET 様細線構造を作製した。ゲートピッチは、ゲート長 60 nm を一定とし S/D 領域の長さを変更することによって調整した。周期的 MOSFET 様細線構造は、Si (001)基板上の $[1\bar{1}0]$ 方向に沿って配列されている。ゲート構造間に露出した Si 領域を、RIE を用いてリセスし、ポリマー残渣をウェット化学洗浄で除去した。RIE により形成した S/D リセス形状は、(110)側壁および(001)底部を有する box リセス形状である。また、別のリセス形状として、box リセス形状にウェット異方性エッチングプロセスを適用することによって $\{111\}$ 側壁で形成されたシグマリセス形状を作製した。続いて、300 mm ウェハ用減圧化学気相成長 (RPCVD: reduced-pressure chemical vapor deposition) 装置を用いて、リセスした S/D 領域に eSiGe 膜を選択的エピタキシャル成長させた。すべてのサンプルはエピタキシャル成長の前に、ウェット化学洗浄で予備洗浄して有機、金属、および粒子状汚染物質を除去し、次に希フッ酸 (DHF: dilute hydrofluoric acid) 処理により自然酸化物を除去し、最後にイソプロパノール置換法を用いて乾燥した。Si 表面上に、結晶欠陥の無い高品質な歪み SiGe エピタキシャル膜の成長を達成するために、成長の直前に RPCVD 装置内で in-situ 水素ブリベークを行った。eSiGe の膜厚および Ge 濃度は、成長時間および RPCVD 装置内のプリカーサ流量を調整することによって制御した。リセスした S/D 領域に形成された eSiGe は、ゲートピッチ (115 nm または 230 nm) に応じて $[110]$ 方向に異なる長さ (55 nm または 170 nm) を有している。230 nm のゲートピッチのシグマリセス形状においては、図 3-1 に示すように部分的に(001)底部を有する形状であった。また、 $[1\bar{1}0]$ 方向幅は、サイズの効果を見捨てるほど大きい ($> 100 \mu\text{m}$)。

S/D 領域の eSiGe とゲート直下の cSiGe/Si の結晶性および歪みは、ブランケット開口領域と、上述の周期的 MOSFET 様細線構造からなるテストサイトにおいて、HRXRD 測定および暗視野ホログラフィ法 (DFH: dark field holography) によって評価した。DFH は結晶領域内の格子定数の相対的な変形をナノメートルスケールの優れた空間分解能と広い視野領域で測定できる TEM ベースの手法である[10-12]。

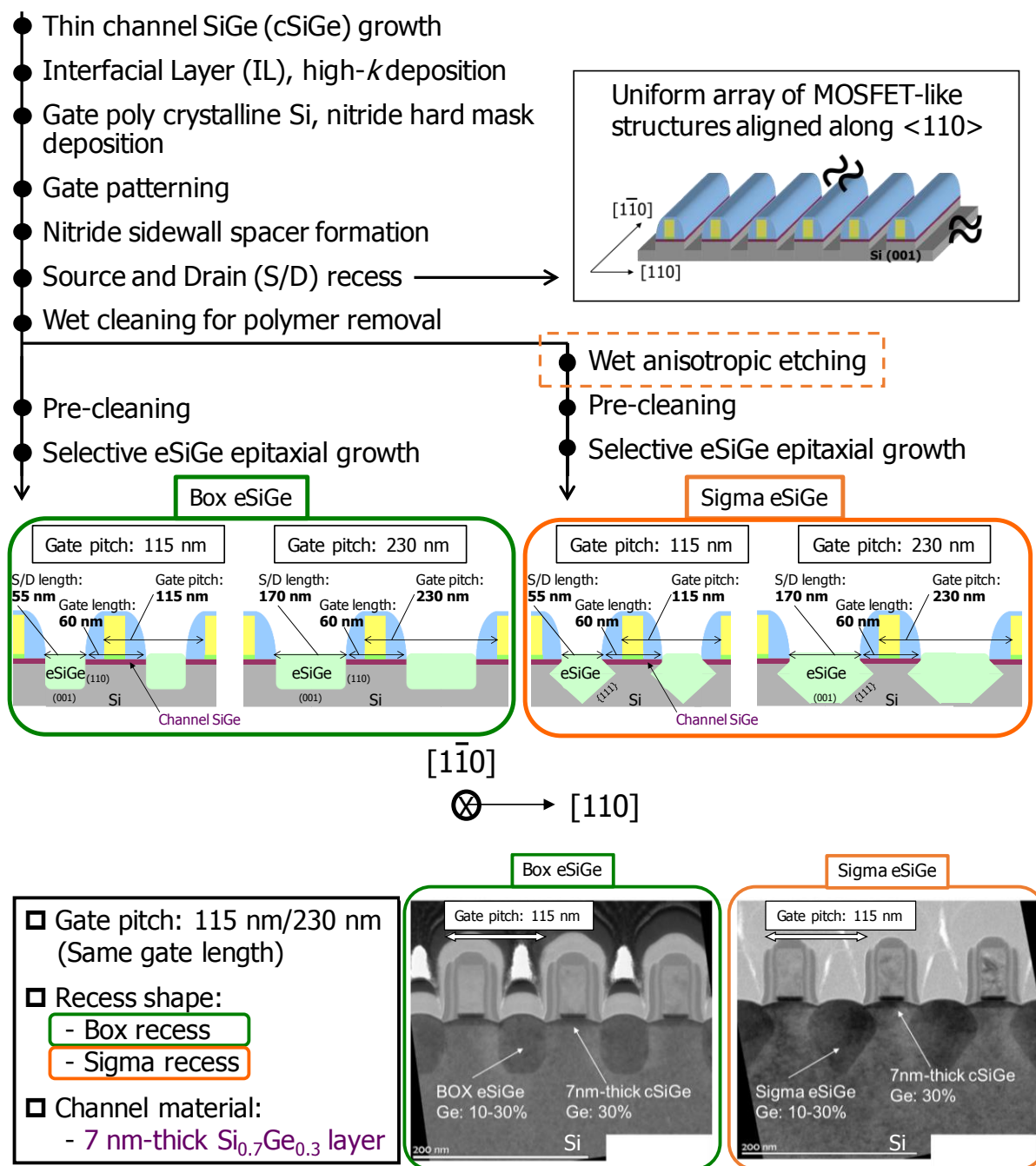


図 3-1. 本研究で用いた、box およびシグマリセス S/D 構造を持つ MOSFET 様細線構造作製のプロセスフロー。最終的なデバイス構造の概略図と断面 TEM 像も示す。

また、観察された歪みおよび格子変形プロファイルをより良く理解するために、半無限線形弾性体に埋め込まれた二次元介在物に基づく解析的モデリング手法（Eshelby モデル）を用いて、デバイス構造における格子変形のシミュレーションを行った。

3.3 実験結果と考察

3.3.1 eSiGe デバイス構造における X 線回折

図 3-2 に、ブランケット開口領域上に成長させた、Ge 濃度 18.8%を有する SiGe 層からの 004 ω -2 θ X 線回折結果（黒）を示す。X 線回折プロファイルは、0 arcsec に位置する Si 基板からの高強度ピークと、約-1550 arcsec に位置する歪み SiGe 層からの低強度ピークの 2 つの主回折ピークを有する。これら 2 つのピークの位置は、Si および SiGe 層内の基板垂直方向の(004)格子面間隔 d_{004} に対応する。SiGe メインピーク周りには fringe が明瞭に観察され、SiGe 層が良好な結晶性を有することを示している[13, 14]。SiGe メインピークの幅および周囲の fringe の間隔は、SiGe 膜厚に反比例し、データフィッティングにより、60 nm の膜厚および 18.8%の Ge 組成であることを確認した。後に述べるように、この SiGe 層は、その格子定数が下地の Si 基板と格子整合するように面内方向に沿って完全に歪んだ状態である。SiGe は Si よりも格子定数が大きいので、Si 基板上にエピタキシャル成長させると面内方向に圧縮歪みを内包する。したがって、面内方向圧縮歪みに起因するポアソン伸張によって面外方向に沿った引っ張り歪みが引き起こされるので、面内方向に二軸応力を受けた SiGe の面外格子定数は、無歪み SiGe の格子定数よりも大きくなる。また、図 3-2 に 115 nm および 230 nm のゲートピッチを有する MOSFET 様細線構造における 004 ω -2 θ X 線回折結果を示す。ブランケット開口領域からの X 線回折プロファイルと比較すると、SiGe 004 回折ピーク位置が、MOSFET 様細線構造ではより高角側 ($\Delta\omega$ の絶対値が小さくなる方向) に向かってシフトしていることが分かる。完全に歪んだ状態からのピークシフトを図中に矢印①で示すが、

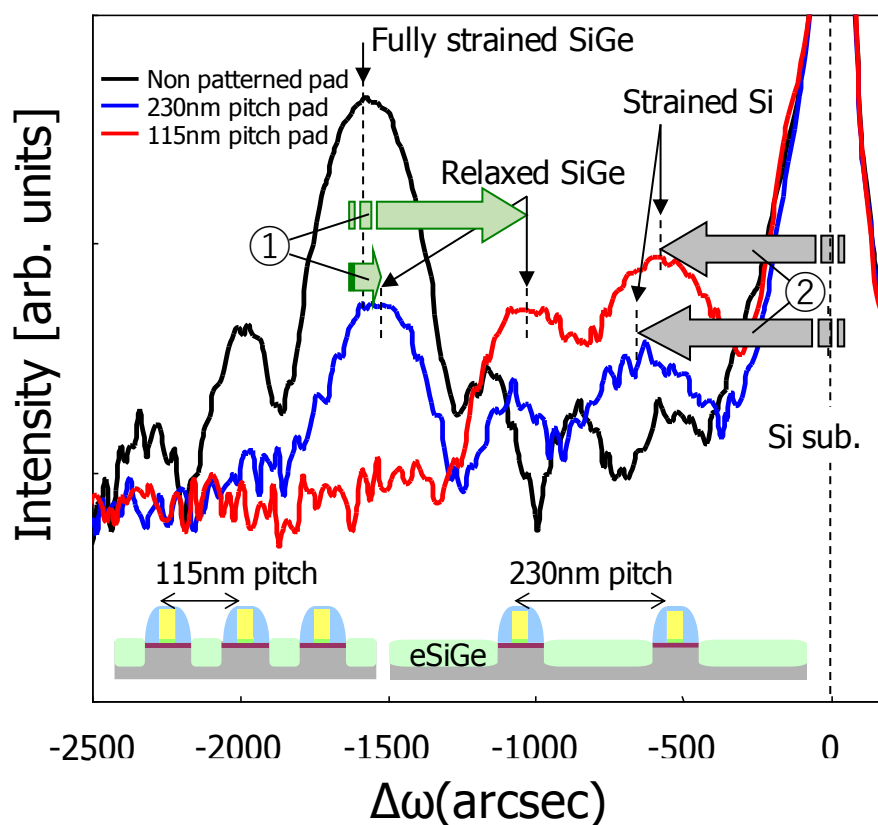


図 3-2. ブランケット開口領域、115 nm および 230 nm のゲートピッチを有する MOSFET 様細線構造に形成させた Ge 濃度 18.8% を有する SiGe 層からの 004 ω -2 θ X 線回折結果。矢印①は、S/D 領域からの SiGe 004 回折ピークの完全に歪んだ状態からのシフトを示す。矢印②は、ゲート直下の Si 内からの Si 004 回折ピークの無歪み Si ピーク位置からのシフトを示す。挿入図に 115 nm および 230 nm のゲートピッチを有する MOSFET 様細線構造を概略的に示す。

115 nm ピッチにおいて特に顕著である。これは、S/D 領域における eSiGe の面外格子面間隔が、面内方向に二軸応力を受けたブランケット SiGe のそれより小さいことを示している。

また、TEM 観察により eSiGe 領域内に転位および積層欠陥等の欠陥が見られなかったことから、S/D SiGe 内で弾性的な歪み緩和が生じていると考えられる。さらに、115 nm および 230 nm ピッチの X 線回折プロファイル中において、それぞれ約-550 arcsec および-690 arcsec の位置に新たなピークが検出された。これらのピークは、隣接する eSiGe 領域から印加されたゲート直下の Si 内の歪みを反映したものであると考えられる。ゲート直下の Si 内に印加された歪み量は、無歪み Si (Si 基板) ピークからのシフト量と対応している。図中の矢印②で示す Si 004 回折ピークの低角側 ($\Delta\omega$ の絶対値が大きくなる方向) へのピークシフトは、Si

の面外方向格子面間隔の増加に対応し、チャンネル方向に沿った（[110]方向に沿った）圧縮に起因する格子変形である。230 nm ゲートピッチでは、115 nm ゲートピッチ構造と比較して、SiGe 回折ピークのシフト量は小さく（矢印①）、歪み Si 回折ピークのシフト量は大きい（矢印②）ことが分かる。さらに、SiGe 回折ピーク強度は強く、歪み Si 回折ピーク強度は弱いことが観察された。これは、各ピッチ構造における eSiGe と Si の体積比の差に起因する。このように、実際のデバイス構造における S/D 領域の eSiGe およびゲート直下の Si の変形は、ブランケット開口領域の二次元膜構造から得られる変形情報とは異なる、新たな回折ピークとして明確に検出されることがわかった。

上述のように、(004)対称面を用いた回折測定を用いて、S/D 領域の eSiGe およびゲート直下の Si の面外方向変形を評価した。さらに 面内歪みを含む変形をより詳細に評価するために、対称面と非対称面の両方を使用して HRXRD 二次元逆格子マップ（RSM: reciprocal space map）測定を行った。

Ge 濃度 18.8% の SiGe 膜を有するブランケット開口部と、115 nm ゲートピッチ構造における 004 および 224 回折に対応する RSM を図 3-3 に示す。[110]方向面内変形および[001]方向面外変形を評価するために、[110]方向（チャンネル方向）に沿って X 線を入射して測定した。縦軸（ Q_x ）および横軸（ Q_y ）は、それぞれ[110]方向および[001]方向の逆格子単位を表す。RSM における回折ピークの水平位置 Q_x は格子面間隔の面内成分、つまり 224 回折ピークについては(220) 格子面間隔 d_{220} に対応し、一方、垂直位置 Q_y は格子面間隔の面外成分、つまり 004 および 224 回折ピークについては(004) 格子面間隔 d_{004} に対応する。大きさ Q を有する回折ベクトルに対して、対応する格子面間隔は Q に反比例する値となる。図 3-3(a)に示されるように、ブランケット開口部では、224 回折において SiGe 層のピークは Si 基板のピークと同じ Q_x の値に位置しているため、SiGe 層は下地の Si 基板と格子整合しており、面内方向に完全に歪んでいることがわかる。一方、図 3-3(b)に示されるように、115 nm ゲートピッチ構造では、eSiGe からの 224 回折ピークは、Si 基板のピーク位置に対して Q_x の負の方

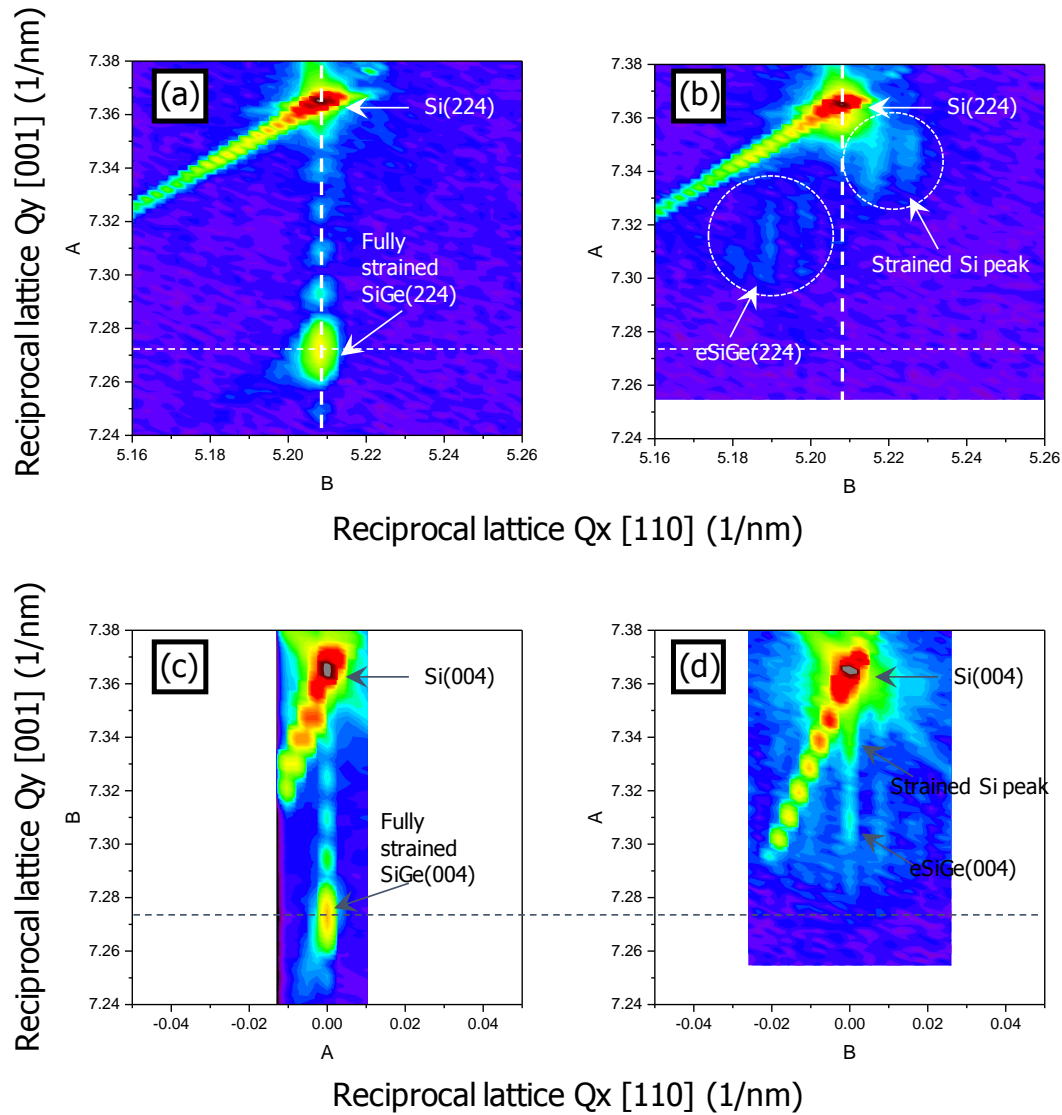


図 3-3. Ge 濃度 18.8% の SiGe 膜を有するブランケット開口部および 115nm ゲートピッチ構造の Si 224 / SiGe 224 および Si 004 / SiGe 004 回折ピーク周りにおける二次元逆格子マップ。

- (a) Si 224 / SiGe 224: ブランケット開口部。
- (b) Si 224 / SiGe 224: 115nm ゲートピッチ構造。
- (c) Si 004 / SiGe 004: ブランケット開口部。
- (d) Si 004 / SiGe 004: 115nm ゲートピッチ構造。

向にシフトしている。このピークシフトは、eSiGe の[110]面内方向格子定数が Si よりも大きいことを意味している。加えて、歪み Si ピークが Si 基板ピーク付近において新たなピークとして観察される。224 RSM では、歪み Si ピークは、[110]方向へ印加された圧縮歪みと対応するように、Si 基板ピーク位置に対して Q_x の正の方向にシフトしている。面内 Q_x 方向に沿ったこれらの eSiGe および歪み Si のピークシフトは、[110]方向に沿った eSiGe の弾性緩和

および隣接する Si 領域への圧縮歪み印加による格子変形と一致する。同様に、 Q_y の正方向への eSiGe ピークシフトと負方向への歪み Si ピークのシフトも観察された。これらのシフトは、S/D 領域内の eSiGe の面外格子定数が完全歪み SiGe のそれより小さいこと、および歪み Si の面外格子定数が無歪み Si のそれより大きいことを示しており、004 ω -2 θ スキャンで検出されたピークシフトと同様の結果を示している（図 3-2）。 Q_y 方向に沿ったこれらのピークシフトは、S/D 領域内の eSiGe における弾性歪み緩和、および隣接する Si 領域における、[110]方向に印加された圧縮歪みからのポアソン伸張により[001]方向へ誘起された引張歪みに対応する。これらのピークの Q_y 方向におけるシフトは、004 RSM でも同様に確認される（図 3-3(c)、(d)）。ブランクセット SiGe 膜の Si 004/SiGe 004 回折ピーク（図 3-3(c)）および 115 nm ゲートピッチ構造の Si 004/SiGe 004 回折ピーク（図 3-3(d)）の $Q_x = 0 \text{ nm}^{-1}$ における断面プロファイルは、図 3-2 で示した 004 ω -2 θ スキャンと等価である。

図 3-3(b)および(d)で確認されるように、115 nm ゲートピッチ構造の 224 および 004 RSM は、ブランクセット SiGe 膜とは異なる特徴を示していることがわかる。各 RSM において、 Q_x 軸方向に規則的な間隔で発生するいくつかのピークが確認できる。これらのサテライトピークは、eSiGe に関しては $Q_y = 7.31 \text{ nm}^{-1}$ 、歪み Si に関しては $Q_y = 7.34 \text{ nm}^{-1}$ の位置に確認ができるが、高強度 Si 基板ピーク周りには確認されない。これらサテライトピークの間隔は、実空間における MOSFET 様細線構造の[110]方向における周期性、すなわちゲートピッチに対応している。つまり、デバイス構造中の eSiGe および歪み Si は、一次元超構造によって変調された三次元結晶格子であると仮定することができ、それは逆格子空間において追加のサテライトピークを生じる[15-18]。サテライトピークの間隔 ΔQ_x は、実空間における[110]方向のピッチと次式のような関係を持つ。

$$Pitch = \frac{1}{\Delta Q_x} (\text{nm}), \quad (3-1)$$

RSM から測定した ΔQ_x は 0.00893 nm^{-1} であり、上式から実空間におけるピッチは 112.0 nm と見積もられ、これはゲートピッチの設計値 115 nm とほぼ一致した。

3.3.2 eSiGe デバイス構造における結晶性評価 – リセス形状、Ge 濃度およびゲートピッチによる影響

デバイス性能向上に直接寄与するチャネル移動度の増加は、ゲート直下のチャネル材料に歪みが印加されることによって達成される[19]。そのため本節では、eSiGe の Ge 組成と S/D リセス形状がデバイス構造内の歪み状態に与える影響を調査した結果について述べる。2 種類の S/D リセス形状 (box とシグマ) を用い、Ge 組成を 17% から 33% の範囲で変化させたサンプルを作製し、S/D 領域およびチャネル領域双方における歪み構造を詳細に評価した。

115 nm のゲートピッチ構造を有する MOSFET 様細線構造における、Ge 濃度 18.8% の box リセス形状 eSiGe と、Ge 濃度 19.0% および 26.0% のシグマリセス形状 eSiGe における 004 ω -2 θ スキャン結果を図 3-4 に示す。Si 基板ピーク位置よりも低角側で観察される 004 回折ピークは、ゲート直下の歪み Si および S/D 領域における歪み緩和した eSiGe からの回折ピークにより構成されている。図 3-4 に示すように、歪み Si および歪み緩和 eSiGe に対応するピークを、それぞれガウシアンを用いてフィッティングし、各ピーク位置を決定した。決定した回折ピーク位置から Bragg の法則を用いて、格子面間隔を得た。得られた格子面間隔は、歪み Si 領域および S/D eSiGe 領域における平均格子面間隔 \bar{d}_{004_st-Si} および \bar{d}_{004_eSiGe} を反映している。よって、歪み Si および歪み緩和 eSiGe における平均[001]面外格子変形は、無歪み Si の面外格子面間隔 d_{004_Si} を基準として以下のように計算できる。

$$\text{歪み Si:} \quad \frac{\bar{d}_{004_st-Si}}{d_{004_Si}} - 1$$

$$\text{歪み緩和 eSiGe:} \quad \frac{\bar{d}_{004_eSiGe}}{d_{004_Si}} - 1$$

115 nm ゲートピッチ構造の box 型とシグマ型両リセス形状における、歪み Si および歪み緩和 eSiGe[001]面外格子変形値の Ge 濃度依存性を図 3-5(a)および(b) に示す。Ge 濃度はブラン

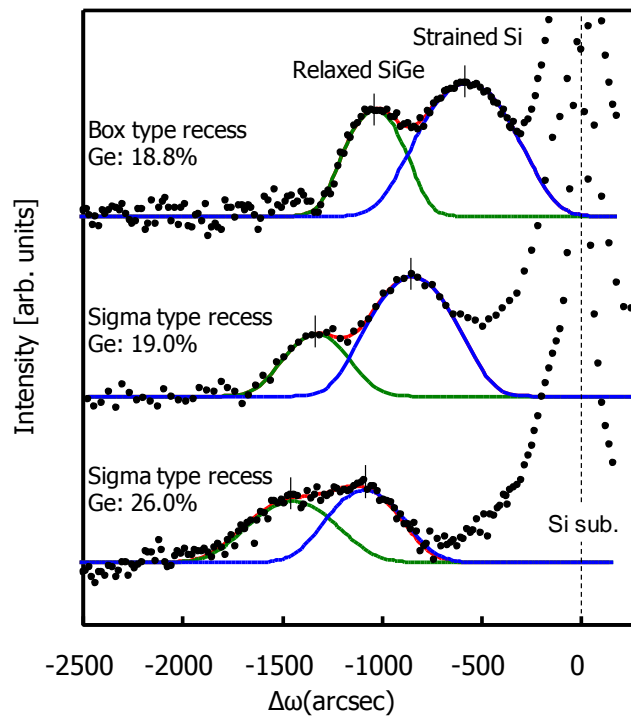


図 3-4. 115 nm ゲートピッチ構造における、Ge 濃度 18.8% の box リセス形状 eSiGe と、Ge 濃度 19.0% および 26.0% のシグマリセス形状 eSiGe における 004 ω -2 θ スキャン。

ケット開口部での測定により得た値である。S/D 領域における歪み Si と歪み緩和 eSiGe の両方について、[001]面外格子変形値は Ge 濃度との線形相関を示した。歪み Si の格子変形は、Ge 濃度の増加と共に単調に増加する。これは、隣接する eSiGe 領域の弾性緩和に伴って印加される[110]方向への圧縮により、ゲート直下の Si にさらに高い[001]面外方向引張歪みが誘起されることを意味している。さらに、図 3-5(a)に示すように、シグマリセス形状における歪み Si の格子変形値は、任意の Ge 濃度で box リセス形状のそれより 40 ~ 50% 程度大きく、シグマリセス形状の場合には Si 領域で[110]方向により大きな圧縮歪みが印加されることを示唆している。一方、box 型とシグマ型両リセス形状の歪み緩和 eSiGe の格子変形は、ほぼ同程度の値であった。ブランケット開口領域の完全歪み SiGe 膜は理想的な二軸応力状態を示すが、MOSFET 様細線構造においては、eSiGe 内部応力が周辺領域へ伝達されることによって、細線構造に垂直な方向に一軸性の応力が発生する。結果として、ストレッサ (eSiGe) の内部応力状態の変化および近傍領域における新たな格子変形が誘発される。そして、その eSiGe 内部の二軸応力状態から一軸応力状態への変調は、図 3-2 と図 3-3 で議論

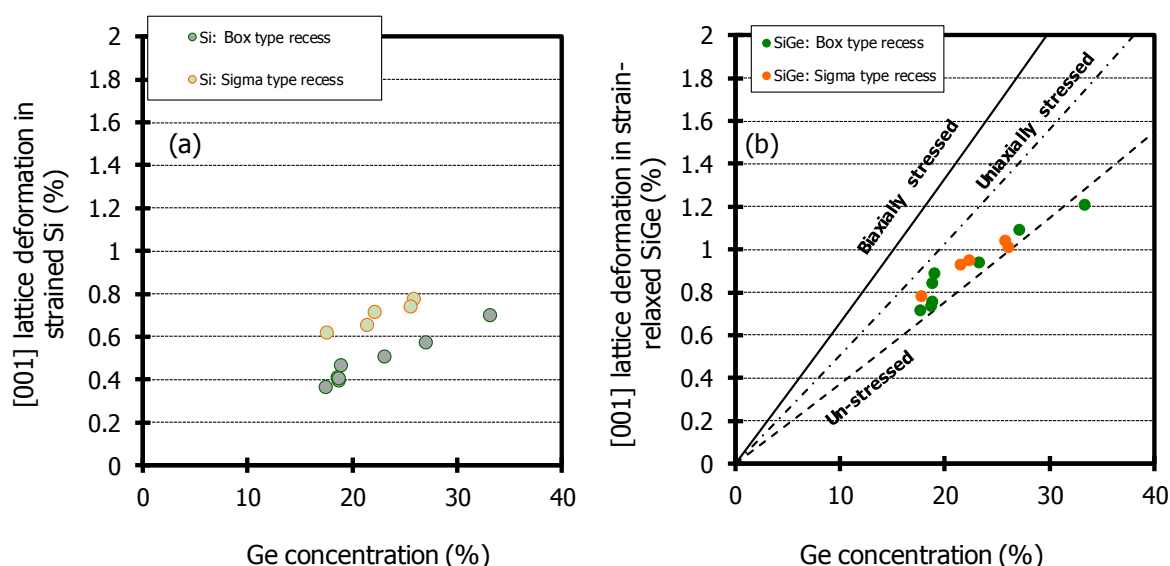


図 3-5. 115 nm ゲートピッチ構造の、box 型とシグマ型のリセス形状における (a) 歪み Si と (b) 歪み緩和 eSiGe の[001]面外格子変形の Ge 濃度依存性。

したように、eSiGe 回折ピークのシフトとして確認することができる。ここで、eSiGe の応力状態をさらに明らかにするために、測定して得られた[001]面外格子変形値を理論値と比較した。図 3-5(b)の線は、それぞれ二軸応力、一軸応力および無応力印加状態の SiGe についての[001]面外格子変形の理論値を Ge 濃度の関数として表したものである。測定された格子変形値は二軸応力状態の値より小さいことが観察され、eSiGe 内部における応力状態が二軸応力状態にないことがわかる。さらに、eSiGe は $[1\bar{1}0]$ 方向に沿って完全に歪んでいるにもかかわらず、[001]面外格子変形値は一軸応力状態の理論値よりも小さい。図 3-5(b)における一軸応力印加状態の理論線は、自由表面を有する SiGe 弾性体が $[1\bar{1}0]$ 方向において下地 Si 基板に格子整合するような外部応力を印加した状態 ($[110]$ 方向には外部応力の印加無し) での[001]面外格子変形値である。これに対して、S/D 領域の eSiGe 膜は Si 側壁 (リセス側壁) 上にも格子整合して成長するため、eSiGe が隣接する Si の拘束によって[001]方向に沿って圧縮され、格子変形値が一軸応力状態の値よりもさらに減少する。シグマリセス形状 eSiGe は、box リセス形状と比較して同等の応力状態であるにもかかわらず、より大きな歪み Si の格子変形値を示した。この結果は、シグマリセス形状が、eSiGe からの応力をゲート直下の Si 領域に伝達するのにより効果的であることを示している。これは、シグマリセス形状によるデ

バイス構造内の Si に対する SiGe の体積比の増大、またシグマ形状の横方向先端部（横方向リセス部）がゲート下部に及ぶことによる eSiGe 領域のデバイスチャネル活性領域への近接化に起因していると考えられる。

次に、HRXRD の結果と比較するために、115 nm ゲートピッチ構造における[110]面内格子変形を、DFH 法を用いて測定した。図 3-6 の挿入図に box 型およびシグマ型両リセス形状についての[110]面内格子変形の二次元マップを示す。図 3-6 は、Si 基板深くの領域の歪みのない Si 格子定数を基準とした [110]面内格子変形プロファイルである。[110]面内格子変形プロファイルはゲート下のチャネル中心部において、チャネル上部から Si 基板方向に対して得たものである（挿入図の A）。S/D eSiGe 構造は、異なる Ge 濃度を有する box 型およびシグマ型リセス形状である。参考値として、S/D リセス形成直後（S/D eSiGe エピタキシャル成長なし）の格子変形プロファイルも示した。S/D リセス形成後、プロファイルから得られた膜厚 7 nm、Ge 濃度 30% のチャネル SiGe（チャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ ）層内の平均格子変形は、box 型およびシグマ型に対してそれぞれ 0.56% および 0.71% の正の値であった。これは、S/D 領域のリセスによってチャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層が弾性歪み緩和した結果である。つまり、リセス部側壁に自由表面が出現するため、完全歪みチャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層には、[110]方向に歪みの部分的緩和が発生する。無歪みの完全緩和 $\text{Si}_{0.7}\text{Ge}_{0.3}$ の格子定数を格子変形値に換算すると 1.15% であるので[20]、全歪み量に対して、box 型およびシグマ型それぞれにおいて、49% および 62% 緩和していることになる。シグマリセス形状では、チャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層の下 Si の体積および幅が box リセス形状のものよりも小さいため、Si からの拘束力が小さくなり、チャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層の部分的歪み緩和の量が大きくなったと考えられる。加えて、下地 Si 中の [110]面内格子変形値も正の値を示しており、引張歪みが存在していることがわかる。これは、チャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層における弾性歪み緩和により下地 Si に引張歪みが印加されたためである。またシグマリセス形状におけるプロファイルでは、深さ 50 nm 付近で追加的に誘発された面内引張歪みの存在が確認でき、リセス形状加工プロセスが影響した可能性がある。

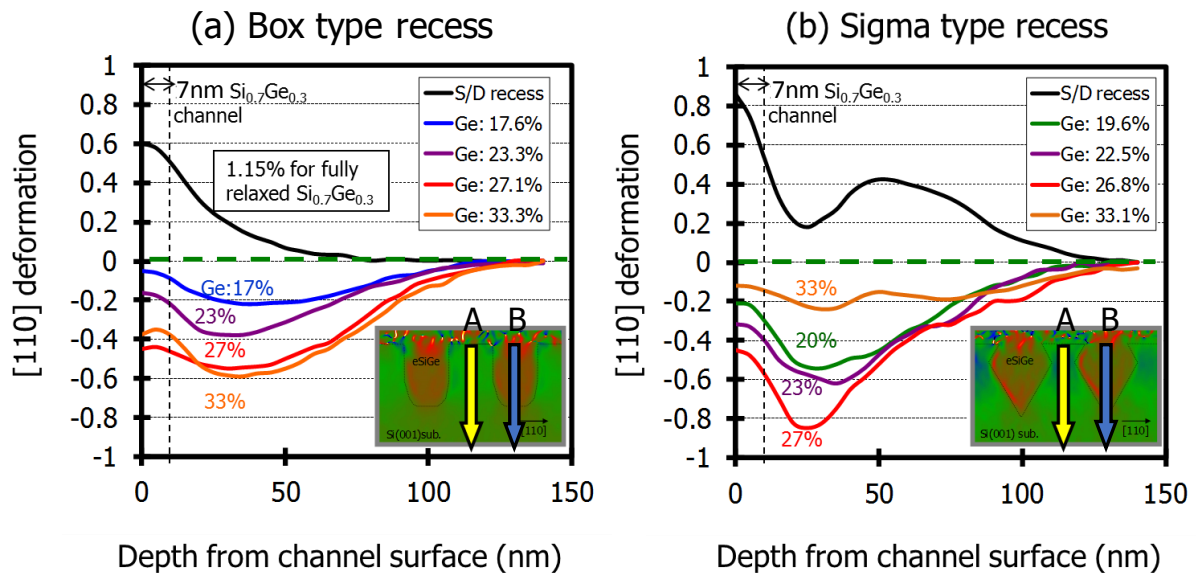


図 3-6. 115 nm ゲートピッチ構造における、種々の Ge 濃度を有する S/D eSiGe (a) box 型および (b) シグマ型リセス構造のゲート直下の[110]面内格子変形プロファイル。挿入図はその二次元マップと、プロファイリング方向を示す。

S/D eSiGe エピタキシャル成長後のプロファイルは、負の値を示しており、チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層および下地 Si 領域に圧縮歪みが印加されていることがわかる。これは、チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層の弾性歪み緩和分を補完し、かつそれよりも大きな圧縮歪みが追加されていることを意味する。同程度の S/D eSiGe 内 Ge 濃度で比較すると、チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層表面における格子変形値および下地 Si 内の最大格子変形値は、box 型と比較してシグマ型リセス形状の方がより高い値を示した。これは、先にも述べたように、ゲート下部において eSiGe 領域がより近接しており、また SiGe:Si 体積比が大きい構造的特徴により、圧縮歪み印加効果が高いためである。これらのプロファイルは、シグマ型リセス形状では、最大格子変形が横方向先端部（横方向リセス部）と同じ深さに位置し、チャンネル表面に近づくにつれて急速な減少を示しているが、box 型リセス形状ではよりブロードになる。これは、eSiGe ストレッサがゲート下部の横方向リセス部に追加的に埋め込まれている構造のために、追加の局所的な歪みが導入されるためである。

S/D eSiGe 中の Ge 濃度の増加と共に圧縮歪は大きくなるが、box 型およびシグマ型の両方において、Ge 濃度 33% の eSiGe を有する場合、チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層に誘起される圧縮

歪み量の減少が観察された。これは結晶欠陥導入による塑性変形を原因とする eSiGe の歪み緩和に起因する。後に述べるように、box 型リセス形状 eSiGe 上部に発生した積層欠陥、シグマ型リセス形状 eSiGe 内部に発生した{111}Si/SiGe 結晶界面起因の積層欠陥/転位による eSiGe 層の塑性的歪み緩和による。Si {111}面上での SiGe 結晶成長は、ショックレーの部分転位の発生とその滑りに起因する積層欠陥および微細双晶の形成により、Si {001}および{110}面上と比較して、その結晶品質が劣化しやすい傾向がある[21-23]。

次に、ゲート直下のチャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (cSiGe) と Si 領域、および S/D 領域の eSiGe の各格子変形をそれぞれ個別に評価する。図 3-7 に、115 nm および 230 nm ピッチ構造における、box およびシグマ型リセス形状を有するチャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層内の平均[110]面内格子変形の値を、eSiGe 中 Ge 濃度の関数として示す。平均格子変形値は、図 3-6 で得られたようなチャンネル中心における格子変形プロファイル中の 7 nm チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (cSiGe 領域) の平均値として算出した。図中の点線は、box 型およびシグマ型 S/D リセス形成後 (eSiGe 成長なし) の cSiGe 領域における平均格子変形値を示す。eSiGe 成長後の平均格子変形値はリ

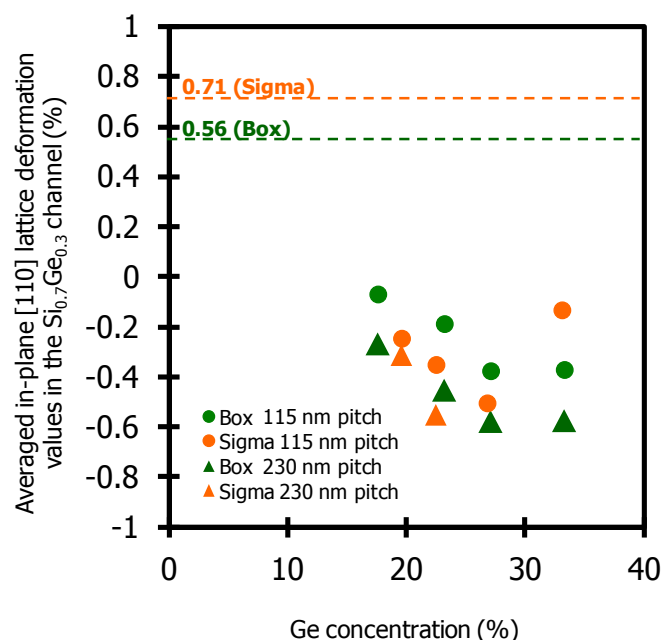


図 3-7. Box およびシグマ型リセス形状を有する 115 nm および 230 nm ゲートピッチ構造における、チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層内の平均[110]面内格子変形の値。S/D eSiGe 中 Ge 濃度の関数としてプロットする。

セス形成後の値よりも小さいため、S/D eSiGe 成長により cSiGe 領域に追加の圧縮歪みが印加されていることがわかる。115 nm ゲートピッチ構造における box リセス形状の場合、格子変形値は、eSiGe 中の Ge 濃度と共に増加する。しかし、eSiGe 中の Ge の割合が 33% の場合、27% の場合と比較して格子変形値の増加は確認できない。これは、後に示す図 3-9(a) の DFH 測定により得られた[110]面内格子変形の二次元マップで観察されるように、eSiGe 上部に導入された結晶欠陥により内部応力が塑性緩和したため、近接する cSiGe 領域への応力印加効果が抑制されたことによる。一方、230 nm ゲートピッチ構造では、より大きな圧縮歪みが導入された。これは eSiGe 領域が長くなったことにより、デバイス構造領域内 SiGe 体積比が増大したためである。115 nm ゲートピッチ構造におけるシグマリセス形状の場合も、eSiGe 中の Ge 濃度が大きくなるにつれて格子変形が大きくなり、図 3-6 でも見られたように、同じピッチの box リセス形状と比較して大きな値が得られた。しかしながら、Ge 濃度 33% のサンプルにおいて cSiGe 領域に誘起される格子変形量の増加は起こらず、box リセス形状のサンプルおよび他の低 Ge 濃度 eSiGe (20~27%) を有するシグマリセス形状の値と比較しても、より小さい圧縮歪みとなった。これは、eSiGe 領域内への積層欠陥と

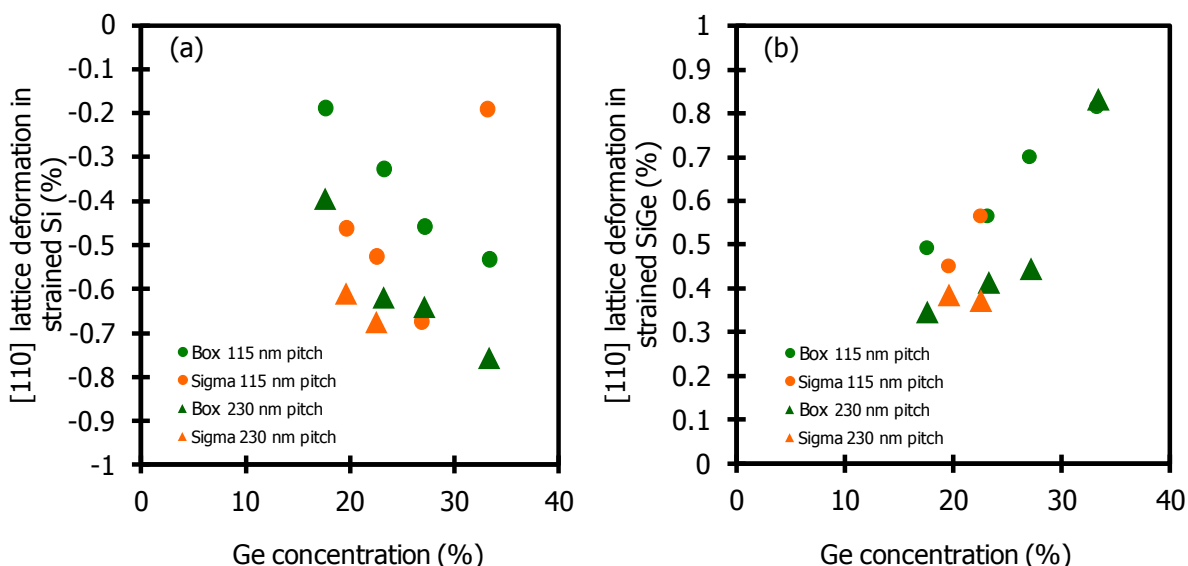


図 3-8. Box およびシグマ型リセス形状を有する 115 nm および 230 nm ピッチ構造における、(a) チャンネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ (cSiGe) 直下の Si 領域の平均[110]面内格子変形の値、(b) eSiGe 領域の平均[110]面内格子変形値。S/D eSiGe 中 Ge 濃度の関数としてプロットする。

eSiGe/Si{111}界面における転位の導入により eSiGe 内部歪みが塑性緩和したため、cSiGe 領域への応力印加効果が抑制されたことによる（図 3-9(c)および(d)参照）。これら結晶欠陥導入が無い低 Ge 濃度 eSiGe（20~27%）の場合は、eSiGe 内部歪みの塑性緩和は生じず、eSiGe 領域の内部応力が cSiGe 領域へ効果的に伝達されと考えられる。そして、230 nm ゲートピッチ構造では、box リセス形状の場合と同様により大きな圧縮歪みが導入される。

チャネル $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層（cSiGe）直下の Si 領域の平均[110] 面内格子変形値を図 3-8(a)に示す。平均格子変形値は、図 3-6 で得られた格子変形プロファイル中の S/D eSiGe 間に位置する Si 領域から得た。Ge 濃度とリセス形状に対する Si 領域の格子変形の推移は、cSiGe 領域における推移（図 3-7）とほぼ同じ傾向を示している。これは、cSiGe 領域と Si 領域との間にエピタキシャル成長によって完全に結合された構造が存在するため、連続的な面内変位がもたらされることから明白である。Box 型 eSiGe では、Ge 濃度が高くなるにつれて Si 領域での圧縮歪みが単調に大きくなる。しかしながら、Ge 濃度 33% のサンプルでは cSiGe 領域内で見られたような圧縮歪み印加効果が劣化する現象は確認されない。これは、eSiGe 領域への結晶欠陥の導入によって内部歪みが減少し隣接する cSiGe 領域へ応力印加効果が抑制されるものの、欠陥導入の領域が上部に限られるので、欠陥が導入されていない eSiGe の中央部および底部では塑性歪み緩和が生じず、隣接する Si 領域への応力印加効果が保持されたためと解釈できる。

図 3-8(b)は、115 nm および 230 nm ゲートピッチ構造における box 型およびシグマ型 eSiGe 領域の平均[110]面内格子変形値を eSiGe 中の Ge 濃度の関数として示したものである。平均格子変形値は、eSiGe の中心部における格子変形プロファイル（図 3-6 挿入図の B）から得られた。格子変形値がゼロより大きい、つまり eSiGe の[110]面内格子定数が Si のそれよりも大きいため、eSiGe 内で[110]面内歪み緩和が発生していることがわかる。格子変形値は、230 nm ピッチの eSiGe において 115 nm ピッチのそれよりも小さく（歪み緩和率が小さく）、S/D リセス形状に関わらずピッチサイズと相関があることがわかる。これは、応力印

加材料（ストレッサ）である eSiGe と被応力印加材料である隣接 Si との間での歪みエネルギーのバランスによるものである。その際、両領域間の負荷分散は、その幾何学的形状やサイズに依存する。230 nm ピッチの場合には、eSiGe 内の歪み緩和率が小さくとも、デバイス構造領域内の SiGe 体積比が大きいため、失った総歪エネルギー量（つまり隣接 Si へ伝わる総歪みエネルギー量）は大きくなる。結果として、より大きい歪みが Si 領域に印加される。

33%の Ge 濃度を有する 230 nm ゲートピッチ構造における box 型 eSiGe の格子変形は、他の Ge 濃度から予想される値よりも大きい値を示した。これは、eSiGe の中心部と Si 基板との界面に転位導入が観察されることから、塑性変形により eSiGe 中心部に歪み緩和が生じたためと解釈できる（図 3-9(b)参照）。このような eSiGe 中心部における塑性歪み緩和は eSiGe 格子定数の増加をもたらす。しかしながら、Si 領域に直接隣接する eSiGe 端部には塑性歪み緩和が発生していないので、図 3-8(a) に示したように圧縮歪みを Si 領域に印加することができたと考えられる。

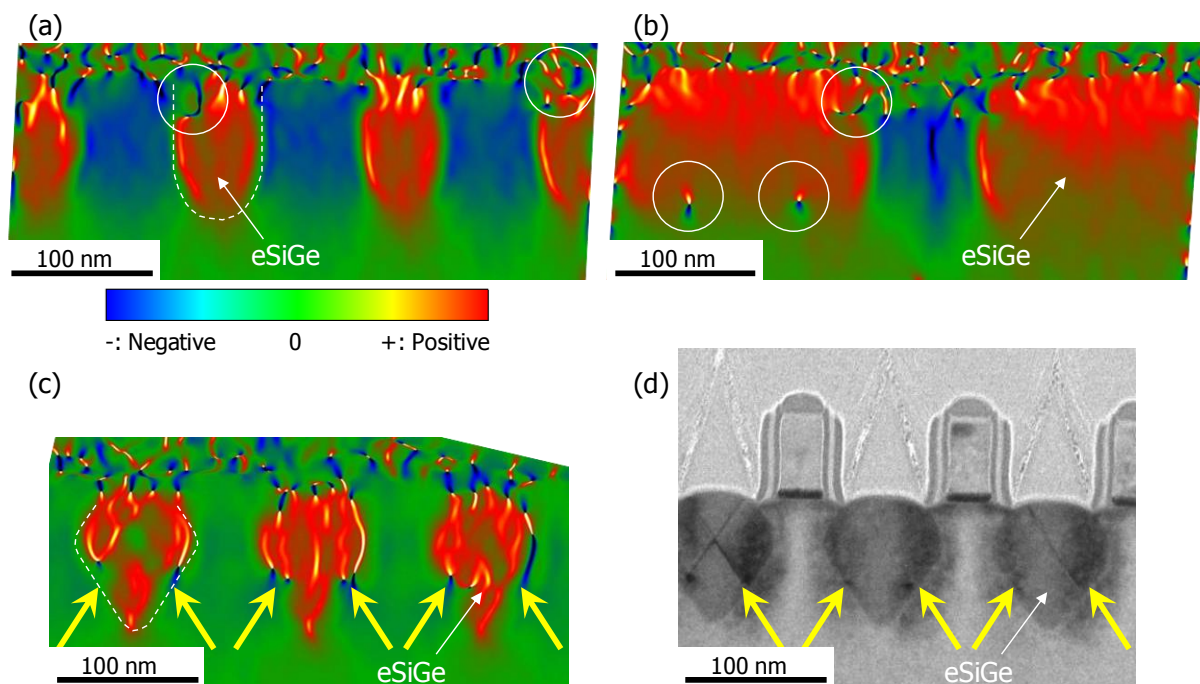


図 3-9. Ge 濃度 33% の box 型 eSiGe デバイス構造における [110] 面内格子変形二次元マップ (a) 115 nm ゲートピッチ、(b) 230 nm ゲートピッチ。
Ge 濃度 33% のシグマ型 eSiGe 115 nm ゲートピッチ構造における (c) [110] 面内格子変形二次元マップ、(d) 断面 TEM 像。

図 3-9 は、115 nm ピッチおよび 230 nm ゲートピッチ構造における box 型 eSiGe と 115 nm ゲートピッチ構造におけるシグマ型 eSiGe に対して、DFH 法を用いて測定した [110] 面内格子変形二次元マップである。それぞれのデバイス構造は 33% の Ge 濃度を有し、eSiGe 上部における結晶欠陥、eSiGe 領域内の積層欠陥、eSiGe/Si{111} 界面に導入された転位をハイライトしてある。{111} 界面に起因する積層欠陥と転位を確認するため、115 nm ゲートピッチ構造におけるシグマ型 eSiGe の断面 TEM 像も示してある。

図 3-10 は、Si 領域および eSiGe 領域において、XRD 測定によって得られた体積平均 [001] 面外格子変形値と DFH 測定によって得られた平均 [110] 面内格子変形値との関係を種々のサンプルについてプロットしたものである。サンプルは、115 nm ゲートピッチ構造において種々の Ge 濃度を有する box 型およびシグマ型 eSiGe である。これら 2 つの測定技法により得られた格子変形値の間には良好な相関関係があることから、box およびシグマリセス両構造に対して、非破壊である XRD 測定は、チャネル Si 領域および eSiGe 領域の歪の評価に有効であるといえる。

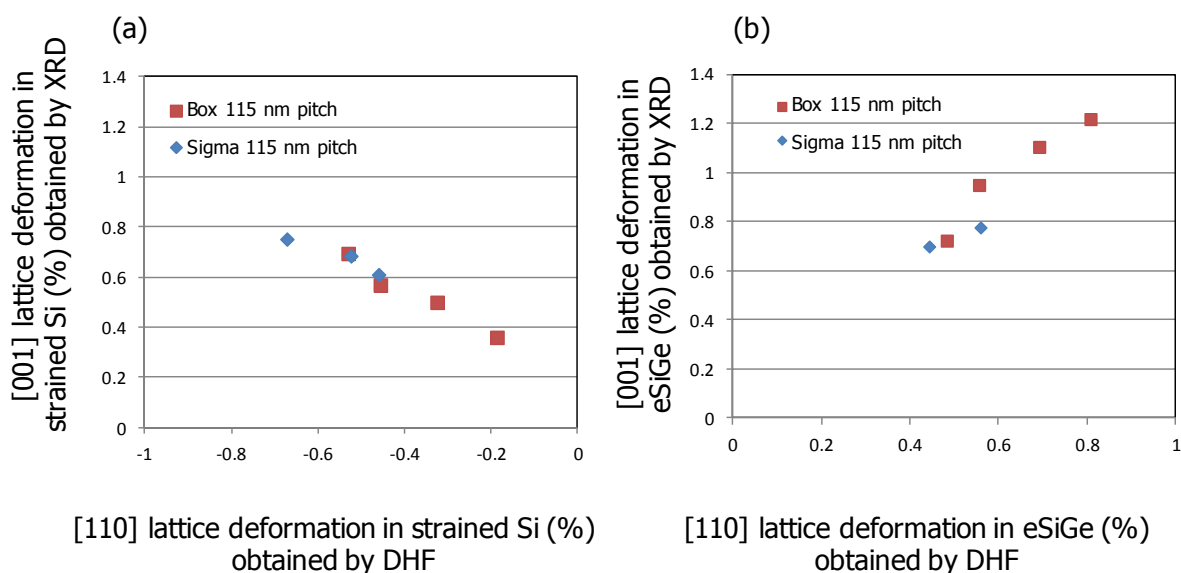


図 3-10. (a) Si 領域、(b) eSiGe 領域における、XRD 測定によって得られた体積平均 [001] 面外格子変形値と DFH 測定によって得られた平均 [110] 面内格子変形値との関係。

3.3.3 eSiGe デバイス構造における弾性格子変形シミュレーション

本節では、S/D eSiGe 構造を有する微細デバイスにおいて観察された歪みおよび格子変形プロファイルの発生メカニズムおよびストレッサ形状依存性をより良く理解するために、解析的モデリング手法（Eshelby モデル）[24] を使用して、ナノスケールのデバイス構造における格子変形シミュレーションを実施した結果について述べる。本手法は、半無限線形弾性体に埋め込まれた二次元介在物を仮定した、Davies によって改良されたモデル（介在物が半無限弾性体の表面に位置する）に基づいており、介在物は平面歪み条件下にあると仮定している[25]。このモデルは、Murray らによって、隣接する埋め込み SiO_2 の内部応力によって引き起こされる絶縁体上 Si（SOI: silicon-on-insulator）内の歪みプロファイルを計算するためにも用いられている [26]。

S/D eSiGe 構造は、周囲の弾性体に弾性歪みを生じさせる固有歪み ($\Delta\epsilon$) を持つ介在物であると考えられる。介在物と半無限弾性体は、 $[1\bar{1}0]$ 方向に平面歪み状態を有する等方性弾性 ($E_{\text{inc}} = E_{\text{mat}}$) を持つと仮定する。以下、図 3-11 に示すように、 $[110]$ 方向に沿ったトランジスタチャネル方向を x 方向、ゲート幅に平行な $[1\bar{1}0]$ 面内方向を y 方向、 $[001]$ 面外法線方向を z 方向と定義する。周囲との格子不整合 $\Delta\epsilon$ を有する単一矩形介在物が断面 $L \leq x \leq R$ 、 $B \leq z \leq T$ の範囲に存在する場合、弾性歪みポテンシャル $\varphi(x, z)$ は、次式のように、埋め込み領域の 4 つの個々の側面からの寄与の線形重ね合わせで表される。

$$\varphi(x, z) = f(x - L, z - B) - f(x - L, z - T) - f(x - R, z - B) + f(x - R, z - T), \quad (3-2)$$

ここで、 $f(x, z)$ は、

$$f(x, z) = -\left(\frac{1+\nu}{1-\nu}\right)\Delta\epsilon\left[xz\log(x^2 + z^2) - 3xz + x^2\text{atan}\left(\frac{z}{x}\right) + z^2\text{atan}\left(\frac{x}{z}\right)\right], \quad (3-3)$$

である。介在物の左右の辺はそれぞれ $x = L$ 、 $x = R$ で定義され、上下の辺は $z = T$ 、 $z = B$ で定義する。 $z = 0$ に自由表面を持つ半無限弾性体中において、 u と w をそれぞれ x 方向と z 方向における変位とすると、変位ベクトル $\mathbf{u} = (u, w)$ は次のように表すことができる。

$$\mathbf{u} = -\frac{1}{4\pi} \left(\nabla \varphi + (3 - 4\nu) \left(\frac{\partial}{\partial x}, -\frac{\partial}{\partial z} \right) \bar{\varphi} + 2z \frac{\partial}{\partial z} \nabla \bar{\varphi} \right), \quad (3-4)$$

$$\bar{\varphi}(x, z) = \varphi(x, -z), \quad (3-5)$$

式 (3-4) の第 1 項は、無限弾性体中における変位に対応する。第 2 項と第 3 項は、 $z=0$ における自由表面の存在による補正項であり、 $\bar{\varphi}(x, z)$ は鏡像弾性歪みポテンシャルである。各方向の歪みは変形によって生じる弾性体内の任意の点の相対変化であるため、変位の導関数として次のように表すことができる。

$$\varepsilon_{xx} = \frac{\partial u}{\partial x} = -\frac{1}{4\pi} \left(\frac{\partial^2 \varphi}{\partial x^2} + (3 - 4\nu) \frac{\partial^2 \bar{\varphi}}{\partial x^2} + 2z \frac{\partial^3 \bar{\varphi}}{\partial x^2 \partial z} \right), \quad (3-6)$$

$$\varepsilon_{zz} = \frac{\partial w}{\partial z} = -\frac{1}{4\pi} \left(\frac{\partial^2 \varphi}{\partial z^2} - (1 - 4\nu) \frac{\partial^2 \bar{\varphi}}{\partial z^2} + 2z \frac{\partial^3 \bar{\varphi}}{\partial z^3} \right). \quad (3-7)$$

歪み分布は、周期的に配置した多数の介在物からの歪みの効果を重ね合わせることで得た。cSiGe の有無、S/D eSiGe サイズ（ピッチ）、S/D eSiGe 形状による影響を比較するため、介在物（eSiGe および cSiGe）は、図 3-11 に示すように作製したデバイス構造と同じ形状、サイズ、ピッチになるよう設定した。Box 型の S/D eSiGe 形状は、(110)側面と(001)底面からなる、55 nm（幅）× 55 nm（深さ）および 170 nm（幅）× 55 nm（深さ）の寸法で、それぞれのピッチは 115 nm および 230 nm とした。シグマ型の S/D eSiGe 形状は、(111)側面、(110)側面と(001)底面からなる、80 nm（最大幅）、85 nm（深さ）の寸法で設定した。ピッチは 115 nm である。各 eSiGe の頂部は、Si または cSiGe 頂部表面と同一平面上にあると仮定し、S/D eSiGe および膜厚 7 nm の cSiGe 層の Ge 濃度は、それぞれ 20% および 30% である。シミュレーションに用いた構造を図 3-11 にまとめる。

図 3-12 に、シミュレーションにより得た各構造における Si/SiGe 領域内の格子変形分布を示す。[110] 面内格子変形の場合、図 3-12(a)から分かるように、Si 領域内では格子変形は負の値を示しており、[110]面内方向に圧縮歪みが印加されていることがわかる。その値は、Si の表面付近で最も大きくなる。また、Si 領域と eSiGe 領域との間の垂直方向の境界に

において不連続であるが、eSiGe 領域の底部において連続的である。一方、図 3-12(b)に示すように、[001]面外格子変形は Si と eSiGe 側面間の垂直方向境界で連続的に変化するが、eSiGe 底面とその下の Si との横方向境界では不連続である。これら境界における格子変形は、完全に格子整合した構造を有する Si 領域と eSiGe 領域との界面における連続的な面内および面外方向の変位によるものである。eSiGe が拡張することにより、直下の Si 領域に[110]面内方向の引張歪みが導入される。結果として、eSiGe 領域直下の Si には圧縮[001]面外格子変形が誘起される。

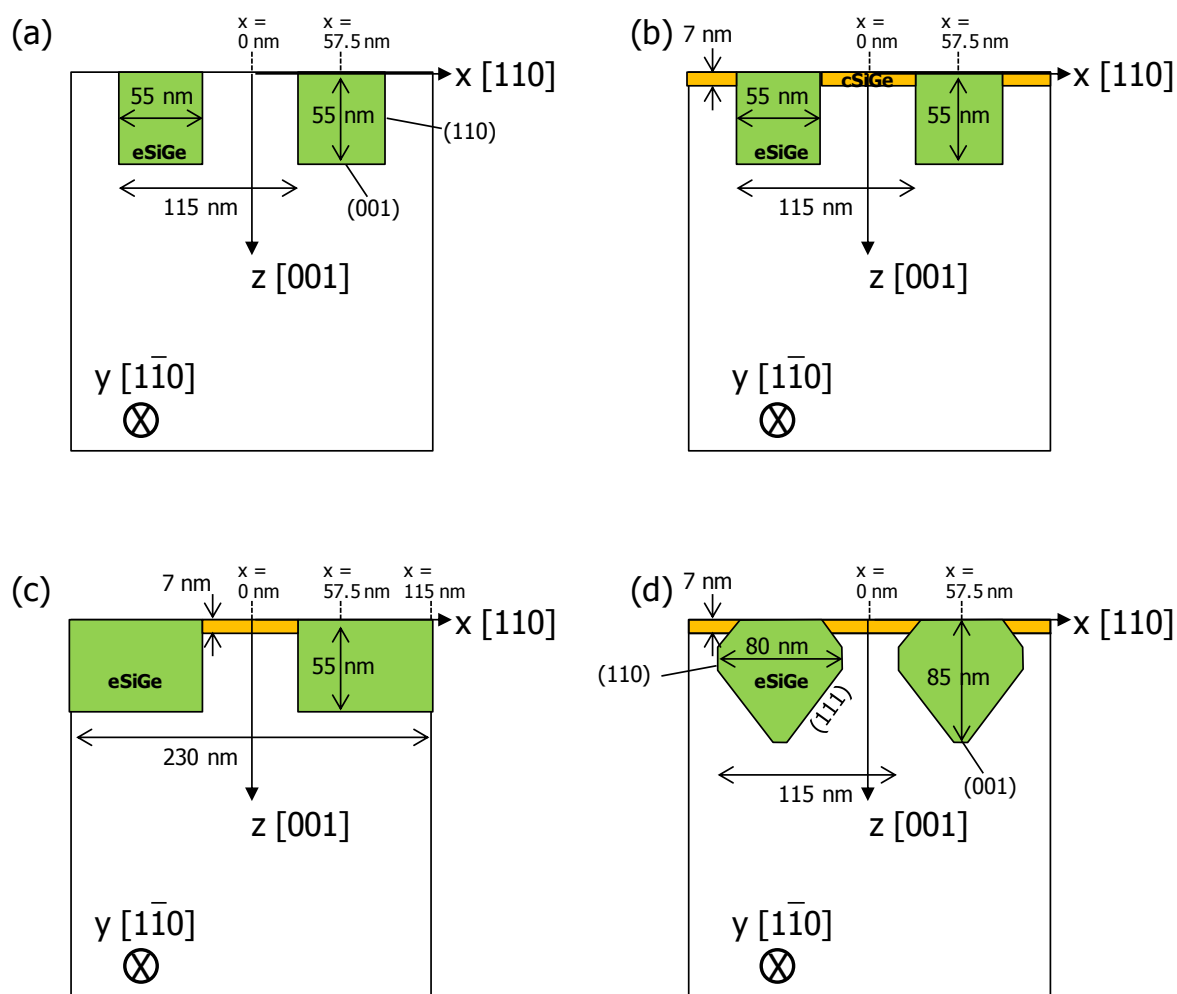
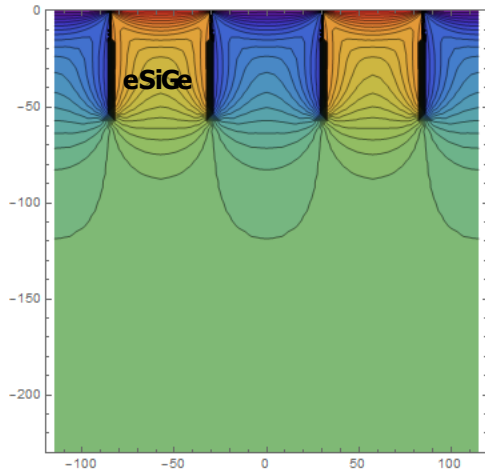


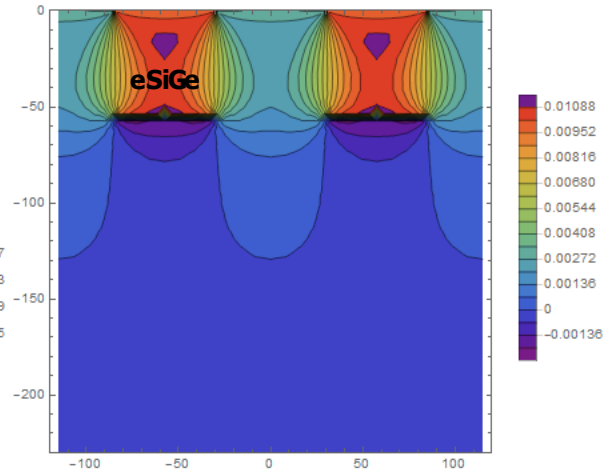
図 3-11. Eshelby 介在物モデリングで用いた介在物 (eSiGe および cSiGe) の形状、サイズ、ピッチ。

- (a) Box 型 S/D eSiGe (Ge 濃度 20%)、cSiGe 無し、115 nm ピッチ。
- (b) Box 型 S/D eSiGe (Ge 濃度 20%)、cSiGe (Ge 濃度 30%)、115 nm ピッチ。
- (c) Box 型 S/D eSiGe (Ge 濃度 20%)、cSiGe (Ge 濃度 30%)、230 nm ピッチ。
- (d) シグマ型 S/D eSiGe (Ge 濃度 20%)、cSiGe (Ge 濃度 30%)、115 nm ピッチ。

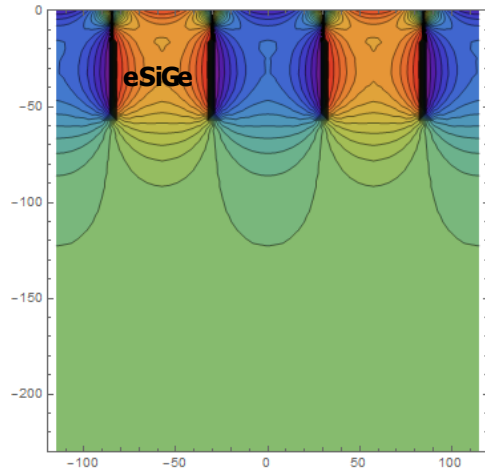
(a) In-plane along [110]



(b) Out-of-plane along [001]



(c) In-plane along [110]



(d) Out-of-plane along [001]

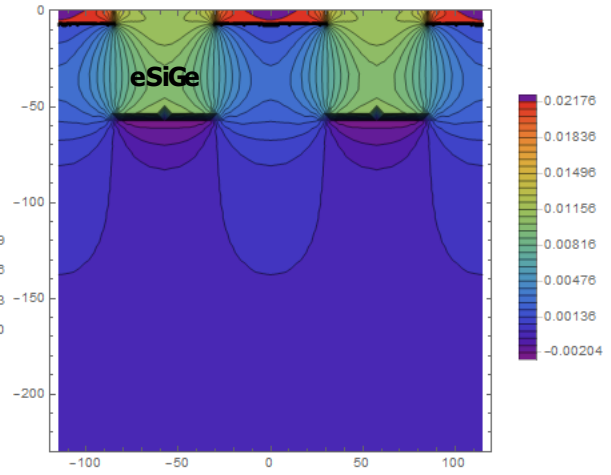


図 3-12. Eshelby 介在物モデルを用いシミュレートした各構造に対する $\text{Si} / \text{cSi}_{0.7}\text{Ge}_{0.3} / \text{eSi}_{0.8}\text{Ge}_{0.2}$ 内の格子変形分布。

Box 型 S/D eSiGe (Ge 濃度 20%)、cSiGe 無し、115 nm ピッチ:

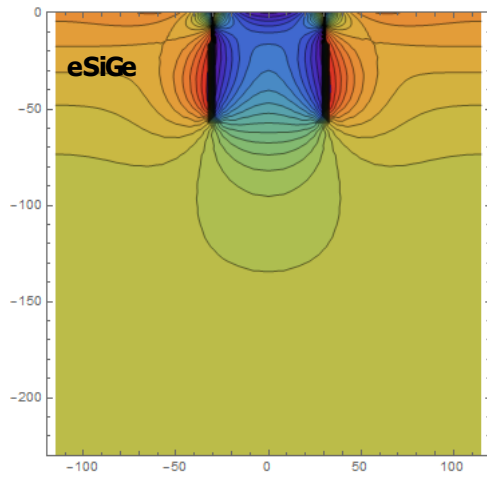
(a) [110] 面内格子変形、(b) [001] 面外格子変形。

Box 型 S/D eSiGe (Ge 濃度 20%)、cSiGe (Ge 濃度 30%)、115 nm ピッチ:

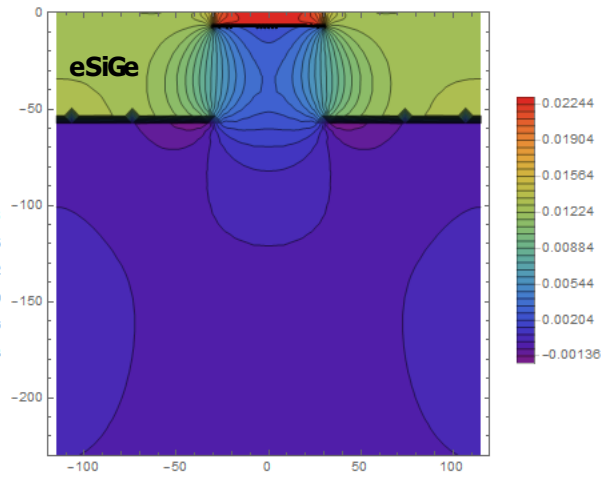
(c) [110] 面内格子変形、(d) [001] 面外格子変形。

次に、各構造における格子変形分布を定量的に比較するために、[110]面内方向と [001]面外方向の格子変形プロファイルを抽出した。図 3-13 は、図 3-11 に示すチャンネル中心部 ($x = 0 \text{ nm}$) および eSiGe 中心部 (115 nm ピッチでは $x = 57.5 \text{ nm}$ 、230 nm ピッチでは $x = 115 \text{ nm}$) における [110]面内および[001]面外格子変形 z 方向ラインプロファイルを示す。230 nm ピッチにおいては、 $x = 57.5 \text{ nm}$ におけるプロファイルも示す。

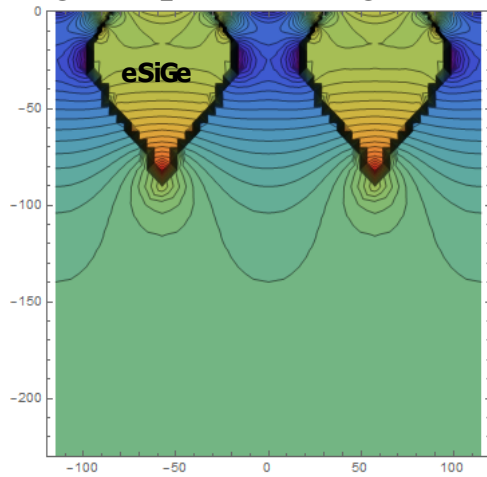
(e) In-plane along [110]



(f) Out-of-plane along [001]



(g) In-plane along [110]



(h) Out-of-plane along [001]

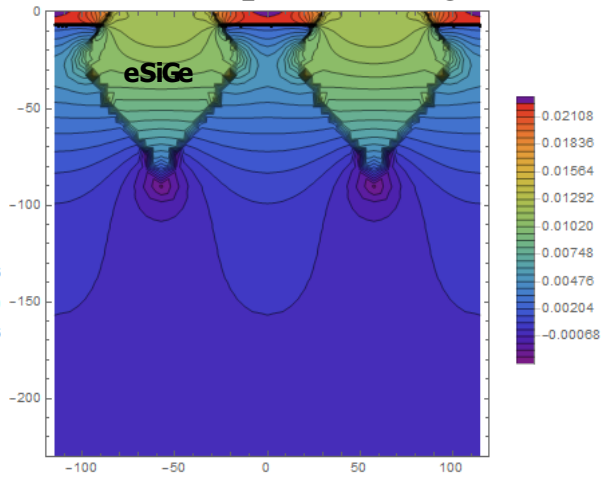


図 3-12 (つづき) . Eshelby 介在物モデルを用いシミュレートした各構造に対する Si / $cSi_{0.7}Ge_{0.3}$ / $eSi_{0.8}Ge_{0.2}$ 内の格子変形分布。

Box 型 S/D eSiGe (Ge 濃度 20%)、 $cSiGe$ (Ge 濃度 30%)、230 nm ピッチ:

(e) [110] 面内格子変形、(f) [001] 面外格子変形。

シグマ型 S/D eSiGe (Ge 濃度 20%)、 $cSiGe$ (Ge 濃度 30%)、115 nm ピッチ:

(g) [110] 面内格子変形、(h) [001] 面外格子変形。

図 3-13(a)に示すチャンネル中心部 ($x=0$ nm) における[110]面内格子変形プロファイルは、 $cSiGe$ を有しない構造の場合 (黒プロファイル)、基板 Si 深部から Si 表面にかけて、格子変形値ゼロ (無歪みの Si と一致した値) から、-0.84%まで単調に変化した。一方、Si 上に $cSiGe$ を有する構造の場合 (赤プロファイル)、表面付近での格子変形は 30 nm の範囲で

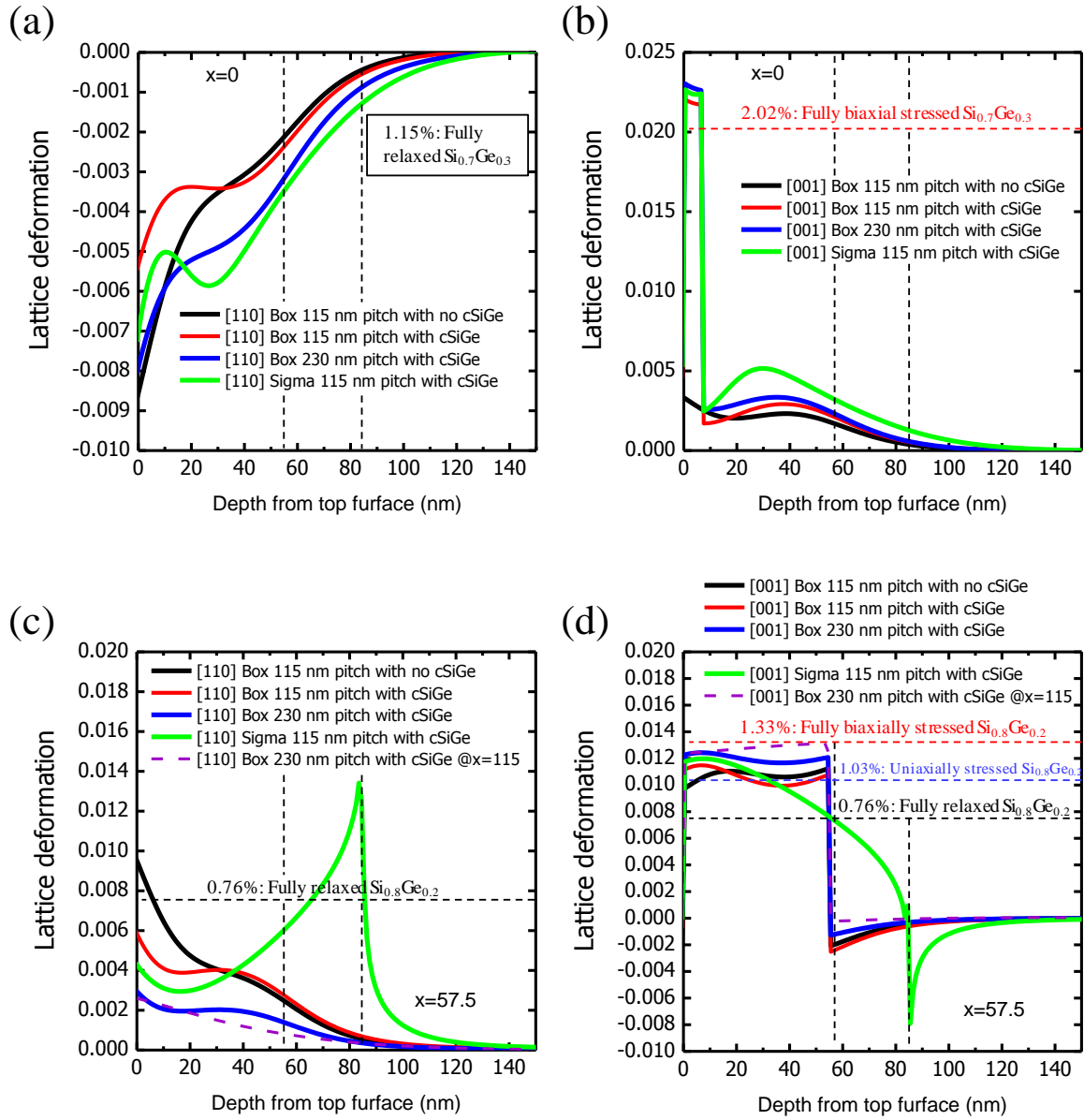


図 3-13. チャンネル中心部 ($x = 0$ nm) および eSiGe 中心部 (115 nm ピッチでは $x = 57.5$ nm、230 nm ピッチでは $x = 115$ nm) における、[110]面内および[001]面外方向格子変形の z 方向ラインプロファイル。230 nm ピッチにおいては、 $x = 57.5$ nm におけるプロファイルも示す。

- (a) チャンネル中心部 ($x = 0$ nm) における[110]面内方向格子変形。
 (b) チャンネル中心部 ($x = 0$ nm) における[001]面外方向格子変形。
 (c) eSiGe 中心部 (115 nm ピッチ: $x = 57.5$ nm または 230 nm ピッチ: 115 nm) における[110]面内方向格子変形。
 (d) eSiGe 中心部 (115 nm ピッチ: $x = 57.5$ nm または 230 nm ピッチ: 115 nm) における[001]面外方向格子変形。

変調され、cSiGeを有しない構造の場合よりも小さい値 (cSiGe表面で-0.52%) を示した。この表面付近における格子変形の変調は、前節でも議論したように、二軸応力を受けた cSiGe

が、微細構造に加工されることによって部分的に歪みが弾性緩和されるためである。 $\text{Si}_{0.7}\text{Ge}_{0.3}$ の平衡格子定数はSiのそれと比較して1.15%大きく、Si上に格子整合して成長したcSiGe内の圧縮歪みがS/Dリセス形成に伴う加工によって緩和される[21]。cSiGe内の部分的弾性歪み緩和は、cSiGe内およびcSiGe直下のSi領域内の[110]面内格子変形を実質的に増大させる方向に作用する。得られたシミュレーション結果は、cSiGeの弾性歪み緩和と、S/D eSiGe ストレッサから印加されたcSiGe内およびcSiGe直下のSi領域への追加の圧縮歪みによる両方の効果の組み合わせを反映している。[110]面内格子変形に基づいて、cSiGe表面における圧縮歪みを見積もると、-1.65%であった。さらに、230 nm ピッチ構造の場合（青プロファイル）、より広いS/D長さによるSiGe体積比の増加により、115 nm ピッチ構造と比較して格子変形が大きくなる（cSiGe表面で-0.78%）ことが分かる。そして、S/D構造にシグマ型リセス形状を適用すると、格子変形プロファイル（緑プロファイル）はさらに変調され、深さ25 nm付近における格子変形が強化されていることがわかる。これは、eSiGe ストレッサが深さ25 nm付近の横方向リセス部分に追加的に埋め込まれるために、隣接Si領域に局所的な圧縮歪みが追加導入されたことに起因する。横方向リセス領域の上下でSi格子変形の増大が起こるため、結果としてcSiGe領域での格子変形もbox型S/D eSiGe構造の場合よりも大きくなる（cSiGe表面で-0.68%）。

図 3-13(b)に示すように、チャンネル中心部（ $x = 0$ nm）における[001]面外格子変形プロファイルは、[110]面内格子変形に従って変化する。[001]面外格子変形は、上述したような[110]方向に沿った圧縮歪みに起因するポアソン伸張によって誘起される引張歪みを示し、Si領域内で連続的に変化する。[001]面外格子変形は、シグマ型リセス形状の場合（緑プロファイル）に最も大きく、図 3-5(a)に示したように、XRD測定により得られた傾向と一致する。また、cSiGe領域とSi領域との境界において、[001]面外格子変形の不連続性が存在する。cSiGe領域内の[001]面外格子変形は2.02%（二軸応力下の完全歪み $\text{Si}_{0.7}\text{Ge}_{0.3}$ [001]面外格子変形値）よりも大きい。これは、cSiGeの[001]面外方向には、下地Siとの格子不整合による二軸応力状態に加えて、eSiGeからの応力印加により引張歪みが追加的に印加されている

ことを意味している。 cSiGe 内の $[001]$ 面外引張歪みの大きさは、 $[110]$ 面内圧縮歪みの値に応じて変化し、230 nm ピッチ構造の box 型 eSiGe の場合（青プロファイル）に最大の引張歪みを示す。

eSiGe 中心部 ($x = 57.5 \text{ nm}$) における $[110]$ 面内格子変形プロファイルを図 3-13(c)に示す。図中の垂直方向の点線は、 eSiGe 底面と Si の境界位置であり、それぞれ、 $z = 55 \text{ nm}$ (box 型 eSiGe)、 $z = 85 \text{ nm}$ (シグマ型 eSiGe) である。 cSiGe を有しない box 型 eSiGe の場合（黒プロファイル）、 eSiGe 領域における $[110]$ 面内格子変形は正の値を示しており、 eSiGe の面内格子定数が Si のものより大きい。これは隣接する Si 領域付近における eSiGe の弾性変形による SiGe 格子間隔の拡張を意味している。格子変形は eSiGe 表面に近づくにつれて徐々に増加し、その増加率は自由表面が存在するため、 eSiGe 表面でより大きくなる。 eSiGe 表面での $[110]$ 面内格子変形は 0.93%であり、 Si の平衡格子定数で規格化した $\text{Si}_{0.8}\text{Ge}_{0.2}$ の平衡格子定数の値 0.76%より大きい。これは eSiGe 表面で $[110]$ 面内方向に引張歪みが印加されていることを意味し、図 3-13(d)に示すように、 eSiGe 表面での $[001]$ 方向に沿った圧縮歪みによるポアソン伸張によって引き起こされる。 eSiGe 表面での $[001]$ 面外格子変形は、 Si の平衡格子定数で規格化した一軸応力下の $\text{Si}_{0.8}\text{Ge}_{0.2}$ の格子定数の値 1.03%よりも小さく、この $[001]$ 方向に沿った圧縮歪みは、格子定数が小さい隣接する Si の束縛によって引き起こされている。完全に結合された構造のため、 eSiGe 底面と直下の Si 領域境界 ($z = 55 \text{ nm}$) における面内変位は連続的でなければならない、 eSiGe 直下の Si 領域に正の格子変形が起こる。その Si 領域内格子変形は Si 基板内 $z = 100 \text{ nm}$ 辺りでゼロに収束し、 eSiGe により Si 格子変形に作用する領域は約 50 nm である。

一方、 Si 上に cSiGe を有する構造の場合（赤プロファイル）、 eSiGe 表面付近での $[110]$ 面内格子変形は 30 nm の範囲で変調され、 cSiGe を有しない構造の場合よりも小さい値（ eSiGe 頂部表面において 0.57%）であった。この eSiGe 表面付近における格子変形の変調は、隣接する Ge 濃度が高い cSiGe からの圧縮歪みの印加によるものである。その結果、

[110] 面内格子変形は Si の平衡格子定数で規格化した $\text{Si}_{0.8}\text{Ge}_{0.2}$ の平衡格子定数の値 0.76% より小さくなる。eSiGe 内の [001] 面外格子変形も [110] 面内格子変形に従い、ポアソン伸張により eSiGe の頂部において、Si の平衡格子定数で規格化した一軸応力下の $\text{Si}_{0.8}\text{Ge}_{0.2}$ の格子定数の値 1.03% よりも大きくなる格子変形が生じる。

また、図 3-13(c)に示すように、230 nm ピッチ構造の場合（紫破線プロファイル）、eSiGe 内の [110] 面内格子変形が小さいことがわかる。比較のために、230 nm ピッチ eSiGe 中心部（ $x = 115 \text{ nm}$ ）に加えて、 $x = 57.5 \text{ nm}$ （115 nm ピッチの eSiGe 中心部と同じ位置）における [110] 面内格子変形プロファイル（青プロファイル）も同様に示した。これより、230 nm ピッチの eSiGe における [110] 面内方向の弾性歪み緩和量が 115 nm ピッチにおけるものよりも小さいことが分かる。一方で、図 3-13(a)で示したように、隣接する Si 領域に印加される圧縮歪み量は 230 nm ピッチの方が大きくなる。これは、Si 領域内の歪み量は、eSiGe 領域から与えられた変位量で決定されるためである。図 3-14 に、シミュレーションにより求めた、深さ $z = 27.5 \text{ nm}$ における eSiGe および Si 領域内の [110] 面内方向の格子変位 u の x 方向プロファイルを示す。eSiGe 領域と Si 領域との境界（ $x = \pm 30 \text{ nm}$ ）および Si 領域（ $-30 \text{ nm} < x < 30 \text{ nm}$ ）における Si の変位量は、eSiGe 領域がより大きい長さ（170 nm）を有する 230 nm

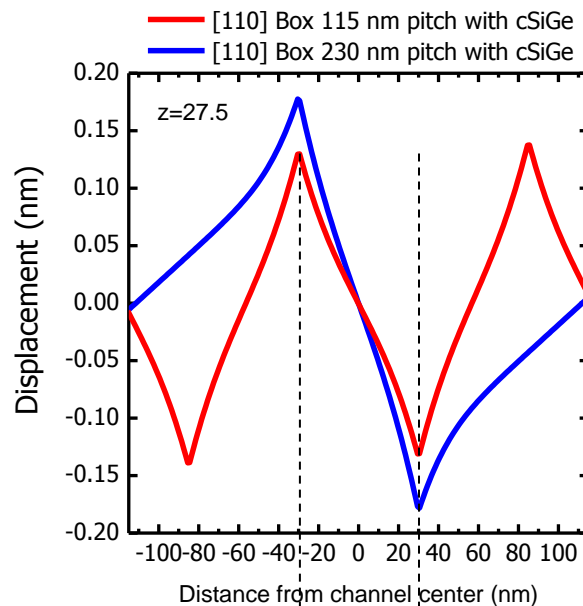


図 3-14. $z = 27.5 \text{ nm}$ における eSiGe および Si 領域内の [110] 面内方向の格子変位 u のプロファイル。

ピッチの場合により大きな値をとり、より強い圧縮を受けていることがわかる。この変位の導関数 $\partial u/\partial x$ は格子変形量を表し、図 3-13(a)および(c)に示したように、230 nm ピッチの場合には、Si 領域では圧縮の格子変形量が大きく、eSiGe 領域では小さいことに対応している。一方、図 3-13(d)には、230 nm ピッチの eSiGe における[001]面外格子変形が、eSiGe 中心部 ($x = 115$ nm) において、二軸応力状態に近い様子が確認される（紫破線プロファイル）。これは、eSiGe 内における[110] 面内方向歪み緩和の抑制と対応しており、中心部 ($x = 115$ nm) において eSiGe が二軸応力下で完全歪み状態に近いことを意味している。そして、Si 領域近辺に近づくと ($x = 57.5$ nm)、eSiGe 内歪みの弾性緩和により[110] 面内および[001] 面外格子変形はそれぞれ増加および減少する（青プロファイル）。

上述のように、230 nm ピッチの場合、eSiGe 領域の格子変形量は減少するが、Si 領域の格子変形量は増加する。これは、eSiGe 領域と隣接する Si 領域の間で歪みエネルギーがバランスする際にその負荷分散が両領域の幾何学的形状・サイズに依存するためである。したがって、230 nm ピッチの eSiGe は、115 nm ピッチの eSiGe よりも格子変形量が少ないが、230 nm ピッチのように eSiGe 領域の体積が大きいほど、隣接する Si 領域に与える格子変形量が大きくなる。

図 3-2 で得られた 004 ω -2 θ X 線回折結果は、ブランケット開口部とデバイス構造における SiGe 内の格子変形の特徴を示しており、本節の結果と一致している。230 nm ピッチのような、より大きな S/D 長さを有するデバイス構造での SiGe 回折ピーク位置は、ブランケット開口部における SiGe からの回折ピーク位置とわずかな差しかなく、つまり eSiGe の大部分が完全に歪んだ二軸応力状態に近く、隣接する Si 中で最大の歪み量を示す。

図 3-13(c)に示すように、eSiGe における[110] 面内格子変形もまたシグマ型リセス形状を適用することによって変調される（緑プロファイル）。eSiGe ストレッサが $0 < z < 45$ nm の範囲で追加的に形成された横方向リセス部内に埋め込まれるため、S/D eSiGe 長さが実質的に増大することにより、[110] 面内格子変形は eSiGe 表面において box 型リセス形状と比

較して小さくなる。逆に、 $45 < z < 85 \text{ nm}$ の範囲では、実質的な S/D eSiGe 長さが減少するため、ストレッサとしての eSiGe の効果は減少する。eSiGe における[110] 面内格子変形は、 $z = 65 \text{ nm}$ 付近で Si の平衡格子定数で規格化した $\text{Si}_{0.8}\text{Ge}_{0.2}$ の平衡格子定数の値 0.76% より大きくなり、eSiGe 内に[110] 面内方向引張歪みが誘起されていることがわかる。そして、シグマ eSiGe 下端 ($z = 85 \text{ nm}$) で最大の引張歪み値を示す。[110] 面内格子変形に基づいて、シグマ eSiGe 下端における eSiGe の引張歪みを計算すると 0.58% であった。[001] 面外格子変形プロファイルは[110] 面内格子変形に従って変化し、図 3-13(d) に示すように $z = 55 \text{ nm}$ 付近で引張歪み状態から圧縮歪み状態へ遷移し、シグマ eSiGe 下端における[001] 面外格子変形値はほぼゼロとなる（緑プロファイル）。これは、シグマリセス固有の形状により eSiGe 下端では eSiGe 体積が非常に小さくなり、SiGe が側壁 Si に格子整合していること、つまり、SiGe の [001] 方向格子定数が Si の格子定数と一致し、周囲の大部分である Si 領域から圧縮歪みを受けていることを意味する。このように、 $65 < z < 85 \text{ nm}$ の範囲では、eSiGe は[001] 面外方向に圧縮歪みを持ち、ポアソン伸張により[110] 面内方向には引張歪みが誘起される。

上記の結果は、歪みの大きさと分布がデバイス構造、すなわちストレッサのサイズ、間隔、および形状に強く依存することを示している。

3.3.4 eSiGe デバイス構造における歪み・結晶性の熱的安定性

前節までに示した結果は、eSiGe エピタキシャル成長直後の結晶性を評価したものであった。しかしながら、MOSFET が作製されて電氣的に機能するようになるまでには、プロセスの下流にいくつかの処理工程がある。その中でも、イオン注入や熱処理のような工程は、歪みデバイスの表面領域にダメージを与えると、結晶性を変化させうるプロセスである。そこで、CMOS プロセスフローにおけるイオン注入と熱処理（急速アニールとミリ秒アニール）が歪み SiGe / Si 構造の結晶性に与える影響を調査した。115 nm および 230 nm ゲート

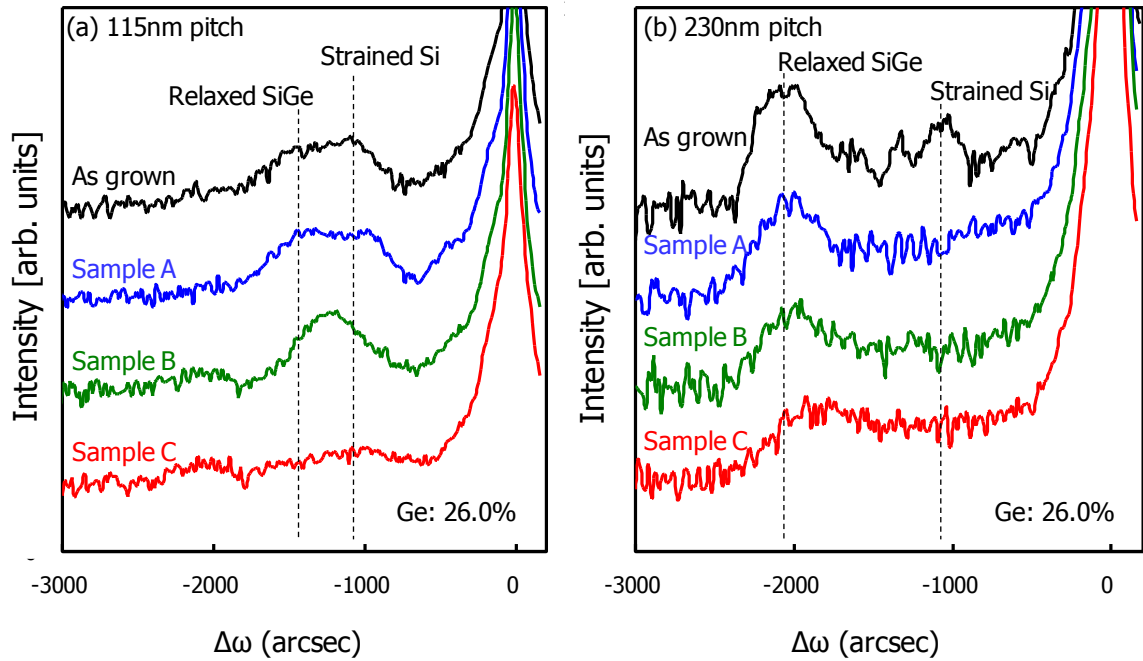


図 3-15. シグマリセス形状 S/D eSiGe を有する (a)115 nm および (b)230 nm ゲートピッチ構造における 004 ω -2 θ X 線回折結果。サンプルはそれぞれ、S/D eSiGe 成長直後のもの、イオン注入と熱処理を追加した 3 種類のサンプル (Sample A、B、および C) で S/D eSiGe Ge 濃度は 26% である。

ピッチ構造を有するシグマリセス形状 S/D eSiGe サンプルを作製した。S/D eSiGe の Ge 濃度は 26% である。サンプルは、S/D eSiGe 成長直後のものと、イオン注入と熱処理を追加した 3 種類のサンプル (Sample A、B、C) であり、eSiGe 膜厚は Sample A で最も薄く、Sample C で最も厚い。115 nm および 230 nm ゲートピッチ構造における 004 ω -2 θ X 線回折プロファイルを、それぞれ図 3-15(a) および (b) に示す。また平面 TEM 像を図 3-16 に示す。115 nm ゲートピッチ構造で、熱処理された Sample A と成長直後の eSiGe における X 線回折プロファイルを比較すると、歪み Si および歪み緩和 SiGe ピークの位置に変化はない。また、平面 TEM 像 (図 3-16) から、転位等の結晶欠陥の導入は観察されない。一方、Sample B については、SiGe ピーク位置は高角側にシフトしており、SiGe の [001] 方向格子定数が減少していることがわかる。また歪み Si ピークの強度が減少している。Sample C においては、歪み緩和 SiGe ピークは強度が急激に低下し、歪み Si ピークは消失している。-1200 arcsec 近傍の SiGe ピークは、結晶欠陥導入による特徴的なピーク広がりを示しており、これは図 3-16 の平面 TEM 像からもわかるように [110] 方向に伝播した転位の導入によるものである。

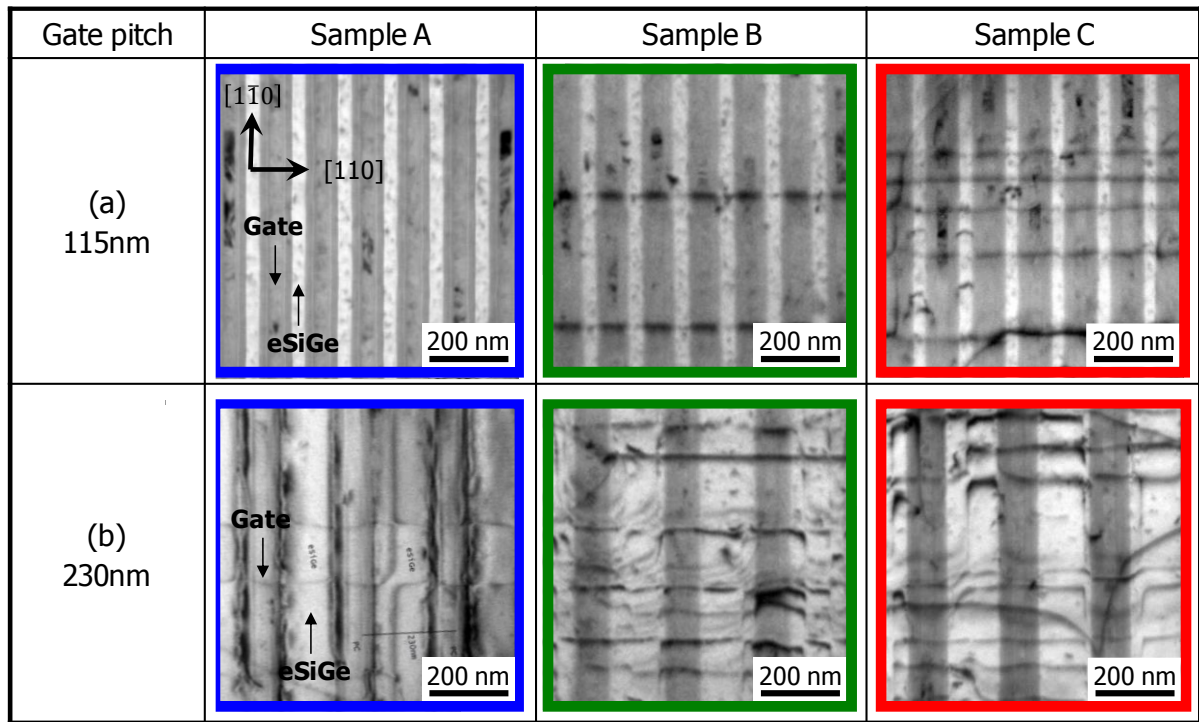


図 3-16. シグマリセス形状 S/D eSiGe を有する (a)115 nm および(b)230 nm ゲートピッチ構造における平面 TEM 像。サンプルはそれぞれ、S/D eSiGe 成長直後のもの、イオン注入と熱処理を追加した 3 種類のサンプル (Sample A、B、および C) で S/D eSiGe Ge 濃度は 26% である。

Si および SiGe 混晶はダイヤモンド構造であり、歪み緩和時には 60° 転位と呼ばれるすべり転位が導入される。また、導入された 60° 転位は、共有結合性に由来する高い Peierls ポテンシャルから $\langle 110 \rangle$ 方向に沿う傾向が強く、その $\langle 110 \rangle$ 方向転位線と 60° の角度をなす Burgers ベクトルを持ち、転位線と垂直な $\langle 110 \rangle$ 方向の歪みを緩和する。Sample B および Sample C では $[110]$ 方向のみに沿った転位が観察され、これらの転位は SiGe 内の $[\bar{1}\bar{1}0]$ 方向の歪みを塑性変形により緩和する。前節までで議論したように、成長直後の eSiGe 内の $[110]$ 方向圧縮歪みは弾性的に緩和されるので、結果として、eSiGe 細線構造は $[\bar{1}\bar{1}0]$ 方向には完全に歪み、 $[110]$ 方向には歪みが弾性的に緩和した異方的な面内歪みを有する。したがって、 $[110]$ 方向に沿って伝播した転位は、下地 Si に格子整合して $[\bar{1}\bar{1}0]$ 方向に圧縮歪みを内包している eSiGe を緩和するために優先的に導入されたと考えられる。最も厚い膜厚の eSiGe を有する Sample C で、より高い転位密度であることがわかる。

図3-15(b)に示されるように、Sample Aの230 nmゲートピッチ構造における歪みSiピークが熱処理後に消失している。図3-16で示されるように、Sample Aの230 nmゲートピッチ構造で[110]および $[1\bar{1}0]$ 方向に沿って伝播した転位が導入されており、eSiGe内圧縮歪みが塑性的に緩和されていることがわかる。一方、115 nmピッチ構造の場合には、このような転位は導入されなかった。これは、前節で説明したような230 nmピッチのeSiGeの[110]方向の残留圧縮歪みに関連している。230 nmピッチでは115 nmピッチと比較して、eSiGe内[110]方向の弾性歪み緩和量が少なく、残留した圧縮歪みが熱処理時の転位導入により緩和される。それにより隣接するSi領域への歪みの印加効果が抑制されるため、歪みSiピークが消失したと考えられる。また、eSiGeの厚さ増加とともに転位密度は増加し、歪み緩和SiGeピーク強度が減少することが明らかになった。

3.4 まとめ

本章では、平面バルク MOSFET デバイス構造における S/D 領域のエピタキシャル eSiGe ストレッサ、およびゲート直下の歪みチャネル SiGe/Si における歪み・結晶性の評価について述べた。高分解能 XRD 測定を実際のデバイス構造へ適用することで、非破壊測定による評価を可能とした。また、eSiGe の Ge 濃度、S/D 領域のリセス形状による歪みの変化を調査した。実験結果を解析的モデリング手法によるシミュレーション結果と比較し、デバイススケールでの格子変形による歪状態変化のメカニズムを明らかにした。

歪み Si および eSiGe 領域内の歪みは、ブランケット開口領域上の理想的な二軸応力状態とは異なり、XRD によって明確に直接測定および検出できることが分かった。デバイス構造における格子変形プロファイルは、ゲートピッチ、eSiGe のリセス形状および Ge 濃度に対応して変化した。高 Ge 濃度および S/D eSiGe 領域の増加により、隣接する cSiGe/Si 領域への歪み印加効果が増大した。シグマリセス形状を用いることにより、ピッチを変更することなく歪み印加効果を高めることができ、これはデバイス寸法を変えずにチャンネルのキャ

リア移動度を向上させることができる技術として有効である。また、デバイス構造・スケールにおける歪み状態発生・変化のメカニズムを理解するために、解析的モデリング手法 (Eshelby モデル) を用いて、格子変形のシミュレーションを行った。デバイス構造の形状 (ストレッサのサイズ、スペース、形状) によって、歪みの大きさや分布が変調されることが明らかになった。最後に、XRD 測定により、下流プロセス後のデバイス構造における歪み Si および eSiGe 構造中への欠陥導入の検出を実証した。

本章の結果は、巨視的スケールではなく実際のデバイス構造・スケールにおける歪みを評価し、その発生メカニズムを理解することの重要性を提示している。歪みを利用してデバイス特性を向上させるためには、Ge 濃度、デバイス寸法、ストレッサ形状などの実際のデバイス構造、および後工程 (イオン注入、熱処理) によるデバイス内歪み・結晶性への影響を制御することが重要である。

3.5 参考文献

- [1] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, IEEE IEDM, 11.6.1 (2003).
- [2] W-H. Lee, A. Waite, H. Nii, H. M. Nayfeh, V. McGahay, H. Nakayama, D. Fried, H. Chen, L. Black, R. Bolam, J. Cheng, D. Chidambarao, C. Christiansen, M. Cullinan-Scholl, D. R. Davies, A. Domenicucci, P. Fisher, J. Fitzsimmons, J. Gill, M. Gribelyuk, D. Harmon, J. Holt, K. Ida, M. Kiene, J. Kluth, C. Labelle, A. Madan, K. Malone, P. V. McLaughlin, M. Minami, D. Mocuta, R. Murphy, C. Muzzy, M. Newport, S. Panda, I. Peidous, A. Sakamoto, T. Sato, G. Sudo, H. VanMeer, T. Yamashita, H. Zhu, P. Agnello, G. Bronner G. Freeman, S-F Huang, T. Ivers, S. Luning, K. Miyamoto, H. Nye, J. Pellerin, K. Rim, D. Schepis, T. Spooner, X. Chen and M. Khare, IEDM Tech. Dig., 56 (2005).

[3] L.T. Su, J. Pellerin, S.F. Huang, M. Khare, D. Schepis, K. Rim, S. Liming, A. Waite, T. Sato, S. Panda, H. Nii, W. Lee, J. Holt, D. Fried, D. Chidambarao, H. Chen, N. Kepler, M. Raab, D. Greenlaw, R. Stephan, P. Hubler, H. Ruelke, O. Herzog, H.-J. Engelmann, M. Schaller, H. Salz, B. Trui, M. Trentsch, C. Reichel, P. Press, R. Otterbach, A. Neu, M. Lenski, G. Koerner, J. Klais, P. Javorka, J. Hohage, K. Hempel, A. Hellmich, M. Gerhardt, K. Frohberg, T. Feudel, H. Bierstedt, J. Hontschel, T. Kammler, A. Wei, M. Horstmann, L.T. Su, J. Pellerin, S.F. Huang, M. Khare, D. Schepis, K. Rim, S. Liming, A. Waite, T. Sato, S. Panda, H. Nii, W. Lee, J. Holt, D. Fried, D. Chidambarao, H. Chen, N. Kepler, M. Raab, D. Greenlaw, R. Stephan, P. Hubler, H. Ruelke, O. Herzog, H.-J. Engelmann, M. Schaller, H. Salz, B. Trui, M. Trentsch, C. Reichel, P. Press, R. Otterbach, A. Neu, M. Lenski, G. Koerner, J. Klais, P. Javorka, J. Hohage, K. Hempel, A. Hellmich, M. Gerhardt, K. Frohberg, T. Feudel, H. Bierstedt, J. Hontschel, T. Kammler, A. Wei, and M. Horstmann, IEDM Tech. Dig., 233 (2005).

[4] S. Krishnan, U. Kwon, N. Moumen, M.W. Stoker, E.C.T. Harley, S. Bedell, D. Nair, B. Greene, W. Henson, M. Chowdhury, D.P. Prakash, E. Wu, D. Ioannou, E. Cartier, M.-H. Na, S. Inumiya, K. Mcstay, L. Edge, R. Iijima, J. Cai, M. Frank, M. Hargrove, D. Guo, A. Kerber, H. Jagannathan, T. Ando, J. Shepard, S. Siddiqui, M. Dai, H. Bu, J. Schaeffer, D. Jaeger, K. Barla, T. Wallner, S. Uchimura, Y. Lee, G. Karve, S. Zafar, D. Schepis, Y. Wang, R. Donaton, S. Saroop, P. Montanini, Y. Liang, J. Stathis, R. Carter, R. Pal, V. Paruchuri, H. Yamasaki, J.-H. Lee, M. Ostermayr, J.-P. Han, Y. Hu, M. Gribelyuk, D.-G. Park, X. Chen, S. Samavedam, S. Narasimha, P. Agnello, M. Khare, R. Divakaruni, V. Narayanan, and M. Chudzik, IEDM Tech. Dig., 28.1.1 (2011).

[5] C. Ortolland, D. Jaeger, T. J. Mcardle, C. Dewan, R. R. Robison, K. Zhao, J. Cai, P. Chang, Y. Liu, V. Varadarajan, G. Wang, A. I. Chou, D. P. Ioannou, P. Oldiges, P. Agnello, S. Narasimha, V. Narayanan, and G. Freeman, IEDM Tech. Dig., 9.4.1 (2013).

[6] C. W. Leitz, M. T. Currie, M. L. Lee, Z.-Y. Cheng, D. A. Antoniadis, and E. A. Fitzgerald,

- Appl. Phys. Lett. **79**, 4246 (2001).
- [7] J. P. Liu, K. Li, S. M. Pandey, F. L. Benistant, A. See, M. S. Zhou, L. C. HSia, R. Schampers, and D. O. Klenov, Appl. Phys. Lett. **93**, 221912 (2008).
- [8] J. Vanhellemont, I. De Wolf, K. G. F. Janssens, S. Frabboni, R. Balboni, and A. Armigliato, Appl. Surf. Sci. **63**, 119 (1993).
- [9] A. Armigliato, R. Balboni, G. P. Carnevale, G. Pavia, D. Piccolo, S. Frabboni, A. Benedetti, and A. G. Cullis, Appl. Phys. Lett. **82**, 2172 (2003).
- [10] F. H  , M. H  tch, H. Bender, F. Houdellier, and A. Claverie, Phys. Rev. Lett. **100**, 156602 (2008).
- [11] J. Chung, G. Lian, and L. Rabenberg, Appl. Phys. Lett. **93**, 081909 (2008).
- [12] M. H  tch, F. Houdellier, F. H  , and E. Snoeck, Nature. **453**, 1086 (2008).
- [13] D. K. Bowen and B. K. Tanner, X-ray Metrology in Semiconductor Manufacturing, CRC Press, p.23 (2006).
- [14] G. Theodorou, P. C. Kelires, and C. Tserbak, Phys. Rev. B **50**, 18355 (1994).
- [15] P. van der Sluis, J. J. M. Binsma, and T. van Dongen, Appl. Phys. Lett. **62**, 3186 (1993).
- [16] A. Ulyanenkova, T. Baumbach, N. Darowski, U. Pietsch, K. H. Wang, A. Forchel, and T. Wiebach, J. Appl. Phys. **85**, 1524 (1999).
- [17] J. R. Holt, A. Madan, E. C. T. Harley, M. W. Stoker, T. Pinto, D. J. Schepis, T. N. Adam, C. E. Murray, S. W. Bedell, and M. Holt, J. Appl. Phys. **114**, 154502 (2013).
- [18] N. Darowski, U. Pietsch, Y. Zhuang, S. Zerlauth, G. Bauer, D. L  bbert, and T. Baumbach, Appl. Phys. Lett. **73**, 806 (1998).

- [19] S. E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, J. Chia-Hong, C. Kenyon, J. Klaus, K. Kuhn, M. Zhiyong, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, N. Phi, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, and Y. El-Mansy, *IEEE Trans. Electron Devices* **51**, 1790 (2004).
- [20] J. P. Dismukes, L. Ekstrom, and R. J. Paff, *J. Phys. Chem.* **68**, 3021 (1964).
- [21] M. L. Lee, D. A. Antoniadis, and E. A. Fitzgerald, *Thin Solid Films* **508**, 136 (2006).
- [22] Van Huy Nguyen, A. Dobbie, M. Myronov, and D. R. Leadley, *J. Appl. Phys.* **114**, 154306 (2013).
- [23] J. M. Hartmann, A. M. Papon, V. Destefanis, and T. Billon, *J. Cryst. Growth* **310**, 5287–5296 (2008).
- [24] R. D. Mindlin and D. H. Cheng, *J. Appl. Phys.* **21**, 931 (1950).
- [25] J. H. Davies, *J. Appl. Mech.* **70**, 655 (2003).
- [26] C.E. Murray, M. Sankarapandian, S. M. Polvino, I. C. Noyan, B. Lai and Z. Cai, *Appl. Phys. Lett.* **90**, 171919 (2007).

第 4 章

ナノスケール 3 次元 FinFET デバイス 構造における局所歪み

4.1 はじめに

近年、相補型金属酸化膜半導体（CMOS: complementary metal-oxide-semiconductor）デバイスの性能向上は、デバイスサイズをより微細化するスケーリングにより達成されてきた [1]。しかしながら、デバイス寸法の縮小は、短チャネル効果、ゲート漏れ電流の増加、および寄生抵抗／容量の増大などにより、単なる微細化では性能向上が達成できないことが明らかになってきた。したがって、これらの寄生効果を軽減し性能改善するための新規要素が最先端 CMOS デバイスに組み込まれてきた。例えば、High-k /メタルゲート技術と歪み技術は、ゲートリーク電流、ソース-ドレインリーク電流の低減、およびキャリア移動度向上のために 32 nm テクノロジノード以降に導入された主な革新的技術である [2-5]。

最近、従来用いられてきた平面デバイス構造と比較して優れたゲート - チャネル制御性を有する非平面デバイス構造が、高性能 CMOS デバイスのさらなる微細化を達成するために提案されている。図 4-1 に示すような FinFET および水平／垂直方向ゲートオールアラウンド（GAA: gate all around）構造などの 3 次元デバイス構造は、14 nm テクノロジノード以降においてスケーリングの継続を可能にする有望なデバイス構造の候補である [6-8]。さらに、従来、平面デバイス構造に用いられてきたソース - ドレインエピタキシャル成長や応力膜堆積などにより得られる歪みチャネル構造を、FinFET デバイスに実装することによっ

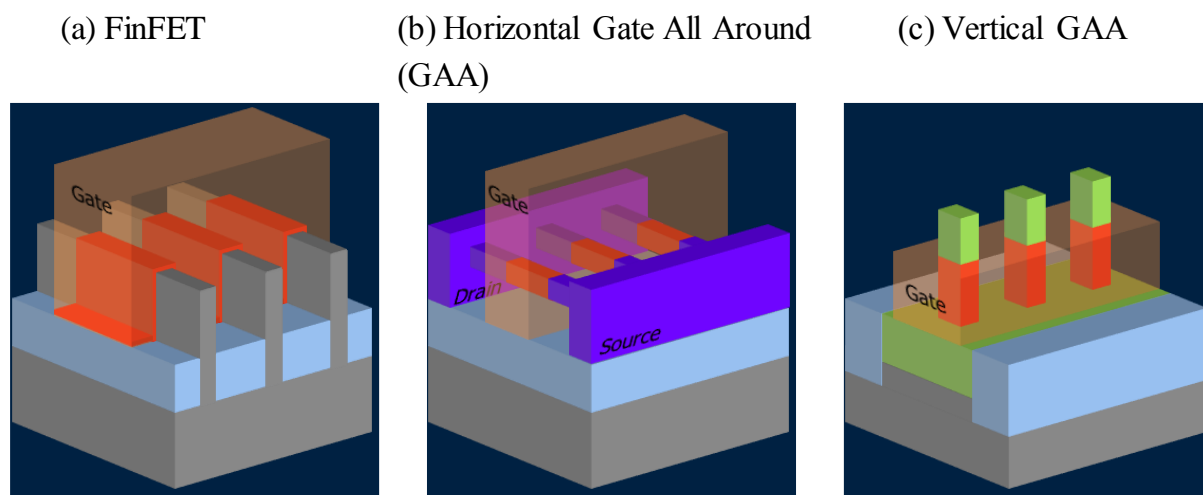


図 4-1. スケーリング継続のための 3 次元デバイス構造。(a) FinFET、(b) 水平方向ゲートオールアラウンド、(c) 垂直方向ゲートオールアラウンド。

て性能が改善されることが報告されている [9, 10]。特に、チャネル部に圧縮歪み SiGe を用いる歪み SiGe FinFET は、その高いキャリア移動度のために、FinFET デバイス性能を向上させるための魅力的な選択肢と考えられている[11-14]。しかしながら、ナノスケールの非平面デバイス構造内の歪み分布は、3 次元デバイス特有の構造により、平面構造のそれと比較して異なる特徴を示すことが予想される。3 次元構造内の歪みの変動はデバイスの微細化と共に、より顕著になると考えられるので、それが与えるデバイス特性への影響も大きくなる。したがって、これらのナノスケール 3 次元デバイス構造の形状がより複雑化していく現状において、デバイス構造内で歪みがどのように発生・分布するかを理解することは非常に重要である。

本章では、高分解能 X 線回折 (HRXRD: high-resolution X-ray diffraction) と透過型電子顕微鏡法 (TEM: transmission electron microscopy) ベースのナノビーム電子線回折 (NBD: nanobeam diffraction) を組み合わせることで、ナノスケール歪み SiGe fin 構造における局所歪みを詳細に評価する。[110]方向に平行な SiGe fin を周期的かつ均一に配置した構造を作製し評価を行う。3 次元構造における歪み状態の変調を理解するために、異なる Ge 濃度およびアスペクト比を持つ歪み SiGe fin 構造内における歪みを評価する。また、ナノビーム X 線

回折（nanoXRD: nanobeam X-ray diffraction）と NBD を用いて、SiGe fin の端部における局所歪みの変調も調べ、測定により得られた結果とシミュレーション結果との比較も行う。

さらに、局所的な歪み分布が歪み SiGe FinFET デバイスの電気的特性に与える影響を調査し、NBD を用いた物理解析との比較を行う。また、その負の影響を緩和する手法についても検討し、2 種類のデバイスインテグレーション技術を用いて、SiGe fin チャンネル部の歪み緩和の抑制を試み、デバイスの電気的特性との相関を調査する。

4.2 実験方法

SiGe fin 作製においては、Silicon on insulator（SOI）(001)基板およびバルク Si(001)基板の 2 種類の基板を使用した。Si の熱酸化および SiO₂ の除去を行い、SOI 層を膜厚 10 nm まで薄膜化した。高さ 30 nm の fin を作製するために、膜厚 10 nm の SOI (001)基板上に膜厚 20 nm の Si_{1-x}Ge_x（x = 0.18、0.28、0.38）層をエピタキシャル成長させた。また、バルク Si(001)基板上に種々の SiGe 層を、Ge 濃度: 12.5 ~ 52.0%、膜厚: 5 ~ 60 nm の範囲でエピタキシャル成長させた。SiGe 層のエピタキシャル成長は、300 mm ウェハ用減圧化学気相成長（RPCVD: reduced-pressure chemical vapor deposition）装置を用いて行った。SiGe/SOI 層および SiGe/Si 基板構造には、フォトリソグラフィおよび反応性イオンエッチングを用いて、ピッチ 42 nm/幅 10 nm の fin 構造へのパターン加工を行った。エピタキシャル SiGe 層の膜厚に応じて種々のアスペクト比（SiGe fin 高さ/幅）を有する SiGe fin を作製した。図 4-2 に示すように、fin の長さ方向および fin の幅方向はそれぞれ 2 つの面内方向の[110]方向および[1 $\bar{1}$ 0]方向に平行になるように、また、fin の高さ方向は面外方向の[001]方向に平行になるように定義した。

SiGe fin 内の歪み/格子変形は、HRXRD と NBD の両手法を用いて評価した。HRXRD 測定は、Si 113 および SiGe 113 回折面からの Bragg 反射を用いて行った。一次ビー

ムは、多層 X 線ミラーおよび 2 バウンス Ge (004) ビームコンディショナーを使用して調整されている。X 線源 Cu-K α の波長は 0.15406 nm (光子エネルギー: 8.05 keV) であり、Si 基板の 113 反射に対する Bragg 角は 28.1°である。X 線ビームの寸法は垂直および水平方向において、それぞれ 100 μ m および 100 μ m であった。ナノスケールの SiGe fin 構造内の歪みの非対称性を SiGe fin 長さおよび幅の両方向において評価するために、[110]および $[\bar{1}\bar{1}0]$ 方向の 2 方向に沿って X 線を入射させて測定を行った。TEM 観察用サンプルは、集束イオンビーム (FIB: focused ion beam) 加工を用いて作製され、200 kV で動作させた電界放出型 TEM (FEI Osiris) を用いて撮像された。SiGe fin 内の格子変形プロファイルは、NBD を用いて 4 nm 未満の空間分解能で測定された。

SiGe fin 内の局所歪みを非破壊に測定するために、大型放射光施設 SPring-8 (Super Photon Ring-8 GeV) の硬 X 線ビームライン (BL13XU) において、Si 113 および SiGe 113 Bragg 反射を使用して、nanoXRD 測定を行った [15-19]。X 線ビームはゾーンプレートにより集束され、幅 50 μ m のスリットを使用して、水平方向の角度広がりを抑制した。X 線ビームの寸法は垂直および水平方向において、それぞれ 450 nm および 1000 nm であった。X 線の波長は 0.15498 nm (光子エネルギー: 8.0 keV) であり、Si 基板の 113 反射に対する Bragg 角は 28.2°である。SiGe fin 端部の fin 長さ方向の局所的な歪みを評価するために、[110]方向に沿って X 線を入射させて測定を行った。

4.3 実験結果と考察

4.3.1 ナノスケール SiGe fin 構造における格子変形の異方性

図 4-2 に、20 nm Si_{0.72}Ge_{0.28}/10 nm SOI 層を用いて作製したブランケット構造および周期的 fin 構造からの 113 反射周りの HRXRD 二次元逆格子マップ (RSM: Reciprocal Space Map) を示す。X 線はそれぞれ、ブランケット構造においては[110]方向 (図 4-2(a))、周期的 fin 構

造においては $[110]$ および $[1\bar{1}0]$ 方向の2方向（図4-2(b)）に沿って入射させて測定した。RSMにおける回折ピークの水平位置 Q_x は格子面間隔の面内方向成分、つまり、113 回折ピークについては (110) 格子面間隔 d_{110} に、 $1\bar{1}3$ 回折ピークについては $(1\bar{1}0)$ 格子面間隔 $d_{1\bar{1}0}$ に対応する。一方、RSMにおける回折ピークの垂直位置 Q_y は格子面間隔の面外方向成分、つまり、113 および $1\bar{1}3$ 回折ピークについては (003) 格子面間隔 d_{003} に対応する。大きさ Q を有する回折ベクトルに対して、対応する格子面間隔は Q に反比例する値となる。ブランケット構造の RSM は、Si 基板からの高強度ピークと SiGe 層からの低強度のピークの 2 つの主回折ピークを有する。SiGe 113 回折ピークの位置 Q_x 、 Q_y は、SiGe の面内方向および面外方向の格子面間隔／歪みに対応する。

図 4-2(a)に示すように、SiGe 回折ピークの Q_x は Si 基板ピークの値と同じであるので、ブランケット SiGe 膜は、下地 Si と格子整合しており、面内方向に完全に歪んだ状態である。

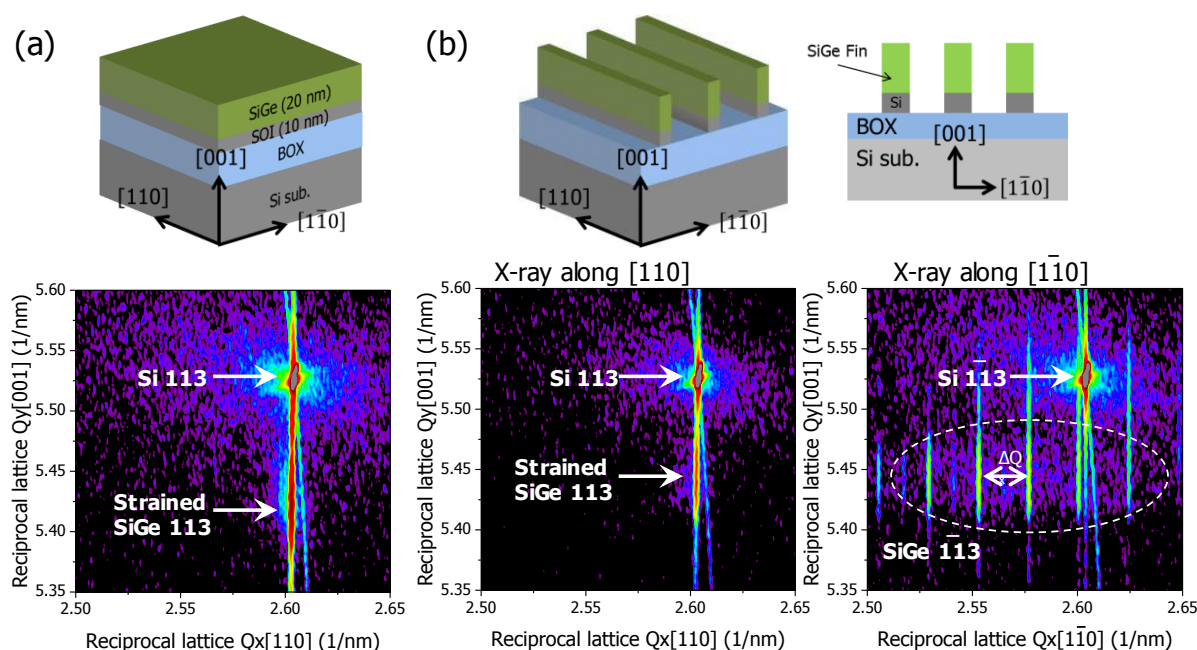


図 4-2. (a) $[110]$ 方向（SiGe fin 長さ方向）に沿って X 線を入射して測定した $\text{Si}_{0.72}\text{Ge}_{0.28}$ ブランケット膜、(b) $[110]$ 方向（SiGe fin 長さ方向）および $[1\bar{1}0]$ 方向（SiGe fin 幅方向）に沿って X 線を入射して測定した $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 構造における 113 および $1\bar{1}3$ 反射周りの二次元逆格子マップ（RSM: Reciprocal Space Map）。概略図に、SiGe fin 構造の X 線入射方向とパターン形状の関係を示す。 ΔQ_x はサテライトピークの周期間隔、点線の楕円は $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 構造におけるブロードな $1\bar{1}3$ 回折ピークを示す。

完全に歪み緩和すると $\text{Si}_{0.72}\text{Ge}_{0.28}$ は面内方向格子間隔が大きくなるので、 Q_x の値はそれに対応して小さくなる（ピーク位置が Q_x の負の方向へ 0.0276 nm^{-1} 分シフトする。）。図 4-2(b) に示すように、 SiGe fin も同様に長さ方向に沿って完全に歪んでいることが確認された。

RSM におけるブランケット SiGe 層と Si 基板ピークとの間の Q_y 値のオフセットは、材料間の平衡格子定数の差と SiGe 面内圧縮歪みにより追加されるポアソン伸張の 2 つの効果により生じる。平衡格子定数は、RSM 113 回折ピーク位置に換算すると、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ に対して ($Q_x: 2.5764 \text{ nm}^{-1}$ 、 $Q_y: 5.4655 \text{ nm}^{-1}$)、 Si に対して ($Q_x: 2.6040 \text{ nm}^{-1}$ 、 $Q_y: 5.5238 \text{ nm}^{-1}$) であり、歪みを持たない $\text{Si}_{0.72}\text{Ge}_{0.28}$ 層回折ピークは Si 基板ピークに対して Q_x の負の方向へ 0.0276 nm^{-1} 、 Q_y の負の方向へ 0.0583 nm^{-1} シフトした位置に出現する。さらに、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ 層が下地 Si に格子整合し面内方向に完全に歪んだ状態を考えると、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ は面内方向における二軸性圧縮応力状態にあり、ポアソン比により面外方向に引張歪みが誘起される。この追加分の歪みによって、さらに Q_y の負の方向にピークシフトが起こる。このような完全歪み $\text{Si}_{0.72}\text{Ge}_{0.28}$ 層からの回折ピーク位置は、($Q_x: 2.6040 \text{ nm}^{-1}$ 、 $Q_y: 5.4218 \text{ nm}^{-1}$) である。加えて、 SiGe fin への微細加工によりさらなるピークシフトが生じる。

図 4-3 に、 $[110]$ 方向 (SiGe fin 長さ方向) に沿って X 線を入射して測定した $\text{Si}_{0.72}\text{Ge}_{0.28}$ ブランケット構造および $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 構造における Si 113 および SiGe 113 回折ピークの $Q_x = 2.604 \text{ nm}^{-1}$ における Q_y 方向断面プロファイルを示す。それぞれの構造における SiGe 回折ピーク位置を矢印で示す。 SiGe fin の SiGe 113 回折ピーク位置は、ブランケット SiGe 層のピーク位置と比較して、 Q_y において約 0.024 nm^{-1} だけ正の方向にシフトしている。このピークシフトは、 SiGe fin 内の (003) 面間隔 d_{003} が二軸応力下のブランケット SiGe 層内のそれより小さいことを示しており、 SiGe 格子定数の変化 (0.5533 nm から 0.5509 nm への変化) に対応している。

対照的に、 $[\bar{1}\bar{1}0]$ 方向 (SiGe fin 幅方向) に沿って X 線を入射して測定した SiGe fin 構造における回折ピークは、図 4-2(b) に示すようにブランケット SiGe 層とは異なる特徴を持つ

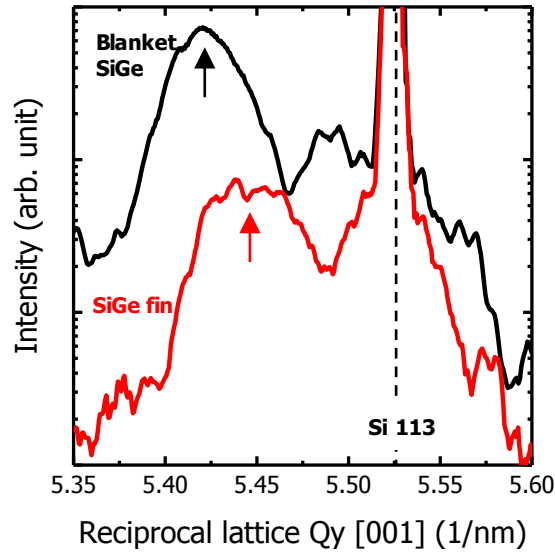


図 4-3. $\text{Si}_{0.72}\text{Ge}_{0.28}$ ブランケット構造および $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 構造における Si 113 および SiGe 113 回折ピークの $Q_x = 2.604 \text{ nm}^{-1}$ における Q_y 方向断面プロファイル。Si 113 および SiGe 113 回折ピークは、X 線を $[110]$ 方向（SiGe fin 長さ方向）に沿って入射して測定して得られた（図 2(b)）。それぞれの構造における SiGe 回折ピーク位置を矢印で示す。

ことがわかる。回折ピークは、fin の SiGe 部分および SOI 部分からの複数の周期的サテライトピークを含み、それは Q_x 軸に沿って一定の間隔を有する。これらサテライトピーク間の間隔は、SiGe fin の実空間における $[1\bar{1}0]$ 方向の周期性（SiGe fin ピッチ）と関連している。周期的に並んだ fin 構造は、一次元超構造によって変調された三次元結晶格子であると仮定することができ、その周期性は逆格子空間においてサテライトピークとして現れる[20-23]。実空間でのピッチとサテライトピークの周期間隔 ΔQ_x は、 $[1\bar{1}0]$ 方向において反比例の関係（式(3-1) $\text{Pitch} = 1/\Delta Q_x \text{ (nm)}$ 参照）にある。図 4-2(b)において、 ΔQ_x は 0.0239 nm^{-1} であり、この値から計算される実空間 fin ピッチは 41.8 nm であった。これは設計された fin ピッチ（ 42 nm ）に一致する。また、 $[110]$ 方向（SiGe fin 長さ方向）に沿って X 線を入射して測定した場合と比較して、SiGe 回折ピークは Q_x 軸に沿って顕著に広がっている（図 4-2(b)の楕円点線部）。さらに、その SiGe 回折ピークは Q_x の負の方向へシフトし、 $[1\bar{1}0]$ 方向の SiGe 格子面間隔 $d_{1\bar{1}0}$ が Si のそれよりも大きくなっている。これらの結果は、SiGe fin への微細加工によって fin 幅方向（ $[1\bar{1}0]$ 方向）における弾性歪み緩和が発生し、ブランケット SiGe 層内の二

軸応力が、非二軸応力に変換されることを示している [24-27]。

4.3.2 ナノスケール SiGe fin 構造における格子変形の Ge 濃度およびアスペクト比依存性

RSM において見られた SiGe fin からの SiGe 回折ピークの特徴をより詳細に解析するために、 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.18, 0.28, 0.38$) fin における SiGe $1\bar{1}3$ 回折ピークの Q_x 方向断面プロファイルを抽出した。図 4-4 に、 $[1\bar{1}0]$ 方向 (SiGe fin 幅方向) に沿って X 線を入射して測定した SiGe fin 構造における回折ピークの Q_x 方向断面プロファイルを示す。 Q_x 方向断面プロファイルは、SiGe 回折ピークが見られる範囲での Q_y 方向積分強度である。これらのプロファイルは、前節でも触れたように、ブロードな SiGe 回折ピークと一連のサテライトピークから構成されている。SiGe fin 中の Ge 割合が増加するにつれて、ブロードな SiGe 回折ピーク位置は Q_x の負の方向へシフトしていることがわかる。より高い Ge 濃度を有する SiGe 回折ピーク中心は、より低い Q_x の値に位置し、高 Ge 濃度を有する SiGe fin における $[1\bar{1}0]$ 方向の SiGe 格子面間隔 $d_{1\bar{1}0}$ が、低 Ge 濃度を有する SiGe fin と比較して大きいことを表している。 $[1\bar{1}0]$ 方向に沿ったこれらの SiGe 回折ピークシフトは、弾性歪み緩和による SiGe 格子面間隔 $d_{1\bar{1}0}$ の増加によるものである。サテライトピークは、先に述べたように、実空間における幾何学的な SiGe fin のピッチによってそれらの位置が決定されるので、Ge 濃度とは無関係に逆格子空間の同じ位置に現れている。

次に、種々の Ge 濃度、アスペクト比を有する SiGe fin からの SiGe 回折ピークの解析を行い、SiGe fin 内の歪み状態の変化を詳細に調べた。面内 (および面外) 方向 SiGe 格子面間隔は、RSM における SiGe 回折ピークの Q_y (および Q_x) 方向積分強度からなる断面プロファイルをガウシアンフィットすることによって計算した。 $[110]$ 方向 (SiGe fin 長さ方向)

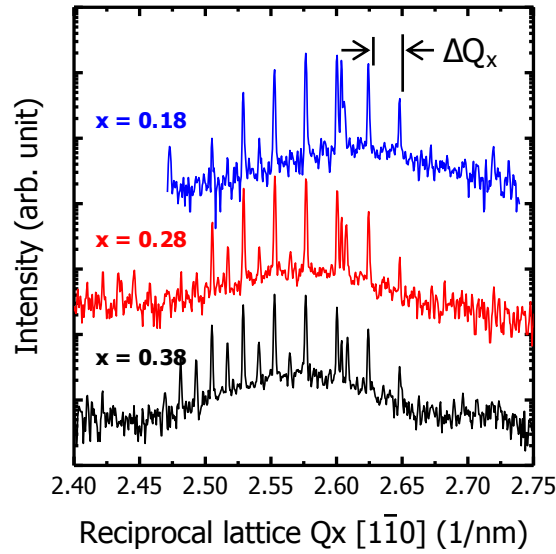


図 4-4. $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.18$, 0.28 , および 0.38) fin における $\text{SiGe } \bar{1}13$ 回折ピークの Q_x 方向断面プロファイル。 Q_x 方向断面プロファイルは、 SiGe 回折ピークの Q_y 方向積分強度から得られた。

に沿って X 線を入射して測定した RSM 測定によって、 SiGe fin が $[110]$ 方向（ SiGe fin 長さ方向）に完全に歪んでいることが確認された。図 4-5(a)および(b)は、 SOI 基板とバルク Si 基板を用いて作製された種々の Ge 濃度を有する SiGe fin 内の $[1\bar{1}0]$ 面内および $[001]$ 面外格子変形をアスペクト比（ SiGe fin 高さ÷幅）の関数として示したものである。以下に示すように格子変形値は、それぞれ測定により得られた $[1\bar{1}0]$ 面内および $[001]$ 面外 SiGe 格子定数（ b_{SiGe} および c_{SiGe} ）の Si 格子定数 a_{Si} からの差として定義され、 Si 格子定数で規格化された値である。

$$[1\bar{1}0]\text{面内格子変形: } \frac{b_{\text{SiGe}}}{a_{\text{Si}}} - 1$$

$$[001]\text{面外格子変形: } \frac{c_{\text{SiGe}}}{a_{\text{Si}}} - 1$$

図 4-5(a)および(b)において、アスペクト比 0 における値（ y 切片の値）は、二軸応力状態下の完全歪みブラケット SiGe 構造のそれに相当する。水平の破線は、各 Ge 濃度における一軸応力状態下の SiGe の格子変形の理論値を示す。各 Ge 濃度において、 SiGe fin のアスペクト比が増加するにつれて、格子変形の値は二軸応力状態下の SiGe の値からシフトし、徐々

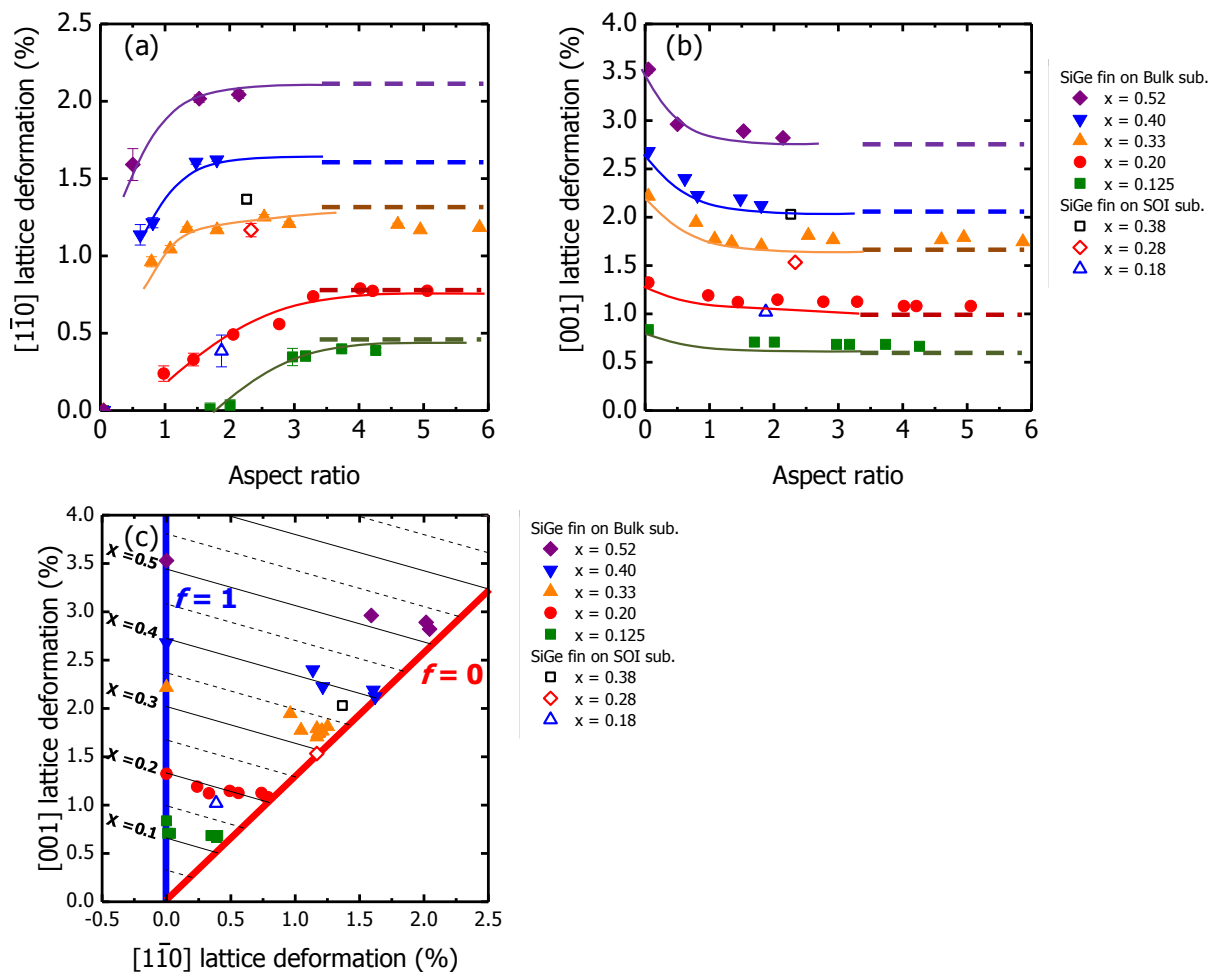


図 4-5. SOI 基板とバルク Si 基板上に作製した種々の Ge 濃度を有する SiGe fin の (a) $[1\bar{1}0]$ 面内および (b) $[001]$ 面外格子変形。格子変形値は、SiGe $1\bar{1}3$ 回折ピーク位置から求め、SiGe fin のアスペクト比を関数としてプロットした。格子変形値は、 $[1\bar{1}0]$ 面内方向に対して $b_{\text{SiGe}}/a_{\text{Si}} - 1$ 、 $[001]$ 面外格子変形に対して $c_{\text{SiGe}}/a_{\text{Si}} - 1$ で与えられる。実線はアイガイド。破線は、各 Ge 濃度における一軸応力状態下の SiGe の格子変形の理論値を示す。(c) SiGe fin 幅方向の面内応力 f_{GB} と Ge 濃度 x を関数とした弾性変形による SiGe fin 内格子変形の理論値と実験的に測定された格子変形値の比較。理論値は、各 Ge 濃度において等方性二軸応力状態 ($f = 1$) から一軸応力状態 ($f = 0$) に対応する変化を線分で表す。

に一軸応力状態下の SiGe の理論値に近づくことがわかる。これらの結果は、fin 形成による歪み緩和がより厚い SiGe 層に対してより顕著であることを示しており、高アスペクト比の場合に $[1\bar{1}0]$ 方向の歪みが完全に緩和されることを意味している。しかしながら、低アスペクト比を有する SiGe fin 内では、下層 Si からの束縛によりその弾性緩和が抑制されるため、二軸応力と一軸応力との間の状態にあることがわかる。Ge 濃度 12.5% の SiGe fin において、

低アスペクト比においても弾性緩和による $[1\bar{1}0]$ 面内格子変形の増加が予期されるが、アスペクト比 2 以下においては無視できるほど小さい。これは、高 Ge 濃度を有する SiGe fin と比較して、SiGe $1\bar{1}3$ 回折ピークが Si 基板ピークに非常に近いために、高強度 Si 基板ピークからの影響を受け、SiGe $1\bar{1}3$ 回折ピーク位置の特定に誤差が生じる問題に起因すると考えられる。また、Ge 濃度 33% の SiGe fin の格子変形値が、4 以上の高アスペクト比の値において一軸応力状態から逸脱していることがわかる。これは、厚膜 SiGe エピタキシャル成長中の転位導入に伴う塑性歪み緩和により、SiGe 層内の残留歪みが減少したことに起因すると考えられる。厚膜 SiGe 中の塑性歪み緩和は、SiGe fin 形状へ加工する前の段階でのブランケット膜において、RSM での SiGe $1\bar{1}3$ 回折ピークの広がりとして観察された。

次に、SiGe fin 内の応力状態を明らかにするために、測定した格子変形値と理論値を比較した。以下の仮定の下、線形弾性体の構成式を解き、理論的な格子変形値を導出した。なお、計算式の導出に関わる詳細は巻末の付録を参照のこと。

SiGe は、 x_2 方向（SiGe fin 長さ方向）に格子整合している。

SiGe には、面外方向（SiGe fin 高さ方向）応力の印加はない。（ $\sigma_{33} = 0$ ）

SiGe は純粋な弾性変形を示し、SiGe fin 幅方向の面内応力は二軸応力 σ_B とその割合 f によって決定される。

これらの仮定を元に得られた線形弾性体の構成式は以下で表すことができる。

$$\begin{Bmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \end{Bmatrix} = \frac{1}{a_{\text{SiGe}}} \begin{Bmatrix} b_{\text{SiGe}} \\ a_{\text{Si}} \\ c_{\text{SiGe}} \end{Bmatrix} - \begin{Bmatrix} 1 \\ 1 \\ 1 \end{Bmatrix} = \begin{bmatrix} S'_{1111} & S'_{1122} & S'_{1133} \\ S'_{1122} & S'_{2222} & S'_{2233} \\ S'_{1133} & S'_{2233} & S'_{3333} \end{bmatrix} \begin{Bmatrix} f\sigma_B \\ \sigma_B \\ 0 \end{Bmatrix}, \quad (4-1)$$

ここで、 ε_{ij} は、 $[110]$ および $[1\bar{1}0]$ 面内方向歪み（ ε_{11} 、 ε_{22} ）、 $[001]$ 面外方向歪み（ ε_{33} ）であり、 b_{SiGe} は $[1\bar{1}0]$ 面内方向 SiGe 格子定数、 c_{SiGe} は $[001]$ 面外方向 SiGe 格子定数である。 S'_{ijkl} は、 $(001)\langle 110 \rangle$ 座標系における SiGe の弾性コンプライアンステンソルの成分を表す [28]。 a_{SiGe} と a_{Si} は修正された Vegard 則により導出した、種々の Ge 濃度における SiGe の無歪み状態平衡

格子定数である[29]。Si と Ge の格子定数はそれぞれ、0.5431 nm と 0.5657 nm である。また、式 (4-1) から、 $[1\bar{1}0]$ 面内および $[001]$ 面外方向の格子変形値はいずれも、以下のように、ある Ge 濃度と f における一定の駆動力 ($a_{\text{SiGe}}/a_{\text{Si}}-1$) に依存する式に簡略化することができる。

$$\left(\frac{b_{\text{SiGe}}}{a_{\text{Si}}} - 1\right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1\right) \frac{4S_{1212}^C(1-f)}{2S_{1111}^C + 2fS_{1122}^C - S_0(1-f)}, \quad (4-2)$$

$$\left(\frac{c_{\text{SiGe}}}{a_{\text{Si}}} - 1\right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1\right) \frac{2S_{1111}^C - 2S_{1122}^C - S_0(1-f)}{2S_{1111}^C + 2fS_{1122}^C - S_0(1-f)}, \quad (4-3)$$

ここで、 S_{ijkl}^C は、 $(001)<100>$ 座標系における SiGe の弾性コンプライアンステンソルの成分を表し、 $S_0 = S_{1111}^C - S_{1122}^C - 2S_{1212}^C$ である[30]。図 4-5(c)は、これら式(4-2)、(4-3)で得られる理論値をプロットしたものであり、実験的に測定された SiGe 格子変形値（図 4-5(a)および図 4-5(b)）も同時に重ねてプロットした。特定の Ge 濃度における線分が、SiGe fin 幅方向の面内応力を関数とした SiGe fin の $[1\bar{1}0]$ 面内および $[001]$ 面外方向の理論的な格子変形値を表す。SiGe fin 幅方向の面内応力は、各 Ge 濃度において等方性二軸応力状態 ($f=1$) から一軸応力状態 ($f=0$) まで変化する。測定された SiGe 格子変形値は、それぞれの Ge 濃度においてアスペクト比の増加に伴い、理論値の変化 ($f=1$ から $f=0$) と同様の推移を示し、一軸応力状態 ($f=0$) に対応する値の近くに集まっていることがわかる。

4.3.3 ナノスケール SiGe fin 内における格子変形プロファイル

前節で議論した HRXRD を用いた測定は、非破壊で SiGe fin 内の $[1\bar{1}0]$ 面内および $[001]$ 面外方向の格子変形の平均値を得る手法であった。そこで、比較のために NBD を用いて SiGe fin 内の格子変形を評価した。図 4-6 は、NBD によって測定した、SOI 基板上に作製した $\text{Si}_{0.62}\text{Ge}_{0.38}$ fin 構造における $[1\bar{1}0]$ 面内および $[001]$ 面外方向格子変形の SiGe fin 高さ方向および Si 領域（SOI 領域）のプロファイルである。格子変形は、無歪み Si 格子定数 a_{Si} に対して、 $[1\bar{1}0]$ 面内方向の場合は $b_{\text{SiGe}}/a_{\text{Si}} - 1$ 、 $[001]$ 面外方向の場合は $c_{\text{SiGe}}/a_{\text{Si}} - 1$ で与えられる。

b_{SiGe} 、 c_{SiGe} はそれぞれ NBD により測定された $[1\bar{1}0]$ 面内および $[001]$ 面外方向 SiGe 格子定数である。 $[1\bar{1}0]$ 面内方向格子変形プロファイルを SOI 基板側から SiGe fin 上部までたどると、その値は SOI 底部での 0% ($b_{\text{SiGe}} = a_{\text{Si}}$) から、SiGe / SOI 界面で 0.60% まで徐々に増加し、SiGe の最上部で 1.55% まで増大している。SiGe 領域内における正の値は、外力印加の無い（表面力フリーの）SiGe fin 側壁表面の存在による $[1\bar{1}0]$ 面内 SiGe 格子面間隔の拡張 ($b_{\text{SiGe}} > a_{\text{Si}}$) を反映している。エピタキシャル成長により完全に接合された fin 構造において、面内変位は SiGe 領域と SOI 領域との間で連続的でなければならないので、SOI 上部には $[1\bar{1}0]$ 面内 Si 格子面間隔の拡張により引張歪みが導入される。こうした相互作用がある領域は SOI 上部の約 5 nm の領域である。

一方、 $[001]$ 面外方向格子変形値は、SOI 領域において 0 ~ -0.49%、SiGe fin 領域において 0 ~ 1.91% の範囲である。SOI 領域上部における $[001]$ 面外方向圧縮歪みは、上述の $[1\bar{1}0]$ 面内方向引張歪みに起因するポアソン収縮によって引き起こされる。 $[1\bar{1}0]$ 面内および $[001]$ 面外方向格子変形はどちらも SOI 領域の底部では無視できるほど小さく、上層の SiGe fin の弾性歪み緩和による影響を受けていないことがわかる。SiGe fin 内では、2 つの効果の相互

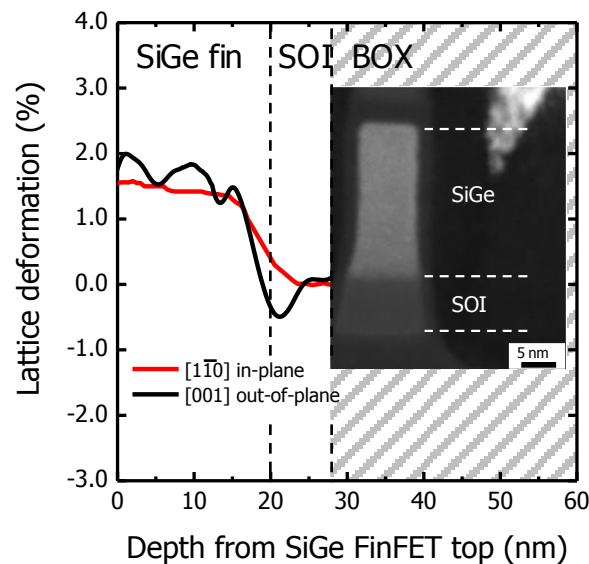


図 4-6. SOI 基板上に作製した $\text{Si}_{0.62}\text{Ge}_{0.38}$ fin 構造における断面 TEM 像（挿入図）および NBD によって測定した $[1\bar{1}0]$ 面内および $[001]$ 面外方向格子変形の SiGe fin 高さ方向プロファイル。

作用によりその弾性力学的応答が決定付けられる。それは、Si との平衡格子定数の差 ($\text{Si}_{0.62}\text{Ge}_{0.38}$ の場合は 1.55% [29]) と内部応力状態 (完全一軸応力状態下において 2.11% の [001]面外格子変形に対応) である。NBD によって得られた SiGe fin 内における格子変形プロファイルの平均値は、 $[1\bar{1}0]$ 面内方向で 1.35%、[001]面外方向で 1.54% である。HRXRD により得られた体積平均格子変形の値 ($[1\bar{1}0]$ 面内方向で 1.37%、[001]面外方向で 2.03%) と比較すると、 $[1\bar{1}0]$ 面内格子変形値は良い一致を示すが、[001]面外格子変形値はわずかに小さい値である。これは、TEM 観察用の試料薄膜化に伴う SiGe fin 長さ方向の歪み緩和によるものであると考えられる。図 4-6 の挿入図に示すように、SiGe 領域には結晶欠陥が観察されないため、SiGe fin の歪みは弾性的に緩和したものと考えられる。

4.3.4 SiGe fin 端部近傍の局所歪み状態の評価

面内方向に完全に歪んだ SiGe ブランケット膜内応力は二軸性圧縮応力状態にあるが、SiGe fin への微細加工により fin 長さ方向に応力が掛かった一軸性応力状態へと変調することを前節までで議論した。実際のデバイス作製においては、素子分離構造や異なるゲート長を有するデバイスの設計にあたって、fin の長さ方向にも加工を施す必要がある。SiGe fin 端部においては、この一軸性応力状態が変化する可能性が十分に考えられるため、端部を含む SiGe fin 領域内における歪みの場所依存性を明らかにすることは重要である。そこで、SiGe fin 端部付近の歪みを調べるために、nanoXRD と NBD を用いて比較的長い範囲 (> 500 nm) と短い範囲 (< 500 nm) の格子変形を測定した。

nanoXRD では、 $[110]$ 方向 (SiGe fin 長さ方向) に沿ってナノビーム X 線を入射して測定した。測定点は、図 4-7 に示すように、SiGe fin 端部付近 5 箇所、750 nm のステップ間隔でナノビーム X 線を SiGe fin 長さ方向に走査した。試料上のナノビーム X 線照射領域は、fin 幅方向×長さ方向の表記で約 450 nm × 1300 nm である。SiGe fin 端部付近の各測定点

において Si および SiGe 113 反射周りにおける RSM を測定した。図 4-8 に、SOI 基板上に作製した $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin に対する、各測定点における RSM を示す。縦軸 Q_y および横軸 Q_x は、それぞれ [001] および [110] 方向に沿った逆格子空間単位を表し、回折ピーク位置は (110) 格子面間隔 d_{110} 、(003) 格子面間隔 d_{003} に反比例する値である。SiGe fin 端部を含まない領域（図 4-7 の点(a)に対応）では、SiGe fin からの回折ピークは Si 基板回折ピークと同じ Q_x の値に位置しており、SiGe が fin 長さ方向に沿って完全に歪んでいることを示している（図 4-8(a)参照）。図 4-5(c)における結果（ $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin: 白抜き菱形）からも SiGe fin 幅方向の歪みはほぼ完全に緩和されているので、SiGe fin が一軸応力状態になっていることがわかる。ナノビーム X 線測定点が SiGe fin 端部により近づくと、SiGe 回折ピーク形状は Q_x の負の方向に向かって広がる（図 4-8(b)参照）。この SiGe 回折ピークの広がり、fin 長さ方向に SiGe のさらなる弾性歪み緩和が SiGe fin 端部近くで生じていることを示している。このような現象は、

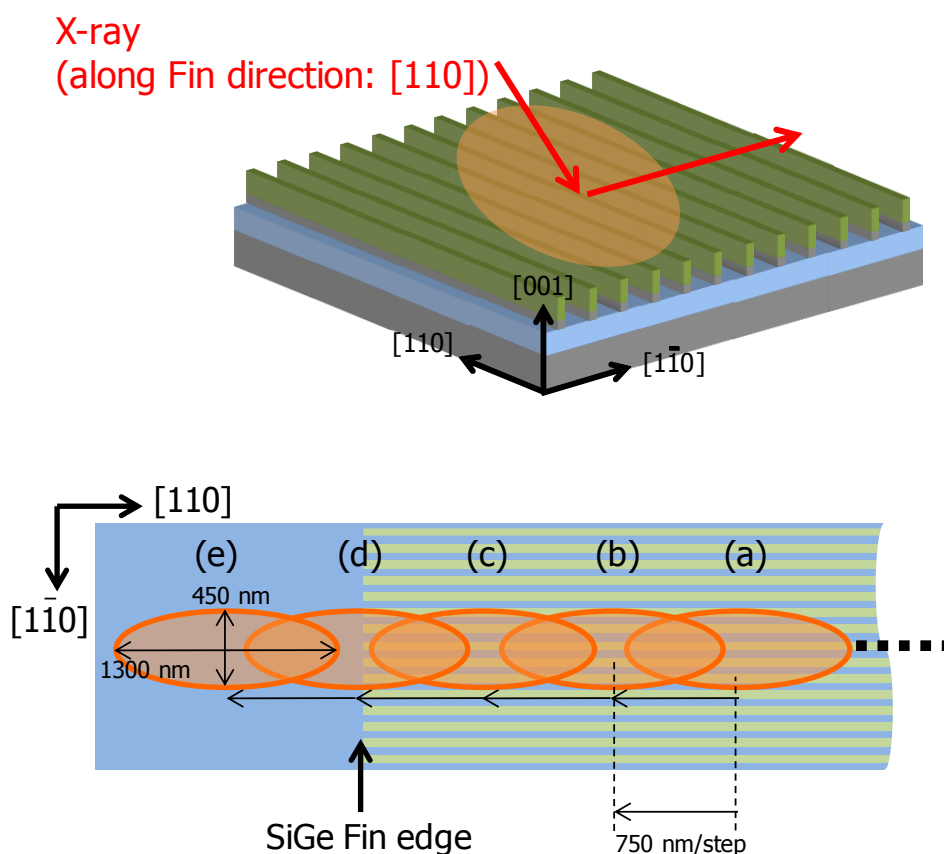


図 4-7. nanoXRD 測定において用いたナノビーム X 線入射方向と RSM 測定点を示す概略図。SiGe fin 端部付近において、750 nm のステップ間隔でナノビーム X 線を SiGe fin 長さ方向に走査し、5 つの測定点(a)、(b)、(c)、(d)、(e)で RSM を測定した。

SiGe fin 端部の大部分がナノビーム X 線によって照射される領域の測定点(c)において、より顕著である。測定点(d)では、SiGe 回折ピークは広範囲にわたってブロードになり、弾性歪み緩和した fin 端部の SiGe からの回折が支配的となる（図 4-8(d)参照）。ここで、一軸応力状態にある部分はナノビーム X 線照射領域内に含まれないので、歪み SiGe からの回折ピーク強度は減少する。さらに、SiGe fin を含まない位置（測定点(e)）では、歪み SiGe および弾性歪み緩和 SiGe からの回折ピークは観察されない。各 RSM における $Q_y = 5.444 \text{ nm}^{-1}$ 付近の Q_x 方向断面プロファイルを図 4-8 の挿入図に示す。 Q_x 方向断面プロファイルは、SiGe 回折ピークが見られる範囲（ $5.40 \sim 5.48 \text{ nm}^{-1}$ ）における Q_y 方向積分強度であり、上述の SiGe 回

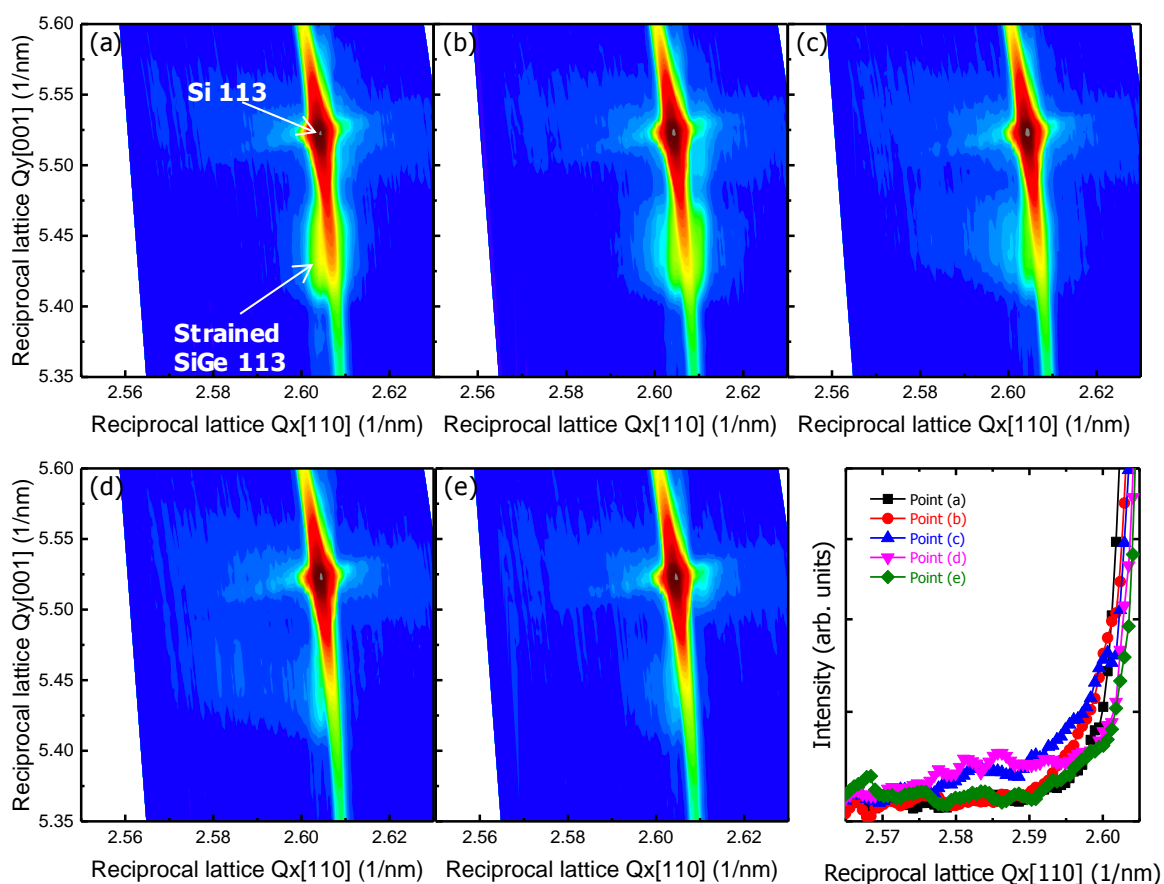


図 4-8. SOI 基板上に作製した $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin における各点に対して、nanoXRD によって測定した Si 113 および SiGe 113 回折周辺の RSM。(a)~(e)の各 RSM は、それぞれ図 4-7 に示す測定点(a)~(e)に対応している。挿入図は、各 RSM の SiGe 回折ピークが見られる範囲（ $5.40 \sim 5.48 \text{ nm}^{-1}$ ）における Q_y 方向積分強度プロファイルである。

折ピーク広がり の測定位置依存性をよく表している。

次に、図 4-8 の結果をもとに、SiGe fin 端部付近の応力状態を詳細に解析した。図 4-8(c)および(d) に示した SiGe 113 回折ピークにおいて、 2.578 から 2.604 nm^{-1} の範囲の Q_x における Q_y 方向断面プロファイルを抽出した。各 Q_y 方向断面プロファイルにおける SiGe ピーク位置を、図 4-9 に示す。図中の各記号はそれぞれ、無歪み Si、二軸応力、一軸応力（[110]方向に完全に歪んだ状態）、完全に歪み緩和した状態に対応する一連の応力状態における $\text{Si}_{0.72}\text{Ge}_{0.28}$ の理論的なピーク位置を表す。図中の線は、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ が二軸応力状態または一軸応力状態から完全緩和応力状態に移移するときの回折ピークがとる軌跡である。破線は、二軸応力が 2 つの直行する面内方向（[110]および $[\bar{1}\bar{1}0]$ 方向）に等方的に緩和する場合に対応し、一点鎖線は一軸応力が[110]方向にのみ緩和する場合に相当する。測定によって得られた値と図 4-9 の線とを比較すると、SiGe fin 内の応力が、SiGe fin 端領域内で一軸応力状態から完全緩和状態へと進展する様子がわかる。

前述のような nanoXRD による評価は、SiGe 内の fin 高さ方向歪みの平均値を表して

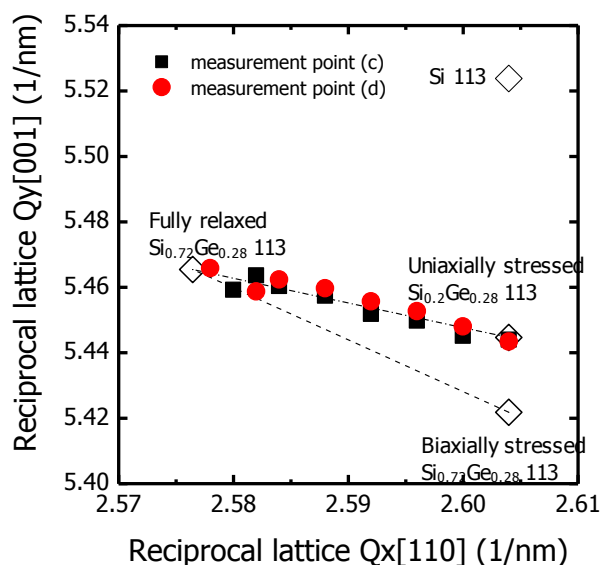


図 4-9. 図 4-8(c)および(d) に示した SiGe 113 回折ピークにおける、 2.578 から 2.604 nm^{-1} の範囲の Q_x における Q_y 方向断面プロファイルにおける SiGe ピーク位置。菱形記号はそれぞれ、無歪み Si、二軸応力、一軸応力（[110]方向に完全に歪んだ状態）、完全に歪み緩和した状態に対応する $\text{Si}_{0.72}\text{Ge}_{0.28}$ の理論的なピーク位置を表す。

いる。そこで、fin の高さ方向に沿う歪み変化を明らかにするため、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 端部において NBD 測定を行った。ここでは SiGe fin 端部 300 nm 以内の範囲の格子変形を対象とした。図 4-10(a)は、SiGe fin 端部付近における[110]面内格子変形の分布を示す。SiGe fin 端部、特に上隅部において、格子変形の顕著な増加が観察されるが、SiGe fin 端部から横方向距離約 300 nm を超える範囲では、格子変形は観察されない。図 4-10(b)に、SiGe fin 内の特定の高さ（上部、中央部、および底部）における格子変形値の SiGe fin 長さ方向プロファイルを示す。プロファイルはそれぞれ、SiGe fin 高さ位置 18 nm（上部）、10 nm（中央部）、2 nm（底部）において取得した。SiGe fin 端部での値は正であり、SiGe fin 端部においては、[110]面内 SiGe 格子面間隔が拡張していることを反映している。SiGe fin 上隅部における格子変形は $\text{Si}_{0.72}\text{Ge}_{0.28}$ の平衡値（1.15%）に近く、SiGe が完全に緩和されていることを示す。また、下地 SOI 基板の拘束により、SiGe fin の中央および底部で格子変形値が減少している。SiGe fin 端部から離れるにつれて、SiGe fin 内の応力状態が完全緩和状態から一軸応力状態に遷移するのに従って、格子変形は減少する。さらに、300 nm の距離を超えると、格子変形値はほぼ 0 であり、SiGe が上部、中央部、底部の領域で[110]方向に完全に歪んでいることを示している。

これらの結果を、弾性歪み緩和を仮定した場合と比較するために、有限要素法（FEM: finite-element-method）を用いて $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin 端部付近の[110]格子変形のシミュレーションを行った。シミュレーションに用いた SiGe fin の幅および高さを、それぞれ 10 nm および 20 nm として求めた結果を図 4-10(b)の NBD データと重ねて表示した。NBD 測定により得られた格子変形値とシミュレーションにより得られたプロファイルは、SiGe fin の中央部と底部でよく一致している。一方、SiGe fin 上部においては、NBD 測定値がシミュレーションの値と比較して大きく、 $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin で予想されるよりも大きな格子変形が生じていることを示唆している。これは、SiGe fin への微細加工プロセス中に導入された、SiGe fin 高さ方向に沿う Ge の外方拡散や表面酸化により、fin 端上隅部付近において Ge が高濃度化し、それに対応して格子変形の増大が生じた可能性がある。図 4-10(b)の赤い一点鎖線は、

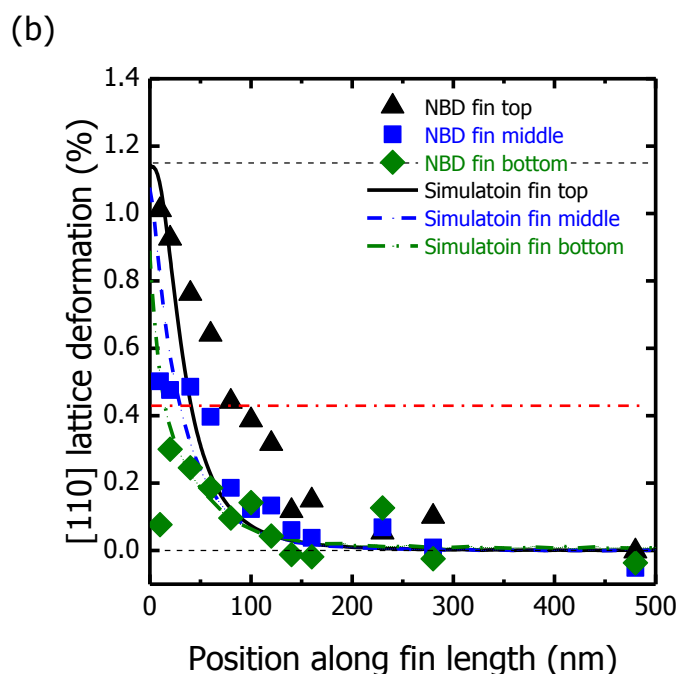
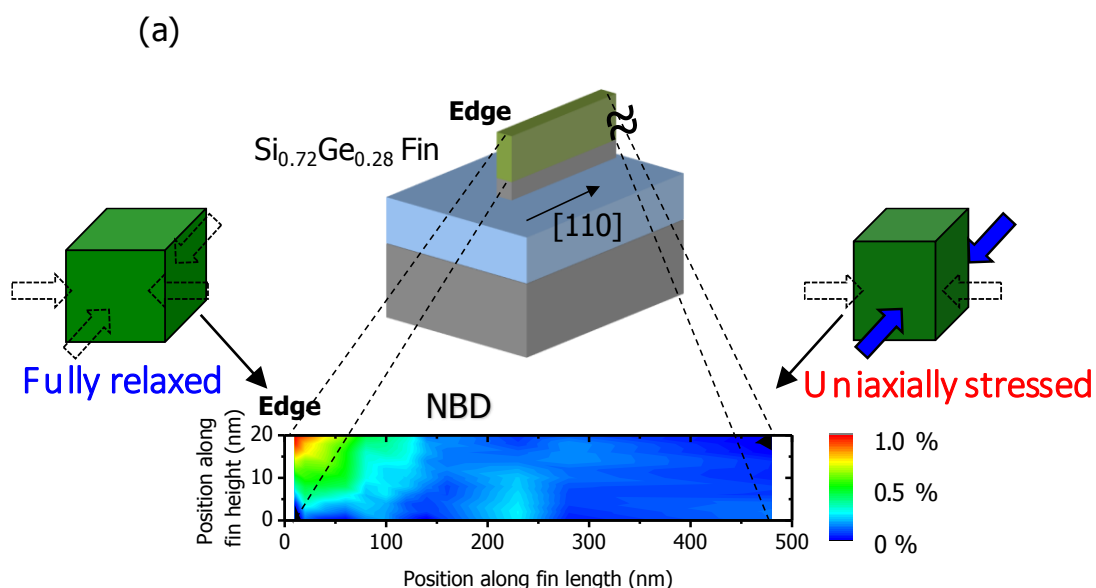


図 4-10. (a) SOI 基板上に作製した高さ 20 nm $\text{Si}_{0.72}\text{Ge}_{0.28}$ fin における、SiGe fin 端部付近における[110]面内格子変形の分布図。(b) SiGe fin 内の高さ位置 18 nm（上部）、10 nm（中央部）、2 nm（底部）における格子変形値の SiGe fin 長さ方向プロファイルと FEM により得たシミュレーション結果。黒破線は、一軸応力状態（0%）および完全緩和状態（1.15%）における $\text{Si}_{0.72}\text{Ge}_{0.28}$ の[110]面内格子変形値に対応する。赤い一点鎖線は、図 4-7 の測定点(d)での nanoXRD によって得られた体積平均[110]格子変形値（0.42%）を表す。

nanoXRD で得られた結果から導かれた平均[110]面内格子変形の値 0.42%を示している。この値は、図 4-8 の挿入図に示した測定点(d)での Q_x 方向断面プロファイルから SiGe ピーク位置を抽出し、平均[110]面内格子変形値に換算して求めた。[110]面内方向弾性歪み緩和領域

($< 300\text{ nm}$) は、ナノビーム X 線照射領域の大きさと比較して実質的に小さく、そのうち大きな格子変形が発生する fin 端上隅部近傍はさらに小さいことに留意する必要があるが、NBD による結果と定性的な一致を示している。したがって、これらの結果から、3 次元歪み FinFET デバイス構造内の局所のおよび全体的な弾性力学的応答のより正確な描写を得るためには、X 線回折および電子線回折に基づく相補的な歪みマッピング技術から情報を得ることが非常に重要であるといえる。

4.3.5 局所的歪み分布が与える歪み SiGe チャネル FinFET デバイス特性への影響

前節で明らかになったように、高さ 20 nm の歪み SiGe FinFET デバイスでは、fin 端部から約 300 nm の範囲に歪み量変調領域が存在する。デバイスのチャネル等の電流搬送にかかる箇所にこうした領域が含まれる場合、デバイス性能にも潜在的な変調を与える懸念がある[31]。したがって、端部における弾性緩和効果を回避し、SiGe fin 内の完全な一軸応力を有効利用するためには、デバイス設計においてこの評価結果を考慮することが必要不可欠である。SiGe fin の高さを減少させることや、第 3 章で議論したソース／ドレイン領域に埋め込み SiGe (eSiGe: embedded SiGe) エピタキシャル構造を導入するといったプロセス技術およびデバイスインテグレーション等の手法により、SiGe fin 内の歪みの不均一性を最小限に抑えることもまた重要である。そこで本節では、上記のような局所的歪み分布が歪み SiGe FinFET の電気的特性に与える影響を調査し、その影響を緩和する手法について検討した。

Ge 濃度 20% の歪み SiGe fin をチャネル部に有する pMOS SiGe FinFET を、 10 nm テクノロジーノードの標準プロセスフローを用いて作製した [13]。[110] 方向（チャネル方向）に完全に歪んだ SiGe FinFET において、そのチャネル部を流れる駆動電流 (I_{eff} : effective drive

current) は Si FinFET に対して約 17% 高いという結果が得られた[13]。これは、主にチャネル方向圧縮歪みによる SiGe 内の正孔移動度の向上に起因する。図 4-11 に、電気特性の fin 長さ依存性を評価するために使用したデバイスレイアウトを示す。それぞれ異なる fin 長さ (L_{fin}) を有し (最短 128 nm、最長 1200 nm)、他の構造パラメータは一定である。ゲートピッチ (CPP: contacted poly pitch) は 64 nm で中央のゲート電極のみアクティブであり、他はダミーゲートである。アクティブゲート長 L_g は 20 nm である。図 4-12(a) および (b) に、2 つの異なる L_{fin} 、すなわち 128 nm (2CPP に対応) および 384 nm (6CPP に対応) の SiGe FinFET と Si FinFET における、 I_{eff} と飽和領域におけるしきい値電圧 (V_{tsat}) との関係を示す。Si FinFET ではこれら 2 つの異なる L_{fin} では性能の違いは確認されなかった。一方、SiGe FinFET の場合、 L_{fin} : 128 nm のデバイスは L_{fin} : 384 nm と比較して性能が 6% 低下し、さらに、 V_{tsat} も高くなる方向にシフトしている。

異なる L_{fin} を有する SiGe FinFET における歪み分布を評価するために、デバイス構造作製後の SiGe fin チャネル部における歪みを、NBD を用いて評価した。図 4-13(a) に、 L_{fin} : 384 nm の SiGe FinFET の SiGe fin チャネルの中央部高さにおける [110] 方向格子変形値の fin 長さ方向プロファイルを示す。対応する SiGe FinFET デバイス構造における断面 TEM 像も挿入図として示す。SiGe fin 両端では、その格子変形の値から、完全に歪み緩和した状態で

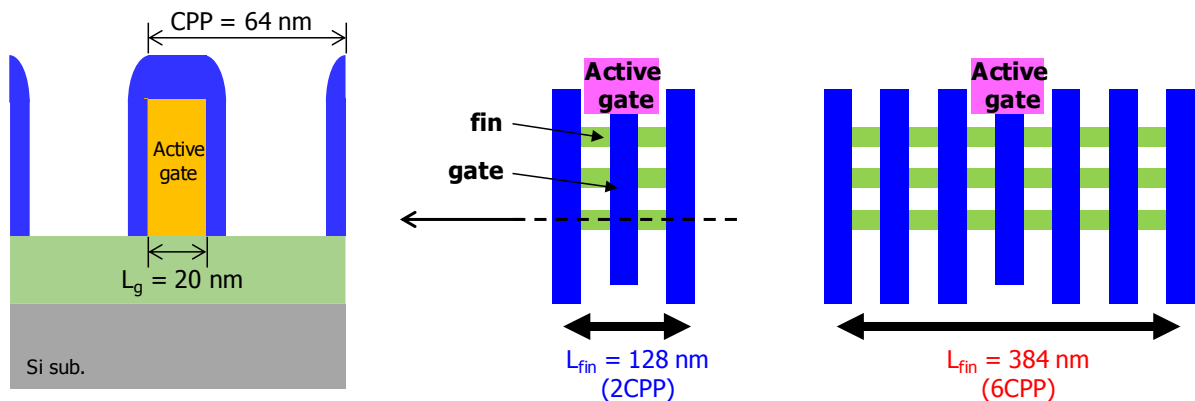


図 4-11. SiGe FinFET および Si FinFET 電気特性の fin 長さ依存性評価用デバイスレイアウト。例として、 $L_{fin} = 128$ nm (2CPP) および $L_{fin} = 384$ nm (6CPP) デバイスについて掲載している。概略図に、破線部における断面構造を示す。

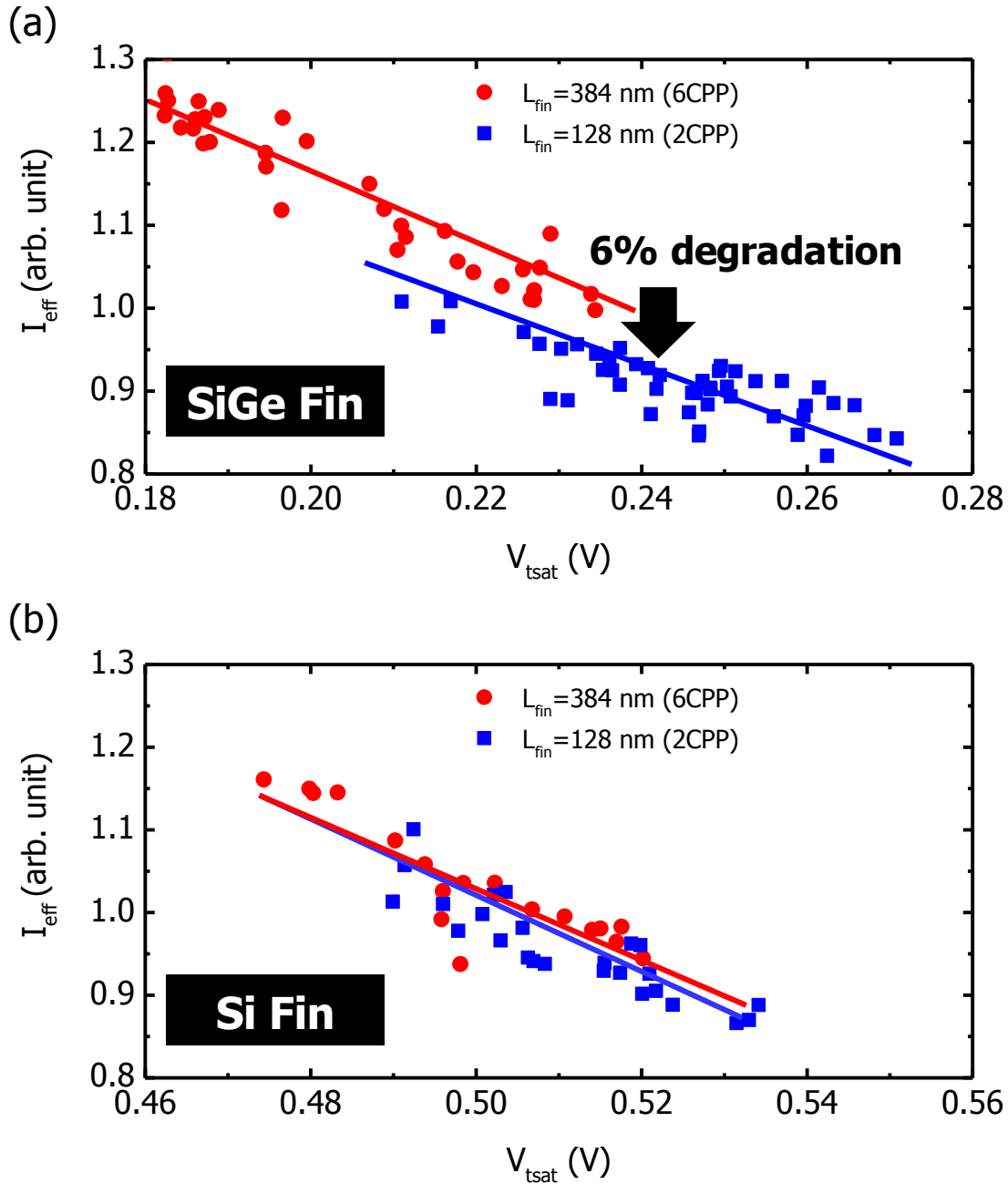


図 4-12. (a) SiGe FinFET と (b) Si FinFET おける、2 つの異なる L_{fin} 、すなわち 128 nm (2CPP に対応) および 384 nm (6CPP に対応) について比較した $I_{\text{eff}} - V_{\text{tsat}}$ 特性。

あることがわかる。一方、中央のアクティブゲート領域では、格子変形の値はほぼ 0 であり、SiGe fin チャンネル部における fin 長さ方向圧縮歪みは、完全に保持されている。これらの結果は、前節で観察された結果と良い一致を示している。図 4-13(b)は、 L_{fin} : 128 nm の SiGe FinFET の SiGe fin チャンネルの中央部高さにおける[110]方向格子変形値の fin 長さ方向プロファイルである。この場合、SiGe fin 両端からの弾性歪み緩和が支配的になるため、中央アク

ティブゲート領域での圧縮歪みは、60～70%程度緩和されている。以上の歪み分布解析から、図 4-12(a)で明らかにしたように、 L_{fin} が小さい SiGe FinFET において、チャネル方向圧縮歪みの緩和により正孔移動度が低下し、結果としてデバイス性能が低下したと考えられる。また、図 4-12(b) で明らかにされたしきい値電圧の上昇も、チャネル方向圧縮歪みの緩和による SiGe バンドギャップの増加によるものであると考えられる。

このように、局所的歪み分布が歪み SiGe FinFET の電気的特性に与える影響が明らかになったが、実際のデバイス作製においては、素子分離をする必要性から fin を切断する加工が避けられない。そのため、このような局所的レイアウト効果 (LLE: local layout effects) による影響を回避するには、ダミーゲートを配置する等のデバイス設計上の工夫が必要になる。しかしながら、最小限のデバイス寸法を担保し、SiGe チャネル歪みの利点を最大限に活用するには、LLE を軽減することが肝要となる。それゆえ、ここでは LLE を抑制するために、2 種類のプロセス技術およびデバイスインテグレーションの適用を試みた。

一つ目は、SiGe fin を切断する加工をプロセスフローの下流で実施する手法である。

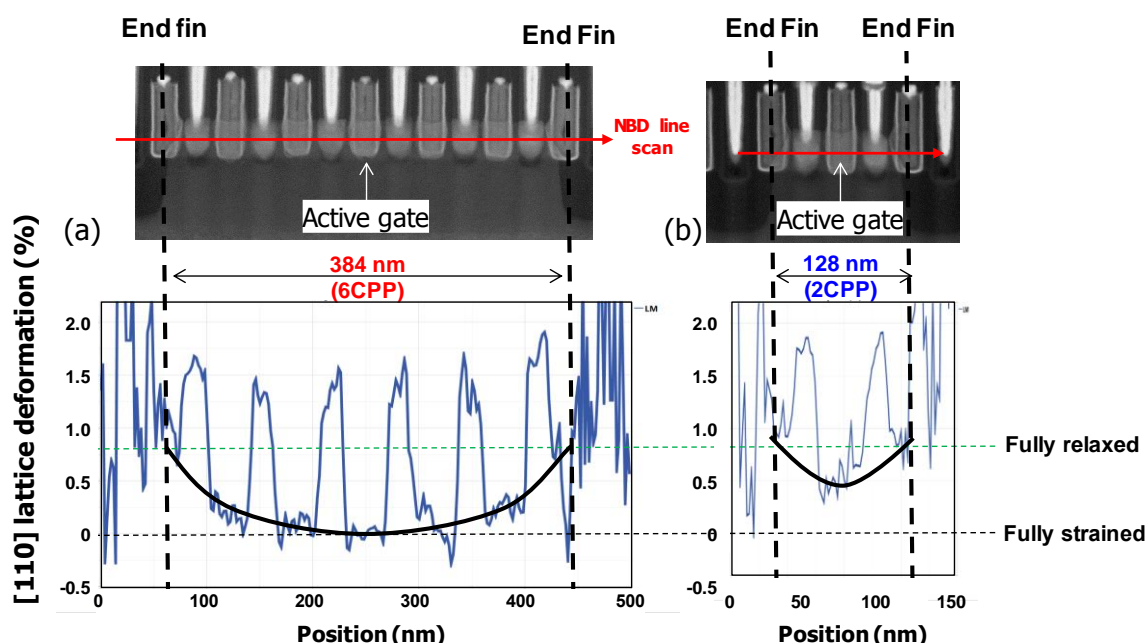


図 4-13. (a) L_{fin} : 384 nm および (b) L_{fin} : 128 nm の SiGe FinFET 内 SiGe fin チャネルの高さ中央部における [110] 方向格子変形値の fin 長さ方向プロファイル。挿入図は、それぞれに対応する SiGe FinFET デバイス構造の断面 TEM 像。

従来は、SiGe fin への微細加工と同時もしくは直後に SiGe fin の切断を実施するため、自由表面側壁の存在により歪みが弾性緩和する。一方、本手法では、SiGe fin への微細加工後、複数のプロセス工程を経た後に SiGe fin の切断を実施する。ゲート、ソース／ドレイン材料、層間絶縁膜等が SiGe fin を囲むように積層されているため、SiGe fin 切断時における歪み緩和を抑制することができる。図 4-14 は、従来の手法と SiGe fin を切断する加工をプロセスフローの下流で実施した手法により作製した SiGe FinFET に対する評価結果であり、SiGe fin チャンルの中央部高さにおける[110]方向格子変形値の fin 長さ方向プロファイルを異なる L_{fin} で比較してある。従来の手法と比較して、 L_{fin} : 384 nm および L_{fin} : 128 nm の両デバイスにおいて、fin 長さ方向圧縮歪みが完全に保持されていることがわかる。図 4-15(a)および(b)に、従来の手法と SiGe fin を切断する加工をプロセスフローの下流で実施して作製した SiGe FinFET に対する、飽和電流 (I_{dsat}) と線形領域におけるしきい値電圧 (V_{th}) の L_{fin} 依存性を示す。それぞれの値は L_{fin} : 1200 nm の値を基準としている。図 4-15(b) から明らかなように、従来の手法と比較して、 L_{fin} が 384 nm 以下での I_{dsat} および V_{th} 値が一定で LLE の影響

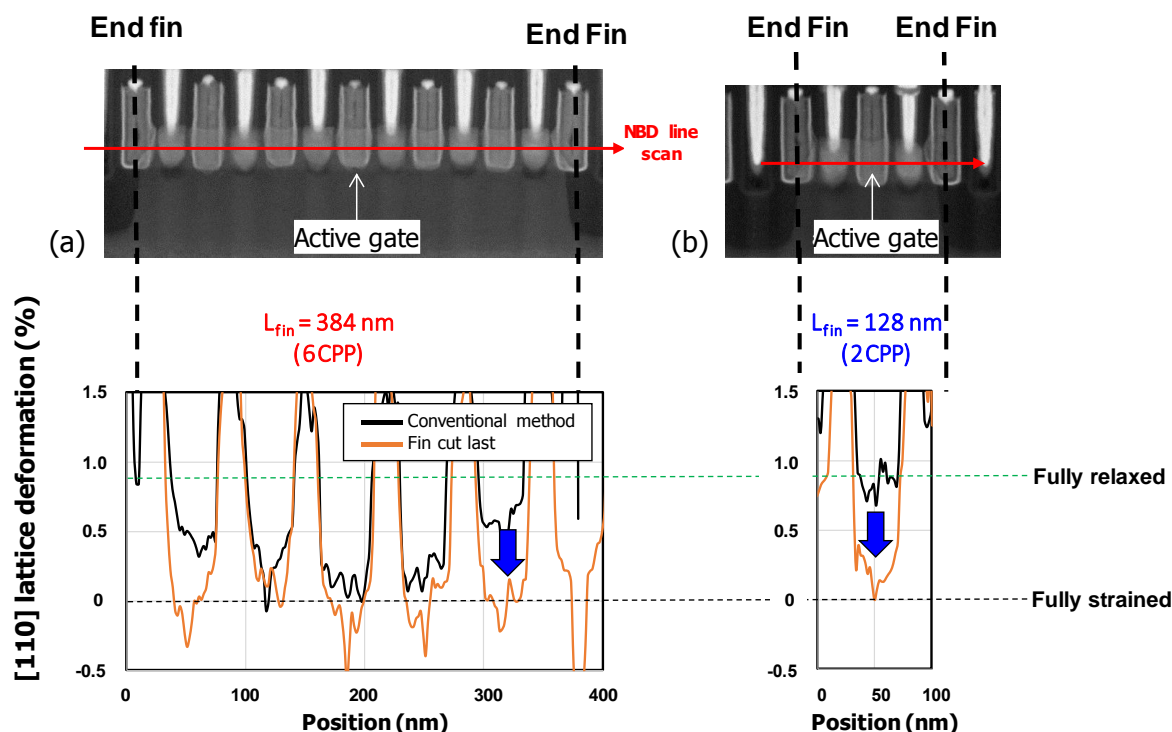
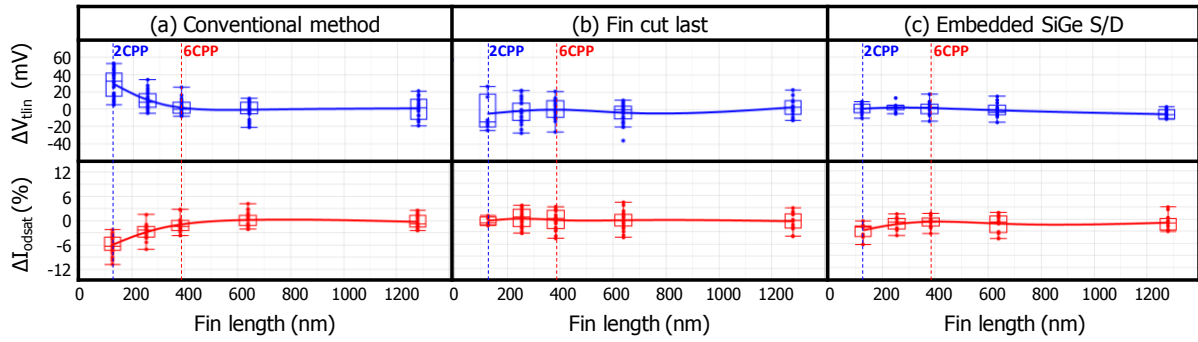


図 4-14. (a) L_{fin} : 384 nm および(b) L_{fin} : 128 nm の SiGe FinFET 内 SiGe fin チャンルの中央部高さにおける[110]方向格子変形値の fin 長さ方向プロファイル。従来の手法と SiGe fin を切断する加工をプロセスフローの下流で実施した手法との比較。



	(a) Conventional method	(b) Fin cut last	(c) Embedded SiGe S/D
SiGe fin cut	First	Last	First
S/D structure	Cladding SiGe S/D (no S/D recess)	Cladding SiGe S/D (no S/D recess)	Embedded SiGe S/D (with S/D recess)

図 4-15. L_{fin} : 1200 nm の値を基準とした飽和電流 (I_{odsat}) と線形領域における閾値電圧 (V_{th}) の L_{fin} 依存性。(a) 従来の手法、(b) SiGe fin を切断する加工をプロセスフローの下流で実施した手法、および(c) S/D eSiGe 構造を適用した手法。各手法における主要プロセスの比較表も併せて掲載している。

がなく、 L_{fin} : 128 nm のデバイスにおいても LLE が抑制されていることがわかる。

二つ目の手法は、ソース／ドレイン (S/D: source/drain) 領域に埋め込み SiGe (eSiGe: embedded SiGe) エピタキシャル構造を導入する手法である。本構造の主な利点は、S/D eSiGe 領域からチャネルに歪みが印加されることであるが、近年、デバイス寸法の縮小に従い、S/D 領域の eSiGe が占める体積が減少するので、チャネルに歪みを印加することが困難になってきている。特に、FinFET 構造は、S/D SiGe をエピタキシャル成長させるための基板テンプレートのサイズ・形状に制限が加わるので平面デバイス構造と比較して良好な結晶成長を実現するのが一層困難である。図 4-16 に、従来の手法と S/D eSiGe 構造を適用した手法のプロセスフローを示す。S/D eSiGe 構造は、S/D 領域の SiGe Fin を反応性イオンエッチング (RIE: reactive ion etching) を用いて除去した後、SiGe を選択エピタキシャル成長させることで形成した。図 4-17 には、3 つのサンプル、すなわち、(a) S/D リセス直後、(b) S/D eSiGe 構造形成後、および (c) 従来の手法 (S/D リセス無しで SiGe 成長) で形成後、の L_{fin} : 384 nm の SiGe FinFET 内 SiGe fin チャネルに対して、NBD によって測定した [110] 方向格子

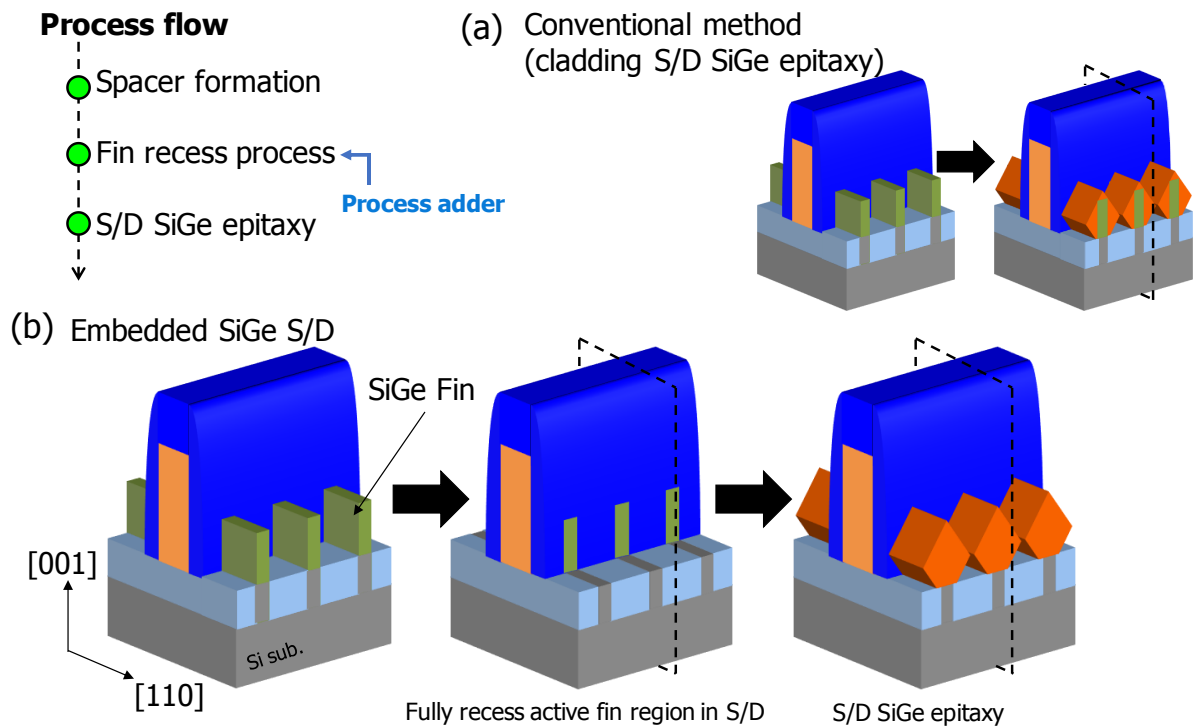


図 4-16. (a) 従来の手法、および(b)S/D eSiGe 構造を適用した手法のプロセスフロー。

変形値の fin 高さ方向プロファイルが示されている。高さ方向プロファイルはアクティブゲート領域の SiGe fin チャンネル部から得られた。S/D リセス直後の場合、SiGe fin チャンネル部の歪みは、fin 中央部から上部にかけて完全に緩和されていることがわかる。これは、S/D 領域がリセスされることにより、実効的に SiGe fin 長さがアクティブゲート長 L_g (20 nm) と同程度になるため、弾性歪み緩和が生じることによる。一方、S/D eSiGe エピタキシャル成長により、SiGe fin チャンネル部の歪みは 40~50%程度が回復し、[110]方向格子変形値は 0.5%程度となる。従来手法 (S/D リセス無しで SiGe 成長) の場合は、図 4-13(a)の結果と同じように、チャンネル歪みがほぼ完全に保持されている。図 4-15(c) は、S/D eSiGe 構造を有する SiGe FinFET に対する、飽和電流 (I_{dsat}) と線形領域におけるしきい値電圧 (V_{th}) の L_{fin} 依存性を示す。従来手法 (図 4-15(a)) と比較して、LLE が抑制されていることがわかる。これは、S/D リセスにより、SiGe fin が L_{fin} よりも短い長さへ加工されるため、実質的に L_{fin} 依存性が消滅することに起因する。また、S/D eSiGe からの歪みの印加により、弾性歪み緩

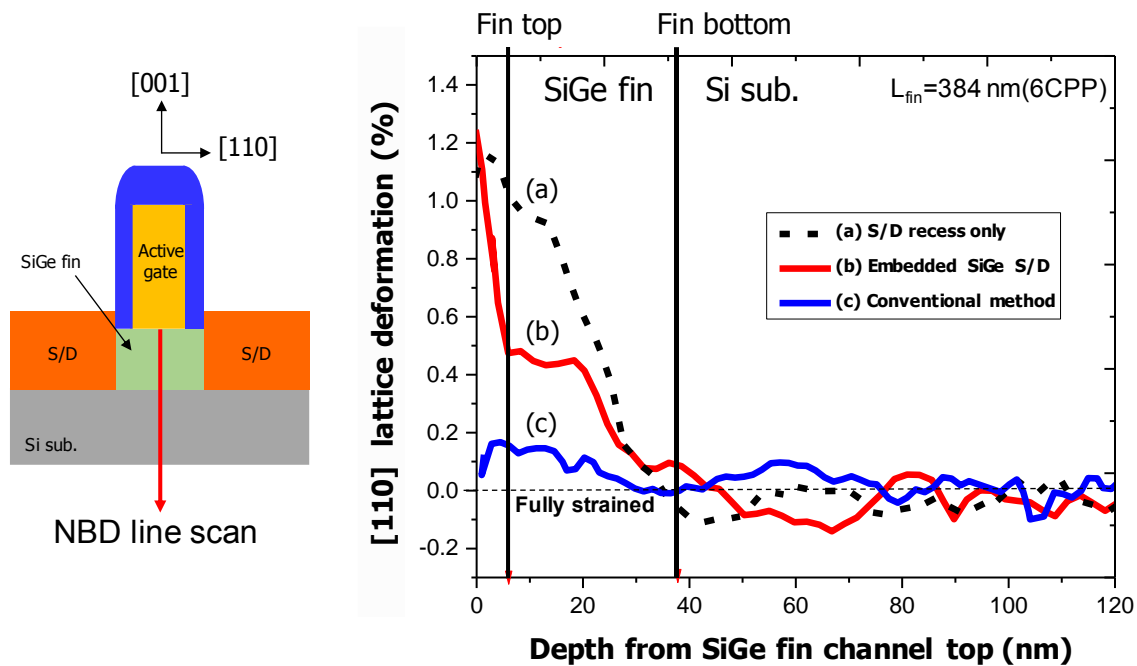


図 4-17. (a) S/D リセス直後、(b) S/D eSiGe 構造形成後、および (c) 従来手法（S/D リセス無しで SiGe 成長）による形成後の L_{fin} : 384 nm の SiGe FinFET 内における SiGe fin チャンネルに対して、NBD によって測定した [110] 方向格子変形値の fin 高さ方向プロファイル。高さ方向プロファイルはアクティブゲート領域の SiGe fin チャンネルについて得た。概略図に、図 4-16 の破線部における断面構造と NBD 測定スキャン方向を示す。

和により失った歪みを回復させ、結果的に SiGe fin チャンネル内の正孔移動度の低下を防ぐことができる。以上から、本節で調査した 2 つの手法は、LLE を軽減できる歪み SiGe FinFET 製造技術として有望な選択肢であるといえる。

4.4 まとめ

本章では、複数の X 線回折技術、TEM ベースのアプローチ、および FEM を用いたシミュレーションを組み合わせることで、ナノスケールの歪み SiGe fin 構造に発生する歪み、格子変形の分布を詳細に調査した。SiGe fin 構造における RSM の SiGe 113 回折ピークは、その周期的構造により、微細加工前のブランケット歪み SiGe 膜と比較して異なる特徴を示した。また、SiGe fin 幅、ピッチおよび Ge 濃度等の構造変化によるさらなる変調を示した。SiGe は fin 長さ方向に沿って完全に歪むが、fin 幅方向の面内歪みは微細加工によりほぼ完全

に弾性的に緩和され、結果として一軸応力状態を呈することが明らかになった。

線形弾性変形に基づくモデルと比較することによって、異なるアスペクト比と Ge 濃度を有する SiGe fin 内の面内および面外方向の格子変形値の変化を特徴付け、考察した。モデルと HRXRD によって得られた結果との間には密接な対応関係があり、SiGe fin のアスペクト比が大きくなるにつれて一軸応力状態に対応する値に近づいていった。しかしながら、下地基板による拘束のために、SiGe fin/SOI 界面近傍から fin 表面方向への格子変形の勾配の存在が NBD 測定によって明らかになった。nanoXRD を用いた SiGe fin 端部付近の一軸応力状態の評価において、fin 長さ方向に沿った SiGe の弾性緩和に起因する SiGe 回折ピークの広がりが見出された。また、その定量分析により、高さ 20 nm の SiGe fin において、長さ方向に沿って fin 端部への 500 nm 未満の範囲にわたって一軸応力状態から完全緩和状態への歪み変調が存在することが明らかになった。また、この結果は、NBD によって得られた SiGe fin の格子変形プロファイルと一致していた。

局所的レイアウト効果 (LLE) が SiGe fin のチャネル歪みに与える影響を、物理的解析とデバイスの電気的特性評価を併用して評価した。fin の切断加工の結果として SiGe fin のチャネル歪みの変調が起こり、それは NBD 測定によって定量的に分析され、また電気的特性にも反映されることを明らかにした。こうした LLE によってもたらされる弊害を抑制するため、2 種類の LLE 緩和策、すなわち、SiGe fin を切断する加工をプロセスフローの下流で実施する手法および S/D eSiGe 構造を適用する手法を実施し、両手法によって、実際に LLE が抑制されることを実証した。これらの知見は、次世代 FinFET および 3 次元デバイスのための歪みチャネル技術を構築するうえで、非常に重要な指針を与えられる。

4.5 参考文献

[1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc,

IEEE J. Solid-State Circuits **9**, 256 (1974).

[2] P. R. Chidambaram, C. Bowen, S. Chakravarthi, C. Machala, and R. Wise, IEEE Trans. Electron Devices **53**, 944 (2006).

[3] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, IEEE IEDM, 247 (2000).

[4] K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto and Y. Inoue, IEEE IEDM, 27 (2002).

[5] S.E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, B. McIntyre, A. Murthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr, and Y. El-Mansy, IEEE Elect. Dev. Lett. **25**, 191 (2004).

[6] H. Shang, L. Chang, X. Wang, M. Rooks, Y. Zhang, B. To, K. Babich, G. Totir, Y. Sun, E. Kiewra, M. Jeong, and W. Haensch, Symposium on VLSI Technology Digest of Technical Papers, 54 (2006).

[7] S. Barraud, V. Lapras, M. P. Samson, L. Gaben, L. Grenouillet, V. Maffini-Alvaro, Y. Morand, J. Daranlot, N. Rambal, B. Previtali, S. Reboh, C. Tabone, R. Coquand, E. Augendre, O. Rozeau, J. M. Hartmann, C. Vizioz, C. Arvet, P. Pimenta-Barros, N. Posseme, V. Loup, C. Comboroure, C. Euvrard, V. Balan, I. Tinti, G. Audoit, N. Bernier, D. Cooper, Z. Saghi, F. Allain, A. Toffoli, O. Faynot, and M. Vinet, IEEE IEDM, 17.6.1 (2016).

[8] D. Yakimets, G. Eneman, P. Schuddinck, T. H. Bao, M. G. Bardon, P. Raghavan, A. Veloso, N. Collaert, A. Mercha, D. Verkest, A. V.-Y. Thean, and K. De Meyer, IEEE Trans. Electron Devices **62**, 1433 (2015).

[9] J. Kavalieros, B. Doyle, S. Datta, G. Dewey, M. Doczy, B. Jin, D. Lionberger, M. Metz, W. Rachmady, M. Radosavljevic, U. Shah, N. Zelick, and R. Chau, Symposium on VLSI

Technology Digest of Technical Papers, 50 (2006).

[10] F. Conzatti, N. Serra, D. Esseni, M. De Michielis, A. Paussa, P. Palestri, L. Selmi, S. M. Thomas, T. E. Whall, D. Leadley, E. H. C. Parker, L. Witters, M. J. Hytch, E. Snoeck, T. J. Wang, W. C. Lee, G. Doornbos, G. Vellianitis, M. J. H. van Dal, and R. J. P. Lander, *IEEE Trans. Electron Devices* **58**, 1583 (2011).

[11] P. Hashemi, K. Balakrishnan, A. Majumdar, A. Khakifirooz, W. Kim, A. Baraskar, L. A. Yang, K. Chan, S. U. Engelmann, J. A. Ott, D. A. Antoniadis, E. Leobandung, and D. G. Park, *Symposium on VLSI Technology Digest of Technical Papers*, 18 (2014).

[12] H. Mertens, R. Ritzenthaler, A. Hikavy, J. Franco, J. W. Lee, D. P. Brunco, G. Eneman, L. Witters, J. Mitard, S. Kubicek, K. Devriendt, D. Tsvetanova, A. P. Milenin, C. Vrancken, J. Geypen, H. Bender, G. Groeseneken, W. Vandervorst, K. Barla, N. Collaert, N. Horiguchi, and A. V-Y Thean, *Symposium on VLSI Technology Digest of Technical Papers*, 48 (2014).

[13] D. Guo, G. Karve, G. Tsutsui, K-Y Lim, R. Robison, T. Hook, R. Vega, D. Liu, S. Bedell, S. Mochizuki, F. Lie, K. Akarvardar, M. Wang, R. Bao, S. Burns, V. Chan, K. Cheng, J. Demarest, J. Fronheiser, P. Hashemi, J. Kelly, J. Li, N. Loubet, P. Montanini, B. Sahu, M. Sankarapandian, S. Sieg, J. Sporre, J. Strane, R. Southwick, N. Tripathi, R. Venigalla, J. Wang, K. Watanabe, C. W. Yeung, D. Gupta, B. Doris, N. Felix, A. Jacob, H. Jagannathan, S. Kanakasabapathy, R. Mo, V. Narayanan, D. Sadana, P. Oldiges, J. Stathis, T. Yamashita, V. Paruchuri, M. Colburn, A. Knorr, R. Divakaruni, H. Bu, and M. Khare, *Symposium on VLSI Technology Digest of Technical Papers*, 14 (2016).

[14] G. Tsutsui, R. Bao, K. Y. Lim, R. R. Robison, R. A. Vega, J. Yang, Z. Liu, M. Wang, O. Gluschenkov, C. W. Yeung, K. Watanabe, S. Bentley, H. Niimi, D. Liu, H. Zhou, S. Siddiqui, H. Kim, R. Galatage, R. Venigalla, M. Raymond, P. Adusumilli, S. Mochizuki, T. S. Devarajan, B. Miao, B. Liu, A. Greene, J. Shearer, P. Montanini, J. W. Strane, C. Prindle, E. R. Miller, J.

- Fronheiser, C. C. Niu, K. Chung, J. J. Kelly, H. Jagannathan, S. Kanakasabapathy, G. Karve, F. L. Lie, P. Oldiges, V. Narayanan, T. B. Hook, A. Knorr, D. Gupta, D. Guo, R. Divakaruni, H. Bu, and M. Khare, IEEE IEDM, 17.4.1 (2016).
- [15] Y. Imai, S. Kimura, O. Sakata, and A. Sakai, AIP Conf. Proc. **1221**, 30 (2010).
- [16] Y. Imai, S. Kimura, D. Kan, and Y. Shimakawa, AIP Conf. Proc. **1741**, 050014 (2016).
- [17] K. Shida, S. Takeuchi, Y. Imai, S. Kimura, A. Schulze, M. Caymax, and A. Sakai, ACS Appl. Mater. Interfaces **9**, 13726 (2017).
- [18] S. Kamada, S. Takeuchi, D. T. Khan, H. Miyake, K. Hiramatsu, Y. Imai, S. Kimura, and A. Sakai, Appl. Phys. Exp. **9**, 111001 (2016).
- [19] D.T.Khan, S.Takeuchi, Y.Nakamura, K.Nakamura, T.Arauchi, H.Miyake, K. Hiramatsu, Y.Imai, S.Kimura, and A.Sakai, J. Cryst. Growth **411**, 38 (2015).
- [20] P. van der Sluis, J. J. M. Binsma, and T. van Dongen, Appl. Phys. Lett. **62**, 3186 (1993).
- [21] A. Ulyanenko, T. Baumbach, N. Darowski, U. Pietsch, K. H. Wang, A. Forchel, and T. Wiebach, J. Appl. Phys. **85**, 1524 (1999).
- [22] J. R. Holt, A. Madan, E. C. T. Harley, M. W. Stoker, T. Pinto, D. J. Schepis, T. N. Adam, C. E. Murray, S. W. Bedell, and M. Holt, J. Appl. Phys. **114**, 154502 (2013).
- [23] N. Darowski, U. Pietsch, Y. Zhuang, S. Zerlauth, G. Bauer, D. Lübbert, and T. Baumbach, Appl. Phys. Lett. **73**, 806 (1998).
- [24] C. Himcinschi, R. Singh, I. Radu, A. P. Milenin, W. Erfurth, M. Reiche, U. Gösele, S. H. Christiansen, F. Muster, and M. Petzold, Appl. Phys. Lett. **90**, 021902 (2007).
- [25] I. Aberg, T. B. O'Reilly, J. L. Hoyt, D. A. Antoniadis, H. I. Smith, A. J. Paul, M. L. Green, J. Li, and R. Hull, Appl. Phys. Lett. **87**, 251926 (2005).

- [26] H. Yin, R. Huang, K. D. Hobart, Z. Suo, T. S. Kuan, C. K. Inoki, S. R. Shieh, T. S. Duffy, F. J. Kub, and J. C. Sturm, *J. Appl. Phys.* **91**, 9716 (2002).
- [27] G. Xiong, O. Moutanabbir, X. Huang, S. A. Paknejad, X. Shi, R. Harder, M. Reiche, and I. K. Robinson, *Appl. Phys. Lett.* **99**, 114103 (2011).
- [28] C. E. Murray, H.-F. Yan, I. C. Noyan, Z. Cai, and B. Lai, *J. Appl. Phys.* **98**, 013504 (2005).
- [29] J. P. Dismukes, L. Ekstrom, and R. J. Paff, *J. Phys. Chem.* **68**, 3021 (1964).
- [30] W. A. Brantley, *J. Appl. Phys.* **44**, 534 (1973).
- [31] K. Cheng, A. Khakifirooz, N. Loubet, S. Luning, T. Nagumo, M. Vinet, Q. Liu, A. Reznicek, T. Adam, S. Naczas, P. Hashemi, J. Kuss, J. Li, H. He, L. Edge, J. Gimbert, P. Khare, Y. Zhu, Z. Zhu, A. Madan, N. Klymko, S. Holmes, T. M. Levin, A. Hubbard, R. Johnson, M. Terrizzi, S. Teehan, A. Upham, G. Pfeiffer, T. Wu, A. Inada, F. Allibert, B.-Y. Nguyen, L. Grenouillet, Y. Le Tiec, R. Wacquez, W. Kleemeier, R. Sampson, R. H. Dennard, T. H. Ning, M. Khare, G. Shahidi, and B. Doris, *IEEE IEDM*, 18.1.1 (2012).

第 5 章

結論

5.1 本研究の要約

MOSFET の進歩は、ムーアの法則に従った微細化により達成されてきた。微細化に伴うしきい値電圧の低下やゲート絶縁膜薄膜化によるトンネルリーク電流増加に代表される短チャネル効果等による寄生効果、また根本となるリソグラフィを用いた微細加工技術の問題など、これまでに幾度もその限界論が浮上したが、その度に新たなブレイクスルーにより微細化は進展してきた。しかしながら、近年では MOSFET のゲート長が 20 nm を下回る領域に入り、微細化の限界が近づいてきている。そこで、その限界を打破し、MOSFET の性能向上を継続するために様々な手法が模索されている。なかでも、微細化によらない性能向上技術として、チャネルに歪みや高移動度材料を用いる手法が有効である。また、3 次元ゲートデバイス構造は、その優れたチャネル制御性から、さらなる微細化の継続を可能とする有望な選択肢である。本研究では、先端微細 MOSFET 性能向上のための新材料・プロセス技術、3 次元構造デバイスの導入に伴う、デバイス構造における材料の結晶性への影響に主眼を置き、ナノスケールの領域における結晶性の精密評価・制御という課題に対し、以下の 2 点を主目的とした。

1. 結晶成長やイオン注入等のデバイス高性能化プロセスがデバイス構造微細領域における結晶性へ与える影響の解明。
2. 高性能化プロセスを用いて作製した平面バルク MOSFET や FinFET (fin-shaped field effect transistor) の先端微細デバイス構造における歪み分布の精密評価。

以下に、各章のまとめと本研究で得られた成果について述べる。

第2章では、歪み Si:CP 層の成長技術と膜の特性評価について述べた。Si:P エピタキシャル成長プロセス、クラスターC イオン注入と固層エピタキシャル成長による再結晶化プロセスを組み合わせることで歪み Si:CP 層形成技術を確立した。そして、Si:CP 層形成のための各プロセスが膜特性に及ぼす影響を調査した。低温Cイオン注入およびイオン注入工程数の削減により、Si:CP 層内の層端部欠陥（EOR: end of range defects）および積層欠陥／転位ループ等の結晶欠陥の導入を低減できることを示した。また、再結晶化熱処理条件により P と C の活性化を制御する手法を開発した。同時に、C の導入による P 拡散を抑制し急峻なプロファイル形成（3 nm/decade）が可能となった。低温再結晶化熱処理と追加の高温 LSA の組み合わせにより低欠陥、低抵抗、低 P 拡散、高歪み Si:CP 層の作製を実験的に示した。さらに、本歪み Si:CP 層作製技術の3次元 FinFET デバイス構造への適用を試みた。3次元構造では、再結晶化速度の低下やランダムな核形成による欠陥導入など、ブランケット膜における固層エピタキシャル成長と異なる振る舞いを見せた。高温再結晶化熱処理により、チャネル部への引張歪みの印加を実証した。

第3章では、平面バルク MOSFET デバイス構造における、S/D 領域のエピタキシャル eSiGe ストレッサとゲート直下の歪みチャネル SiGe/Si の双方における歪み・結晶性の評価を行った。高分解能 XRD 測定を実際のデバイス構造へ適用することで、非破壊測定による評価を可能とした。歪み Si および eSiGe 領域内の歪みは、ブランケット開口領域上の理想的な二軸応力状態とは異なり、XRD によって明確に直接測定できることが分かった。S/D eSiGe の Ge 濃度、S/D 領域のリセス形状によるデバイス構造内の歪みの変動が、XRD と DFH 測定により明らかになった。2つの測定手法には良好な相関関係が確認され、高 Ge 濃度および S/D eSiGe 領域の寸法増加により、隣接するチャネル SiGe/Si 領域への歪み印加効果の増大が、両手法により確認できた。また、実験結果を解析的モデリング手法によるシミュレーション結果と比較し、デバイススケールでの格子変形による歪状態変化のメカニズムを、そ

それぞれのデバイス構造（ストレッサのサイズ、スペース、形状）について明らかにした。デバイス構造に対する XRD 測定を用いて、プロセス工程を経る過程で導入される歪み Si および eSiGe 内の欠陥を検出できることを実証した。

第4章では、複数の X 線回折技術、TEM ベースのアプローチ、および FEM を用いたシミュレーションを組み合わせることで、ナノスケールの歪み SiGe fin 構造に発生する局所歪み、格子変形の分布を詳細に調査した。SiGe fin 構造における X 線回折ピークは、ブランクット歪み SiGe 膜と比較して、その周期的構造、SiGe fin 幅、ピッチ、アスペクト比および Ge 濃度等の構造変化を反映するような特徴を示した。また、回折ピークの詳細な解析により、SiGe は fin 長さ方向に沿って完全に歪むが、fin 幅方向の面内歪みは微細加工によりほぼ完全に弾性的に緩和され、結果として一軸応力状態を呈することが明らかになった。線形弾性変形に基づくモデルと X 線回折によって得られた結果との間には良好な対応関係があり、SiGe fin のアスペクト比と格子変形の関係を、二軸応力状態から一軸応力状態への推移と定量的に関連付けることができた。NBD および nanoXRD 測定を用いて、SiGe fin 端部付近において、一軸応力状態から完全緩和状態への歪み変調が存在することを明らかにした。また、SiGe fin 端部の歪み緩和による影響を、物理的解析とデバイスの電気的特性評価を併用して評価した。fin の切断加工の結果として SiGe fin のチャンネル歪みの緩和が起こり、電気的特性が劣化することを明らかにした。SiGe fin を切断する加工をプロセスフローの下流で実施する手法および S/D eSiGe 構造を適用する手法を実施し、SiGe fin 端部における局所歪みの緩和に起因する効果が抑制されることを実証した。

5.2 今後の展望

本研究では、Si:P エピタキシャル成長プロセス、クラスター C イオン注入と再結晶化プロセスを組み合わせることで歪み Si:CP 層形成技術確立した。微細領域における結晶性へ与える影響を詳細に評価し、Si:CP 層形成条件によって、結晶欠陥の導入、P と C の Si 格子

置換位置への活性化、および P の拡散を制御可能であることを示した。本プロセス技術は、nMOSFET 性能向上に必要な、チャネルへの引張歪み印加および S/D 領域におけるシート抵抗低減を実現するために重要である。また、急峻なドーパントプロファイルを有する接合を形成するうえでも有効であり、先端微細デバイス構造のように、よりスケールアップされたデバイスに不可欠な要素技術となると考えられる。さらに、同技術は、Si FinFET チャネル内に引張歪みを誘起できることも実証し、3 次元ナノスケールデバイス構造にも適用可能である。

また、高分解能 XRD の新規応用として、実際の先端微細デバイス構造への適用を試みた。X 線回折はデバイス構造に依存した特徴を示し、他の TEM ベースの歪み測定や弾性論に基づいたシミュレーションと併せた詳細な解析によりナノスケール構造独自の歪み印加・歪み緩和の機構が明らかになった。本手法により、pMOSFET 性能向上に向けて圧縮歪みを積極的に活用する高性能化プロセス技術を用いて作製した平面バルク MOSFET と FinFET デバイス構造内における歪み分布の非破壊評価が可能となる。さらに、本研究では、局所的な歪み分布が与えるデバイスの電気的特性への影響を調査し、物理解析結果との対応関係を得た。局所的な歪み緩和を抑制するデバイスインテグレーション技術を提案かつ導入し、デバイス電気的特性ばらつきの改善に結びつけた。以上のように、先端微細デバイス構造における 3 次元歪分布・格子欠陥構造の解析を通して、ナノスケール立体構造に特有な結晶成長機構や歪・欠陥導入機構を解明できた。

また、上記のような単結晶領域の歪みの非破壊評価にとどまらず、図 5-1 に示すような 3 次元構造における S/D リセス形状、S/D における結晶成長モフォロジ（結晶成長不良や所望の膜厚が達成されているかなど）、ゲート長やゲートサイドウォールスペーサ膜厚などの構造パラメータは、デバイス特性やそのばらつきに直結するため、その測定手法の確立は今後さらに重要性が増してくると考えられる。3 次元構造における構造パラメータ測定を可能にする測定手法として、例えば光波を用いた光波散乱計測（Scatterometry）は有望な手法

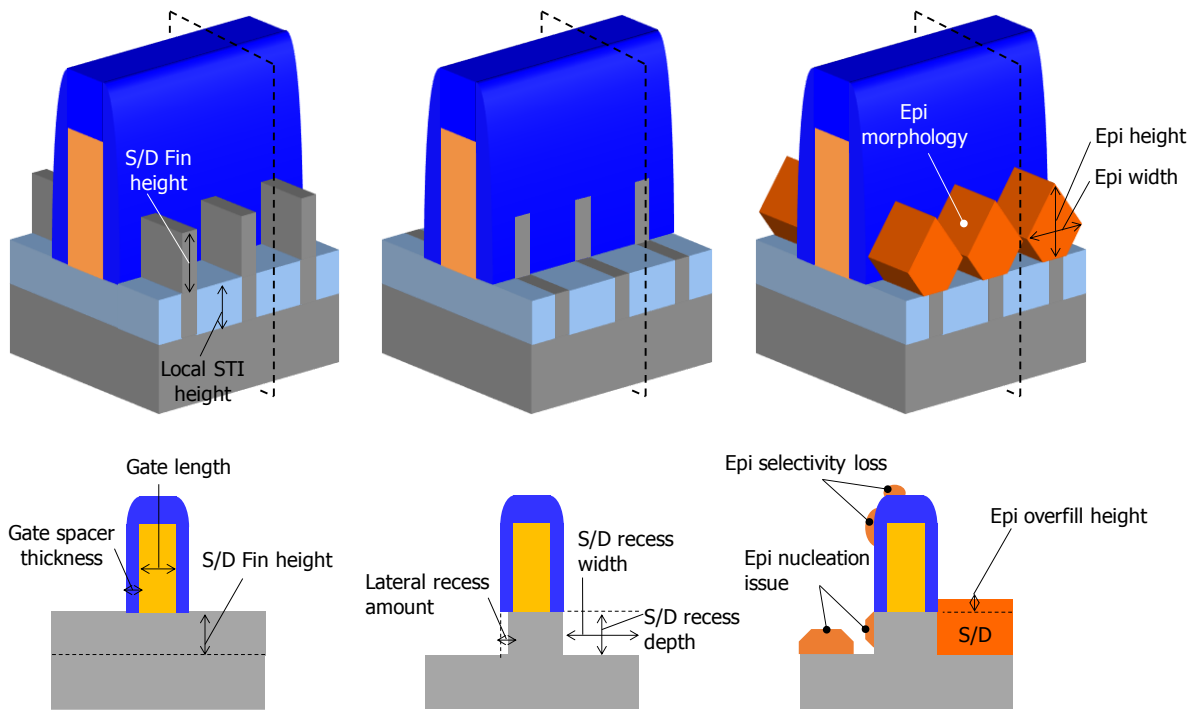


図 5-1. S/D リセス前、S/D リセス後、S/D 形成後における FinFET デバイスの各構造パラメータ概略図。

であり、複雑な新構造デバイスへの非破壊構造評価として期待される場所である。また、プローブ間隔が数百 nm 間隔のマイクロ 4 端子プローブを用いた局所的な電気抵抗測定も可能になってきており、実デバイス構造もしくは擬似デバイス構造における S/D シート抵抗測定への応用も期待される。このような非破壊測定の実デバイス構造への拡張は、デバイス作製工程への組み込みを可能とし、プロセス研究開発さらにはプロセス管理の観点からも非常に有用であると考えられる。

現在、FinFET はすでに実用化されており、3 次元新構造の採用によるさらなる微細化の方向性が示されている。さらに、極端紫外線リソグラフィの実用化の目処がたってきたことから、従来の光リソグラフィ技術では困難であった 20 nm よりも微細な寸法への加工が可能になり、極微細化はさらに現実味を帯びてきた。こうした周辺技術の発展動向から、スケーリングを継続するための次世代のデバイス構造として、水平／垂直方向ゲートオールアラウンド（GAA: gate all around）構造が採用される可能性も高まり、FinFET における歪み SiGe チャンネルのみならず、GAA 構造への歪み技術の適用の検討など、構造の複雑化に伴う

課題が、今後さらに山積していくことが予想される。その意味で、本研究によって培われた、巨視的スケールではなく、実デバイス構造を対象として結晶性・歪みを評価し、それらの変調・緩和等のメカニズムの理解を与える指針は、ますます重要になってくるといえる。例えば、FinFETやGAA構造に本研究で示したS/D eSiGeやeSi:Cなどのストレッサ技術を組み合わせた場合、結晶欠陥やファセットの形成、また自由表面を有するがゆえの弾性歪み緩和など、3次元構造特有の結晶成長機構により導入されるストレッサ内の歪みの変調が予測される。さらに、デバイスの微細化によりS/D領域も微細化されるため、チャネル領域への歪み印加効果も変化する。この際、特にX線回折を用いた詳細な結晶性・歪みの非破壊分析は有効な評価手段であり、デバイス設計起因のLLE、素子分離領域STIやコンタクトビアなどのデバイス周辺材料からの意図しない歪み効果の抽出にも利用できると期待される。また、デバイス作製プロセス工程における熱的負荷過程などが、デバイス局所領域の結晶性へ与える影響を詳細に評価し、理解し、制御するエンジニアリングが今後強く求められるであろう。例えば、ドーパント拡散を用いたS/Dエクステンション領域の形成やドーパントの活性化熱処理、絶縁膜のための緻密化熱処理などの影響を非破壊に評価し、フィードバックすることで最適な条件を見出すプロセス改善の取り組みにおいて、本研究の成果が役立つにちがいない。

本研究においては、先端微細デバイス構造における結晶性と歪みの制御および非破壊測定による結晶性評価の手法を確立した。これらの知見は、新材料・プロセス技術が牽引するスケーリング時代において、歪み技術を有するFinFETや次世代ナノメートルスケール3次元構造デバイスなど、新規デバイス構造の設計およびプロセスインテグレーションを確立するうえで、非常に重要な指針を与えられよう。

謝辞

本論文は、大阪大学大学院基礎工学研究科システム創成専攻電子光科学領域、酒井朗教授のご指導のもと作成しました。ご多忙にもかかわらず主査を引き受けていただき、懇切丁寧なご指導、ご鞭撻を頂戴致しましたことに厚く御礼申し上げます。本論文を査読して頂き、貴重なご意見とご教示を頂いた副査の浜屋宏平教授および中村芳明教授に深く感謝の意を表します。実験、解析、成果発表において、多数のご助言を頂いた同領域助教の竹内正太郎先生および准教授の藤平哲也先生に深く感謝致します。また、事務的な手続きや書類の準備等、大変お世話になりました楠本涼香氏に感謝致します。

なお、本研究の一部は、SPring-8 の BL13XU において実施したもの（課題番号：2014A1329、2014B1549）であり、ビームラインでの実験から論文投稿に至るまでご指導いただきました（公財）高輝度光科学研究センター(JASRI) 今井康彦博士、木村滋博士に感謝致します。

本論文の成果の多くの部分は、IBM Research アルバニー・ナノテク半導体リサーチセンターにおける研究に基づいています。本研究を行うにあたり、研究機会を与えていただいた IBM フェロー／バイスプレジデント Tze-Chiang Chen 博士、IBM バイスプレジデント Mukesh Khare 博士に深く感謝の意を表します。社内における研究から博士後期課程での研究へのマネージメントサポートを頂きました Bala Haran 博士、Jean Wynne 博士、Dale McHerron 博士、Vamsi Paruchuri 博士、Hemanth Jagannathan 博士、Nicolas Loubet 博士に感謝致します。また、Conal E. Murray 博士、Anita Madan 博士、Teresa Pinto 博士、Juntao Li 博士、Yun-Yu Wang 博士、Weihao Weng 博士、Anthony G. Domenicucci 博士、Philip L. Flaitz 博士、Rainer Loesing 博士、Zhengmao Zhu 博士、Oleg Gluschenkov 博士、Gen Tsutsui 博士、Choonghyun Lee 博士におきましては、日々の研究活動において多数のご助言、有益で貴重な議論のお時間を頂きました。ここで改めて御礼申し上げます。

最後になりますが、応援し続けてくれる日本の家族、社会人博士後期課程進学という選択を快諾し日々支えてくれた妻、昨年元気に産まれてくれた息子に感謝致します。アメリカ暮らしで気苦労もあったかと思いますが、共に歩むことで常に元気を与えてくれました。本当にありがとう。

研究業績

発表論文（主著）

学位論文に関連するものは 1、 2、 3。

1. Shogo Mochizuki, Conal E. Murray, Anita Madan, Teresa Pinto, Yun-Yu Wang, Juntao Li, Weihao Weng, Hemanth Jagannathan, Yasuhiko Imai, Shigeru Kimura, Shotaro Takeuchi, Akira Sakai, “Quantification of Local Strain Distributions in Nanoscale Strained SiGe FinFET structures”, J. Appl. Phys. **122**, 135705 (2017).
2. Shogo Mochizuki, Rainer Loesing, Yun-Yu Wang, Hemanth Jagannathan, “Study of phosphorus doped Si:C films formed by in situ doped Si epitaxy and implantation process for n-type metal-oxide-semiconductor devices”, J. Vac. Sci. Technol. B **35**, 021208 (2017).
3. Shogo Mochizuki, Zhengmao Zhu, Rainer Loesing, Anthony G. Domenicucci, Philip L. Flaitz, Vamsi Paruchuri, “Formation of Si:CP layer through in-situ doping and implantation process for n-type metal-oxide-semiconductor devices”, Thin Solid Films **557**, 94 (2014).
4. Shogo Mochizuki, Akira Sakai, Osamu Nakatsuka, Hiroki Kondo, Katsunori Yukawa, Koji Izunome, Takeshi Senda, Eiji Toyoda, Masaki Ogawa, and Shigeaki Zaima, “Strain relaxation of patterned Ge and SiGe layers on Si(001) substrates”, Semicond. Sci. Technol. **22**(1), S132 (2007).
5. Shogo Mochizuki, Akira Sakai, Noriyuki Taoka, Osamu Nakatsuka, Shingo Takeda, Shigeru Kimura, Masaki Ogawa, and Shigeaki Zaima, “Local strain in SiGe/Si heterostructures analyzed by X-ray microdiffraction”, Thin Solid Films **508**(1-2), 128 (2006).

発表論文（共著）

1. Gen Tsutsui, Shogo Mochizuki, Nicolas Loubet, Stephen W. Bedell, and Devendra K. Sadana, “Strain engineering in functional materials”, AIP advances. **9**, 030701 (2019).
2. David Cooper, Nicolas Bernier, Jean-Luc Rouvière, Yun-Yu Wang, Weihao Weng, Anita Madan, Shogo Mochizuki, and Hemanth Jagannathan, “High-precision deformation mapping in finFET transistors with two nanometre spatial resolution by precession electron diffraction”, Appl. Phys. Lett. **110**, 223109 (2017).
3. Hiroaki Niimi, Zuoguang Liu, Oleg Gluschenkov, Shogo Mochizuki, Jody Fronheiser, Juntao

Li, James Demarest, Chen Zhang, Bei Liu, Jie Yang, Mark Raymond, Bala Haran, Huiming Bu, and Tenko Yamashita, “Sub- 10^{-9} Ω -cm² n-Type Contact Resistivity for FinFET Technology”, IEEE Electron Device Lett. **37**(11), 1371 (2016).

4. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki Ogawa, and Shigeaki Zaima, “Control of misfit dislocations in strain-relaxed SiGe buffer layers on SOI substrates”, Thin Solid Films. **508**(1-2), 147 (2006).
5. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki Ogawa, Shigeaki Zaima, Yukio Yasuda, Tsutomu Tezuka, Naoharu Sugiyama, and Shinichi Takagi, “Analysis of microstructures in SiGe buffer layers on silicon-on-insulator substrates”, Jpn. J. Appl. Phys. **44**(10), 7356 (2005).
6. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki, Ogawa, and Shigeaki Zaima, “Strain and Dislocation Engineering in Si_{1-x}Ge_x Buffer Layers”, Journal of the Japanese Association of Crystal Growth. **32**(2), 89 (2005).
7. Akira Sakai, Shogo Mochizuki, Noriyuki Taoka, Osamu Nakatsuka, Shingo Takeda, Shigeru Kimura, Masaki Ogawa, and Shigeaki Zaima, “Dislocation and strain engineering for SiGe buffer layers on Si”, Proceedings of the Satellite Symposium to ESSDERC. **2005-10**, 16 (2005).

招待講演

1. 望月 省吾, “ナノスケール歪み SiGe FinFET 構造における局所歪み分布の定量化と局所レイアウト効果の緩和”, 結晶加工と評価技術第 145 委員会 第 161 回研究会 「Si ULSI ロジック、SOC の材料・デバイス・プロセスの最前線」, 2018 年 12 月

国際学会発表（主著）

1. Shogo Mochizuki, Benjamin Colombeau, Lan Yu, Abhishek Dube, Samuel Choi, Michael Stolfi, Zhenxing Bi, Flora Chang, Richard Conti, Patricia Liu, Kevin Winstel, Hemanth Jagannathan, Hans Gossmann, Nicolas Loubet, Donald Canaperi, Dechao Guo, Shashank Sharma, Schubert Chu, John Boland, Qu Jin, Zihui Li, Samuel Lin, Matthew Cogorno, Michael Chudzik, Sanjay Natarajan, Dale McHerron, and Bala Hara, “Advanced Arsenic Doped Epitaxial Growth for Source Drain Extension Formation in Scaled FinFET Devices”, IEEE International Electron Devices Meeting (IEDM), 35.2 (2018).

2. Shogo Mochizuki, Conal E. Murray, Anita Madan, Teresa Pinto, Yun-Yu Wang, Juntao Li, Weihao Weng, Hemanth Jagannathan, Yasuhiko Imai, Shigeru Kimura, Shotaro Takeuchi, Akira Sakai, “Characterization of local strain in nanoscale strained SiGe FinFET structures”, International SiGe Technology and Devices Meeting (ISTDM), (2016).
3. Shogo Mochizuki, Rainer Loesing, Yun Yu Wang, Hemanth Jagannathan, “A Study of Si:CP films through in-situ doped Si epitaxy and implantation process for n-type metal-oxide-semiconductor”, The 9th International Conference on Silicon Epitaxy and Heterostructures (ICSI-9), (2015).
4. Shogo Mochizuki, Zhengmao Zhu, Rainer Loesing, Anthony G. Domenicucci, Philip L. Flaitz, Vamsi Paruchuri, “Formation of Si:CP layer through in-situ doping and implant process for nMOS devices”, The 8th International Conference on Silicon Epitaxy and Heterostructures (ICSI-8/ISCSI-IV), (2013).
5. Shogo Mochizuki, Anita Madan, Alexandre Pofelski, Anthony G. Domenicucci, Philip L. Flaitz, Jinghong Li, Yun Yu Wang, Teresa Pinto, Chung Woh Lai, Judson R. Holt, Eric C. T. Harley, Matthew W. Stoker, Alexander Reznicek, Dominic Schepis, and Vamsi Paruchuri, “Characterization of strain and crystallinity in patterned embedded Silicon Germanium structures”, Solid State Devices and Materials (SSDM), (2011).
6. Shogo Mochizuki, Akira Sakai, Osamu Nakatsuka, Hiroki Kondo, Katsunori Yukawa, Koji Izunome, Takeshi Senda, Eiji Toyoda, Masaki Ogawa, and Shigeaki Zaima, “Strain relaxation of patterned Ge and SiGe layers on Si(001) substrates”, International SiGe Technology and Devices Meeting (ISTDM), (2006).
7. Shogo Mochizuki, Akira Sakai, Noriyuki Taoka, Osamu Nakatsuka, Shingo Takeda, Shigeru Kimura, Masaki Ogawa, and Shigeaki Zaima, “Local strain in SiGe/Si heterostructures analyzed by X-ray microdiffraction”, The 9th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), (2005).
8. Shogo Mochizuki, Tomohiro Egawa, Akira Sakai, Noriyuki Taoka, Osamu Nakatsuka, Shigeaki Zaima, Masaki Ogawa, and Yukio Yasuda. “Anisotropic strain-relaxation mechanism in SiGe/Si(001) heterostructures with 60° dislocations”, Third International Workshop on New Group IV(Si-Ge-C) Semiconductors, (2004).

国際学会発表（共著）

1. ChoongHyun Lee, Richard Southwick III, Shogo Mochizuki, Juntao Li, Xin Miao, Miaomiao Wang, Ruqiang Bao, Injo Ok, Takashi Ando, Pouya Hashemi, Dechao Guo, Vijay Narayanan, Nicolas Loubet, and Hemanth Jagannathan, “Toward High Performance SiGe Channel CMOS: Design of High Electron Mobility in SiGe Nfinfets Outperforming Si”, 2018 IEEE International Electron Devices Meeting (IEDM), 35.1 (2018).
2. Heng Wu, Oleg Gluschenkov, Gen Tsutsui, Chengyu Niu, Kevin Brew, Curtis Durfee,

- Christopher Prindle, Vimal Kamineni, Shogo Mochizuki, Christian Lavoie, Edward Nowak, Zuoguang Liu, Jie Yang, Samuel Choi, James Demarest, Lan Yu, Adra Carr, wei wang, Jay Strane, Stan Tsai, Yong Liang, Hari Amanapu, Iqbal Saraf, Kevin Ryan, Fee-li Lie, Walter Kleemeier, Kisik Choi, Nigel Cave, Tenko Yamashita, Andreas Knorr, Dinesh Gupta, Bala Haran, Dechao Guo, Huiming Bu, and Mukesh Khare, “Parasitic Resistance Reduction Strategies for Advanced CMOS FinFETs Beyond 7nm”, 2018 IEEE International Electron Devices Meeting (IEDM), 35.4 (2018).
3. J. Li, H. Niimi, O. Gluschenkov, P. Adusumilli, J. Fronheiser, S. Mochizuki, Z. Liu, V. Kamineni, M. Raymond, A. V Carr, T. Yamashita, B. Veeraraghavan, N. Saulnier and J. Gaudiello, “Analytical TEM Characterization of Source/Drain Contacts in Advanced Semiconductor Devices”, Volume 24, Supplement S1 (Proceedings of Microscopy & Microanalysis 2018), 8 (2018).
 4. Gen Tsutsui, Curtis Durfee, Miaomiao Wang, Aniruddha Konar, Heng Wu, Shogo Mochizuki, Ruqiang Bao, Stephen Bedell, Juntao Li, Huimei Zhou, Daniel Schmidt, Chun Ju Yang, James Kelly, Koji Watanabe, Theodore Levin, Walter Kleemeier, Dechao Guo, Devendra Sadana, Dinesh Gupta, Andreas Knorr and Huiming Bu, “Leakage Aware Si/SiGe CMOS FinFET for Low Power Applications”, Symposium on VLSI Technology Digest of Technical Papers, T87 (2017).
 5. C. H. Lee, S. Mochizuki, R. G. Southwick III, J. Li, X. Miao, R. Bao, T. Ando, R. Galatage, S. Siddiqui, C. Labelle, A. Knorr, J. H. Stathis, D. Guo, V. Narayanan, B. Haran, and H. Jagannathan, “A Comparative Study of Strain and Ge Content in Si_{1-x}Ge_x Channel using Planar FETs, FinFETs, and Strained Relaxed Buffer Layer FinFETs”, 2017 IEEE International Electron Devices Meeting (IEDM), 37.2.1 (2017).
 6. C. H. Lee, R. G. Southwick III, R. Bao, S. Mochizuki, V. Paruchuri, and H. Jagannathan, “Understanding the Interfacial Layer Formation on Strained Si_{1-x}Ge_x Channels and Their Correlation to Inversion Layer Hole Mobility”, Symposium on VLSI Technology Digest of Technical Papers, T126 (2017).
 7. Z. Liu, O. Gluschenkov, H. Niimi, B. Liu, J. Li, J. Demarest, S. Mochizuki, P. Adusumilli, M. Raymond, A. Carr, S. Chen, Y. Wang, H. Jagannathan and T. Yamashita, “Dual Beam Laser Annealing for Contact Resistance Reduction and Its Impact on VLSI Integrated Circuit Variability”, Symposium on VLSI Technology Digest of Technical Papers, T212 (2017).
 8. N. Loubet, T. Hook, P. Montanini, C.-W. Yeung, S. Kanakasabapathy, M. Guillorn, T. Yamashita, J. Zhang, X. Miao, J. Wang, A. Young, R. Chao, M. Kang, Z. Liu, S. Fan, B. Hamieh, S. Sieg, Y. Mignot, W. Xu, S.-C. Seo, J. Yoo, S. Mochizuki, M. Sankarapandian, O. Kwon, A. Carr, A. Greene, Y. Park, J. Frougier, R. Galatage, R. Bao, J. Shearer, R. Conti, H. Song, D. Lee, D. Kong, Y. Xu, A. Arceo, Z. Bi, P. Xu, R. Muthinti, J. Li, R. Wong, D. Brown, P. Oldiges, R. Robison, J. Arnold, N. Felix, S. Skordas, J. Gaudiello, T. Standaert, H. Jagannathan, D. Corliss, M.-H. Na, A. Knorr, T. Wu, D. Gupta, S. Lian, R. Divakaruni, T. Gow, C. Labelle, S. Lee, V. Paruchuri, H. Bu and M. Khare, “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET”, Symposium on VLSI Technology Digest of Technical Papers, T230 (2017).
 9. R. Xie, P. Montanini, K. Akarvardar, N. Tripathi, B. Haran, S. Johnson, T. Hook, B. Hamieh,

- D. Corliss, J. Wang, X. Miao, J. Sporre, J. Fronheiser, N. Loubet, M. Sung, S. Sieg, S. Mochizuki, C. Prindle, S. Seo, A. Greene, J. Shearer, A. Labonte, S. Fan, L. Liebmann, R. Chao, A. Arceo, K. Chung, K. Cheon, P. Adusumilli, H.P. Amanapu, Z. Bi, J. Cha, H.-C. Chen, R. Conti, R. Galatage, O. Gluschenkov, V. Kamineni, K. Kim, C. Lee, F. Lie, Z. Liu, S. Mehta, E. Miller, H. Niimi, C. Niu, C. Park, D. Park, M. Raymond, B. Sahu, M. Sankarapandian, S. Siddiqui, R. Southwick, L. Sun, C. Surisetty, S. Tsai, S. Whang, P. Xu, Y. Xu, C. Yeh, P. Zeitzoff, J. Zhang, J. Li, J. Demarest, J. Arnold, D. Canaperi, D. Dunn, N. Felix, H. Jagannathan, S. Kanakasabapathy, W. Kleemeier, C. Labelle, M. Mottura, P. Oldiges, S. Skordas, T. Standaert, T. Yamashita, M. Colburn, M. Na, V. Paruchuri, S. Lian, R. Divakaruni, T. Gow, S. Lee, A. Knorr, H. Bu, M. Khare, "A 7nm FinFET technology featuring EUV patterning and dual strained high mobility channels", 2016 IEEE International Electron Devices Meeting (IEDM), 2.7.1 (2016).
10. O. Gluschenkov, Z. Liu, H. Niimi, S. Mochizuki, J. Fronheiser, X. Miao, J. Li, J. Demarest, C. Zhang, C. Niu, B. Liu, A. Petrescu, P. Adusumilli, J. Yang, H. Jagannathan, H. Bu, and T. Yamashita, "FinFET performance with Si:P and Ge:Group-III-Metal Metastable Contact Trench Alloys", 2016 IEEE International Electron Devices Meeting (IEDM), 17.2.1 (2016).
 11. Gen Tsutsui, Ruqiang Bao, Kwan-yong Lim, Robert R. Robison, Reinaldo A. Vega, Jie Yang, Zuoguang Liu, Miaomiao Wang, Oleg Gluschenkov, Chun Wing Yeung, Koji Watanabe, Steven Bentley, Hiroaki Niimi, Derrick Liu, Huimei Zhou, Shariq Siddiqui, Hoon Kim, Rohit Galatage, Rajasekhar Venigalla, Mark Raymond, Praneet Adusumilli, Shogo Mochizuki, Thamarai S. Devarajan, Bruce Miao, Bei Liu, Andrew Greene, Jeffrey Shearer, Pietro Montanini, Jay W. Strane, Christopher Prindle, Eric R. Miller, Jody Fronheiser, Chengyu C. Niu, Kisup Chung, James J. Kelly, Hemanth Jagannathan, Sivananda Kanakasabapathy, Gauri Karve, Fee Li Lie, Philip Oldiges, Vijay Narayanan, Terence B. Hook, Andreas Knorr, Dinesh Gupta, Dechao Guo, Rama Divakaruni, Huiming Bu, and Mukesh Khare, "Technology viable DC performance elements for Si/SiGe channel CMOS FinFET", 2016 IEEE International Electron Devices Meeting (IEDM), 17.4.1 (2016).
 12. P. Adusumilli; E. Alptekin; M. Raymond; N. Breil; F. Chafik; C. Lavoie; D. Ferrer; S. Jain; V. Kamineni; A. Ozcan; S. Allen; J. J. An; V. Basker; R. Bolam; H. Bu; J. Cai; J. Demarest; B. Doris; E. Engbrecht; S. Fan; J. Fronheiser; O. Gluschenkov; D. Guo; B. Haran; D. Hilscher; H. Jagannathan; D. Kang; Y. Ke; J. Kim; S. Koswatta; A. Kumar; A. Labonte; R. Lallement; W. Lee; Y. Lee; J. Li; C-H Lin; B. Liu; Z. Liu; N. Loubet; N. Makela; S. Mochizuki; B. Morgenfeld; S. Narasimha; T. Nesheiwat; H. Niimi; C. Niu; M. Oh; C. Park; R. Ramachandran; J. Rice; V. Sardesai; J. Shearer; C. Sheraw; C. Tran; G. Tsutsui; H. Utomo; K. Wong; R. Xie; T. Yamashita; Y. Yan; C. Yeh; M. Yu; N. Zamdmer; N. Zhan; B. Zhang; V. Paruchuri; C. Goldberg; W. Kleemeier; S. Stiffler; R. Divakaruni; W. Henson, "Ti and NiPt/Ti Liner Silicide Contacts for Advanced Technologies", Symposium on VLSI Technology Digest of Technical Papers, 68 (2016).
 13. D. Guo; G. Karve; G. Tsutsui; K-Y Lim; R. Robison; T. Hook; R. Vega; D. Liu; S. Bedell; S. Mochizuki; F. Lie; K. Akarvardar; M. Wang; R. Bao; S. Burns; V. Chan; K. Cheng; J. Demarest; J. Fronheiser; P. Hashemi; J. Kelly; J. Li; N. Loubet; P. Montanini; B. Sahu; M. Sankarapandian; S. Sieg; J. Sporre; J. Strane; R. Southwick; N. Tripathi; R. Venigalla; J. Wang; K. Watanabe; C. W. Yeung; D. Gupta; B. Doris; N. Felix; A. Jacob; H. Jagannathan; S. Kanakasabapathy; R. Mo; V. Narayanan; D. Sadana; P. Oldiges; J. Stathis; T. Yamashita; V. Paruchuri; M. Colburn; A. Knorr; R. Divakaruni; H. Bu; M. Khare, "FINFET technology

featuring high mobility SiGe channel for 10nm and beyond”, Symposium on VLSI Technology Digest of Technical Papers, 14 (2016).

14. C. H. Lee, H. Kim, P. Jamison, R. G. Southwick III, S. Mochizuki, K. Watanabe, R. Bao, R. Galatage, S. Guillaumet, T. Ando, R. Pandey, A. Konar, B. Lherreron, J. Fronheiser, S. Siddiqui, H. Jagannathan, V. Paruchuri, “Selective GeO_x-Scavenging from Interfacial Layer on Si_{1-x}Ge_x Channel for High Mobility Si/Si_{1-x}Ge_x CMOS Application”, Symposium on VLSI Technology Digest of Technical Papers, 36 (2016).
15. A. Madan, S. Mochizuki, C. Murray, D. Cooper, Y. Wang, W. Weng, T. Pinto, “Challenges in Measuring Strain in Nanoscale 3D FinFET Structures”, AVS 62nd International Symposium & Exhibition, (2015).
16. A. F. Bello, Aaron Cordes, Abhijeet Paul, Shogo Mochizuki, Chun-Chen Yeh, Huiming Bu, “FinFET Sidewall Roughness Measurement And Correlation To Device Performance”, The 2013 International Conference on Frontiers of Characterization and Metrology for Nanoelectronics (FCMN), (2013).
17. A. Paul, C. C. Yeh, S. Mochizuki, A. F. Bello, H. Bu, and M. Khare, “Controlled H₂ annealing in aggressively scaled multi-fin SOI FinFETs: performance and electrostatics enhancement by fin surface smoothening”, 44th IEEE Semiconductor Interface Specialists Conference (SISC), (2013).
18. A. Khakifirooz; R. Sreenivasan; B. N. Taber; F. Allibert; P. Hashemi; W. Chern; N. Xu; E. C. Wall; S. Mochizuki; J. Li; Y. Yin; N. Loubet; A. Reznicek; S. M. Mignot; D. Lu; H. He; T. Yamashita; P. Morin; G. Tsutsui; C. -Y. Chen; V. S. Basker; T. E. Standaert; K. Cheng; T. Levin; B. Y. Nguyen; T. -S. King Liu; D. Guo; H. Bu; K. Rim; B. Doris, “Aggressively scaled strained silicon directly on insulator (SSDOI) FinFETs”, 2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), (2013).
19. O. Nakatsuka, K. Yukawa, S. Mochizuki, A. Sakai, K. Fukuda, S. Kimura, O. Sakata, K. Izunome, T. Senda, E. Toyoda, M. Ogawa, and S. Zaima, “Characterization of Local Strains in Si_{1-x}Ge_x Hetero-mesa Structures on Si(001) Substrates by Using X-ray Microdiffraction”, Fifth International Symposium on Control of Semiconductor Interfaces, 41 (2007).
20. K. Uejima, H. Nakamura, T. Fukase, S. Mochizuki, S. Sugiyama, and M. Hane, “Highly Efficient Stress Transfer Techniques in Dual Stress Liner CMOS Integration”, Symposium on VLSI Technology Digest of Technical Papers, 220 (2007).
21. Osamu Nakatsuka, Noriyuki Taoka, Akira, Sakai, Shogo Mochizuki, Masaki Ogawa, and Shigeaki Zaima, “Mosaicity and dislocations in strain-relaxed SiGe buffer layers on SOI substrates”, The 2nd International WorkShop on New Group IV Semiconductor Nanoelectronics, (2006).
22. Osamu Nakatsuka, Shogo Mochizuki, Akira Sakai, Hiroki Kondo, Katsunori Yukawa, Masaki Ogawa, and Shigeaki Zaima, “Dislocation structure and strain relaxation of SiGe and Ge sub-micron stripe lines on Si(001) substrates”, The 2nd International WorkShop on New Group IV Semiconductor Nanoelectronics, (2006).

23. Akira Sakai, Noriyuki Taoka, Shogo Mochizuki, Katsunori Yukawa, Osamu Nakatsuka, Shingo Takeda, Shigeru Kimura, Masaki Ogawa, and Shigeaki Zaima, “Control and characterization of strain in SiGe/Si heterostructures with engineered misfit dislocations”, ISTDM2006 3rd, (2006).
24. S. Takeda, S. Kimura, M. Mizumaki, M. Takata, S. Mochizuki, A. Sakai, N. Taoka, O. Nakatsuka, M. Ogawa and S. Zaima, “Development of a High-Angular-Resolution Microdiffraction System for Reciprocal Space Map Measurements”, Proceedings of the 8th International Conference on X-ray Microscopy, IPAP Conference Series 7, 309 (2005).
25. Akira Sakai, Shogo Mochizuki, Noriyuki Taoka, Osamu Nakatsuka, Shingo Takeda, Shigeru Kimura, Masaki Ogawa, and Shigeaki Zaima, “Dislocation and strain engineering of SiGe buffer layers on Si”, Crystalline Defects and Contamination: Their Impact and Control in Device Manufacturing IV, DECON 2005. Proceedings of the Satellite Symposium to 35th European Solid-State Device Research Conference, Proc. Vol. 2005-10, 16, (2005).
26. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki Ogawa, and Shigeaki Zaima, “Control of misfit dislocations in strain-relaxed SiGe buffer layers on SOI substrates”, ICSI-4, (2005).
27. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki Ogawa, Shigeaki Zaima, and Yukio Yasuda, “Transmission electron microscopy analysis of dislocation structure in the strain-relaxed SiGe films on Si and silicon-on-insulator substrates”, International Symposium on Characterization of Real Materials and Real Processing by Transmission Electron Microscopy, (2005).
28. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Shigeaki Zaima, Masaki Ogawa, Yukio Yasuda, Tsutomu Tezuka, Naoharu Sugiyama, and Shinichi Takagi, “Analysis of microstructures in strain-relaxed SiGe buffer layers on SOI substrates with pure-edge dislocation networks”, Third International Workshop on New Group IV(Si-Ge-C) Semiconductors, (2004).
29. Noriyuki Taoka, Akira Sakai, Shogo Mochizuki, Osamu Nakatsuka, Masaki Ogawa, Shigeaki Zaima, Yukio Yasuda, Tsutomu Tezuka, Naoharu Sugiyama, and Shinichi Takagi, “Dislocation and strain distribution analysis for SiGe buffer layers formed on silicon on insulator substrates”, Material Science Research(MRS), (2004).

付録

A. 線形弾性体における面内および面外方向格子変形値の導出

ここでは、 x_2 方向（SiGe fin 長さ方向）に完全に歪んだ SiGe 薄膜の場合を考える。SiGe は線形弾性体であり、 x_3 方向（SiGe fin 高さ方向）面外応力 σ_{33} は 0、 x_1 方向（SiGe fin 幅方向）面内応力は 2 軸応力 σ_B とその割合 f によって決まる。よって線形弾性体の構成式は次の形に整理することができる。

$$\begin{Bmatrix} \epsilon_{11} \\ \epsilon_{22} \\ \epsilon_{33} \end{Bmatrix} = \frac{1}{a_{\text{SiGe}}} \begin{Bmatrix} b_{\text{SiGe}} \\ a_{\text{Si}} \\ c_{\text{SiGe}} \end{Bmatrix} - \begin{Bmatrix} 1 \\ 1 \\ 1 \end{Bmatrix} = \begin{bmatrix} S'_{1111} & S'_{1122} & S'_{1133} \\ S'_{1122} & S'_{2222} & S'_{2233} \\ S'_{1133} & S'_{2233} & S'_{3333} \end{bmatrix} \begin{Bmatrix} f\sigma_B \\ \sigma_B \\ 0 \end{Bmatrix} \quad (\text{A1})$$

S'_{ijkl} は、(001)<110>座標系における SiGe の弾性コンプライアンステンソルの成分である [28]。 x_3 方向が [001] と平行であると仮定すると、 x_3 軸に関して 4 回対称であるため、 $S'_{1111} = S'_{2222}$ 、 $S'_{1133} = S'_{2233}$ から、式(A1) 中の弾性コンプライアンスの数を減らすことができる。この対称性を使用して、面内および面外の格子変形を解くと、

$$\left(\frac{b_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) \frac{(S'_{1111} - S'_{1122})(1-f)}{fS'_{1122} + S'_{1111}} \quad (\text{A2})$$

$$\left(\frac{c_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) \frac{(S'_{1111} - S'_{1133}) + f(S'_{1122} - S'_{1133})}{fS'_{1122} + S'_{1111}} \quad (\text{A3})$$

S^{C}_{ijkl} を (001)<100>座標系における SiGe の弾性コンプライアンステンソルの成分とすると、SiGe fin が [110] に平行である場合、 S'_{ijkl} は S^{C}_{ijkl} の座標変換によって得ることができる。 S'_{ijkl} と S^{C}_{ijkl} の関係は、

$$S'_{ijkl} = a_{im}a_{jn}a_{ko}a_{lp}S^{\text{C}}_{mnop} \quad (\text{A4})$$

ここで、 a_{ij} は方向余弦である。座標変換は、 x_3 軸を中心に 45° の回転を用いるので、

$$a_{ij} = \begin{bmatrix} \cos\theta & \sin\theta & 0 \\ -\sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{bmatrix} = \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & 0 \\ -\frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad (A5)$$

よって、 S'_{ijkl} はそれぞれの以下の様に表すことができる。

$$\begin{aligned} S'_{1111} &= S'_{2222} = \frac{S_{1111}}{2} + \frac{S_{1122}}{2} + S^C_{1212} = S^C_{1111} - \frac{S_0}{2}, \\ S'_{1122} &= S'_{2222} = \frac{S_{1111}}{2} + \frac{S_{1122}}{2} - S^C_{1212} = S^C_{1122} + \frac{S_0}{2}, \\ S'_{1133} &= S'_{2233} = S^C_{1122}, \end{aligned} \quad (A6)$$

ここで、

$$S_0 = S^C_{1111} - S^C_{1122} - 2S^C_{1212} \quad (A7)$$

式 (A6) を式 (A2) および (A3) に代入することにより、 $[1\bar{1}0]$ 面内および $[001]$ 面外方向の格子変形値は、 S^C_{ijkl} を用いて以下のように単純化することができる。

$$\left(\frac{b_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) \frac{4S^C_{1212}(1-f)}{2S^C_{1111} + 2fS^C_{1122} - S_0(1-f)} \quad (A8)$$

$$\left(\frac{c_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) = \left(\frac{a_{\text{SiGe}}}{a_{\text{Si}}} - 1 \right) \frac{2S^C_{1111} - 2S^C_{1122} - S_0(1-f)}{2S^C_{1111} + 2fS^C_{1122} - S_0(1-f)} \quad (A9)$$