The University of Osaka
Institutional Knowledge Archive

Title	パワーエレクトロニクス機器の高性能化のためのトポロジー最適化を用いた設計支援方法
Author(s)	野村, 勝也
Citation	大阪大学, 2019, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/73561
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

パワーエレクトロニクス機器の高性能化のための
トポロジー最適化を用いた設計支援方法

野村　勝也

２０１９年７月

大阪大学大学院工学研究科

目次

第 1 章　序論 **1**
1.1　はじめに 1
1.2　研究の目的と論文の構成 3
参考文献 4

第 2 章　パワーエレクトロニクス機器の設計対象と設計支援方法 **7**
2.1　はじめに 7
2.2　パワーエレクトロニクス機器 7
2.2.1　概要 7
2.2.2　構成 8
2.2.3　高性能化のための要件 9
2.3　パワー半導体デバイス 11
2.3.1　概要 11
2.3.2　設計プロセスと設計課題 14
2.4　ノイズフィルタ回路 16
2.4.1　概要 16
2.4.2　設計プロセスと設計課題 18
2.5　トポロジー最適化を用いた設計支援 21
2.5.1　トポロジー最適化の概要 21
2.5.2　パワー半導体デバイスの設計支援 23
2.5.3　ノイズフィルタ回路の設計支援 25
2.6　まとめ 26
参考文献 28

第 3 章　パワー半導体デバイスの設計支援方法 **31**
3.1　はじめに 31
3.2　設計問題 31
3.2.1　主デバイス部のオン抵抗-耐圧トレードオフ特性向上 31
3.2.2　周辺部の耐圧性能向上 31

3.3 トポロジー最適化の適用方法 32
3.3.1 主デバイス部のオン抵抗-耐圧トレードオフ特性向上 32
3.3.2 周辺部の耐圧性能向上 33
3.4 定式化と数値計算法 34
3.4.1 順解析の定式化 34
3.4.2 最適化問題の定式化 34
3.4.3 数値計算法 35
3.5 数値例 36
3.5.1 主デバイス部のオン抵抗-耐圧トレードオフ特性向上 36
3.5.2 周辺部の耐圧性能向上 38
3.6 考察 40
3.7 まとめ 41
参考文献 42

第 4 章 導体最適化における開放短絡防止手法 43
4.1 はじめに 43
4.2 開放と短絡に関する考察 44
4.2.1 電気回路とグラフ 44
4.2.2 開放と短絡のグラフへの影響 45
4.3 開放短絡防止の制約条件 46
4.3.1 原理 46
4.3.2 電流と電界分布の数 48
4.3.3 電流と電界の計算と制約 49
4.3.4 計算コスト 52
4.4 定式化と数値計算法 52
4.4.1 最適化手法 52
4.4.2 最適化問題 53
4.4.3 数値計算法 53
4.5 数値例 54
4.6 まとめ 58
参考文献 59

第 5 章 ノイズフィルタ回路の設計支援方法 61
5.1 はじめに 61
5.2 対象ノイズフィルタ回路 61
5.2.1 開放短絡防止手法の検証用 62
5.2.2 支配的なノイズの低減効果の検証用 63

5.3 定式化と数値計算法 65
5.3.1 順解析の定式化と数値計算法 65
5.3.2 最適化問題の定式化と数値計算法 66
5.4 数値例 67
5.4.1 開放短絡防止手法の検証 67
5.4.2 支配的なノイズの低減効果の検証 72
5.5 考察 74
5.6 まとめ 74
参考文献 75

第 6 章 インダクタンスキャンセル構造の設計支援方法 77
6.1 はじめに 77
6.2 インダクタンスキャンセルの原理 78
6.3 単一ループ対の検討 78
6.3.1 対象回路の構造 78
6.3.2 最適化の設定と結果 80
6.3.3 インピーダンスの結果と考察 82
6.4 複数ループ対の検討 84
6.4.1 対象回路の構造 84
6.4.2 最適化の設定と結果 85
6.4.3 実験結果 86
6.4.4 シミュレーションと実験の乖離に関する検討 87
6.5 考察 89
6.6 まとめ 90
参考文献 91

第 7 章 結論 93

付録 97
A. パワー半導体デバイスの物理モデル 97
B. JTE 構造のパラメータ最適化 100
C. TCAD と有限要素法の計算結果比較 101
D. KS 関数のパラメータの意味 102
E. ノイズフィルタ回路における支配的なノイズの特定 104
F. S パラメータの導出 107
G. ミックスドモード S パラメータの導出 108
参考文献 110

謝辞 **111**

関連発表 **113**

論文 113

国際会議（査読有り） 113

その他の国際会議 114

国内会議 114

第 1 章

序論

1.1　はじめに

電気エネルギーは利用しやすいエネルギー形態として大いに活用されている。その電気エネルギーをより効率的に使うために欠かせないキーテクノロジーとしてパワーエレクトロニクスがある。パワーエレクトロニクスは電力変換を実現するための技術の名称であり、その応用分野は交通・輸送機器、エネルギーインフラ、家庭用機器、一般産業用機器など多岐に渡る。具体的な応用事例としては、例えば交通・輸送機器では、交流モータで駆動力を得る電気自動車がある。ここでは、電池が供給するエネルギーを交流モータで利用するために、パワーエレクトロニクスにおける直流交流変換の技術が用いられる。他には、エネルギーインフラとしては風力発電や太陽光発電などの系統連系やスマートグリッド技術が、家庭用機器としてはインバータエアコン、冷蔵庫、洗濯機、蛍光灯に加え、電子レンジや IH 調理器といった調理器具、さらにパソコンやスマートフォンを充電するためのアダプターがある。また一般産業用の例としてはロボットの駆動が挙げられる。

パワーエレクトロニクス機器はパワー半導体デバイスを活用することで高効率にエネルギーを変換できるが、その一方で廃熱となるエネルギー損失を生み出す。この損失を減らすために、パワー半導体デバイスの高性能化や電力変換回路の新たな構成の提案などの研究開発がなされている。このような取り組みは、より効率的なエネルギーの利用を可能とするため、二酸化炭素の低減に寄与する。そのために、パワーエレクトロニクス技術の研究開発を推進することで、2030 年までに二酸化炭素の排出量を 1515 万トン削減するという目標が掲げられている [1]。また、このような低炭素社会の実現への期待に加えて、パワーエレクトロニクス機器の普及に伴う経済効果も期待されている。具体的には、パワーエレクトロニクスの世界市場規模は、2013 年頃の 6 兆円から 2030 年には 20 兆円にまで成長することが予測されている [2]。

このため、パワーエレクトロニクスに関連する製品の開発競争が激化している。例えば自動車業界では、交流モータを主要な動力源とする電気自動車やハイブリッド車の普及により、パワーエレクトロニクス機器の重要性が増している。それに伴い、パワーエレクトロニクス機器に対する要求仕様の水準はますます高まっており、設計に多大な工数が必要となっている。そこで、パワーエレクトロニクス機器の高性能化のための設計支援方法が望まれている。

パワーエレクトロニクス機器の高性能化を検討するにあたって機器の構成を考えると、パワーエレクトロニクス機器は電力変換を行うパワー回路やその制御回路など複数の回路から構成されており、またそれらの回路は、回路基板や多種の回路素子といった様々な部品から構成されている。よって、パワーエレクトロニクス機器は、サブシステムである回路、またそのコンポーネントである部品から構成される、階層的なシステムと捉えることができる。

そのようなシステムの設計方法を考えた場合、ひとつの方策は、システムに要求される設計仕様を満たすための、無駄がなくコンパクトな回路および部品の構成を決定するというものである。このような設計を支援するための方法が多数提案されている。例えば、対象とする電力変換回路の構成と動作原理から、入出力電圧などの要求仕様と容量値などの回路パラメータとの関係式を導出し、その式に基づきキャパシタやインダクタの回路パラメータを設計する研究が行われている [3, 4]。また、回路構成と動作原理などから各素子や冷却器の損失および体格を見積もるモデル式を導出し、これらの式をもとにパワー密度や効率の観点から最適な機器を設計する方法が、PFC (Power Factor Correction) 整流器 [5]、マトリックスコンバータ [6]、モジュラーマルチレベルコンバータ [7] を対象に提案されている。これらの研究事例では、システムの要求性能を満たすために、構成要素である回路や部品の組み合わせをいかにして最適化するかという立場に立っており、回路部品には一般的なものを使用することを前提としている。そのため、部品の物理的な構造を直接的に設計している訳ではない。

一方で、パワーエレクトロニクス機器の高性能化を実現するには、構成要素である回路および部品の特性を向上させるアプローチも考えられる。そのためには回路や部品の物理的な構造を改良する必要があり、より良い構造を数理的に導出する方法論である構造最適化を用いた設計支援が有効である。構造最適化は大別して寸法最適化、形状最適化、トポロジー最適化[*1] に分類されるが、そのうちトポロジー最適化は最も高い自由度をもつ [8]。トポロジー最適化は構造設計分野において提案された手法であるが [9]、様々な分野の設計問題にも広く適用されてきている。

電気分野における設計問題を対象としたトポロジー最適化の適用事例も豊富に報告されている。まず構造と電気の連成系の設計問題への適用がなされた。圧電アクチュエータ [10] や圧電トランスデューサ [11] といった圧電素子の設計で応用が検討された後に、熱電アクチュエータ [12, 13]、静電アクチュエータ [14, 15] や磁気アクチュエータ [16, 17] にも範囲を広げている。また構造解析が不要で電磁界解析のみを要する設計問題にも多数適用されている。電磁界解析は大別して、マクスウェル方程式を近似を設けずに解く高周波向けの電磁界解析（フルウェーブ解析）と、変位電流項を無視した方程式を解く低周波向けの電磁界解析（渦電流解析）に分類される。高周波向けの電磁界解析に関する先行研究としては、パッチアンテナ [18] やダイポールアンテナ [19] などのアンテナや、フォトニック結晶 [20]、光導波路 [21]、誘電体共振器 [22]、メタマテリアル [23, 24] などを対象に多数の報告がなされている。近年では、薄膜シリコン太陽電池の光吸収層 [25, 26] や、表面プラズモンを用いた光学フィルタ [27] といった、多層構造の素子を対象にした検討例も報告され

[*1] 本研究で「トポロジー最適化」という場合には、回路のトポロジーを最適化することを指すのではなく、構造最適化の手法であるトポロジー最適化のことを指す。なお、トポロジー最適化の名称は、対象構造に穴が空くなどのトポロジーの変化が生じうる特徴に由来するものであり、回路のトポロジーとは直接には関係がない。

ている。低周波向けの電磁界解析に関する先行研究としては、誘導モータ [28]、スイッチトリラクタンスモータ [29]、IPM (Interior Permanent Magnet) モータ [30] といったモータや、インダクタ [31, 32] を対象としたものなどがある。さらに、電気浸透流ポンプ [33]、めっき用電解槽 [34]、レドックスフロー電池 [35] など、電気伝導性や化学反応を有する流れ場を対象とする構造の設計支援にも裾野を広げている。

これらの検討では、あらかじめ設計支援を行う対象が明確に定まっている。一方で、パワーエレクトロニクス機器という複合的なシステムの高性能化を検討する際には、まずその構成要素を明確に示した上で、高性能化という要求に対して影響の大きい要素を対象に設計支援を行うことが有効である。また、設計支援をより意義のあるものにするためには、支援対象の要素における従来の設計課題を明確化し、対象要素の性質に応じた適切な方法を用いて課題を解決することが望ましい。

1.2 研究の目的と論文の構成

本研究では、パワーエレクトロニクス機器の高性能化に向けて、機器を構成する回路および素子の構造の設計を支援するための方法を構築することを目的とする。その支援をより有効なものとするために、まずパワーエレクトロニクス機器の構成を機器・回路・部品レベルで階層的・体系的に整理した上で、高性能化という要求に対して重要となる構成要素を特定し、本研究での設計支援対象を明確化する。そして対象となる回路および素子における設計プロセスを整理し、従来の設計における課題を論じた上で、複数のトポロジー最適化の方式のうち適切なものを用いることで課題が解決されうることを述べる。そして、具体的な設計問題とトポロジー最適化を用いた設計支援方法を示し、その有効性を検証する。また最適化を行うにあたり従来の手法のみでは不足がある場合には、必要な手法を提案する。

本論文の構成は以下の通りである。第 2 章では、パワーエレクトロニクス機器の構成要素を示し、その中でも高性能化の鍵を握るパワー半導体デバイスとノイズフィルタ回路の設計を支援するために、トポロジー最適化を有効に活用できることを論じる。第 3 章では、パワー半導体デバイスの主デバイス部および周辺部の設計問題を対象に、トポロジー最適化を用いた設計支援方法を提案し、その有効性を数値例で確認する。第 4 章では、回路基板の導体パターンを対象としたトポロジー最適化において、回路図で指定された結線を保つために必要となる、開放と短絡を防止するための手法を提案する。第 5 章では、ノイズフィルタ回路の回路基板における導体パターンを対象にトポロジー最適化を適用し、その有効性を数値例で示す。第 6 章では、ノイズフィルタ回路における性能悪化の要因であるコンデンサの等価直列インダクタンスを低減できる、インダクタンスキャンセル構造の導体パターン設計を対象に、トポロジー最適化にもとづく設計支援方法を提案し、その有効性を数値結果と実験結果により示す。第 7 章では各章の内容を要約し、本研究の成果を総括する。

参考文献

[1] 新エネルギー・産業技術総合開発機構 IoT 推進部, 低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト, 資料 6–1–1, 2016, https://www.nedo.go.jp/content/100799306.pdf.

[2] 内閣府第 114 回総合科学技術会議, 最近の科学技術の動向「パワーエレクトロニクス–世界はパワーエレクトロニクスで動いている–」, 資料 5–2, 2013, https://www8.cao.go.jp/cstp/siryo/haihu114/siryo5-2.pdf.

[3] 樫原有吾, 伊東淳一, 5 レベルアクティブ NPC インバータのパラメータ設計, 電気学会論文誌 D, vol. 131, no. 12, pp. 1383–1392, 2011.

[4] Nakanishi T. and Itoh J., Design guidelines of circuit parameters for modular multilevel converter with H-bridge cell, *IEEJ Journal of Industry Applications*, vol. 6, no. 3, pp. 231–244, 2017.

[5] Kolar J. W., Biela J., and Minibock J., Exploring the pareto front of multi-objective single-phase PFC rectifier design optimization - 99.2% efficiency vs. 7kW/din3 power density, In *2009 IEEE 6th International Power Electronics and Motion Control Conference*, pp. 1–21, 2009.

[6] Koiwa K. and Itoh J., A maximum power density design method for nine switches matrix converter using SiC-MOSFET, *IEEE Transactions on Power Electronics*, vol. 31, no. 2, pp. 1189–1202, 2016.

[7] Nakanishi T. and Itoh J., High power density design for a modular multilevel converter with an H-bridge cell based on a volume evaluation of each component, *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 1967–1984, 2018.

[8] Bendsøe M. P. and Sigmund O., *Topology Optimization: Theory, Methods, and Applications*, Springer-Verlag Berlin Heidelberg, 2004.

[9] Bendsøe M. P. and Kikuchi N., Generating optimal topologies in structural design using a homogenization method, *Computer Methods in Applied Mechanics and Engineering*, vol. 71, no. 2, pp. 197–224, 1988.

[10] Silva E. C. N., Fonseca J. S. O., and Kikuchi N., Optimal design of piezoelectric microstructures, *Computational Mechanics*, vol. 19, no. 5, pp. 397–410, 1997.

[11] Silva E. C. N. and Kikuchi N., Design of piezoelectric transducers using topology optimization, *Smart Materials and Structures*, vol. 8, no. 3, pp. 350–364, 1999.

[12] Sigmund O., Design of multiphysics actuators using topology optimization – part i: One-material structures, *Computer Methods in Applied Mechanics and Engineering*, vol. 190, no. 49, pp. 6577–6604, 2001.

[13] Sigmund O., Design of multiphysics actuators using topology optimization – part ii:

Two-material structures, *Computer Methods in Applied Mechanics and Engineering*, vol. 190, no. 49, pp. 6605–6627, 2001.

[14] Raulli M. and Maute K., Topology optimization of electrostatically actuated microsystems, *Structural and Multidisciplinary Optimization*, vol. 30, no. 5, pp. 342–359, 2005.

[15] Yoon G. H. and Sigmund O., A monolithic approach for topology optimization of electrostatically actuated devices, *Computer Methods in Applied Mechanics and Engineering*, vol. 197, no. 45, pp. 4062–4075, 2008.

[16] Yoo J. and Soh H.-J., An optimal design of magnetic actuators using topology optimization and the response surface method, *Microsystem Technologies*, vol. 11, no. 12, pp. 1252–1261, 2005.

[17] Park S., Min S., Yamasaki S., Nishiwaki S., and Yoo J., Magnetic actuator design using level set based topology optimization, *IEEE Transactions on Magnetics*, vol. 44, no. 11, pp. 4037–4040, 2008.

[18] Kiziltas G., Psychoudakis D., Volakis J. L., and Kikuchi N., Topology design optimization of dielectric substrates for bandwidth improvement of a patch antenna, *IEEE Transactions on Antennas and Propagation*, vol. 51, no. 10, pp. 2732–2743, 2003.

[19] Zhou S., Li W., and Li Q., Level-set based topology optimization for electromagnetic dipole antenna design, *Journal of Computational Physics*, vol. 229, no. 19, pp. 6915–6930, 2010.

[20] Jensen J. S. and Sigmund O., Systematic design of photonic crystal structures using topology optimization: Low-loss waveguide bends, *Applied Physics Letters*, vol. 84, no. 12, pp. 2022–2024, 2004.

[21] Tsuji Y., Hirayama K., Nomura T., Sato K., and Nishiwaki S., Design of optical circuit devices based on topology optimization, *IEEE Photonics Technology Letters*, vol. 18, no. 7, pp. 850–852, 2006.

[22] Nomura T., Sato K., Taguchi K., Kashiwa T., and Nishiwaki S., Structural topology optimization for the design of broadband dielectric resonator antennas using the finite difference time domain technique, *International Journal for Numerical Methods in Engineering*, vol. 71, no. 11, pp. 1261–1296, 2007.

[23] Diaz A. R. and Sigmund O., A topology optimization method for design of negative permeability metamaterials, *Structural and Multidisciplinary Optimization*, vol. 41, no. 2, pp. 163–177, 2010.

[24] Yamasaki S., Nomura T., Sato K., Michishita N., Yamada Y., and Kawamoto A., Level set-based topology optimization targeting dielectric resonator-based composite right- and left-handed transmission lines, *International Journal for Numerical Methods in Engineering*, vol. 89, no. 10, pp. 1272–1295, 2012.

[25] Soh H., Yoo J., and Kim D., Optimal design of the light absorbing layer in thin film

silicon solar cells, *Solar Energy*, vol. 86, no. 7, pp. 2095–2105, 2012.

[26] Otomori M., Yamada T., Izui K., Nishiwaki S., and Kogiso N., Level set-based topology optimization for the design of light-trapping structures, *IEEE Transactions on Magnetics*, vol. 50, no. 2, pp. 729–732, 2014.

[27] Ohkado M., Nomura T., Yamasaki S., Kawamoto A., and Nishiwaki S., A level set-based topology optimization incorporating arbitrary lagrangian eulerian method for wavelength filter using extraordinary optical transmission, *Structural and Multidisciplinary Optimization*, vol. 50, no. 3, pp. 465–474, 2014.

[28] Wang S., Kang J., and Noh J., Topology optimization of a single-phase induction motor for rotary compressor, *IEEE Transactions on Magnetics*, vol. 40, no. 3, pp. 1591–1596, 2004.

[29] Lee J., Seo J. H., and Kikuchi N., Topology optimization of switched reluctance motors for the desired torque profile, *Structural and Multidisciplinary Optimization*, vol. 42, no. 5, pp. 783–796, 2010.

[30] Choi J. S., Izui K., Nishiwaki S., Kawamoto A., and Nomura T., Rotor pole design of IPM motors for a sinusoidal air-gap flux density distribution, *Structural and Multidisciplinary Optimization*, vol. 46, no. 3, pp. 445–455, 2012.

[31] Watanabe K., Campelo F., Iijima Y., Kawano K., Matsuo T., Mifune T., and Igarashi H., Optimization of inductors using evolutionary algorithms and its experimental validation, *IEEE Transactions on Magnetics*, vol. 46, no. 8, pp. 3393–3396, 2010.

[32] Yamasaki S., Kawamoto A., Saito A., Kuroishi M., and Fujita K., Grayscale-free topology optimization for electromagnetic design problem of in-vehicle reactor, *Structural and Multidisciplinary Optimization*, vol. 55, no. 3, pp. 1079–1090, 2017.

[33] 田中隆太, 矢地謙太郎, 佐藤綾美, 泉井一浩, 山田崇恭, 西脇眞二, 誘起電荷電気浸透流を用いたマイクロポンプを対象としたレベルセット法に基づくトポロジー最適化, 日本機械学会論文集, vol. 82, no. 835, pp. 15–00406, 2016.

[34] 石塚尚子, 野口悠暉, 山田崇恭, 泉井一浩, 西脇眞二, 電気めっき加工におけるめっき膜厚分布均一化のための遮蔽物のトポロジー最適化, 日本機械学会論文集, vol. 83, no. 853, pp. 17–00185, 2017.

[35] Yaji K., Yamasaki S., Tsushima S., Suzuki T., and Fujita K., Topology optimization for the design of flow fields in a redox flow battery, *Structural and Multidisciplinary Optimization*, vol. 57, no. 2, pp. 535–546, 2018.

第 2 章

パワーエレクトロニクス機器の設計対象と設計支援方法

2.1　はじめに

本章では、具体的な設計支援方法の検討を行うに先立ち、パワーエレクトロニクス機器の高性能化の鍵を握る構成要素を示して設計支援対象を明確化する。また、支援対象の従来の設計課題を示した上で、トポロジー最適化を用いた設計支援によって課題が解決されうることを論じる。

次節以降ではまず、パワーエレクトロニクス機器の概要と構成を述べ、高性能化のためにはパワー半導体デバイスとノイズフィルタ回路の性能向上が重要であることを論じる。次に、パワー半導体デバイスとノイズフィルタ回路について、それぞれの概要、設計プロセス、従来の設計における課題を述べる。そしてトポロジー最適化について概説し、複数の方式のうちで適切なものを用いて設計支援を行うことで、それらの設計課題が解決されうることを論じる。

2.2　パワーエレクトロニクス機器

2.2.1　概要

パワーエレクトロニクスの役割は電力変換であり、電源から供給される電力を電気負荷で使用するために必要となる。例えば、直流電力を供給する電池で交流モータを駆動するには直流交流変換が必要となる。また、系統電源よりコンセントを通じて供給される実効値 100V の交流電力を用いて、入力が直流 5 V のスマートフォンを充電するには、交流直流変換および直流の降圧変換が必要となる。また IH 調理器などの高周波誘導加熱には、50 Hz あるいは 60 Hz の電力を 20 kHz から 90 kHz の高周波に変換するために、交流変換回路が用いられる。表 2.1 に電力変換の基本方式を示す。電力を供給する電源と電力を消費する電気負荷それぞれが直流あるいは交流の電力形態をとるため、大別して全部で 4 通りの方式が存在する。このように電力変換技術は直流あるいは交流という周波数の観点で分類されることが多いが、厳密にはより広い範囲を占める技術領域であり、正

表 2.1: 電力変換の基本方式

入力＼出力	直流	交流
直流	直流変換	逆変換
交流	順変換（整流）	交流変換

式な定義としては「バルブデバイスを用いて、電圧・電流・周波数（直流を含む）・位相・相数・波形などの電気特性のうち、一つ以上を実質的な電力損失なしに変えること」とされている [1]。

この定義からもわかるように、パワーエレクトロニクス機器にはバルブデバイス、すなわち電流の流れを制御するデバイスとして使用されるパワー半導体デバイスが不可欠である。パワー半導体デバイスは、電流が流れるオン状態では電気抵抗が極めて小さく、電流が流れないオフ状態では電気抵抗が極めて大きいという性質を有する。さらにオン状態とオフ状態を高速に遷移できる性質も有する。このため、オン状態、オフ状態、スイッチング時のいずれの場合においても電力損失は小さい。パワーエレクトロニクス機器ではパワー半導体デバイスに加え、電界エネルギーを蓄えるコンデンサ、磁界エネルギーを蓄えるインダクタ、巻線比に応じて磁界エネルギーを介して交流電圧値を変換するトランスを用いることで、低損失での電力変換を実現している。

これらのパワー半導体デバイス、コンデンサ、インダクタ、トランスは理想的には電力損失がゼロであるが、実際には損失を発生する。特にパワー半導体デバイスの電力損失は大きく、その損失は発熱となりデバイス自身の特性悪化や周囲への悪影響を及ぼすため、通常は冷却装置が設けられる。これは、コンピュータに搭載される CPU (Central Processing Unit) などのディジタル信号処理用の半導体デバイスに冷却装置が設けられることと同様の事情である。また、スイッチング時の電力損失はオン状態とオフ状態の遷移時間に比例するので、損失を低減するために短時間でのスイッチングが行われるが、それに伴う急激な電流と電圧の時間変化が高周波の不要電磁成分、すなわち電磁ノイズ（以降では単にノイズと呼ぶ）を発生させることが知られている。これらのノイズは周囲の通信機器への干渉を引き起こす恐れがあるため、国際規格などで定められた一定のレベル以下に抑える必要がある。このため、ノイズを抑制するためのノイズフィルタ回路が設けられる。このように、一般的に電力変換機器の設計においては、入出力の電圧・電流・電力・周波数といった基本的な電力変換特性を満たすための設計に加え、熱設計とノイズ設計も必要になる。

2.2.2 構成

図 2.1 に一般的なパワーエレクトロニクス機器のブロック図を示す [2]。パワー半導体デバイス、磁気素子（インダクタおよびトランス）、コンデンサを備えたパワー回路により、電力変換を実現する。このパワー回路にはパワー半導体デバイス用の冷却器も設けられる。またパワー半導体デバイスのスイッチングを制御するために、負荷の状態を検出するセンサと、スイッチングのタイミングを表す時系列データを生成する制御回路と、制御回路の信号に応じてスイッチングを行う駆動回路が必要となる。さらに、パワー回路が発生するノイズを抑制するためのフィルタ回路が入出力に

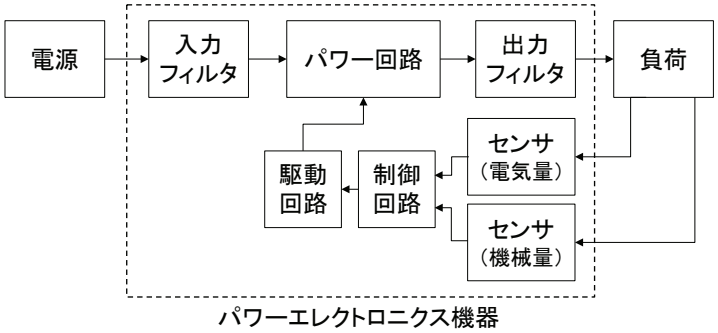


図 2.1: 一般的なパワーエレクトロニクス機器のブロック図

表 2.2: 各種回路と構成要素

部品 / 回路	能動素子	受動素子			その他		備考
		磁気素子	コンデンサ	抵抗			
パワー回路	パワー半導体デバイス	インダクタ トランス	コンデンサ	ー	基板	冷却器	電力用
フィルタ回路	ー	インダクタ コモンモードチョーク	コンデンサ	ー	基板	ー	電力用
制御・駆動回路	IC、センサ	トランス	コンデンサ	抵抗	基板	ー	小信号用

設けられる。これらのパワー回路、（センサおよび）制御・駆動回路、フィルタ回路を組み合わせることで、パワーエレクトロニクス機器が構成される。

以上の回路を、パワー回路、フィルタ回路、制御・駆動回路と 3 種類に大別し、それぞれの構成要素を整理したものを表 2.2 に示す。一般的に回路は、回路基板を用いて回路素子を導体で接続することで構成される。回路素子は能動素子と受動素子に大別され、能動素子はパワー半導体デバイスや IC (Integrated Circuit) などの半導体素子、受動素子は磁気素子、コンデンサ、抵抗に分類される。パワー回路とフィルタ回路はともに大電力を扱う点が共通している一方で、パワー半導体デバイスおよび冷却器はパワー回路のみに設けられる。また磁気素子として、パワー回路では電力蓄積用のインダクタと変圧用のトランスが、フィルタ回路ではノイズの通過を防ぐためのインダクタとコモンモードチョークコイルが用いられる。制御・駆動回路では大電力は扱わないため、磁気素子、コンデンサ、抵抗には小信号用の部品を使用し、また、制御・駆動用の IC やセンサも使用する。

2.2.3 高性能化のための要件

パワーエレクトロニクス機器の高性能化の指標としては、電力密度がしばしば用いられる [3, 4]。文献 [5] によると、電力密度は 1970 年代からおおよそ 15 年で 1 桁程度向上してきた。これらの要因としては、回路・制御技術の進化、パワー半導体デバイス・磁気素子・コンデンサといった素子の性能向上、冷却器設計およびノイズ設計における知見の蓄積といった、幅広い領域での技術進展

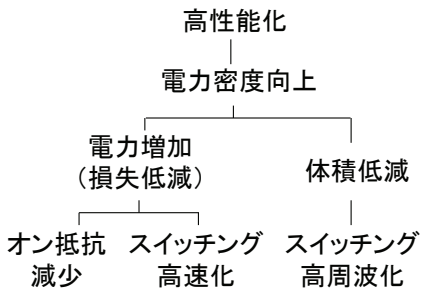


図 2.2: パワーエレクトロニクス機器の高性能化とその方策

が挙げられる。

その中でも、パワー半導体デバイスの性能向上は、パワーエレクトロニクス機器の性能向上に密接に関連することが知られている。その理由を図 2.2 を用いて説明する。電力密度を向上するには、変換可能な電力の増加あるいは体積の低減が必要である。電力を増加させるためには電流あるいは電圧を増やせば良いが、これらはともに、パワー半導体デバイスのオン時およびスイッチング時の損失、すなわち導通損失とスイッチング損失を増加させる。パワー半導体デバイスの損失は発熱となり、過剰な発熱はデバイスやその周囲の部品の故障を引き起こす恐れがあるため、損失を低減する必要がある。そのためには、パワー半導体デバイスの高性能化、すなわちオン時の損失に比例するオン抵抗の減少と、スイッチング時の損失に比例するスイッチング遷移時間の短縮、すなわちスイッチングの高速化が有効である [6]。また、スイッチングの高速化により、単位時間当たりのスイッチング回数の増加、すなわちスイッチングの高周波化が可能となる。これにより、磁気素子およびコンデンサといった受動部品の小型化が可能となる [4, 6]。

これらの方策が、電気損失、機器の体積、熱、ノイズといった特性に与える影響を表 2.3 に示す。オン抵抗の減少は導通時の電気損失と発熱量の低減に寄与する[*1]。またスイッチングの高速化もスイッチング時の電気損失と発熱量の低減に寄与する。その一方で、スイッチングの高速化に伴う急峻な電流と電圧の変化によって、高周波成分である電磁ノイズが増加する。またキャリア周波数の高周波化により受動部品を小型化することが可能になる一方で、単位時間当たりのスイッチング回数が増加することから、スイッチング損失および発熱量が増加するとともに、電磁ノイズも増加する。

以上より、今後もパワーエレクトロニクス機器の電力密度向上を進めてゆくには、電力増加と体積低減の両方に関わるパワー半導体デバイスのさらなる高性能化が必須である。またパワー半導体デバイスの性能向上、すなわちオン抵抗の減少、スイッチングの高速化、キャリア周波数の高周波化に伴い、電磁ノイズの発生量が増加することは避けられない。したがって、ノイズを低減するためのノイズフィルタ回路の設計が重要性を増すこととなる。そこで以降では、パワーエレクトロニクス機器の構成要素のうちでもパワー半導体デバイスとノイズフィルタ回路に的を絞り、まず概要

[*1] なお、表 2.3 には記載していないが、通常オン抵抗の減少は耐圧性能の悪化をもたらすため、実際の設計では留意する必要がある。詳細は第 3 章で述べる。

表 2.3: 方策と特性への影響

方策＼特性	電気損失	機器の体積	熱	ノイズ
オン抵抗の減少	減少	影響なし	減少	影響なし
スイッチングの高速化	減少	影響なし	減少	増加
キャリア周波数の高周波化	増加	減少	増加	増加

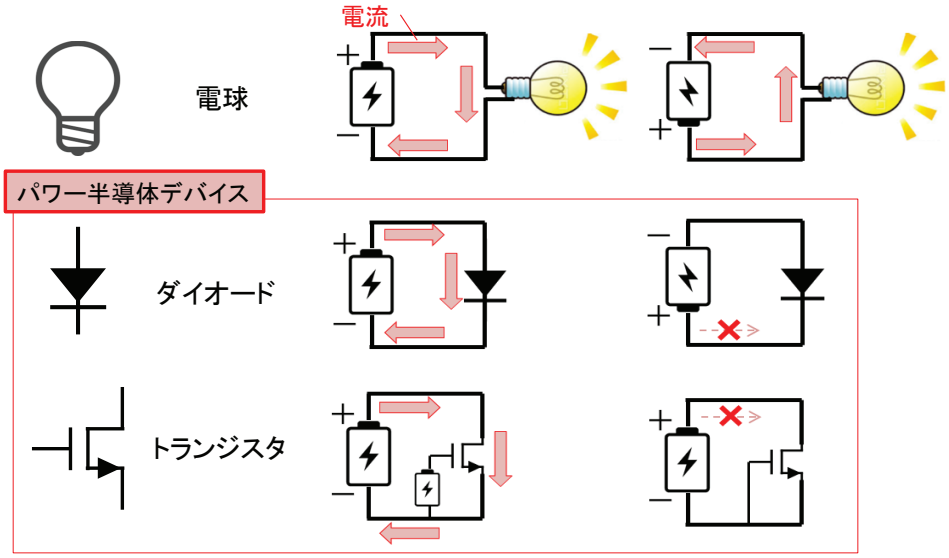


図 2.3: パワー半導体デバイスの概要

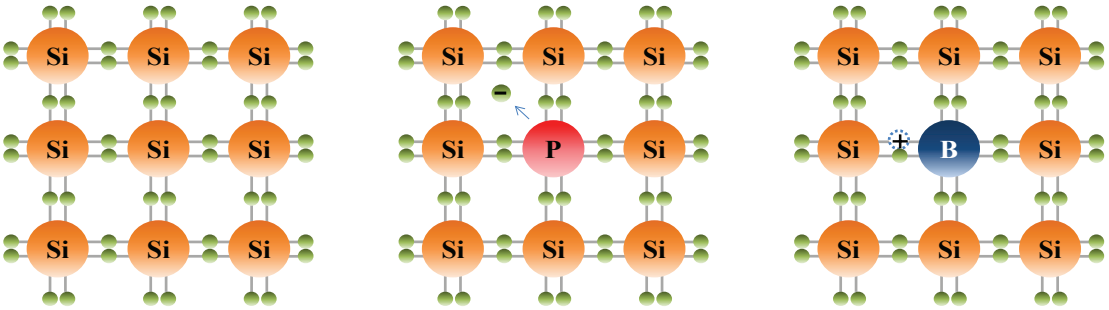
を述べたのちに、設計における課題とトポロジー最適化を用いた設計支援について論じる。

2.3 パワー半導体デバイス

2.3.1 概要

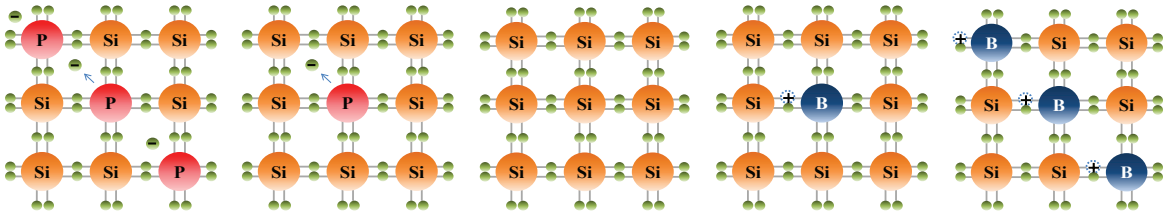
パワー半導体デバイスは電流の流れを制御する役割を担う素子であり、その機能は電流を一方向に流す整流機能と、電流の通電状態をオン状態およびオフ状態に切り替えるスイッチング機能の 2 つに大別される。一般的に、整流にはダイオードが、スイッチングにはトランジスタが用いられる。図 2.3 に示すように、一般的な電気負荷である電球に電池を接続すると、その極性に依らずに両方向に電流が流れる。一方で、ダイオードでは電池による電圧が順方向に印加された場合にのみ電流が流れ、逆方向に印加された場合には流れない。またトランジスタは電流の流入および流出端子の他に制御端子をもち、制御端子への電圧あるいは電流の印加により、流入出端子の電流を制御できる。

パワー半導体デバイスは、良導体である電極、不導体である絶縁体、そして不純物の添加により導電性を変えられる半導体を組み合わせることで作られる。半導体への不純物の添加について、典型的な半導体材料であるシリコン (Si) を用いて説明する。4 族元素である Si は 4 個の価電子をも



(a) i 型　　(b) n 型　　(c) p 型

図 2.4: 半導体

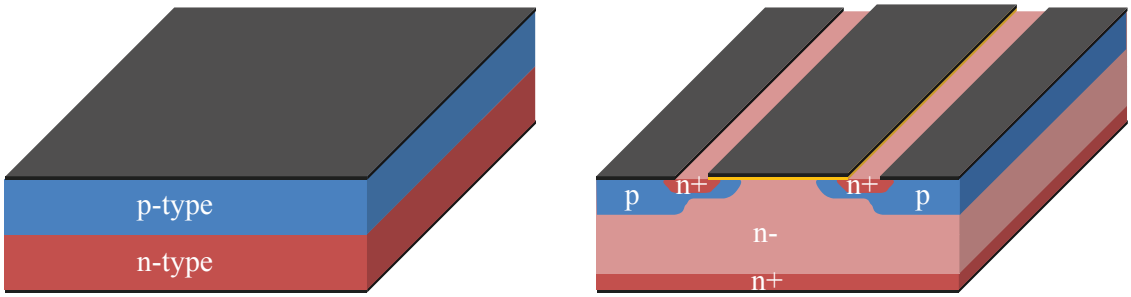


(a) n+　　(b) n-　　(c) i　　(d) p-　　(e) p+

図 2.5: 不純物と密度が異なる半導体

ち、不純物として用いられるボロン (B) は 1 つ少ない 3 個の価電子を、リン (P) は 1 つ多い 5 個の価電子をもつ。図 2.4 に 3 種類の半導体を示す。図 2.4(a) は Si のみから構成される半導体であり、Si の全ての価電子は隣接する Si との間で共有結合を形成する。このため基本的に価電子は全て束縛されており自由電子の数は少ない。よって純粋な Si の結晶、すなわち i 型半導体は導電性をもたず、不導体の性質を示す。一方で、Si に比べて価電子が 1 つ多い P が不純物として添加された場合、P の余剰した電子が共有結合をせずに自由電子となる。この電子は外部からの電圧の印加に伴い運動するため、P が添加された半導体、すなわち n 型半導体は導電性を示す。また Si に比べて価電子が 1 つ少ない B が不純物として添加された場合、共有結合をするには電子が 1 つ不足する。この不足箇所は、正の電荷をもつ穴と等価とみなすことができ、正孔と呼ばれる。この正孔も、外部からの電圧の印加に伴い、液体中の泡のように運動する。この B が添加された半導体、すなわち p 型半導体も導電性を示す。また、図 2.5 に示すように、半導体に添加する不純物の密度を変えることで、導電性の高さを調節することが可能である。なお、密度が高いことをあらわす場合には + 符号が、密度が低いことをあらわす場合には − 符号が慣用的に用いられる。

図 2.6 に、ダイオードの一種である p–n ダイオードと、トランジスタの一種であるプレーナー型の MOS(Metal Oxide Semiconductor) トランジスタの構造の例を示す。また図 2.7 にそれぞれの断面図を示す。これらのデバイスは、縦方向に電流が流れるために縦型デバイスと呼ばれる。共に板状の半導体の上側と下側に電極が設けられており、MOS トランジスタでは中央上部の電極と



(a) p–n ダイオード　　(b) プレーナー型 MOS トランジスタ

図 2.6: パワー半導体デバイスの構造

(a) p–n ダイオード　　(b) プレーナー型 MOS トランジスタ

図 2.7: パワー半導体デバイスの断面構造

半導体の間に絶縁膜も設けられている。半導体部は共に p 型半導体と n 型半導体から構成されている。また、この MOS トランジスタでは、導通時の電気抵抗を抑えるために設けられた高濃度の n+ の領域・層と、非導通時の耐圧性能を高めるために設けられた低濃度の n− 層が存在する。図 2.7(a) の p–n ダイオードでは、p 型半導体と n 型半導体が接合した p–n 接合が設けられており、この p–n 接合の整流性によって上側から下側にのみ電流が流れる。また図 2.7(b) の MOS トランジスタでは、ゲート電極–ゲート酸化膜–半導体、すなわち MOS 構造の付近の 2 箇所において、p 型半導体が n 型半導体に挟まれた n–p–n 接合が構成されている。この接合では 2 つの p–n 接合が逆方向で接続されているため、通常は電流を流すことはできないが、ゲート電極に電圧を印加することで電子のチャネルを形成して電流を流すことが可能となる。MOS トランジスタではこのゲート電極を用いた制御によってスイッチング機能を実現している。

パワー半導体デバイスの製造プロセスを図 2.8 に示す。半導体の塊であるインゴットをスライスしたウエハに対し、不純物の添加や電極および絶縁膜の形成などの半導体プロセスを経たのちに、チップにダイシングして製造する。製造したデバイスには、図 2.6 で示したような電流を流すための主デバイス部に加えて、主デバイス部を囲むように設けられる周辺部もある。周辺部は、主デバイス部の端部における電界集中による耐圧性能の劣化を抑えるために設けられる。

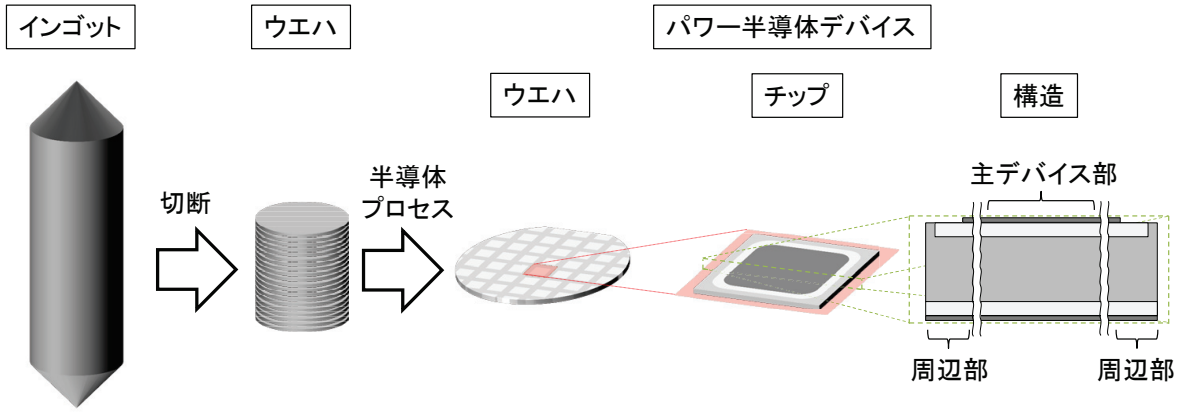


図 2.8: パワー半導体デバイスの製造プロセス

2.3.2 設計プロセスと設計課題

図 2.9 にパワー半導体デバイスの一般的な設計プロセスを示す。おおまかには、まず、必要な機能と定格値を把握し、使用する半導体材料を決める。次に、その機能と定格値を満たすデバイス構造の設計、すなわちデバイス設計を、主デバイス部、周辺部の順に行う。そして、そのデバイス構造を実現するための製造手順を決めるためにプロセス設計を行い、最後に性能評価を行う。以下で、各プロセスでの設計方法の詳細と課題を説明する。

まず、必要な機能と定格値を把握する。先述のように、パワー半導体デバイスの機能は大別すると整流とスイッチングであり、整流の実現にはダイオードが、スイッチングにはトランジスタが用いられる。

次に、おおよその定格値から使用する材料を決める。パワー半導体デバイス用の半導体材料で現在市販化されているものとしては、Si に加えてシリコンカーバイド（SiC）とガリウムナイトライド（GaN）がある。一般的な用途では Si が、高電圧用途では SiC が、高周波用途では GaN が用いられることが多い。通常、材料は経験をもとに決められる。

材料が決まれば、主デバイス部の基本構造を決定する。基本構造は材料により異なり、表 2.4 に示す構造などが市販されている[*2]。基本構造の選択も通常は経験的に行われる。

次に、要求仕様を満たすように主デバイス部の設計を行う。その際には、半導体の層・領域の寸法や濃度、電極の寸法、絶縁膜の寸法が主要な設計パラメータとなる。性能のうち、最も重要である耐圧性能の予測は比較的簡単であり、設計に数式モデルが用いられる。例えば、耐圧性能に大きく影響するドリフト層の厚みは、耐圧値の 2 倍を絶縁破壊電界強度で割った値に定められる [7]。一方で、残る静特性であるオン抵抗や動特性であるスイッチング損失は、数式モデルで

[*2] PND: P–N Diode、SBD: Schottky Barrier Diode、IGBT: Insulated Gate Bipolar Transistor、SJMOS: Super Junction Metal Oxide Semiconductor、MOSFET: Metal Oxide Semiconductor Field Effect Transistor、JFET: Junction Field Effect Transistor、HEMT: High Electron Mobility Transistor

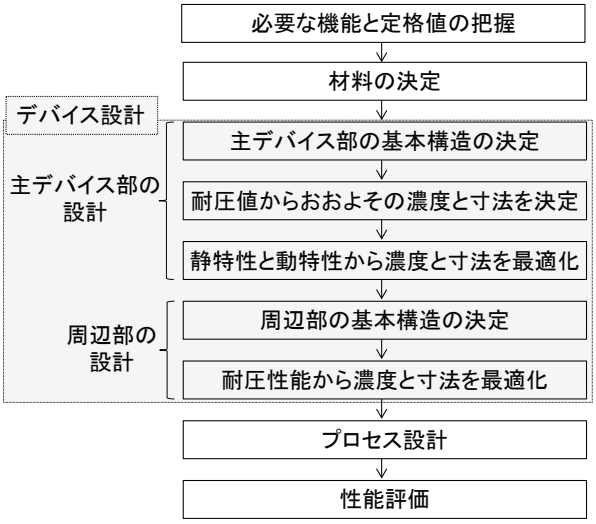


図 2.9: パワー半導体デバイスの設計プロセス

表 2.4: 半導体材料と基本構造

構造＼材料	Si	SiC	GaN
ダイオード	PND	SBD	-
トランジスタ	IGBT SJMOS	MOSFET JFET	HEMT

は正確に予測しづらいために、通常はデバイスシミュレータが設計に用いられる。その際には、濃度や寸法を設計変数としたパラメータ最適化を行うことが一般的であり、ダイオード [8, 9]、MOSFET[10, 11, 12, 13]、JFET[14]、IGBT[15] といった様々な構造での報告事例がある。しかし、これらは既に定められた基本構造の枠組みの中での設計変更であるため、新たな基本構造が導出されることはないという課題がある。

主デバイス部の設計が終われば、続いて周辺部の設計を行う。周辺部には、デバイス周辺部での電界集中を防ぐために接合終端構造が設けられる。JTE (Junction Termination Extension) 構造や FLR (Field Limiting Ring) 構造などが一般的な接合終端構造として知られている。接合終端構造の設計においても、デバイスシミュレータを用いたパラメータ最適化による設計が一般的に行われる [16]。

デバイス設計が終わり、パワー半導体デバイスの構造が決まれば、それを実現するための半導体プロセスの設計となる。設計したデバイス構造における半導体の不純物密度の分布（不純物プロファイルと呼ばれる）を実現するために、イオン化した不純物の半導体基板への打ち込み（イオン注入）や不純物ガス中での半導体基板の加熱（熱拡散）が行われる。また、絶縁膜や電極を堆積するための工程も設けられる。これらのプロセス設計を支援する技術として、プロセスシミュレータが用いられる。

以上の設計プロセスにおいて、パワー半導体デバイスの高性能化への影響が最も大きいのはデバイス設計である。ただ、従来のデバイス設計を支援する方法においては、あらかじめ知られた基本構造の枠組みの中でのパラメータ最適化が中心であり、新たなデバイス構造の創出を支援するための方法がないという課題がある。

2.4 ノイズフィルタ回路

2.4.1 概要

電磁ノイズによる電磁障害を防止する目的で、電子機器が発生するノイズの許容限度レベルや、電子機器が誤動作を生じずに耐えうるべきノイズレベルが、IEC (International Electrotechnical Commission)、CISPR (Comité International Spécial des Perturbations Radioélectriques)、ISO (International Organization for Standardization) 等の団体により国際規格として定められている。これらの規格は広範囲に及び、基本規格、共通規格、製品群規格、製品規格に分類され、パワーエレクトロニクス機器に限らず、あらゆる電子機器に適用される。また電磁ノイズの抑制は、これらの規格を遵守するために必要である上に、商品性を担保するためにも重要となる。例えば自動車においては、車載パワーエレクトロニクス機器の動作に伴う電磁ノイズがカーラジオのアンテナで受信されることにより、ラジオの聴感への悪影響が生じることが問題となりうる [17]。このような、いわゆる自家中毒を防ぐために、各業界やメーカーが独自の規格を設けていることがあり、その場合にはそれらの規格も併せて満足する必要がある。

そこで、電磁ノイズを低減するためにノイズフィルタ回路が使用される。ノイズフィルタ回路の役割はローパスフィルタ、すなわち低周波の主電流を通しながら高周波の電磁ノイズを抑制することである。主電流は通常 50 Hz や 60 Hz の交流電流もしくは周波数をもたない直流電流である。一方、パワーエレクトロニクス機器において規格で規定されている電磁ノイズの周波数帯域は主に 150 kHz から 1 GHz までと幅広い。このうち、150 kHz から 30 MHz までは伝導ノイズ、30 MHz から 1 GHz までは放射ノイズに関する規格で規制されている。一般的に、伝導ノイズはノイズフィルタ回路で抑制され、放射ノイズはシールドなどの遮蔽構造により抑制されることが多い。本研究ではノイズフィルタ回路の設計支援が目的であるため、対象周波数は伝導ノイズの周波数帯域である 150 kHz から 30 MHz を含む帯域とする。

また伝導ノイズには、図 2.10 に示すようにディファレンシャルモードノイズとコモンモードノイズがある。ディファレンシャルモードノイズは、主電流と同様に、正側の線と負側の線を逆位相で流れる。一方コモンモードノイズは、正側の線と負側の線を同位相で流れ、その帰路はコモンモードグラウンドとなる。ディファレンシャルモードノイズは主電流と同方向に流れるため振幅が大きく、一般的にはノイズフィルタを用いて低減する必要がある。一方、コモンモードノイズは振幅が小さいが、経路によっては問題になりうるために対策が必要となる場合がある。そこで本研究は、基本的にディファレンシャルモード用のノイズフィルタを対象とした検討を行うが、コモンモード用のノイズフィルタの検討も一部行う。

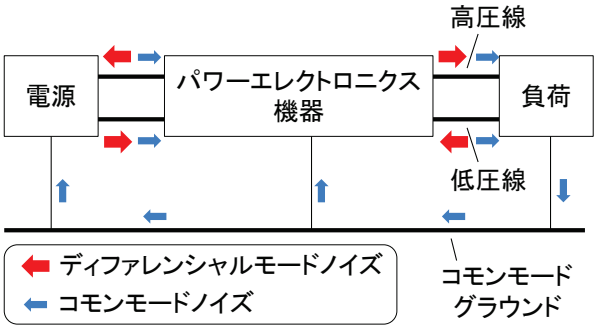
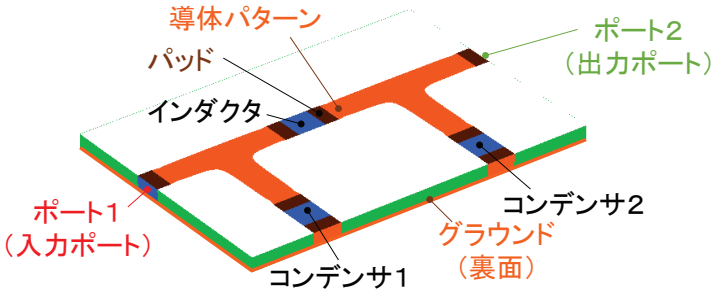
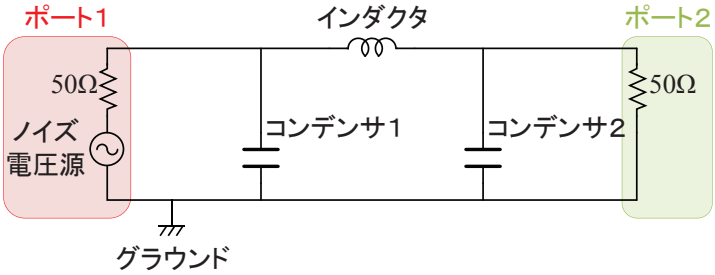


図 2.10: ディファレンシャルモードノイズとコモンモードノイズ



(a) 構造



(b) 回路図

図 2.11: ノイズフィルタ回路

ノイズフィルタ回路の方式は、受動部品のみを用いるパッシブフィルタと、受動部品に加えて能動部品も用いるアクティブフィルタに大別される。アクティブフィルタの原理は、ノイズを検出して生成した逆位相の信号を重畳させることで、ノイズをキャンセルするというものである [18, 19]。しかし設計難易度が高く、多くの研究報告事例はあるものの、製品化された事例はパッシブフィルタに比べると圧倒的に少ない。そこで本研究では、ノイズフィルタ回路の方式をパッシブフィルタに限定する。以下ではパッシブ型のノイズフィルタ回路を単にノイズフィルタ回路あるいはフィルタと呼ぶ。

ノイズフィルタ回路は、受動部品であるインダクタ、コモンモードチョーク、コンデンサと、部

品を電気的に接続する回路基板から構成される。ディファレンシャルモードノイズを低減するためのインダクタと、コモンモードノイズを低減するためのコモンモードチョークは、共に低周波の電流を通過させるが高周波の電流を遮断する。一方、コンデンサは高周波の電流を通過させるが低周波の電流を遮断する。図 2.11 に示すノイズフィルタ回路を用いてフィルタの原理を説明する。ここで、この基板の底面はベタのグラウンド層、すなわち全面が導体で覆われているものとする。図 2.11(a) に示す入力ポートの上側の導体から流れ込んだノイズ電流は、インダクタにより遮断されるとともにコンデンサ 1 を介してグラウンドを通り、入力ポートの下側の導体に戻る。またインダクタを通過するノイズ電流もわずかに存在するが、それらのほとんどはコンデンサ 2 を介してグラウンドを通り入力ポートに戻る[*3] 。このためノイズ電流は基本的に入力ポートから出力ポートには流れない。一方で低周波の電流は、インダクタは通過するがコンデンサで遮断されるので、入力ポートから出力ポートに流れる。このようにノイズフィルタ回路では、ノイズを遮断するために入出力ポート間にインダクタが設けられ、ノイズをグラウンドに迂回させるためにコンデンサが設けられる。またコモンモードチョークも、コモンモードノイズを遮断するために入出力ポート間に設けられることがある。

2.4.2 設計プロセスと設計課題

図 2.12 にノイズフィルタ回路の一般的な設計プロセスを示す。おおまかには、まず、要求されるノイズ減衰特性を把握する。次に、使用するフィルタの方式を決定する。方式は大別してパッシブフィルタとアクティブフィルタに分類されるが、以下ではパッシブフィルタに限定して論じる。次に回路設計を行い、それからレイアウト設計を行う。そしてシミュレーションによる性能評価を行い、要件を満足すればフィルタを作製して評価する。要求を満足しない場合には、満足するまで設計変更と評価を繰り返し行う。各プロセスの詳細を以下で説明する。

まずノイズフィルタ回路がない場合のノイズ発生量と規格値の差から、要求されるノイズ減衰特性を把握する。ノイズ発生量を把握するためにはシミュレーションによる見積もりあるいは実験による測定を行う。なお、厳密にはノイズ減衰特性はノイズフィルタ回路の電気特性のみでは定まらず、ノイズフィルタ回路に接続される電力変換器や負荷側のインピーダンス特性にも影響を受けるため、これらのインピーダンス特性を測定することもある [20, 21]。接続される回路の特性が分からない場合には、50 Ω などの一定のインピーダンス特性を仮定してフィルタ設計がなされることが多い。

次に、フィルタの構成を決める。フィルタが多段となるほどノイズ減衰特性が増加するが、体積とコストも増加する。そのため目標となるノイズ減衰特性を達成するために最小限必要な段数を選択すべきである。また、入出力のインピーダンス特性に応じたフィルタの構成を選択する必要もある [21]。例えば、入力側のインピーダンスが低い場合には、インピーダンスの低いコンデンサを並

[*3] そのためには、厳密にはコンデンサ 2 のインピーダンスが出力インピーダンスの 50 Ω よりも十分小さい必要がある。この条件は、今回対象とする周波数範囲である 150 kHz から 30 MHz まででは、100 nF 以上のコンデンサならば一般的には満たされる。

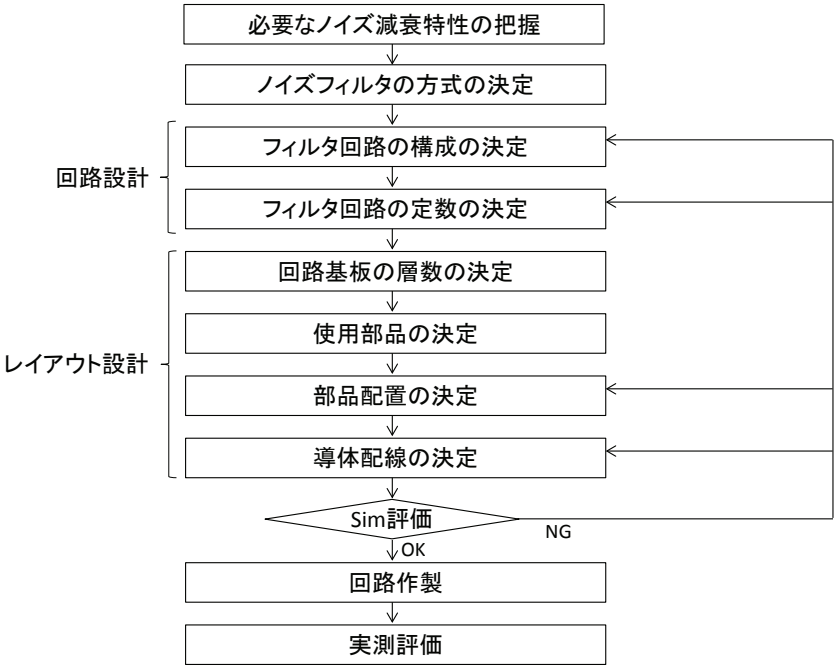


図 2.12: ノイズフィルタ回路の設計プロセス

列に接続するよりも、インピーダンスの高いインダクタを直列に接続した方がノイズ減衰効果が高い。

それから使用する素子の回路定数、すなわちインダクタおよびコモンモードチョークのインダクタンスと、コンデンサの容量値を決める。おおよその値をフィルタ回路のカットオフ周波数の式に基づき定めたのちに、回路シミュレーションを用いて所望の特性が得られるように定数を調節する [20, 21]。

そして、設計した回路の物理的な構造を決定するためにレイアウト設計を行う。具体的には、まず使用する基板の層数を決定し、次に使用する部品を選択し、それから回路設計で定めた回路図に従い部品を接続するために部品配置と導体配線を決定する。その後、シミュレーション評価を行い、ノイズを規格以下に抑えられる見込みがたてば、回路を作製して実測で評価する。

ノイズフィルタ回路のノイズ減衰特性は主にフィルタの構成および回路定数に依存するが、使用する部品やレイアウトに依存する寄生的な回路成分も特性に大きく影響することが知られている [22]。そのためレイアウト設計後の段階で、寄生成分を考慮した高精度なシミュレーションによる性能評価を行い、製品試作前の段階でノイズ特性を保証することの重要性が広く認識されている [23]。そこで、回路シミュレーションおよび電磁界解析が広く活用されている。具体的には、構成要素であるコンデンサやインダクタのインピーダンス特性を測定して寄生成分を考慮した等価回路モデルを作成し、そのモデルを用いて回路シミュレーションを行う方法 [24] や、設計した構造の詳細な CAD モデルを対象に電磁界解析を行う方法 [25] を用いて評価を行う。しかし、シミュレーションにより性能を予測することができたとしても、より良い設計案が自動的に導出される訳では

ないため、適切な対策を施した設計案を考えることは依然として設計者の役割である。そのため図 2.12 に示すように、規格を満たすまで、設計者の経験と勘にもとづく試行錯誤的な対策とシミュレーション評価を繰り返すということが多い。

Paul は文献 [26] において、効果的な対策を講じるためには支配的なノイズを把握することが重要であると指摘している。つまり、観測されるノイズは通常ふたつ以上の異なるノイズが重ね合わされたものであり、その中には支配的なノイズが存在し、その支配的なノイズを抑えることのみが有効であり、それ以外の要因への対策はあまり意味をなさない、と述べている。

パワーエレクトロニクス機器のノイズフィルタ回路における寄生的な要因には、コンデンサにおける寄生インダクタンス、インダクタにおける巻線間の寄生容量、磁気結合などがある。Wang らは文献 [27] において、それらの寄生インダクタンスや寄生容量の影響は比較的明らかであると指摘した上で、磁気結合による影響は把握が難しいと述べている。そしてディファレンシャルモード用のフィルタを対象に、計 6 つの磁気結合のうち、どれが支配的な要因であるかを解析している。また文献 [28] では、三相インバータにおけるコモンモード用のフィルタを対象に解析を行い、入出力ループ間の磁気結合が支配的な要因であることを報告している。しかし一般的には、想定される多数の要因のうち、いずれの要因が支配的となるかは事例に応じて異なり自明ではない。よって、多数の要因の中で支配的なものを特定する際には、試行錯誤が必要となるとともに設計者の経験と勘に大きく依存することとなる。

一方で近年、性能悪化の要因であるコンデンサの寄生インダクタンスやインダクタの寄生容量に対し、フィルタの構造を工夫することでキャンセルするというアイデアが多数提案されている。これは、アクティブフィルタのようにノイズ成分を検出して逆位相の信号を重畳させてキャンセルするという思想ではなく、磁気結合による負のインダクタンスなどを用いて寄生成分を等価回路的にキャンセルするという思想である。つまり、ノイズ自体を直接キャンセルするのではなく、ノイズ特性を悪化させる要因をキャンセルする。文献 [29, 30] では、磁気結合による負のインダクタンスを用いて、コンデンサの等価直列インダクタンスをキャンセルする方法が提案されている。さらに文献 [31] では、インダクタの寄生容量をキャンセルするために、インダクタに余剰の巻線を巻き、さらにコンデンサを直列に加える構成を提案している。また文献 [32] では、コモンモードチョークにおいて、一次巻線と二次巻線との間の寄生容量が、一次巻線間および二次巻線間の寄生容量をキャンセルすることを示し、その原理を用いたキャンセル方法を提案している。ただし、キャンセルする対象の回路成分がもともと意図しない成分であるため定量的な把握が難しいうえに、設計の際にはキャンセルする対象以外の周囲の構造の影響も考慮する必要があるため、設計難易度が高いという課題がある。例えば文献 [30] では、インダクタンスキャンセル構造の設計において、周囲のグラウンドの導体パターンの影響が無視できないと報告している。

以上の議論を整理すると、ノイズ減衰特性は回路構成および素子の定数に加え、レイアウトなどに応じて変わる寄生成分にも大きく依存する。寄生成分を考慮したシミュレーションで性能を予測することができたとしても、どの寄生成分が支配的な影響を及ぼすのかという点は把握しづらい。そのため設計課題として、規格を満足する設計案を導出するために、設計者の経験と勘にもとづく試行錯誤が必要となっていることが挙げられる。

2.5 トポロジー最適化を用いた設計支援

本節ではまずトポロジー最適化の概要を述べたのちに、パワー半導体デバイスおよびノイズフィルタ回路の設計への適用方法について考察し、前節までで示した設計課題を解決できうることを論じる。

2.5.1 トポロジー最適化の概要

トポロジー最適化の基本的な考え方は、構造設計問題を材料分布の最適化問題として定式化し、数理的な手法を用いて最適構造を導出するというものである。具体的には、図 2.13 に示すように、構造を固定設計領域 D における物質領域 Ω とみなし、以下に示す特性関数 χ_Ω を用いて構造を表現する。

$$\chi_\Omega = \begin{cases} 1 & \text{for} \quad \boldsymbol{x} \in \Omega \\ 0 & \text{for} \quad \boldsymbol{x} \in D \backslash \Omega \end{cases} \tag{2.1}$$

ここで、$\boldsymbol{x}$ は固定設計領域内の任意の位置を示す座標であり、$\boldsymbol{x} \in \Omega$ は座標 $\boldsymbol{x}$ が領域 Ω に属することを示す。つまり構造を材料の分布として捉え、物質領域 Ω と空洞領域 $D \backslash \Omega$ を特性関数により数式で表す。そしてこの特性関数に対応する設計変数と、向上させたい性能に対応する目的関数を設定し、最適化法を用いて目的関数を最小（あるいは最大）とする設計変数を計算する。その際、数値計算の都合上、固定設計領域は多くの要素に離散化されるが、その各要素における材料の状態を決定する設計変数を設定する[*4]。これにより、ディスプレイが多数のピクセルの状態を調整することで任意の画像を描画できるように、設計変数を調整することで任意の構造を表現することができる。この設計自由度の高さがトポロジー最適化の特徴である。

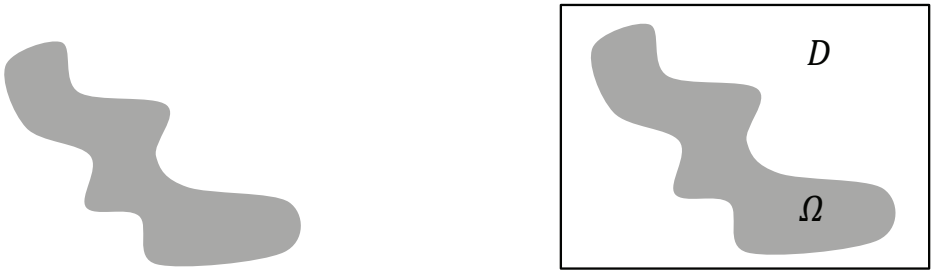
設計変数の最適化法は、遺伝的アルゴリズムなどの勾配を用いない方法と、勾配法による方法の 2 つに大別される。トポロジー最適化では、メッシュの要素数に相当する多数の設計変数を扱うことが多いため、計算量の観点から勾配法を使用することが一般的である [33]。また勾配、すなわち感度の計算手法として随伴変数法を用いることで高速に感度を求めることができる [34, 35]。

トポロジー最適化における材料分布の表現方法は、大別して均質化法、密度法、レベルセット法に分類される [36]。以下ではそれぞれの方法について概略を述べる。

均質化法

トポロジー最適化に関する最初の論文 [37] は均質化法を用いたものである。トポロジー最適化では構造設計問題を特性関数の最適化問題に帰着するが、特性関数はほとんど到るところで不連続な分布をとることが許容されている。つまり、無限小の間隔で 0 と 1 を交互にとるような分布をもとりえる。均質化法は、これらの不連続な分布をもつミクロな構造に対して、マクロな物性値を得

[*4] なお厳密には、トポロジー最適化の考え方においては設計空間の離散化を前提とはしていない。



(a) 構造　　(b) 固定設計領域 D における物質領域 Ω

図 2.13: 構造と固定設計領域における物質領域

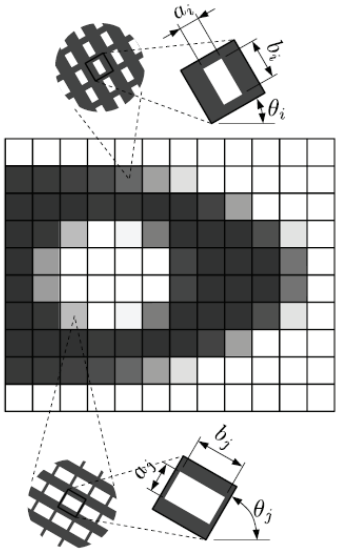


図 2.14: 均質化法（文献 [36] より引用）

ることができる方法である。この点を図 2.14 を用いて説明する [36]。図に示すように、設計領域が有限要素分割されている。また各要素内において、基本セル（今回の場合では矩形孔をもつ正方形）が周期的に配列されたマイクロストラクチャが構成されている。このミクロな構造であるマイクロストラクチャに対し、均質化法を用いることで各要素内における物性値が得られる。最適化の際には、このマクロな物性値を目的関数や制約関数の計算に使用し、ミクロ構造における基本セルのパラメータ、すなわち矩形孔の寸法や角度を設計変数にとる。

密度法

密度法では、0 から 1 までの値をとる正規化された仮想的な材料密度を導入して設計変数とする。材料密度が 1 なら完全に材料が充てんされており、0 であれば完全に空洞の状態であるとする。また 0 と 1 の間ならその中間的な状態であるとする。さらにこの密度の値を材料の物性値に

対応付けるために補間関数を用いる。代表的な補間関数としては、

$$E(\rho) = (E_{\mathrm{m}} - E_{\mathrm{v}})\rho^p + E_{\mathrm{v}} \tag{2.2}$$

のように、べき乗を用いたものがよく知られている。ここで、ρ はある要素の材料密度、$E(\rho)$ はその要素での材料物性値、E_{m} は物体の物性値、E_{v} は空洞の物性値である。指数 p は、0 と 1 の間の中間的な材料密度、すなわちグレースケールを排除する性質の強さを調整できることから、ペナルティパラメータと呼ばれる。このように、補間関数を用いることによって、均質化法を用いることなく設計変数と物性値を対応付けることができる。

密度法は均質化法と比べて実装が容易であり、さかんに研究報告がなされている。しかし、均質化法と同様に、物体と空洞の中間の状態であるグレースケールを導入するため、最適化結果にグレースケールが残存した場合に工学的な解釈が難しいなどといった短所も存在する。

レベルセット法

レベルセット法では、スカラー関数であるレベルセット関数を導入し、関数値の符号により材料の有無を表す。具体的には、設計領域 D における物体領域 Ω、空洞領域 $D\backslash\Omega$ およびそれらの境界 $\partial\Omega$ を、位置ベクトル $\boldsymbol{x}$ とレベルセット関数 $\phi(\boldsymbol{x})$ を用いて以下のように表現する。

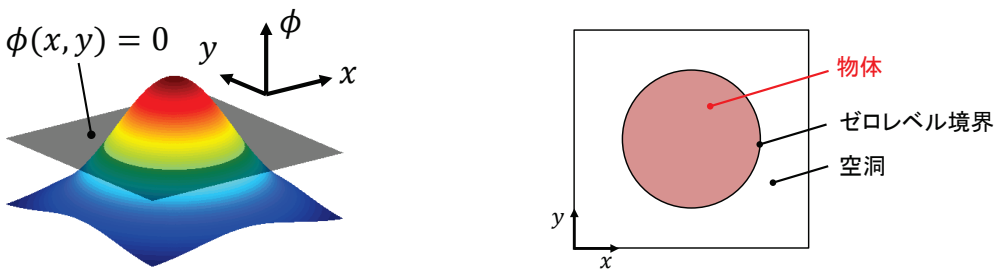
$$\begin{cases} \phi(\boldsymbol{x}) > 0 & \text{for} \quad \boldsymbol{x} \in \Omega \\ \phi(\boldsymbol{x}) < 0 & \text{for} \quad \boldsymbol{x} \in D\backslash\Omega \\ \phi(\boldsymbol{x}) = 0 & \text{for} \quad \boldsymbol{x} \in \partial\Omega \end{cases} \tag{2.3}$$

図 2.15 にレベルセット関数を用いた構造の表現の例を示す。関数値が正の領域が物体領域、負の領域が空洞領域に対応している。また、関数値が 0 となる箇所は構造の境界を表しており、このためゼロレベル境界と呼ばれる。なお、同一の構造をあらわすレベルセット関数は多数存在するため、実装する際には、レベルセット関数に何らかの性質を付与して一意性をもたせることが一般的である。この構造表現方法により、設計領域が基本的には物体領域と空洞領域の二つの相で構成されることとなり、均質化法や密度法に比べて明瞭な境界が得られる。

ただし実際には図 2.16(a) に示すように、要素内でレベルセット関数が正の領域と負の領域が混在する要素、すなわちグレースケール要素がゼロレベル境界付近で生じる。これは数値計算で使用するメッシュにおいて、メッシュの節点がゼロレベル境界上に必ずしも位置しないことが原因である。そこで、メッシュ品質の悪化を極力防ぐ手法を設けたうえで、図 2.16(b) のように赤丸で示すメッシュ節点をゼロレベル境界上に移動し、グレースケール要素を完全に排除する手法が提案されている [38]。以降では、グレースケール要素を完全に排除したトポロジー最適化の方法をグレースケールフリートポロジー最適化法と呼ぶ。

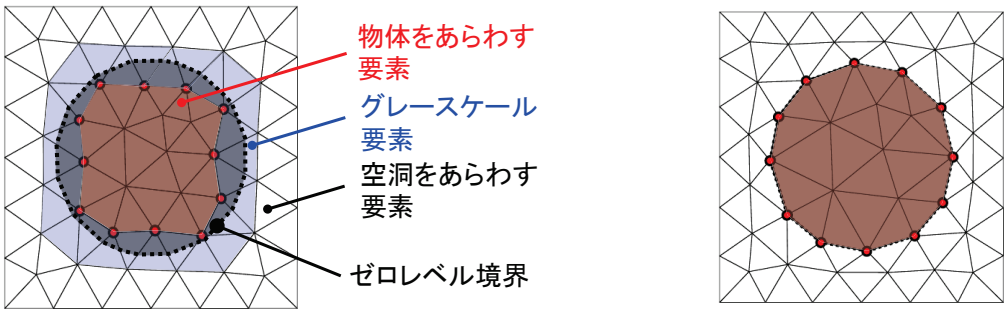
2.5.2 パワー半導体デバイスの設計支援

2.3 節で述べたように、パワー半導体デバイスの構造は、不純物が添加された半導体、電極、絶縁膜で構成されており、半導体の層・領域の寸法や濃度、電極の寸法、絶縁膜の寸法の調整にパラ



(a) レベルセット関数　　(b) 構造

図 2.15: レベルセット法



(a) 通常のメッシュ　　(b) 境界適合メッシュ

図 2.16: 通常のメッシュと境界適合メッシュ

メータ最適化が用いられている。これは構造最適化においては寸法最適化に分類されるものであり、設計自由度が低く新たな構造が導出されることはないという課題をもつ。

一方で、トポロジー最適化の考え方に基づき、半導体部の設計問題を不純物密度の分布最適化問題として捉えることで、設計自由度の高い構造最適化が可能となる。設計変数としては不純物密度を直接とれば良く、密度法にもとづくトポロジー最適化を適用すればよい。ここで、半導体の不純物密度は連続的な値をとるため、材料の有無を表す特性関数に基づき定式化される構造設計問題とは異なり、物体領域と空洞領域の二相に分離する必要がない。よって、パワー半導体デバイスを対象としたトポロジー最適化では、本質的にグレースケールに起因する問題が生じないという特徴をもつ。さらに次章で示すように、不純物密度は物性値に影響を与えないため、通常の密度法のように密度を物性値と対応づける必要がなく、補間関数が不要であるという特徴ももつ。また、n 型半導体と p 型半導体の不純物密度は符号を反転することで表現できるため、最適化によって n 型半導体の中に p 型半導体が現れるというような構造変化が生じる可能性もある。

以上より、パワー半導体デバイスの半導体部の構造設計問題に対して密度法によるトポロジー最適化を用いることで、従来の設計課題を解決できる設計支援方法を構築できる。

2.5.3　ノイズフィルタ回路の設計支援

2.4 節で述べたように、ノイズフィルタ回路は部品であるインダクタ、コモンモードチョーク、コンデンサと、部品を電気的に接続する回路基板から構成される。また回路基板は、誘電体の基板と、各層での導電経路を形成する導体パターンと、層間を電気的に接続するための導体（スルーホールおよびビア）で構成される。そして、ノイズフィルタ回路の設計においては以下の 2 つの課題がある。

1. 寄生的な回路成分によりノイズ減衰特性が悪化するが、通常は支配的な要因が明確でないため、より良い設計案の導出に試行錯誤が必要である。
2. 寄生的な成分をキャンセルするための方法が近年多数提案されているが、キャンセルする寄生成分に対応する箇所以外の周辺の回路の影響も考慮する必要があり、設計難易度が高い。

これらの 2 つの課題は、ノイズフィルタ回路の導体パターン設計に、電磁界解析にもとづくトポロジー最適化を用いることで解決されうる。まず、フルウェーブの電磁界解析にもとづくトポロジー最適化を行うことで、寄生的な回路成分や周辺の回路の影響を考慮した上で、より良い構造を導出することができる。また、勾配法を用いたトポロジー最適化では、感度の値にもとづき構造を変更するため、感度が大きく性能の改善に影響する箇所でのみ構造変化が生じ、性能に影響しない箇所では構造変化が生じにくい。つまり構造変化の様子から修正必要箇所を絞り込むことができる。そして、その構造変化は支配的な要因の影響を低減するように行われるため、支配的な要因を推測することも可能となる。よって、より良い設計案を導出するための試行錯誤を減らすことができうる。さらに、基板の導体パターンは通常フォトリソグラフィー技術を用いたエッチングで製造するため、任意の導体パターンを得ることができる。このため、設計難易度が高いコンセプトを実現するために、トポロジー最適化を導体パターン設計に適用し、導出された導体パターンをそのまま製造することが可能である。

ただし、電気回路における導体は、指定された回路図に従い素子を接続する必要がある。このため、最適化による構造変化の際に、指定された回路図の結線を保つ必要がある。よって、最適化の間、導体パターンが回路図の結線を保つように制約を設ける必要がある。またその際、例えば素子同士がグレースケール要素で接続された場合には、グレースケールが材料がある状態とない状態の中間的な性質を示すことから、回路図に従い結線されているか否かを判断することができない。このため、回路の導体に対してトポロジー最適化を適用する際には、グレースケールを含まない手法を使用することが望ましい。そこで本研究では、ノイズフィルタ回路の設計支援に、レベルセット法にもとづくグレースケールフリートポロジー最適化法を用いる。

以上より、ノイズフィルタ回路の導体パターンに対してグレースケールフリートポロジー最適化法を適用することで、試行錯誤にもとづく設計からの脱却と、設計難易度の高いコンセプトの実現とを支援する方法を構築できる。一方で、回路図の結線を保つために適切な制約を設ける必要がある。

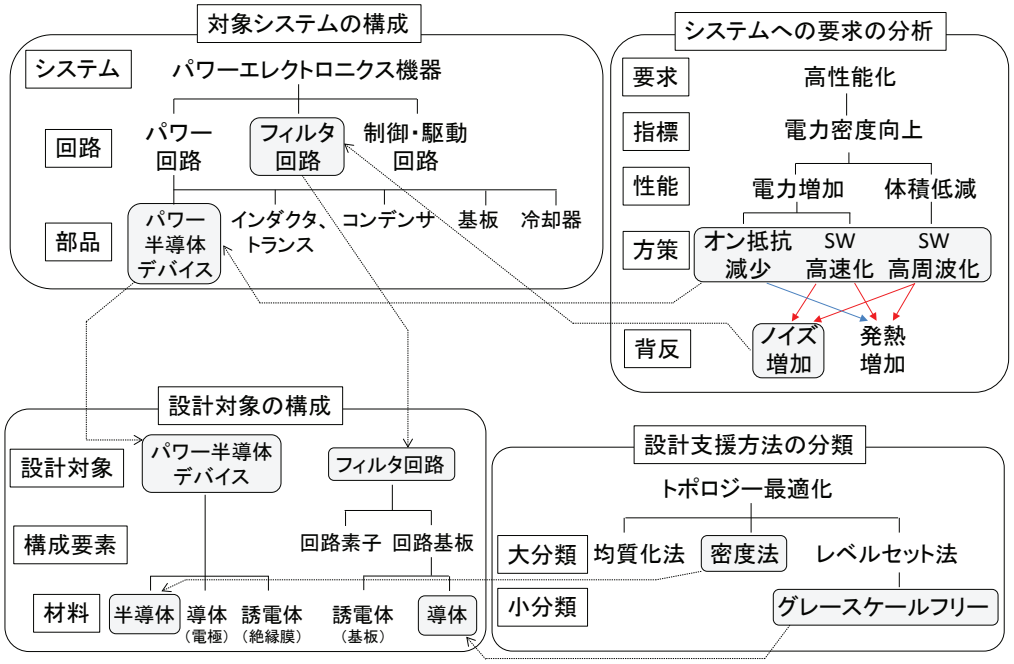


図 2.17: システム・要求・設計対象・設計支援手法とその対応関係

2.6 まとめ

本章では、パワーエレクトロニクスの高性能化のための重要な構成要素として、パワー半導体デバイスとノイズフィルタ回路を取り上げ、それぞれの設計課題を明確化するとともに、トポロジー最適化を用いることでそれらの課題を解決しうることを述べた。本章で述べた内容は、図 2.17 に示す、システム・要求・設計対象・設計支援方法と各々の対応関係をもとに、以下のように要約される。

- 図 2.17 の左上の「対象システムの構成」に示すように、パワーエレクトロニクス機器は回路・部品から構成される階層的なシステムである。また図の右上の「システムへの要求の分析」に示すように、パワーエレクトロニクス機器の高性能化の指標である電力密度を向上するためには、オン抵抗減少、スイッチング（SW）高速化、スイッチング高周波化といった方策の実現が必要であり、そのためにはパワー半導体デバイスの性能向上が不可欠である。また、図に示す赤い矢印は正の影響を、青い矢印は負の影響をあらわしており、スイッチング高速化や高周波化によるノイズの増加に対応するために、ノイズフィルタ回路の設計も重要となる。
- 図 2.17 の左下の「設計対象の構成」に示すように、パワー半導体デバイスは半導体・電極・絶縁膜から構成され、半導体の不純物密度の分布が性能を大きく左右する。従来のパラメータ最適化にもとづく設計は、既に定まった構造における各領域・層の寸法と濃度の調整であ

表 2.5: 第 3 章から第 6 章の位置づけ

項目＼対象	パワー半導体デバイス	ノイズフィルタ
材料分布	半導体の不純物分布	導体分布
手法	密度法	グレースケールフリー トポロジー最適化法 ＋
用途 最適化結果より知見を得る	第3章 主デバイス部の オン抵抗-耐圧 トレードオフ特性向上	第4章 断線短絡制約手法 第5章 支配的なノイズの低減
製造性を考慮した高性能な構造を得る	周辺部の 耐圧特性のロバスト設計	第6章 インダクタンスキャンセル 構造の設計

り、新たな構造が導出されることはない。図 2.17 の右下の「設計支援方法の分類」に示すように、密度法にもとづくトポロジー最適化を半導体に適用することで、新たなデバイス構造が導出される可能性をもつ方法を構築できる。またその際、設計変数である不純物密度は連続的な値をとるため、物質と空洞の分布を最適化する構造設計の場合とは異なり、グレースケールに起因する問題が生じないという特徴をもつ。

- 図 2.17 の左下の「設計対象の構成」に示すように、ノイズフィルタ回路は回路素子と回路基板で構成され、回路基板は誘電体の板と導体から構成される。回路設計の際には意図しない寄生成分が性能に大きく影響するため、従来の設計では試行錯誤が必要である。一方で勾配法を用いるトポロジー最適化を導体パターンに適用することで、初期構造から支配的な要因が低減されるような構造を導出できるため、より良い設計案を導くための手がかりが得られる。また、回路基板の導体パターン最適化で導出された導体パターンは、フォトリソグラフィー技術によって忠実に製造することが可能であるため、設計難易度が高いコンセプトを実現するためにもトポロジー最適化が有効である。ただし最適化の間、導体パターンが回路図で指定された結線情報を保つように制約を設ける必要がある。また図 2.17 の右下の「設計支援方法の分類」に示すように、回路図に従い導体が結線しているか否かを明確に判断できるよう、導体の最適化にはグレースケールフリートポロジー最適化法を用いることが望ましい。

以降の第 3 章から第 6 章では、表 2.5 に示すように、トポロジー最適化に関する具体的な検討内容を述べる。第 3 章が半導体の不純物分布の最適化に関する内容、第 4 章から第 6 章が導体分布の最適化に関する内容である。第 3 章では、パワー半導体デバイスを対象に、主デバイス部および周辺部の設計問題を取り上げる。その際に述べるとおり、主デバイス部の検討で提案する方法は最適化結果から知見を得る用途のものであり、周辺部の検討で提案する方法は製造性を考慮して高性能

な構造を導出する用途のものである。第 4 章では、ノイズフィルタなどの回路の導体パターンを最適化する際に必要となる、回路の開放と短絡の発生を防止する新たな手法を提案する。第 5 章と第 6 章はノイズフィルタ回路の導体パターン最適化の検討内容である。第 5 章では、トポロジー最適化によりノイズフィルタ回路における支配的な要因の影響を低減できることを示すとともに、最適化結果をフィルタ設計に有効に活用する方法について論じる。第 6 章では、設計難易度の高いコンセプトであるインダクタンスキャンセル構造の設計にトポロジー最適化を使用し、得られた構造を製造してノイズ減衰特性の向上を実験により確認する。

参考文献

[1] 電気学会, 電気専門用語集 パワーエレクトロニクス, 電気学会, 2000.

[2] ジョン・G. カサキアン, ジョージ・C バギース, マーチン・F. シュレヒト, パワーエレクトロニクス, 日刊工業新聞社, 1997.

[3] 大橋弘通, 最新のパワーデバイスの動向, 電気学会誌, vol. 122, no. 3, pp. 168–171, 2002.

[4] Kolar J. W., Drofenik U., Biela J., Heldwein M., Ertl H., Friedli T., and Round S., PWM Converter Power Density Barriers, *IEEJ Transactions on Industry Applications*, vol. 128, no. 4, pp. 468–480, 2008.

[5] パワーエレクトロニクスにおけるシステムインテグレーション技術調査専門委員会, パワーエレクトロニクスにおけるシステムインテグレーション技術, 電気学会技術報告, 第 1299 号, 電気学会, 2014.

[6] 舟木剛, SiC 半導体パワーデバイスの電力変換回路利用における課題, エレクトロニクス実装学会誌, vol. 17, no. 6, pp. 459–463, 2014.

[7] Baliga B. J., *Fundamentals of power semiconductor devices*, Springer Science & Business Media, 2008.

[8] Zhu L., Chow T. P., Jones K. A., and Agarwal A., Design, fabrication, and characterization of low forward drop, low leakage, 1-kV 4H-SiC JBS rectifiers, *IEEE Transactions on Electron Devices*, vol. 53, no. 2, pp. 363–368, 2006.

[9] Wang Y., Li T., Chen Y.-x., Cao F., Liu Y.-t., and Shao L., High-performance junction barrier schottky rectifier with optimized structure, *IEEE Transactions on Electron Devices*, vol. 59, no. 1, pp. 114–120, 2012.

[10] Noborio M., Suda J., and Kimoto T., 4H-SiC lateral double RESURF MOSFETs with low on resistance, *IEEE Transactions on Electron Devices*, vol. 54, no. 5, pp. 1216–1223, 2007.

[11] Saha A. and Cooper J. A., A 1-kV 4H-SiC power DMOSFET optimized for low on-resistance, *IEEE Transactions on Electron Devices*, vol. 54, no. 10, pp. 2786–2791, 2007.

[12] Wang Y., Tian K., Hao Y., Yu C.-H., and Liu Y.-J., An optimized structure of 4H-SiC U-shaped trench gate MOSFET, *IEEE Transactions on Electron Devices*, vol. 62, no. 9,

pp. 2774–2778, 2015.

[13] Kimoto T., Kosugi H., Suda J., Kanzaki Y., and Matsunami H., Design and fabrication of RESURF MOSFETs on 4H-SiC (0001),(1120), and 6H-SiC (0001), *IEEE Transactions on Electron Devices*, vol. 52, no. 1, pp. 112–117, 2005.

[14] Sheng K. and Hu S., Design criteria of high-voltage lateral RESURF JFETs on 4H-SiC, *IEEE Transactions on Electron Devices*, vol. 52, no. 10, pp. 2300–2308, 2005.

[15] Tamaki T., Walden G. G., Sui Y., and Cooper J. A., Optimization of on-state and switching performances for 15–20-kV 4H-SiC IGBTs, *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1920–1927, 2008.

[16] Mahajan A. and Skromme B., Design and optimization of junction termination extension (JTE) for 4H–SiC high voltage Schottky diodes, *Solid-State Electronics*, vol. 49, no. 6, pp. 945–955, 2005.

[17] 白木康博, 電磁界解析を用いた放射電磁雑音に対する電子機器のイミュニティに関する検討, 電子情報通信学会論文誌 B, vol. 89, no. 8, pp. 1503–1511, 2006.

[18] Ogasawara S., Ayano H., and Akagi H., An active circuit for cancellation of common-mode voltage generated by a PWM inverter, *IEEE Transactions on Power Electronics*, vol. 13, no. 5, pp. 835–841, 1998.

[19] Heldwein M. L., Ertl H., Biela J., and Kolar J. W., Implementation of a transformerless common-mode active filter for offline converter systems, *IEEE Transactions on Industrial Electronics*, vol. 57, no. 5, pp. 1772–1786, 2010.

[20] Tihanyi L., *Electromagnetic Compatibility in Power Electronics*, J. K. Eckert & Company, 1995.

[21] Nagel A. and De Doncker R. W., Systematic design of EMI-filters for power converters, In *Thirty-Fifth IAS Annual Meeting and World Conference on Industrial Applications of Electrical Energy*, vol. 4, pp. 2523–2525, 2000.

[22] Paul C. R., *Introduction to Electromagnetic Compatibility*, John Wiley & Sons, 2006.

[23] Ott H. W., *Electromagnetic Compatibility Engineering*, vol. 34, Wiley Online Library, 2009.

[24] 玉手道雄, 佐々木達見子, 鳥羽章夫, インバータにおける雑音端子電圧のシミュレーションによる定量推定法, 電気学会論文誌D, vol. 128, no. 3, pp. 193–200, 2008.

[25] 近藤陽介, 泉地正人, 山本貴生, 平野尚彦, パワーエレクトロニクス機器の VHF 帯伝導エミッションのシミュレーション, 電気学会論文誌D, vol. 133, no. 5, pp. 510–517, 2013.

[26] Paul C. R., The concept of dominant effect in EMC, *IEEE Transactions on Electromagnetic Compatibility*, vol. 34, no. 3, pp. 363–367, 1992.

[27] Wang S., Lee F. C., Chen D. Y., and Odendaal W. G., Effects of parasitic parameters on EMI filter performance, *IEEE Transactions on Power Electronics*, vol. 19, no. 3, pp. 869–877, 2004.

[28] Masuzawa T., Hoene E., Hoffmann S., and Lang K.-D., Modeling method of stray magnetic couplings in an EMC filter for power electronic devices, *IEEJ Journal of Industry Applications*, vol. 4, no. 6, pp. 738–744, 2015.

[29] Neugebauer T. C., Phinney J. W., and Perreault D. J., Filters and components with inductance cancellation, *IEEE Transactions on Industry Applications*, vol. 40, no. 2, pp. 483–491, 2004.

[30] Neugebauer T. C. and Perreault D. J., Filters with inductance cancellation using printed circuit board transformers, *IEEE Transactions on Power Electronics*, vol. 19, no. 3, pp. 591–602, 2004.

[31] Neugebauer T. C. and Perreault D. J., Parasitic capacitance cancellation in filter inductors, *IEEE Transactions on Power Electronics*, vol. 21, no. 1, pp. 282–288, 2006.

[32] Wang S. and Lee F. C., Analysis and Applications of Parasitic Capacitance Cancellation Techniques for EMI Suppression, *IEEE Transactions on Industrial Electronics*, vol. 57, no. 9, pp. 3109–3117, 2010.

[33] Sigmund O., On the usefulness of non-gradient approaches in topology optimization, *Structural and Multidisciplinary Optimization*, vol. 43, no. 5, pp. 589–596, 2011.

[34] Bendsøe M. P. and Sigmund O., *Topology Optimization: Theory, Methods, and Applications*, Springer-Verlag Berlin Heidelberg, 2004.

[35] Dede E. M., Lee J., and Nomura T., *Multiphysics Simulation: Electromechanical System Applications and Optimization*, Springer, 2014.

[36] 山崎慎太郎, トポロジー最適化の概要と新展開, システム／制御／情報, vol. 61, no. 1, pp. 29–34, 2017.

[37] Bendsøe M. P. and Kikuchi N., Generating optimal topologies in structural design using a homogenization method, *Computer Methods in Applied Mechanics and Engineering*, vol. 71, no. 2, pp. 197–224, 1988.

[38] Yamasaki S., Nomura T., Kawamoto A., Sato K., and Nishiwaki S., A level set-based topology optimization method targeting metallic waveguide design problems, *International Journal for Numerical Methods in Engineering*, vol. 87, no. 9, pp. 844–868, 2011.

第 3 章

パワー半導体デバイスの設計支援方法

3.1　はじめに

本章では、パワー半導体デバイスの設計支援方法を提案し、具体的な設計問題に適用して有効性を示す。前章で述べたように、パワー半導体デバイスの構造は、電流を流すための主デバイス部と、主デバイス部の端部での耐圧性能の劣化を防ぐための周辺部から構成される。そこで、主デバイス部および周辺部を対象とした 2 種類の設計問題を検討する。

次節以降ではまず、それぞれの問題について説明した後に、トポロジー最適化の適用方法の概略を述べる。次に設計問題を最適化問題として具体的に定式化するとともに、数値計算法について述べる。そして単純なデバイス構造を対象に提案方法を適用して有効性を検証する。また提案方法の意義と課題について考察する。

3.2　設計問題

3.2.1　主デバイス部のオン抵抗-耐圧トレードオフ特性向上

主デバイス部への主な要求は、必要な耐圧性能を確保した上で、導通時のオン抵抗を極力抑えることである。しかし、一般的にオン抵抗と耐圧の間にはトレードオフの関係があることが知られており、このトレードオフ特性を向上することが、パワー半導体デバイスの基本的な設計要件である。そこで主デバイス部を対象とした検討では、オン抵抗-耐圧トレードオフ特性を向上することを目的とする。

3.2.2　周辺部の耐圧性能向上

周辺部の役割は、主デバイス部の端部における電界集中を緩和し、耐圧性能の劣化を抑制することである。この周辺部への不純物添加は通常イオン注入工程によって行われる。その際、イオン注入量のばらつきに起因して耐圧性能が劣化することが知られている。そこで周辺部を対象とした検討では、イオン注入量のばらつきを考慮した上で耐圧性能を向上することを目的とする。

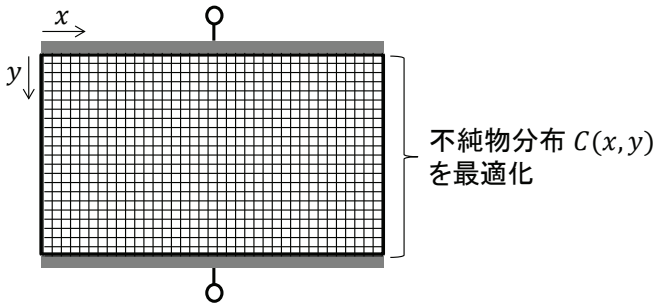


図 3.1: 不純物分布の最適化

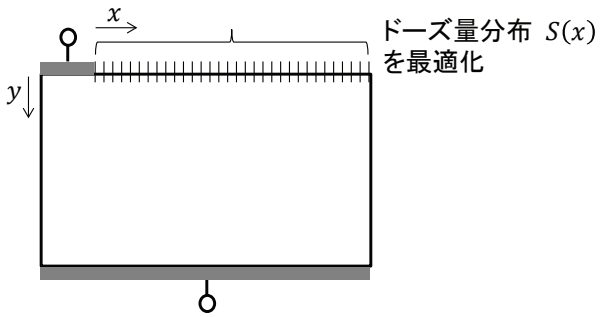


図 3.2: ドーズ量分布の最適化

3.3 トポロジー最適化の適用方法

3.3.1 主デバイス部のオン抵抗-耐圧トレードオフ特性向上

主デバイス部を対象にした最適化では、半導体の不純物密度の分布を直接最適化する。この場合には、図 3.1 に示すように、細かく離散化された各要素における不純物密度 $C(x, y)$ が設計変数となる。ここで x と y は水平方向と深さ方向の座標である。

またオン抵抗と耐圧のトレードオフ特性を向上するために、オン抵抗および耐圧値に対応する関数を用いて定式化する必要がある。ここで、オン抵抗はある単一の順方向電圧を印加した場合の電流値から求まるため、単一の電圧値（例えば 2 V）を設定して解析を行えばよい。一方で、耐圧値はある電流（例えば 1×10^{-6} A）が流れる逆方向電圧の値として定義されるため、徐々に印加する電圧を変えながら計算を行い、その電流値に達したときの電圧の値を求める必要がある。しかし、そのようなパラメトリック解析を最適化の反復計算の都度行うことは、最適化の手続きが煩雑となり望ましくない。そこで、単一の逆方向電圧での解析で耐圧性能を評価するための指標として最大電界強度を用いる。これは、より耐圧性能の優れた構造は電界集中を起こしにくく、最大電界強度が小さいという性質に着眼したものである。

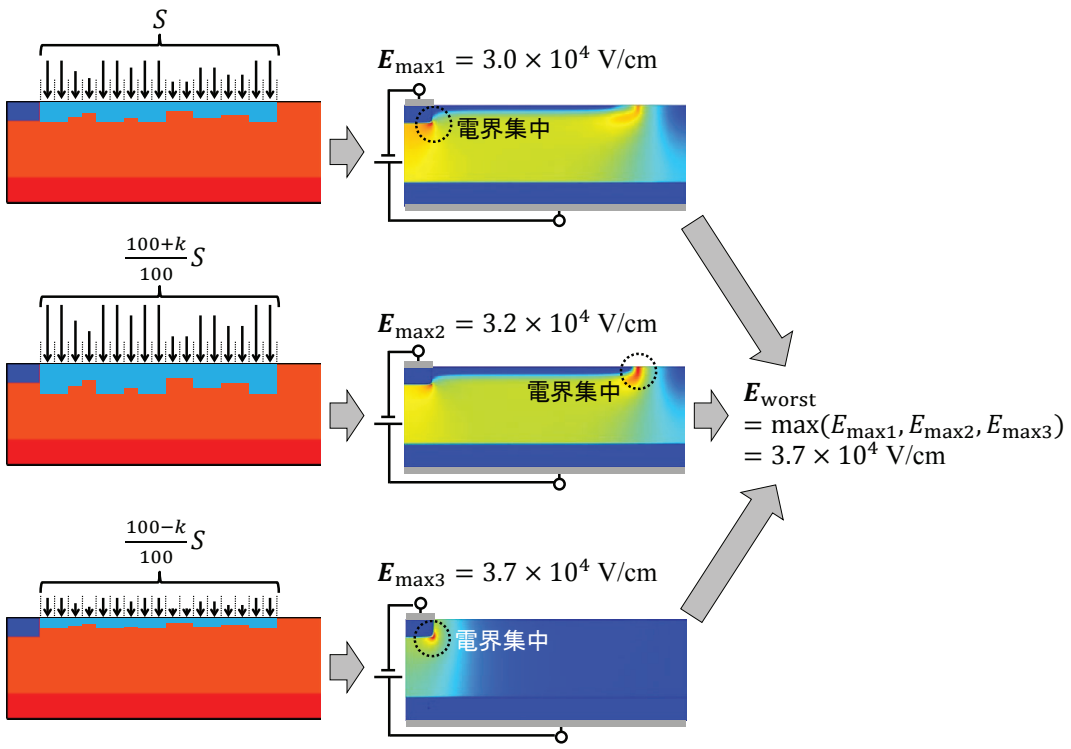


図 3.3: ロバスト最適化の概念図

3.3.2 周辺部の耐圧性能向上

周辺部を対象とした最適化では、イオン注入のドーズ量の分布を最適化する。この場合には、図 3.2 のようにデバイスの表面が離散化され、イオン注入のドーズ量の分布 $S(x)$ を設計変数とする。このとき不純物密度分布 $C(x, y)$ はドーズ量分布 $S(x)$ に応じて定まることとなる。この方法では、不純物密度を直接設計変数とする場合に比べて設計自由度が低い反面、イオン注入時に使用するレジストマスクの開口率を適切に調整することにより任意のドーズ量を実現できることから、製造性が保証された構造を導出することが可能となっている。

また、耐圧性能を向上するために、最大電界強度を目的関数として設定する。その際、ドーズ量ばらつきに対して性能劣化が少ない構造を得るために、ドーズ量が異なる複数の条件を考慮した目的関数を設定する。具体的には、図 3.3 に示すように、以下のようにシミュレーションおよび最適化を行う。

1. ドーズ量 $S(x)$ が 0%、$+k$%、$-k$% ばらついた場合の 3 つの構造に対してシミュレーションを行う。
2. これら 3 つの構造における最大電界強度をそれぞれ E_{max1}、E_{max2}、E_{max3} としたとき、それらの最大値 E_{worst} を求める。
3. E_{worst} が最小となるようにドーズ量 $S(x)$ を最適化する。

以上の方法により、イオン注入工程のドーズ量ばらつきを考慮した、製造可能かつロバストな構造を導出することが可能である。

3.4 定式化と数値計算法

3.4.1 順解析の定式化

パワー半導体デバイスの支配方程式は、ドリフト拡散モデルと呼ばれる、電位 V、電子密度 n、正孔密度 p を未知変数とする以下の連立方程式である [1]。

$$\nabla^2 V = \frac{q}{\varepsilon}(n - p - C) \tag{3.1}$$

$$\nabla \cdot (\mu_n n \nabla V - D_n \nabla n) = -R + G \tag{3.2}$$

$$-\nabla \cdot (\mu_p p \nabla V + D_p \nabla p) = -R + G \tag{3.3}$$

ここで q は電気素量、ε は誘電率、μ_n と μ_p は電子と正孔の移動度、D_n と D_p は電子と正孔の拡散係数、R と G は単位時間での電子・正孔の再結合率と生成率である。C は不純物密度であり、イオン化したドナー密度 N_D^+ とアクセプタ密度 N_A^- を用いて以下の式で表される。

$$C = N_D^+ - N_A^- \tag{3.4}$$

本研究では半導体材料として Si を使用し、全ての不純物はイオン化すると仮定する。物理パラメータモデルとしては、再結合モデルには SRH (Shockley-Read-Hall) 再結合モデル [2, 3]、インパクトイオン化モデルには Okuto–Crowell モデル [4]、移動度の電界依存性として Extended Canali モデル [5]、移動度の不純物密度依存性として Arora モデル [6] を使用する。使用したモデルの式とパラメータは付録 A に示す。

3.4.2 最適化問題の定式化

主デバイス部のオン抵抗-耐圧トレードオフ最適化

最適化問題は以下のように定式化される。

$$\underset{C}{\text{minimize}} \qquad \mathrm{KS}(\boldsymbol{E}) = \frac{1}{\rho_E} \ln \int_\Omega \exp\left(\rho_E |\boldsymbol{E}|\right) \mathrm{d}\Omega \tag{3.5}$$

$$\text{subject to} \qquad r \leq r_{\max} \tag{3.6}$$

ここで Ω は設計領域、$\mathrm{KS}(\boldsymbol{E})$ は KS(Kreisselmeier-Steinhauser) 関数 [7]、ρ_E は $\boldsymbol{E}$ のスケーリングパラメータ、r はオン抵抗、$r_{\max}$ はオン抵抗の上限値である。電界強度 $\boldsymbol{E}$ の最大値を直接最小化する定式化では、ミニ–マックス問題に伴う収束性の課題が生じるため、おおよその最大値を抽出する KS 関数を使用して収束性の悪さを改善する。

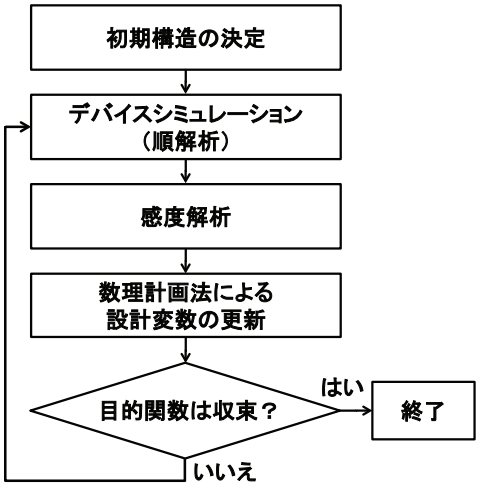


図 3.4: 最適化計算のフローチャート

周辺部の耐圧性能向上

イオン注入により半導体に不純物を添加した際、深さ方向の不純物の分布は正規分布に従うことが知られている。具体的には、設計変数であるドーズ量の分布 $S(x)$ と、不純物密度の分布 $C(x,y)$ の関係は以下の式で表される [8]。

$$C(x,y) = \frac{S(x)}{\sqrt{\left(2\Delta R_p^2 + 4Dt\right)}} \exp\left(-\frac{(R_p - y)^2}{2\Delta R_p^2 + 4Dt}\right) \tag{3.7}$$

ここで、R_p は平均射影距離、ΔR_p は射影標準偏差、D は拡散係数、t はアニーリング時間である。これらのパラメータは最適化の前にあらかじめ適当な値に定められる。具体的な値としては、設計者が実際にイオン注入工程やアニーリング工程で採用する値を設定する。なお式 (3.7) ではイオン注入工程の後にアニーリング工程が続くと仮定している。また、簡単のためにアニーリングによる横方向の広がりは無視しているが、必要に応じて考慮することが可能である。

最適化問題は以下のように定式化される。

$$\underset{S}{\text{minimize}} \;\; E_{\text{worst}} = \max\left(\text{KS}(\boldsymbol{E}_1), \text{KS}(\boldsymbol{E}_2), \text{KS}(\boldsymbol{E}_3)\right) \tag{3.8}$$

ここでも電界のおおよその最大値を抽出するために KS 関数を用いる。また $\boldsymbol{E}_1$、$\boldsymbol{E}_2$、$\boldsymbol{E}_3$ はそれぞればらつきがゼロ、正、負の場合の電界強度である。この最適化は、ドーズ量が異なる 3 種類の構造に対して独立にシミュレーションと感度解析を行うことで、容易に実現することができる。

3.4.3 数値計算法

シミュレーションにはトポロジー最適化の検討が簡易な有限要素法を用いる。なお一般的に、パワー半導体デバイスのシミュレーションでは有限体積法（デバイス解析の分野では Scharffeter–Gummel スキーム [9] と呼ばれ、一般的な半導体シミュレータである TCAD (Technology CAD)

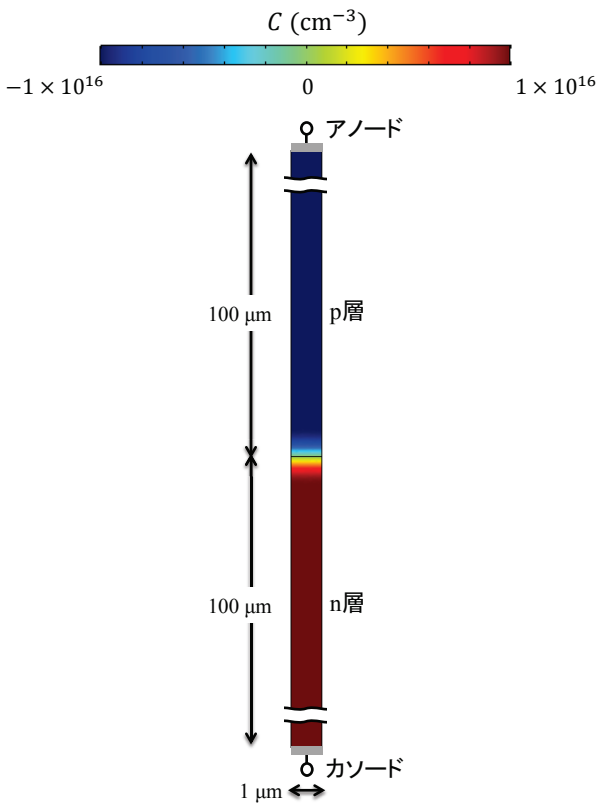


図 3.5: p–n ダイオード

[10] でも採用されている）を使用する。有限要素法の計算精度は、付録 B で示す通り、TCAD と比べて問題ないことを確認している。

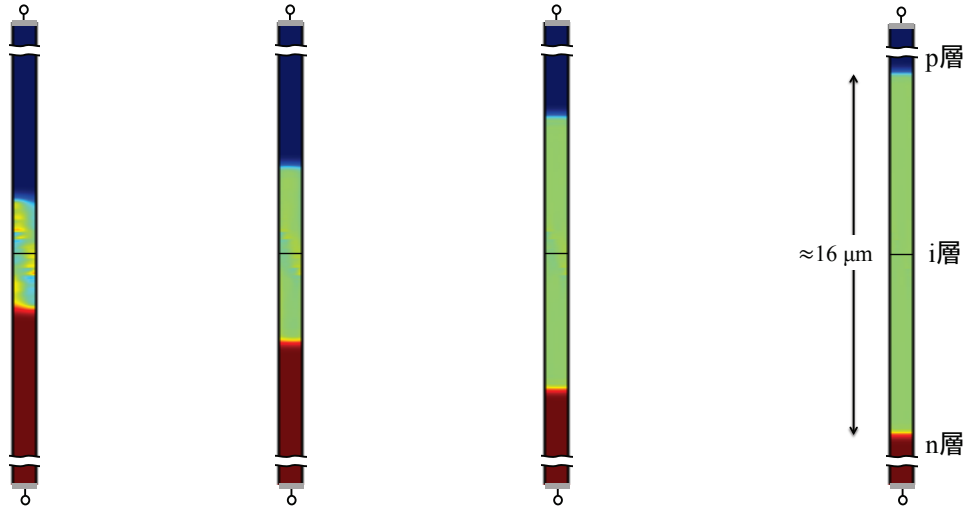
トポロジー最適化のフローチャートを図 3.4 に示す。まず、初期構造を定め、通常のデバイスシミュレーションを行う。次に、設計変更の微小な変化に対する目的関数の変化量の計算、すなわち感度解析を行う。そしてその感度の情報に基づき、数理計画法を用いて設計変数を更新する。もし目的関数が収束したら計算を終了し、そうでなければデバイスシミュレーションのステップに戻る。このように、感度に基づき反復的に構造を更新することにより最適な構造を導出する。感度解析には随伴変数法を、数理計画法には逐次二次計画法を用いる。

3.5 数値例

3.5.1 主デバイス部のオン抵抗-耐圧トレードオフ特性向上

図 3.5 に示す単純な p–n ダイオードを対象に検討を行う。この p–n ダイオードは階段接合をもち、不純物密度、厚み、幅は、p 層と n 層ともにそれぞれ $1\times10^{-16}\,\mathrm{cm}^{-3}$ 、100 µm、1 µm である。

この幅 1 µm、厚み 200 µm の半導体領域すべてを固定設計領域に設定して最適化を行った。オン抵抗の上限値 $r_{\max}$ には初期構造におけるオン抵抗の値を設定した。KS 関数 KS($\boldsymbol{E}$) は −99V



(a) 反復 100 回後　(b) 反復 600 回後　(c) 反復 2000 回後　(d) 反復 5060 回後

図 3.6: p–n ダイオードの最適化後の構造

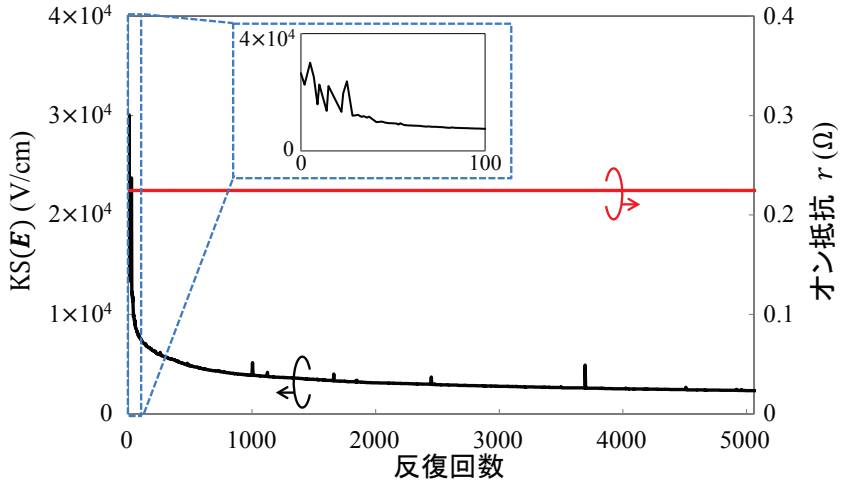
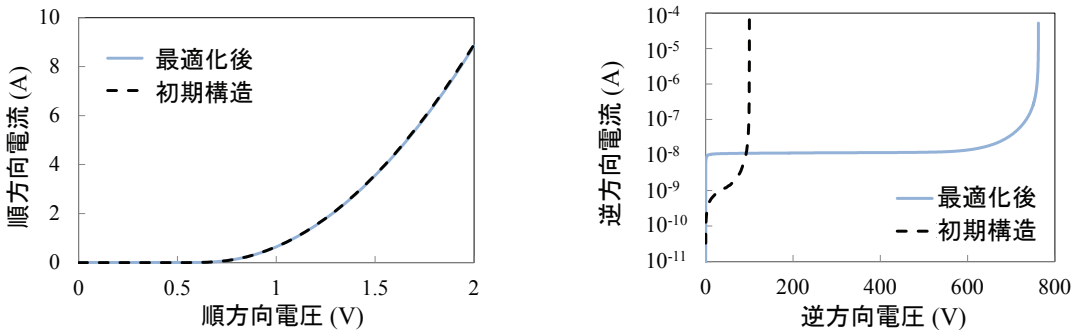


図 3.7: p–n ダイオードの最適化の履歴

の逆バイアス印加時の値を、オン抵抗 r は順バイアス 2V 印加時の値を評価した。最適化の際、反復 10 回ごとに目的関数の最小値を求め、前回の最小値と最新の最小値の差が初期構造の目的関数値の 0.01% 以下となったときに計算を終了した。

図 3.6 に最適化の過程で導出された構造と最終構造を示す。最適化は 5060 回の反復で終了した。反復回数が増加するにつれ、不純物密度の低い i 層が p–n 接合の付近で広がり、最終的に p–i–n 構造が導出された。図 3.7 に KS($\boldsymbol{E}$) とオン抵抗 r の履歴を示す。最適化の間、オン抵抗はほぼ一定の値に保たれた一方で、KS($\boldsymbol{E}$) はいくぶんか振動しながら徐々に減少した。図 3.8 に初期構造と最適化後の構造での I–V 特性を示す。順方向特性はほぼ同じであり、オン抵抗の制約条件が有効に機能したといえる。一般的に不純物密度が低い i 層は高抵抗値を示すが、最適化により i 層が挿



(a) 順方向特性　　(b) 逆方向特性

図 3.8: I–V 特性

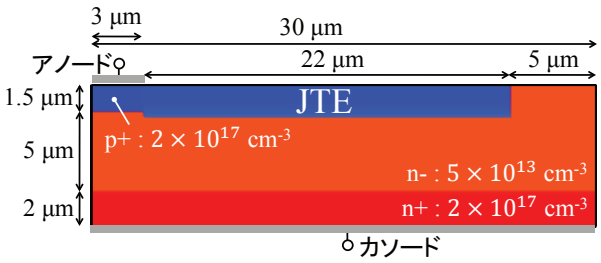


図 3.9: JTE 構造

入されてもオン抵抗の増加が生じなかった理由は、伝導度変調によって導通時の i 層に多数のキャリアが存在するためである。また、逆方向特性をみると、耐圧性能が最適化によって 100V から 759V に向上した。これはドリフト層として機能する不純物密度の低い i 層が広がったため、p–n 接合付近での電界集中が緩和されたためである。以上より、提案する方法によりダイオードのオン抵抗と耐圧のトレードオフ特性を向上することができた。

3.5.2　周辺部の耐圧性能向上

図 3.9 に示す、一様なイオン注入がなされた JTE 構造を初期構造とする。まず、この構造において、ドーズ量ばらつきによる耐圧性能の劣化を確認する。図 3.10 に 10V の逆バイアスを印加した場合における最大電界強度のドーズ量依存性を示す。最大電界強度 $E_{\max}$ はドーズ量が $9.2 \times 10^{12}\ \mathrm{cm}^{-2}$ の場合に最小値をとり、ドーズ量がこの値から離れるほど最大電界強度が増加した。よって、図 3.9 の構造ではドーズ量ばらつきによる電界集中の悪化が生じることを確認した。

ドーズ量が $9.2 \times 10^{12}\ \mathrm{cm}^{-2}$ の JTE 構造に対してロバスト最適化を行った。ドーズ量ばらつきのパーセンテージ k は、ばらつきの影響が十分確認できるほど大きい値である 50% とした。固定設計領域は幅 22μm の JTE 領域に設定し、この領域でのドーズ量分布を最適化した。パラメータ R_p、ΔR_p、D、t はそれぞれ 130.2 nm、44.3 nm、$1,273 \times 10^{-16}\ \mathrm{cm}^2/\mathrm{s}$、$7,200$ s に設定した。最適化の収束条件は主デバイス部の検討での条件と同じとした。図 3.11 に最適化後の構造を示す。

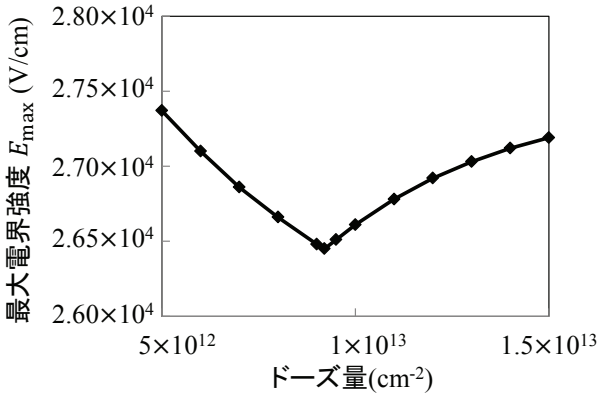


図 3.10: 最大電界強度のドーズ量依存性

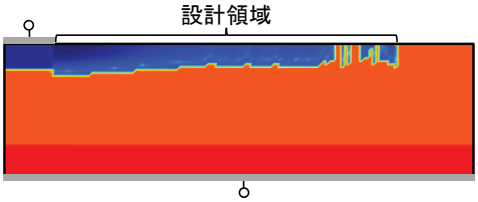


図 3.11: 最適化後の JTE 構造

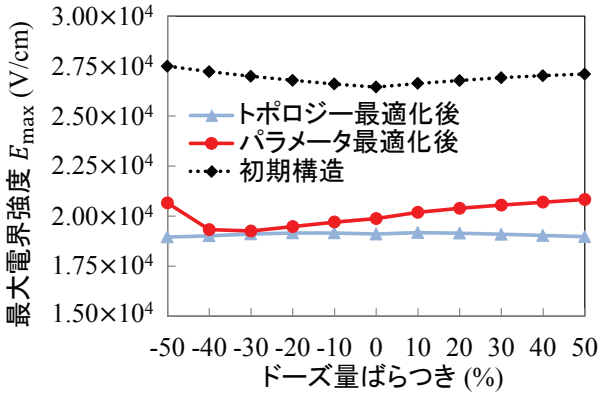
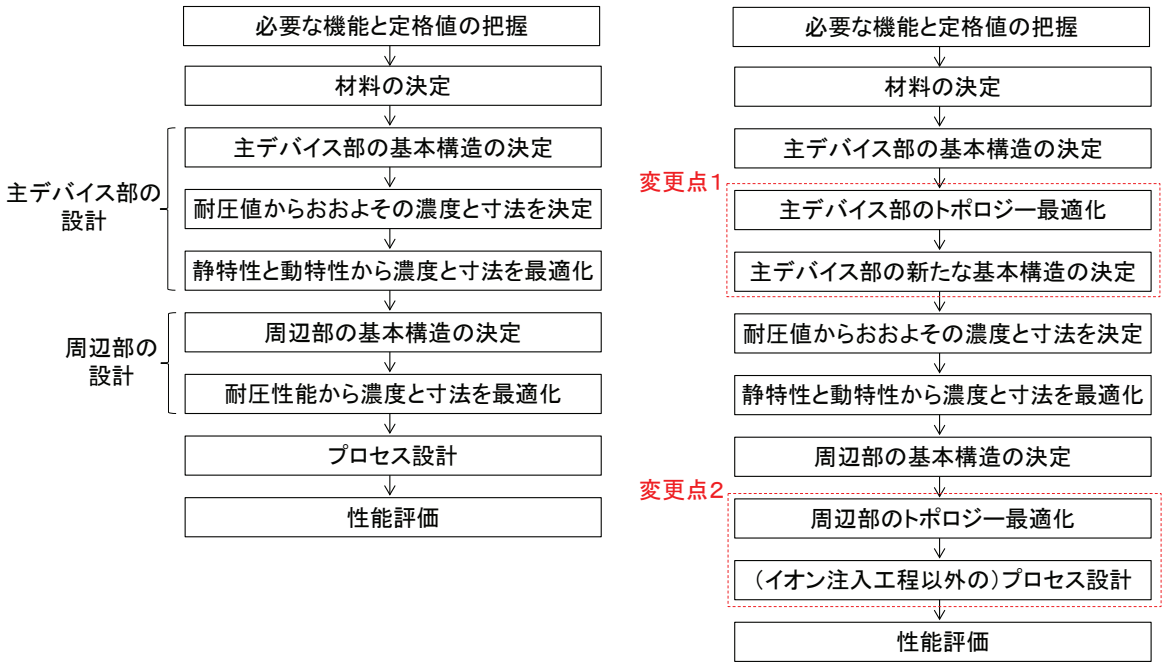


図 3.12: 最大電界強度のドーズ量ばらつき依存性

左側の主デバイス部から離れて外側に向かうにつれ徐々にドーズ量が減少するような構造となっている。

トポロジー最適化およびパラメータ最適化で得られた構造の性能を、初期構造の性能と比較した（パラメータ最適化の過程は付録 C に示す）。図 3.12 に、初期構造と 2 種類の最適化で得られた構造における、最大電界強度のドーズ量ばらつき依存性を示す。最適化で得られた 2 種類の構造ではともに初期構造よりも低い最大電界強度を示したが、トポロジー最適化で得られた構造の方がばらつきに対して影響の小さい特性であった。以上の結果から、提案方法によりドーズ量のばらつきに対してロバスト性の高い構造を導出できることを確認した。



(a) 従来の設計プロセス（図 2.9 を再掲）　(b) 提案方法活用後の設計プロセス

図 3.13: 提案方法の設計プロセスへの影響

3.6 考察

ここでは提案方法の意義と課題について順に考察する。

まず意義について、設計プロセスと関連付けて論じる。図 3.13 に、提案した最適化方法を活用することによる設計プロセスへの影響をしめす。なお、図 3.13(a) に示す従来の設計プロセスは、図 2.9 を再掲したものである。まず、主デバイス部を対象とした提案方法では、不純物密度を設計変数としたために設計自由度が高く、その結果として数値例では i 層が挿入される構造変化が生じた。よってこの提案方法は、新たな基本構造を創出できる可能性をもつ方法であることを示した。その一方で、導出された構造が製造可能であるという保証はない。よって、主デバイス部の設計の最初に選択する基本構造を初期構造に設定し、それから新たな基本構造を得ることを目的として提案方法を適用すればよい。そして新たな基本構造が得られた場合には、その構造に対し、改めて従来の手順に沿って主デバイス部の詳細な設計を行う。つまり、図 3.13(a) に示す従来の設計プロセスに対し、基本構造を創出するためのステップが図 3.13(b) に示すように新たに加えられることとなる。また、周辺部を対象とした最適化方法は、イオン注入による深さ方向のプロファイルを考慮し、さらにドーズ量のばらつきを考慮した方法であった。この方法は、図 3.13(a) における周辺部の設計での濃度と寸法を最適化する過程と、プロセス設計のイオン注入に関する一部の過程を統合したものであるといえる。つまり、図 3.13(b) に示すように、適当な周辺部の初期構造を選定すれ

ば、この方法を適用することでパラメータ最適化とプロセス設計の試行錯誤を省くことができる。なお提案方法は、本研究では JTE 構造のみを対象に適用したが、イオン注入工程により作製される他の構造（例えば FLR 構造）にも適用できる汎用性の高い方法である。

次に本研究の課題について論じる。まず、耐圧性能とオン抵抗、つまり静特性のみを評価し、スイッチング性能に関連する動特性は評価しなかった点が挙げられる。本研究ではダイオードの最適化結果において i 層が挿入されたが、それに伴いオン時に蓄積される電子と正孔が増加し、オフ時に遷移する際の逆回復特性が悪化することが知られている [11]。よって、本研究をさらに発展させるためには、動特性も考慮した目的関数を提案して最適化を行う必要がある。また本研究の方法では、半導体部を対象とした自由度の高い設計支援は可能であるものの、電極および絶縁体の配置は変えることができなかった。これらの寸法ないしは形状をも変更できるような最適化を行うには、新たな方法論の構築が必要となる。

3.7 まとめ

本章では、パワー半導体デバイスの具体的な設計問題として、主デバイス部におけるオン抵抗-耐圧トレードオフ特性の向上と、周辺部における耐圧特性の向上を取り上げ、トポロジー最適化を用いた設計支援方法を提案し、その有効性を確認した。まず主デバイス部のオン抵抗-耐圧トレードオフ特性を向上するために、設計変数を不純物密度、制約条件をオン抵抗、目的関数を最大電界強度とした最適化問題として、設計問題を定式化した。また周辺部における耐圧性能をイオン注入工程でのばらつきも考慮した上で向上するために、設計変数をイオン注入のドーズ量、目的関数をドーズ量がばらついた場合の最大電界強度の最大値とした最適化問題として、設計問題を定式化した。また最大電界強度を計算する際、最適化の収束性の悪さを改善するために KS 関数を用いた。そして、主デバイス部である p–n ダイオードと周辺部である JTE 構造を対象に、有限要素法にもとづくシミュレーションと密度法にもとづくトポロジー最適化を用いて最適構造を導出した。その結果、以下の結果および知見を得た。

1. p–n ダイオードに i 層が挿入されて p–i–n ダイオードに変化し、トレードオフ特性が向上した。このように新たな層が挿入されたことから、提案した方法により、新たなデバイス構造を創出できる可能性があることが確認できた。
2. 一様なドーズ量分布をもつ JTE 構造が、デバイスの外側に向かうにつれドーズ量が減少する構造に変化し、ドーズ量のばらつきに対する耐圧性能劣化のロバスト性が向上した。提案した方法は、イオン注入による不純物拡散をあらかじめモデル化していることから、得られる構造は製造可能であることが保障されている。

そしてこれらの結果をふまえ、提案方法を用いたパワー半導体デバイスの新たな設計の手順を示した。

参考文献

[1] Selberherr S., *Analysis and Simulation of Semiconductor Devices*, Springer-Verlag Wien, 1984.

[2] Shockley W. and Read Jr W., Statistics of the recombinations of holes and electrons, *Physical Review*, vol. 87, no. 5, p. 835, 1952.

[3] Hall R. N., Electron-hole recombination in germanium, *Physical Review*, vol. 87, no. 2, p. 387, 1952.

[4] Okuto Y. and Crowell C., Threshold energy effect on avalanche breakdown voltage in semiconductor junctions, *Solid-State Electronics*, vol. 18, no. 2, pp. 161–168, 1975.

[5] Canali C., Majni G., Minder R., and Ottaviani G., Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature, *IEEE Transactions on Electron Devices*, vol. 22, no. 11, pp. 1045–1047, 1975.

[6] Arora N. D., Hauser J. R., and Roulston D. J., Electron and hole mobilities in silicon as a function of concentration and temperature, *IEEE Transactions on Electron Devices*, vol. 29, no. 2, pp. 292–295, 1982.

[7] Kreisselmeier G. and Steinhauser R., Systematic control design by optimizing a vector performance index, *IFAC Proceedings Volumes*, vol. 12, no. 7, pp. 113–117, 1979.

[8] Ryssel H. and Ruge I., *Ion Implantation*, John Wiley & Sons, 1986.

[9] Scharfetter D. L. and Gummel H. K., Large-signal analysis of a silicon read diode oscillator, *IEEE Transactions on Electron Devices*, vol. 16, no. 1, pp. 64–77, 1969.

[10] *Sentaurus Device User Guide*, Synopsys Inc., Mountain View, CA, version Z-2007.03, 2007.

[11] Yamashita Y. and Machida S., Minimization of reverse recovery charge and forward voltage of silicon p–i–n diodes, *Japanese Journal of Applied Physics*, vol. 55, no. 4S, p. 04ER01, 2016.

第 4 章

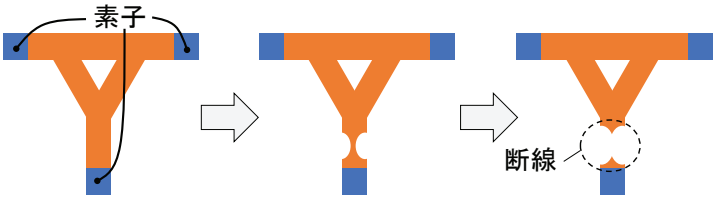
導体最適化における開放短絡防止手法

4.1 はじめに

ノイズフィルタ回路を含め、電気回路は指定された回路図に従って回路素子を導体で結線する必要がある。導体パターンの最適化を行った際、構造変化に伴いこの結線が崩れる可能性がある。したがって最適化の間、指定された結線を保つよう制約を設ける必要がある。そのためには、開放を生じる断線と短絡を生じる接続の発生を防止する必要がある。図 4.1 に開放を伴う断線と短絡を伴う接続の例を示す。図 4.1(a) では、断線発生前には 3 つの素子が導体で接続されているが、断線発生後は、孤立した下側の素子に電流が流れなくなりその機能を失う。つまり、開放が発生する。図 4.1(b) では、接続発生前にはふたつの導体がひとつの素子によって分離されているが、接続発生後は接続した導体に電流が流れて素子には流れなくなるため、この素子は機能を失う。つまり、短絡が発生する。一方で、図 4.2 に示すように、許容される断線と接続も存在する。図 4.2(a) では断線後でも 3 つの素子は互いに接続されており、また図 4.2(b) では接続後でも素子は機能を失わない。このように、断線と接続には許容されるものと許容されないものがあり、開放と短絡を引き起こす後者のみを防止すべきである。

このような制約は、断線と接続が構造の幾何学的な特徴により定まることから、幾何学的制約に属する。幾何学的制約を考慮したトポロジー最適化については、既に多くの研究がなされており、ペリメータコントロール [1]、最大最小寸法制約 [2, 3, 4, 5, 6]、トポロジー保存 [7, 8] などが報告されている。しかしながら、許容されない断線と接続のみを防止する手法は報告されていない。トポロジー保存の方法を用いれば、許容されない断線と接続を防止することは可能だが、図 4.2 に示すような、本来は許容されるべき断線と接続をも防止することになる。

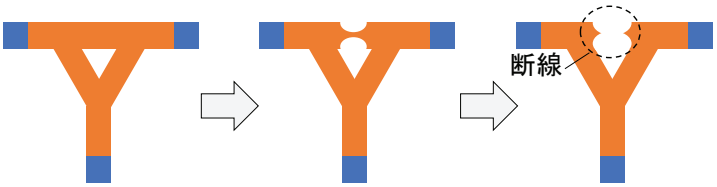
本章では、開放と短絡を生じる許容されない断線と接続のみを防止するための新たな手法を提案する。この手法では、細い導体では電流が集中することに着眼し、最大電流密度を制約することで導体の幅を確保し断線を防ぐ。さらに、電位差をもつ近接した導体間では電界が集中することに着眼し、最大電界強度を制約することで導体の間隔を確保し短絡を防ぐ。以降では、まず開放と短絡に関する考察を示したのちに、提案手法の概要と計算方法を述べ、数値例で有効性を検証する。



(a) 断線

(b) 接続

図 4.1: 許容されない断線と接続



(a) 断線

(b) 接続

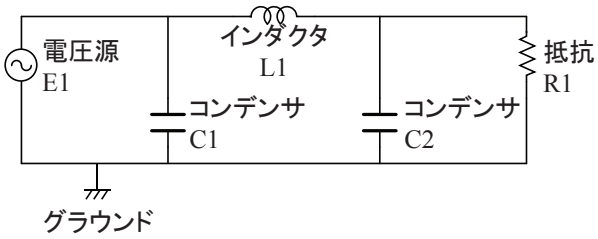
図 4.2: 許容される断線と接続

4.2 開放と短絡に関する考察

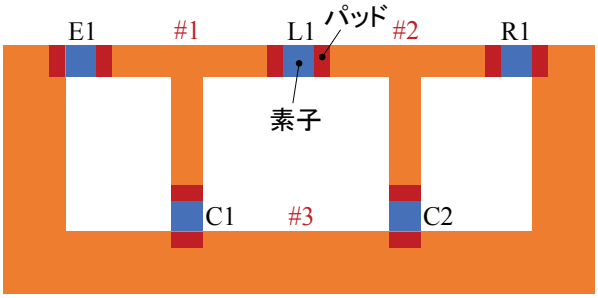
4.2.1 電気回路とグラフ

図 4.3(a) と (b) に回路図と構造の例をそれぞれ示す。この回路はひとつの電圧源、1 つのインダクタ、2 つのコンデンサ、1 つの抵抗から構成されている。これらの 5 つの素子は回路図に従い導体により接続されている。なお図 4.3(b) において、それぞれの素子の両側の導体はパッドと呼ばれ、素子を回路基板に実装する際に必要となる。

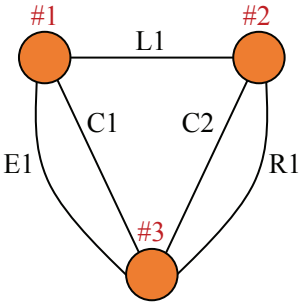
電気回路は「グラフ」として表現することができる [9]。図 4.3(a) の回路図のグラフは図 4.3(c) で表される。このグラフは 3 つのノードと 5 つの枝から構成される。ノードと枝はそれぞれ導体と素子に対応する。



(a) 回路図



(b) 構造



(c) グラフ

図 4.3: 回路図・構造・グラフの例

4.2.2 開放と短絡のグラフへの影響

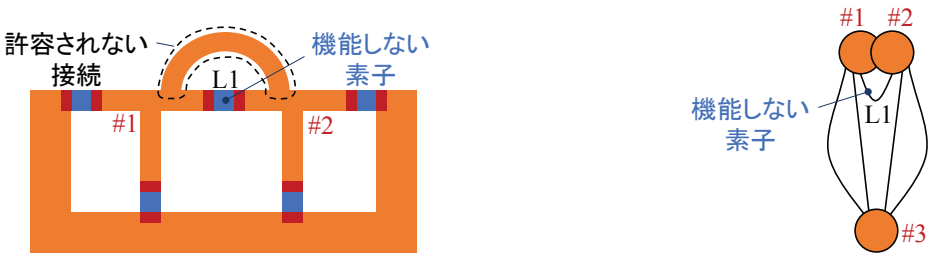
図 4.4 に開放を伴う許容されない断線の例を示す。図 4.4(a) において、導体#1a と#1b は断線のために分離され、孤立した素子である C1 は機能を失う。対応するグラフは図 4.4(b) で表される。ノード#1 が断線により#1a と#1b に分かれるため、図 4.3(c) からグラフが変化する。

図 4.5 に短絡を伴う許容されない接続の例を示す。導体#1 と#2 が接続し、2 つの導体の間に位置していた素子である L1 が機能を失う。対応するグラフは図 4.5(b) で表され、ノード#1 と#2 が重なっており、図 4.3(c) からグラフが変化する。このように、許容されない断線と接続が生じると、グラフが変化する。

他方、許容される断線と接続が生じても、グラフは変わらない。図 4.2 に示すように、許容される断線と接続はある単一の導体において生じる。単一の導体はグラフにおいては単一のノードとし

(a) 構造　　(b) グラフ

図 4.4: 許容されない断線の例



(a) 構造　　(b) グラフ

図 4.5: 許容されない接続の例

て表されるため、これらの断線と接続ではグラフは変わらない。

4.3　開放短絡防止の制約条件

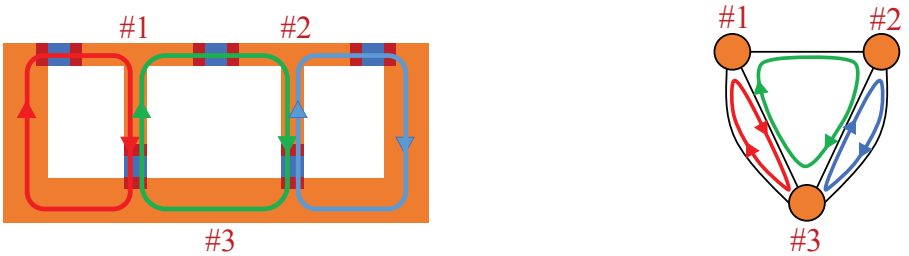
4.3.1　原理

開放防止

開放は、最適化の過程で導体の幅が減少してゼロになることで発生する。そのため、導体の幅を保つことで開放を防止することができる。そこで、電流に対して制約を設けることで開放を防ぐ手法を提案する。この手法は、細い導体では電流が集中する性質から着想を得たものである。導体における電流密度の最大値を制限することで、導体の最小の幅を維持することができる。なお、この電流は実際に回路が動作する際に流れる電流とは異なり、開放を防止するためだけに用いられる仮想的な電流である。

回路全体での開放を防止するためには、図 4.6 に示すように、複数のループに対して電流分布を計算する必要がある。その際、図 4.6 の場合には、3 つの電流分布をそれぞれ独立に計算し、各分布における最大値を制限すればよい。なお複数のループ電流を同時に計算すると、逆方向の電流が打ち消し合うため、適切に電流を評価できない。そのため各々の電流分布を独立に計算する必要がある。

提案手法は、図 4.7 に示すように、許容されない断線のみを防止する特徴をもつ。図 4.7(a) の下



(a) 構造　　(b) グラフ

図 4.6: 断線防止の概念図

(a) 許容されない断線　　(b) 許容される断線

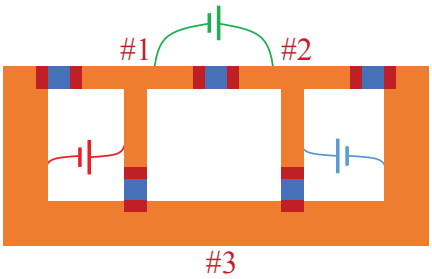
図 4.7: 断線前の構造

側の導体が狭くなった場合、電流集中が発生する。この状況は提案手法により防止することができるため、導体の幅がゼロとなり断線が生じることはない。一方、図 4.7(b) に示す場合には、上側の導体が狭くなっても、代わりに左側あるいは右側の導体に電流が流れるために電流集中は生じない。それゆえ、提案手法ではこの導体の幅がゼロとなり断線が生じることは妨げない。

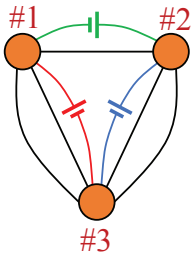
短絡防止

短絡は、最適化の過程で 2 つの導体の距離が縮まりゼロになることで発生する。そのため、導体間の間隔を保つことで短絡を防止することができる。そこで、間隔を維持するために、仮想的な電界強度を用いる手法を提案する。この手法は、平行平板のコンデンサにおいて電界強度が平板の距離に反比例する性質から着想を得たものである。導体間に電圧を印加し、その電界強度の最大値を制限することで、導体の間隔を保つことができる。なお、この電圧は実際に回路が動作する際に印加する電圧とは異なり、短絡を防止するためだけに用いる仮想的な電圧である。

回路全体での短絡を防止するためには、図 4.8 に示すように、複数の電圧源を印加した結果生じる電界強度の分布を計算する必要がある。その際、全ての導体対に対して電圧を独立に印加して電界分布を計算し、各分布における最大値を制限する必要がある。図 4.8 の場合は導体対の数は 3 である。なお複数の電圧源を同時に印加した状態で電界を計算すると、ある導体対の電位差と別の導体対の電位差が異なることとなり、電位差に比例して電界強度の大きさが変わることから、導体間の距離と電界強度との対応関係が崩れることとなる。このため、各々の導体対には等しい値の電圧を独立に印加して電界強度を計算する必要がある。

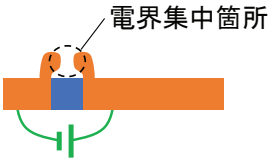


(a) 構造

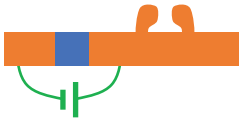


(b) グラフ

図 4.8: 短絡防止の概念図



(a) 許容されない接続



(b) 許容される接続

図 4.9: 接続前の構造

提案手法は、図 4.9 に示すように、許容されない接続のみを防止する。もし図 4.9(a) の分離された導体同士が近づいた場合、導体間の電界強度は大きくなる。このため、これらの導体同士の接続は防止される。一方、図 4.9(b) に示すように、単一の導体の 2 つの突起が互いに近づいても、その突起間の電界強度は大きくならない。これはある導体内において電位は一定であり、電界強度（すなわち電位の勾配の絶対値）はこの突起間では小さいためである。よって、図 4.2(b) に示すような導体の接続は、電界に関する制約を違反しないため妨げられない。

4.3.2 電流と電界分布の数

ここでは、構造全体で開放と短絡を防止するために必要かつ十分な、仮想的な電流密度と電界強度の分布の数を示す。電流計算において必要となるループの数を N_{ec}、電界計算で必要となる電圧源の数を N_{ef} とする。これらの値は電気回路のグラフを考察することで導かれる。いま、グラフのノードの数を N、枝の数を M とおく。

まず N_{ec} が $M-N+1$ となることを示す。図 4.10(a) において、グラフは 5 つのノードと 8 つの枝をもつ。すなわち、$N=5$、$M=8$ である。図 4.10(b) において、グラフの「木」（全てのノードを接続し、ループを含まない最小の枝の集合）を赤い太線で示している。木は $N-1$ 個の枝から構成される。木に属さない枝の集合は「補木」と呼ばれ、$M-N+1$ 個の枝から構成される。図 4.10(b) より分かるように、木の全ての枝と補木のある 1 つの枝によって構成される集合はひとつのループを含む。よって、ある木に対応して $M-N+1$ 個のループ（この場合は 4 個のループ）が存在し、グラフのすべての経路（すなわち枝）はこれらのループに含まれている。このため、回

(a) グラフ　　(b) グラフにおける木とループ

図 4.10: グラフ・木・ループ

路全体の断線を防止するには、$M-N+1$ 個のループの電流を評価すれば十分である。またそのうち 1 個のループでも欠ければグラフのすべての経路が含まれないため、$M-N+1$ 個のループの電流の評価が必要である。

また、N 個の導体に対しては $\binom{N}{2} = N(N-1)/2$ 組の導体対が存在するため、N_{ef} は $N(N-1)/2$ となる。

4.3.3 電流と電界の計算と制約

電流計算

仮想的な電流分布を以下の N_{ec} 個のラプラス方程式を解くことで求める ($i = 1, \ldots, N_{\mathrm{ec}}$)。

$$\nabla \cdot \boldsymbol{J}_i = 0,\ \boldsymbol{J}_i = -\sigma_{\mathrm{ec}} \nabla V_{\mathrm{ec},i} \qquad \text{on } \Omega_{\mathrm{ec}} \tag{4.1}$$

$$\frac{\partial V_{\mathrm{ec},i}}{\partial \boldsymbol{n}} = J_{\mathrm{in}} = 1 \qquad \text{on } \Gamma_{\mathrm{ec,in},i} \tag{4.2}$$

$$\frac{\partial V_{\mathrm{ec},i}}{\partial \boldsymbol{n}} = J_{\mathrm{out}} = -1 \qquad \text{on } \Gamma_{\mathrm{ec,out},i} \tag{4.3}$$

$$\frac{\partial V_{\mathrm{ec},i}}{\partial \boldsymbol{n}} = 0 \qquad \text{on } \partial\Omega_{\mathrm{ec}} \backslash (\Gamma_{\mathrm{ec,in},i} \cup \Gamma_{\mathrm{ec,out},i}) \tag{4.4}$$

$$V_{\mathrm{ec},i} = 0 \qquad \text{at } P_{\mathrm{ec},i} \tag{4.5}$$

ここで、$V_{\mathrm{ec},i}$ と $\boldsymbol{J}_i$ は i 番目の方程式における電位と電流、σ_{ec} は電流計算で使用する導電率、$\boldsymbol{n}$ は表面に対して外側方向の法線ベクトル、Ω_{ec} は電流計算での解析領域、$\Gamma_{\mathrm{ec,in},i}$ と $\Gamma_{\mathrm{ec,out},i}$ は i 番目の方程式で電流が流入あるいは流出する境界である。導体の導電率は絶縁体の導電率に比べて十分大きく（例えば 1000 倍に）設定する必要がある。

図 4.11 に、あるループにおける計算条件を示す。解析領域 Ω_{ec} はパッドを含み素子を除いた領域に設定する。式 (4.2) と式 (4.3) のノイマン境界条件を全ての素子の両側である $\Gamma_{\mathrm{ec,in}}$ と $\Gamma_{\mathrm{ec,out}}$ にそれぞれ適用し、図 4.11 に示すようにループに電流を印加する。ここで、解の唯一性を保証するために、式 (4.5) で表される電位のディリクレ境界条件を点 P_{ec} に課す必要がある。この点は領域 Ω_{ec} のどこでも良い。

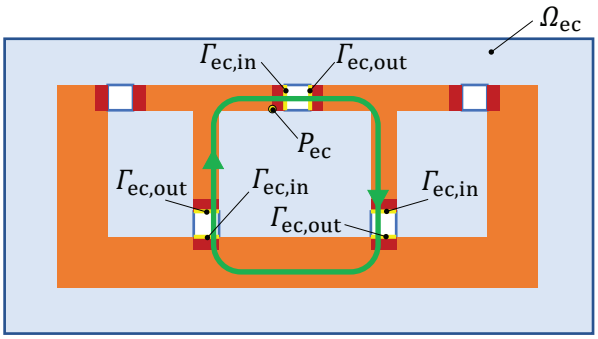


図 4.11: 電流計算の設定

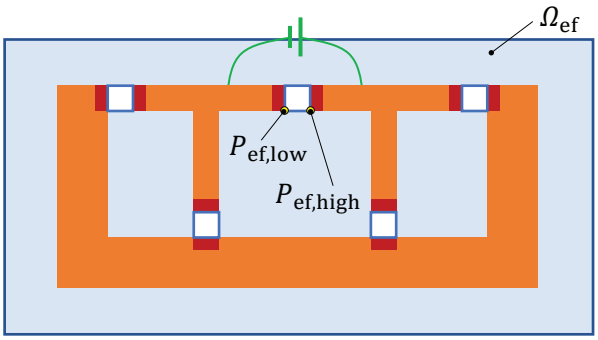


図 4.12: 電界計算の設定

電界計算

仮想的な電界の分布を以下の N_{ef} 個のラプラス方程式を解くことで求める ($j = 1, \ldots, N_{\mathrm{ef}}$)。

$$\nabla \cdot \boldsymbol{E}_j = 0, \quad \boldsymbol{E}_j = -\varepsilon_{\mathrm{ef}} \nabla V_{\mathrm{ef},j} \qquad \text{on } \Omega_{\mathrm{ef}} \tag{4.6}$$

$$\frac{\partial V_{\mathrm{ef},j}}{\partial \boldsymbol{n}} = 0 \qquad \text{on } \partial\Omega_{\mathrm{ef}} \tag{4.7}$$

$$V_{\mathrm{ef},j} = V_{\mathrm{high}} = 1 \qquad \text{at } P_{\mathrm{ef,high},j} \tag{4.8}$$

$$V_{\mathrm{ef},j} = V_{\mathrm{low}} = 0 \qquad \text{at } P_{\mathrm{ef,low},j} \tag{4.9}$$

ここで $\boldsymbol{E}_j$ と $V_{\mathrm{ef},j}$ は j 番目の方程式における電界および電位である。$\varepsilon_{\mathrm{ef}}$ は電界計算における誘電率である。Ω_{ef} は電界計算での解析領域、$P_{\mathrm{ef,high},j}$ と $P_{\mathrm{ef,low},j}$ は j 番目の方程式で電位が高い値あるいは低い値をとる点である。導体の誘電率 $\varepsilon_{\mathrm{ef}}$ は絶縁体の誘電体と比べて十分高く（例えば 1000 倍に）設定する必要がある。

図 4.12 に、ある導体対に電圧を印加した場合の計算条件を示す。解析領域 Ω_{ef} は全領域から素子を除いた領域に設定する。また、点 $P_{\mathrm{ef,high}}$ と点 $P_{\mathrm{ef,low}}$ に高電位と低電位を設定することで 2 つの導体に電圧を印加する。

制約

提案方法では、計算した電流密度 $\boldsymbol{J}_i$ と電界 $\boldsymbol{E}_j$ に制約を設けることで開放と短絡を防止する。導体に電流が一様に流れている場合において、その電流密度の大きさ $|\boldsymbol{J}_i|$ は導体の幅 w に反比例する。また無限に広い平行平板コンデンサにおいて、電極間の電界強度 $|\boldsymbol{E}_j|$ はその間隔 d に反比例する。これらの関係は以下の式で表される。

$$|\boldsymbol{J}_i| = \frac{J_{\mathrm{in}} w_{\mathrm{in}}}{w} \tag{4.10}$$

$$|\boldsymbol{E}_j| = \frac{V_{\mathrm{high}} - V_{\mathrm{low}}}{d} \tag{4.11}$$

ここで w_{in} は電流が流入する境界の幅である。これらの式をもとに、導体の幅を w_{min} 以上に、導体間の間隔を d_{min} 以上に保つための、電流密度と電界強度の最大値に関する以下の不等式が導かれる。

$$\frac{\max|\boldsymbol{J}_i|}{J_{\mathrm{min}}} \leq 1, \quad J_{\mathrm{min}} = \frac{J_{\mathrm{in}} w_{\mathrm{in}}}{w_{\mathrm{min}}} \tag{4.12}$$

$$\frac{\max|\boldsymbol{E}_j|}{E_{\mathrm{min}}} \leq 1, \quad E_{\mathrm{min}} = \frac{V_{\mathrm{high}} - V_{\mathrm{low}}}{d_{\mathrm{min}}} \tag{4.13}$$

これらの複数の制約を課すことで開放と短絡を防ぐことも可能だが、その定式化ではミニ-マックス問題に伴う収束性の課題が生じる。そこで前章と同様に、おおよその最大値を抽出する KS 関数 [10] を用いる。まず電流密度 $|\boldsymbol{J}_i|$ の最大値と電界強度 $|\boldsymbol{E}_j|$ の最大値を KS 関数を用いて以下の式で計算する。

$$\mathrm{KS}(\boldsymbol{J}_i) = \frac{1}{\rho_1} \ln\left(\int_{\Omega_{\mathrm{ec}}} \exp\left(\rho_1 \frac{|\boldsymbol{J}_i|}{J_{\mathrm{min}}}\right) \mathrm{d}V\right) - \frac{1}{\rho_1} \ln\left(K_{\mathrm{ec}} \int_{\Omega_{\mathrm{ec}}} 1 \mathrm{d}V\right) \tag{4.14}$$

$$\mathrm{KS}(\boldsymbol{E}_j) = \frac{1}{\rho_1} \ln\left(\int_{\Omega_{\mathrm{ef}}} \exp\left(\rho_1 \frac{|\boldsymbol{E}_j|}{E_{\mathrm{min}}}\right) \mathrm{d}V\right) - \frac{1}{\rho_1} \ln\left(K_{\mathrm{ef}} \int_{\Omega_{\mathrm{ef}}} 1 \mathrm{d}V\right) \tag{4.15}$$

そして、それらの値の中での最大値 g を KS 関数を用いて以下の式で計算する。

$$g = \frac{1}{\rho_2} \ln\left(\sum_i \exp\left(\rho_2 \mathrm{KS}(\boldsymbol{J}_i)\right) + \sum_j \exp\left(\rho_2 \mathrm{KS}(\boldsymbol{E}_j)\right)\right) \tag{4.16}$$

このようにして、構造全体での開放と短絡を防ぐための複数の制約条件を、以下の単一の制約条件として表現する。

$$g \leq 1 \tag{4.17}$$

ここで、式 (4.14) と式 (4.15) の第二項は積分領域の面積の影響を補正するために設けられる。また ρ_1、ρ_2、K_{ec}、K_{ef} は KS 関数のパラメータである。これらの項とパラメータの意味は付録 D で詳細に述べる。

4.3.4 計算コスト

先述のように、グラフが N 個のノードと M 個の枝を持つ場合、電流密度を計算するループの数 N_{ec} は $M-N+1$ であり、電界強度を計算する電圧源の数 N_{ef} は $N(N-1)/2$ である。それゆえ、回路のグラフが複雑になり N と M が増加すると、計算コストは急激に増加する。

単純な回路基板での導体パターン最適化の際には、計算コストは極端に大きくならない。導体パターンの厚みは幅と長さに比べると無視できるほど小さいことから、導体を 2 次元のシートとしてモデル化する事ができるため、開放と短絡を防ぐための計算は 2 次元解析で行うことができる。さらに、$N_{\mathrm{ec}}+N_{\mathrm{ef}}$ 個のラプラス方程式における未知数は互いに独立であるため、連成して計算する必要がない。つまり、開放短絡防止の計算は、各方程式の未知数を独立させた 2 次元解析で実現できる。この計算量は、3 次元の電磁界解析の計算量と比較すると大きくはならない。本研究で扱う例題は全てこの範疇に入るものである。

一方、複雑な回路基板での導体最適化の場合、計算コストは非常に大きくなる。例えば、10 個の導体をもつ基板の場合、全ての導体対の数は 45 になる。このため、構造全体での短絡を防止するために十分な電界計算の分布の数は 45 となる。そこで計算量を抑えるために、最初は制約なしで最適化計算を行い、開放や短絡が生じた場合には、それらの導体に対してのみ制約を設けると良い。

4.4 定式化と数値計算法

4.4.1 最適化手法

本研究では文献 [11] で提案されているグレースケールフリートポロジー最適化法を用いる。この方法ではレベルセット法にもとづく形状表現、r-refinement 法 [12] を用いた適合メッシュ、ダブルウェルポテンシャルと PDE (Partial Differential Equation) フィルタにもとづく正則化を用いる。

形状表現

図 2.15 で示したように、レベルセット法を用いて、レベルセット関数 ϕ の符号により物体領域と空洞領域を表現する。また図 2.16 で示したように、メッシュ節点をゼロレベル境界上に移動した適合メッシュを使用し、グレースケール要素を完全に排除する。

正則化

上述の形状表現方法と、式 (4.17) の制約を用いて、構造最適化問題を以下のように定式化する。

$$\underset{\phi}{\text{minimize}} \qquad f_{\mathrm{obj}} \tag{4.18}$$

$$\text{subject to} \qquad g \leq 1 \tag{4.19}$$

ここで f_{obj} は目的関数である。ただしこの定式化においては、形状がレベルセット関数 ϕ により定まるが、関数の値ではなく符号のみから定まるため、同じ形状を表現する多くの関数が存在する。そのため解の唯一性が保証されていない。

そこで解の唯一性を保証するために、以下のダブルウェルポテンシャルを正則化項として目的関数に加える [11]。

$$f_{\mathrm{reg}} = \int_D \left(\phi^2 - 1\right)^2 \mathrm{d}V \tag{4.20}$$

この被積分項は 1 と −1 においてのみゼロとなる非負の項であり、最適化に伴い ϕ が 1 あるいは −1 に収束しやすくなる性質を与えられる。

さらに、設計変数の振動的な分布を防止してなめらかなゼロレベル境界を得るために、以下のヘルムホルツ方程式を用いた PDE フィルタ [13] を用いる。

$$-R^2\nabla^2\phi + \phi = \psi \qquad \text{in } D \tag{4.21}$$

$$\frac{\partial\phi}{\partial\boldsymbol{n}} = 0 \qquad \text{on } \partial D \tag{4.22}$$

ここで R は PDE フィルタの有効半径、ψ は設計変数である。R はメッシュの最小寸法と同程度に設定する。

正則化項と PDE フィルタを用いて、最適化問題を以下のように再定式化する。

$$\underset{\psi}{\text{minimize}} \qquad f_{\mathrm{obj}} + w_{\mathrm{reg}} f_{\mathrm{reg}} \tag{4.23}$$

$$\text{subject to} \qquad g \leq 1 \tag{4.24}$$

ここで w_{reg} は正則化項 f_{reg} の係数である。w_{reg} の値は初期構造における目的関数 f_{obj} と正則化項 f_{reg} の比率に応じて設定する [14]。

4.4.2 最適化問題

提案手法の有効性を検証するために、導体の面積最小化および最大化を行う。導体の面積最小化を、複数の素子が導体により接続された構造において実行した場合、全ての導体が消失して絶縁体に変わり、その過程で開放が発生するはずである。また導体の面積最大化を、複数の導体が絶縁体により分離された構造において実行した場合、すべての絶縁体が導体に変化し、その過程で短絡が発生するはずである。提案した制約条件を設けることで、これらの開放と短絡が防止されるか否かを検証する。なお面積最小化の問題は導体の面積を目的関数 f_{obj} として設定することで、面積最大化の問題は導体の面積に負号を付けたものを f_{obj} として設定することで定式化される。

4.4.3 数値計算法

数値計算法は文献 [11] と同様である。すなわち、数値計算手法として有限要素法を使用し、設計変数の最適化法として数理計画法を使い、感度解析手法として随伴変数法を用いる。（f_{reg} 以外の）

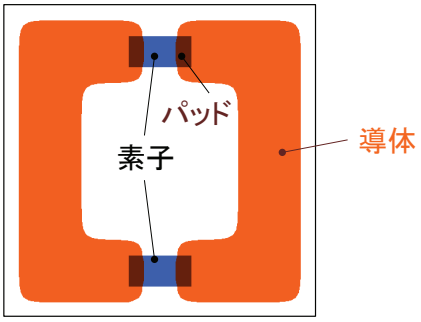


図 4.13: 単一ループの初期構造

目的関数と制約関数に対する感度を得るためには、まず随伴変数法を用いて節点座標に対する感度を計算し、それらの値からレベルセット関数 ϕ に対する感度を導出し、最終的に設計変数 ψ に対する感度を計算する。f_{reg} の感度を得るには、まず随伴変数法により ϕ の感度を計算し、それから ψ に対する感度を計算する。なお計算の際には、レベルセット関数 ϕ と設計変数 ψ は $\boldsymbol{\phi} = \phi_i$ と $\boldsymbol{\psi} = \psi_i$ に離散化される $(i = 1, \ldots, n_{\mathrm{dsg}})$。ここで、$n_{\mathrm{dsg}}$ は設計変数の数をあらわす。

最適化の手続きは以下の通りである。

1. 通常のメッシュであるオイラーメッシュを生成し、設計変数 $\boldsymbol{\psi}$ の初期値を設定する。
2. $\boldsymbol{\psi}$ から $\boldsymbol{\phi}$ を計算し、境界適合メッシュを生成する（図 2.16(b)）。
3. 適合メッシュを用いて（f_{reg} 以外の）目的関数と制約関数を計算する。
4. オイラーメッシュを用いて f_{reg} を計算する。
5. 感度解析を行う。
6. 数理計画法を用いて $\boldsymbol{\psi}$ を更新し、ステップ 2 に戻る。

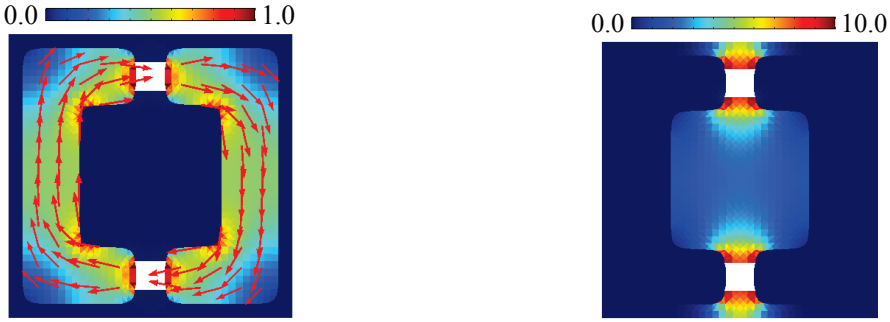
反復を 10 回繰り返すごとに最小の目的関数を評価し、最新の最小値が前回の最小値以上であれば最適化を終了する。数理計画法には逐次線形計画法（SLP: Sequential Linear Programming）を用いる。もし SLP において制約違反が生じて実行可能領域を見つけるのに失敗した場合、設計変数は制約関数を減少するための最急降下方向に対して更新される。

4.5 数値例

導体面積の最小化と最大化を行い提案手法の有効性を検証する。仮想的な電流と電界を計算する際、式 (4.1) における導体の導電率 σ_{ec} と式 (4.6) における導体の誘電率 $\varepsilon_{\mathrm{ef}}$ はともに 1000 に、絶縁体の σ_{ec} と $\varepsilon_{\mathrm{ef}}$ はともに 1 に設定した。

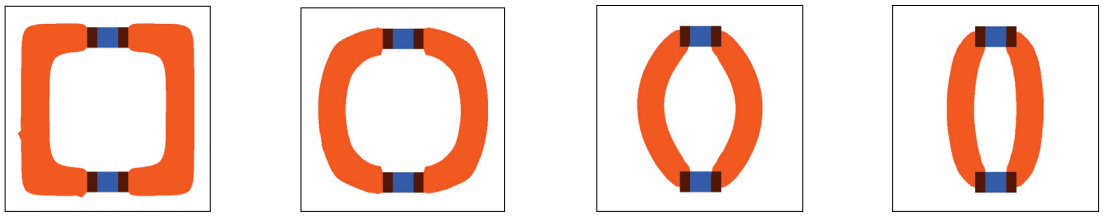
単一のループ

図 4.13 に初期構造を示す。対象領域は 1 m 四方の正方形であり、2 つの素子は 0.1 m 四方の正方形としてモデル化されている。この構造は 2 つの分離された導体をもつ。開放と短絡を防ぐため



(a) 仮想的な電流　　(b) 仮想的な電界

図 4.14: 初期構造における分布



(a) 反復 20 回後　(b) 反復 50 回後　(c) 反復 200 回後　(d) 反復 331 回後

図 4.15: 面積最小化後の構造

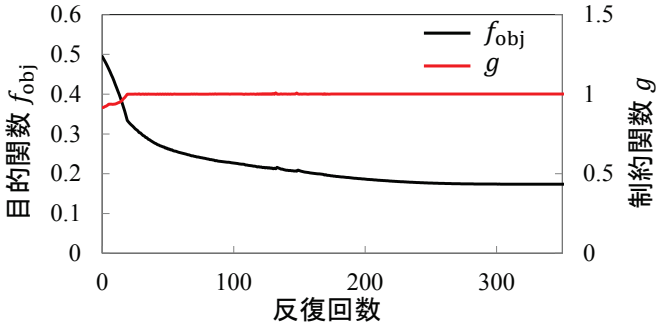
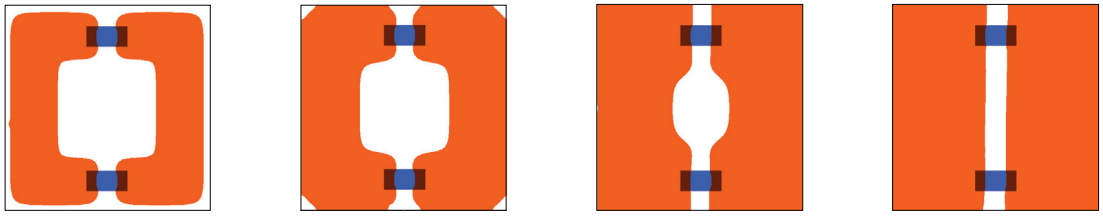


図 4.16: 面積最小化の履歴

には、1 つの電流分布と 1 つの電界分布の計算が必要である。図 4.14(a) に初期構造における電流密度の分布を示す。素子とパッドが接触している部分において、導体の幅が狭いために電流密度が高い。また図 4.14(b) に初期構造の電界強度を示す。導体間の距離が短く電位の勾配が急となる素子付近で電界強度が大きい。このように、導体の幅に応じた電流密度の分布と、導体間の距離に応じた電界強度の分布が得られている。

提案した制約条件を用いて最適化を行う。式 (4.14) から式 (4.16) の KS 関数のパラメータは $\rho_1 = 5$、$\rho_2 = 5$、$K_{\mathrm{ec}} = 0.1$、$K_{\mathrm{ef}} = 0.1$ に設定した。固定設計領域 D は対象領域全体から素子と



(a) 反復 10 回後　(b) 反復 20 回後　(c) 反復 50 回後　(d) 反復 89 回後

図 4.17: 面積最大化後の構造

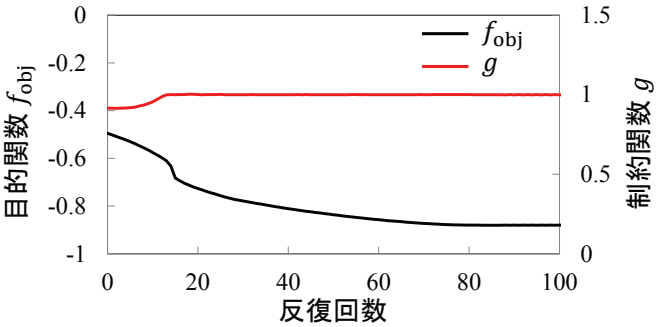


図 4.18: 面積最大化の履歴

パッドを除いた領域に設定した。

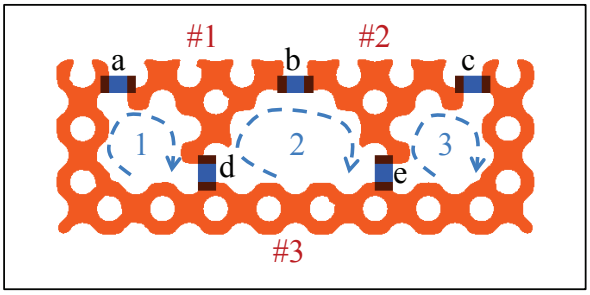
図 4.15 と図 4.16 に面積最小化で得られた構造と履歴をそれぞれ示す。最適化は 350 回の反復ののちに終了し、反復 331 回後に最小の目的関数が得られた。図 4.15 より、導体のループが徐々に縮む一方で、導体の幅は維持され、開放は防がれた。図 4.16 において、目的関数は徐々に減少した一方で、制約関数は反復回数が 20 を超えてからはほぼ 1 に保たれた。

図 4.17 と図 4.18 に面積最大化で得られた構造と履歴をそれぞれ示す。最適化は 100 回の反復ののちに終了し、反復 89 回後に最小の目的関数が得られた。図 4.17 より、導体の領域が徐々に広がる一方で、導体間の距離は維持され、短絡は防がれた。図 4.18 において、目的関数は徐々に減少した一方で、制約関数は反復回数が 15 を超えてからほぼ 1 に保たれた。

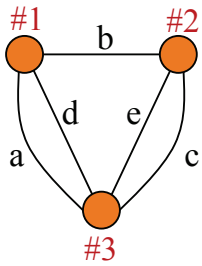
以上、単一ループの構造において、提案手法により開放と短絡を防止できることを示した。

複数のループ

図 4.19 に初期構造とそのグラフを示す。提案手法は許容されるトポロジーの変化を妨げないことを確認する意図で、穴が多数空いた構造を初期構造として用いる。対象領域は 3.3 m × 1.6 m の長方形であり、5 つの素子は全て 0.1 m 四方の正方形としてモデル化する。この構造は 3 つの分離された素子をもつ。構造全体での開放と短絡を防止するには、仮想的な電流計算を 3 つのループに対して、また電界計算を 3 つの導体対に対して、それぞれ独立に行う必要がある。図 4.20 と図 4.21 に初期構造における電流分布と電界分布をそれぞれ示す。図 4.20 に示すように、3 つのルー

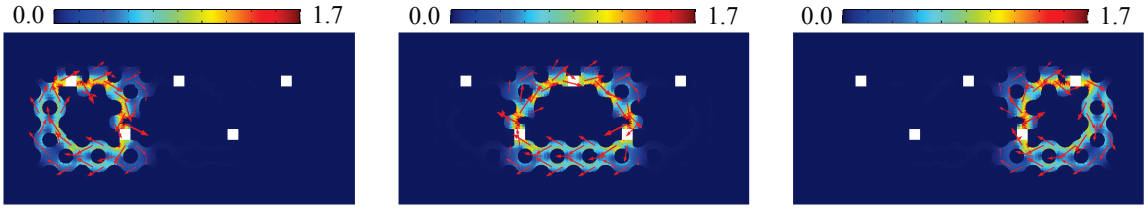


(a) 初期構造



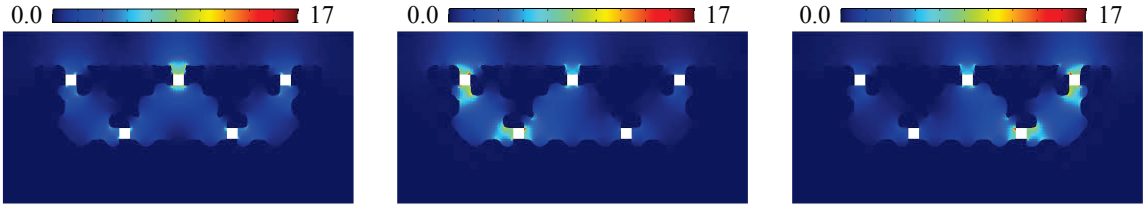
(b) グラフ

図 4.19: 複数のループの初期構造とグラフ



(a) ループ 1　(b) ループ 2　(c) ループ 3

図 4.20: 初期構造における仮想的な電流分布

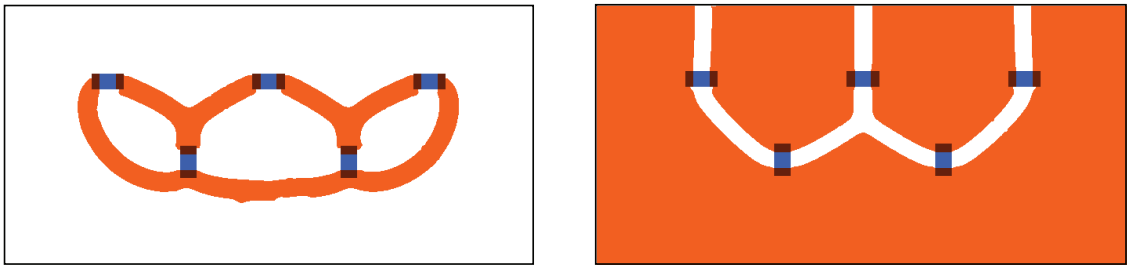


(a) 導体#1–#2 間に電圧印加　(b) 導体#1–#3 間に電圧印加　(c) 導体#2–#3 間に電圧印加

図 4.21: 初期構造における仮想的な電界分布

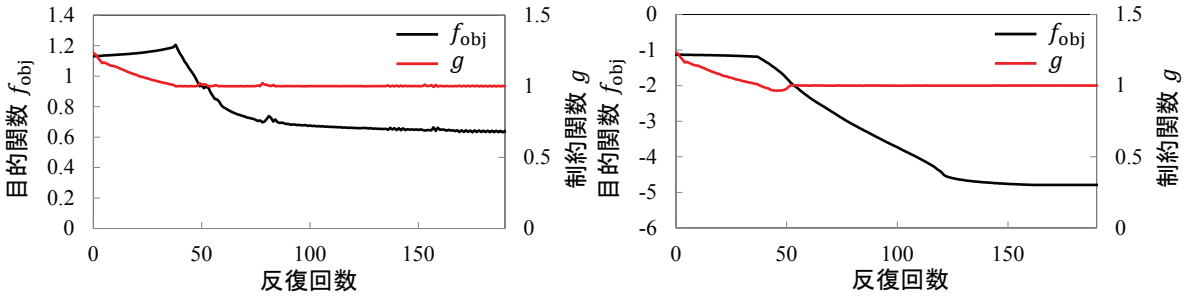
プの形状に応じた電流分布が得られている。また、図 4.21 に示すように、電圧が印加された導体間において電界強度が大きくなっている。

提案手法を用いて最適化を実施する。KS 関数のパラメータは前節の例題と同様に、$\rho_1 = 5$、$\rho_2 = 5$、$K_{\mathrm{ec}} = 0.1$、$K_{\mathrm{ef}} = 0.1$ と設定した。固定設計領域 D は全領域から素子とパッドを除いた領域に設定した。図 4.22 に面積最小化と最大化の結果を示す。初期構造での多数の穴が消えた一方で、開放と短絡は生じなかった。図 4.23 に最適化の履歴を示す。面積最小化と最大化はともに 190 回の反復後に終了した。どちらの場合でも、最初の 40 回の反復の間は常に制約違反が生じ、設計変数は制約関数 g を減少させる方向に更新されたため、目的関数 f_{obj} はほとんど減少しない



(a) 面積最小化　　(b) 面積最大化

図 4.22: 最適化後の構造



(a) 面積最小化　　(b) 面積最大化

図 4.23: 最適化の履歴

かむしろ悪化した。その後は、反復回数が増加するにつれ、g をほぼ 1 に保ちつつ f_{obj} が徐々に減少した。よって、提案手法により、許容されるトポロジーの変化を妨げることなく、開放と短絡を防止できることを示した。

4.6　まとめ

本章では、電気回路の導体に対してトポロジー最適化を適用する際に必要となる、開放と短絡を防止する手法を提案した。まず、導体の断線と接続には、許容されるものの他に、開放と短絡を引き起こす許容されないものがあることを述べ、前者は回路のグラフを変えないが後者はグラフを変えることを説明した。次に、仮想的な電流と電界を用いた開放短絡防止手法の原理について述べ、この方法では許容される断線と接続の発生を妨げないことを説明した。また回路全体で開放と短絡を防止するには複数の電流と電界の計算が必要であることを述べ、そのために計算すべき電流と電界の分布の数をグラフ理論に基づき示した。そしてそれらの分布に対する複数の制約条件を、KS 関数を用いて単一の制約条件に縮約した。この制約条件を用いて、導体パターンの最適化問題を、レベルセット法と境界適合メッシュを用いたグレースケールフリートポロジー最適化法にもとづき定式化した。そしてこの定式化に沿った導体の面積最小化と最大化を行い、提案手法によって開放

と短絡の発生を防止できることを、単一および複数のループをもつ構造において確認した。

参考文献

[1] Haber R. B., Jog C. S., and Bendsøe M. P., A new approach to variable-topology shape design using a constraint on perimeter, *Structural Optimization*, vol. 11, no. 1-2, pp. 1–12, 1996.

[2] Chen S., Wang M. Y., and Liu A. Q., Shape feature control in structural topology optimization, *Computer-Aided Design*, vol. 40, no. 9, pp. 951–962, 2008.

[3] Luo J., Luo Z., Chen S., Tong L., and Wang M. Y., A new level set method for systematic design of hinge-free compliant mechanisms, *Computer Methods in Applied Mechanics and Engineering*, vol. 198, no. 2, pp. 318–331, 2008.

[4] Guo X., Zhang W., and Zhong W., Explicit feature control in structural topology optimization via level set method, *Computer Methods in Applied Mechanics and Engineering*, vol. 272, pp. 354–378, 2014.

[5] Wang F., Lazarov B. S., and Sigmund O., On projection methods, convergence and robust formulations in topology optimization, *Structural and Multidisciplinary Optimization*, vol. 43, no. 6, pp. 767–784, 2011.

[6] Zhang W., Zhong W., and Guo X., An explicit length scale control approach in simp-based topology optimization, *Computer Methods in Applied Mechanics and Engineering*, vol. 282, pp. 71–86, 2014.

[7] Han X., Xu C., and Prince J. L., A topology preserving level set method for geometric deformable models, *IEEE Transactions on Pattern Analysis and Machine Intelligence*, vol. 25, no. 6, pp. 755–768, 2003.

[8] Alexandrov O. and Santosa F., A topology-preserving level set method for shape optimization, *Journal of Computational Physics*, vol. 204, no. 1, pp. 121–130, 2005.

[9] Hayt W. H., Kemmerly J. E., and Durbin S. M., *Engineering Circuit Analysis*, McGraw-Hill New York, 1986.

[10] Kreisselmeier G. and Steinhauser R., Systematic control design by optimizing a vector performance index, *IFAC Proceedings Volumes*, vol. 12, no. 7, pp. 113–117, 1979.

[11] Yamasaki S., Kawamoto A., Nomura T., and Fujita K., A consistent grayscale-free topology optimization method using the level-set method and zero-level boundary tracking mesh, *International Journal for Numerical Methods in Engineering*, vol. 101, no. 10, pp. 744–773, 2015.

[12] McRae D. S., r-Refinement grid adaptation algorithms and issues, *Computer Methods in Applied Mechanics and Engineering*, vol. 189, no. 4, pp. 1161–1182, 2000.

[13] Kawamoto A., Matsumori T., Yamasaki S., Nomura T., Kondoh T., and Nishiwaki S.,

Heaviside projection based topology optimization by a PDE-filtered scalar function, *Structural and Multidisciplinary Optimization*, vol. 44, no. 1, pp. 19–24, 2011.

[14] Yamasaki S., Yamanaka S., and Fujita K., Three-dimensional grayscale-free topology optimization using a level-set based r-refinement method, *International Journal for Numerical Methods in Engineering*, vol. 112, no. 10, pp. 1402–1438, 2017.

第 5 章

ノイズフィルタ回路の設計支援方法

5.1　はじめに

パワーエレクトロニクス機器の動作に伴い発生する電磁ノイズは電磁干渉を引き起こす恐れがあるため、ノイズフィルタ回路を用いてノイズを規格の限度値以下に抑える必要がある。2.4.2 節で述べた通り、Paul は、観測されるノイズは複数のノイズが足し合わされたものであることが一般的だが、通常その中には支配的な要因が存在し、その要因への対策を施すことが効果的なノイズ低減のために重要であると主張している [1]。しかし、支配的な要因は通常明らかではない。また、支配的な要因は事例に応じて変わるため、ある対策が別の事例でも有効とは限らない。このため、十分にノイズが低減された設計案を得るまでには、様々な対策を施しそのうちの有効なもののみを採用するというような試行錯誤を要することが多い。

そこで本章では、トポロジー最適化を用いたノイズフィルタ回路の設計支援方法を提案し、提案方法を用いて支配的なノイズを低減できることを示すとともに、よりよい設計案を得るための指針が得られることを論じる。また、前章で提案した開放短絡防止手法を用いることで、開放と短絡を防ぎながら導体パターンを最適化することが可能となることを示す。

次節以降の構成は以下の通りである。まず、検討対象とするノイズフィルタ回路を示す。次にノイズフィルタ回路における導体パターンの設計問題を最適化問題として定式化し、トポロジー最適化を適用する方法を示す。そして提案方法により対象回路の最適化を行い、開放短絡防止手法の有効性を検証するとともに、支配的なノイズに応じた設計案が得られることを確認する。また、得られた最適化結果からより良い設計案を得るための指針が得られることを論じる。

5.2　対象ノイズフィルタ回路

本章では、前章で提案した開放短絡防止手法の有効性を検証するとともに、トポロジー最適化によって、ノイズフィルタ回路における支配的なノイズを低減できることを検証する。それぞれの検証に用いるフィルタ回路を順に説明する。

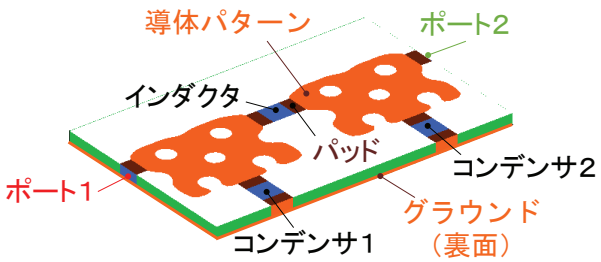


図 5.1: フィルタ 1 の初期構造

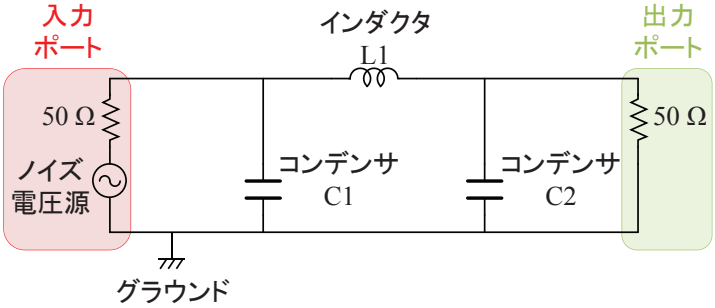


図 5.2: フィルタ 1 の回路図

5.2.1 開放短絡防止手法の検証用

提案した開放短絡防止手法が様々なノイズフィルタ回路において有効であることを確認するために、段数の異なる 3 種類のフィルタに対して導体パターン最適化を行う。また、提案手法は許容されるトポロジーの変化を妨げないことを確認する意図で、初期構造として多数の穴の空いた導体パターンを使用する。

C-L-C フィルタ（フィルタ 1）

図 5.1 に 1 つ目のフィルタを示す。このフィルタは C-L-C 構成のフィルタであり、2 つのコンデンサと 1 つのインダクタを基板上面に備え、2 つのポートが基板側面に設けられている。これらの素子とポートは、基板上面と底面の導体により、図 5.2 の回路図に従うように接続されている。ここで底面は全て導体で覆われている。回路基板は両面基板であり、その比誘電率は 4.5 である。また、基板の幅、奥行き、厚みはそれぞれ 54mm、35mm、2mm である。インダクタのインダクタンスは 10 µH、コンデンサの容量値はともに 10 µF である。

L-C-L フィルタ（フィルタ 2）

図 5.3 に 2 つ目のフィルタを示す。このフィルタは L-C-L 構成のフィルタであり、2 つのインダクタと 1 つのコンデンサを基板上面に備え、2 つのポートが基板側面に設けられている。底面は全て導体で覆われており、素子とポートは図 5.4 の回路図に従うように接続されている。基板の幅、

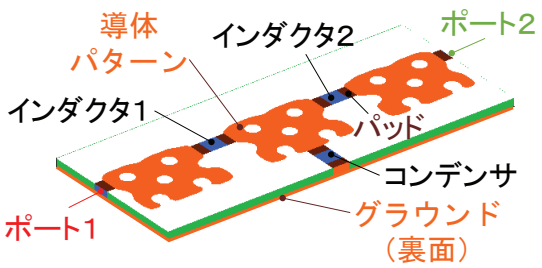


図 5.3: フィルタ 2 の初期構造

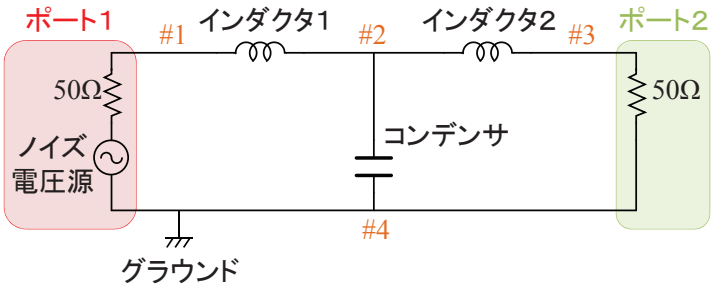


図 5.4: フィルタ 2 の回路図

奥行き、厚み、比誘電率はそれぞれ 83 mm、35 mm、2 mm、4.5 である。また、インダクタのインダクタンスはともに 10 µH、コンデンサの容量値は 10 µF である。

L-C-L-C-L フィルタ（フィルタ 3）

図 5.5 に 3 つ目のフィルタを示す。このフィルタは L-C-L-C-L 構成のフィルタであり、3 つのインダクタと 2 つのコンデンサをもち、回路図は図 5.6 で表される。基板の幅、奥行き、厚み、比誘電率はそれぞれ 112 mm、35 mm、2 mm、4.5 であり、基板裏面は全て導体で覆われている。また、インダクタのインダクタンスはいずれも 10 µH、コンデンサの容量値はともに 10 µF とする。

5.2.2 支配的なノイズの低減効果の検証用

提案する設計支援方法を用いて、ノイズフィルタ回路における支配的なノイズが低減できることを示すために、支配的なノイズがあらかじめ特定されたフィルタを使用する。

図 5.7 に、対象とするノイズフィルタ回路の構造を示す。このフィルタは 1 つのインダクタと 2 つのコンデンサをもつ π 型フィルタであり、図 5.2 に示す回路図に従う。基板の幅、奥行き、厚み、比誘電率はそれぞれ 50 mm、22 mm、1.6 mm、4.5 である。裏面は全てが導体で覆われたグラウンド層である。

このフィルタは少なくとも図 5.8 に示す 2 種類のノイズ経路を有する。図 5.8(a) では伝導ノイズが導体を伝わっている。一方、図 5.8(b) では、入力ポート側に流れるループ電流により生じる磁束が、出力側のループに鎖交することで誘導電流を発生させ、磁気結合によりノイズが伝搬して

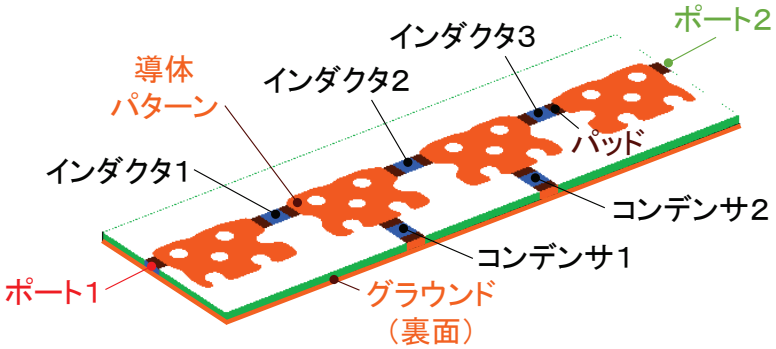


図 5.5: フィルタ 3 の初期構造

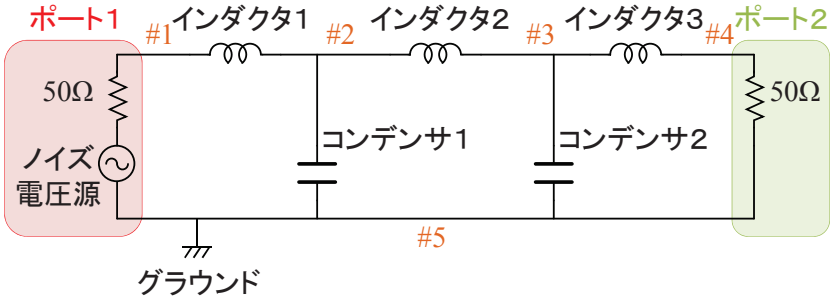


図 5.6: フィルタ 3 の回路図

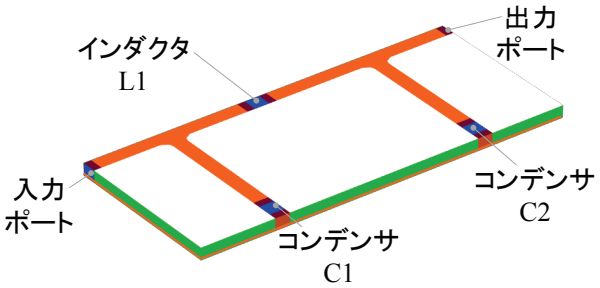
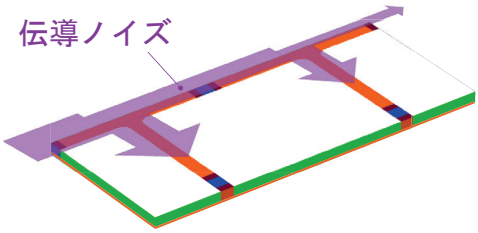
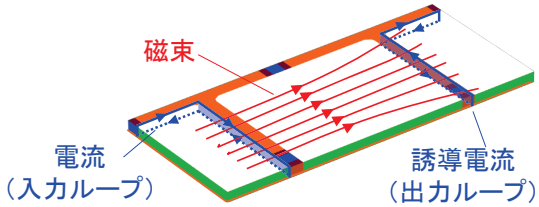


図 5.7: フィルタの構造

いる。伝導ノイズの大きさはインダクタの定数に依存しており、インダクタの定数が十分小さい場合には、伝導ノイズが十分に抑制されないために伝導ノイズが支配的となるが、定数が十分大きい場合には、伝導ノイズが抑制されて代わりに誘導ノイズが支配的となる。図 5.7 のフィルタでは、付録 E に示すように、表 5.1 の回路定数の設定に応じて支配的なノイズ経路が異なり、設定 1 では伝導ノイズが、設定 2 では誘導ノイズが支配的となる。



(a) 伝導ノイズ



(b) 誘導ノイズ

図 5.8: ノイズフィルタにおけるノイズの経路

表 5.1: 回路定数設定と支配的なノイズ

設定	C1	C2	L1	支配的なノイズ
1	10 μF	10 μF	1 μH	伝導ノイズ
2	100 nF	100 nF	10 mH	誘導ノイズ

5.3 定式化と数値計算法

5.3.1 順解析の定式化と数値計算法

ノイズフィルタ回路のノイズ減衰特性はマクスウェル方程式から導出される方程式を解くことで計算できる。電磁界解析の手法には有限要素法を用いる。有限要素法では、導波管のように電磁場が構造の内部を伝播する場合ではなく、回路基板やアンテナのように電磁場が構造の外部にも及ぶ場合には、解析対象の構造を十分な大きさの空気領域で囲んで解析する必要がある。さらに、空気領域の外側の境界での散乱による計算精度の悪化を防ぐために、適切な境界条件を設ける必要がある。そこで今回の解析では、基板を包むように十分な領域の空気領域を設け、境界条件として散乱境界条件を設定する。またノイズフィルタ回路のモデルにおいて、コンデンサやインダクタは、簡単のために寄生成分をもたない集中定数素子として、2 次元状のシートでモデル化する。入力ポートと出力ポートは集中ポートとしてモデル化する。導体は、文献 [2] で提案されたインピーダンス境界条件を用いた方法をもとに、二次元状のシートとしてモデル化する。導体では、周波数が増加するにつれ導体表面に電流が集中する現象である表皮効果が生じるが、インピーダンス境界条件では表皮効果によるインピーダンスを周波数依存性をもつ数式を用いて表現できる。そのため、シー

トにインピーダンス境界条件を適用することで、厚みのある導体を簡略にモデル化できる。

これらの設定は以下の方程式で表される。

$$\nabla \times \frac{1}{\mu_r} \nabla \times \boldsymbol{E} - 4\pi^2 f^2 \mu_0 \left(\varepsilon + \frac{\sigma}{\mathrm{j}\omega} \right) \boldsymbol{E} = -\mathrm{j}2\pi f \mu_0 \left(\sum_k \boldsymbol{J}_{\mathrm{e},k} + \sum_l \boldsymbol{J}_{\mathrm{p},l} \right) \quad \text{in } \Omega_{\mathrm{em}} \tag{5.1}$$

$$\boldsymbol{n} \times \left(\frac{1}{\mu} \nabla \times \boldsymbol{E} \right) + \mathrm{j}2\pi f \sqrt{\frac{\varepsilon}{\mu}} (\boldsymbol{n} \times \boldsymbol{n} \times \boldsymbol{E}) = 0 \quad \text{on } \partial\Omega_{\mathrm{em}} \tag{5.2}$$

$$\boldsymbol{J}_{\mathrm{e},k} = \frac{\boldsymbol{E}}{\eta_{\mathrm{e},k}}, \eta_{\mathrm{e},k} = \frac{w_k}{h_k} Z_{\mathrm{e},k} \quad \text{on } \Gamma_{\mathrm{em,e},k} \tag{5.3}$$

$$\boldsymbol{J}_{\mathrm{p},l} = \frac{\boldsymbol{E} - 2\boldsymbol{E}_{\mathrm{p},l}}{\eta_{\mathrm{p},l}}, \ \eta_{\mathrm{p},l} = \frac{w_l}{h_l} Z_{\mathrm{p},l}, \ \boldsymbol{E}_{\mathrm{p},l} = \frac{V_{\mathrm{p},l}}{h_l} \boldsymbol{a}_{\mathrm{p},l} \quad \text{on } \Gamma_{\mathrm{em,p},l} \tag{5.4}$$

$$Z_s \boldsymbol{n} \times (\boldsymbol{H}_1 - \boldsymbol{H}_2) - \boldsymbol{n} \times (\boldsymbol{E} \times \boldsymbol{n}) = 0 \quad \text{on } (\Omega \cup \Gamma_{\mathrm{cond}}) \tag{5.5}$$

$$\boldsymbol{n} \times (\boldsymbol{H}_1 - \boldsymbol{H}_2) = 0 \quad \text{on } D \backslash \Omega \tag{5.6}$$

ここで $\boldsymbol{E}$ は電界強度、ε は誘電率、σ は導電率、μ は透磁率、μ_r は比透磁率、μ_0 は真空の透磁率である。f は周波数、j は虚数単位である。Ω_{em} は電磁場の解析領域、$\Gamma_{\mathrm{em,e},k}$ と $\Gamma_{\mathrm{em,p},l}$ は k 番目の要素と l 番目のポートをあらわす境界である。w_k と h_k は k 番目の要素の境界の幅と高さ、$Z_{\mathrm{e},k}$ は k 番目の要素のインピーダンス、w_l と h_l は l 番目のポートの境界の幅と高さ、$Z_{\mathrm{p},l}$ は l 番目のポートにおけるインピーダンスである。$V_{\mathrm{p},l}$ は l 番目のポートの電圧源の振幅、$\boldsymbol{a}_{\mathrm{p},l}$ は l 番目のポートにおける電流の流れる向きである。$Z_s = \sqrt{\frac{\pi f \mu_0}{\sigma}}(1+\mathrm{j})$ は表皮効果を考慮した導体のインピーダンスである。Γ_{cond} は最適化において導体に固定される領域である。$\boldsymbol{H}_1$ と $\boldsymbol{H}_2$ は境界の内部および外部の磁界である。これらの方程式を解くことで未知ベクトル $\boldsymbol{E}$ が求められる。なお D は固定設計領域、Ω は物質領域である。

5.3.2 最適化問題の定式化と数値計算法

前節で示した 2 ポートのノイズフィルタ回路におけるノイズ減衰特性は S パラメータ S_{21} で表される。そこで目的関数には対象周波数 f における S_{21} のデシベル値を設定し、前章で提案した開放短絡制約条件と、グレースケールフリートポロジー最適化法を用いて、以下のように最適化問題を定式化する。

$$\underset{\phi}{\text{minimize}} \quad f_{\mathrm{obj}} + w_{\mathrm{reg}} f_{\mathrm{reg}} \tag{5.7}$$

$$\text{subject to} \quad g \leq 1 \tag{5.8}$$

$$\text{where} \quad f_{\mathrm{obj}} = 20 \log_{10} |S_{21}| \tag{5.9}$$

$$S_{21} = \frac{1}{w_2} \int_{\Gamma_{\mathrm{em,p},2}} (\boldsymbol{E} \cdot \boldsymbol{a}_2) \mathrm{d}V \tag{5.10}$$

式 (5.10) の導出過程は付録 F に示す。

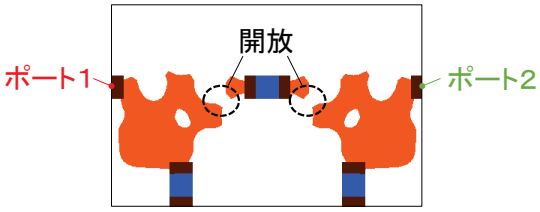


図 5.9: 制約なしにおける反復 30 回後のフィルタ 1 の構造

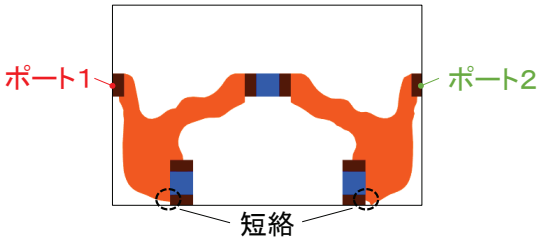


図 5.10: 断線制約のみでの反復 120 回後のフィルタ 1 の構造

数値計算法および最適化の手続きは前章と同様である。ただ、最適化計算の収束条件は以下のように設定する。まず開放短絡防止手法の検証の際には、反復 10 回ごとに目的関数の最小値を求め、最新の最小値が前回の最小値以上となった場合に計算を終了する。また最適化による支配的なノイズの低減効果を検証する際には、5.5 節で述べるように、最適化により導出される最終的な構造よりも最適化の履歴の方が重要となるため、反復回数がある程度の回数（今回は 400 回）に到達したら計算を終了する。

5.4 数値例

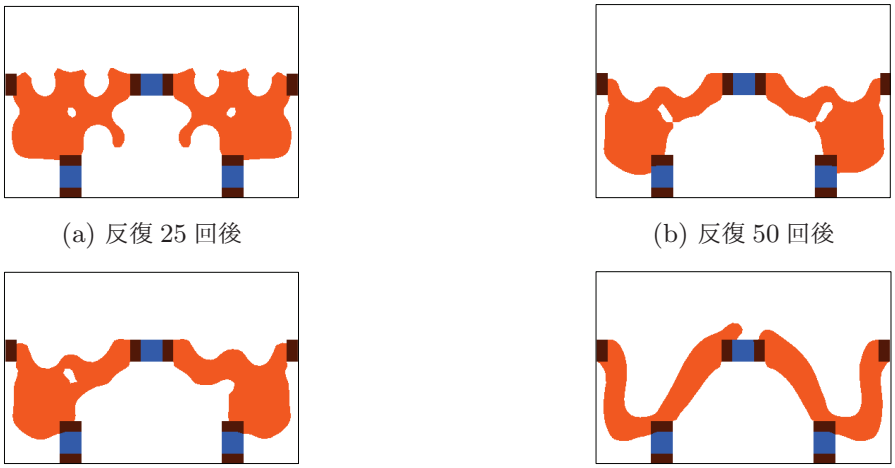
5.4.1 開放短絡防止手法の検証

C-L-C フィルタ（フィルタ 1）

図 5.1 のフィルタを対象に最適化を行う。固定設計領域 D は基板上面全体から素子とパッドを除いた領域に設定する。設計領域は 7112 個の三角形要素に、回路基板と空気領域はそれぞれ 7560 個と 81560 個の三角柱要素に離散化される。また目的関数の周波数 f には、導体パターンの寄生的な影響が顕在化しやすい高周波の帯域である 100 MHz を設定する。

まず提案する制約なしで最適化を行った。図 5.9 に反復 30 回後の構造を示す。この構造では開放が発生しており、ポート 1 からポート 2 に低周波電流が流れない。次に、許容されない断線を防止する制約のみを設けて最適化を行った。その際、この回路構造は 3 つのループをもつため、3 つの電流分布に対して制約を設けた。図 5.10 に反復 120 回後の構造を示す。この構造では短絡が発生しており、短絡箇所付近のコンデンサはともに機能しない。

次に、提案する制約条件を用いて最適化を行った。この回路構造は 3 つのループと 3 つの分離



(a) 反復 25 回後　(b) 反復 50 回後

(c) 反復 75 回後　(d) 反復 314 回後

図 5.11: フィルタ 1 の最適化後の構造

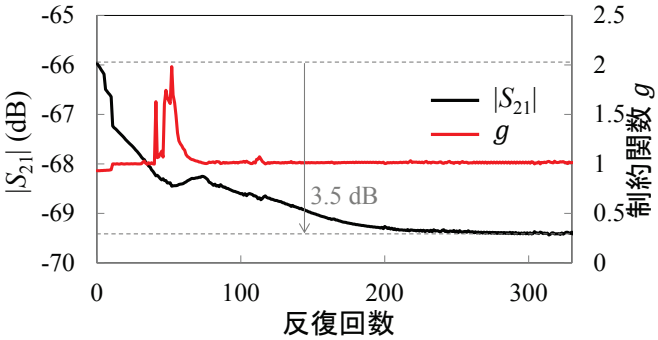


図 5.12: フィルタ 1 の最適化の履歴

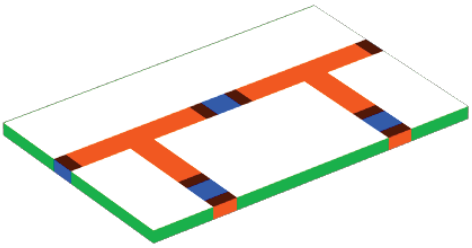


図 5.13: フィルタ 1 の一般的な設計案

した導体をもつので、制約を課すために、3 つの電流分布と 3 つの電界分布を計算した。図 5.11 に最適化後の構造を、図 5.12 に最適化の履歴を示す。反復 330 回後に最適化は終了し、最小の目的関数は 314 回後の構造で得られた。最適化により初期構造の多数の穴が消滅して導体のトポロジーが変化した一方で、開放と短絡は防止された。最適化後の S パラメータ $|S_{21}|$ は初期構造と比べて 3.5 dB 低減し、図 5.13 に示す一般的な設計案と比べても 3.6 dB 良い性能を示した。

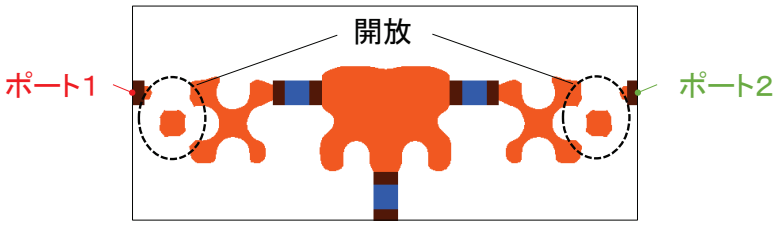
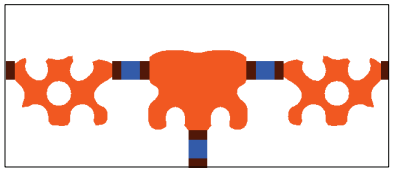
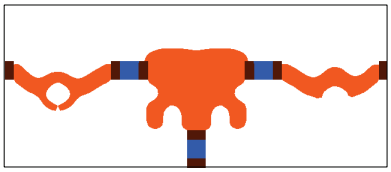


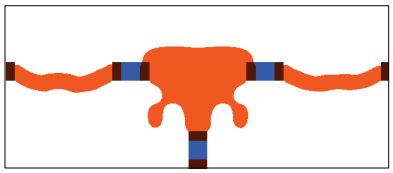
図 5.14: 制約なしにおける反復 30 回後のフィルタ 2 の構造



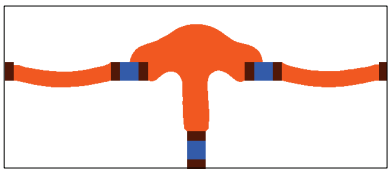
(a) 反復 25 回後



(b) 反復 50 回後



(c) 反復 75 回後



(d) 反復 230 回後

図 5.15: フィルタ 2 の最適化後の構造

L-C-L フィルタ（フィルタ 2）

図 5.3 のフィルタを対象に最適化を行う。この回路は 5 つの素子・ポートと 4 つの分離した導体をもつ。このとき、回路の枝の数 M とノードの数 N はそれぞれ 5 と 4 であり、よって $N_{\mathrm{ec}} = M - N + 1$ と $N_{\mathrm{ef}} = N(N-1)/2$ はそれぞれ 2 と 6 になる。このため、構造全体での断線と短絡を防止するには、2 つのループに対する電流計算と 6 つの導体対に対する電界計算が必要となる。最適化において、固定設計領域 D は基板上面から素子とパッドを除いた領域に設定する。設計領域は 11672 個の三角形要素に、回路基板と空気領域はそれぞれ 12120 個と 123186 個の三角柱の要素に離散化される。また目的関数の周波数 f には先ほどと同様に 100 MHz を設定する。

まず提案する制約なしで最適化を行った。図 5.14 に反復 30 回後の構造を示す。この構造では開放が発生しており、ポート 1 からポート 2 に電流が流れない。

次に、制約を設けて最適化を行った。最適化後の構造を図 5.15 に、最適化の履歴を図 5.16 に示す。最適化は反復 240 回後に終了し、最小の目的関数は反復 230 回後に得られた。最適化により導体のトポロジーが変化した一方で、開放と短絡は防止された。$|S_{21}|$ は初期構造と比べて 14.6 dB 低減し、図 5.17 に示す一般的な設計案と比べても 1.5 dB 低かった。

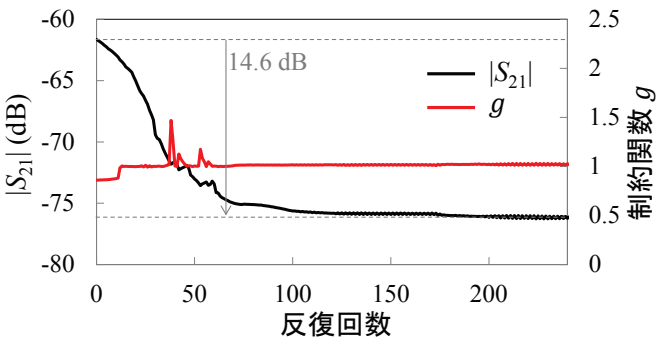


図 5.16: フィルタ 2 の最適化の履歴

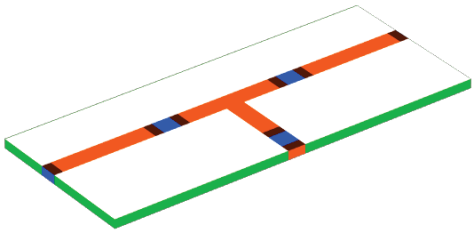


図 5.17: フィルタ 2 の一般的な設計案

L-C-L-C-L フィルタ（フィルタ３）

図 5.5 のフィルタを対象に最適化を行う。この回路は 7 つの素子・ポートと 5 つの分離した導体をもつ。このとき、回路の枝の数 M とノードの数 N はそれぞれ 7 と 5 であり、$N_{\mathrm{ec}} = M - N + 1$ と $N_{\mathrm{ef}} = N(N-1)/2$ はそれぞれ 3 と 10 である。このため、構造全体での断線と短絡を防止するには、3 つのループに対する電流計算と 10 個の導体対に対する電界計算が必要である。最適化において、固定設計領域 D は基板上面から素子とパッドを除いた領域に設定する。設計領域は 15308 個の三角形要素に、回路基板と空気領域はそれぞれ 16012 個と 159344 個の三角柱の要素に離散化される。また目的関数の周波数 f には先ほどと同様に 100 MHz を設定する。

まず提案する制約なしで最適化を行った。図 5.18 に反復 30 回後の構造を示す。この構造では開放が発生しており、ポート 1 からポート 2 に電流が流れない。

次に、制約ありで最適化を行った。最適化後の構造を図 5.19 に、最適化の履歴を図 5.20 に示す。最適化は反復 550 回後に終了し、最小の目的関数は反復 539 回後に得られた。最適化により導体のトポロジーが変化した一方で、開放と短絡は防止された。$|S_{21}|$ は初期構造と比べて 14.7 dB 低減し、図 5.21 に示す一般的な設計案と比べても 1.9 dB 低かった。

以上より、段数の異なる 3 種類のノイズフィルタ回路において、提案した開放短絡防止手法を適用することで、開放と短絡を防止しながら導体パターンの最適化が可能となることを示した。

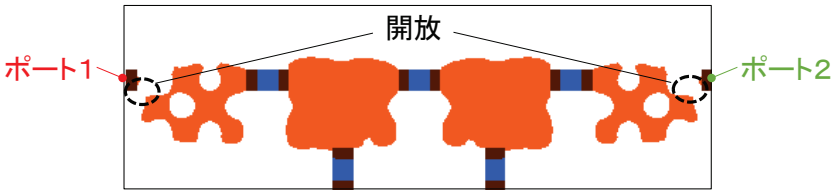
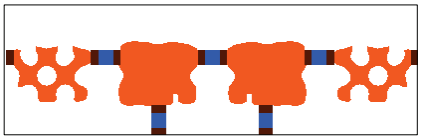
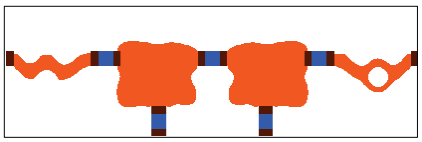


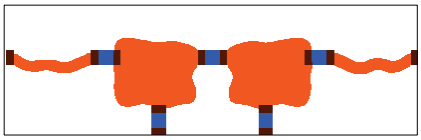
図 5.18: 制約なしにおける反復 30 回後のフィルタ 3 の構造



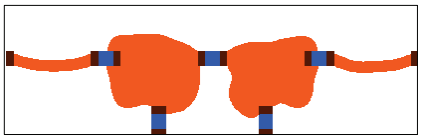
(a) 反復 25 回後



(b) 反復 50 回後



(c) 反復 75 回後



(d) 反復 539 回後

図 5.19: フィルタ 3 の最適化後の構造

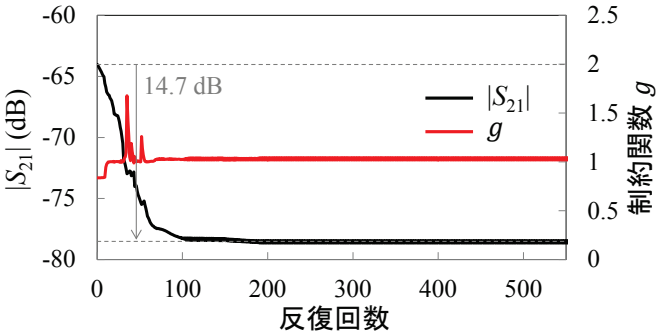


図 5.20: フィルタ 3 の最適化の履歴

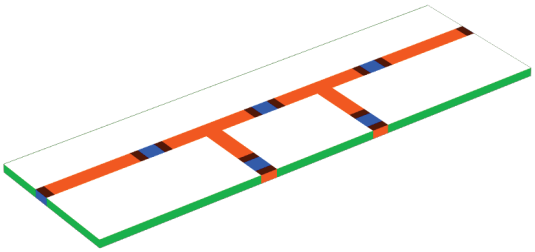


図 5.21: フィルタ 3 の一般的な設計案

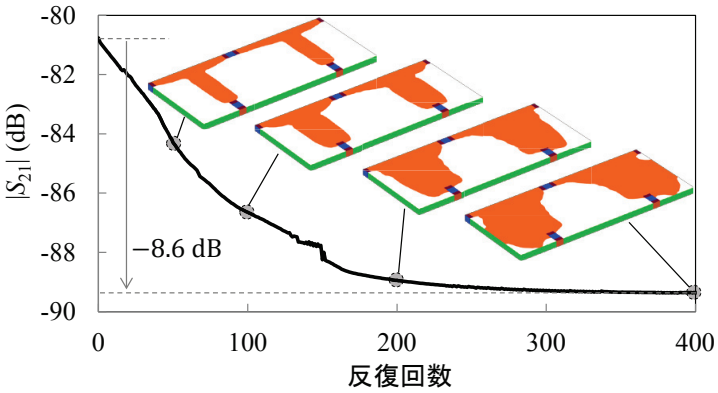


図 5.22: 設定 1 での最適化の履歴

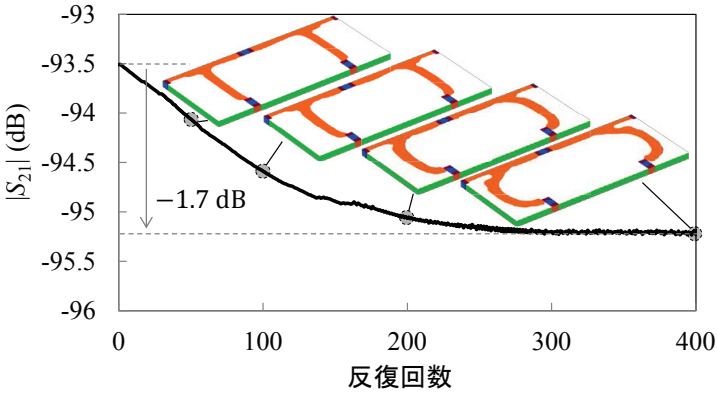


図 5.23: 設定 2 での最適化の履歴

5.4.2 支配的なノイズの低減効果の検証

図 5.7 のフィルタを対象に最適化を行う。最適化において、固定設計領域 D は基板上面全体から素子とパッドを除いた領域に設定する。また目的関数の周波数 f は、付録 E に示すように、初期構造において支配的なノイズが伝導ノイズあるいは誘導ノイズとなる帯域内の 10 MHz に設定する。

開放短絡防止手法を用いて最適化を行った。図 5.22 に、伝導ノイズが支配的となる設定 1 での最適化の履歴を示す。2 つのコンデンサに接続された導体がそれぞれ広がり、S_{21} は 8.6 dB 低減した。この構造変化は、コンデンサに接続された導体パターンの寄生的な影響を低減し、コンデンサを介してグラウンドに迂回させるノイズ電流を増加させるためのものである。よって、伝導ノイズを低減するための適切な構造変化が生じている。図 5.23 に、磁気結合による誘導ノイズが支配的となる設定 2 での最適化の履歴を示す。2 つのコンデンサに接続された導体の距離が離れ、S_{21} は 1.7 dB 低減した。この変化は図 5.8(b) の 2 つのループの距離を離して磁気結合を抑えるための変化だといえる。よって、磁気結合によるノイズを低減するための適切な構造変化が生じている。な

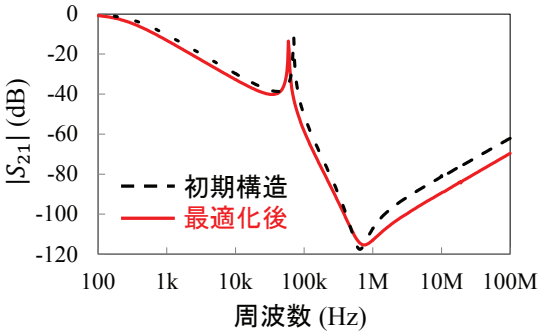
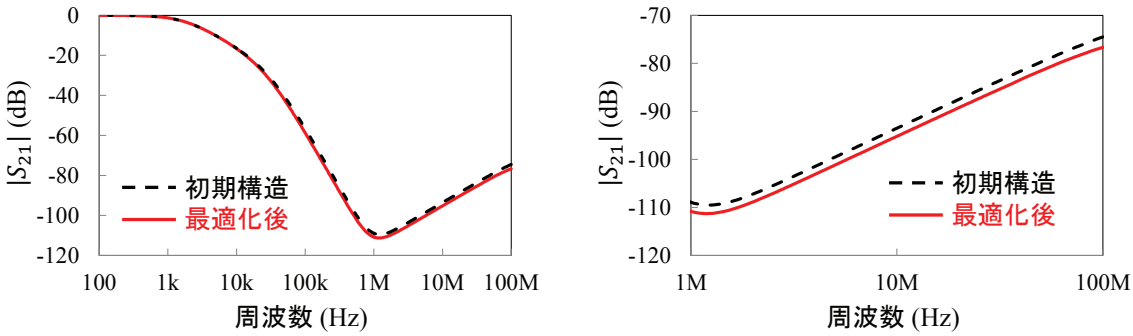


図 5.24: 設定 1 での S パラメータの周波数特性



(a) 100 Hz から 100 MHz

(b) 1 MHz から 100 MHz

図 5.25: 設定 2 での S パラメータの周波数特性

お、図 5.23 の最終的に得られた構造において、2 つのループがさらに距離をとることが出来るにも関わらず収束した理由は、湾曲したループ同士の位置関係が実質的に直交したものとなり、相互インダクタンスがゼロとなったためであると考えられる。

また、図 5.24 と図 5.25 に、設定 1 および設定 2 での S パラメータの周波数特性をそれぞれ示す。付録 E に示すように、設定 1 においては 1 MHz 以上では伝導ノイズが支配的であるが、最適化により、対象周波数である 10 MHz のみでなく、1 MHz から 100 MHz にわたって広帯域で特性が改善していることがわかる。これらの帯域での特性の改善量は平均で 7.8 dB であった。また、設定 2 においては 1 MHz 以上では磁気結合による誘導ノイズが支配的であるが、最適化により、対象周波数である 10 MHz のみでなく、設定 1 よりも少ない改善量ではあるが、1 MHz から 100 MHz にわたって広帯域で特性が改善していることがわかる。これらの帯域での特性の改善量は平均で 1.7 dB であった。設定 1 と比べて設定 2 の方が改善量が小さかった理由は、設定 1 では初期構造での導体が比較的細いため、最適化で導体が広がった影響が大きかったのに対し、設定 2 では初期構造において磁気結合している導体同士が既にある程度離れており、最適化により導体が離れた影響が小さかったためだと推測される。

以上より、トポロジー最適化により支配的なノイズに応じた構造変化が生じ、より良い構造が導出されることを確認した。

5.5 考察

提案した設計支援方法を使用する際の目的は、最適な構造を得ることよりもむしろ、最適化の履歴から以下の指針を得ることにある。まず、構造変化の様子をもとに、支配的なノイズの要因を推測することができる。例えば、図 5.22 の結果においては、最適化による導体の広がりが導体の自己インダクタンスが支配的な要因であることを示唆しており、また、図 5.23 の結果においては、2 つのコンデンサに接続するそれぞれの導体が距離をとったことから、これらの導体の結合が支配的な要因であることを示唆している。また、最適化による性能向上量は初期構造の実力を示す指標となる。つまり性能向上量が大きければ初期構造の改善の余地が大きく、性能向上量が小さければ改善の余地は小さい。加えて、最適化後の構造においても要求性能が達成できなかった場合、導体パターンの変更のみでは不十分であり、回路定数の変更やフィルタ段数の増加などの設計変更を行う必要があることが分かる。このように、最適化により初期構造に対する改良の指針を得ることが可能である。なお、これは、初期構造から構造が連続的に変化するという特徴を持つ、勾配法にもとづくトポロジー最適化により達成されるものである。勾配を使用しない最適化手法では、初期構造と直接関係のない構造変化が生じるため、そのような知見を得ることは難しい。

5.6 まとめ

本章では、ノイズフィルタ回路の基板の導体パターン設計にトポロジー最適化を適用し、その有効性を確認した。まず、3 種類のノイズフィルタ回路を用いて、前章で提案した開放短絡防止手法の有効性を検証した。その結果、提案手法を用いることで、許容されるトポロジーの変化を妨げずに、開放と短絡の発生を防止しながらよりノイズ減衰特性の高い導体パターンを導出できることを確認した。また、回路定数に応じて支配的なノイズが伝導ノイズあるいは誘導ノイズとなるノイズフィルタ回路に対し、導体パターンの最適化を行った。その結果、伝導ノイズが支配的な場合には、バイパス効果を高めるためにコンデンサに接続した導体が広がった。一方、誘導ノイズが支配的な場合には、磁気結合を低減するために結合している導体同士が離れた。以上より、トポロジー最適化を適用することで、支配的なノイズを低減するための適切な構造変化が生じることを確認した。また、最適化結果の履歴をもとに、初期構造に対する以下の改良の指針が得られることを述べた。

1. 構造変化の履歴から支配的なノイズ要因を絞り込むことができる。
2. 性能向上量から初期構造の改善の余地の大小が分かる。
3. 最適化後の構造での性能を要求性能と比べることで、フィルタ段数の増加などのより根本的な設計変更が必要か否かが分かる。

参考文献

[1] Paul C. R., The concept of dominant effect in EMC, *IEEE Transactions on Electromagnetic Compatibility*, vol. 34, no. 3, pp. 363–367, 1992.

[2] Aage N., Mortensen N., and Sigmund O., Topology optimization of metallic devices for microwave applications, *International Journal for Numerical Methods in Engineering*, vol. 83, no. 2, pp. 228–248, 2010.

第 6 章

インダクタンスキャンセル構造の設計支援方法

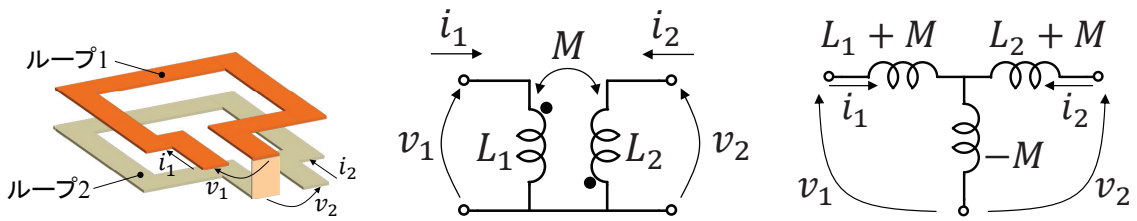
6.1 はじめに

ノイズフィルタ回路は主にインダクタとコンデンサで構成され、高周波で高インピーダンスのインダクタを用いて出力ポートへのノイズの伝達を抑えるとともに、高周波で低インピーダンスのコンデンサを用いてノイズをグラウンドに迂回させる。しかし、コンデンサの等価直列インダクタンス (ESL: Equivalent Series Inductance) により高周波での低インピーダンス特性が阻害され、フィルタのノイズ伝達特性が悪化することが良く知られている [1]。

この ESL を低減するためにインダクタンスキャンセル構造が提案されている [2, 3, 4]。この構造では、次節に述べるように、2 つのコイルの間の磁気結合により等価的に負のインダクタンスが生じることを利用する。インダクタンスキャンセルの効果を高めるためには、この負のインダクタンスと ESL の絶対値を近づける必要がある。その際に、導体パターンの寸法を微調整する必要があるうえ、周囲の構造の影響も考慮する必要があるために、設計に試行錯誤を必要とする。

そこで本章では、周囲の構造の影響も考慮しながら試行錯誤なく設計を行うために、トポロジー最適化をインダクタンスキャンセル構造の導体パターンに適用する方法を提案し、その有効性を検証する。

次節以降ではまず、インダクタンスキャンセルの原理を述べる。そして、導体のループ対を用いてインダクタンスキャンセルを実現する構造を対象に、導体パターンの最適化を行う。その際、ディファレンシャルモードのノイズを低減するための単一のループ対をもつ構造と、ディファレンシャルモードとコモンモードの両方のノイズを低減するための 4 つのループ対をもつ構造に対し、検討を行う。また 4 つのループ対をもつ構造に対しては、最適化で導出した構造を作製して実験による性能評価も行う。さらに、前章と本章で提案する導体パターンの設計支援方法に関して、その活用方法と課題について考察する。



(a) 構造　(b) 結合したコイルの回路図　(c) T 型等価回路

図 6.1: ループ対の構造と回路図およびその等価回路

6.2　インダクタンスキャンセルの原理

インダクタンスキャンセルでは、2 つのコイルの磁気結合を利用する。結合したコイルの構造と回路図を図 6.1(a)(b) にそれぞれ示す。この構造と回路図は以下の 2 つの条件を満たす。

1. 2 つのコイルの片側は互いに接続されている。
2. 結合の極性は逆極性である。すなわち電流 i_1 および i_2 により生じるそれぞれの磁束は、コイル L_1 および L_2 で互いに打ち消し合う方向に流れる。

図 6.1(b) の回路図の電圧と電流の関係は以下の式で表される。

$$v_1 = L_1 \frac{di_1}{dt} - M \frac{di_2}{dt} \tag{6.1}$$

$$v_2 = -M \frac{di_1}{dt} + L_2 \frac{di_2}{dt} \tag{6.2}$$

ここで、相互インダクタンス M は正の値をとる。このとき図 6.1(b) は、図 6.1(c) に示す磁気結合を含まない T 型の等価回路で表すことができる。なお、両者の回路が等価であることは、図 6.1(c) から導かれる回路方程式

$$v_1 = (L_1 + M) \frac{di_1}{dt} - M \frac{d(i_1 + i_2)}{dt} \tag{6.3}$$

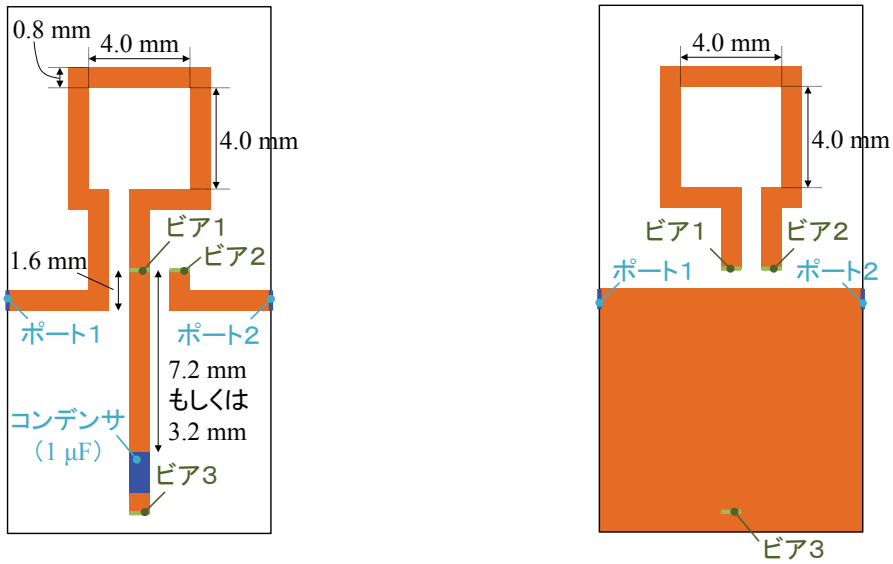
$$v_2 = -M \frac{d(i_1 + i_2)}{dt} + (L_2 + M) \frac{di_2}{dt} \tag{6.4}$$

を整理すると方程式 (6.1)(6.2) が得られることより分かる。この図 6.1(c) における負のインダクタンス $-M$ を用いてコンデンサの ESL をキャンセルする。

6.3　単一ループ対の検討

6.3.1　対象回路の構造

図 6.2 と図 6.3 に対象回路の基板レイアウトと回路図をそれぞれ示す。この構造は文献 [4] を参考に作成したものであり、表面と裏面に計 2 つのループを持つ。表面のポート 1 からビア 1 に至る



(a) 表面　　(b) 裏面

図 6.2: フィルタの構造

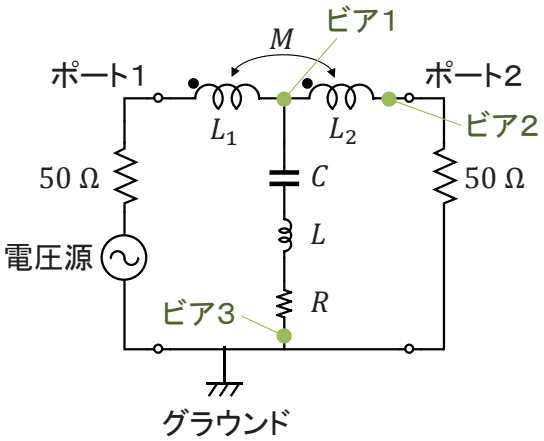


図 6.3: フィルタの回路図

までの経路のインダクタンスが L_1 に、裏面のビア 1 からビア 2 を経由してポート 2 に至るまでの経路のインダクタンスが L_2 に相当する。ビア 1 とビア 3 の間のコンデンサは、ポート 1 と 2 の間でシャントに接続されており、ビア 3 と裏面のグラウンドを経由したバイパス経路が構成されている。コンデンサの容量値は 1 μF、基板の比誘電率は 4.5、基板の厚みは 0.8 mm とした。なお簡単のために、ビアは幅と高さが 0.8 mm で厚みを持たない正方形のシートでモデル化した。表面と裏面のループの空洞部分はともに 4.0 mm 四方とした。またバイパス経路の ESL が異なる構造を検討するために、ビア 1 からコンデンサ上部に至るまでの導体の長さを 7.2 mm あるいは 3.2 mm と 2 通りに設定した。以降、7.2 mm の場合を条件 1、3.2 mm の場合を条件 2 と呼ぶ。

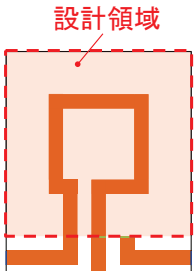


図 6.4: 設計領域

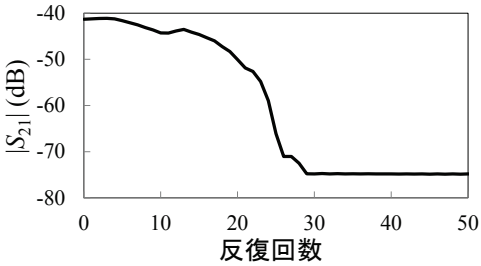


図 6.5: 最適化の履歴（条件 1 ）

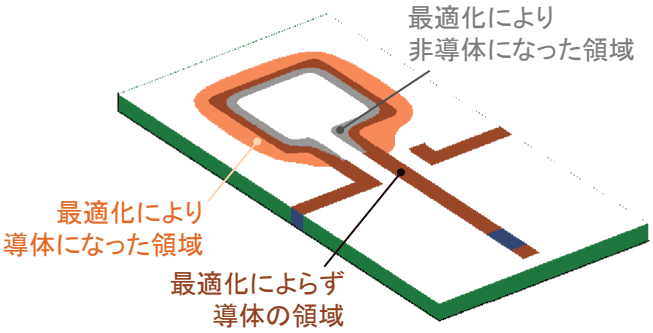


図 6.6: 最適化後の構造（条件 1 ）

6.3.2 最適化の設定と結果

前章で述べた最適化方法を用いて、図 6.4 に示す基板表面の設計領域における導体パターンを最適化した。また、裏面の導体パターンは初期構造のままに固定して計算した。100 MHz の S パラメータ S_{21} のデシベル値を目的関数として最小化した。

まず条件 1 での最適化の履歴を図 6.5 に示す。反復回数の増加に伴い S_{21} が減少し、最適化後の構造では初期構造に対して 33.6 dB 減少した。図 6.6 に最適化後の構造を示す。薄い橙は最適化により新たに導体となった領域、薄い灰色は最適化により導体でなくなった領域、濃い橙は最適化によらず導体の領域を表す。最適化により導体が外側に広がりループの面積が大きくなった。

次に条件 2 での最適化の履歴を図 6.7 に示す。反復回数の増加に伴い徐々に性能が改善した。最

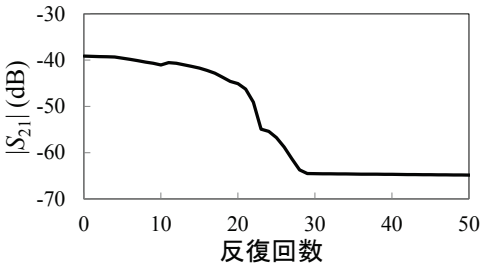


図 6.7: 最適化の履歴（条件 2 ）

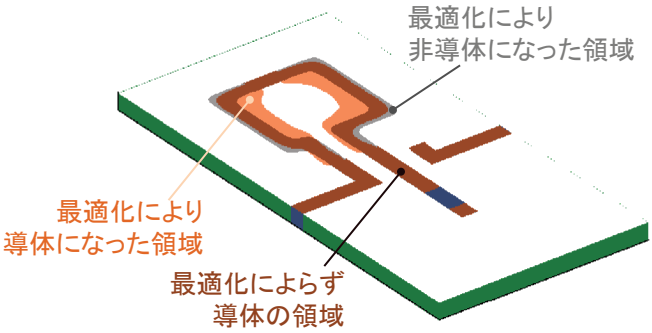


図 6.8: 最適化後の構造（条件 2 ）

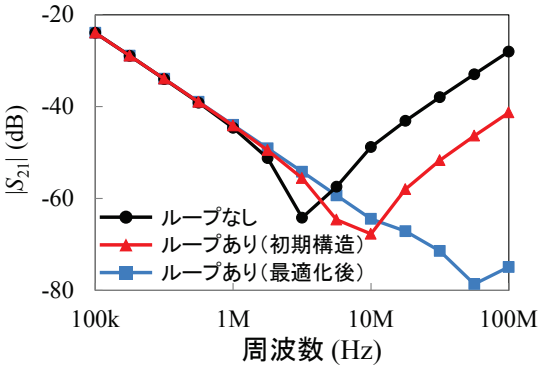


図 6.9: S パラメータの周波数特性 (条件 1)

適化後の構造では、初期構造に対して S_{21} が 25.9 dB 減少した。図 6.8 に最適化後の構造を示す。最適化により導体が内側に狭まりループの面積が小さくなった。

条件 1 と条件 2 での S_{21} の周波数特性を図 6.9 と図 6.10 にそれぞれ示す。なお、インダクタンスキャンセルのためのループをもたない図 6.11 の構造の特性も併せて示している。条件 1 と条件 2 の両方において、ループありの構造ではインダクタンスキャンセルの効果により、ループなしの構造に対して高周波の特性が改善したが、さらに最適化により特性が大幅に改善した。

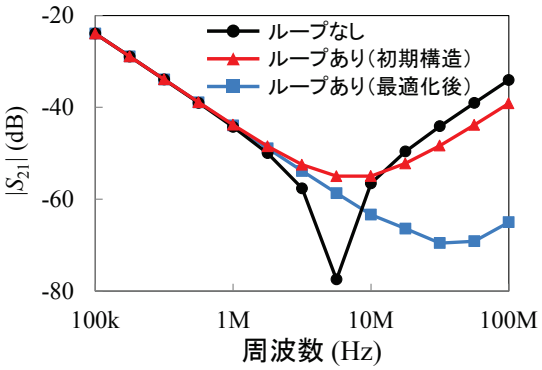
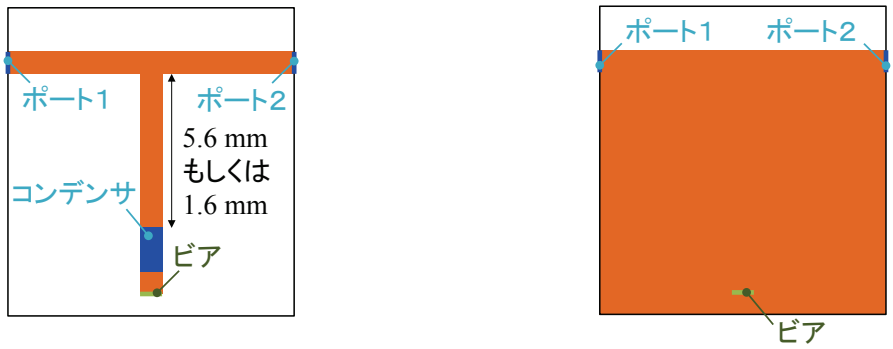


図 6.10: S パラメータの周波数特性 (条件 2)



(a) 表面　　(b) 裏面

図 6.11: フィルタの構造（ループなし）

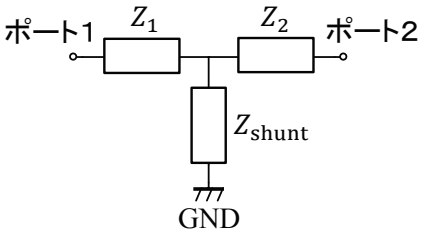
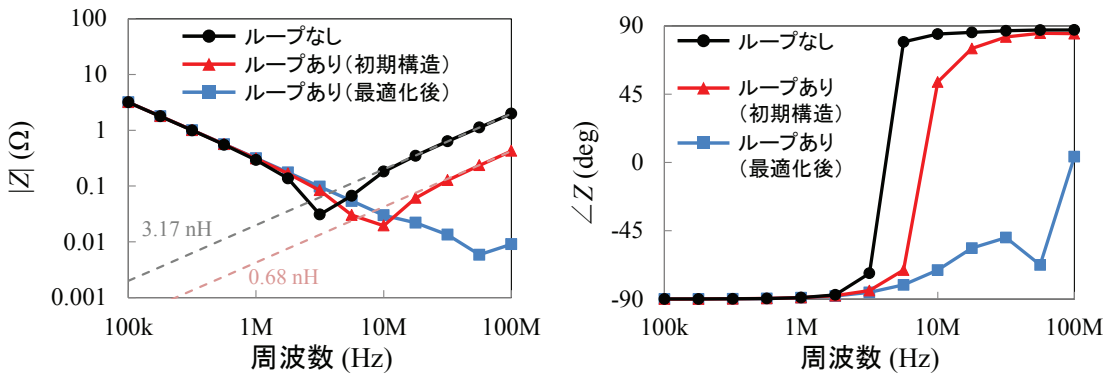


図 6.12: T 型回路

6.3.3　インピーダンスの結果と考察

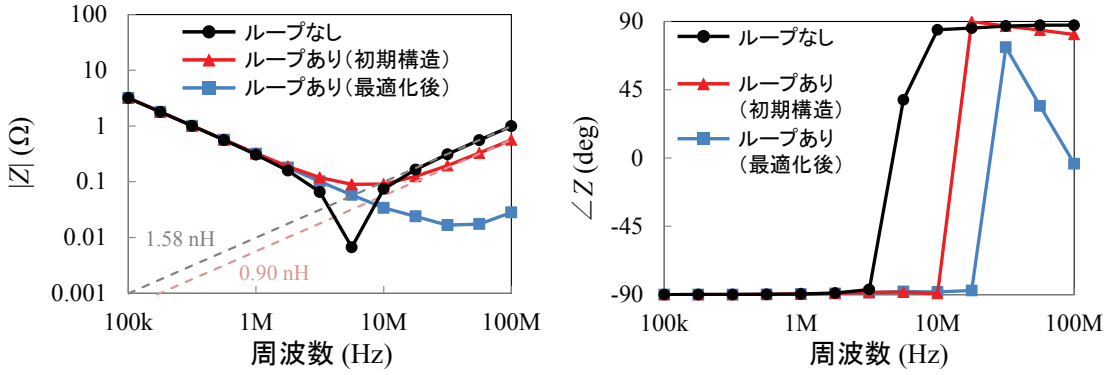
図 6.12 のシャントに接続された部分のインピーダンス Z_{shunt} は S パラメータを用いて以下の式で求められる [4]。

$$Z_{\mathrm{shunt}} = Z_0 \frac{2S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}} \tag{6.5}$$



(a) 絶対値　　(b) 位相

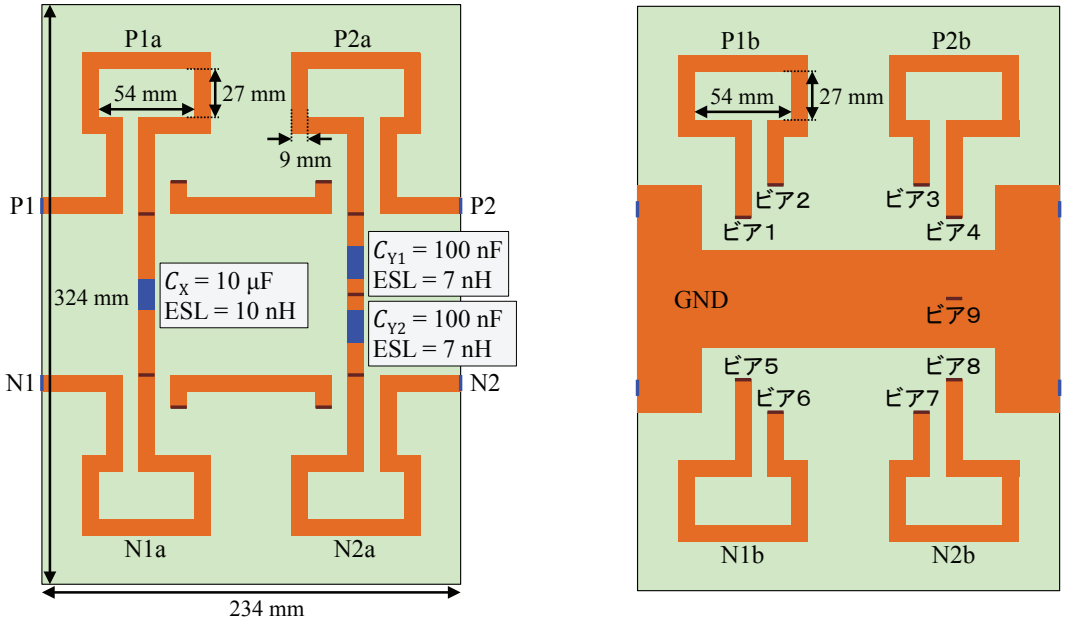
図 6.13: Z_{shunt} のインピーダンス特性 (条件 1)



(a) 絶対値　　(b) 位相

図 6.14: Z_{shunt} のインピーダンス特性 (条件 2)

この式から求めた条件 1 と条件 2 での Z_{shunt} を図 6.13 と図 6.14 にそれぞれ示す。100 MHz 付近の特性を用いてインダクタンスの値をフィッティングした結果も破線で示している。条件 1 ではループによって ESL が 3.17 nH から 0.68 nH に減少した。これより、差分の 2.49 nH がループの相互インダクタンス M に相当することが分かる。条件 2 ではループによって ESL が 1.58 nH から 0.90 nH に減少した。これは条件 1 と条件 2 では初期構造のループ構造が変わらないので相互インダクタンス M が等しく、ループがある場合はインダクタンスが 1.58 nH から 2.48 nH 減少し、実効的なインダクタンスが −0.90 nH となったためである。以上より、条件 1 では M がもともとの ESL より小さく、条件 2 では M がもともとの ESL より大きいことがわかる。このため最適化により条件 1 ではループ面積が大きくなり、条件 2 ではループ面積が小さくなったことは、M を ESL に近づけるための妥当な構造変化であるといえる。さらに図 6.13 と図 6.14 より、最適化後の結果ではインピーダンスの絶対値が大幅に減少し、最適化の対象周波数の 100 MHz では位相がそれぞれ 0 度に近い 3.8° および −3.8° になった。これはインダクタンスによるインピーダンスの虚数成分が無視できるほど小さくなり、寄生抵抗による実数成分が支配的となったことを意味す



(a) 表面　　(b) 裏面

図 6.15: フィルタの構造

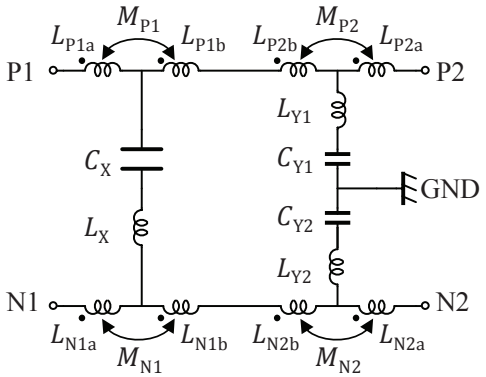


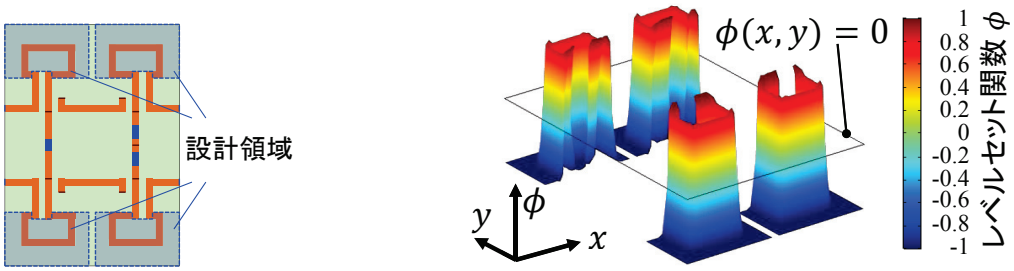
図 6.16: フィルタの回路図

る。以上より、トポロジー最適化を用いることで、大幅にインダクタンスをキャンセルできる導体パターンを導出可能であることを確認した。

6.4　複数ループ対の検討

6.4.1　対象回路の構造

図 6.15 と図 6.16 に複数のループ対をもつ対象回路の構造と回路図をそれぞれ示す。この回路は、コモンモードとディファレンシャルモードの両ノイズを低減するためのインダクタンスキャン



(a) 設計領域　　(b) レベルセット関数

図 6.17: 設計領域とレベルセット関数

セル構造であり、1 つの X コンデンサ、2 つの Y コンデンサ、4 つのループ対から構成される。基板の厚みは 1.6 mm である。上面と底面の導体パターンは 9 つのビアで互いに接続されている。X コンデンサと Y コンデンサはそれ自身に ESL をもつが、その値はそれぞれ 10 nH と 7 nH とする。これらの ESL および導体の寄生インダクタンスを含む、シャント経路のインダクタンスは、ノイズフィルタの性能に大きく影響する。これらのインダクタンスは図 6.16 において L_{X}、L_{Y1}、L_{Y2} と記載している。これら 3 つの寄生インダクタンスをキャンセルするために、4 つの導体ループ対が設けられている。L_{X} をキャンセルするために 2 つの導体ループ対を用いる理由は、構造の対称性を維持してコモンモードとディファレンシャルモードとのモード変換を抑制するためである [5]。これらの計 8 つのループ間において、対をなすループ間の比較的強い結合以外にも、他のループとの間にわずかながら意図しない結合が存在する。それゆえ、これらの多数の寄生的な結合を全て考慮しながら導体パターンを適切に設計することは容易ではない。そこで、トポロジー最適化を用いて導体パターンの設計を行う。

6.4.2　最適化の設定と結果

図 6.17 に示すように、基板上面の部分的な領域を設計領域として設定した。この領域は 3120 個の三角要素でメッシュ化され、この領域の導体パターンをレベルセット関数 ϕ で表現して最適化した。また、底面の導体パターンやビアは非設計領域であり、最適化の前後で形状や位置は変わらない。目的関数には、ある単一の周波数における、コモンモードとディファレンシャルモードノイズの伝達特性の和を設定した。この最適化問題は以下の式で表される。

$$\underset{\phi}{\text{minimize}} \quad 20\log_{10}|S_{\mathrm{cc21}}(f)| + 20\log_{10}|S_{\mathrm{dd21}}(f)| \tag{6.6}$$

なお、S_{cc21} と S_{dd21} はそれぞれミックスドモード S パラメータであり、その物理的意味と導出過程は付録 G に示す。対象周波数 f は、コンデンサの経路が容量性ではなく ESL による誘導性を示す高周波の帯域内である 50 MHz とした。

図 6.18 と図 6.19 に最適化の履歴と最適化後の構造をそれぞれ示す。図 6.19 に示す最適化後の構造は 40 回の反復後に得られた。最適化後は全ての導体ループが狭まっており、目的関数は初期

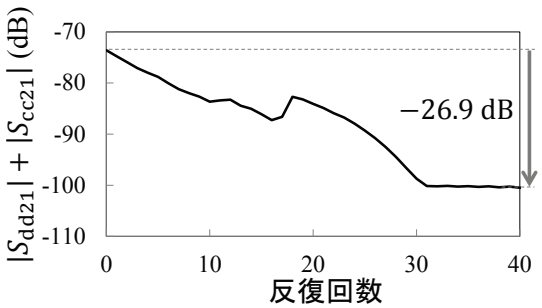


図 6.18: 最適化の履歴

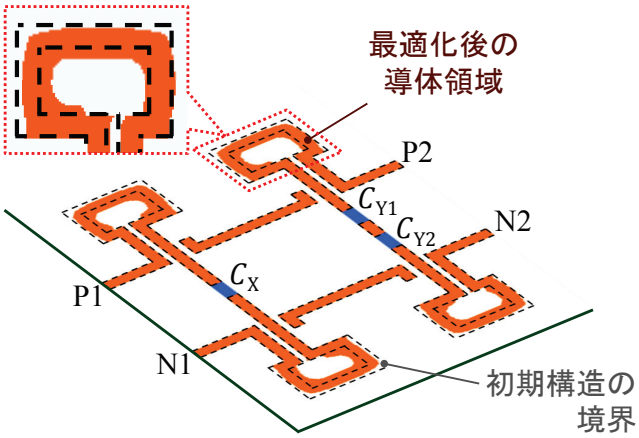


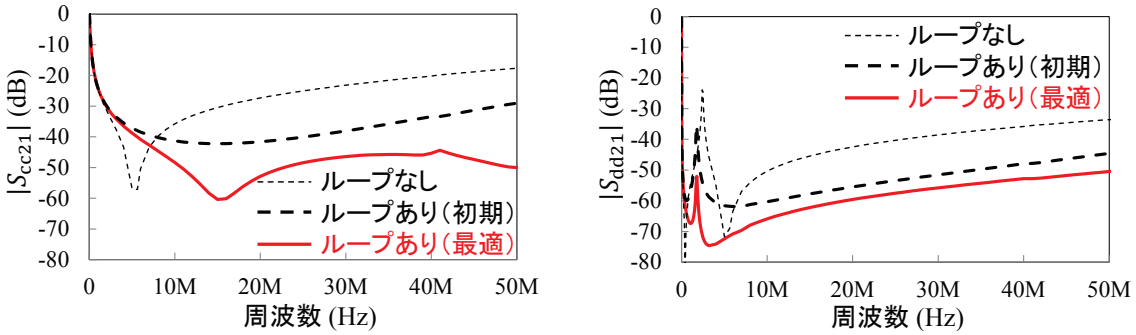
図 6.19: 最適化後の構造

構造と比べて 26.9 dB 低減した。この構造変化は、導体ループの面積を減らして磁気結合を弱めることで、初期構造での大きすぎる負のインダクタンスを減らすためのものであると解釈できる。図 6.20 にコモンモードとディファレンシャルモードの伝達特性のシミュレーション結果を示す。その際、図 6.21 に示すループのない構造における特性も併せて示している。両モードの結果において、初期構造の特性に比べて最適化後の構造の特性の方が優れていることから、提案方法による性能向上をシミュレーションで確認できた。

6.4.3 実験結果

前節で示した 3 つの構造、すなわちループありの初期構造、ループありの最適化後の構造、ループなしの構造を作製し、ノイズ伝達特性を評価した。図 6.22 に作製した基板上面の写真を示す。X コンデンサおよび Y コンデンサにはリード線付きの多層セラミックコンデンサを使用し、インピーダンスアナライザ (4294A, Agilent Technologies) の測定をもとに、これらの ESL を図 6.15(a) に示す値に調節した。

図 6.23 にフィルタ性能の測定系を示す。ネットワークアナライザ (E5071C, Agilent Technology) を用いて通常の 4 ポート S パラメータを測定し、これらのパラメータを付録 G に示す式を



(a) コモンモード　　(b) ディファレンシャルモード

図 6.20: ノイズ伝達特性のシミュレーション結果

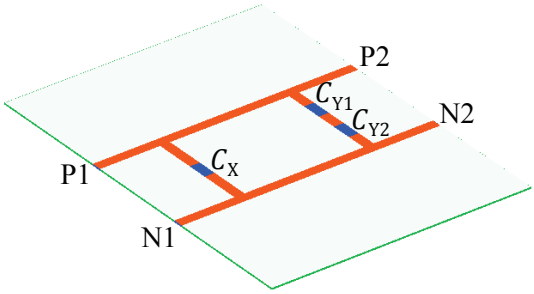


図 6.21: ループのないフィルタの構造

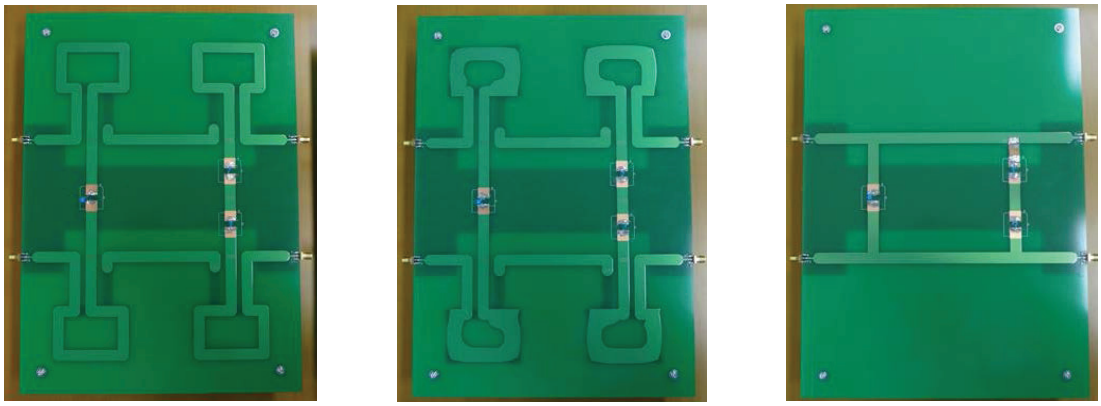
用いてミックスドモード S パラメータに変換した。4 ポート測定は、測定器の最小測定周波数である 100 kHz から 50 MHz まで、100 回のアベレージングを設定して行った。また、測定で使用するケーブルの影響を除去するために、測定前にはケーブルを付けた状態で 4 ポート校正を実施した。

図 6.24 に測定結果を示す。コモンモードとディファレンシャルモードともに、最適化後の構造が最も良い性能を示した。しかし、実測結果ではループなしの構造の特性がループありの初期構造よりも良い特性を示すなど、シミュレーション結果と実測結果の乖離が見られた。

6.4.4　シミュレーションと実験の乖離に関する検討

シミュレーション結果と実験結果との乖離の原因を調べるために、メッシュに関する検討を行った。一般的な電磁界シミュレータでは、計算負荷を低減するために、均一なメッシュではなく、電磁場の変動が大きい箇所においてメッシュの分割数を増加させるアダプティブメッシュが使われることが多い。そこで、初期構造を対象に、アダプティブメッシュを用いた電磁界解析を行った。その結果、図 6.25 に示すように、アダプティブメッシュにより計算精度が向上した。このため、図 6.20 に示したシミュレーションの際には、メッシュの設定が不十分であったと言える。そこで、メッシュをより細かくして再度計算を行った。その結果、図 6.25 に示す通り計算精度が向上した。

以上より、前節におけるシミュレーション結果と実験結果の乖離の原因は、メッシュの設定であ



(a) ループありの初期構造　(b) ループありの最適化後の構造　(c) ループなしの構造

図 6.22: 作製した回路基板

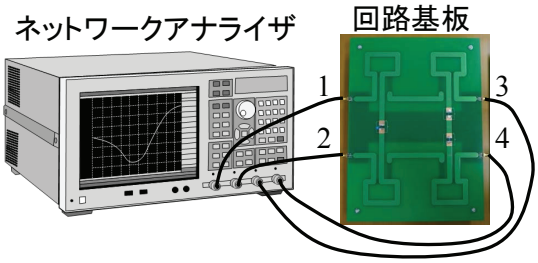
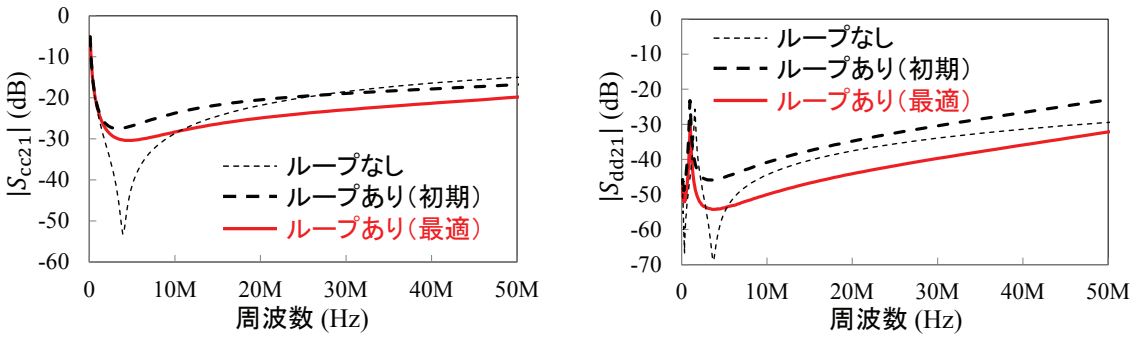


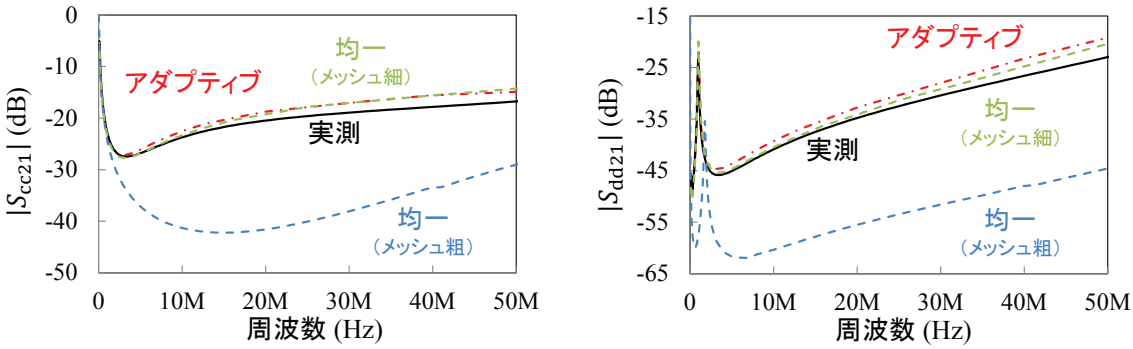
図 6.23: 測定系



(a) コモンモード　(b) ディファレンシャルモード

図 6.24: ノイズ伝達特性の測定結果

ることが判明した。現状では、アダプティブメッシュを用いた上で導体のトポロジー最適化を行うことはできていないため、最適化を実行する前には、初期構造のシミュレーション結果がアダプティブメッシュのものと比較して誤差が小さいことをあらかじめ確認する必要があるといえる。



(a) コモンモード　　(b) ディファレンシャルモード

図 6.25: ノイズ伝達特性

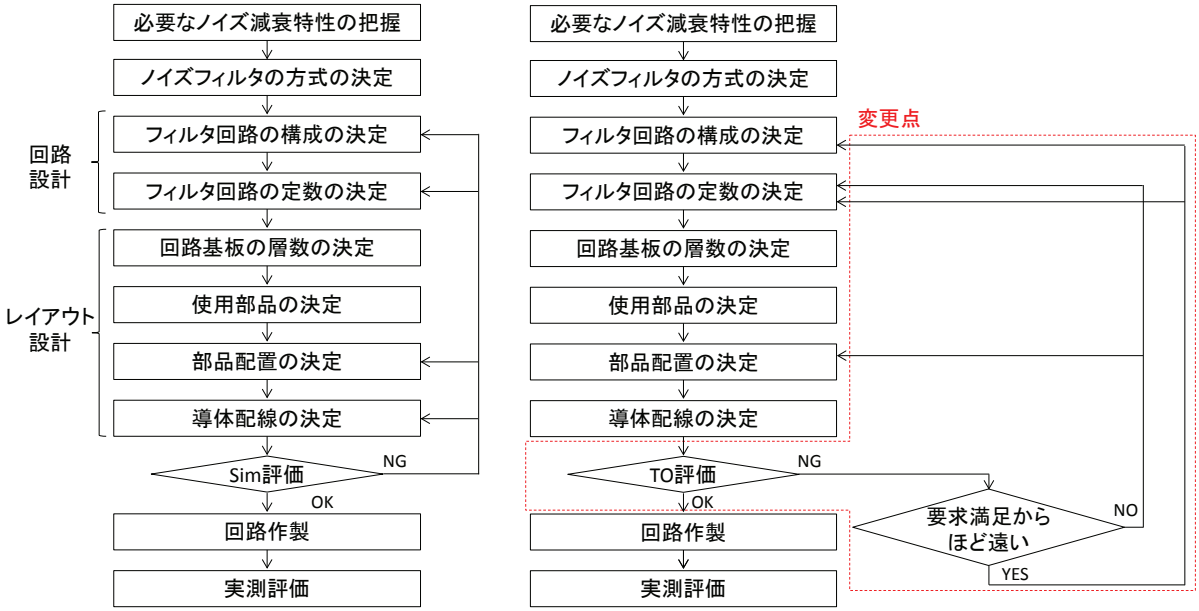
6.5　考察

前章と本章では、ノイズフィルタ回路の設計支援のためにトポロジー最適化を導体パターンに適用する方法を提案した。ここでは提案方法の位置づけ、活用方法、課題を順に考察する。

まず前章における提案方法の目的は、最適化された構造を得ることよりもむしろ、最適化による構造変化や性能変化の履歴から初期構造の改良の指針を得ることであった。その際には、通常は支配的なノイズの要因は把握できておらず、また最適化結果をそのまま製造するという意図はなかった。

一方で本章の目的は、よりノイズ減衰特性の大きいインダクタンスキャンセル構造の導体パターンを最適化によって導くことであった。その際には、支配的な要因（ここではコンデンサの ESL）を既に把握しており、また最適化で得られた導体パターンをそのまま製造することを想定していた。

以上の議論をふまえて、設計プロセスへの影響を考慮すると、図 6.26 に示すようになる。なお、図 6.26(a) に示す従来の設計プロセスは、図 2.12 を再掲したものである。まず、トポロジー最適化（TO）は、寄生成分を考慮したシミュレーションの機能を内包するものであるから、従来のシミュレーション（Sim）の代わりに活用することができる。そして最適化を行った結果、規格を満足すればその構造をそのまま作製すればよい。もし性能が達成されていなければ、改良案を考える必要があるが、その際には最適化後の特性と要求される特性の差が参考になる。もし数 dB 程度の差であれば、要求満足まで近く、回路定数の微調整や部品配置および導体配線の微調整で解決できる可能性がある。一方で、要求を満足する水準からほど遠い結果ならば、そのような微調整では要求満足が難しいため、構成の変更や回路定数の大幅な変更を行う必要があるといえる。なお、改良案を考える際には、支配的なノイズを考慮しながら対策を考えることが重要であるが、最適化による構造変化の様子からその手がかりを得ることが可能である。このように、トポロジー最適化を用いた設計支援方法は、試行錯誤にもとづく設計から脱却する糸口を与えるものであるといえる。



(a) 従来の設計プロセス（図 2.12 を再掲）　(b) 提案方法活用後の設計プロセス

図 6.26: 提案方法の設計プロセスへの影響

ただし、提案した方法では導体パターンの最適化は可能であるものの、素子の定数と配置を変えることはできなかった。これらも変更できるようにした上で最適化を行うには、新たな方法論の構築が必要である。

6.6 まとめ

導体のループ対における磁気結合を用いてコンデンサの ESL をキャンセルできる構造、すなわちインダクタンスキャンセル構造の導体パターンの設計を支援するために、トポロジー最適化を用いる方法を提案した。その際、ディファレンシャルモードのノイズを低減するための単一のループ対をもつ構造と、ディファレンシャルモードとコモンモードの両方のノイズを低減するための 4 つのループ対をもつ構造に対し、検討を行った。単一のループ対をもつ構造では、ESL が異なる 2 つの構造に対して最適化を行った。その結果、どちらの構造においても導体のループ形状が適切に調整され、最適化の対象周波数において ESL が完全にキャンセルされる構造が導出された。さらにそれに伴い、ノイズ伝達特性である S_{21} が最大で 33.6 dB 低減したことから、大幅な性能向上を確認できた。また、複数のループ対をもつ構造では、最適化によって、ディファレンシャルモードとコモンモードの両ノイズの特性を向上する導体パターンが導出されることを、シミュレーションおよび実験で確認した。以上より、インダクタンスキャンセル構造において、トポロジー最適化を用いて高性能な導体パターンを試行錯誤なしに設計できることを確認した。また前章と本章の結果をふまえ、提案方法を用いたノイズフィルタ回路の新たな設計の手順を示した。

参考文献

[1] Paul C. R., *Introduction to Electromagnetic Compatibility*, John Wiley & Sons, 2006.

[2] Neugebauer T. C., Phinney J. W., and Perreault D. J., Filters and components with inductance cancellation, *IEEE Transactions on Industry Applications*, vol. 40, no. 2, pp. 483–491, 2004.

[3] 白木康博, 岡尚人, 佐々木雄一, 大橋英征, 2 端子及び 3 端子キャパシタにインダクタンスキャンセル手法を適用したノイズフィルタに関する検討, 電子情報通信学会論文誌 B, vol. 100, no. 3, pp. 176–185, 2017.

[4] 米田諭, 廣瀬健二, 小林玲仁, 佐々木雄一, 宮崎千春, 垂直積層型矩形結合ループを用いた ESL キャンセル構造によるシャント経路のインピーダンスの低減効果, 電子情報通信学会通信ソサイエティ大会, no. B-4-46, p. 249, 電子情報通信学会, 2017.

[5] Bockelman D. E. and Eisenstadt W. R., Combined differential and common-mode scattering parameters: Theory and simulation, *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 7, pp. 1530–1539, 1995.

第 7 章

結論

本研究では、パワーエレクトロニクス機器の高性能化に向け、パワー半導体デバイスおよびノイズフィルタ回路を対象にトポロジー最適化を用いた設計支援方法を提案し、その有効性を示した。

パワーエレクトロニクス機器という複合的なシステムの高性能化を実現するには、電力密度の向上という要求に対して重要となる構成要素を特定し、その設計課題を適切な支援方法により解決することが必要となる。そのためにまず本研究では、パワーエレクトロニクス機器の構成をシステム・回路・部品の観点から階層的に示し、高性能化の鍵を握る部品および回路を特定した。次にそれらの設計対象の設計プロセスを整理し、従来の設計方法における課題を明らかにした。そしてトポロジー最適化の複数の実装方法のうちで適切な方法を適用することで、それらの設計課題を解決できる具体的な設計支援方法を提案して有効性を示した。その際、回路の導体パターン最適化を行うには従来の手法のみでは不十分であったため、最適化による構造変化に伴う回路の開放および短絡を防止できる新たな手法を提案して用いた。また提案した設計支援方法について、その意義をより明確にするために、設計における活用方法と設計プロセスに与える影響を考察した。各章の要約を以下に示す。

第 1 章では、まずパワーエレクトロニクスの役割とその重要性および要求水準の高まりによる設計支援方法の必要性を述べた。次に従来のパワーエレクトロニクス機器の高性能化のための設計支援方法と電気系のトポロジー最適化に関する先行研究について簡単に紹介した。そして、本研究の目的と論文の構成を示した。

第 2 章では、パワーエレクトロニクス機器の概要と構成を述べ、高性能化の指標である電力密度向上のためにはパワー半導体デバイスとノイズフィルタ回路の設計支援が重要であることを述べた。次に、それぞれの設計のプロセスを述べ、従来の設計方法における課題について論じた。具体的には、従来のパワー半導体デバイスの設計支援方法では新たなデバイス構造が創出される可能性がないこと、従来のノイズフィルタ回路の設計では多数の意図しない寄生的な回路成分が性能に影響するために試行錯誤が必要であることを述べた。そしてそれらの課題に対し、トポロジー最適化の適用が有効であることを述べた。具体的には、パワー半導体デバイスにおける半導体部の不純物密度の最適化によって新たなデバイス構造が創出されうること、ノイズフィルタ回路の導体パターンの最適化によって試行錯誤にもとづく設計から脱却できうることを述べた。また、トポロジー最

適化の方式のうち、パワー半導体デバイスの不純物密度の最適化には密度法が、導体パターンの最適化にはレベルセット法にもとづくグレースケールフリートポロジー最適化法が適することを述べた。また回路の導体パターンを最適化する際には、回路の開放と短絡を防止するための手法が必要となることを述べた。

第 3 章では、パワー半導体デバイスの設計支援方法を提案して有効性を確認した。設計問題として、主デバイス部におけるオン抵抗-耐圧トレードオフ特性の向上と、周辺部における耐圧特性向上を取り上げた。そして、主デバイス部を対象に不純物密度を設計変数とする方法を、周辺部を対象にドーズ量を設計変数とする方法を提案した。また周辺部の最適化では、イオン注入による不純物拡散をあらかじめモデル化するとともに、イオン注入におけるばらつきを考慮することで、製造可能かつロバスト性の高い構造を導出する方法を構築した。これらの設計問題を最適化問題として定式化し、主デバイス部の初期構造として p–n ダイオード、周辺部の初期構造として JTE 構造を用いて最適化を行った。その結果、主デバイス部の最適化では p–n ダイオードに i 層が挿入されて p–i–n ダイオードに変化したことから、不純物密度を設計変数とする提案方法により新たなデバイス構造を創出できうることを示した。また周辺部の最適化では、ドーズ量を設計変数とする提案方法により、主デバイス部から離れるにつれドーズ量が減少する構造が導出され、従来のパラメータ最適化で得られた構造に比べて高い性能を示すことを確認した。そして、主デバイス部に対する提案方法は新たな基本構造を創出するために活用でき、周辺部に対する提案方法はイオン注入工程により作製される様々な構造に適用できることを論じた。

第 4 章では、電気回路の導体最適化において必要となる、開放を生じる断線と短絡を生じる接続を防止する手法を提案した。この方法では、細い導体では電流が集中することに着眼し、最大電流密度を制約することで導体の幅を確保し開放を防ぐことを、また、電位差をもつ近接した導体間では電界が集中することに着眼し、最大電界強度を制約することで導体の間隔を確保し短絡を防ぐことを述べた。また、回路全体で開放と短絡を防止するには複数の電流と電界の計算が必要であることを述べ、そのための条件をグラフ理論にもとづき示した。さらに、これらの制約を KS 関数を用いて縮約し、単一の制約条件として表現した。そして、有効性を検証するための例題である導体の面積最大化および最小化を、提案した制約条件とグレースケールフリートポロジー最適化法を用いて行い、許容される断線と接続を妨げずに、開放と短絡を引き起こす許容されない断線と接続のみを防止できることを確認した。

第 5 章では、ノイズフィルタ回路の導体パターン最適化方法を提案し、その有効性を確認するとともにその意義を論じた。まず段数の異なる 3 種類のフィルタに対して最適化を行い、第 4 章で提案した開放短絡防止手法を用いることで、開放と短絡の発生を防ぎながらよりノイズ減衰特性が大きい導体パターンが得られることを示した。また、支配的なノイズが把握できているノイズフィルタ回路に対して最適化を行い、支配的なノイズを低減するための構造変化が生じることを示した。具体的には、伝導ノイズが支配的な場合にはバイパス効果を高めるためにコンデンサに接続した導体が広がり、誘導ノイズが支配的な場合には磁気結合を低減するために結合している導体同士が離れた。そして、最適化による構造変化および性能変化の履歴から、支配的なノイズの要因の絞り込み、初期構造の改善の余地の把握、抜本的な設計変更の必要性の有無の判断といった、初期構造の

改良のための指針が得られることを論じた。

第 6 章では、ノイズフィルタ回路における性能悪化要因であるコンデンサの ESL を低減するための、導体のループ対を用いたインダクタンスキャンセル構造の設計にトポロジー最適化を適用した。磁気結合を用いたインダクタンスキャンセルの原理を述べたのちに、単一のループ対と 4 つのループ対をもつ構造に対して最適化の検討を行った。単一のループ対を持つ構造では、導体パターンの ESL が異なる 2 種類の事例で検討を行い、どちらの場合でも最適化の対象周波数でのインダクタンスが完全にキャンセルされる構造が得られることを計算で示した。また 4 つのループ対をもつ構造では、最適化によりディファレンシャルモードとコモンモードのノイズ減衰特性が共に向上することを、計算結果で示すとともに、得られた構造を作製して実験的にも確認した。そして、第 5 章と第 6 章で提案した導体パターンの最適化方法の活用方法を、ノイズフィルタ回路の設計プロセスと関連付けて述べ、提案方法により従来の試行錯誤的な設計から脱却できうることを論じた。

以上のように本研究では、パワーエレクトロニクス機器と高性能化との対応関係を明らかにしたうえで設計支援対象を決定し、その設計の全体像を整理して設計課題を明確化した上で、種々の最適化方法のうちで適切な方法を適用して解決するという流れをとった。このようなアプローチは、システムに対する要求を満足するための設計支援方法を検討するにあたり、自然かつ汎用的なものであると考えられる。次にパワー半導体デバイスとノイズフィルタ回路という 2 種類の設計対象に対し、トポロジー最適化を用いた具体的な設計支援方法を提案した。パワー半導体デバイスに対しては、連続的な値をとる半導体の不純物密度を設計変数とすることで、密度法にもとづくトポロジー最適化が自然に適用できることを述べた。これは、物質領域と空洞領域を定める従来のトポロジー最適化の枠組みを拡張したものであり、さらに、パワー半導体デバイスの構造設計を支援する際の基本的なコンセプトとなりうるものである。また、ノイズフィルタ回路に対しては、支配的なノイズの要因を低減する設計案が自動的に導出されることを示した。よって、提案方法の活用が、試行錯誤にもとづく対策を繰り返す従来の設計からの脱却をもたらすことが期待できる。さらに、回路の導体最適化に関しては、回路図に従い素子同士を接続するという回路特有の導体の役割を考慮して、開放と短絡を生じる許容されない断線と短絡を防止できる方法を提案した。この方法は、ノイズフィルタ回路のみならず、一般的な電気回路の導体最適化において広く用いることができる。そして、パワー半導体デバイスとノイズフィルタ回路の両方に対し、トポロジー最適化の自由度の高さを活かすことで従来の設計課題を解決できる方法を構築するとともに、製造可能な構造を導出するための方法も構築した。これにより、パワー半導体デバイスおよびノイズフィルタ回路の設計を強力に支援することが可能となり、パワーエレクトロニクス機器のさらなる高性能化に寄与することが期待される。

付録

A. パワー半導体デバイスの物理モデル

第 3 章において使用した物理モデルの式とパラメータを以下に示す。なお、T は設定温度、$T_0 = 300$[K] は基準温度、N_A および N_D はそれぞれアクセプタ密度とドナー密度である。また式 (2) の τ_c と式 (6) の α_c の添え字 c は電子 n あるいは正孔 p を表す。

■SRH 再結合

$$R^{\mathrm{SRH}} = \frac{np - n_{\mathrm{i}}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)} \tag{1}$$

$$\tau_c = \tau_{\mathrm{dop}} \left(\frac{T}{T_0}\right)^{T_\alpha} \tag{2}$$

$$\tau_{\mathrm{dop}} = \tau_{\mathrm{min}} + \frac{\tau_{\mathrm{max}} - \tau_{\mathrm{min}}}{1 + \left(\frac{N_A + N_D}{N_{\mathrm{ref}}}\right)^{\gamma}} \tag{3}$$

$$n_1 = n_i \exp\left(\frac{E_{\mathrm{trap}}}{kT}\right), p_1 = n_i \exp\left(-\frac{E_{\mathrm{trap}}}{kT}\right) \tag{4}$$

表 1: SRH 再結合 パラメータ

Symbol	Electrons	Holes	Unit
τ_{min}	0	0	s
τ_{max}	1×10^{-5}	3×10^{-6}	s
N_{ref}	1×10^{16}	1×10^{16}	cm^{-3}
γ	1	1	1
T_α	-1.5	-1.5	1
E_{trap}	0	0	eV

■インパクトイオン化 **(Okuto-Crowell Model)**

$$G^{\mathrm{ii}} = \alpha_n n v_n + \alpha_p p v_p \tag{5}$$

$$\alpha_c = a(1 + c(T - T_0))E^{\gamma} \exp\left[-\left(\frac{b[1 + d(T - T_0)]}{E}\right)^{\delta}\right] \tag{6}$$

表 2: インパクトイオン化 (Okuto-Crowell Model) パラメータ

Symbol	Electrons	Holes	Unit
a	0.426	0.243	V^{-1}
b	4.81×10^5	6.53×10^5	V/cm
c	3.05×10^{-4}	5.35×10^{-4}	K^{-1}
d	6.86×10^{-4}	5.67×10^{-4}	K^{-1}
γ	1	1	1
δ	2	2	1

■移動度 電界依存性 **(Extended Canali Model)**

$$\mu(E) = \frac{(\alpha + 1)\mu_{\mathrm{low}}}{\alpha + \left[1 + \left(\frac{(\alpha+1)\mu_{\mathrm{low}} E}{v_{\mathrm{sat}}}\right)^{\beta}\right]^{1/\beta}} \tag{7}$$

$$\beta = \beta_0 \left(\frac{T}{T_0}\right)^{\beta_{\mathrm{exp}}} \tag{8}$$

$$v_{\mathrm{sat}} = v_{\mathrm{sat},0} \left(\frac{T_0}{T}\right)^{v_{\mathrm{sat,exp}}} \tag{9}$$

表 3: 移動度 電界依存性 (Extended Canali Model) パラメータ

Symbol	Electrons	Holes	Unit
β_0	1.109	1.213	1
β_{exp}	0.66	0.17	1
α	0	0	1
$v_{\mathrm{sat},0}$	1.07×10^7	8.37×10^6	cm/s
$v_{\mathrm{sat,exp}}$	0.87	0.52	1

■移動度 不純物密度依存性 **(Arora Model)**

$$\mu_{\mathrm{low}} = \mu_{\mathrm{dop}} = \mu_{\mathrm{min}} + \frac{\mu_{\mathrm{d}}}{1 + \{(N_A + N_D)/N_0\}^{A^*}} \tag{10}$$

$$\mu_{\mathrm{min}} = A_{\mathrm{min}} \left(\frac{T}{T_0}\right)^{\alpha_{\mathrm{m}}} \tag{11}$$

$$\mu_{\mathrm{d}} = A_{\mathrm{d}} \left(\frac{T}{T_0}\right)^{\alpha_{\mathrm{d}}} \tag{12}$$

$$N_0 = A_N \left(\frac{T}{T_0}\right)^{\alpha_N} \tag{13}$$

$$A^* = A_{\mathrm{a}} \left(\frac{T}{T_0}\right)^{\alpha_{\mathrm{a}}} \tag{14}$$

表 4: 移動度 濃度依存性 (Arora Model) パラメータ

Symbol	Electrons	Holes	Unit
A_{min}	88	54.3	$\mathrm{cm}^2/\mathrm{Vs}$
α_{m}	-0.57	-0.57	1
A_{d}	1252	407	$\mathrm{cm}^2/\mathrm{Vs}$
α_{d}	-2.33	-2.23	1
A_N	1.25×10^{17}	2.35×10^{17}	cm^{-3}
α_N	2.4	2.4	1
A_{a}	0.88	0.88	1
α_{a}	-0.146	-0.146	1

B. JTE 構造のパラメータ最適化

第 3 章で述べた JTE 構造のパラメータ最適化に関し、最適構造を導出するまでの過程を以下に示す。パラメータ最適化の際には、JTE 領域は一様な濃度をもつと仮定する。この場合、設計パラメータは、厚み t_{JTE}、幅 w_{JTE}、不純物密度 c_{JTE} の 3 つとなる。幅 w_{JTE} が増加するほど JTE 構造の性能は向上することは明らかであるため、公平に比較を行うために、w_{JTE} はトポロジー最適化と同様の 22 µm に固定した。よって、最適化すべきパラメータは t_{JTE} と c_{JTE} の 2 つである。厚み t_{JTE} を 2 µm から 4 µm まで 0.1 µm ごとに、不純物密度 c_{JTE} を 8×10^{14} から $2 \times 10^{15}\mathrm{cm}^{-3}$ まで 1×10^{14} cm^{-3} ごとに変えてシミュレーションを行った。図 1 に最大電界強度 E_{worst} の等値線図を示す。最小の E_{worst} は t_{JTE} と c_{JTE} がそれぞれ 2.7µm と 1.3×10^{15} cm^{-3} の時に得られた。

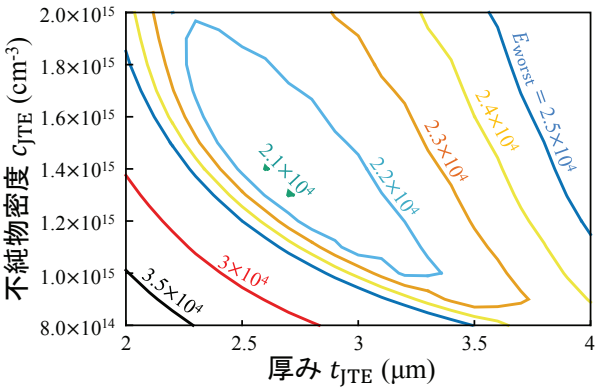
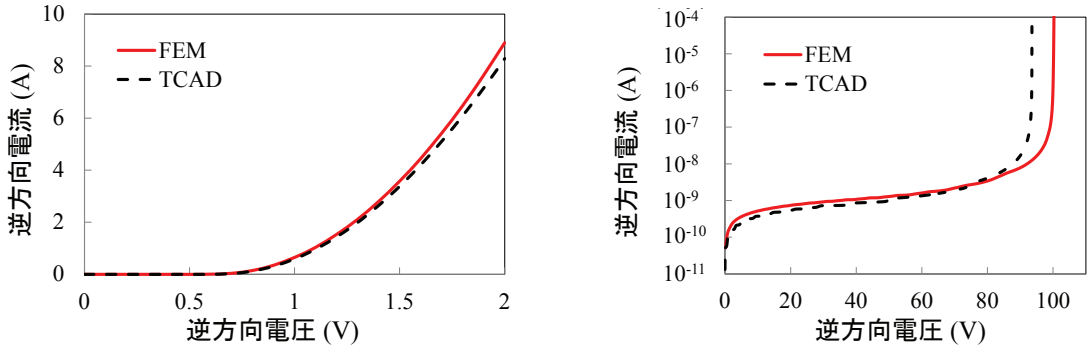


図 1: 最大電界強度 E_{worst} の等値線図

C. TCAD と有限要素法の計算結果比較

半導体デバイスのシミュレータである TCAD では一般的に、ドリフト拡散モデルを解く際の数値計算手法として Scharffeter–Gummel スキームによる有限体積法を用いる。しかし、本研究では、トポロジー最適化の実装が比較的容易な有限要素法 (FEM: Finite Element Method) を用いた。FEM による計算精度を検証するために、図 3.5 に示す p–n ダイオードの計算結果を TCAD の計算結果と比較した。図 2 に示す比較結果から、FEM と TCAD の結果において、2V の順バイアス時のオン抵抗はそれぞれ 0.22 および 0.24Ω、耐圧値はそれぞれ 100V と 93V であり、いずれも計算誤差は 10% 以下であった。さらに、図 3.9 に示す JTE 構造における FEM と TCAD の計算結果も比較した。ここで、JTE 領域は一様な不純物密度であると仮定し、その厚みと不純物密度をそれぞれ 2 µm から 4 µm までと 7×10^{14} cm^{-3} から 2×10^{15} cm^{-3} までの範囲で変更してシミュレーションを行った。図 3 に結果を示す。FEM と TCAD の結果は定性的に同様の傾向を示し、その平均および最大誤差はそれぞれ 9.0% と 18.0% であった。以上より、FEM の計算精度に問題がないことを確認した。



(a) 順方向特性　　(b) 逆方向特性

図 2: I–V 特性

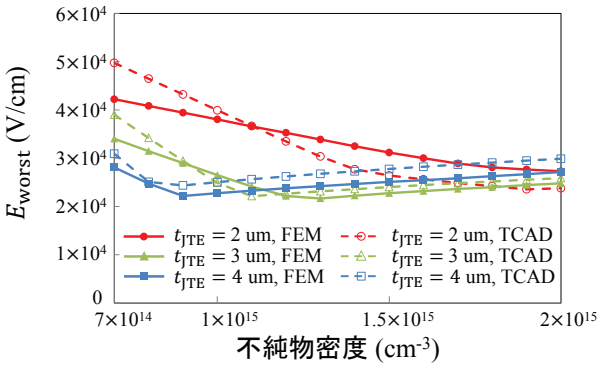


図 3: TCAD と FEM による最大電界強度の計算結果

D. KS 関数のパラメータの意味

第 4 章で示した式 (4.14) と式 (4.15) の KS 関数の第二項は積分領域の面積の影響を補正するためのものである。この項は先行研究 [1] にはないものであり、ここで導出過程を示す。

KS 関数の積分形式は以下のように書ける。

$$KS(f_{\mathrm{KS}}) = \frac{1}{\rho_{\mathrm{KS}}} \ln \int_{\Omega_{\mathrm{KS}}} \exp\left(\rho_{\mathrm{KS}} f_{\mathrm{KS}}\right) \mathrm{d}V \tag{15}$$

ここで、f_{KS} は最大値の抽出対象の関数、Ω_{KS} は積分領域、ρ_{KS} は KS 関数のパラメータである。f_{KS} が領域 Ω_{high} において値 f_{high} をとり、領域 $\Omega_{\mathrm{low}} = \Omega_{\mathrm{KS}} \backslash \Omega_{\mathrm{high}}$ において値 f_{low} をとる場合、KS 関数は以下のように書ける。

$$\begin{aligned} KS(f_{\mathrm{KS}}) = \frac{1}{\rho_{\mathrm{KS}}} \ln \left(\int_{\Omega_{\mathrm{high}}} \exp\left(\rho_{\mathrm{KS}} f_{\mathrm{high}}\right) \mathrm{d}V \right) + \\ \frac{1}{\rho_{\mathrm{KS}}} \ln \left(\int_{\Omega_{\mathrm{low}}} \exp\left(\rho_{\mathrm{KS}} f_{\mathrm{low}}\right) \mathrm{d}V \right) \end{aligned} \tag{16}$$

ここで $f_{\mathrm{high}} \gg f_{\mathrm{low}}$ が成り立つ場合には第二項が無視できるため、以下のように書ける。

$$KS(f_{\mathrm{KS}}) \approx \frac{1}{\rho_{\mathrm{KS}}} \ln \left(\int_{\Omega_{\mathrm{high}}} \exp\left(\rho_{\mathrm{KS}} f_{\mathrm{high}}\right) \mathrm{d}V \right) \tag{17}$$

$$= \frac{1}{\rho_{\mathrm{KS}}} \ln \left(\exp\left(\rho_{\mathrm{KS}} f_{\mathrm{high}}\right) \int_{\Omega_{\mathrm{high}}} 1 \mathrm{d}V \right) \tag{18}$$

$$= f_{\mathrm{high}} + \frac{1}{\rho_{\mathrm{KS}}} \ln \left(\int_{\Omega_{\mathrm{high}}} 1 \mathrm{d}V \right) \tag{19}$$

式 (19) の第二項は、KS 関数の値に領域 Ω_{high} が影響することを示している。Ω_{high} の面積がスカラー K_{KS} と Ω_{KS} の面積との積となる場合、以下の式が成り立つ。

$$KS(f_{\mathrm{KS}}) = f_{\mathrm{high}} + \frac{1}{\rho_{\mathrm{KS}}} \ln \left(K_{\mathrm{KS}} \int_{\Omega_{\mathrm{KS}}} 1 \mathrm{d}V \right) \tag{20}$$

このように、積分領域の影響を補正するためには、式 (4.14) と式 (4.15) における第二項を考慮する必要がある。

また式 (4.14) から式 (4.16) の KS 関数には、4 つのパラメータ ρ_1、ρ_2、K_{ec}、K_{ef} がある。これらのうち、ρ_1 と ρ_2 は KS 関数の最大値抽出能力を決める。小さな値の場合には計算が安定するが、最大値の抽出能力が落ちる。典型的な ρ_1 と ρ_2 の値は 5 から 200 までである [2]。K_{ec} と K_{ef} は KS 関数における積分領域の影響を補正するためのパラメータである。値が小さいほど KS 関数は大きくなる。これらのパラメータは、解析領域 Ω_{ec}（あるいは Ω_{ef}）の面積と、関数 $|\boldsymbol{J}_i|/J_{\mathrm{min}}$（あるいは $|\boldsymbol{E}_j|/E_{\mathrm{min}}$）が最大値に近いほど大きな値をとる領域の面積の比率に設定する。ただ、これらのパラメータは最適化前には適切に決定することができない。そのため、まず最初は K_{ec} と K_{ef}

表 5: 初期構造における KS 関数のパラメータと値

ρ_1	ρ_2	$K_{\mathrm{ec}}, K_{\mathrm{ef}}$	KS($\boldsymbol{J}_1$)	KS($\boldsymbol{J}_2$)	KS($\boldsymbol{J}_3$)	KS($\boldsymbol{E}_1$)	KS($\boldsymbol{E}_2$)	KS($\boldsymbol{E}_3$)	g
5	5	0.1	0.70	0.79	0.70	0.58	0.49	0.58	1.02
5	50	0.1	0.70	0.79	0.70	0.58	0.49	0.58	0.79
5	50	0.05	0.84	0.93	0.84	0.72	0.63	0.72	0.93

を適当な値（たとえば 0.1）に設定し、もし制約条件が適切に機能しなければ、KS 関数の値を確認して調整する。具体的には、制約が弱すぎればパラメータの値を減らし、強すぎれば値を増やす。

また、5.4.1 節で示した 3 種類のノイズフィルタ回路に対する検討において、KS 関数のパラメータの設定は以下のように行った。まずフィルタ 1 の最適化を、第 4 章と同様のパラメータの値、すなわち ρ_1、ρ_2、K_{ec}、K_{ef} をそれぞれ 5、5、0.1、0.1 に設定して行った。しかし、この値では式 (4.24) の制約違反が常に発生した。つまり常に $g > 1$ となり、意図した機能を果たすことができなかった。表 5 に初期構造における KS 関数のパラメータと値を示す。KS 関数 (4.14) と (4.15) の最大値は 0.79 であるにも関わらず、制約関数 g の値は 1.02 であった。これはパラメータ ρ_2 の値が小さく KS 関数 (4.16) の最大値の抽出能力が低いためである。そこで、ρ_2 を 50 と大きくして再度最適化を行った。表 5 において $g = 0.79$ となったことから、最大値抽出能力が向上したことがわかる。しかし、この設定によって常に制約条件を違反する現象は回避されたが、制約が弱すぎるために開放が発生した。そこで制約を強めるために、K_{ec} と K_{ef} の値を半分の 0.05 に設定した。この設定により、表 5 に示すように、KS 関数の値は $-1/5\ln(1/2)$ に等しい 0.14 だけ増加した。これらのパラメータの値により、3 種類のノイズフィルタ回路全てで開放および短絡の防止に成功した。

E. ノイズフィルタ回路における支配的なノイズの特定

ここでは第 5 章に示した図 5.7 のノイズフィルタ回路が、表 5.1 に示すように、回路定数の設定に応じて異なる支配的なノイズをもつことを示す。

まず、フルウェーブの電磁界解析結果を、寄生インダクタンスを考慮した回路シミュレーションにより再現する。電磁界解析手法には有限要素法を、寄生インダクタンス抽出には境界要素法を用いる。有限要素法は図 5.7 の構造を対象に行う。境界要素法による寄生インダクタンス抽出は図 4 の構造を対象に行う。この構造は、図 5.7 の構造に対し、基板側面の導体とポートを除去し、インダクタとコンデンサを導体に変更し、導体が交差する箇所（2 箇所）の導体を削除したものである。寄生インダクタンスとしては、図 4 に示す 5 つの導体を対象に、各導体の自己インダクタンス（計 5 個）と、導体間の相互インダクタンス（計 10 個）を抽出する。より具体的には、図 4 の構造の表面を 4093 個の三角要素に離散化し、5 つの導体の両端に電流の湧き出し（Source）と吸い込み（Sink）を設定し、10MHz の周波数で解析を行い寄生インダクタンスを抽出する。その際、裏面のグラウンドは無限大の導電率をもつ理想的なグラウンド面としてモデル化する。インダクタンス行列は 5 行 5 列の行列として得られ、図 5 に示すように回路シミュレーションにおいて考慮する。ここで、Lp1 から Lp5 はそれぞれ導体 1 から導体 5 の自己インダクタンス、Kij $(i, j = 1, \cdots, 5)$ は導体 i と導体 j の間の結合係数をあらわす。電磁界解析と回路シミュレーションにより求めた、入力ポートから出力ポートへのノイズ伝達特性 S_{21} の計算結果を図 6 に示す。電磁界解析の結果と寄生成分を考慮した回路シミュレーションの結果は 1 dB 以内の精度で一致した一方で、寄生成分を考慮しない場合には高周波帯域で乖離が生じた。以上より、寄生成分を考慮することで、回路シミュレーションにより電磁界解析の結果を再現できた。

次に、支配的なノイズを特定するために、寄生インダクタンスの影響を回路シミュレーションを用いて解析する。寄生インダクタンスの値を、図 5 の値そのまま、図 4 の導体 4 と 5 の自己インダクタンスのみを倍、図 4 の導体 4 と 5 の相互インダクタンスのみを倍、と変えて計算した結果を図 7 に示す。回路定数が設定 1 の場合には、自己インダクタンスを倍にすることで 1 MHz 以上の特性が悪化した。しかし相互インダクタンスを倍にしても特性はほぼ変わらなかった。これは、図 5.8(a) に示すように伝導ノイズが支配的であることを示している。一方、設定 2 の場合には、相互インダクタンスを倍にすることで 1 MHz 以上の特性が悪化したが、自己インダクタンスを倍にしても特性はほぼ変わらなかった。これは、図 5.8(b) に示すように磁気結合により生じる誘導電流のノイズが支配的であることを示している。なお、設定 2 で誘導ノイズが支配的となるのは、設定 1 と比べてインダクタ L1 の定数が 10 mH と大きく、伝導ノイズが十分に低減されたためである。以上より、図 5.7 に示すフィルタでは、回路定数に応じて支配的なノイズが異なることが分かった。

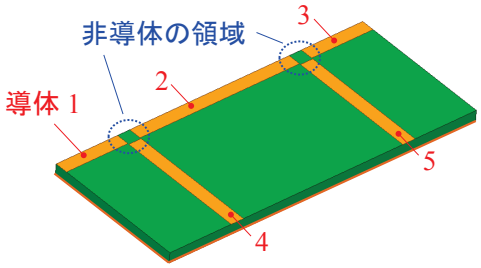


図 4: 寄生インダクタンス抽出用回路

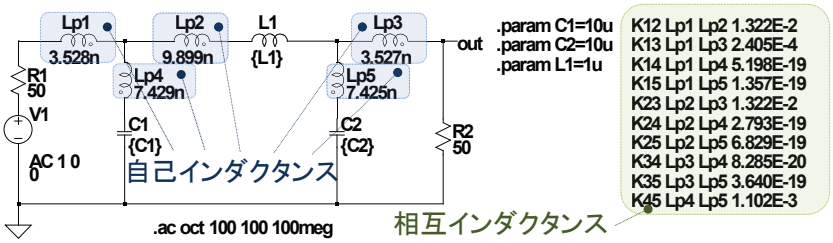
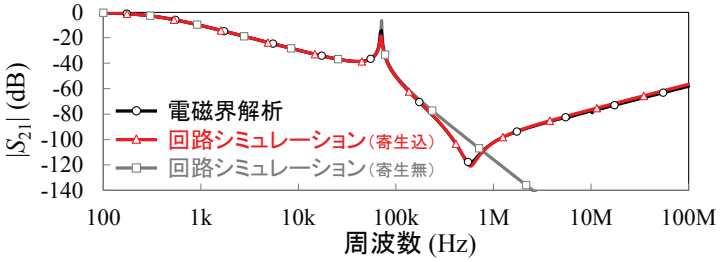
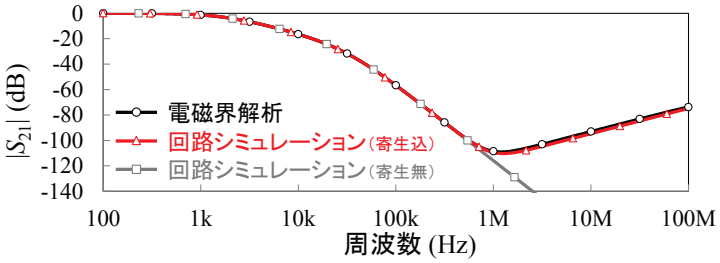


図 5: 回路シミュレーションの設定

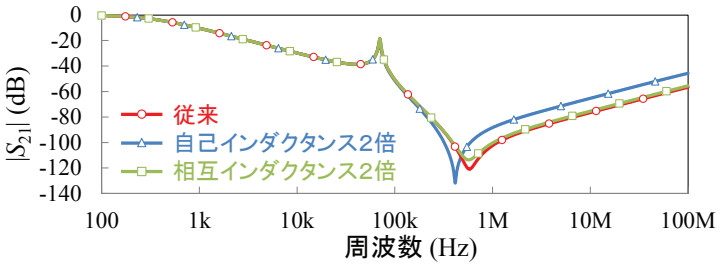


(a) 設定 1

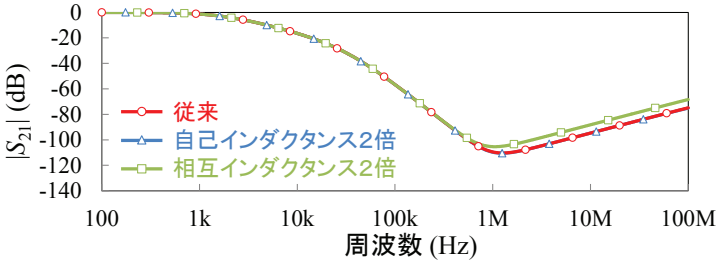


(b) 設定 2

図 6: 電磁界解析と回路シミュレーションの比較結果



(a) 設定 1



(b) 設定 2

図 7: 寄生インダクタンスのシミュレーション結果への影響

F. S パラメータの導出

S パラメータ S_{21} は以下のように定義される [3]。

$$S_{21} = \left.\frac{b_2}{a_1}\right|_{a_2=0} \tag{21}$$

ここで a_1 と a_2 はポート 1 とポート 2 における入射電力波、b_2 はポート 2 における反射電力波である。ここで、電力波の単位の次元は電力ではなく電力の平方根の次元に等しい点に注意を要する [4]。これらの電力波は以下のように定義される。

$$a_1 = \sqrt{\mathrm{Re}(Z_1)}\, I_{1i},\ a_2 = \sqrt{\mathrm{Re}(Z_2)}\, I_{2i},\ b_2 = \sqrt{\mathrm{Re}(Z_2)}\, I_{2r} \tag{22}$$

ここで、Z_1 と Z_2 はポート 1 とポート 2 の特性インピーダンス、I_{1i} と I_{2i} はポート 1 とポート 2 の入射電流、I_{2r} はポート 2 の反射電流、$\mathrm{Re}(Z)$ は複素数 Z の実部を表す。I_{1i}、I_{2i}、I_{2r} は以下のように定義される。

$$I_{1i} = \frac{V_{1i}}{Z_1},\ I_{2i} = \frac{V_{2i}}{Z_2},\ I_{2r} = \frac{V_{2r}}{Z_2} \tag{23}$$

ここで V_{1i} と V_{2i} はポート 1 とポート 2 の入射電圧、V_{2r} はポート 2 の反射電圧である。式 (22) と式 (23) を式 (21) に代入することで、以下の式が得られる。

$$S_{21} = \left.\sqrt{\frac{\mathrm{Re}(Z_2)}{\mathrm{Re}(Z_1)}}\frac{Z_1}{Z_2}\frac{V_{2r}}{V_{1i}}\right|_{V_{2i}=0} \tag{24}$$

第 5 章の検討では、2 つのポートのインピーダンスはともに 50 Ω に、ポート 1 とポート 2 の電圧源の振幅は 1V および 0V に設定した。つまり、$Z_1 = Z_2 = 50$、$V_{1i} = 1$、$V_{2i} = 0$ とした。これらの式および関係式

$$V_{2r} = V_{\mathrm{em,p,2}} - V_{2i} = \frac{1}{w_2}\int_{\Gamma_{\mathrm{em,p,2}}} (\boldsymbol{E}\cdot\boldsymbol{a}_{\mathrm{p,2}})\mathrm{d}V - V_{2i} \tag{25}$$

を式 (24) に代入することで、S パラメータ S_{21} をあらわす式 (5.10) が得られる。

G. ミックスドモード S パラメータの導出

第 6 章では、ミックスドモード S パラメータ [5, 6] を用いてノイズフィルタの性能を評価した。以下にその物理的意味と導出過程を示す。

図 6.16 に示した対象回路は図 8 の 4 ポート回路とみなすことができる。4 ポート回路において、ポート 1 とポート 2 をミックスドモードポート 1、ポート 3 とポート 4 をミックスドモードポート 2 と定義する。このとき、ミックスドモード S パラメータは、ディファレンシャルモードとコモンモードの入射電力波および反射電力波の比率として、以下の式で定義される。

$$\begin{bmatrix} b_{\mathrm{d1}} \\ b_{\mathrm{d2}} \\ b_{\mathrm{c1}} \\ b_{\mathrm{c2}} \end{bmatrix} = \begin{bmatrix} S_{\mathrm{dd11}} & S_{\mathrm{dd12}} & S_{\mathrm{dc11}} & S_{\mathrm{dc12}} \\ S_{\mathrm{dd21}} & S_{\mathrm{dd22}} & S_{\mathrm{dc21}} & S_{\mathrm{dc22}} \\ S_{\mathrm{cd11}} & S_{\mathrm{cd12}} & S_{\mathrm{cc11}} & S_{\mathrm{cc12}} \\ S_{\mathrm{cd21}} & S_{\mathrm{cd22}} & S_{\mathrm{cc21}} & S_{\mathrm{cc22}} \end{bmatrix} \begin{bmatrix} a_{\mathrm{d1}} \\ a_{\mathrm{d2}} \\ a_{\mathrm{c1}} \\ a_{\mathrm{c2}} \end{bmatrix} \tag{26}$$

ここで、a_{**} と b_{**} はそれぞれ入射電力波と反射電力波を、添え字の d と c はディファレンシャルモードとコモンモードを、添え字の 1 と 2 はミックスドモードポートの番号をあらわす。これらのミックスドモードでの電力波と通常のポートでの電力波（つまり入射電力波 a_1、a_2、a_3、a_4 と反射電力波 b_1、b_2、b_3、b_4）との関係は以下の式で表される [6]。

$$a_{\mathrm{d1}} = \frac{1}{\sqrt{2}}\left(a_1 - a_2\right) \tag{27}$$

$$a_{\mathrm{d2}} = \frac{1}{\sqrt{2}}\left(a_3 - a_4\right) \tag{28}$$

$$a_{\mathrm{c1}} = \frac{1}{\sqrt{2}}\left(a_1 + a_2\right) \tag{29}$$

$$a_{\mathrm{c2}} = \frac{1}{\sqrt{2}}\left(a_3 + a_4\right) \tag{30}$$

$$b_{\mathrm{d1}} = \frac{1}{\sqrt{2}}\left(b_1 - b_2\right) \tag{31}$$

$$b_{\mathrm{d2}} = \frac{1}{\sqrt{2}}\left(b_3 - b_4\right) \tag{32}$$

$$b_{\mathrm{c1}} = \frac{1}{\sqrt{2}}\left(b_1 + b_2\right) \tag{33}$$

$$b_{\mathrm{c2}} = \frac{1}{\sqrt{2}}\left(b_3 + b_4\right) \tag{34}$$

ディファレンシャルモードとコモンモードの伝送特性はそれぞれ S_{dd21} および S_{cc21} であり、式 (26) より以下で定義される。

$$S_{\mathrm{dd21}} = \left.\frac{b_{\mathrm{d2}}}{a_{\mathrm{d1}}}\right|_{a_{\mathrm{d2}}=0, a_{\mathrm{c1}}=0, a_{\mathrm{c2}}=0} \tag{35}$$

$$S_{\mathrm{cc21}} = \left.\frac{b_{\mathrm{c2}}}{a_{\mathrm{c1}}}\right|_{a_{\mathrm{c2}}=0, a_{\mathrm{d1}}=0, a_{\mathrm{d2}}=0} \tag{36}$$

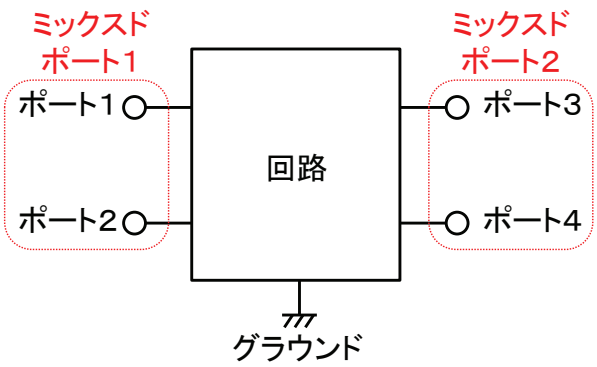


図 8: 4 ポート回路

これらのパラメータは、ミックスドモードポート 1 のディファレンシャルモード（あるいはコモンモード）の入射電力波と、ミックスドモードポート 2 のディファレンシャルモード（あるいはコモンモード）の反射電力波の比率を表す。式 (27) から式 (34) までを考慮すると、式 (35) と式 (36) は以下の式に変形できる。

$$S_{\mathrm{dd21}} = \left.\frac{b_3 - b_4}{a_1 - a_2}\right|_{a_1=-a_2, a_3=0, a_4=0} \tag{37}$$

$$S_{\mathrm{cc21}} = \left.\frac{b_3 + b_4}{a_1 + a_2}\right|_{a_1=a_2, a_3=0, a_4=0} \tag{38}$$

ここで、ポート 1 における入射電力波 a_i と反射電力波 b_i は、入射電圧 $V_{i,\mathrm{I}}$、反射電圧 $V_{i,\mathrm{R}}$、ポート 1 での特性インピーダンス Z_{0i} を用いて以下の式で表される [3]。

$$a_i = \frac{\sqrt{\mathrm{Re}(Z_{0i})}}{Z_{0i}^*} V_{i,\mathrm{I}} \tag{39}$$

$$b_i = \frac{\sqrt{\mathrm{Re}(Z_{0i})}}{Z_{0i}} V_{i,\mathrm{R}} \tag{40}$$

なお、Z^* は複素数 Z の複素共役をあらわす。これらの式より、式 (37) と式 (38) は以下の式になる。

$$S_{\mathrm{dd21}} = \left.\frac{\frac{\sqrt{\mathrm{Re}(Z_{03})}}{Z_{03}} V_{3,\mathrm{R}} - \frac{\sqrt{\mathrm{Re}(Z_{04})}}{Z_{04}} V_{4,\mathrm{R}}}{\frac{\sqrt{\mathrm{Re}(Z_{01})}}{Z_{01}^*} V_{1,\mathrm{I}} - \frac{\sqrt{\mathrm{Re}(Z_{02})}}{Z_{02}^*} V_{2,\mathrm{I}}}\right|_{\substack{\frac{\sqrt{\mathrm{Re}(Z_{01})}}{Z_{01}^*} V_{1,\mathrm{I}} = -\frac{\sqrt{\mathrm{Re}(Z_{02})}}{Z_{02}^*} V_{2,\mathrm{I}}, \\ V_3=0, V_4=0}} \tag{41}$$

$$S_{\mathrm{cc21}} = \left.\frac{\frac{\sqrt{\mathrm{Re}(Z_{03})}}{Z_{03}} V_{2,\mathrm{R}} + \frac{\sqrt{\mathrm{Re}(Z_{04})}}{Z_{04}} V_{4,\mathrm{R}}}{\frac{\sqrt{\mathrm{Re}(Z_{01})}}{Z_{01}^*} V_{1,\mathrm{I}} + \frac{\sqrt{\mathrm{Re}(Z_{02})}}{Z_{02}^*} V_{2,\mathrm{I}}}\right|_{\substack{\frac{\sqrt{\mathrm{Re}(Z_{01})}}{Z_{01}^*} V_{1,\mathrm{I}} = \frac{\sqrt{\mathrm{Re}(Z_{02})}}{Z_{02}^*} V_{2,\mathrm{I}}, \\ V_3=0, V_4=0}} \tag{42}$$

一般的に、フィルタ性能は全てのポートを 50 Ω に終端した条件で評価される。この場合、すな

わち $Z_{01} = Z_{02} = Z_{03} = Z_{04}$ を満足する場合には、式 (41) と式 (42) は以下の式になる。

$$S_{\mathrm{dd21}} = \left. \frac{V_{3,\mathrm{R}} - V_{4,\mathrm{R}}}{V_{1,\mathrm{I}} - V_{2,\mathrm{I}}} \right|_{V_{1,\mathrm{I}}=-V_{2,\mathrm{I}}, V_3=0, V_4=0} \tag{43}$$

$$S_{\mathrm{cc21}} = \left. \frac{V_{3,\mathrm{R}} + V_{4,\mathrm{R}}}{V_{1,\mathrm{I}} + V_{2,\mathrm{I}}} \right|_{V_{1,\mathrm{I}}=V_{2,\mathrm{I}}, V_3=0, V_4=0} \tag{44}$$

これらの式はシミュレーションでの評価に使用する。つまり、まずポート 1 とポート 2 を電圧源で励振した際のポート 3 とポート 4 の電圧を評価し、それから式 (43) と式 (44) を用いてミックスドモード S パラメータを求める。

また、S_{dd21} と S_{cc21} は通常の S パラメータから以下の式を用いて換算することもできる [7]。

$$S_{\mathrm{dd21}} = \frac{1}{2}\left(S_{31} - S_{32} - S_{41} + S_{42}\right) \tag{45}$$

$$S_{\mathrm{cc21}} = \frac{1}{2}\left(S_{31} + S_{32} + S_{41} + S_{42}\right) \tag{46}$$

これらの式は測定での評価に使用する。つまり、ネットワークアナライザで測定した通常の 4 ポート S パラメータを換算することでミックスドモード S パラメータを求める。

参考文献

[1] Kreisselmeier G. and Steinhauser R., Systematic control design by optimizing a vector performance index, *IFAC Proceedings Volumes*, vol. 12, no. 7, pp. 113–117, 1979.

[2] Wrenn G. A., An indirect method for numerical optimization using the Kreisselmeir-Steinhauser function, *NASA Contractor Report*, no. 4220, 1989.

[3] Frickey D. A., Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances, *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 2, pp. 205–211, 1994.

[4] Kurokawa K., Power waves and the scattering matrix, *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, no. 2, pp. 194–202, 1965.

[5] Bockelman D. E. and Eisenstadt W. R., Combined differential and common-mode scattering parameters: Theory and simulation, *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 7, pp. 1530–1539, 1995.

[6] Bockelman D. E. and Eisenstadt W. R., Pure-mode network analyzer for on-wafer measurements of mixed-mode s-parameters of differential circuits, *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 7, pp. 1071–1077, 1997.

[7] Fan W., Lu A., Wai L., and Lok B., Mixed-mode s-parameter characterization of differential structures, In *5th Electronics Packaging Technology Conference*, pp. 533–537, IEEE, 2003.

謝辞

本研究を遂行するにあたり、大阪大学大学院工学研究科機械工学専攻 山崎慎太郎准教授には、終始に渡り、懇切丁寧なご指導、有益なご教示とご支援、温かい激励を頂きました。また、トポロジー最適化に関する知識やプログラミング技術に加え、問題解決に際して現象をプリミティブに捉える思考法や、泰然とした心構えや振る舞いなど、非常に多くの事を学びました。ここに深甚なる感謝の意を表します。

ご指導いただいた同専攻 藤田喜久雄教授に深く感謝の意を表します。論文執筆の際には、本質的かつ有益なご指摘を多数頂くとともに、安易に妥協しない研究態度を学びました。また、ご指導いただいた同専攻 矢地謙太郎助教に深く感謝の意を表します。本研究を遂行するにあたり、ディスカッションを通じて有益なアイデアを多数頂くとともに、研究生活を楽しむ姿勢を学びました。

大阪大学大学院工学研究科電気電子情報工学専攻 舟木剛教授ならびに同研究科機械工学専攻 津島将司教授には、論文執筆にあたり有益なご指摘を多数頂きました。ここに深く感謝の意を表します。

大阪大学大学院工学研究科機械工学専攻統合デザイン工学部門設計工学領域の皆様に感謝の意を表します。特に、坊大貴君には導体最適化において有益なご検討を頂きました。ここに深く感謝の意を表します。

豊田中央研究所 佐藤和夫取締役には、本研究を遂行するにあたり、惜しみない支援と激励を頂きました。同研究所 志満津孝取締役、梅野孝治部長、水野健太朗室長には、本研究の遂行にご理解を頂くとともに、研究の場を提供して頂きました。同研究所 小島崇研究員、高橋篤弘研究員には、ノイズ設計に関する業務において、ディスカッションを通じて有益なご教示を多数頂きました。同研究所 服部佳晋部長には、トポロジー最適化を用いたノイズ設計に関する研究を始めるきっかけを作って頂きました。同研究所 近藤継男研究員、川本敦史研究員、野村壮史研究員、松森唯益研究員には、トポロジー最適化に関する多くの有益な知識を教えて頂きました。また、同研究所 石川剛研究員、山下侑佑研究員には、パワー半導体デバイスに関する多くの有益な知識を教えて頂きました。皆様に深く感謝の意を表します。

最後に、社会人として働きながらの博士後期課程進学に理解を示し、絶えず惜しみない支援と激励で私を支えてくれた妻 沙織と、私たち夫婦の最愛なる息子 悠一朗に、深く感謝の意を表します。

関連発表

論文

[1] Nomura K., Kondoh T., Ishikawa T., Yamasaki S., Yaji K., and Fujita K., Doping profile optimization for power devices using topology optimization, *IEEE Transactions on Electron Devices*, vol. 65, no. 9, pp. 3869–3877, 2018.

[2] Nomura K., Yamasaki S., Yaji K., Bo H., Takahashi A., Kojima T., and Fujita K., Topology optimization of conductors in electrical circuit, *Structural and Multidisciplinary Optimization*, vol. 59, no. 6, pp. 2205–2225, 2019.

[3] 野村勝也, 高橋篤弘, 小島崇, 山崎慎太郎, 矢地謙太郎, 坊大貴, 藤田喜久雄, トポロジー最適化を用いたノイズフィルタにおける支配的なノイズの低減, 電子情報通信学会論文誌 B, 2019, 早期公開.

国際会議（査読有り）

[1] Bo H., Yamasaki S., Yaji K., Nomura K., Takahashi A., and Fujita K., Conductor layout optimization for reducing the magnetic coupling noise of a filter circuit board, In *World Congress of Structural and Multidisciplinary Optimization*, no. 412, Braunschweig, 2017, ISSMO.

[2] Nomura K., Kondoh T., Ishikawa T., Yamasaki S., Yaji K., and Fujita K., Topology optimization of power semiconductor devices, In *World Congress of Structural and Multidisciplinary Optimization*, no. 406, Braunschweig, 2017, ISSMO.

[3] Nomura K., Takahashi A., Kojima T., Yamasaki S., Yaji K., Bo H., and Fujita K., Topology-optimization-based conductor pattern design for inductance cancellation structure to reduce common- and differential-mode noise, In *Applied Power Electronics Conference and Exposition*, no. D12-2, Anaheim, 2019, IEEE.

[4] Nomura K., Takahashi A., Kojima T., Yamasaki S., Yaji K., Bo H., and Fujita K., Topology-optimization-based EMC design, In *EMC Europe 2019*, Barcelona, 2019, Accepted.

その他の国際会議

[1] Nomura K., Bo H., Yamasaki S., Yaji K., Takahashi A., Kojima T., and Fujita K., Conductor pattern optimization for electromagnetic interference filter of a double-sided circuit board, In *Asian Congress of Structural and Multidisciplinary Optimization*, no. A020168, Dalian, 2018, ASSMO.

国内会議

[1] 坊大貴, 山崎慎太郎, 矢地謙太郎, 野村勝也, 高橋篤弘, 藤田喜久雄, 電磁適合設計のためのフィルタ回路の導体パターン最適化法, 第 30 回計算力学講演会, no. 231, 東大阪, 2017, 日本機械学会.

[2] 野村勝也, 坊大貴, 山崎慎太郎, 矢地謙太郎, 高橋篤弘, 小島崇, 藤田喜久雄, トポロジー最適化を用いたノイズフィルタの導体パターン設計の検討, 環境電磁工学研究会, no. EMCJ2017-112, 東京, 2018, 電子情報通信学会.

[3] 野村勝也, 高橋篤弘, 小島崇, 山崎慎太郎, 矢地謙太郎, 坊大貴, 藤田喜久雄, トポロジー最適化を用いたインダクタンスキャンセル構造の導体パターン設計の検討, 産業応用部門大会, no. 1-35, 横浜, 2018, 電気学会.

[4] 坊大貴, 山崎慎太郎, 矢地謙太郎, 野村勝也, 藤田喜久雄, ノイズフィルタ回路基板における両面導体パターンの最適化, 第 13 回最適化シンポジウム, no. 117, 京都, 2018, 日本機械学会.