



Title	Study on Behavior-Level Modeling and Top-Down Approach Design of All-Digital Phase-Locked Loop
Author(s)	Radhapuram, Sai Chandra Teja
Citation	大阪大学, 2020, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/76226
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

Abstract of Thesis

Name (Sai Chandra Teja Radhapuram)	
Title	Study on Behavior-Level Modeling and Top-Down Approach Design of All-Digital Phase-Locked Loop (全ディジタル位相同期回路のビヘイビア・レベル・モデリングとトップ・ダウン設計に関する研究)
<p>Abstract of Thesis</p> <p>This dissertation presents a summary of the results of the study on behavior-level modeling, top-down design approach and FPGA implementation of a controller-based All-Digital Phase-Locked Loop (ADPLL) during research at Integrated Quantum Devices Area in Division of Electrical, Electronic and Information Engineering, Graduate School of Engineering, Osaka University. In this study through the top-down design approach, insights into essential system characteristics by mathematical and analytical modeling of the PLLs are described. From the behavior-level modeling, the design flow and implementation of the controller-based ADPLL on the FPGA are presented. This dissertation is organized into five chapters. The summary of each chapter is as follows:</p> <p>In Chapter 1, the background and motivation behind the study are described. It covers the fundamentals of PLL which is one of the basic building blocks of modern electronic systems.</p> <p>In Chapter 2, the design procedure of a controller-based ADPLL architecture with a phase selection mechanism is described. Comprehensive z-domain and its linearly approximated s-domain models of the controller-based ADPLL are presented. By using the standard two-pole control system transfer function, the essential characteristics of the system are verified. The closed-loop operation of the ADPLL eliminates the phase and frequency errors for step phase and frequency changes in the input. A behavior-level simulation based on Verilog and Verilog-A models in 130-nm CMOS technology with a supply voltage of 0.7 V is performed to validate the modeling using Cadence AMS simulator. The step response of the system through behavior-level simulation and from analytical z- and s-domain models show close agreement.</p> <p>In Chapter 3, the design and implementation of the controller-based ADPLL on FPGA are demonstrated. A fully-synthesizable $\Delta\Sigma$ modulator-based digitally-controlled ring-oscillator (ring-DCO) design in Verilog is presented. This architecture has fully digital control and fractional tuning range using the $\Delta\Sigma$ modulator. The ring-DCO does not contain library-specific cells and can be synthesized independent of the standard cell library, thus making the design portable and reducing the time required to fit for different semiconductor processes considerably. Implemented ring-DCO has a wide tuning range and high-frequency resolution. Through a real-time FPGA emulation setup in LabVIEW environment, the functionality of the ADPLL is verified. This technique is useful to verify some parameters of ADPLL featuring discrete-time operation and quantization errors.</p> <p>In Chapter 4, the design considerations for a high-speed, low-power and large division ratios of a programmable frequency divider are described. In this study, a novel high-speed, low-power pulse-swallow frequency divider with a retiming scheme is demonstrated. With the proposed retiming scheme, the division ratio offset is eliminated and critical path delay is reduced enabling high-speed operation. The proposed divider designed and fabricated on 130-nm CMOS technology achieved low-power consumption among previously reported dividers in GHz operations.</p> <p>Finally, in Chapter 5, the study and results of behavior-level modeling and top-down approach design of the controller-based ADPLL are summarized, and this dissertation is concluded.</p>	

論文審査の結果の要旨及び担当者

氏 名 (Sai Chandra Teja Radhapuram)		
		(職) 氏 名
論文審査担当者	主 査	准教授 松岡 俊匡
	副 査	教 授 森 伸也
	副 査	教 授 八木 哲也
	副 査	教 授 森 勇介
	副 査	教 授 片山 光浩
	副 査	教 授 尾崎 雅則
	副 査	教 授 片山 竜二
	副 査	教 授 近藤 正彦

論文審査の結果の要旨

本論文は、低電圧動作 CMOS 集積回路に適した全デジタル位相同期回路(ADPLL)の設計効率向上を目指し、そのためのビヘイビア・レベル・モデリング及びトップ・ダウン設計に関するものであり、全5章で構成されている。

第1章では、本研究の背景、目的、及び、本論文の構成内容、位相同期回路(PLL)の基礎について述べている。

第2章では、従来の ADPLL で用いられた Time-to-Digital 変換器を使うことなく、制御回路を工夫し、ポリフェーズ・フィルタと位相補間回路で発生した多相信号の中、デジタル的に位相選択することにより、高速位相追隨を可能とする Controller-based ADPLL に関して、z 領域及び線形化した s 領域でのビヘイビア・レベル・モデルを示し、その有効性を述べている。このモデルの有効性は、Verilog 及び Verilog-A を用いたシミュレーション結果(130nm CMOS プロセスを想定)との比較により確認している。ここで、デジタル制御発振器(DCO)では、ダイナミック・エレメント・マッチングと 3 次 Δ - Σ 変調器(DSM)を用いることで、4 ビットの整数コードと 7 ビットの小数コードによる高周波数分解能を実現している。このモデルを用いた解析より、製造ばらつき、電源電圧、動作温度に依存しない安定性、及び閉ループ構成の定常状態での位相誤差、周波数誤差の除去を確認している。この技術は、ADPLL の各種パラメータを設定するための重要な技術である。

第3章では、Controller-based ADPLL の Field Programmable Gate Array (FPGA)への実装によるエミュレーションについて述べている。自動合成可能な DSM 搭載デジタル制御リング発振器を用いて、FPGA (National Instruments 社製 myRIO 上に搭載されている Xilinx Zynq-7010) 上で 90~170 MHz の発振周波数可変範囲と 7 ビット小数コードで 100 kHz の分解能を実現している。発振周波数測定は、パルス・カウント法を FPGA 上に実装することで実現している。National Instruments 社 LabVIEW を用いて、ADPLL としての重要な過渡応答特性もリアルタイムで確認できることを実証している。これは、離散時間動作、量子化誤差を有する ADPLL のパラメータ設定の妥当性等をリアルタイムで確認できる点で重要な技術である。なお、この章で用いた回路技術は全てデジタル回路であり、専用 LSI への適用も容易である。よって、ADPLL の設計効率向上に有効な手法を提案している。

第4章では、PLL や ADPLL で用いられるプログラマブル分周器の高速化、低消費電力化に関する一手法を提案している。無線通信におけるチャネル選択のためには、通常、可変かつ大きな分周比が必要であり、これにより発振周波数の残留変動を抑制している。高速信号を分周するためのリタイミング法が既に提案されているが、この方法では望まない分周比オフセットや Modular Control 信号の大きな遅延が問題となっている。本章では、この問題を解決できる新規のリタイミング法を提案している。32/33 Dual-Modulus Prescaler を用いた Pulse Swallow 構成に提案手法を適用し、130nm CMOS プロセスで設計した回路をシミュレーションし、GHz オーダーの高速入力信号に対する低消費電力動作を確認している。

第5章では、本論文を通して得られた結果をまとめ、結論を述べている。

以上のように、本論文は ADPLL の設計容易化を目的として、1) 各種パラメータ設定のためのビヘイビア・レベル・モデリング、2) 離散時間動作、量子化誤差を有する ADPLL のパラメータ設定の妥当性をリアルタイムで確認できる FPGA エミュレーションとそのためのトップ・ダウン設計容易な回路構成、3) 分周比オフセットや Modular Control 信号の大きな遅延を回避できる分周器構成を提案し、シミュレーションや実験により各々の提案技術の有効性を明らかにしている。これらの研究成果及び本論文で述べた ADPLL 技術は、様々な電子機器への応用を可能とし、エレクトロニクス産業の発展に寄与するものである。

よって本論文は博士論文として価値あるものと認める。