The University of Osaka
Institutional Knowledge Archive

Title	チップオンウエハにおける薄型半導体の高精度実装に関する研究
Author(s)	櫻井, 大輔
Citation	大阪大学, 2020, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/76554
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

チップオンウエハにおける
薄型半導体の高精度実装に関する研究

櫻　井　　大　輔

2020年　1月

大阪大学大学院工学研究科

目次

第 1 章　序論 1

1.1　研究の背景 1

1.1.1　半導体実装技術の新たな変革期の到来 1

1.1.2　従来の半導体パッケージの構造及び生産プロセスの変遷 3

1.1.3　2.5D, 3D 半導体パッケージ構造の動向 5

1.1.4　ファンアウトウエハレベルパッケージ, パネルレベルパッケージの動向 5

1.1.5　チップオンウエハ(CoW)実装方式 7

1.1.6　チップオンウエハ実装機の動向 9

1.1.7　半導体パッケージサイズの動向 10

1.2　3 次元積層モジュールの構造と実装プロセス 11

1.2.1　将来想定される 3 次元積層モジュールの構造及び目標スペック 11

1.2.2　3 次元積層モジュールの形成プロセスと課題 12

1.3　チップオンウエハ実装の課題と研究目的 15

1.3.1　大型加熱ステージでの熱揺らぎ抑制による高精度実装プロセス設計 15

1.3.2　薄型半導体の反りを考慮した実装プロセス設計 16

1.4　研究の構成と流れ 17

第 2 章　加熱実装における熱揺らぎ挙動の解明 20

2.1　緒言 20

2.2　実装機における実装精度の支配因子 20

2.2.1　実装プロセス 20

2.2.2　高精度ダイアタッチ機構 21

2.2.3　実装精度の影響因子 23

2.3　実験方法 24

2.3.1　供試材料及び評価サンプル作製方法 24

2.3.2　熱流体解析手法 25

2.3.3　粒子画像測定法による流速分布の測定方法 27

2.3.4 認識精度及び実装精度の測定方法 29
2.4 熱流体解析による熱揺らぎ挙動の定量化手法の構築 29
2.4.1 自然対流による熱揺らぎの定量化 29
2.4.2 噴流が熱流体に与える影響の定量化 32
2.4.3 熱流体温度と認識精度の相関 37
2.5 諸因子が熱揺らぎに与える影響 37
2.5.1 ヘッド温度が流速・認識精度に及ぼす影響 37
2.5.2 ステージ温度が流速・認識精度に及ぼす影響 39
2.5.3 陽炎ブロー流量が流速・認識精度に及ぼす影響 41
2.5.4 陽炎ブローノズル高さが流速・温度分布に及ぼす影響 45
2.5.5 陽炎ブロー角度が流速・温度分布に及ぼす影響 47
2.5.6 カメラ角度が温度分布に及ぼす影響 49
2.5.7 熱揺らぎ抑制による高精度実装プロセス設計指針 49
2.6 熱揺らぎが実装精度に与える影響 50
2.6.1 常温でのダイアタッチ実装精度 50
2.6.2 加熱時のダイアタッチ実装精度 52
2.7 結言 53

第 3 章 薄型半導体の反り挙動の解明 56
3.1 緒言 56
3.2 加熱プロファイルが薄型半導体パッケージの反りに及ぼす影響 57
3.2.1 想定プロセス及び反りの課題 57
3.2.2 供試材料及びサンプル作製方法 58
3.2.3 IC 単体及び実装後の IC の反りの測定方法 59
3.2.4 薄型 IC サイズおよび測定温度が半導体反りに与える影響 60
3.2.5 弾性解析による CoC 構造における IC 反りの導出方法 63
3.2.6 加熱プロファイルが反り・残留応力に及ぼす影響 66
3.3 半導体内蔵構造における反り挙動の定量化 70
3.3.1 検証 TEG の構造及び構成材料 70
3.3.2 サンプル作製方法 71

3.3.3 半導体内蔵モジュールの反り弾性解析・評価方法 72
3.3.4 半導体内蔵高さが内蔵モジュールの反りに与える影響 72
3.3.5 フィルム材料物性が内蔵モジュールの反りに与える影響 73
3.3.6 半導体内蔵モジュールにおける反り低減の設計指針 74
3.4 反り低減構造における半導体内蔵プロセスの研究 75
3.4.1 半導体内蔵プロセスの課題と影響因子 75
3.4.2 供試材料及びサンプル作製方法 76
3.4.3 剛塑性有限要素法解析手法 76
3.4.4 評価方法 79
3.4.5 剛塑性解析結果および考察 80
3.4.6 半導体埋め込み実験の結果および考察 82
3.4.7 半導体内蔵モジュールの電気特性及び信頼性 84
3.5 結言 87

第 4 章 反り低減を考慮した高精度フリップチップ実装工法の開発 89
4.1 緒言 89
4.2 反り低減を考慮した工程分割マイクロはんだ接合工法の構築 90
4.2.1 工程分割マイクロはんだ接合工法 90
4.2.2 チップオンウエハに適したマイクロバンプ形成技術 91
4.2.3 フラックスレス高速仮接合工程 91
4.2.4 本接合工程 91
4.3 実験方法 92
4.3.1 TEG 構造 92
4.3.2 サンプル作製方法 93
4.3.3 評価項目 94
4.4 仮接合工程におけるマイクロはんだ濡れによる反りの抑制 96
4.4.1 プラズマ洗浄によるはんだバンプ表面の酸化膜の影響 96
4.4.2 はんだ接合部のぬれ面積が反りに及ぼす影響 98
4.5 一括接合における諸因子が反り及びマイクロ接合に及ぼす影響 101
4.5.1 雰囲気ガスの影響 101

4.5.2 荷重の影響 103
4.5.3 リフローピーク温度の影響 103
4.5.4 工程分割マイクロはんだ接合工法のメカニズムの考察 104
4.5.5 接合信頼性 107
4.6 結言 109

第 5 章 結論 111

謝辞 113
参考文献 115

I. 本研究に関する発表論文 120
II. 本研究に関する学会発表 120
III. 本研究に関する受賞歴 121

第 1 章　序論

1.1　研究の背景

1.1.1　半導体実装技術の新たな変革期の到来

日本の実装技術は，2000 年代デジタル化社会の変革期に，実装材料・工法・設備の技術革新を起こし，半導体，材料，設備といった産業界の発展に大きく寄与してきた．現在，デジタル化に続く日本の目指す未来の姿として内閣府が提唱する「Society 5.0」の社会が，本格的に到来しようとしており，実装技術は新たな変革期を迎えている．

Society 5.0 とは，「サイバー空間とフィジカル空間を高度に融合させたシステムにより，経済発展と社会的課題の解決を両立する，人間中心の社会」である．フィジカル空間からセンサと IoT(Internet of Things)を通じてあらゆる情報がサイバー空間にビッグデータとして集積され，人工知能がビックデータを解析し，高付加価値をフィジカル空間にフィードバックしていく．このような背景の下，工場，自動車，病院，社会インフラなどのあらゆるモノがネットに繋がる「IoT デバイス」の市場が急拡大しており，総務省発行の『情報通信白書』によれば，2020 年には 400 億個まで増大するとされる [1]．さらに，2020 年には超高速，超低遅延，同時多数接続を特徴とする第五世代移動通信システム 5G の運用が本格的に始まり，IoT 化の進展の加速が予測される．

無人工場，自動運転，遠隔医療，無人農業の実現に向け，4K，8K といった高画質イメージセンサから得られた大容量の動画データや IoT センサから得られた距離，圧力，温度，湿度等のデータがネットワークを介して瞬時にやり取りできるようになり，データセンター，エッジサーバー，エッジ端末において，AI(Artificial intelligence)等を用いた高速処理が進む．

このような中，半導体パッケージは高機能化・小型化の進展が著しく，半導体素子を同一平面に実装し素子間を平面的な配線により電気的に接続する 2 次元実装から，半導体を 3 次元に集積しシステム化する 3 次元実装への変革が進んできた．演算処理回路，大容量メモリ，イメージセンサ，MEMS(Micro Electro Mechanical Systems)，受発光素子といった多様な半導体に対し，3 次元実装が適用されてきた．また，3 次元に積層された素子間の配線経路を短縮し，高速伝送のバンド幅を拡げるために，貫通電極(Through Sillicon Via; TSV)が開発されてきた．2008 年のイメージセンサへの適用を契機に，TSV の実用化が進んできた．

一方，3 次元実装においては，放熱の課題があるため，半導体の用途と消費電力に応じ 2 次元実装と 3 次元実装の使い分けが必要になる．Fig. 1.1 に JEITA の 2019 年実装ロードマッ

プに基づく半導体の用途ごとのピン数の予測を示す[2].

スマートフォン・タブレット端末などのモバイル機器では AI アプリの増加に伴い高性能化が求められ，パソコンの CPU に相当する AP(Application processor)においてメモリのデータバンド幅が増加する傾向にある．Wide I/O メモリの第一世代のバス幅は 512 bit であるが，将来は 4000 bit の超ワイドバス化に向けた開発が進んでおり，チップ間バンド幅は，現在の 400 Gbps から 2024 年 1000 Gbps, 2028 年 1400 Gbps までの増加が期待されている．ワイドバンドメモリのバス幅の進化に伴い，TSV をマイクロバンプで接合する端子数は，2028 年までに 14000 pin 以上に急増すると予測されている．一方，AP とワイドバンドメモリの接続には，インダクタンスやインピーダンスを低減できるため，マイクロバンプを用いたチップ間接続が最も用いられる．現在，最大ピン数は 3500 pin だが 2024 年には 5000 pin，2028 年には 7000 pin までの増加が予測される．

フラッシュメモリなどのマルチチップメモリは，メモリチップに TSV を形成し多段積層する構造が採用されている．複数のメモリと 1 枚のコントローラの積層構造である．マルチチップメモ

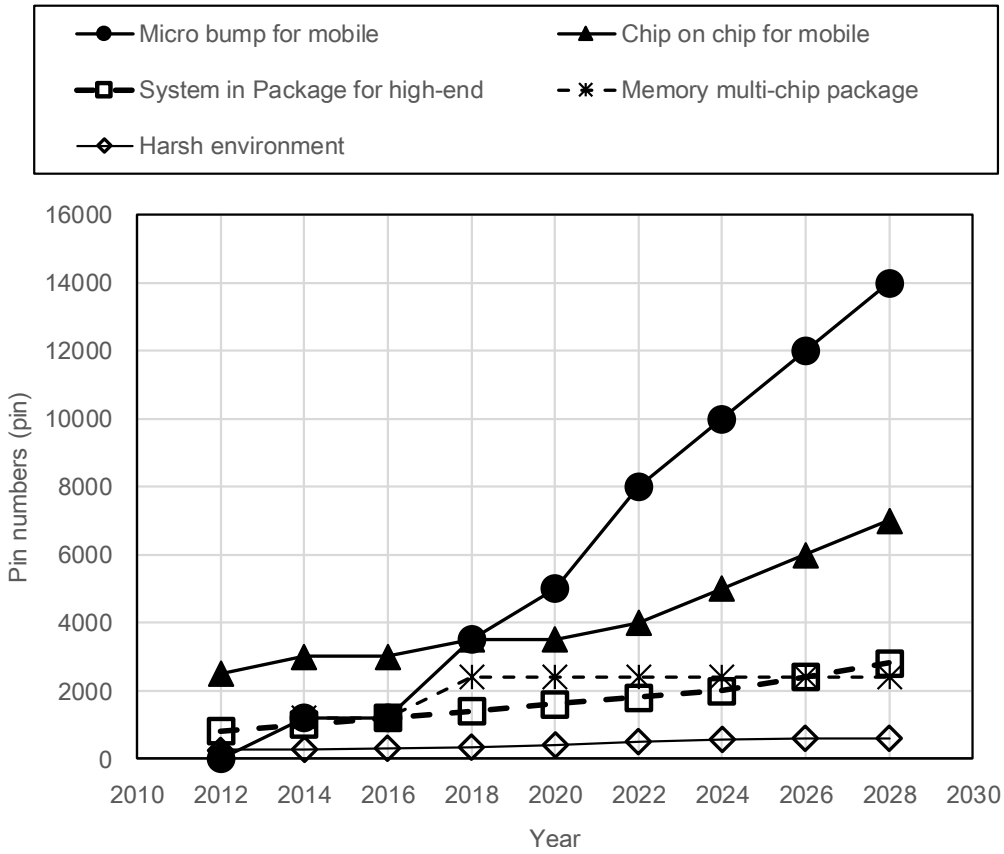


Fig. 1.1 Technology roadmap of the advanced semiconductor.

リ仕様の標準化が進み，ピン数に大きな変化はない．

サーバー向けの高性能半導体パッケージにおいては，チップ間バンド幅を現在の 400 Gbps から 2024 年 1600 Gbps，2028 年 7500 Gbps へ拡がることが期待されている．消費電力が多いチップを積層すると放熱の問題があるが，水冷などの冷却手段が用いられるため，積層数を現在の 4 段から，8 段，16 段と増やすことで対応しようとしている．そのため，ピン数の大幅な増加は見られない．

車載用途を中心とした厳環境向けの半導体パッケージにおいては，安全性と品質保証が最優先され，現在 2 次元実装が採用されている．しかし，自動運転の実用化に向け，AI コントローラ，ミリ波レーダ，赤外線レーザレーダ，イメージセンサ，超音波センサなどの機能融合が進み，半導体パッケージもイメージセンサ，MEMS センサ，プロセッサ，通信 IC，LED などの異種素子の機能融合が不可欠となっている．しかし，品質確保と放熱の観点から 3 次元実装は困難であり，2.5 次元実装が適用されると考えられている．機能融合に伴い，ピン数は 660 pin から 1000 pin への増加が予測される．

以上のように，IoT デバイスに用いられる半導体において，いずれの用途においても多ピン化が進むため，半導体パッケージの 3 次元実装が不可欠である．本研究では，半導体パッケージの進化に対応した高精度実装プロセス及び実装機に関する技術を研究対象とする．

1.1.2 従来の半導体パッケージの構造及び生産プロセスの変遷

次世代の半導体パッケージの開発課題を明確化するため，これまでの半導体パッケージの開発研究内容を振り返る．Fig. 1.2 に半導体パッケージの変遷を示す．

1990 年代以降携帯電話の本格的普及に伴い，モバイルデバイスに使われる半導体パッケージは，大きく進化してきた．携帯電話は，当初通話機能といった単純な機能しか有していなかったが，電子メールによる文字の送受信，写真・動画の送受信，インターネット接続，ゲームなど，複数の機能を有するようなった．さらに，画像の高画質化，操作性などの機能向上がなされた．さらに，高機能だけでなく，モバイルであるがゆえの持ち運びやすさが求められ，小型・薄型・軽量化が求められるようになってきた．そのために，半導体パッケージには，高速通信・高速処理のための多ピン化，薄型化，低コスト化が求められ，現在に至ってもこれらの要求項目への追求がなされている．モバイル機器に使われる半導体パッケージは，当初は QFP(Quad flat package)と呼ばれる半導体素子がモールド樹脂に内蔵され，端面から 4 方向に接続端子（リード）が引き出される構造が用いられた [3]．この生産プロセスは，リードフレーム

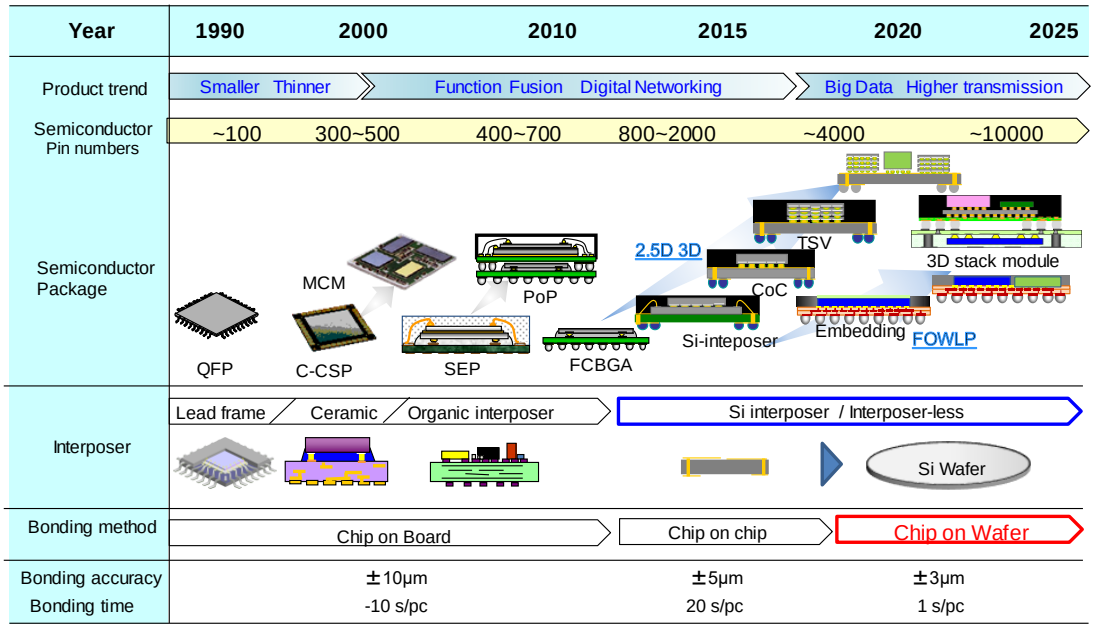


Fig. 1.2 Transition of semiconductor package.

と呼ばれる長方形の金属薄板に半導体素子をダイボンドし，半導体素子の電極端子とリードフレームの接続端子間をワイヤボンディングした後，樹脂成型で封止し，金型で端子の折り曲げ・切断を行う工法である．

QFP の多端子化・小型化の課題を解決する革新技術として，チップサイズパッケージ(Chip size package; CSP)と呼ばれる構造が用いられるようになった．半導体素子の実装をワイヤボンディングからフリップチップ実装へ変えることにより，2 次元から 3 次元に配線を引き回すようになったため，端子数増加と半導体パッケージの大幅な小型化を両立できるようになった．

まず，セラミック多層基板に半導体素子をフリップチップ実装する C-CSP(Ceramic chip size package)と呼ぶ構造が用いられた [4]．この構造では端子ピッチが 120 μm 以上まで対応できる．C-CSP の生産プロセスは，半導体素子にスタッドバンプと呼ぶ突起状電極を形成した後，半導体素子を反転しバンプに導電性接着剤を転写し位置合わせし，セラミック基板に 1 個ずつ搭載した後，1 個ずつアンダーフィルを注入する．次に，基板をバッチ炉に入れ一括してアンダーフィルを硬化させた後，ブレードダイシングにより個片に切断加工するプロセスである [5]．しかし，生産リードタイムが 2～8 h とプロセス時間が長い，導電性接着剤のショート不良が発生するため狭ピッチ化ができない，反りが拡大するため薄型化できないといった問題があった．

生産時間短縮・狭ピッチ化・薄型化に対応するため，薄型樹脂多層基板への薄型半導体

実装構造が開発された．個片に切断された封止接着フィルムを樹脂多層基板に 1 個ずつ貼り付け，スタッドバンプを形成した半導体を反転させ樹脂多層基板の電極端子と位置合わせし封止接着フィルムと熱圧接を行うプロセスである [6),7)]．この工法で実装された半導体の上に異なる半導体を搭載し，複数の半導体を積層したパッケージも採用された．さらなる薄型化・多機能化のために，薄型半導体パッケージ同士をはんだボールを用いて垂直方向に積層接続する PoP(Package on Package)構造や SEP(System Embedded Package)も研究され，実用化された．この構造では，400～700 pin の多ピン化への対応が可能である．

これらの半導体の接続端子は，トランジスタを避けるように外周部に 1 列ないしは 2 列で配置されるペリフェラル配置であったが，更なる高密度化を狙いトランジスタ直上にも接続端子をエリア状に配置するようになった．その構造は，FC-CSP(Flip chip - chip size package)と呼ばれ，樹脂多層基板と半導体素子がエリア状のはんだバンプで接続される．I/O 数は 800～2000 pin の多ピン対応が可能である．

この生産プロセスには，数十個の半導体が搭載可能な樹脂多層基板が用いられる．半導体に形成されたはんだバンプにフラックスを転写し，樹脂多層基板に 1 個ずつ搭載した後，樹脂多層基板をリフロー炉に投入し一括はんだ接合する．その後，樹脂多層基板上のフラックスを洗浄液で除去し，ダイシングにより 1 パッケージずつ個片化する [8)]．

しかし，2000 pin 以上の半導体を樹脂基板パッケージで実現するには，樹脂多層基板の狭ピッチ配線化，多層化が必要である．しかし，基板は厚くなる，高速信号成分の伝送が困難になる，非常に高価になるといった観点から樹脂多層基板の実用化は困難である．

1.1.3 2.5D，3D 半導体パッケージ構造の動向

数千ピン以上に対応する半導体パッケージとして，微細配線が可能なシリコンインターポーザが注目されてきた．シリコンインターポーザに貫通電極 TSV(Through Silicon Via)を形成し，3 次元に積層する 3D 実装技術や，シリコンインターポーザへシリコンチップを実装する 2.5D 実装の研究開発がされてきた [9)]．

2.5D，3D 半導体パッケージは，データセンター，サーバー，グラフィックカード，PC，ゲーム，デジタル TV やイメージセンサ，MEMS センサといった用途で用いられる．例えば，サーバー用途では，3D 実装はハイバンドメモリで用いられ 2.5D 実装は 3D 積層メモリと高性能ロジック GPU(Graphic Processing Unit)の混載パッケージとして既に実用化されている．今後，ますます搭載チップ数の増加と異種デバイスの混載の進展が期待されている．

シリコンインターポーザには，TSV の形成コストが高く，高速バスでの伝送特性に課題がある．近年，シリコンの代替材料としてガラス材料を用いたインターポーザへの期待が高まっている．

1.1.4 ファンアウトウエハレベルパッケージ，パネルレベルパッケージの動向

2.5D，3D 半導体パッケージの材料コストにおいて，半導体と基板コストが大半を占める．半導体チップを小型化しウエハ内の取れ数を増やすことがコストダウンへの最も容易な方策であるが，接合パッドの狭ピッチ化により小型化を実現してきた．しかし，パッドの狭ピッチ化に対応するには，樹脂基板の多層化や TSV が形成されたシリコンインターポーザが不可欠であるが，工程数の増加，歩留まりの低下に伴うコストアップが課題であった．

このような中，2.5D，3D 実装におけるチップの小型化と基板コストダウンといった課題を解決し実用性に優れる半導体パッケージ構造として，FOWLP (Fan-Out Wafer Level Package)が提案され，数十年に一度の半導体パッケージ革新技術として非常に着目されている．FOWLP とは，半導体ウエハを個片化したダイをダイよりも外形の大きな樹脂に内蔵し，ダイの電極端子から電極ピッチを拡大するように樹脂の最表面の外部接続端子に向かって 3 次元的に配線を引き出す構造の半導体パッケージである．本構造では，TSV 形成やインターポーザが不要なため，伝送特性，薄型化，コスト，生産性の観点で 2.5D，3D 実装の問題点を解決できる．そのため，FOWLP の市場は，2015 年の 25 億円から年率 32 %で成長し，2020 年には 2,400 億円へ拡大することが予測されている [10)]．

FOWLP ではウエハを用いるプロセスのため基板は円形であるのに対し，チップは角形である．そのために，ウエハ周辺部はチップを個片化後使わずに廃棄する．基板形状を角形にすれば，1 基板当たりの使用面積率は増え，コストダウンに繋がる．そのような中，基板をパネル形状にしたパネルレベルパッケージ(Panel Level Package，以下 PLP と記す)の開発も進んできた．基材を放熱基板として活用し放熱性を高めたパッケージも提案されている．

FOWLP や PLP は，モバイル端末向けのアプリケーションプロセッサ，ベースバンドや，高周波モジュール，パワーモジュール，WiFi 通信モジュール，Blue Tooth モジュールなどの IoT デバイスへ適用される．今後，複数チップの搭載や，積層のための薄型化，狭ピッチ配線化が進む．

本研究では，上述の 2.5D，3D 半導体パッケージ，FOWLP，PLP を研究対象とする．

1.1.5 チップオンウエハ(CoW)実装方式

1.1.3 節で述べた 2.5D, 3D 実装向けの実装方式としては，大口径ウエハ同士を接合する WoW(wafer on wafer)[11),12)]，大口径のシリコンウエハに 1 個ずつチップを実装する CoW(chip on wafer)[13),14)]，個片チップ同士を接合する CoC(chip on chip)[15),16)]が検討されている[17),18)]．Fig. 1.3 は，実装方式の比較を示す説明図である．

Fig. 1.3(a)に示す WoW 方式は，常温でウエハ同士を高精度に位置合わせしながら接合する方式であり，ウエハの一括処理のため生産性に優れる．一方，例えば 8 inch と 12 inch といった異なるサイズのウエハ同士の接合ができない問題やウエハ内のチップを同一サイズに揃える必要がある問題がある．前者では，ロジック，MEMS，イメージセンサ，パワー，光素子といった異種デバイスでは，デバイスごとに材質や拡散プロセスが異なるため，ウエハサイズが異なることが多く，WoW の適用は困難である．また，接合するウエハごとに良品率が異なり，接合により良品率が低下する問題や，チップサイズをウエハ間で揃えるために必要以上にチップ面積を大きくする必要があり，コストが上がる問題もある．

Fig. 1.3(c)に示す CoC 方式は，ウエハを個片化し，チップ同士を接合する方式である．サイズ・材質の異なるウエハ，チップに適用でき，良品同士の接合が可能といったメリットがある．一方，実装機においてチップを 1 個ずつ搬送するため搬送時間を要し，生産性が低いデメリットがある．

Fig. 1.3(b)に示すチップオンウエハ CoW 方式では，ウエハを個片化し，チップを基板としてのウエハに実装する方式である．CoC 方式と同様に異サイズのウエハ同士の接合が可能である．実装機において基板をウエハ状態で搬送するため，CoC 方式よりも生産時間が短縮でき，有力視されている．一方，1.3 節で詳述するが，基板サイズが大きくなるため，実装ステージ内

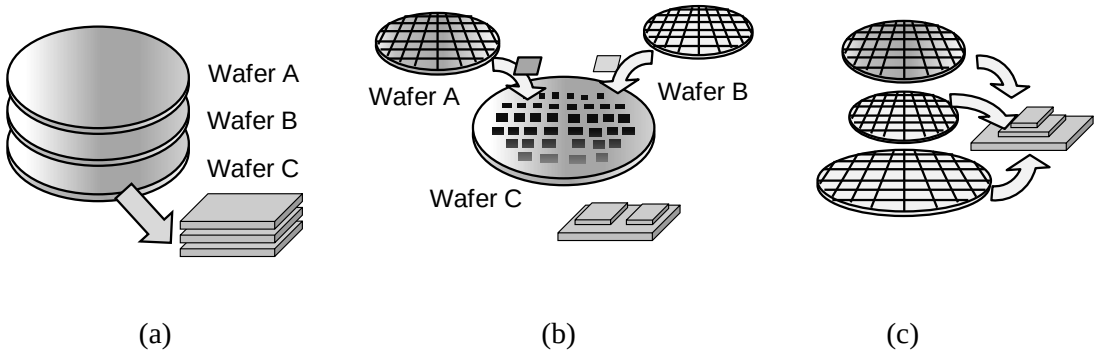


Fig. 1.3 Illustration to explain the boding methods; (a) WoW, (b) CoW, (c) CoC.

の面内ばらつきを抑制する必要があり，実装の高精度化が課題である．

CoW 方式を 2.5D，3D 実装に適用した場合，数千ピン以上の接続に対応するため，50 μm 以下の接続ピッチが求められる．狭ピッチ接続方式として，従来スタッドバンプやはんだバンプが用いられてきたが，スタッドバンプではキャピラリ，金線径の限界に近付く問題や，はんだバンプでは隣接バンプ間のショート不良の問題があり適用が困難である．そこで，電極パッドに銅の柱状のポストを形成しその表面をはんだで覆う銅ピラーバンプ構造が研究されるようになった [19]．銅ピラーバンプ構造では，加熱時の溶融はんだを少量にできるため，ショート不良が抑制される．一方，ウエハに数百個～数千個のチップを 1 個ずつ接合するため，ウエハ 1 枚当たりの生産時間が数時間以上要し，前後工程に比べ生産性が低い問題がある．本研究では 2.5D，3D 実装において高い実装精度を確保しながら CoW 実装方式での高生産化について検討した．

FOWLP，PLP の実装プロセスに関し，半導体製造・組み立てメーカーから様々な提案がされてきた [20]．FOWLP の実装方式は，電極面をウエハと対向するように実装するフリップチップ実装と，電極面を上向きに実装するダイアタッチとに大別される．

まず，フリップチップ実装方式について述べる．M. Brunnbauer らは，円形のサポート基板全面に剥離層をラミネートし，ダイをフェイスダウンでフリップチップ実装し，樹脂封止した後サポート基板を剥離し，露出したダイの電極位置に合うように，3 次元に再配線層を形成する eWLB(embedded Wafer Level Ball Array) 技術を開発したと報告している [21]．一方，Curtis Zwenger ら [22]，D. Hiner ら [23]，本橋ら [24]は，リディストリビューションレイヤ（Re-distribution layer; RDL）と呼ばれる再配線層をウエハ全面に形成し，ダイをフェイスダウンでフリップチップ実装した後，樹脂封止し，最後にウエハを除去する生産プロセスを提案している．この生産プロセスでは，配線層とダイの電極をはんだ接合するため，過去に培ったノウハウが適用され接合品質を安定させることが容易になる．

次に，ダイアタッチ方式について述べる．D.Yu らは，小型化・薄型化・高速伝送特性を実現するプロセスとして，InFO(Wafer Level Integrated Fan-Out)技術を提案している [25],[26]．サポートウエハ全面にダイアタッチフィルムを全面に貼り付け，電極形成されたダイをフェイスアップで実装した後，樹脂封止した後全面研磨しダイの電極を露出し，さらに再配線，ボール搭載を行い，サポートウエハを剥離するプロセスである [27]．

上述の通り，FOWLP，PLP の実装はフリップチップ実装，ダイアタッチのいずれも CoW 方式が用いられる．1.3 節で詳述するように，高精度実装と高生産性が課題であり，本研究で検

討した.

1.1.6 チップオンウエハ実装機の動向

1.1.2 で述べたように, 2.5D, 3D, FOWLP などの先端半導体パッケージを実用化するには, ダイをウエハに 1 個ずつ実装するチップオンウエハ(CoW)に対応した高精度実装技術が求められる. ダイボンダやフリップチップボンダなどの半導体実装機は, これまで高生産と高精度を両立するために, 技術改善を積み重ねてきた.

実装機の中で特に高速動作が要求されるのがボンディングヘッドである. 中尾 [28]は, ボンディングヘッド部にリニア同期モータを採用し, リニアスケールによりフルクローズド制御を行うことにより, 高速動作と高精度化を両立したと報告している. この方式では, 半導体実装として必要なクリーン度クラス 100 にも対応できると報告している. また, ボンディングヘッドは例えば 100 mm の距離を 50 ms で高速移動すると, 20G-35G の加速度が加わる. 外村 [29]は, 高速動作時の加速度に耐えるためには, ヘッドの①高剛性化, ②稼働部の軽量化, ③重心駆動化の満足が重要と考え, CAE シミュレーション活用により適正構造を導出し, 高速動作時のヘッドの上下の振動を 10~15 μm から 2~4 μm に抑えることができたと報告している. 以上のように, 高速動作での振動や搬送による位置ずれを抑えるために, 防振・軽量化機構, 駆動部の制御方式, 画像認識方式等に関する開発が行われてきた.

Table 1.1 に JEITA ロードマップに基づき著者がまとめた実装機の動向を示す. チップ部品のマウンター生産性は, 現在 50000 cph(chip per hour)と非常に高く, 2020 年には 60000 cph の高速化が予測されている. しかし実装精度は±40 μm と低い. 一方, フリップチップボンダの実装精度は±5 μm とチップ部品のマウンターに比べて良好であるが, 生産性は 6000 cph と劣

Table 1.1 Theological maximum throughput per head and bonding accuracy[2].

Year			2012	2018	2022	2028
Flip-chip bonder	productivity	cph	3600	6500	6600	7000
	bonding time	s/pc	0.9	0.55	0.50	0.51
	accuracy	μm	± 10	± 15	± 6	± 5
Chip mounter	productivity	cph	37500	50000	60000	72000
	bonding time	s/pc	0.096	0.072	0.06	0.05
	accuracy	μm	± 40	± 20	± 20	± 20

る. このように, 生産性と実装精度はトレードオフの関係にあり, 高い実装精度を達成するには, ヘッド, ステージ, カメラなどの駆動部の動作速度を下げ, 振動を低減する必要がある. Table 1.1 における実装時間は, ダイのピックアップから基板に搭載するまでの一連の設備の空動作時間であり, 認識マークの認識, 実装プロセス, 基板の搬入・搬出に要する時間を含まない. さらに, 実装精度は常温であり, C4 プロセスのようにフラックスを転写し搭載することを想定している. 加熱実装では, 熱伝導や金属拡散プロセスにさらにプロセス時間が必要となる.

そこで, 本研究での開発目標をフリップチップボンダおよびダイボンダにおいて, 認識時間と実装プロセス時間を含めた 1 個当たりの実装時間 1 s 以内かつ実装精度±3 μm 以内を実現することとした.

1.1.7 半導体パッケージサイズの動向

(a) 基板サイズと再配線層ルールの進化の動向

生産性向上によるコストダウンのため, サポート基板の大型化が進んでいる. サポート基板の形状は, FOWLP 用途に対応した円状のウエハと PLP 用途に対応した角型の 2 種類に大別される.

円状のウエハは, 半導体製造ラインで用いられ, サイズが直径 200 mm から直径 300 mm へと大口型化が進み,今後 450 mm までの大口径化が予測されている. 再配線 RDL の線幅(L)とスペース(S)は微細化しており, L/S=10 μm/10 μm から 5 μm/5 μm, 2 μm/2 μm への進化が予想される.

一方, 角型基板は, 液晶ディスプレイやプリント配線基板向けの製造ラインを活用して生産され, 円状よりもチップの取れ数が多く, コストダウンが図れる. 一方, 配線幅は 15 μm/15 μm, 10 μm/10 μm と円状のウエハよりも広い. 現在, 基板サイズは, 204 mm×508 mm や 300 mm×300 mm が用いられているが, 今後 380 mm×380 mm, 470mm×370 mm, 400 mm×505 mm, 650 mm×830 mm といった大型化が予測されている.

以上のように, 基板の大型化と再配線層の狭ピッチ化の進展が予測される.

(b) パッケージサイズの進化

Fig. 1.4 に JEITA のロードマップにおけるパッケージサイズの進化を示す. ファンアウトウエハレベルパッケージは, 当初 1×1 mm 以下の小チップで多く用いられたが, 大チップ化が進み, 6×6 mm, 10×10 mm での使用が予測される. 一方, TSV が形成された 3 次元積層パッケージでは, 大容量メモリ, CPU などの高機能化, 多ピン化に伴い, パッケージサイズ及び

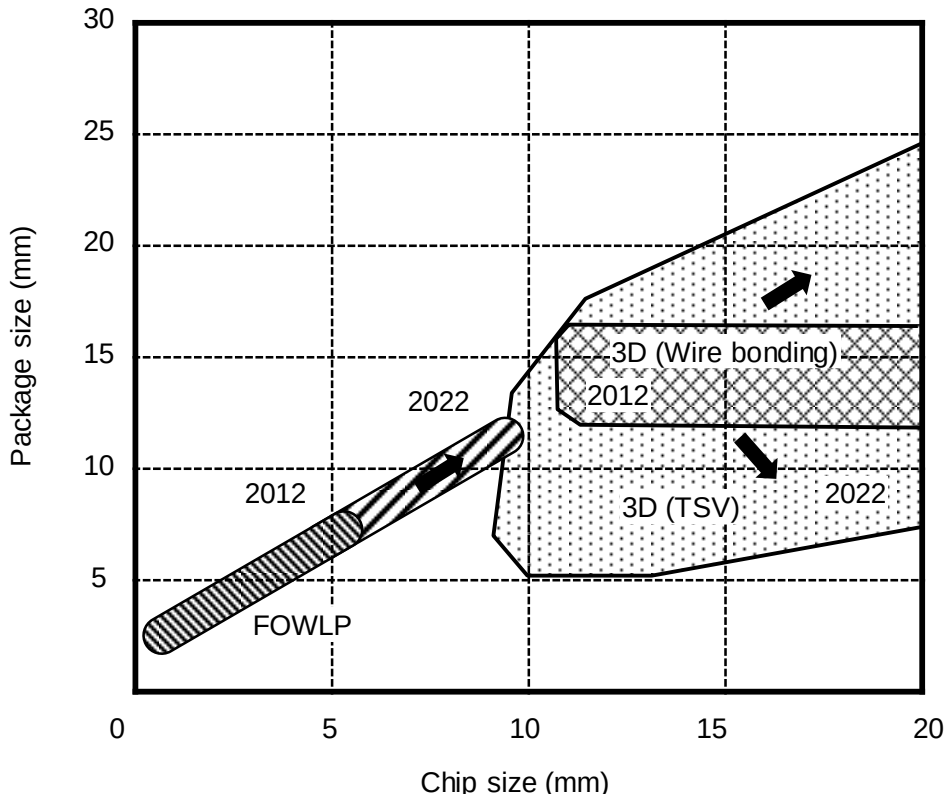


Fig. 1.4 Size of semiconductor packaging and chip used for 3D package and FOWLP.

チップサイズが，10×10 mm から 20×20 mm 以上へ大型化することが予測される．

1.2　3 次元積層モジュールの構造と実装プロセス

1.2.1　将来想定される 3 次元積層モジュールの構造及び本研究の目標スペック

Fig. 1.5 は将来想定される 3 次元積層モジュールの構造の一例である．ロジック回路の内蔵パッケージと積層メモリパッケージとの積層構造である．ロジック回路内蔵パッケージと積層メモリパッケージは，はんだで電気的に接続されている．

ロジック回路パッケージは，バンプが形成されたロジック回路が樹脂フィルム中に内蔵された構造である．ロジック回路のバンプとパッケージ再表層の接続端子が電気的に接続されるように 3 次元に配線層が形成されている．本研究において，ロジック回路内蔵パッケージの総厚を 200 μm，ロジック回路サイズを 10 ×10 mm とした．現在 wide I/O2 メモリの設計ルールとして RDL の電極パッドピッチは 40 μm，電極パッド径は 25 μm と報告されている [30]．ロジック回路の電極位置と RDL 配線層の電極パッドの位置で位置合わせすることを想定し，本研究におけるメモリの電極パッドピッチを 40 μm とした．バンプ径を 20 μm とした場合，位置ずれを

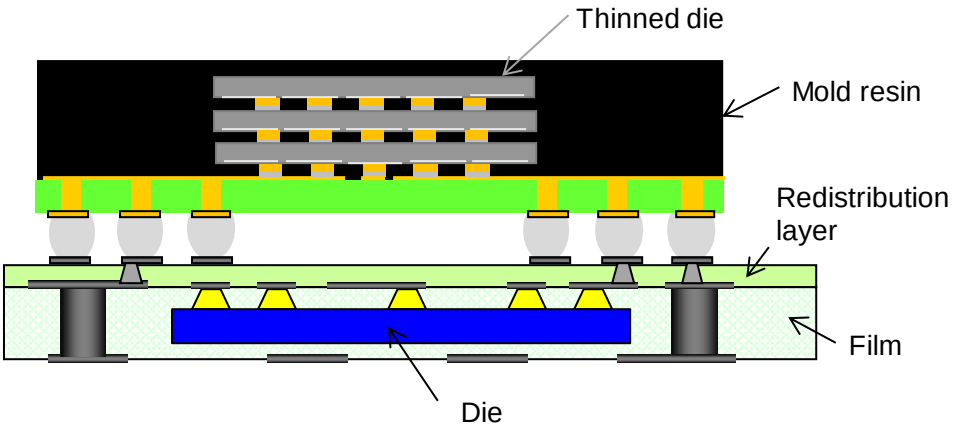


Fig. 1.5 Structure of 3D stacked module.

±5 μm 以内に抑える必要がある．モールド工程での位置ずれも考慮し，実装精度の目標値を±3 μm とした．

積層メモリパッケージは，TSV が形成された薄型メモリ 4 枚を 3 次元に積層した構造である．メモリ間は TSV と Cu ピラーバンプで電気的に接続され，パッケージ最表層まで 3 次元配線で接続されている．積層メモリパッケージ総厚が 400 μm 以内に収まるように，メモリの厚みを 50 μm とした．メモリサイズは 10×10 mm とし，1 チップ当たり 10000 pin のバンプが形成されることを想定した．RDL の配線ピッチをロジック回路と同様に 40 μm とし，実装精度の目標値もロジック回路と同様に±3 μm とした．

また，1.1.5 節で述べたように，本研究におけるチップオンウエハ実装の生産性の目標スペックを 3600 cph 以上すなわちチップ 1 個当たり 1 s 以内とした．

1.2.2 3 次元積層モジュールの形成プロセスと課題

Fig. 1.6 は，将来想定される 3 次元積層モジュールの形成プロセスの一例である．
まず，Fig. 1.6(a)を用いロジック回路内蔵パッケージ形成プロセスについて述べる．まず，直径 300 mm のサポートウエハに認識マークを所定の間隔で形成する(Fig. 1.6 (a1))．次に，実装工程において，ダイアタッチフィルム(Die attach film, DAF)の貼られた半導体をサポートウエハの認識マークで位置合わせしダイアタッチする(Fig. 1.6 (a2))．次に，モールド工程において，半導体のバンプがフィルム表面に露出するように樹脂フィルムをラミネートし，ダイをフィルム内部に埋め込む(Fig. 1.6 (a3))．次に，RDL 形成工程において，露出バンプと繋がるように 3 次元に配線する(Fig. 1.6 (a4))．次に，デボンディング工程において，加熱または光照射を行い，モールド後のウエハをサポートウエハから剥離する(Fig. 1.6 (a5))．最後に，ブレードダイシ

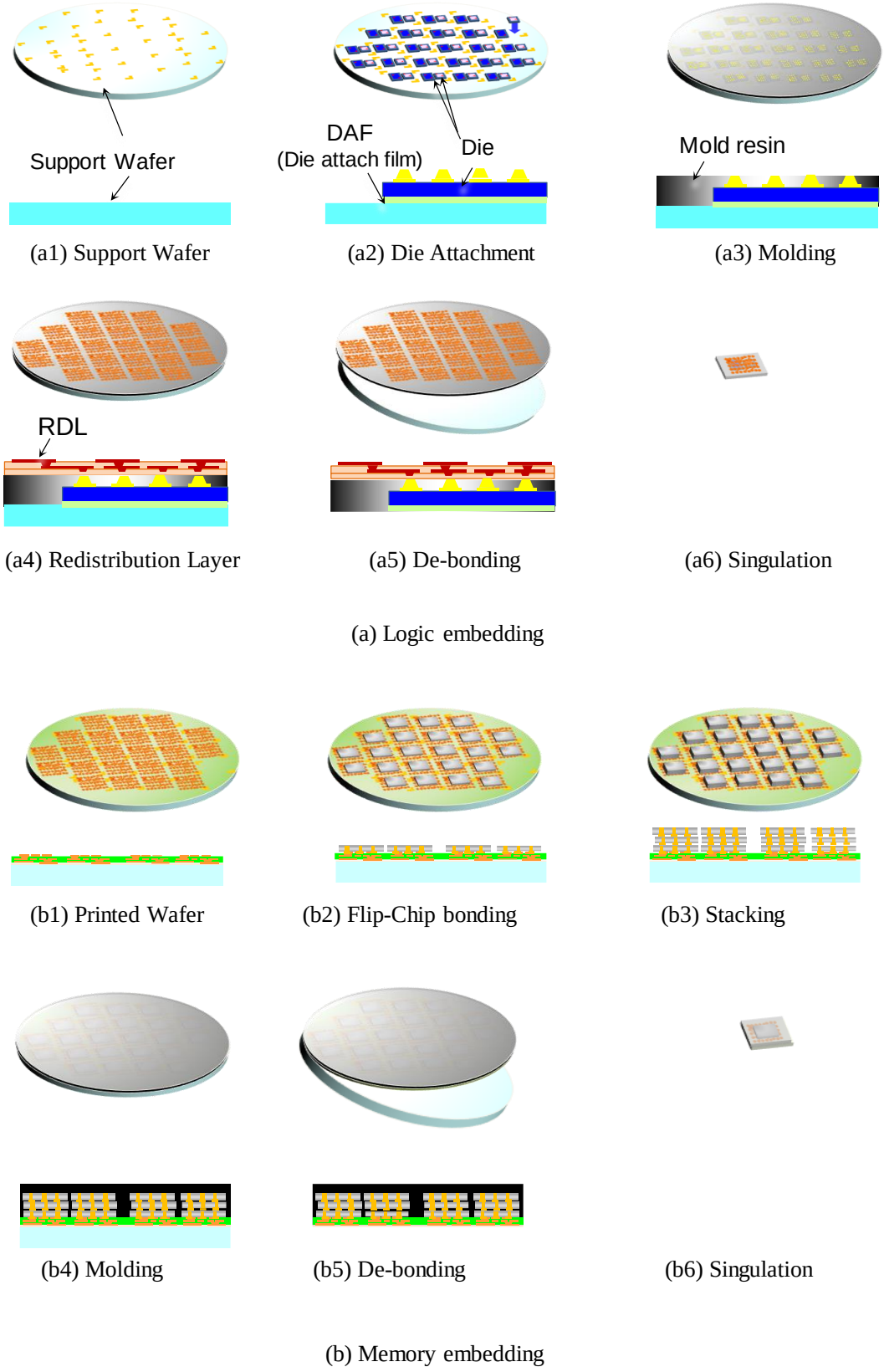


Fig. 1.6 Conceptual diagram of process-flow of FOWLP.

シングやプラズマダイシングによりチップ単位に個片化する(Fig. 1.6 (a6)).

次に，Fig. 1.6 (b)を用い積層メモリパッケージの形成プロセスの一例について述べる．まず，Fig. 1.6 (b1)のようにサポートウエハに離型層を形成し，その上に 3 次元に狭ピッチ配線層を形成する．次に実装工程において，位置合わせしながらウエハに 1 個ずつチップをフリップチップ実装する(Fig. 1.6 (b2))．さらに，積層工程において，実装されたチップの上に 1 個ずつ加熱しながらフリップチップ実装を行い積層する(Fig. 1.6 (b3))．次に，モールド工程において，アンダーフィルを封止後，モールド樹脂で成形する(Fig. 1.6 (b4))．その後，デボンディング工程において，モールドされたウエハからサポートウエハを剥がした後((Fig. 1.6 (b5))，個片化工程においてチップ単位に個片化する(Fig. 1.6 (b6)).

以上のプロセスで作製した積層メモリパッケージの電極端子上にはんだペーストを印刷し，ロジック回路内蔵パッケージを搭載，リフロー加熱することにより，3 次元積層モジュールが形成される．

以上のように，チップオンウエハの実装方式は，ウエハ上にダイをフェイスアップで実装した後，再配線を行うダイアタッチ方式と，ウエハの配線パターンに対向するようにフリップチップ実装する方式に大別される．いずれの方式においても，ダイの電極端子と再配線との位置合わせが重要であり，実装の高精度化が求められる．また，いずれも素子を 1 個ずつ実装するため，実装工程が生産リードタイムのボトルネック工程となっており，実装の高生産性が求められる．従って，実装機には高精度と高生産性の両立が求められる．
ダイアタッチ方式については，従来用途では後工程のワイヤボンディング工程における実装精度の許容範囲が広いため，実装精度よりも生産性を重視した開発が進んできた．生産性を重視したダイボンダでは，ダイ裏面形状によって位置合わせを行うため，ダイの外形ばらつきによって認識誤差が大きくなる問題がある．そのため，上述のメモリ内蔵プロセスに適用するには，高精度ダイアタッチ機構開発が必要である．また，高速実装で熱硬化・熱可塑接着材やはんだを用い接着・接合強度を確保し後工程での位置ずれを抑えるには，ウエハの加熱プロセスが不可欠となる．

フリップチップ方式においては，マイクロはんだ接合を用い狭ピッチ電極パッドに高速で実装，積層していくには，チップだけでなくウエハの加熱は必須になる．

両方式において，大口径ウエハを加熱すると，認識カメラの光路中の空気が熱で揺らぐことにより，認識誤差が±10 μm 以上に大きくなる問題があった．直径 300 mm のウエハで実装精度±3 μm 以内を達成するには，熱揺らぎの問題を解決する必要がある．

さらに，50 μm 厚の大型チップを加熱しながら実装する工程において，チップが反りオープン不良が発生する問題もある．

以上より，チップオンウエハ実装の高精度化と高生産性を両立するための課題を以下の 2 点とし，本研究で詳細に検討を行った．

1. 大型ウエハの加熱ステージ上での高精度実装プロセス設計
2. 薄型半導体の反りを考慮した実装プロセス設計

1.3 チップオンウエハ実装の課題と研究目的

1.3.1 大型加熱ステージでの熱揺らぎ抑制による高精度実装プロセス設計

基板大型化による課題は，実装時の熱揺らぎである．はんだやダイボンド接着材を溶融・硬化しながらウエハ上の膜に熱ダメージを与えないように実装するため，実装機において実装ステージは 50～150℃に加熱される．実装ステージの輻射熱によりステージ近傍の空気が温められることにより，認識カメラ光路中の空気は密度差が生じ，空気への反射光は様々な方向に屈折する．そのために，認識画像の歪みや左右前後への揺らぎが生じ，認識誤差が大きくなる．例えば，常温での認識精度が±0.5 μm の実装機においても，150℃の加熱により認識精度は±10 μm 以上に拡大する．

この熱揺らぎは陽炎（かげろう）と呼ばれ，これまでに様々な研究がされてきた．亀田ら [31]，山口ら [32]は光路中にエアブローを吹き付けることにより，陽炎を除去する方法を提案している．しかし，エアブロー方式では噴流が実装ヘッドや実装ステージに当たるため，実装ヘッドやステージの温度が不安定になる問題があった．そこで，竹内 [33]は認識カメラからダイまでの光路をカバーで囲いエアブローすることにより，空気の密度差を均一にする手法を提案している．また，田村ら [34]は，光路空間を取り囲むようにエアカーテンを設置し，輻射熱を受ける空間と常温の空間を分離し，光路中の空気の温度差を均一にする手法を提案している．一方，星 [35]らは気流を用いない方式として超音波定在波による空気揺らぎの抑制方法を提案している．光路に対し垂直方向に超音波発信器と反射板を設置し超音波定在波を発生させ，超音波ビームの音圧の腹と節を持つ周期構造により，光路上の空気の屈折率変化を抑えたと報告している．

これらの空気の流れや揺らぎは肉眼では見えないため，これまで技術者の勘と経験により設計・対策を施し，認識精度で確認することが多かった．このような中，星らは，シュリーレン法を用いて陽炎の挙動を CCD カメラの画像で可視化し，超音波定在波が陽炎に与える影響を

分析したと報告している．しかし，光路までの距離，焦点距離などのパラメータが陽炎に与える影響や，実装機内の温度・流速などの物理量を定量的に計測する手法の構築については今後の課題としている．

現時点で，実装機内の陽炎挙動や空気の流れを定量的に評価する手法については報告されておらず，熱・光・流体などの諸影響因子がカメラの認識精度に与える影響については，未だ解明されていない．

そこで，本研究では，チップオンウエハ実装におけるフリップチップ，ダイアタッチの共通課題として熱揺らぎに着目し，熱揺らぎの影響因子の定量的評価手法を検討し，影響因子を明確化し，熱揺らぎ抑制プロセス設計指針を導出した．開発目標は，150℃に加熱されたウエハへのチップオン実装において，実装精度±3 μm 以内とした．

1.3.2 薄型半導体の反りを考慮した実装プロセス設計

1.1.6 節で述べたように，先端半導体パッケージの半導体は，高機能化に伴い大型化が進む．さらに，積層パッケージが，モバイル端末の中に収納できるようにするため，半導体には薄型化の要請が高まっている．半導体の大型化と薄型化が進むと，半導体内部の配線構造の不均一が原因で，構成材料の弾性率・線膨張係数の違いにより熱応力の差が生じ，反りが増大する．

半導体パッケージの反りに関し，これまで様々な研究がされてきた．辻ら[36]は，樹脂基板上に実装した半導体を樹脂成型により一括封止した大面積半導体パッケージにおいて，封止樹脂の硬化収縮挙動が反りに及ぼす影響について解明し，硬化挙動の制御により反りを低減できると報告している．また，中村ら[37]は，半導体パッケージの構成材料であるエラストマの物性値が反りや残留応力に与える影響を熱粘弾性解析により解明し，エラストマ材料の設計指針を導く研究を行っている．また，三宅ら[38]は，半導体パッケージのリフロー後の反り挙動を粘弾性解析により予測する手法を提案している．

また，サポートウエハと封止樹脂の線膨張係数・弾性率の違いにより，樹脂成型後に反り変形が生じ，サポートウエハが割れるといった問題がある．K. Ueno ら[39]は，顆粒状，液状，シート状といった異なる形態の封止樹脂で樹脂成型を行った場合の反りについて研究を行っている．また，半導体の樹脂成型プロセスについては，溶融した封止樹脂を型に流し込む樹脂成形については流動解析の研究が行われてきた[40]が，シート状の封止樹脂を軟化させながら半導体を埋め込む際の流動挙動については十分に研究されていない．

本研究では，薄型半導体の大きな反りに着目し反りを考慮した実装プロセスの設計指針について研究を行った．配線の内部応力が反りに影響を与える半導体の厚さを明確化した．また，フリップチップ，ダイアタッチの共通課題として，実装時の加熱プロセスが定常加熱，パルス加熱方式により反りに与える影響を半導体の厚さの観点から検討した．

また，このプロセス設計指針を，フリップチップ及びダイアタッチについて適用した．

フリップチップ実装プロセスでは，ウエハ上に短時間で 1 個ずつ半導体をはんだ実装すると，半導体の反りが加熱により増大し，溶融したはんだ接合部がオープン不良になる問題がある．50 μm 厚のダイを 1 個あたり 1 s で実装することを目標に，工程分割マイクロはんだ接合工法を検討した．

ダイアタッチプロセスでは，薄型半導体を薄い樹脂フィルム中に内蔵すると，半導体の内層ごとに熱膨張・収縮量が異なるため複雑な反り挙動を示す．半導体の厚さ・フィルム内の位置に着目し反りの発生メカニズムを検討した．さらに，半導体の内蔵プロセスを支配する因子とその関係について明確化を行った．

1.4 研究の構成と流れ

Fig. 1.7 に本研究の構成と流れを示す．

第 1 章では，本研究の背景として，2.5D，3D，ファンアウトウエハレベル，パネルレベルパッケージといった半導体パッケージ進化の動向，チップオンウエハ実装プロセス，実装機の動向について述べた．さらに，将来想定される 3 次元積層モジュールの構造と実装プロセスについて述べ，チップオンウエハ実装の課題として，大型加熱ステージでの熱揺らぎを抑制するための高精度実装プロセス設計指針，薄型半導体の反りを考慮した実装プロセス設計を抽出し，本研究の目的について述べた．

第 2 章では，従来解明されておらず設計者の経験と勘に頼っていた実装機内の熱流体挙動を定量化する手法を検討し，加熱実装における熱揺らぎ挙動を解明し，温度・強制噴流・機構部品の位置関係などの諸因子が認識精度に及ぼす影響を明確化した．陽炎の定量化手法として非圧縮流体の熱流体解析を用い，実装装置内の主要部品の構成をモデル化し，暖められた空気の流れと温度分布の算出を行う．さらに，粒子画像流速測定法により流速分布を求め，流体解析の妥当性を検証した．特に，陽炎（かげろう）を除去するための強制噴流の流量が認識カメラの光路中の空気の流速分布や温度分布に与える影響を明確化し，空気の温度差を低減する条件を導出し，ダイアタッチの実装精度±3 μm を達成した．

第3章では，反りの大きな薄型半導体に関し，反りを低減しながら短時間・高精度で実装するプロセスを検討した．まず，薄型半導体の内層の配線構造や実装プロセス条件が反り及び残留に与える影響を，実測に基づく膜の残留応力と材料力学の観点から検討した．具体的には，実装時の加熱プロファイルがコンスタント，パルス加熱の場合の半導体厚さと反りの影響を明確化した．また，半導体配線構造が反りに与える影響の検討も行った．さらに，半導体を樹脂フィルムに内蔵した構造が反りに与える影響を弾性解析により明確化した．以上により，反りを低減する半導体構造・プロセスの設計指針を導出した．

さらに，反りを低減する半導体内蔵構造において，温度・荷重により，構造の大変形を伴い流動するフィルムの挙動を剛塑性解析により定量化し，適正な埋め込み温度・荷重を導出するプロセス設計指針の構築に取り組んだ．

第 4 章では，第 2 章，第 3 章で導出したプロセス設計指針を踏まえ，反り低減を考慮した高精度フリップチップ実装プロセスを検討した．高生産性を確保しながら反りの大きなダイを高精度で実装する手法として，工程分割マイクロはんだ接合工法を考案した．工程分割マイクロはんだ接合工法は，個々の半導体と基板の位置合わせを行う仮接合工程と，ウエハ一括で確実に接合を行う本接合工程とから成る．従来の 1 工程から 2 つの工程に分けることにより，生産性と高精度の両立を可能にした．仮接合工程においては，溶融したマイクロはんだの表面張力・濡れを制御することにより，半導体の反りを低減することが重要となる．一方，本接合工程においては，仮接合後の複数の半導体のはんだ接合部を再溶融させることで半導体の反りを緩和し接合を確実に行うプロセスを検討した．はんだ量や温度条件による反り抑制効果および信頼性評価について研究を行った．

第5章では，結論を述べた．

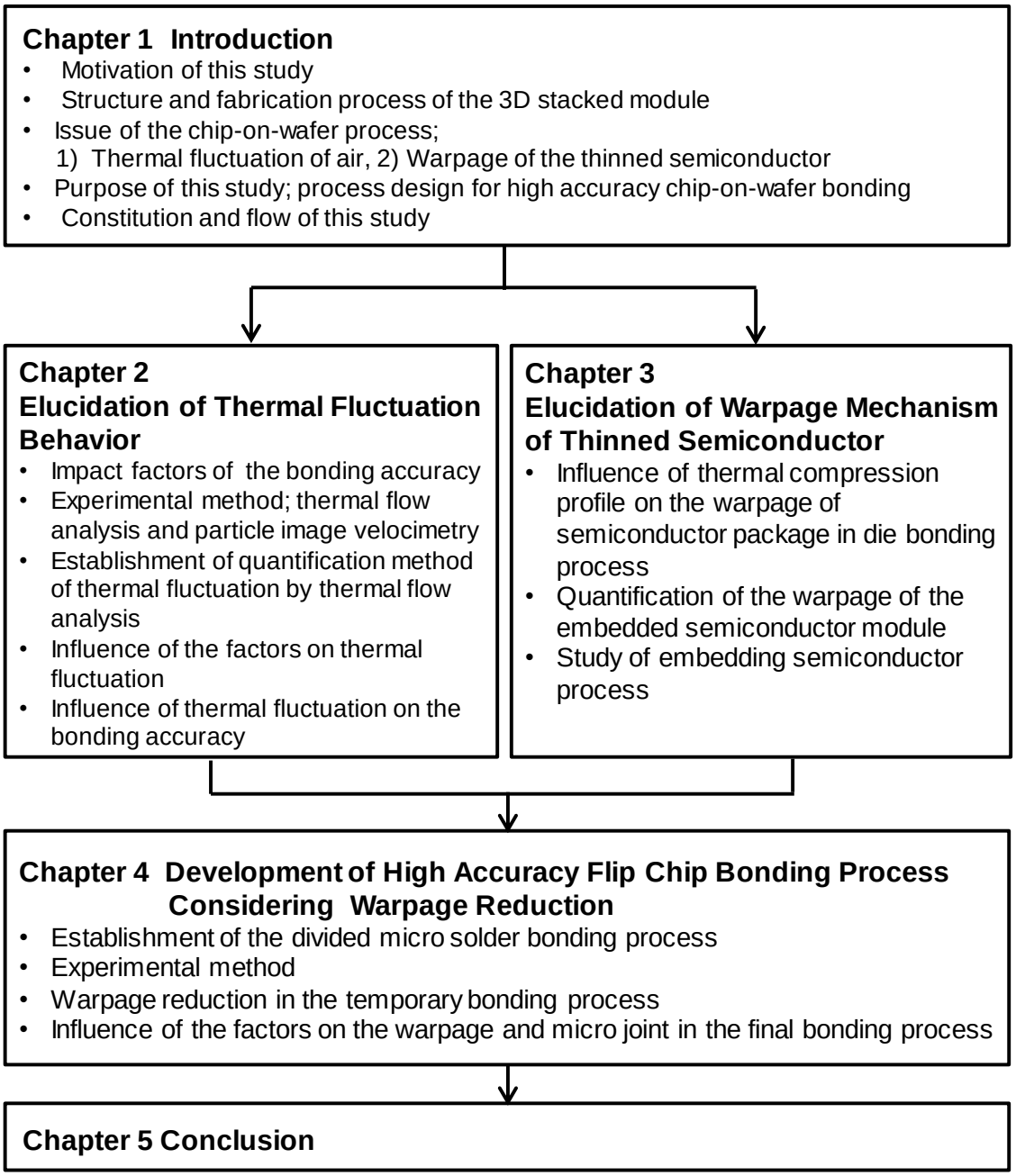


Fig. 1.7 Research flowchart of this study.

第 2 章　加熱実装における熱揺らぎ挙動の解明

2.1　緒言

チップオンウエハ実装において，大口径ウエハを加熱すると，認識カメラの光路中の空気が熱で揺らぐことにより，認識誤差が大きくなる問題があった．実装プロセスにおける熱揺らぎは，陽炎（かげろう）と呼ばれ，技術者の経験や勘に基づき，陽炎を抑える研究開発が行われてきた．これまでの研究では，熱揺らぎは定性的評価にとどまっており，認識精度との因果関係も不明確であった．

そこで，本研究では，チップオンウエハ実装における高精度実装プロセス設計指針の構築を目的とし，実装機内の熱揺らぎ挙動の定量化を検討した．熱圧着プロセスにおいて，ダイアタッチではダイの認識マークが直接見られないため，フリップチップ実装よりも実装精度が悪化する．そこで，ダイアタッチプロセスを研究対象とし，ダイアタッチ実装精度±3 μm 以内を目標に加熱実装プロセスの高精度実装化を検討した．

著者は，実装ヘッドに吸着したダイの認識マークをサイドビューカメラで直接画像認識する透過式ヘッド検証装置を作製し，常温での実装精度向上に対する影響を評価した．

さらに，著者は本検証装置を対象に加熱実装プロセスの設計指針構築を行った．熱流体解析により検証装置内の熱流体挙動を定量化し，粒子画像流速測定法(Particle image velocimetry, PIV)により熱流体解析手法の妥当性を検証した．

本研究では，透過式ヘッドを搭載したダイアタッチ装置において，温度・強制噴流等の諸条件が流速，温度分布，認識精度に与える影響について検討を行った．さらに，実装精度±3 μm 以内を目指し，設計指針に基づき導出した熱揺らぎ低減条件におけるダイアタッチ実装精度を検証した．

2.2　実装機における実装精度の支配因子

2.2.1 実装プロセス

チップオンウエハ実装の一例として，FOWLP の生産プロセスを Fig. 2.1 に示す．まず，Fig. 2.1(a)に示すように，ウエハ上に一定間隔でダイアタッチを行う．ダイ裏面に DAF(Die attach film)を貼り付けるないしは，ウエハに接合材料を塗布した後，接合材料の接合温度にて加熱実装を行う，次に，Fig. 2.1(b)のように，ダイを樹脂封止した後，複数のダイの電極端子に合うように位置合わせを行い，再配線層を形成する．その後，ウエハを除去し個片

化することにより半導体パッケージは形成される.

以上のプロセスを想定し，チップオンウエハにおける目標実装精度は，電極端子の狭ピッチ化，異種ダイ実装への対応や実装後のモールドでの位置ずれ等を考慮し，±3 μm(3σ)以内とした.

2.2.2 高精度ダイアタッチ機構

Fig. 2.2 は，従来の高速ダイボンダの構成である．構成を分析し，実装精度±3 μm 達成に向けた課題を 3 点抽出した.

1) 従来ヘッドでは，吸着したダイ表面が見えないため，ダイ裏面からアップルッキングカメラで撮像し外形で位置合わせする方法や，吸着前にダイ表面を認識する方法が採られる．し

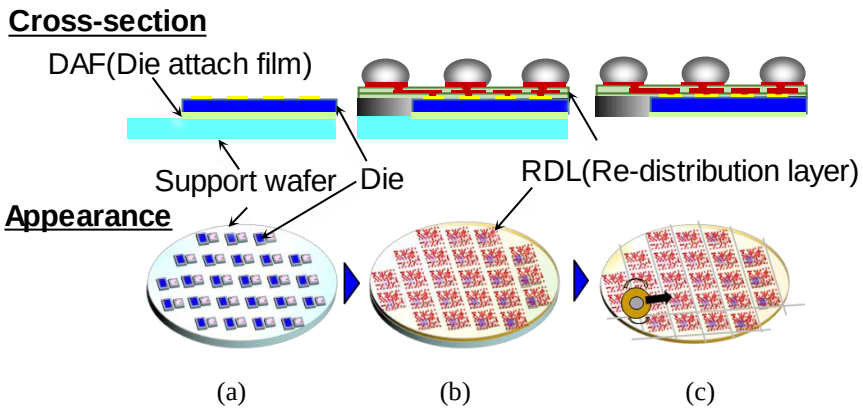


Fig. 2.1 Fabrication process of the Fan-Out Wafer Level Package; (a) Die attach, (b) re-distribution, (c) de-bonding and singulation.

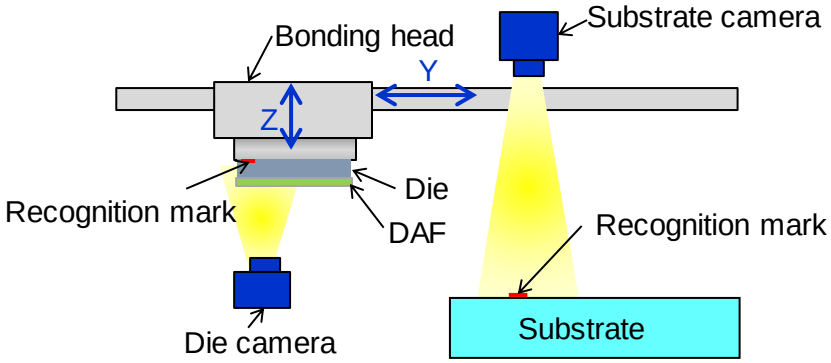


Fig. 2.2 Structure of the conventional die bonder.

かし，前者ではダイシング時に DAF にバリが生じ外形寸法がばらつき，後者では吸着動作時に吸着位置がばらつく．従って，吸着したダイ表面が見えるヘッドの開発が必要である．

2) 認識カメラをダイ用と基板用に分離すると，2 台のカメラ間で認識誤差が生じる．そこで，同一カメラでダイと基板を認識する機構開発が必要である．

3) 認識時に振動の影響を減らすには，カメラと被測定物板との距離を近づけた方が良い．しかし，加熱した被測定物に近づけ撮像すると，輻射熱により空気がゆらぐ「陽炎」により認識精度が±10～±15 μm ばらつく．陽炎を効率的に取り除く機構開発が必要である．

そこで，以下の開発コンセプトを掲げ，検証装置を設計・試作し，評価を行った．

1) 吸着したダイの認識マークで直接位置合わせが可能

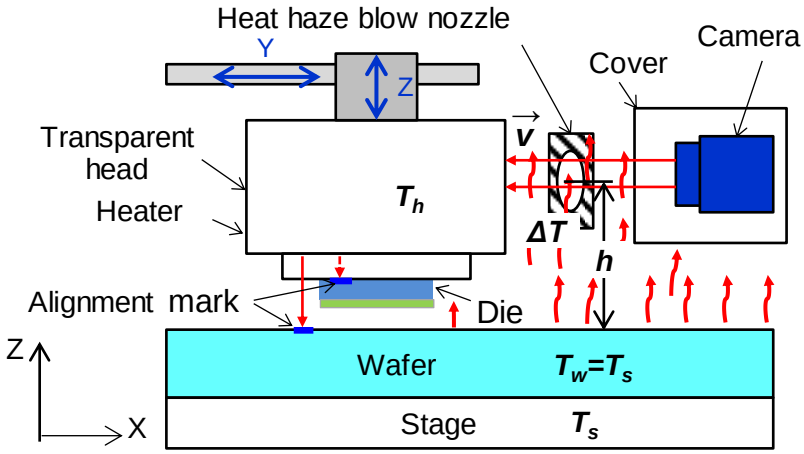
2) ダイと基板の認識マークを同一カメラで同時に撮像

3) 陽炎を除去しダイと基板を実装直前に近距離で撮像

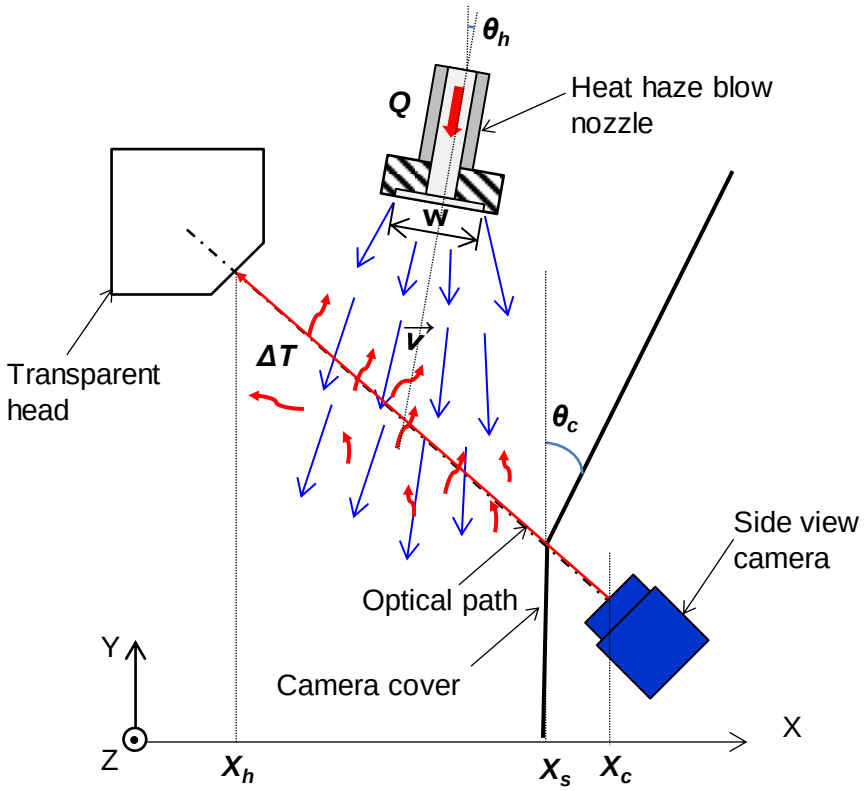
Fig. 2.3 は，検証に用いた 300 mm ウエハ対応高精度実装機（パナソニック製）の概略図である．装置構成について説明する．まず，ピックアップしたダイをヘッドに受け渡し吸着する．次にダイと加熱ステージ上の基板を認識マークで位置合わせした後，ヘッドを下降し実装する．

ここで，ヘッドで吸着したダイの認識マークを認識する方法としては，赤外線カメラでダイ裏面から認識マークを透過する方法や，ダイより小さなツールで吸着し斜め上方からダイを撮像する方法が知られている．しかし，前者では DAF 内部にある数ミクロンから数十ミクロン径の粉末や気泡が認識を阻害する．後者では，実装時にダイ端部に熱・荷重がかからず，後工程や使用環境において剥離不良の懸念がある．

そこで，ヘッド内部を透過構造とし，ヘッド側面に設置したサイドビューカメラで認識マークを認識する方式を採用した．本方式では DAF 付きのダイ認識とダイ全面加圧を容易に両立できる．さらに，光学設計を工夫し，高さの異なる基板とダイの認識マークを実装前に同時認識できるようにした．ダイと基板の同一視野での同一カメラによる撮像により，認識精度を向上させた．また，ステージからの輻射熱を防ぐためサイドビューカメラ周辺にはカバーを設けた．さらに，カメラカバーと透過ヘッドの間の陽炎を除去するように，紙面に対し垂直方向に噴射するように陽炎ブローノズルを設置した．



(a)

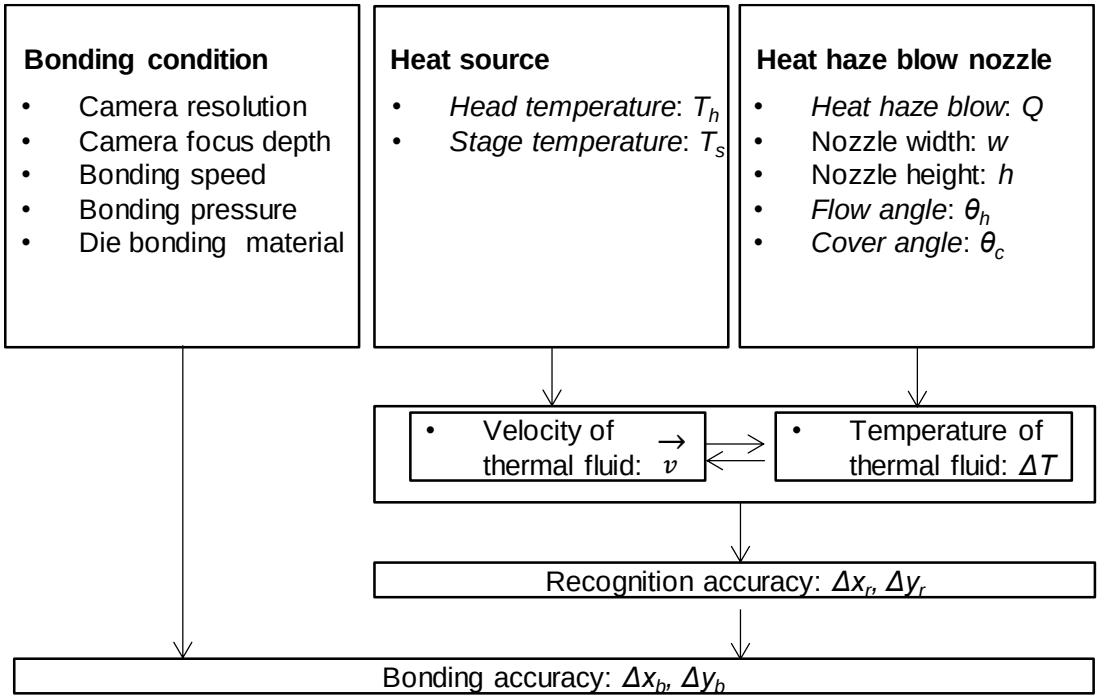


(b)

Fig. 2.3 Structure of the developed die bonder; (a) cross-sectional view (b) plain view.

2.2.3 実装精度の影響因子

Fig. 2.4 は実装精度の支配因子を示す．実装精度の支配因子は，認識カメラ・駆動速度・接合材料などの実装条件，加熱条件，陽炎ブローノズル条件に大別される．ヘッド温度 T_h・ステージ温度 T_s により，実装機内の空気が熱で揺らぎ，流速 v に変化が生じ温度差 ΔT



* The parameters written by the Italic fonts were studied in this study.

Fig. 2.4 Correlation of the impact factors of the bonding accuracy.

が生じる. その温度分布がさらに流速 v に差を生じさせるため, 空気は不規則に加熱される. 空気の温度差 ΔT は空気の密度差となり, 密度差のある空気を通った光は様々な方向に屈折する. そのため, 位置 X_c のサイドビューカメラから位置 X_h の実装ヘッドまでの光路に陽炎が生じると, 認識精度が低下する. 一方, 陽炎ブローは, 強制的に噴流を噴射し空気の温度差 ΔT を低減する役割がある. 陽炎ブローの流量 Q, 高さ h, 角度 θ_h, サイドビューカメラカバーの角度 θ_c 等により熱流体の流速ベクトル $\vec{v}$ は変化し, 空気は冷やされ温度差 ΔT が減少するため, ダイの認識精度は向上する.

上記影響因子の内, 本研究では, ヘッド温度, ステージ温度, 陽炎ブローノズル流量, 陽炎ブロー角度, カメラカバー角度が認識精度・実装精度に与える影響を評価した.

2.3 実験方法

2.3.1 供試材料及び評価サンプル作製方法

チップオンウエハを想定し, 外形サイズ 9.6 mm×9.6 mm のダイ, 直径 300 mm のウエハを用いた. 高精度ダイアタッチ実装装置を用い, ダイ及びウエハに設けられた認識マークによって

位置合わせし，ダイをウエハに等ピッチ間隔で実装した．Fig. 2.5 に外観写真を示す．

2.3.2 熱流体解析方法

(a) 支配方程式

陽炎は，空気が不規則に加熱されることにより局所的に空気の密度差が生じ，空気を通った光が様々な方向に屈折することで起きる．

空気の流れ場では，大小の渦の生成と消滅がランダムに生じる乱流の挙動を示す．乱流の渦は時間的にも空間的にも複雑で不規則な動きを示す．乱流の解析手法としては，主に，直接数値シミュレーション法(Direct Numerical Simulation)，格子平均モデル(Large Eddy Simulation)，レイノルズ平均モデル(Reynolds-Averaged Navier-Stokes; RANS)が知られている．平均的な流れや温度の傾向を捉えることができ，この 3 手法の中で最も計算負荷も低いことから，乱流を空間的・時間的に平均したレイノルズ平均モデルを用いた．

また，実装ステージやヘッドの熱によって温められた空気の熱揺らぎを，非圧縮性流体の自然対流と考え，密度に関するブシネスク近似 [41]を適用した．対流を表す方程式を以下に示す．

$$\rho_0 \frac{\partial \overline{u_i}}{\partial t} + \rho_0 u_i \frac{\partial \overline{u_i}}{\partial x_j} = -\frac{\partial \bar{p}}{\partial {x_i}^2} + \nu \frac{\partial^2 \overline{u_i}}{\partial {x_j}^2} - \frac{\partial \overline{u'_i u'_j}}{\partial x_j} + (\rho - \rho_0) g \qquad (2.1)$$

$$(\rho - \rho_0)\mathrm{g} = -\rho_0 \beta (T - T_0) \qquad (2.2)$$

ここで，t は時間，x_i, x_j は直交座標系の座標成分，u_i ，u_j は x_i ，x_j 方向の流速成分であり，p は圧力成分，g は重力加速度成分である．また，ρ は流体の密度，ρ_0 は基準密度，β

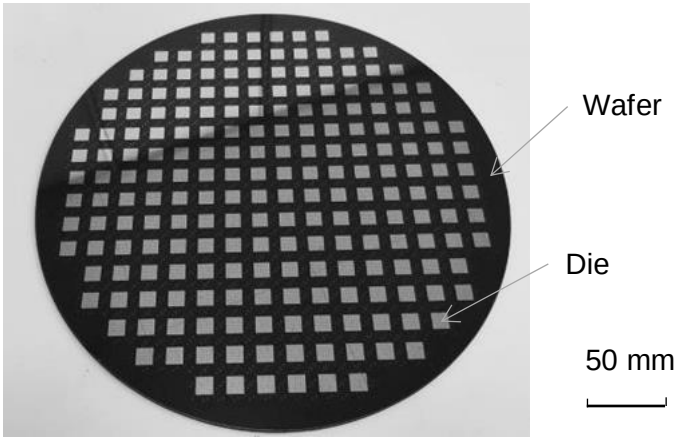


Fig. 2.5 Photography to illustrate the chip-on-wafer bonding.

は熱膨張係数であり，T は流体の温度，T_0 は基準温度である．

式(1)，(2)が示すように，流体の温度差により密度変化が発生し，密度差が重力に比例した浮力として流体に影響を及ぼすと考えて解析を行った．

(b) 解析モデル

解析モデルの平面図を Fig. 2.6 に示す．実験装置と同様に，透過ヘッド，サイドビューカメラユニット，ステージをモデル化し，空気の流れと温度への影響を可視化した．直径 300 mm のウエハの中央部に透過ヘッドを配置し，透過ヘッドの側面から撮像できるようにサイドビューカメラユニットを配置した．さらに，陽炎ブローノズルを，x 軸では透過ヘッドとサイドビューカメラの間に，y 方向に噴流が噴出するように配置した．サイドビューカメラユニット内部にはカメラを搭載し，透過ヘッド側面，サイドビューカメラ，カメラ表面の x 座標を X_h，X_s，X_c とした．なお，解析領域は 600 mm×1600 mm×400 mm とした．また，透過ヘッド内部は，擬似的に流れのない固体空気としてモデル化した．解析に用いた構成材料の物性値を Table 2.1 に示す．また，解析には汎用熱流体解析ソフト STAR-CCM+ v10.04.009（富士通製）を用いた．

(c) 解析条件

一般的にダイアタッチは，接合温度 100～150℃で行われることが多い．ウエハ温度は，加熱による反りの増大や配線の酸化等が懸念されるため，150℃以上は困難と考える．ウエハが低温でも接合部を加熱できるように，ヘッドより高くし，ヘッド温度は 200℃とした．以上の理由か

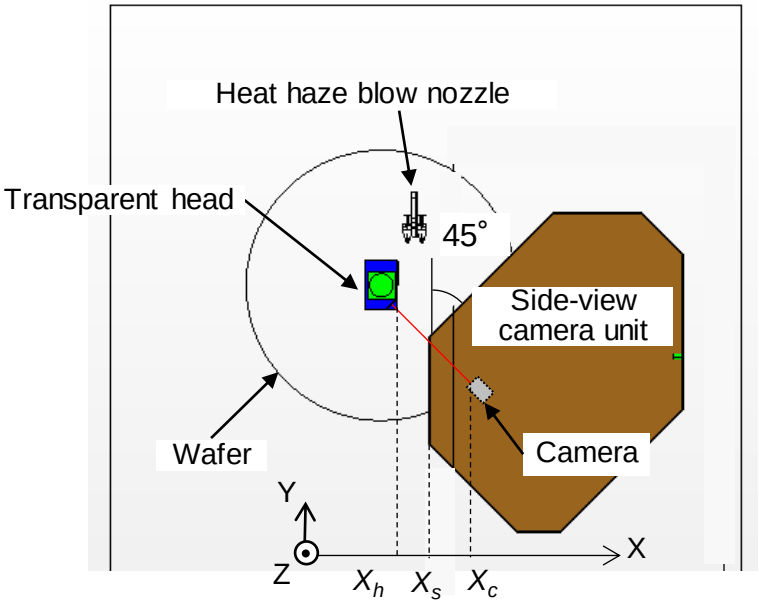


Fig. 2.6 The thermo-fluid analysis model.

Table 2.1 Conditions of the thermo-fluid analysis model.

Material	Density (kg/m^3)	Specific heat (J/kg・K)	Thermal conductivity (W/m・K)
Head	7780	460	24.3
Solid air (100℃)	916	1012	0.0316

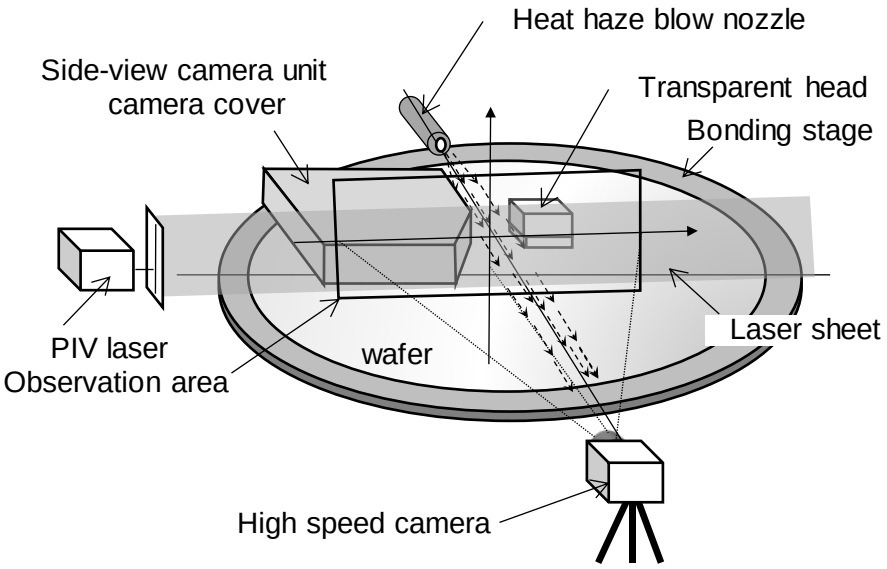
ら，想定仕様上最高温度となるウエハ温度 150℃，ヘッド温度 200℃において，定常解析を行った．まず，自然対流による熱揺らぎの影響を評価するために，加熱ウエハ及びヘッド近傍の流速分布，温度分布を求めた．さらに，噴流による熱揺らぎの影響を評価するため，陽炎ブローから噴流を噴出した場合の流速分布及び温度分布を求めた．なお，陽炎ブローノズル流量は，1 本あたり 15 L/min とし，サイドビューカメラのカバー形状を，Fig. 2.6 に示すように y 方向に対し 45 °切り欠き部を備えた形状とした．

ダイアタッチの接合温度から，ステージ温度を 150℃，ヘッド温度 200℃とし，定常解析を行った．まず，自然対流による熱揺らぎの影響を評価するために，加熱ウエハ及びヘッド近傍の流速分布，温度分布を求めた．さらに，噴流による熱揺らぎの影響を評価するため，陽炎ブロー流量と空気の流速分布及び温度分布の相関を求めた．陽炎ブロー流量は，0，15，50，150 L/min，カメラカバー角度は 0°，45°とした．

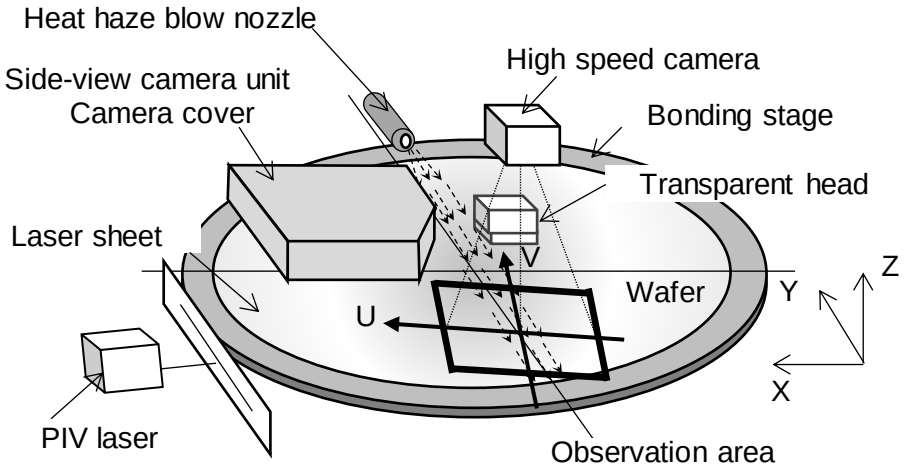
2.3.3 粒子画像測定法による流速分布の測定方法

流速の測定方法としては，熱線流速計やレーザドップラー流速計などが知られているが，いずれも 1 点あるいは数点の定点計測であり，ある瞬間の流れ構造や空間相関を知ることができない．本研究では，流れ場における多点の瞬時速度を得ることができる流体計測手法として注目されている，粒子画像流速測定法(Particle Image Velocimetry; PIV)を用いた．本手法は，流体に追従する微細トレーサ粒子にレーザシートを照射し可視化し，カメラで撮影した流れ画像を解析しフレーム間の微小時間における粒子の変位ベクトルを画像処理によって求め，流体の局所速度ベクトルを計算する手法である．PIV の光源には波長 532 nm の YVO_4（イットリウム・バナデイト）レーザを，トレーサ粒子には水溶性グリコールを用いた．

PIV の測定方法を Fig. 2.7 に示す．Fig. 2.7(a)に示すようにレーザシートによりウエハに対し垂直方向に 2 次元断面を形成し，レーザ面に対向するように設置したカメラにより撮像



(a)



(b)

Fig. 2.7 The measurement method of the flow velocity in the die bonder by the particle image velocimetry for (a) cross-sectional and (b) top view observation.

し，X， Z 軸に対し 2 成分計測を行った．また，平面方向の流速測定は，Fig. 2.7(b)に示すように，レーザシートを照射しウエハと平行かつ一定距離離れた平面領域を形成し，ウエハ上方に設置したカメラにより撮像した．2 成分計測を X，Y 軸に対し反時計周りに 25°回転した U，V 軸に対し行った．熱揺らぎを考慮し，画像は一定間隔で撮像し，32 フレームの平均値を流速とした．垂直平面における高さごとの流速は，同一高さにおける複数点の平均値とした．なお，ヘッド温度は 30，200℃，ステージ温度は，30，90，150℃，陽炎ブロー流量は 0，7.5，15，22.5，50 L/min，陽炎ブロー角度は 0°，カメラカバー角度を 0°とした．

熱揺らぎを考慮し，画像を 2.5 ms 間隔で撮像し，32 フレームの平均値を流速とした．

2.3.4 認識精度及び実装精度の測定方法

(a) 認識精度

透過ヘッドに吸着したダイの認識マーク画像をサイドビューカメラで取り込み，画像処理装置によりパターン認識し，認識マークの x, y 座標を求めた．認識精度は，認識マークを一定時間間隔で 100 回撮像した時の x, y 座標の標準偏差 3σ とした．また，焦点距離からのシフト量が-3 mm から 5 mm になるようにサイドビューカメラからダイまでの距離を変動させ，温度と焦点距離からのシフト量が認識精度に与える影響を評価した．なお，レンズの被写界深度は 3 mm である．

(b) 実装精度の測定方法

画像測定システムを用い，ダイ実装位置の設計値からのずれ量 Δx, Δy を測定した．実装点 40 点の標準偏差 3σ を求め，実装精度とした．

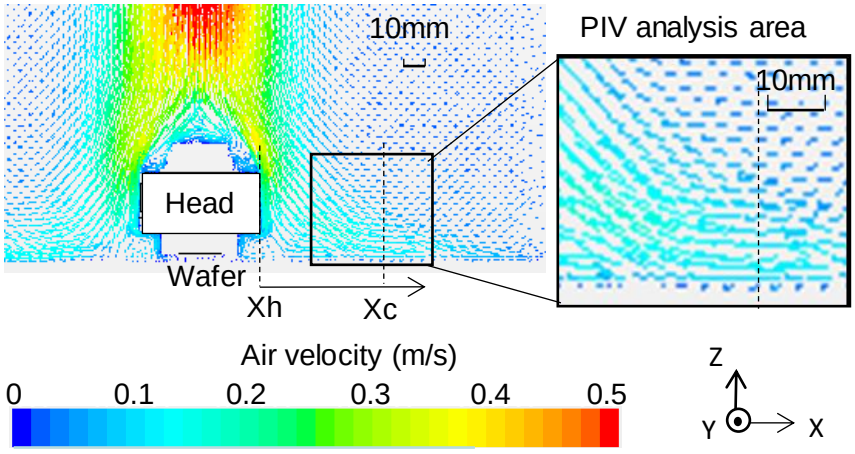
2.4 熱流体解析による熱揺らぎ挙動の定量化手法の構築

2.4.1 自然対流による熱揺らぎの定量化

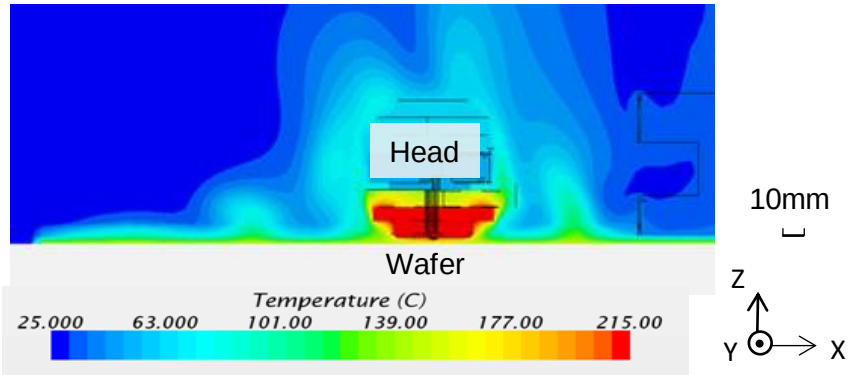
(a) 熱流体解析による流速・温度の定量化

150℃に加熱したウエハ及び 200℃に加熱したヘッド近傍の空気流速分布の解析結果を Fig. 2.8(a)に示す．平面方向にヘッドから離れた位置の加熱したウエハ近傍の空気は，ウエハから上方に向かって 0.02 ～0.15 m/s と緩やかな速度で変動しながら上昇する傾向が見られた．一方，200℃に加熱されたヘッド近傍の空気は，ヘッドの側面形状に沿うように上昇気流が生じ，ウエハからの上昇気流と混ざり合うことにより，ヘッドが無い部分よりも速い速度で上昇する傾向が見られた．

一方，自然対流による温度分布の流体解析結果を Fig. 2.8 (b)に示す．150℃に加熱されたウエハ直上の空気は，ウエハに近いほど高温になり，平面方向の位置に依存することなく不均一な温度分布を示した．その理由を以下のように考えた．ウエハによって温められた気体は，隣接する気体粒子の温度差によって浮力に差が生じるため，上昇気流の流速がばらつき不均一な空気の流れが発生する．その結果，さらに温度差が拡がり，その温度差によって空気の流れがさらに不均一になったと考える．一方，ヘッド近傍の温度は，ヘッドがウエハに対し 50℃高いにも関わらず，ヘッド側面の極めて近い位置以外は大きな温度上昇が見られなかった．



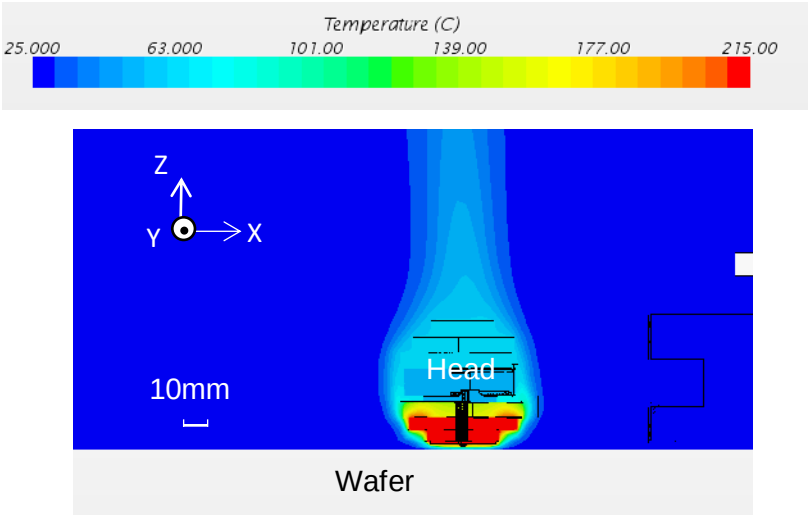
(a)



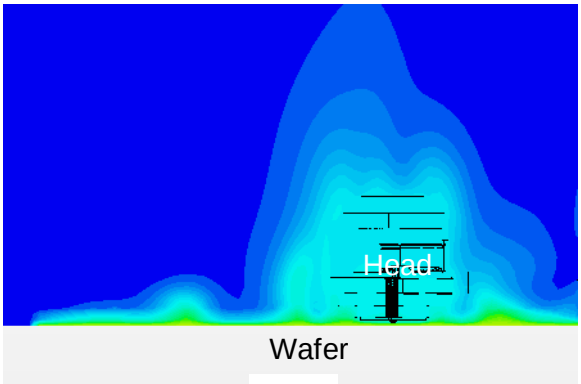
(b)

Fig. 2.8 Thermo-fluid analysis result of heat haze on the heated wafer with the bonding head at the temperature of 200℃; (a) flow velocity, (b) temperature.

そこで，ヘッド側面の空気の温度上昇の原因を究明するために，熱流体解析によりウエハ・ヘッド加熱の影響を評価した．Fig. 2.9(a)はヘッドのみを 200℃に加熱した場合，Fig. 2.9(b)は常温のヘッドを 150℃に加熱したウエハ上に配置した場合の温度分布の解析結果である．Fig. 2.9(a)に示すように，加熱されたヘッド表面を覆う近傍の空気は 80℃程度に温められたが，全体の温度分布には影響を与えなかった．一方，Fig. 2.9(b)に示すように，常温のヘッドを加熱されたウエハ上に配置した場合，ヘッド近傍から広範囲に渡って空気の温度上昇をもたらした．ウエハの輻射熱により温められた気流が，ヘッドに沿って上昇することにより，ヘッド近傍の空気に負圧が生じ流速が増幅され，温度上昇が生じたと考える．以上より，ヘッド近傍では，ヘッド温度よりも，ヘッドの存在自体が，空気の温度上昇に著しく影響を及ぼすことが分かった．ヘッド側面の空気は熱揺らぎが生じやすいため，側面からカメラで撮像し認識処理を行うと認識精度が悪化すると考える．



(a)



(b)

Fig. 2.9 Thermo-fluid analysis result of flow temperature; (a) head 200℃, wafer: 25℃, (b) head: 25℃, wafer: 150℃.

(b) PIV 法による流速分布の測定

熱流体解析の妥当性を検証するため，PIV 法により流速分布を測定した．Fig. 2.10(a)は，断面方向の PIV 測定結果である．Fig. 2.10(b)，(c)，(d)は，熱流体解析と同様にヘッド温度，ウエハ温度を変えた場合の，Fig. 2.10(a)中の分析領域における流速分布である．Fig. 2.10(b)の通り，ヘッド及びウエハが 30℃の場合，気流は不規則な方向に 0.2 m/s 以下の速度で移動した．ウエハ温度が 150℃，ヘッド温度が 30℃，200℃の場合の流速分布を Fig. 2.10(c)，(d)にそれぞれ示す．いずれの条件においても，気流が約 0.1 m/の速度で揺らぎながら，ヘッドに沿って上昇する傾向が見られた．Fig.2.8 (a)中の PIV 解析領域と同様の傾向を確認した．また，熱流体解析と同様にヘッド温度は気流分布に大きな影響を与えなかった．

以上のように，ウエハ温度 150℃における熱揺らぎにおいて，熱流体解析による流速分布結果が PIV 法による測定結果と同様の傾向を示すことを確認した．

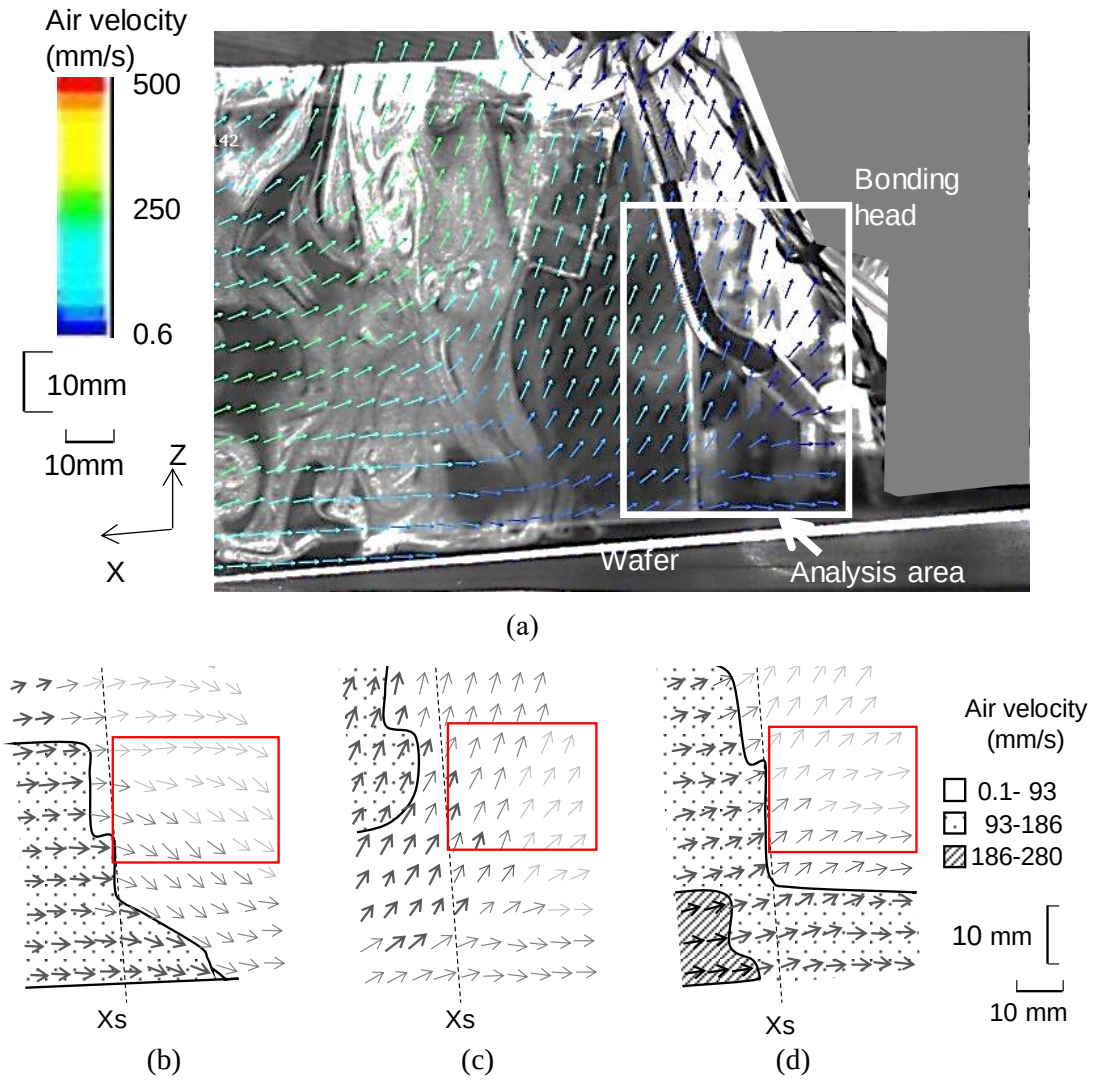
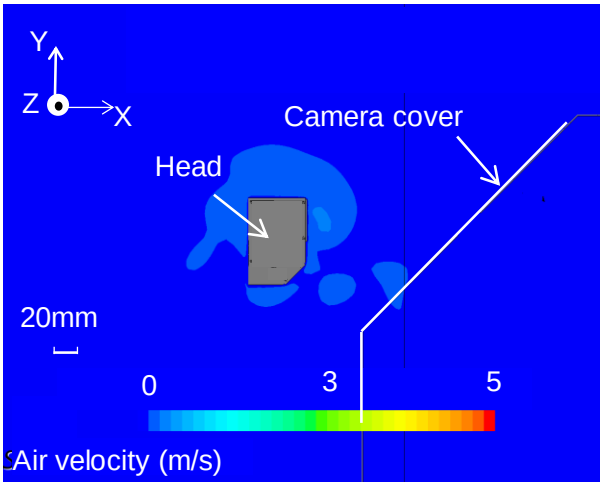


Fig. 2.10 The measurement result of the flow velocity distribution by the PIV method (Temperature condition; (a) head: 200℃, wafer: 30℃, (b) head: 30℃, wafer: 30℃, (c) head: 30℃, wafer: 150℃, (d) head: 200℃, wafer: 150℃).

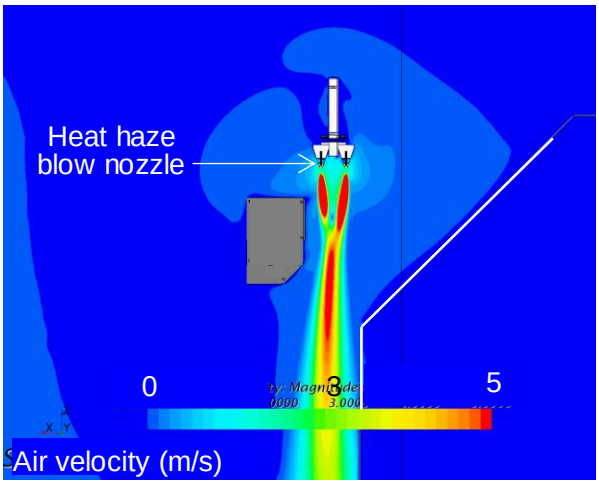
2.4.2. 噴流が熱揺らぎに与える影響

(a) 熱流体解析結果

噴流が熱揺らぎに与える影響について，熱流体解析を用いて検討した．熱流体解析結果の流速分布の平面図を Fig. 2.11 に示す．Fig. 2.11(a) に示すように，陽炎ブロー流量が 0 L/min の場合，前項で述べたようにヘッドを取り囲む気流は 0.1 m/s 程度の緩やかな速度で不規則な方向に動いた．一方，Fig. 2.11(b) に示すように陽炎ブローがある場合，ノズルから一定幅で 5 m/s の高速の噴流が y 方向に向かって噴出した．噴流に引き込まれるよう



(a)



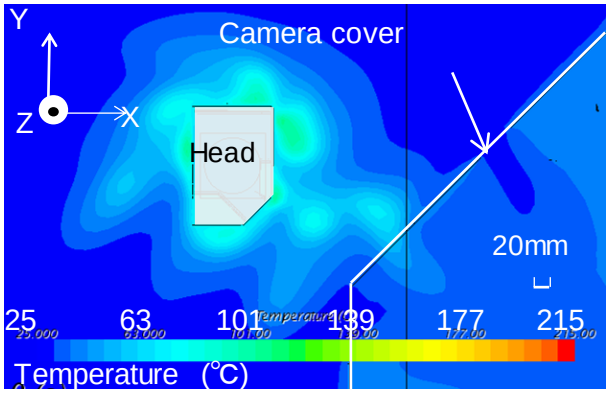
(b)

Fig. 2.11 Thermo-fluid analysis results of the flow velocity distribution in the horizontal direction (heat haze blow flow; (a) 0 L/min (b) 15 L/min).

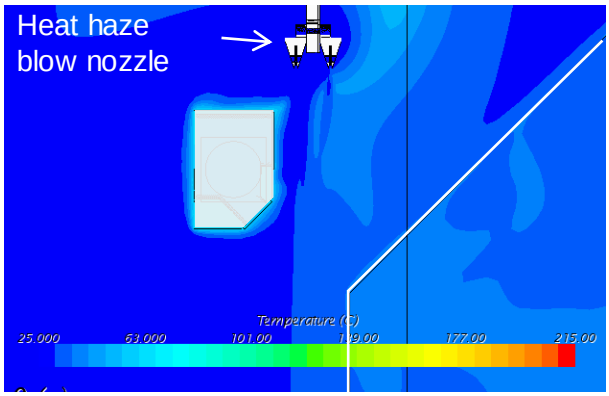
に周囲の気流にも流れが生じた.

一方, 温度分布の解析結果の平面図を Fig. 2.12 に示す. Fig. 2.12(a) に示すように陽炎ブロー流量が 0 L/min の場合, 実装ヘッドとカメラ間を結ぶ光路中の空気は, 高温と低温の空気が交互に配置される不均一な温度分布を示した. 一方, Fig. 2.12(b) に示すように陽炎ブローがある場合は, 実装ヘッドとカメラ間を結ぶ光路中の空気の温度ばらつきは著しく低減した. 噴流により, 陽炎の原因となるヘッド近傍の温められた空気が排出されたと考える.

垂直方向の温度分布の解析結果を Fig. 2.13 に示す. Fig. 2.13(b) のように, 陽炎ブロー



(a)



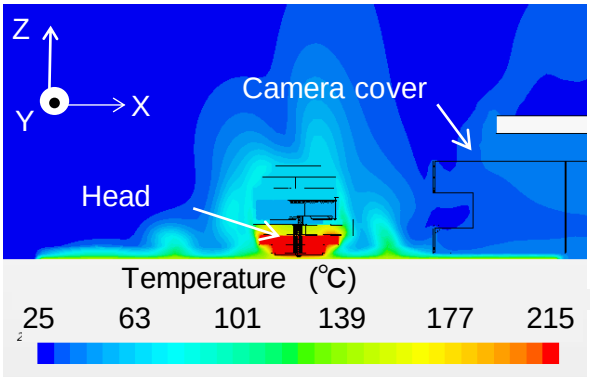
(b)

Fig. 2.12 Thermo-fluid analysis results of the flow temperature distribution in the horizontal direction (heat haze blow flow; (a) 0 L/min, (b) 15 L/min).

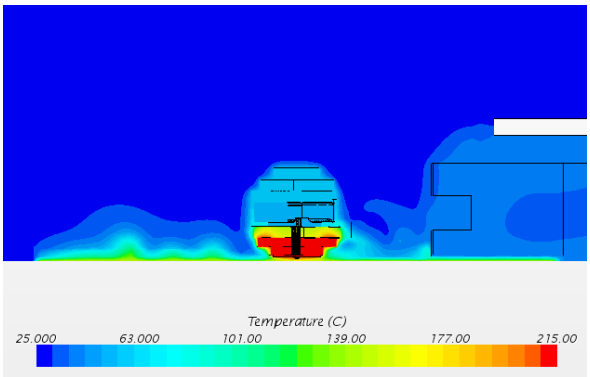
がある場合は，カメラとヘッド間だけでなく，ヘッド近傍を覆っていた暖気を取り除くことができた．ヘッドに沿って上昇する気流を噴流で除去したと考える．

陽炎ブローが光路中の温度分布に与える影響に関する熱流体解析結果を Fig. 2.14 に示す．陽炎ブローが無い場合，光路中の空気はヘッド側面 X_h 近傍で最大 65℃まで温度上昇した．高温，低温のピークを複数個持つ不均一な分布となり，光路中の温度差は 37℃であった．一方，陽炎ブローがある場合，カメラカバー外部の X_h から X_s までの位置では 28～35℃まで冷却されており，温度差も 7℃まで低減された．カメラカバー内部の境界面 X_h からカバーX_c までの間では 37℃となり，ほぼ一様の温度分布を示した．以上のように，陽炎ブローにより，光路上の温度ばらつきは著しく低減された．

なお，ヘッド側面 X_h における温度は，噴流がある場合，噴流なしの場合よりも 3℃低い．噴流により緩やかな速度の風が当たったためと考える．



(a)



(b)

Fig. 2.13 Thermo-fluid analysis results of the flow temperature distribution in the vertical direction (heat haze blow flow; (a) 0 L/min, (b) 15 L/min).

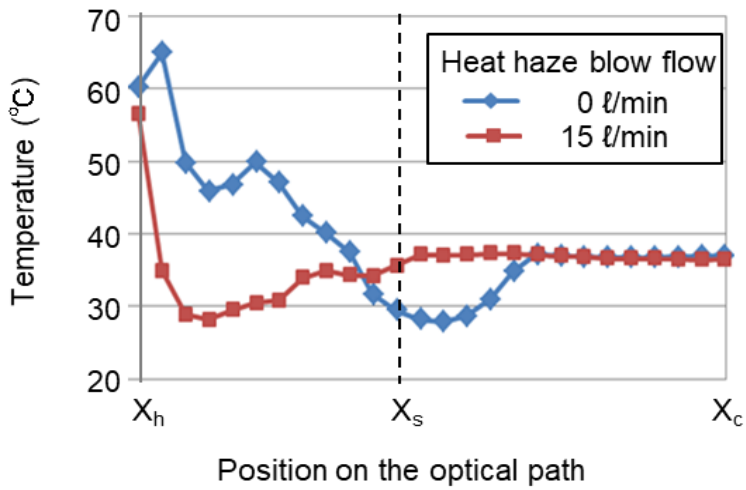
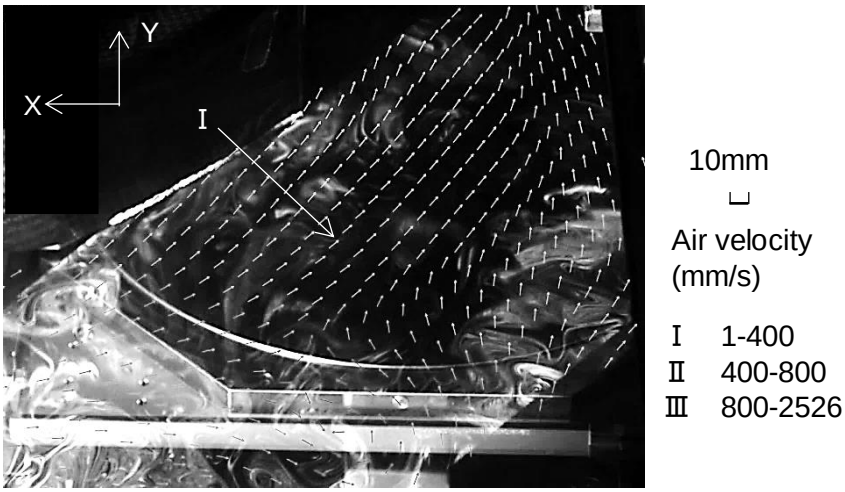


Fig. 2.14 Influence of the heat-haze blow flow on the flow temperature through the optical path.

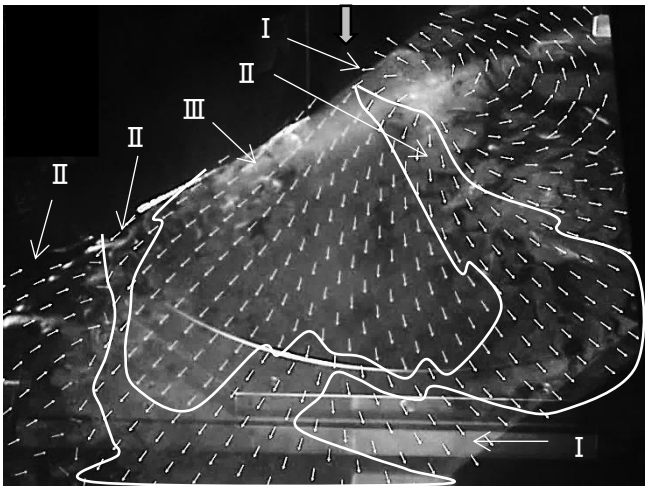
(b) PIV 法による流速分布の測定

噴流による気流の影響の評価結果を Fig. 2.15 に示す. 陽炎ブローが無い場合, Fig.2.15(a) に示すように, 複数個の渦が緩やかに形を変えながら装置の手前から奥方向に向かって流れる様子を観察した. 最大流速は 0.3 m/s であった. 平面方向に流れが生じた原因としては, レーザの切断面がウエハに対し一定の傾きがあるため, 上昇気流成分を捉えたことや, 測定時の装置内の空気の流れが考えられる.

一方, 噴流がある場合の流速分布を Fig. 2.15(b)に示す. 噴流が当たった部分において, 複数個の渦は消滅した. ノズルの噴射方向に最大流速 2.5 m/s の気流が流れた. 噴流近



(a)



(b)

Fig. 2.15 Influence of heat-haze blow on the flow velocity by PIV (Heat haze blow flow; (a) 0 L/min, (b) 15 L/min).

傍の気流は，噴流の影響を受け，噴流と同一方向に流れる傾向が見られた．以上のように，噴流がある場合においても，本熱流体解析手法による結果は PIV 法と同様の傾向を示すことを確認した．

2.4.3 熱流体温度と認識精度の相関

噴流が認識精度に与える影響の評価結果を Table 2.2 に示す．常温では，認識精度が±0.3 μm だったが，加熱により光路中の温度差は 37℃まで拡がり，認識精度は±8.8 μm まで悪化した．一方，噴流により温度差は 10℃まで縮まり，認識精度は± 1.2 μm まで改善した．

以上のことから，認識精度は光路中の空気の温度差と相関があるとした熱流体解析の前提条件が妥当であったと言える．

2.5 諸因子が熱揺らぎに与える影響

2.5.1 ヘッド温度が流速・認識精度に及ぼす影響

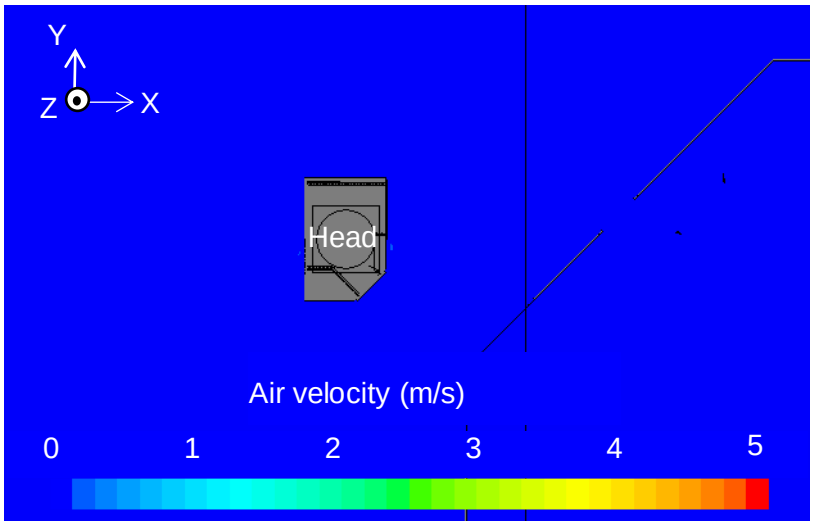
ヘッド温度が 30℃と 200℃の場合の空気の流速・温度・認識精度を比較した．ヘッド温度が 200℃の場合の熱流体解析結果を Fig. 2.16 に示す．Fig. 2.16(a)に示すように，空気の流速は全領域において 0.15 m/s 未満となり，傾向が見られなかった．

Fig. 2.16(b)に温度分布を示す．実装ヘッド周囲 20 mm の領域の空気のみが約 85℃に温められ，実装ヘッド近傍以外の領域の空気は温度 25℃で一定であった．そのため，サイドビューカメラからヘッド側面に至る光路において，約 60℃の温度差があることが分かった．

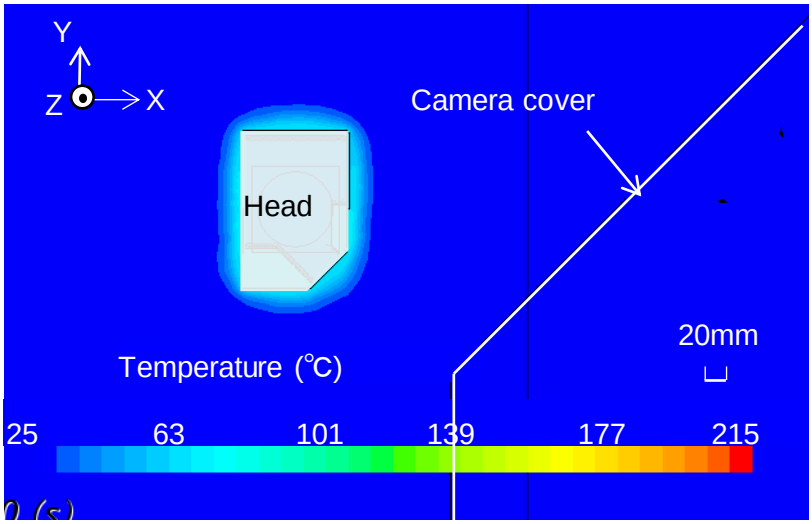
Table 2.3 は，ヘッド温度が認識精度に及ぼす影響を示す．ヘッドを 200℃に加熱した場合の認識精度は，常温に対 し±8 μm 以上低下した．上述の約 60℃の温度差に起因する

Table 2.2 Results of the recognition accuracy.

No.		Ref.	A	B
Head temperature (℃)		25	200	200
Wafer temperature (℃)		30	150	150
Heat haze blow flow (L/min)		0	0	15
Temperature difference (℃)		0	58	10
Recognition accuracy (μm)	**x**	±0.3	±8.8	±1.1
	y	±0.3	±5.4	±1.2



(a)



(b)

Fig. 2.16 Thermo-fluid analysis results; (a) Air velocity distribution, (b) Temperature distribution (Head: 200℃, stage: 30℃).

Table 2.3 Effect of the head temperature on the recognition accuracy.

Condition		No heat	Heat
Head temperature (℃)		25	200
Wafer temperature (℃)		30	30
Recognition accuracy (μm)	**x**	±0.6	±9.0
	y	±0.4	±8.6

と考える.

以上のように，ヘッドのみを加熱した場合，空気の流速には大きな影響を及ぼさないが，ヘッド近傍の局所的に温められた空気層とその周囲の空気との間で大きな温度差が生じ，認識精度に影響を及ぼすことが分かった.

2.5.2 ステージ温度が流速・認識精度に及ぼす影響

Fig. 2.17 はステージ温度と流速分布の関係を示す PIV 断面 解析結果である. X= -50 mm がヘッドの側面, X= 0 mm がサイドビューカメラカバー側面であり，サイドビューカメラ光路は X= -50 ～0 mm, Z= 50 mm を通る. ステージ温度が 30℃の場合，Fig. 2.17(a)のように空気は流速 0.1 m/s 未満で不規則な方向に移動した. ステージ温度が 90℃の場合，Fig. 2.17(b)のように，X= -50～0 mm の間の空気は，ステージから Z 方向に向かって上昇した. 一方，X が 0～150 mm のカメラカバーより手前に位置する領域における空気は高速で上昇した. この領域では，カメラカバーが隣接して配置されているため，ステージで温められた空気がカバーに沿って加速したと考える. ステージ温度 150℃の場合は，Fig. 2.17(c)のように，X= -50 ～0 mm のウエハ近傍の空気は，ヘッドに向かって-X 方向に 0.1 m/s 程度の流速で移動した後，速度を上げながらヘッドに沿って上昇していく挙動が観察された. ウエハの輻射熱によって温められた空気が浮力により上昇し，ヘッドに沿って流れたと考えられる. また，カメラカバー前の加熱時の空気の方向は，90℃と 150℃で異なるが，測定装置内の空気の流れの僅かな変化の影響を受けたため揺らいだと考える.

Fig. 2.18 は，ステージ温度が流速に与える影響を示す PIV 断面解析結果である. Fig. 2.18 の空気の流速は，Fig. 2.17 中の X= -50～0 mm の所定の高さの空気の流速の平均値を示す. ウエハ表面からの高さ Z が 10 mm では，空気の流速はステージ温度との相関が見られず約 0.1 mm/s で一様であった. Z が 30 mm 以上では，ウエハ温度及び高さに伴い空気の流速が増加する傾向が見られた. 式(1)に示す浮力に起因すると考える. また，ウエハ近傍の空気は X 方向にヘッドに向かって流速約 0.1 m/s で動いた後，ヘッドに沿って Z 方向に流速 0.15 m/s 以上で上昇し，高くなるほど流速が増す傾向は，これまでの研究報告における熱流体解析結果 [10]と合致する. また，流速の変化の割合は，高さ 50 mm と 70 mm の間に比べて，高さ 30 mm と 50 mm の間の方が大きい. 高さ Z が低い方が，熱源のステージに近いため，輻射熱の影響を受け空気の温度差が大きくなり，流速の変化の割合が大きくなったと推察する.

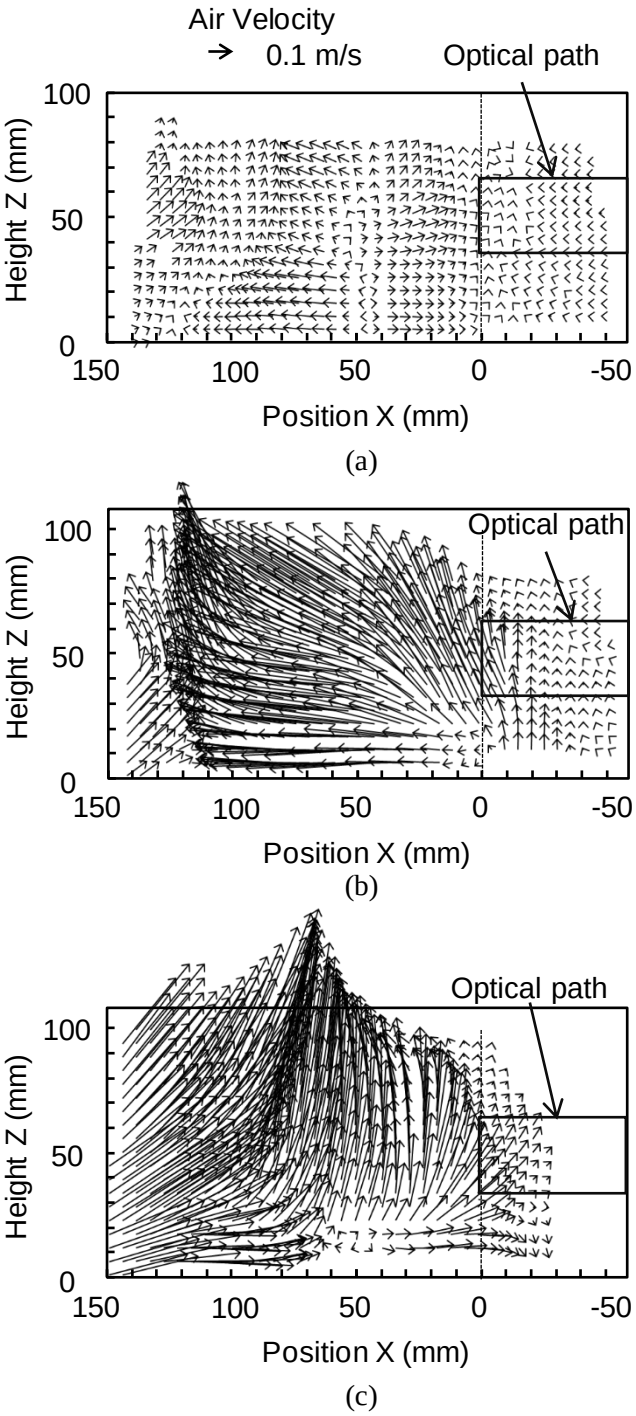


Fig. 2.17 Cross-sectional view of the flow velocity distribution by the PIV (Head: 30°C, stage: (a) 30°C, (b) 90°C, (c) 150°C).

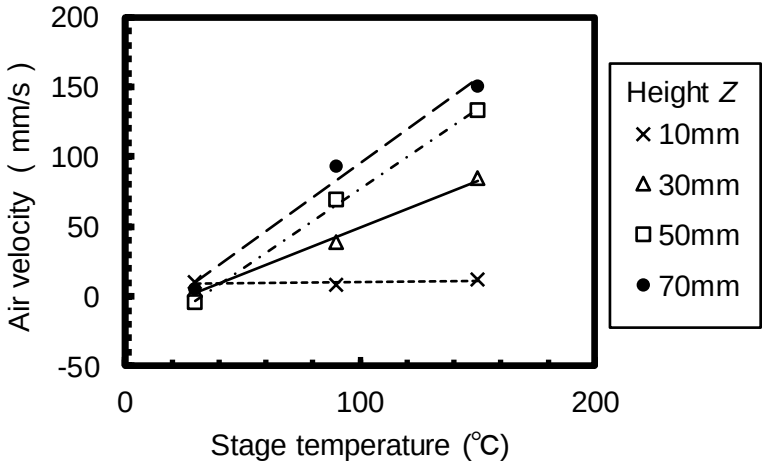


Fig. 2.18 Influence of the stage temperature on the air velocity distribution by the PIV (Head temperature: 30℃).

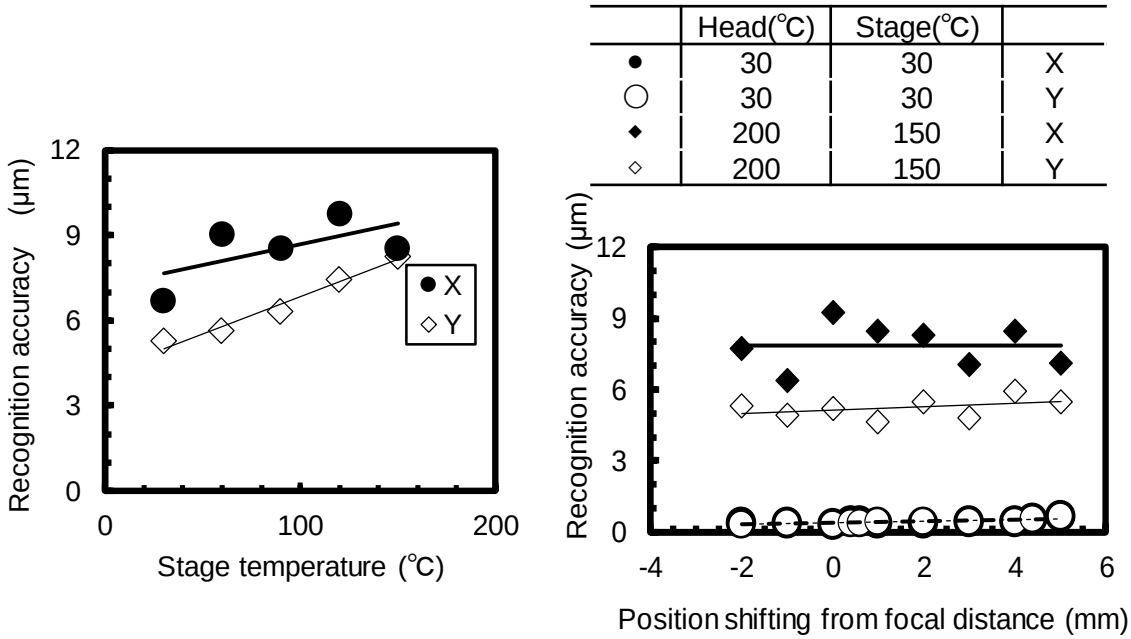
Fig. 2.19 にステージ温度が認識精度に与える影響を示す. Fig. 2.19(a)に示すように, 認識精度はステージ温度上昇に伴い低下した. ステージ温度の上昇に伴い空気の流速が増し, 光路中の温度差が拡大したためと考える. Fig. 2.19(b)は, 焦点距離からのシフト量が認識精度に及ぼす影響の実測結果である. カメラを焦点距離から-2 ~5 mm シフトする程度では, 認識画像のぼやけは見られず, カメラ高さと認識精度の相関は見られなかった. このことから, 認識精度が低下した原因は, 画像がぼやけたのではなく, Z 方向の上昇気流を横切るサイドビューカメラ光路上の空気に温度差が生じ, X, Y 方向に揺らいだためと考えられる.

いずれの条件においてもステージを加熱した場合, 陽炎ブロー流量が 0 L/min では±3 μm 以内を達成することができない.

2.5.3 陽炎ブロー流量が流速・認識精度に及ぼす影響

Fig. 2.20 は陽炎ブロー流量と流速の関係を示す PIV 断面評価結果である. 陽炎ブロー流量 0~15 L/min では, 150℃のステージで温められた空気は 80 mm/s 以下の流速で, 不規則な方向に動いた. 陽炎ブロー流量 22.5 m/s 以上では, 空気の流速が 10 mm/s 以下に減少し見掛け上 0 mm/s に近付いた. その理由を, 陽炎ブロー流量が少ない場合, 紙面に対して平行に流れる成分が多いが, 陽炎ブロー流量が大きい場合, 紙面に対して垂直方向に流れるためと考える. 以上のように, 陽炎ブロー流量には, 垂直方向の観察で見掛け上 0 mm/s に近付く閾値があることが分かった.

Fig. 2.21 は, 陽炎ブロー流量と流速の関係を示す平面方向の PIV 評価結果である. 陽炎ブローは X 方向に所定の幅に拡がりながら Y 軸負方向に噴射する様子が観察された. 陽炎ブ



(a) (b)

Fig. 2.19 Influence of (a) the stage temperature and (b) the position shifting from focal distance on the recognition accuracy.

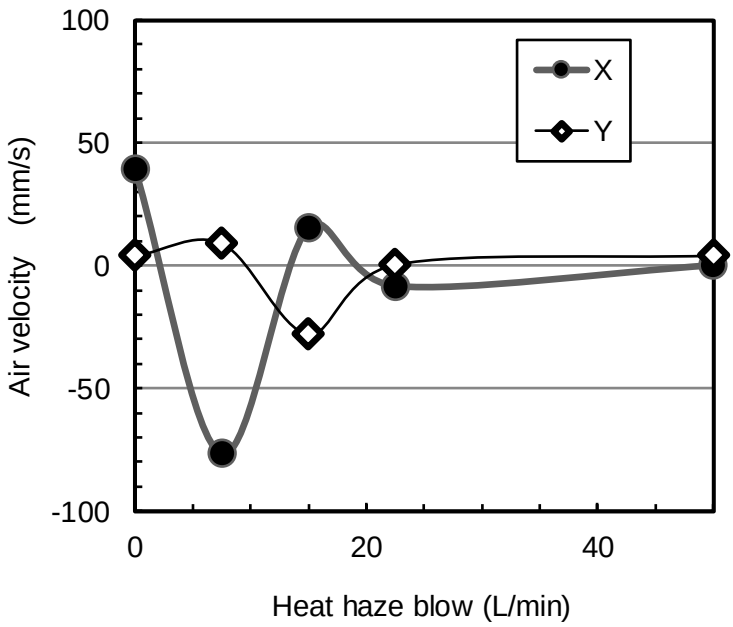


Fig. 2.20 The cross-sectional PIV result which shows the effect of the heat haze blow on the air velocity. (Head: 200℃, Stage: 150℃).

ロー流量が大きいほど流速が増加し噴流幅が拡がる傾向が見られた．Fig. 2.21(a)～(c)に示す陽炎ブロー流量 7.5～22.5 L/min において，陽炎ブローの噴流が当たっていない領域は，不規則な方向に渦を巻きながら流速約 0.1 m/s で動く挙動が観察された．一方，Fig. 2.21(d)のように陽炎ブロー流量を 50 L/min まで上げた場合，ウエハ全面の周囲の空気も巻き込みながら噴流幅を増幅する傾向が見られた．

Fig. 2.22 に陽炎ブロー流量が，最大流速とヘッド近傍の流速に与える影響を示す．ヘッド近傍の空気は，陽炎ブロー流量が 7.5~22.5 L/min では著しい変化は見られなかった．一方，最大流速は陽炎ブロー流量に比例して増加した．ここで，陽炎ブロー流量 50 L/min では空気

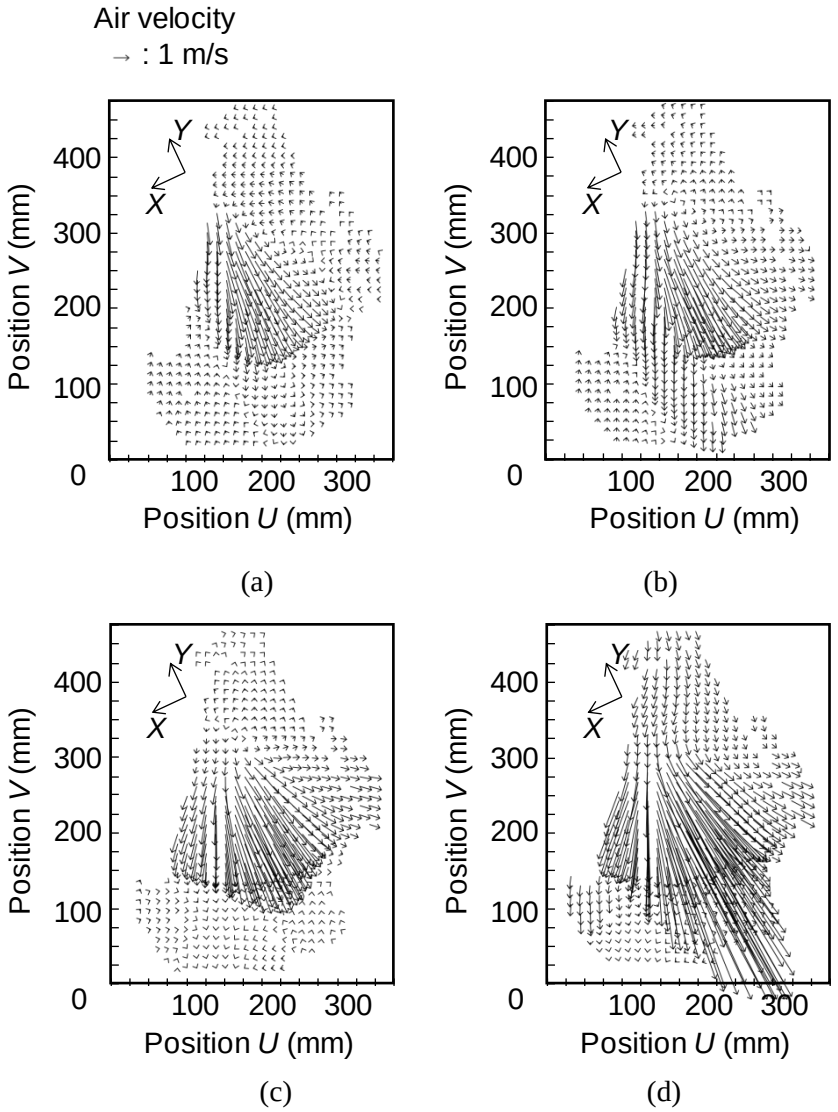


Fig. 2.21 The top-view PIV results (Heat haze blow; (a) 7.5, (b) 15, (c) 22.5, (d) 50 L/min, stage: 150°C).

の流速が最大 10 m/s 以上に達しかつ 5 m/s 以上の高速噴流がウエハの半分以上を覆うため，ウエハを冷却する懸念がある．

Fig. 2.23 は，陽炎ブロー流量と噴流幅の関係を示す陽炎ブローノズル近傍の平面方向の熱流体解析結果である．サードビューカメラカバーとヘッド間の X 方向の間隔を 50 mm，カメラ光路の Y 座標を 100 ～200 mm とした場合，陽炎ブロー流量が 15 L/min では噴流幅が 20 mm 以内となり，実装ヘッドに直接噴流が当たらない．しかし，50 L/min，150 L/min では噴流幅がそれぞれ 50 mm，80 mm と拡がり，実装ヘッドに噴流が当たり実装ヘッドが

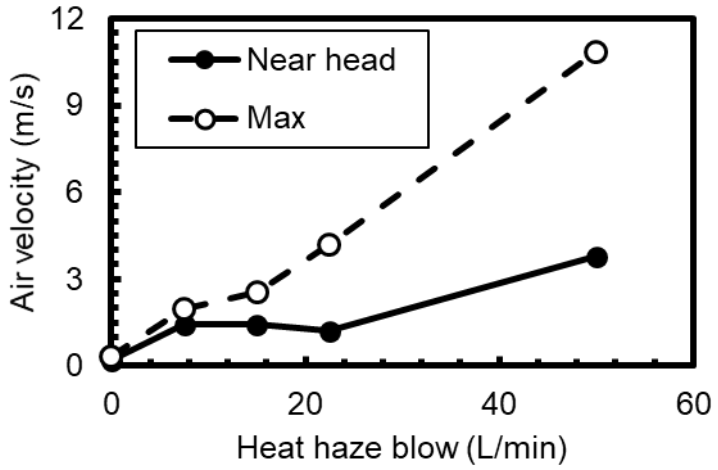


Fig. 2.22 Relationship between the heat haze blow and air velocity (Stage: 150℃).

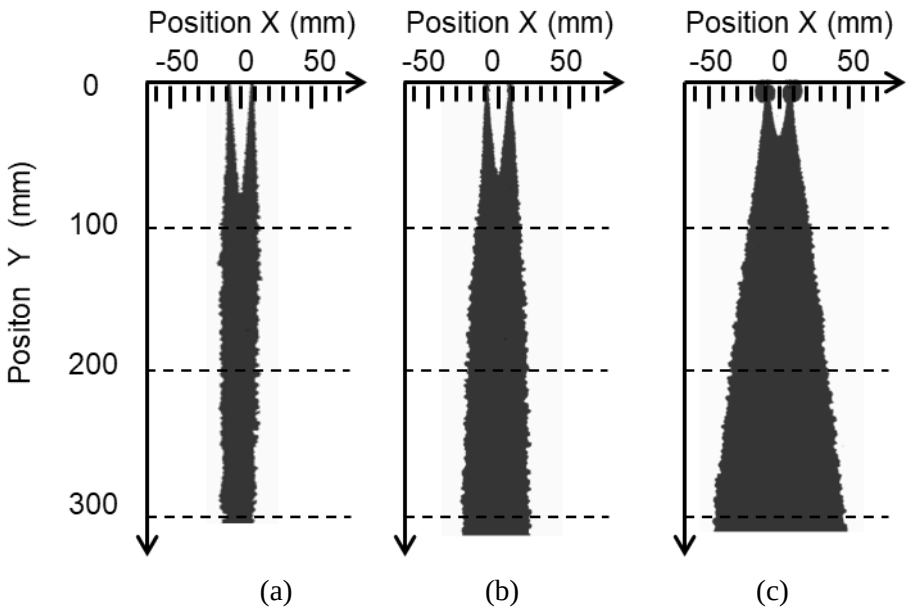


Fig. 2.23 The flow width of heat haze blow by the thermo-fluid analysis; Heat haze blow: (a) 15, (b) 50, (c) 150 L/min. The air velocity over 5 m/s is shown.

冷却される.

以上より, 陽炎ブロー流量を 50 L/min 未満とした.

Fig. 2.24 に, 陽炎ブロー流量と認識精度の関係を示す. 陽炎ブロー流量増加に伴い, 認識精度は向上し陽炎ブロー流量 15 L/min 以上で±1.5 μm 以内となり安定した. Fig. 2.22 と Fig. 2.24 から, 最大流速が 2.5 m/s 以上になるように陽炎ブロー流量を増やすことにより, カメラ光路における陽炎を除去できることが分かった. また, 陽炎ブロー流量 15 L/min 未満で認識精度が不安定となった結果は, Fig. 2.20 において空気の流速が不規則に変動した傾向と一致する.

2.5.4 陽炎ブローノズル高さが流速・温度分布に及ぼす影響

Fig. 2.25 に温度分布を示す. Fig. 2.25(a)のように, 陽炎ブロー流量が 0 L/min の場合,光路中の空気は約 25℃の寒気と約 120℃の暖気が交互になった. 陽炎ブロー流量 15 L/min, 陽炎ブローノズル高さ 0 mm の場合, Fig. 2.25(b)のように光路において Z > 0 では空気は冷却され室温に近付いたが, Z < 0 ではステージからの輻射熱の影響を受け温度差が約 25℃になった. 一方, 陽炎ブローノズル高さが-5 mm の場合, Fig. 2.25(c)のように Z < 0 では温度差は 10℃以内になった.

上記の陽炎ブローノズル高さが温度ばらつきによる影響を流速分布から考察する. 陽炎ブローノズル高さが 0 mm の場合, Fig. 2.26(a)のように光路中の空気に流速 5 m/s 以上定幅の噴流が当たったが, 光路下からステージまでの間には噴流は当たらなかった. 一方, 陽炎ブ

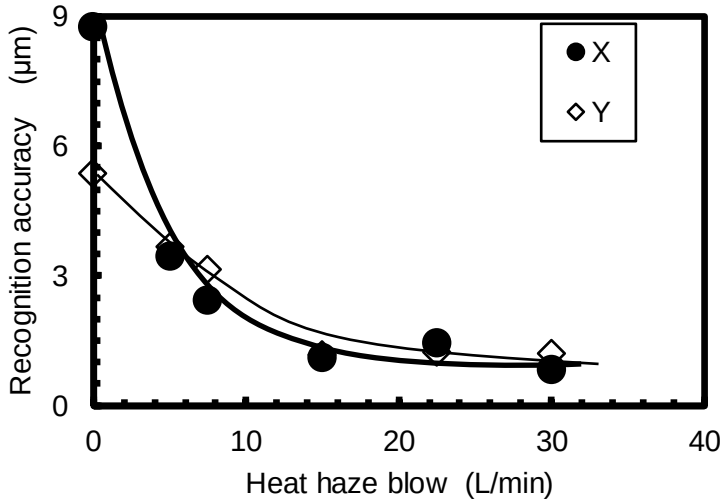


Fig. 2.24 Influence of heat haze blow on the recognition accuracy (Head temperature: 200℃, stage temperature: 150℃).

ローノズル高さが-5 mm では，Fig. 2.26(b)のように Z < 0 かつ光路より低い位置に噴流が当たった．温められたステージからの上昇気流を前者では吐き出すことができないのに対し，後者では吐き出すことができた．この差が温度差の原因と考える．しかし後者ではヘッドから Y 方向に100 mm離れた位置でステージに噴流が当たった．噴流がステージに当たると，ステージとの界面に負圧が生じ空気が引き寄せられる．陽炎ブローノズル高さを-5 mm よりも下げると 5 m/s 以上の空気がステージに当たると考えられる．そこで，陽炎ブローノズル高さを-5 mm

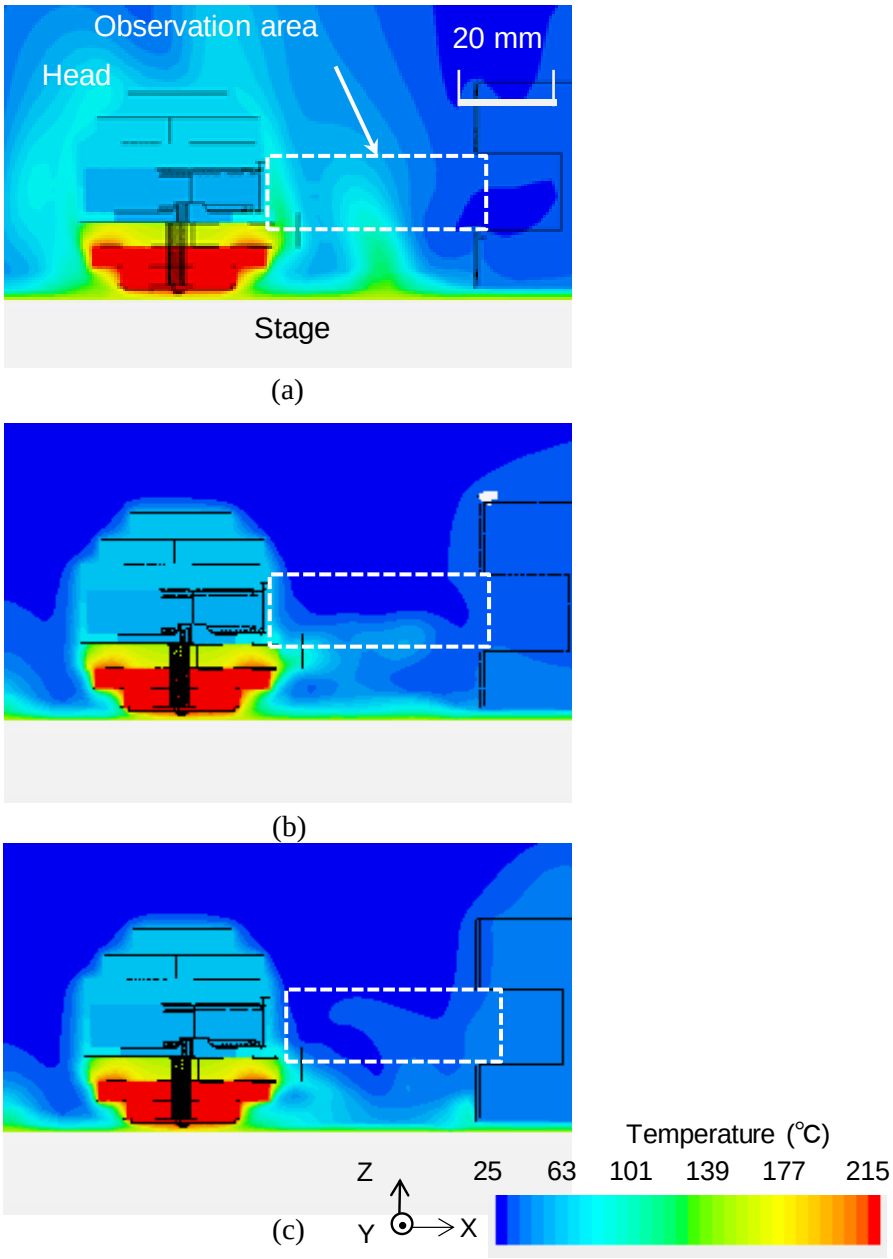
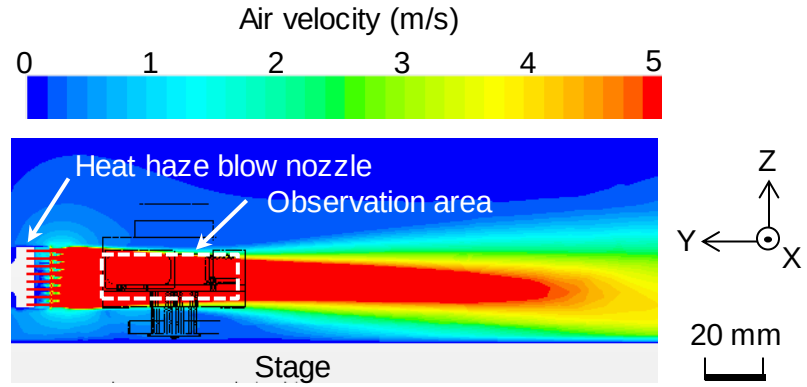
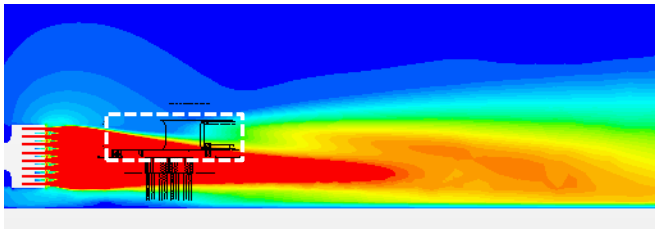


Fig. 2.25 Thermo-flow analysis result of temperature distributuion; Heat haze blow and height (a) 0 L/min, (b) 15 L/min Z= 0mm, (c) 15L/min, Z=-15 mm.



(a)



(b)

Fig. 2.26 The influence of the heat haze blow nozzle on the air velocity distribution; (a) Heat haze nozzle height Z= 0 mm, (b) Z= -15 mm.

とした.

2.5.5 陽炎ブロー角度が流速・温度分布に及ぼす影響

Fig. 2.27 は陽炎ブロー角度が流速・温度分布に及ぼす影響を示す熱流体解析結果である.

陽炎ブロー流量 0 L/min では, 前述の通り, 加熱ヘッド近傍には緩やかな流速の空気の流れしか見られなかった(Fig. 2.27(a1)). ヘッド近傍の空気はステージとヘッド両方で約 80℃まで温められ, カメラ光路には 55℃の温度差が見られた(Fig. 2.27(a2)).

陽炎ブロー流量 15 L/min, 陽炎ブロー角度 0°では, 流速 5 m/s 以上の噴流が実装ヘッドとカメラカバーの間を当たらないように一定幅で吹き抜けた. 周囲の空気も噴流に引き込まれながらカメラカバーの側面に沿って流れた. ヘッド近傍の一部には噴流が当たらず, 0.3 m/s 程度の緩い流速となった(Fig. 2.27(b1)). その結果, ヘッド近傍の一部の空気は 60℃に温められたものの, 光路中の噴流が噴射した領域における空気は大半が 25℃に冷却され, 温度差が著しく低減した(Fig. 2.27(b2)).

陽炎ブロー角度 45°では, Fig. 2.27(c1)のようにヘッド近傍及びカメラカバー近傍両方に噴流が当たらない領域が生まれた(Fig. 2.27(c1)). その結果, 光路中の空気は最大 90℃の温かい

空気と冷たい空気が交互に混ざる不均一な分布となった(Fig. 2.27 (c2)).

陽炎ブロー角度 0°の場合 45°と比較し噴流がヘッドやカメラカバーと隣接しているため，ヘッド・カバーと噴流間で負圧が発生し，周囲の空気を巻き込み噴流を増幅させたと考える．そこで，陽炎ブロー角度を 0°に設定した．

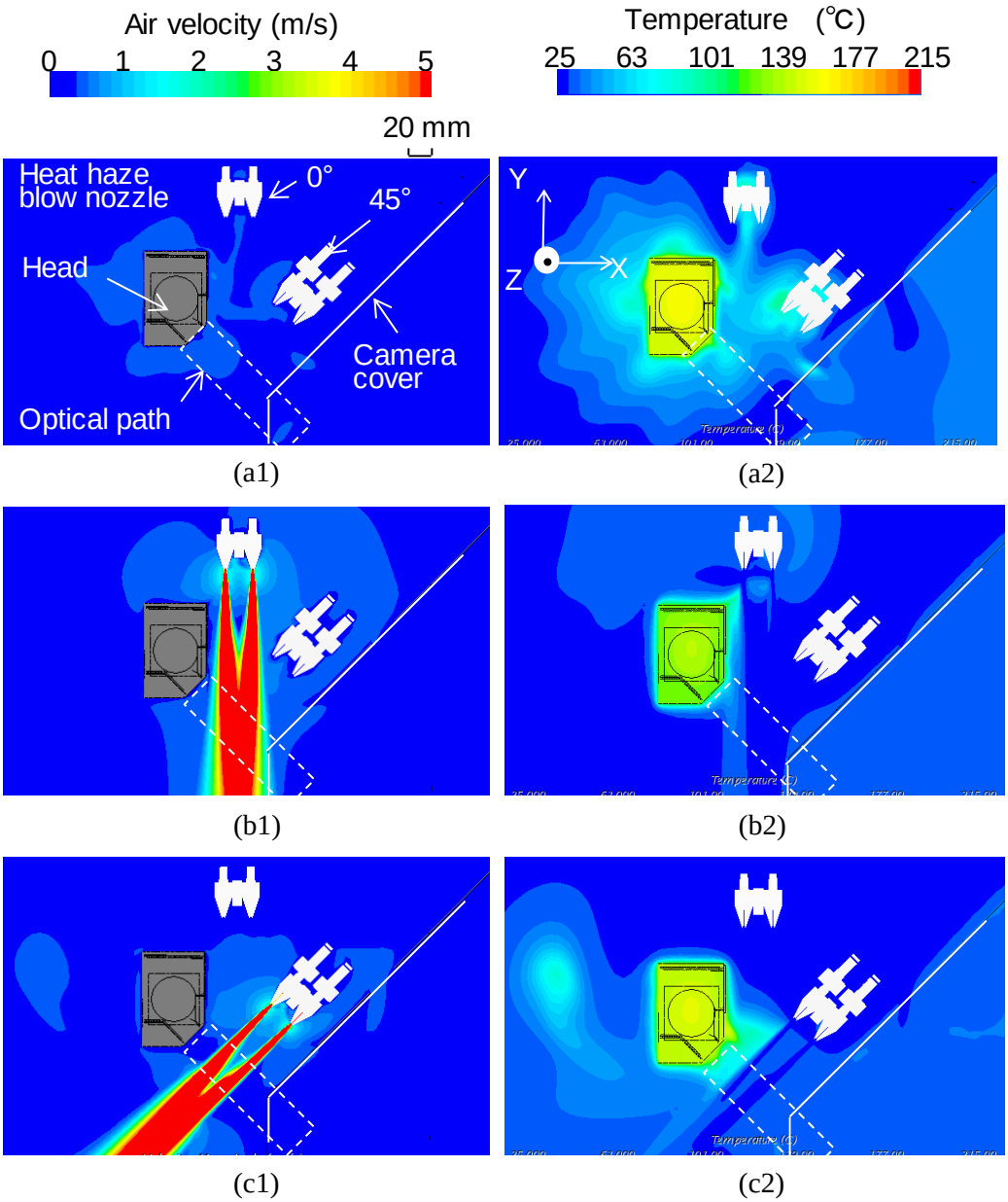


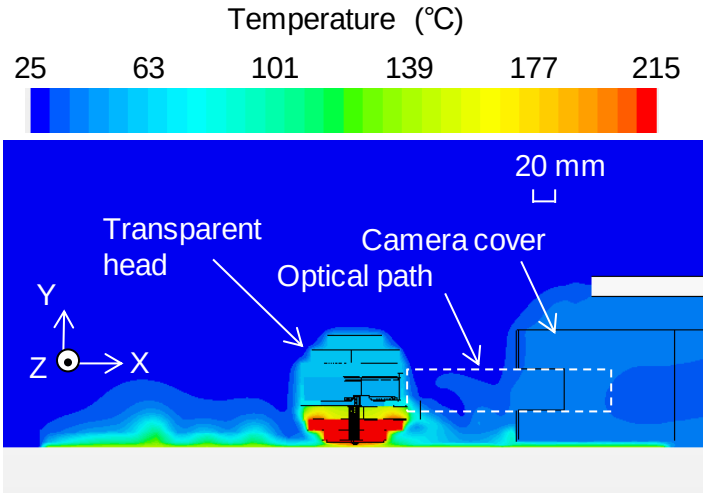
Fig. 2.27 The influence of the heat haze blow angle on the air velocity and temperature (Head: 200℃, Stage: 150℃, Camera cover angle: 45°); Heat haze angle, heat haze blow; (a) 0°, 0 L/min, (b) 0°, 15 L/min, (c) 45°, 15 L/min.

2.5.6 カメラカバー角度による影響

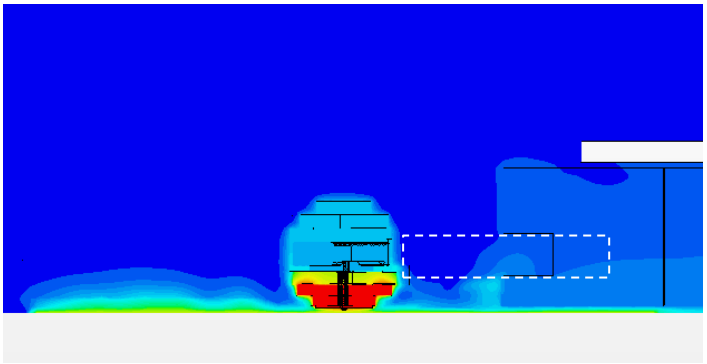
2.5.5 節で述べたカメラカバー角度 45°におけるヘッド近傍の温かい空気の残存に対し，カメラカバー角度を変え，更なる温度の均一化を試みた．Fig. 2.28 はカメラカバー角度による影響を示す熱流体解析の断面評価結果である．カメラカバー角度を 45°から 0°に変えることにより，光路上の空気の温度差は低減することが分かった．ヘッド側面の温かい空気の残存はなくなった原因を，カメラカバー角度を 0°にすることにより，カメラカバー側面に接する噴流の面積が増え，噴流が増幅されたためと考える．

2.5.7 熱揺らぎ抑制による高精度実装プロセス設計指針

2.5.1～2.5.6 項において，諸因子が空気の流速・温度・認識精度に与える影響を評価した．認識精度の結果から，実装精度±3 μm 以内を達成するためのプロセス設計指針は以下のよう



(a)



(b)

Fig. 2.28 The cross-section of thermo-fluid analysis shown the influence of camera cover angle (Head: 200℃, stage: 150℃, heat haze blow: 15 L/min); Camera cover angle: (a) 45°, (b) 0°.

に考えられる.

ヘッドを加熱した場合，光路中の空気とヘッドの温度差によって，認識精度を悪化する. そのため，ヘッド温度が 200℃の場合，認識精度が±9.0 μm まで悪化する. さらに，ステージ温度を 150℃まで加熱した場合，揺らぎを伴いながらヘッドに沿って気流は上昇し，光路中の温度差が 58℃まで拡がり，認識精度は±8.8 μm まで悪化する. 以上より，ヘッド加熱，ステージ加熱のいずれの場合も，陽炎防止ブローは不可欠である.

陽炎防止ブローの因子として，陽炎ブロー流量，陽炎ブローノズル高さ，陽炎ブロー角度，カメラカバー角度が挙げられる. それぞれの因子に対する設計指針を以下にまとめる.

1) 陽炎ブロー流量

   陽炎ブロー流量の増加に伴い空気の流速は速くなり，噴流幅も拡がる. 噴流幅が狭いと空気の温度ばらつきを抑制できず認識精度が悪化する. 噴流幅が広すぎると，加熱ヘッドを冷却するため接合ばらつきが大きくなる. 垂直方向の流速が見掛け上 0 になり，噴流幅が一定幅未満になる陽炎ブロー流量条件を選定するとよい. 上述のモデルにおいて，陽炎ブロー流量は，20～50 L/min が望ましい.

2) 陽炎ブローノズル高さ

   陽炎ブローノズル高さが低いほど，ステージに近付くためステージ輻射熱による熱揺らぎを低減できる. しかし，低すぎると陽炎ブロー噴流がステージに引き寄せられるため，加熱ステージが冷却される. そこで，陽炎ブローノズル高さは，-5 mm が望ましい.

3) 陽炎ブロー角度

   陽炎ブロー角度は，ヘッド側面に対し平行に近付くほど，光路中の空気を横切る噴流の流速が増し，温度ばらつきを低減できる. そのため，陽炎ブロー角度は 0°が望ましい.

4) カメラカバー角度

   カメラカバー角度も，陽炎ブロー角度と同様にヘッド側面に平行であるほど，温度ばらつきを低減できる. そのため，カメラブロー角度は 0°が望ましい.

以上のプロセス設計指針に基づき，2.6 節で実装精度について検討した.

2.6 熱揺らぎが実装精度に与える影響

2.6.1 常温でのダイアタッチ実装精度

透過ヘッドの有効性を示すために，Fig. 2.2 の従来方式と Fig. 2.3 の透過ヘッド方式で実装精度を評価した. 従来方式(条件 A)では，基板とダイをそれぞれ別のカメラで認識し位置合わ

せした後，ダイを吸着したヘッドを実装位置まで X 方向，Z 方向に高速移動し基板に実装した．一方，透過ヘッド方式（条件 B）ではダイを吸着したヘッドを実装位置まで高速移動した後，基板近傍でダイを認識し位置合わせをした後，搭載した．

Fig. 2.29 に，比較実験結果を示す．実装精度は，条件 A では±4.9 μm であるのに対し，条件 B では±1.6 μm に向上した．

条件 A, B により実装精度に差が出た要因について考察する．実装精度 σ_b は式(2.3)で近似できると考えた．

$$\sigma_b \fallingdotseq \sqrt{{\sigma_r}^2 + {\sigma_p}^2 + {\sigma_{ax}}^2 + {\sigma_{ay}}^2 + {\sigma_{az}}^2} \qquad (2.3)$$

σ_r は認識精度，σ_p はダイの受け渡し精度，σ_{ax}，σ_{ay}, σ_{az} は各軸の位置決め・停止振動精度である．

認識精度 σ_r はカメラ性能，陽炎の影響，認識方式などの影響を受ける．条件 A では，ダイの外形で合わせたのに対し，条件 B では認識マークで位置合わせをしたため，条件 B の方が認識精度が向上したと考える．受け渡し精度 σ_p は，両方式ともダイをヘッドへ受け渡した後で画像認識したため 0 μm と考えてよい．軸の位置決め精度 σ_{ax}，σ_{ay}, σ_{az} は，ボールネジの送り，軸のうねりだけでなく，停止振動精度に左右される．ヘッドは，ダイ供給部から実装位置まで高速移動した後急停止する．急停止の反動により稼働部は目標停止位置から一定の振幅

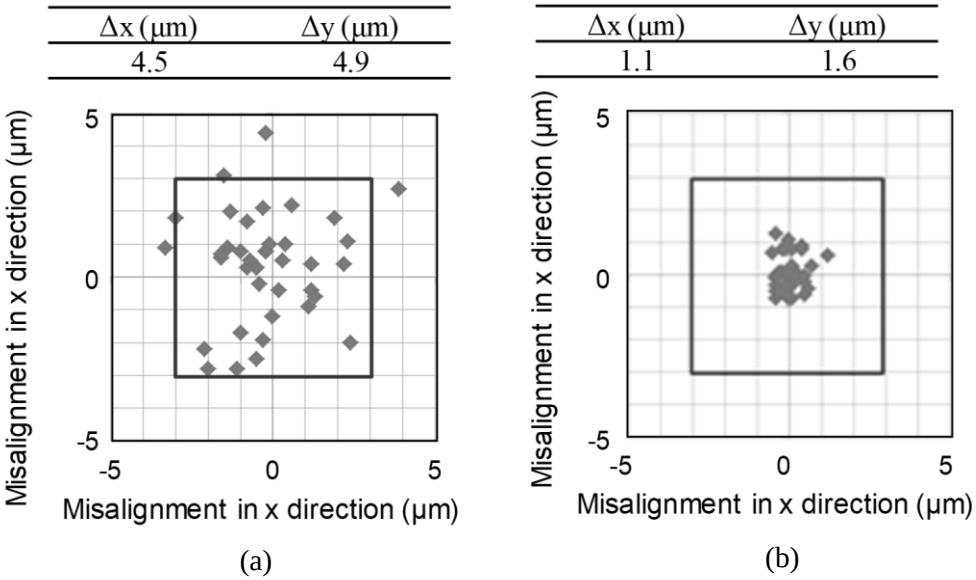


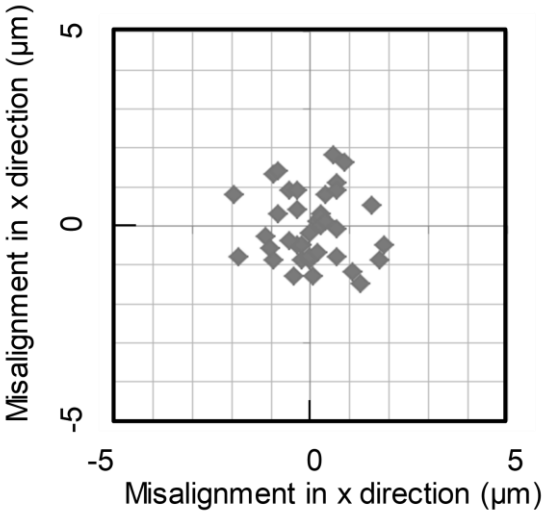
Fig. 2.29 Bonding accuracy results; (a) Bonding condition A and (b) condition B (Stage and head temperature: 30℃).

で振れた後，減衰する．条件 B よりも条件 A の方が認識から実装までの移動距離が短いために認識精度が向上したと考える．

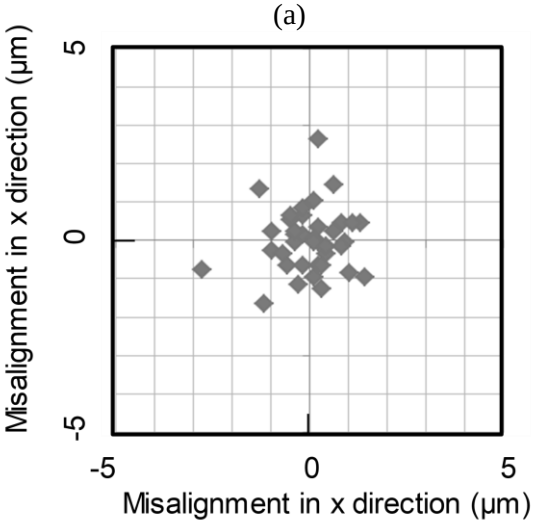
以上のように，透過ヘッドは従来方式より認識精度，位置決め精度の点で向上でき，常温で実装精度±1.6 μm となることが分かった．

2.6.2 加熱時のダイアタッチ実装精度

以上の熱揺らぎ低減による検討により，ヘッド温度：200℃，ステージ温度： 30，150℃，陽炎ブロー流量：30 L/min，陽炎ブローノズル高さ： -5 mm，陽炎ブロー角度：0°，カメラカバー角度：0°の条件で，ダイアタッチ実装評価を行った．Fig. 2.30 に実装精度結果を示す．



(a)



(b)

Fig. 2.30 Bonding accuracy (a) Head: 200℃, stage: 30℃, (b) Head: 200℃, stage 150℃.

実装精度は，ステージ温度が 30℃の場合，x ±2.7 μm,　y ±2.6 μm (Fig. 2.30(a))，ステージ温度が 150℃の場合，x ±2.4 μm，y ±2.5 μm (Fig. 2.30(b))となり，±3 μm 以内を達成することができた．PIV 及び熱流体解析に基づきプロセス設計指針を導く本研究の妥当性が示されたといえる．

2.7 結言

第 2 章では，チップオンウエハの高精度実装における 1 点目の課題である熱揺らぎに着目し，熱揺らぎ制御に関するプロセス設計指針を導いた．加熱実装時の光路中の空気の密度差を低減するための機構・プロセスは，従来設計者の勘や試作・実証の繰り返し，定性的な陽炎の可視化といった手法により開発されてきたが，本研究では熱流体解析を用いて熱揺らぎを定量的に可視化する手法を提案し，諸因子と認識精度の関係を明確化し，熱揺らぎを低減する高精度実装プロセスの設計指針を導くことができた．

本研究では，特にチップオンウエハの高精度ダイアタッチプロセスを想定し，実装精度±3 μm 以内かつ 1 個当たりの実装時間 1 s 以内を目標に，ダイの接合品質の観点から加熱された実装ヘッドやウエハの冷却を防ぐとともに，認識カメラの光路中の熱揺らぎを低減する高精度実装プロセス設計指針の構築を検討した．本研究の結果，得られた知見を以下に示す．

1. ダイアタッチの高精度実装を狙い，透過式の実装ヘッドとサイドビューカメラを備えた新たな実装機構を考案し検証装置を製作し，実装時間 1 s にて実装精度を評価した結果，常温で±1.6 μm まで向上できた．ダイの位置認識をダイの外形からヘッドに吸着したダイの認識マークに変えること，認識から実装までの高速移動距離を短くし停止振動を抑えること，ダイと基板の認識カメラを同一にすることが高精度実装には有効であることを示した．
2. 実装装置内の熱揺らぎ定量化手法として，熱揺らぎを時間的・空間的に平均化された空気の温度差として表現するレイノルズ平均モデルとブシネスク近似を用いた熱流体解析手法を提案した．透過ヘッドとサイドビューカメラを用いた直径 300mm ウエハ対応のダイボンダを解析モデルとして熱流体解析を行い，ウエハや実装ヘッドの加熱により生じ，かつ陽炎ブロー噴流によって変動する熱揺らぎの挙動を空気の流速および温度差として算出した．さらに，熱流体解析の妥当性検証として，PIV により空気の流速分布を実測した結果，複数の加熱・陽炎ブロー条件下において熱流体解析と PIV の流速分布の傾向が一致することを確認した．検証モデルにおいて，実装ヘッドとカメラ間の光路に流量 15 L/min の陽炎ブローを噴射すると，噴流の流速は最大で 5 m/s に達し，ステージ上の渦流

は噴流とともに光路外に排出され，光路中の温度差が 37℃から 10℃まで低減され，加熱時の認識精度が±8.8 μm から±1.2 μm まで向上する結果が得られ，認識精度と光路中の温度差の相関が確認された．以上の通り，流速ばらつきを温度差に換算する上記熱流体解析手法の妥当性が示された．また，認識精度向上には光路中の温度差低減が有効であることが示された．

3. 熱揺らぎの発生因子として，ヘッド温度とステージ温度に着目し，これらの因子が空気の流速，空気の温度差，認識精度に与える影響を明確化した．ヘッド温度の影響に関しては，ヘッドのみを加熱した場合，顕著な空気の流速分布が見られないが，ヘッド周囲の空気のみ温められた結果，サイドビューカメラの光路において著しい温度差が生じ，認識精度低下に繋がることが示された．ステージ温度については，150℃に加熱されたウエハの輻射熱により温められた気流は，0.1 m/s 程度の緩やかな速度で不規則に揺らぎながら上昇する挙動を示すこと，加熱されたウエハの上方に実装ヘッドを配置すると，ヘッドが常温であってもウエハからの上昇気流の流速がヘッド近傍部で増幅され，ヘッド近傍の空気の温度が上昇すること，ステージ上の空気の平均流速は，ステージ温度の増加に伴い増加し認識精度が低下する傾向があることが分かった．以上のように，ヘッド温度，ステージ温度が加熱された場合，光路中の温度差を低減する施策の必要性が示された．
4. 熱揺らぎを低減する因子として，陽炎ブロー流量，陽炎ブローノズル高さ，陽炎ブロー角度，カメラカバー角度に着目し，空気の流速および温度分布が認識精度に与える影響を明確化した．陽炎ブロー流量の増加に伴い，平面方向では噴流の流速と幅が大きくなり，垂直方向では光路中の空気の流速が見掛け上 0 L/min に近付く閾値があることが分かった．平面方向 1 m/s 以上かつ垂直方向 0 L/min の条件において認識精度は±1.5 μm まで向上することが分かった．陽炎ブロー流量の上限値を，ヘッドおよびウエハに噴流が当たらない噴流幅により決定するプロセス設計指針を導いた．陽炎ブローノズル高さについては，光路よりも低くウエハに近付けて配置した方が空気の温度差が低減されるが，陽炎ブローノズル高さの下限値，すなわち接合品質を悪化させないように空気の噴流がステージに対し直接噴射されない限界値を踏まえ，設定すべきであるといった知見が得られた．陽炎ブロー角度については，0°すなわちヘッド・カメラカバー側面に対し噴流を平行にすることが重要であり，0°にすることにより噴流を一定方向に導き，サイドビューカメラ光路中の空気の温度差を低減できることが分かった．また，カメラカバー角度も，陽炎ブロー角度と同様に 0°が望ましく，噴流と平行に配置することにより，カメラカバー側面積が増

え，空気の温度差を低減できることが分かった．以上のように，陽炎ブロー流量および陽炎ブローノズル高さを制御し，噴流幅を抑えながら光路中の温度差を大きく低減した後，陽炎ブロー角度およびカメラカバー角度を制御し温度差をさらに低減することが重要であるといった熱揺らぎのプロセス設計指針を導いた．

5. 上記で導いたプロセス設計指針に基づきプロセス条件を決定し，透過ヘッドを搭載した実装設備を用い，実装時間 1 s で実装精度評価を行った結果，ヘッド温度 200℃，ステージ温度 150℃において熱揺らぎが低減され，ダイアタッチ実装精度±2.5 μm 以内となる検証結果を得た．本プロセス設計指針の妥当性が示されたといえる．

以上のように本章では，300 mm ウエハ対応の高精度ダイボンダを対象に論じたが，本研究で導いた高精度実装のプロセス設計指針は，外形幅が 400 mm 以上のファンアウトウエハレベルパッケージ，パネルレベルパッケージなどといった大型の基板に対しても適用できる．また，本章では，透過ヘッドとサイドビューカメラを用いた実装機構を事例に検証した事例を示したが，従来のヘッド機構を備えたダイボンダにおいても本章で提案した熱流体解析手法を用いて光路中の温度差を算出し，陽炎ブロー流量・陽炎ブローノズル高さなどの諸因子を求めることにより，高精度実装が可能になる．また，フリップチップ実装機の認識カメラ，実装ヘッド，ステージの配置において本章で述べた熱揺らぎプロセス設計指針を適用すれば，高精度フリップチップ実装が可能になる．以上のように，第 2 章で述べた本プロセス設計指針を用いることにより，多様な形態の 3 次元実装モジュールの高精度実装が可能になる．

今後，更なる高精度・高速実装を追求するには，本章で論じた実装ヘッド・カメラ間カメラ光路における熱揺らぎだけでなく，実装ヘッド内部，実装ヘッド・ステージ間などの熱揺らぎにも同様の設計指針を適用し，検討することが必要である．

第 3 章　薄型半導体の反り挙動の解明

3.1　緒言

第 1 章で述べたように，チップオンウエハ実装の 2 点目の課題は，薄型半導体の反りを抑制しながら，短時間で高精度に実装するためのプロセス設計指針を導出することである．半導体すなわち IC (Integrated Circuit; 集積回路)は，Si や GaAs から成る半導体基板上に数十nm 程度の配線ルールの微細トランジスタが形成され，トランジスタの上に Cu や Al から成る配線層を形成し，IC 再表層に向かって配線ピッチを拡大しながら 3 次元に回路を形成し，IC 再表層の外部接続端子まで電気的に接続され，配線層間を電気的に絶縁するために SiN，SiO_2，ポリイミドなどの絶縁層が形成された構造である．配線層や絶縁層は，スパッタリング，めっき，PVD (Physical vapor deposition)，CVD (Chemical vapor deposition)，スピンコート法などにより 1000℃以上の加熱工程を経て形成されるため，配線層と基板との線膨張係数の違いにより，常温で IC に残留応力が生じることが知られてきた．今後，IC の薄型化に伴い，配線部の残留応力の影響は大きくなり，IC の反りが増大することが予測される．そこで，本研究では，薄型半導体の反りを抑制するためのプロセス設計指針構築を目的とし，薄型 IC の残留応力を考慮し，IC の外形サイズ，厚みと IC 反りの相関を明確化し，半導体実装プロセスおよび半導体内蔵プロセスにおける薄型半導体の反り挙動の解明に取り組んだ．

1 点目の半導体実装プロセスにおける反り挙動解明においては，はんだバンプやダイボンド材を用いた熱圧着プロセスを想定した．熱圧着プロセスではんだバンプを溶融し接合するには，はんだの融点以上に加熱する必要がある．例えば，融点が 220℃の SnAg バンプの場合，ダイは 250℃以上に加熱される．IC を開放状態で 250℃以上に加熱すると，常温で反った薄型 IC の反りは増大し，はんだ接合部のオープン不良が発生する問題がある．このような接合不良を鑑み，薄型 IC の反りを抑制するには，実装時の加熱・加圧プロファイルを適切に制御する必要がある．本研究では，弾性解析により熱圧着プロファイルと IC 反りおよび残留応力の関係を求め，IC の厚みごとに適正な加熱・加圧プロファイルの導出を検討した．

2 点目の半導体内蔵プロセスにおける反り挙動解明においては，IC を樹脂に内蔵する IC 内蔵モジュールを想定した．弾性解析を用い IC の厚み及び樹脂の物性・厚みが IC 内蔵モジュールの反りに与える影響を求め，IC 内蔵モジュールの反りを実測し，弾性解析の妥当性検証を行った．弾性解析により，IC 埋め込み高さ，フィルムの弾性率と IC 内蔵モジュール反りの関係を明確化し，IC 内蔵モジュール反りを低減する IC 内蔵モジュール構造の設計指針

を導出した.

さらに, 薄型の IC 内蔵モジュールを高生産かつ簡易に形成できる工法として, スタッドバンプが形成された IC を熱プレスによりフィルムに埋め込みスタッドバンプを露出する工法を提案し, フィルム埋め込みプロセスにおいて, 適正な埋め込み温度・荷重を導出するプロセス設計指針の構築に取り組んだ. フィルムへの IC 埋め込み工程において, 構造の大変形を伴い流動する樹脂フィルムの挙動を剛塑性有限要素法解析により定量化し, 埋め込み時の荷重・温度が埋め込み時間に与える影響を検証し, 埋め込みプロセスの設計指針を導いた.

3.2 加熱プロファイルが薄型半導体パッケージの反りに及ぼす影響

3.2.1 想定プロセス及び反りの課題

本研究では, 大容量メモリやイメージセンサ, ロジック回路などの積層パッケージに対応した薄型 IC のチップオンウエハ実装を対象とした. 想定するチップオンウエハ実装プロセスについて説明する.

1) まず, ダイシング工程において, マイクロはんだバンプを形成した半導体ウエハをブレードダイシングにより, 個片化する.
2) 次に, IC 供給・搬送工程においてダイシングテープ上の個片化された IC を吸着ヘッドでピックアップした後反転し, 1 個ずつ実装ヘッドに受け渡す.
3) 次に, フリップチップ実装工程において, 実装ヘッドに吸着された IC と実装ステージ上のウエハとを 1 個ずつ位置合わせした後, 加熱・加圧手段を用いICをウエハに熱圧着する. 本工程において, はんだの融点以上に IC を加熱することにより, IC 上のはんだバンプは溶融し, 基板の電極に押し当てられると同時に溶融拡散反応が始まる. その後, 冷却プロセスにより, はんだは凝固し接合工程は完了する.

ここで, 高生産性を確保するためには, 加熱・冷却時間を最短にすることが望ましい. そこで, 従来は, 実装ヘッドを一定温度に加熱する方式が採用されてきた. この方式を「コンスタントヒート方式」と呼ぶ. 上述の実装プロセスにおいて, 実装ヘッド温度を一定に保つことにより, ヘッドの加熱・冷却時間が不要になり, 実装時間を短縮できる.

コンスタントヒート方式において, フリップチップ実装工程において, 実装後に実装ヘッドが IC を開放する時点では, はんだは溶融状態にある. IC が所定値以上の厚みがあると剛性があり, IC 開放後の IC 反りは数 μm 以下と小さく, はんだで反りを吸収することができた. しかし, IC が薄くなると, 加熱された IC が反る傾向にあるため, IC を解放後に反りが拡大され,

オープン不良になる問題がある．そこで，はんだが凝固するまで加圧したまま冷却することが可能なパルスヒート方式の実装ヘッドがに着目した．パルスヒート方式を用いることにより，はんだ溶融・凝固プロセスを制御でき，反りが大きな薄型 IC のフリップチップ実装も可能になる．

以上の現象は，経験的に知られてきたが，定量的な研究は十分なされてこなかった．そこで，本研究では，薄型 IC の寸法，厚みが温度によって IC 反りに与える影響を明確にした上で，実装ヘッドを一定に保つコンスタントヒート方式と，加熱・冷却を繰り返すパルスヒート方式の 2 種類の加熱方式が反りに与える影響について検討した．

3.2.2 供試材料及びサンプル作製方法

本研究では，50 μm 厚の IC を直径 300 mm ウエハに搭載し，IC と基板を 50 μm ピッチのマイクロバンプでフリップチップ接合することを想定した．TEG の仕様を Table 3.1 に示す．IC は 4 mm×4 mm，8 mm×8 mm の 2 種類を用いた．基板の厚みは，CoW プロセスを想定し，ウエハ搬送時に対応できる厚さとして 750 μm とした．なお，作業性を考慮し，実装後の IC 反りは CoW プロセスと同等になると考え，CoC 構造を採用した．また，フリップチップ実装によるショート不良を防ぐため，はんだで被覆された Cu ピラーバンプを用いた．基板上のバンプは，

Table 3.1 Specifications of the test vehicle; (a) Pattern A, (b) Pattern B.

(a)

Item	IC	Interposer
Size	4 x 4 mm 50 μm thick	8 x8 mm 775 μm thick
Material	Si	Si
Pad pitch	50 μm	
Pad numbers	5184 (72 x 72) , area allay	
Bump material	Electro plating Cu covered with Sn-2.3Ag	Electroless plating Ni / Au
Bump size	D37 μm, Cu 10 μm/ Solder 5μm thick	D30 μm, Ni 10 μm/ Au 0.1μm thick

(b)

Item	IC	Interposer
Size	8 x 8mm 50 μm thick	12 x16 mm 150 μm thick
Material	Si	Si
Pad pitch	50 μm	
Pad numbers	22500 (150 x 150) , area allay	
Bump material	Electro plating Cu covered with Sn-2.3Ag	Electro-plating Ni / Au
Bump size	D27 μm, 26 μm thick	D30 μm, 5 μm thick

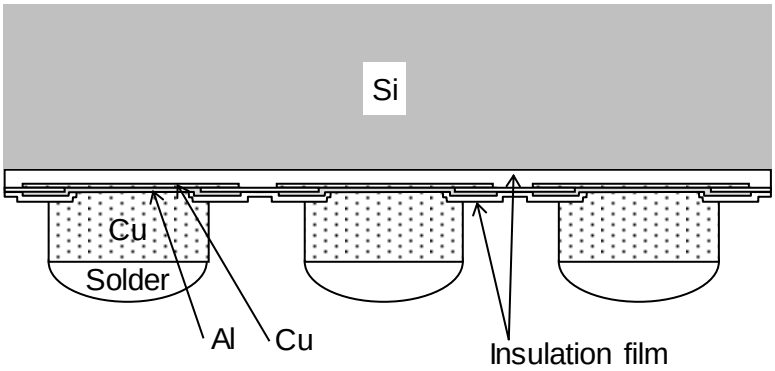


Fig. 3.1 Illustration of the cross-section of the IC chip.

はんだ濡れ性の観点から Ni-Au めっきとし，厚みを 5 μm とした．Fig. 3.1 に本研究で用いた IC の断面構造を示す．Si 基板上に絶縁膜，Cu 配線層，Al 配線層を形成し，Al 配線パッド上に Cu ピラーバンプが 50 μm ピッチで形成した．

次に，TEG の CoC 構造の作製方法について述べる．ピックアップ機能，反転機能を備えた全自動タイプのフリップチップボンダを用い，実装を行った．IC をピックアップ後，反転し実装ヘッドに受け渡した後，IC と基板の位置合わせを行い，1 個ずつステージ上に搭載された基板に実装を行った．

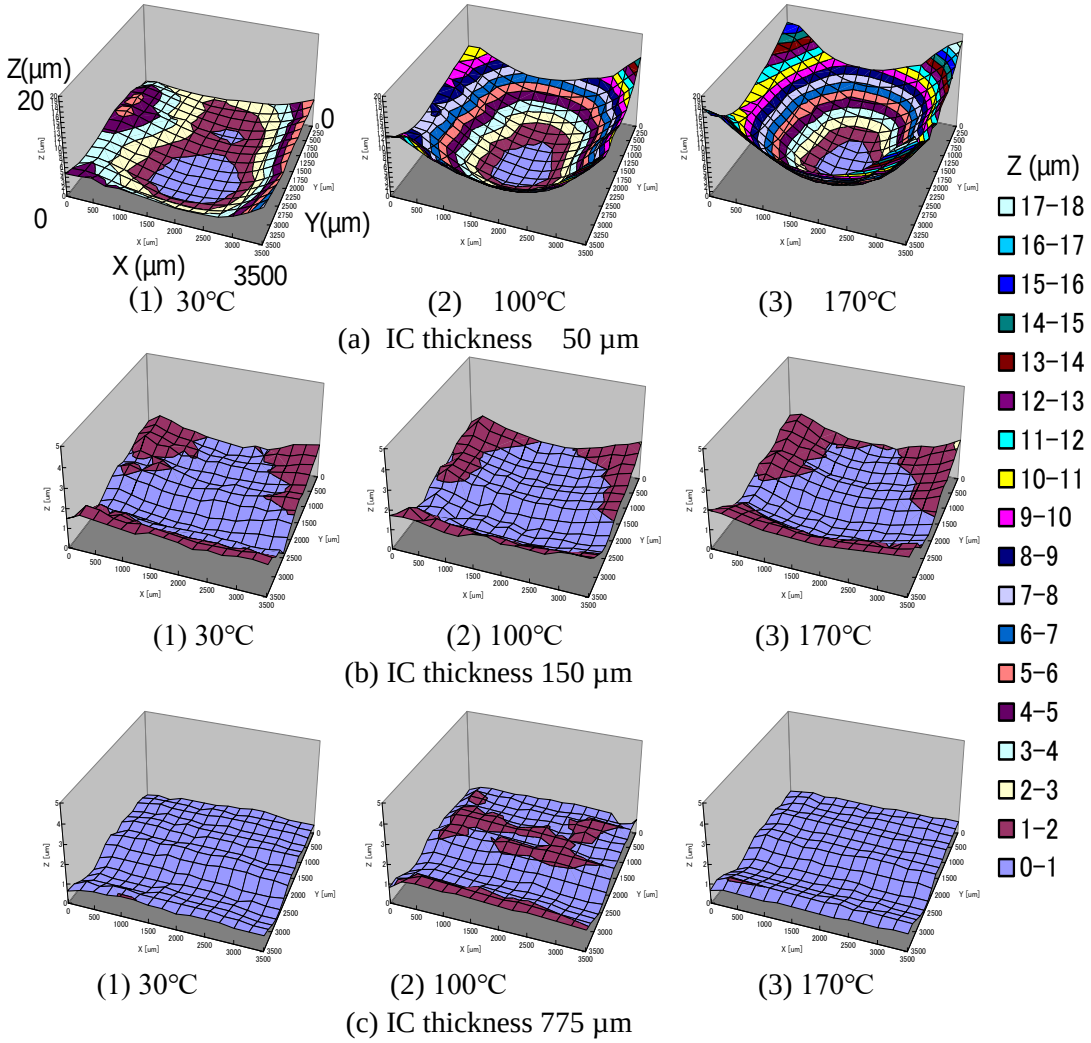
実装ヘッドの加熱方式は，コンスタントヒート方式で評価した．実装ヘッド温度は，はんだの液相線温度を上回るように 220℃以上とし，一定温度に保持した．反転ヘッドで吸着された IC を反転し，加熱された実装ヘッド IC を受け渡した後，実装ヘッドに吸着された IC とステージ上の基板を画像認識により位置合わせを行い，IC を実装時間 0.2 s 加圧した後，開放し，実装を完了した．

3.2.3 IC 単体及び実装後の IC の反りの測定方法

反りの実測方法として，実装前後の IC 裏面の高さをレーザフォーカス変位計 LT-8100 (キーエンス製) にて測定した．IC サイズが 4 mm×4 mm，8 mm×8 mm の場合の測定領域は，IC を中心としそれぞれ 3.5 mm× 3.5 mm，, 7.5 mm× 7.5 mm とし，測定ピッチを 250 μm ピッチとした．測定温度を一定に保つため，顕微鏡用試料加熱冷却チャンバ内に，評価サンプルを投入し，大気雰囲気下で透過窓から IC 裏面にレーザを照射し反りを測定した．反り量を面内の最大値と定義した．測定温度は，30，100，175℃とした．

3.2.4 薄型 IC サイズおよび測定温度が半導体反りに与える影響

Fig. 3.2 は，TEG Type A において IC の厚さと測定温度が IC の反りに及ぼす影響を示す反りの実測結果を示す．Fig. 3.2(a)に示すように，IC 厚が 50 μm の場合，30℃ではバンプ形成面を下向きにした場合に，ほぼ点対称で下に凸状に反り，最大反り量は 7.5 μm となった．バンプ形成面，絶縁配線層に引張応力が残留応力として加わり，Si 基板に圧縮応力がかかった状態と考える．さらに，100℃，170℃と加熱すると昇温に伴い反りは大きくなり 170℃では 21.8 μm となった．一方，Fig. 3.2(b), (c)に示す通り，IC 厚が 150 μm，775 μm の場合は，温度に関わらず反り量は 2 μm 以下となり，いずれも下に凸形状であった．以上の測定結果に基づき，IC の厚み，温度と最大反り量の関係を Fig. 3.3 にまとめた．Fig. 3.3 に示す通り，IC 厚に関わらず，測定温度と最大反り量は比例関係にあることが分かった．



(1) 30℃ (2) 100℃ (3) 170℃

(a) IC thickness 50 μm

(1) 30℃ (2) 100℃ (3) 170℃

(b) IC thickness 150 μm

(1) 30℃ (2) 100℃ (3) 170℃

(c) IC thickness 775 μm

Fig.3.2 Measurement result that shows the influence of the IC thickness and temperature on the warpage of IC (TEG: Type A).

Fig. 3.4 に，Type A および B の場合の測定温度 30℃での IC 厚と反りの関係を示す．Type A の実測値では，IC が薄くなるほど反りが増大する傾向が見られた．

IC 厚と反りの関係を近似式で表すために，薄型 IC の反りは，Si 基板への成膜プロセスや Si 裏面研磨プロセスにおける膜残留応力による反り δ_1 と Si と膜の線膨張係数の違いによる熱応

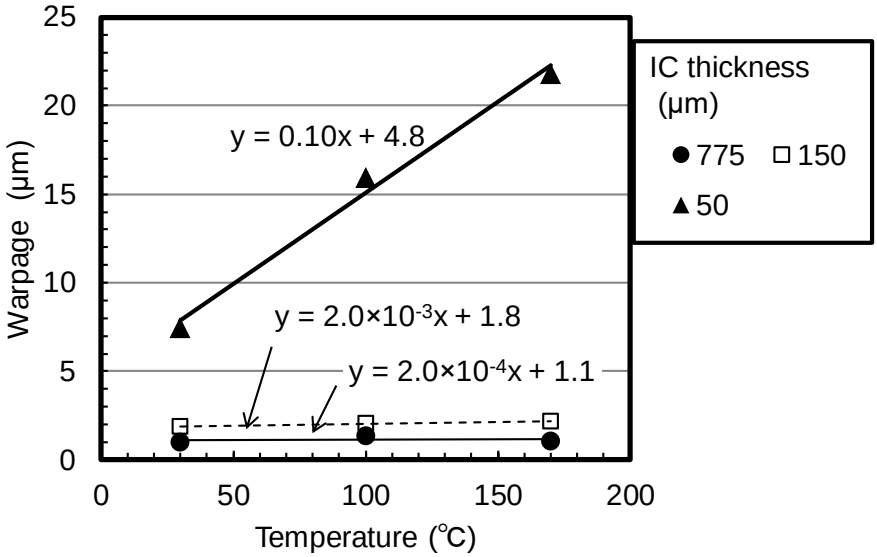


Fig. 3.3 The measurement result of relationship between the IC thickness and the warpage of IC (TEG: Type A).

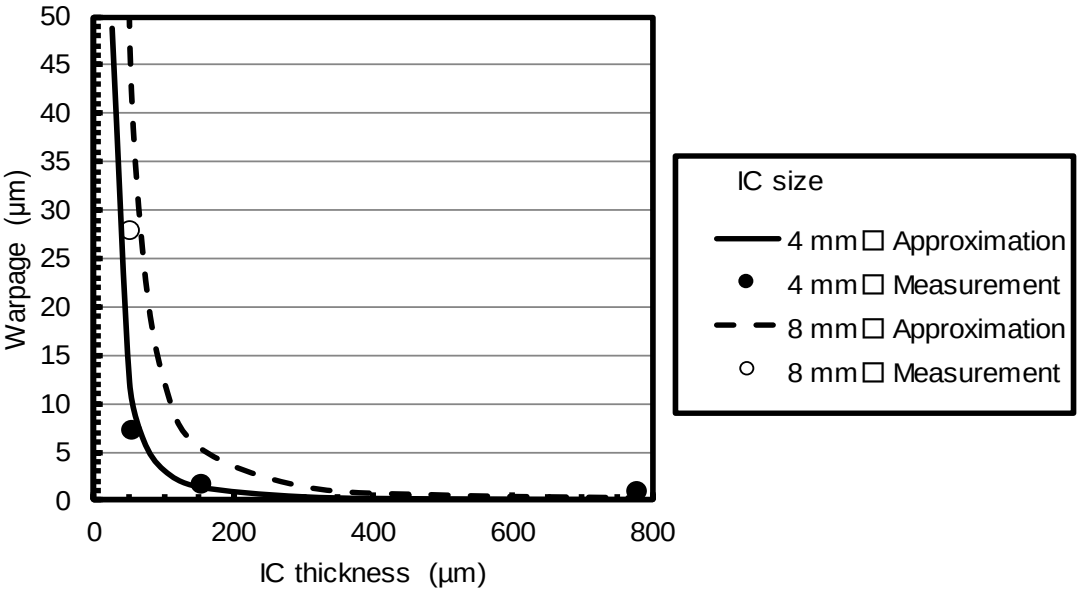


Fig. 3.4 The relationship between the IC thickness and the warpage of IC (Temperature: 30℃, TEG IC: Type A and B).

力による反り δ_2 の和であると考え，反りを算出した．

膜残留応力による反り δ_1 は，Stoney の式により近似した [42]．式(3.1)に示す．

$$\delta_1 = \frac{3dL^2\sigma}{4E_S t^2} \tag{3.1}$$

ここで，δ_1 は膜残留応力による反り，L は IC の長さ，ΔT は温度変化，t は IC の厚さ，d は薄膜の厚さ，E_s は IC の弾性係数，σ:皮膜内に生じた応力である．

一方，熱応力による反り δ_2 は，IC と薄膜のバイメタルの片持ち梁における反りと考え，式（3. 2）~（3. 4）で算出した．

$$\delta_2 = \frac{L^2\Delta T}{4(t_s+d)} \cdot K \tag{3.2}$$

$$K = \frac{3(\alpha_t-\alpha_s)}{3+\frac{(1+mn)(1+n^3m)}{mn(1+n)^2}} \tag{3.3}$$

$$m = \frac{E_s}{E_t},\ n = \frac{t_s}{d} \tag{3.4}$$

ここで，δ_2 は熱応力による反り，L は IC の長さ，ΔT は温度変化，t_s は IC の厚さ，d は薄膜の厚さ，α_t は薄膜の線膨張係数，α_s は IC の線膨張係数，E_t は薄膜の線膨張係数，E_s は IC の線膨張係数を示す．式(3.2)に示すように，熱応力による反り δ_2 は，IC 寸法 L の 2 乗および温度変化 ΔT に比例する．

Fig. 3.3 において，IC 反りは測定温度と比例関係にあることを述べたが，この比例関係は，式(3.2)の熱応力による反り δ_2 を用いて説明できる．

Fig. 3.4 に示す TEG IC の Type A における，常温 30℃での初期反りは残留応力による反り δ_1 のみが寄与すると考え，式(3.1)を用い反り曲線を下記のように近似した．

$$\delta_1 = 3.05\times10^4 / t^2 \tag{3.5}$$

式(3.5)における係数 3.05×10^4 は，Fig. 3.1 に示す内部配線層・絶縁層の構造によって決定される係数と考えられる．この係数を用いて IC が Type B の場合も算出し，Fig. 3.4 中に示した．IC が Type B，測定温度が 30℃の場合の反り実測値は 28 μm となり，式(3.5)で示す近似曲線上に乗ることが分かり，近似式の妥当性を確認した．

Fig. 3.5 は，IC サイズ・温度と IC 反りの関係の算出結果である．常温では，IC サイズの 2 乗に比例し反りは大きくなり，IC サイズ 20×20 mm の時に，反りは 200 μm に達した．さらに IC をはんだの融点 220℃まで加熱すると，IC が 10×10 mm の場合に反りは 200 μm，20×20 mm の場合には反りは 600 μm まで拡大した．Al や Cu から成る配線層の線膨張係数が Si よりも大

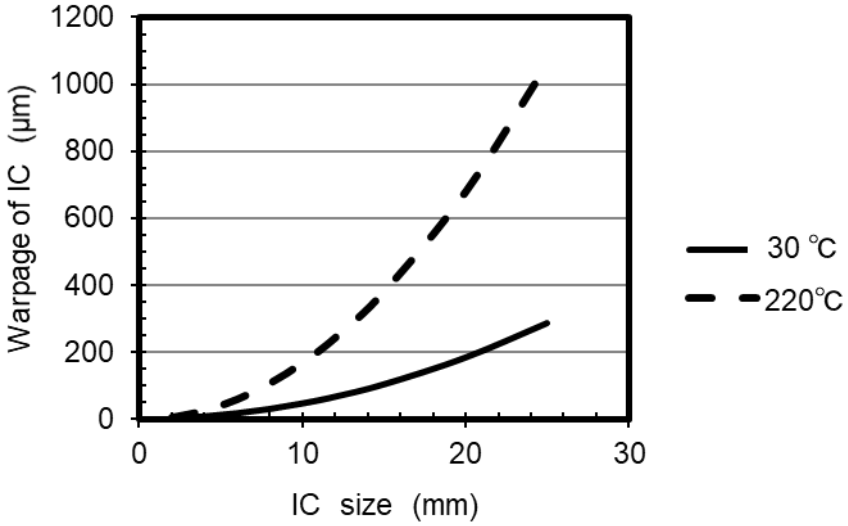


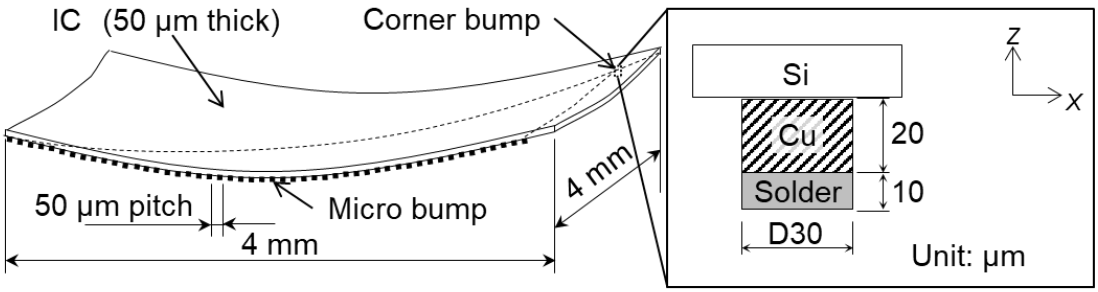
Fig. 3.5 The relationship between the IC size and the warpage of IC (IC thickness: 50 μm).

きいため，加熱に伴い配線層の引張応力が大きくなり，一層反りが拡大したと考えられる．この予測結果から，フリップチップ実装のはんだ接合工程において，10 μm 程度のはんだ厚では加熱時の IC 反りを吸収できないことが分かった．反りを緩和するためには，はんだが凝固するまでの間 IC を吸着しながら加圧するプロセスが必須と考えた．

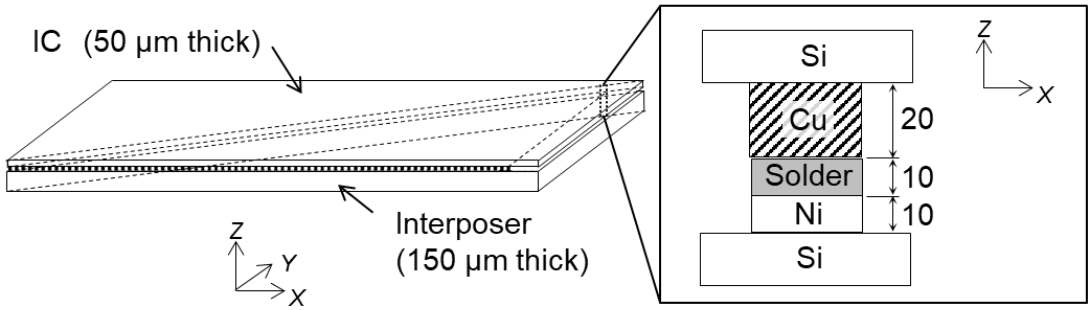
3.2.5 弾性解析による CoC 構造における IC 反りの導出方法

Fig. 3.6 は，IC 反り解析モデルを示す説明図である．Fig. 3.6(a)に示す通り，薄型 IC には 50 μm ピッチで 22500 ピンのバンプをエリア状に配置した．バンプは，はんだで被覆された Cu ピラーを用いた．Fig. 3.6(b)のように，半導体パッケージの構造を CoC 構造とし，50 μm 厚の薄型 IC を 150 μm 厚の基板に実装し，IC 及び基板の寸法はいずれも 8.0 mm×8.0 mm とした．左右対称構造とし，計算時間を短縮するため 1/4 モデルを用い，拘束条件を対称面の X 面，Y 面，原点とした．接合部は，IC の Cu ピラーバンプと基板の Ni 電極をはんだで接合する構造とした．また，Fig. 3.6(c)に示す通り，IC には予め前処理として熱履歴を与え，下に凸に反った形状とした．反り量は，実験値と同様に，30℃での IC 単体での初期反りが，Z 軸負方向に凸状に 27.5 μm となるようにした．

有限要素解析ツールには，汎用構造解析ソフト ANSYS16.2Workbench（Cybernet 製）を用い，線形弾性解析を行った．Fig. 3.7 に FEM(Finite Element Method)解析モデルの立体図



(a)



(b)

(c)

Fig.3.6 Thermo-elastic analysis model (quarter model); (a) IC with micro bumps, (b) the chip on chip, (c) the initial warpage of IC.

及び断面図を示す．上記 CoC 構造で対角線上に切断した時の断面を示す．接合部のメッシュは，計算時間を短縮するため，反りの顕著な IC の頂点近傍及び中央部のみメッシュサイズを刻んだ．各構成材料の物性値を Table 3.2 に示す．

接合工程において，はんだが液相点温度 220℃になった時，はんだは溶融しているため，IC の接合部にかかる応力が 0 になると仮定した．また，加熱方式は，パルスヒート方式とコン

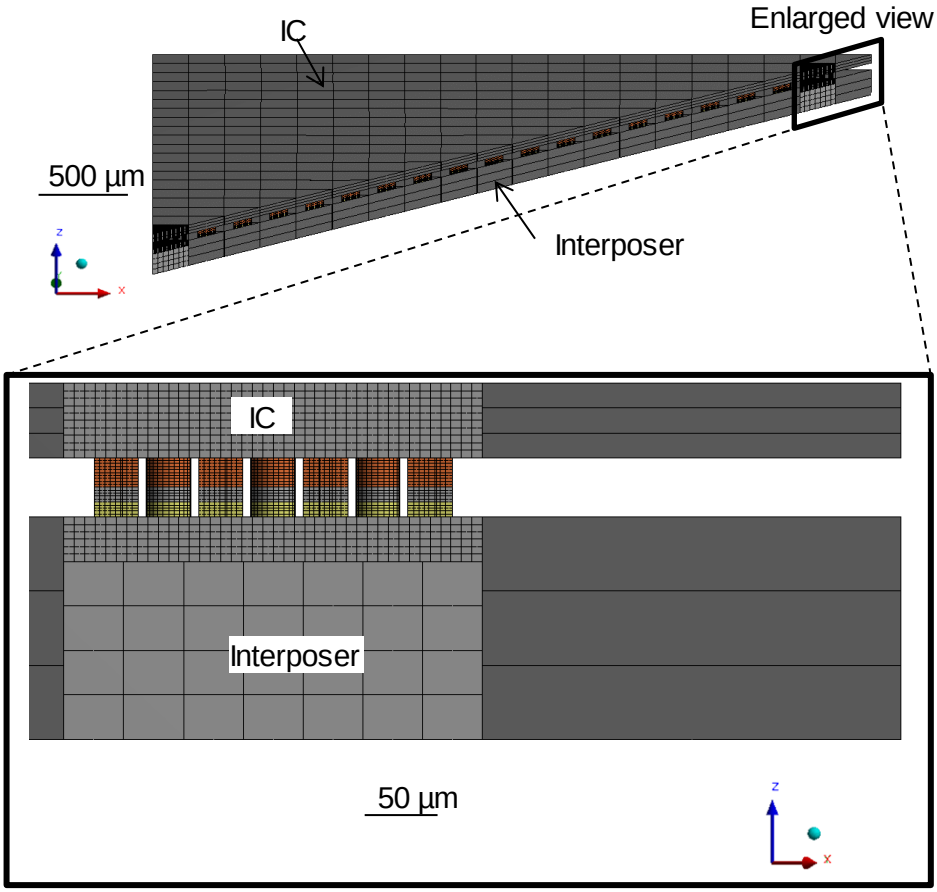


Fig. 3.7 The FEM model of the chip on chip strucuture.

Table 3.2 Material's properties[2)].

Materials	Young's Modulus (GPa)	Poisson's ratio	CTE (ppm/°C)
Si die	190.0	0.278	3.02
Solder	37.4	0.41	24.7
Cu	55.0	0.34	17.7
Ni electrode	220.0	0.30	14.0

スタントヒート方式の 2 種類で比較検討した. パルスヒート方式では, 220℃の加熱ヘッドで加圧された後, はんだが凝固するまで加圧し続ける. そこで, 220℃から 30℃までの冷却プロセスにおいて, Z 方向で固定した. 一方, コンスタントヒート方式では, 220℃で IC を基板に搭載すると同時に IC を実装ヘッドから開放し, 無負荷の状態で 220℃から 30℃まで冷却を行った.

評価項目は, IC の反りと残留応力とした. IC の反りは, IC の対角線上が最も反りの影響が顕著と考え, 対角線上における反りの最小値を 0 として対角線上の IC の反り形状分布を算出した. 残留応力は, Cu ピラーとはんだの界面に働く応力を評価した. また, IC 厚が反り・応力に与える影響を評価するため, IC 厚を 30, 50, 100, 200 μm とした.

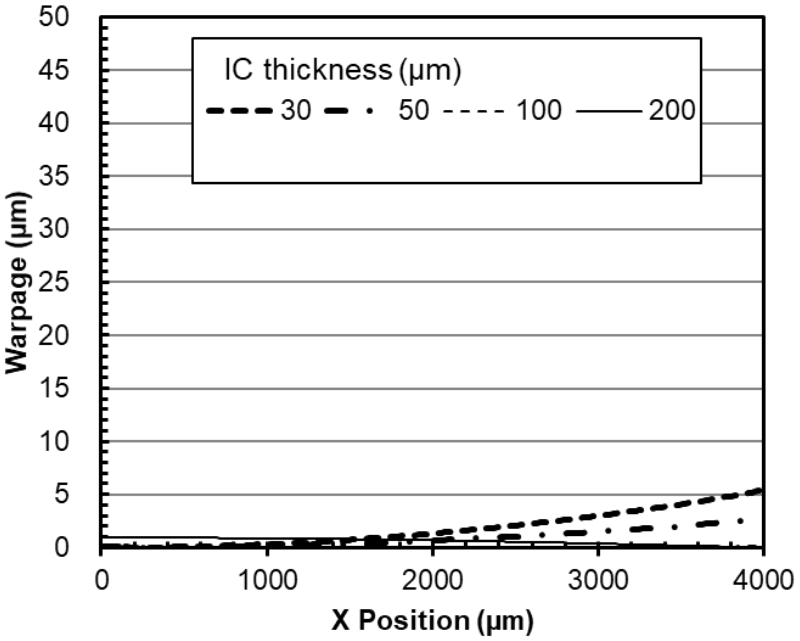
3.2.6 加熱プロファイルが反り・残留応力に与える影響

Fig. 3.8 は, TEG Type B の CoC 構造において, 加熱プロファイル方式がパルスヒート, コンスタントヒートの場合の IC 厚と反りの関係を示す弾性解析結果である.

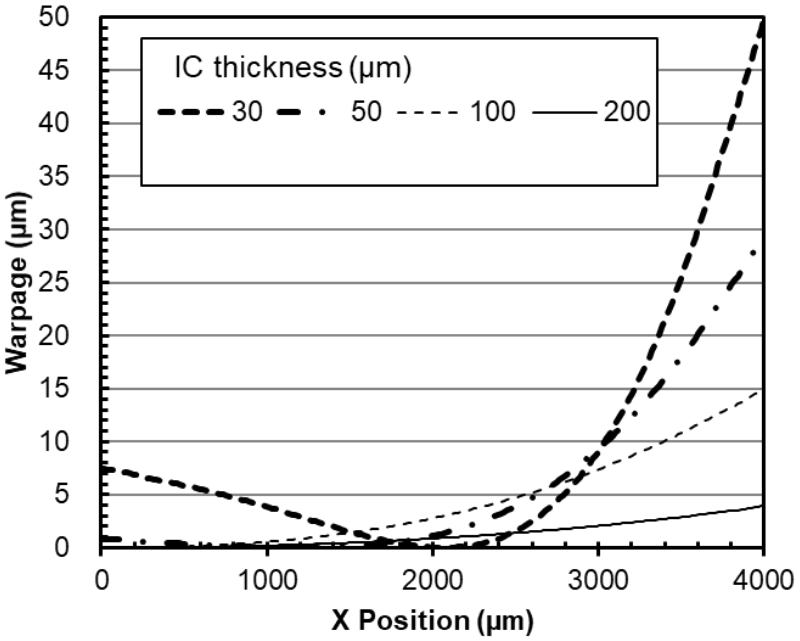
Fig. 3.8(a)にパルスヒートの場合の IC 厚と反りの関係を示す. IC 形状は全て下に凸形状となり, IC が薄くなるに伴い IC の反りが大きくなり, IC の外周部に近付くほど反りが拡大する傾向が見られた. しかし, IC 厚が 30 μm と薄い場合でも, 反りは 6 μm 以内となった. 6 μm 以内の IC の反りは, はんだ厚を 10 μm 以上の場合, IC の厚さに関わらずはんだで吸収できると判断できる. パルスヒート方式において IC 反りを 6 μm 程度に抑制できた理由として, はんだが凝固するまで IC を加圧し続けることにより, はんだ接合部の高さを一定に確保できるためと考える. また, 外周部で反りが大きいのは, 外周部にバンプが配置されておらず. 初期反りを抑える拘束力がないためと考える.

Fig. 3.8(b)にコンスタントヒートの場合の IC 厚と反りの関係を示す. パルスヒートの場合と同様に IC 厚が薄くなるほど IC の反りが大きく, 外周部に近付くほど IC の反りが拡大したが, パルスヒートの場合よりも反りは拡大した. IC 厚が 30, 50, 100, 200 μm の場合, X 座標 37.5 μm における反りはそれぞれ 36, 24, 13, 3 μm となる解析結果を得た. この解析結果の妥当性を確認するため, コンスタントヒート加熱方式を用いた CoC 構造サンプルを作製し, 反りを測定した. IC 厚 50, 150 μm の場合, それぞれ, 16.5, 4.6 μm との結果が得られ, 弾性解析と同等の傾向が得られた. 弾性解析では, はんだの表面張力を考慮に入れていないため, 実験値の方が値が小さくなったと考える.

以上より, はんだ厚が 10 μm の時, IC 厚が 30～100 μm の場合は, はんだで IC 反りを吸収できずオープン不良になると考える. IC 反りを吸収するには, IC 厚を 200 μm 以上にする



(a)

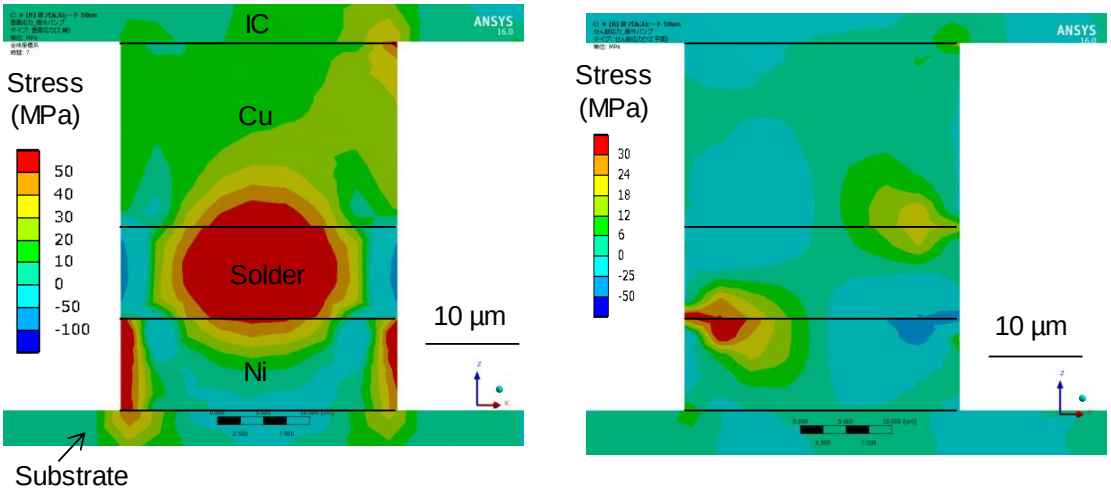


(b)

Fig. 3.8 The influence of the heat system on the IC warpage of the chip on chip structure; (a) Pulse heat, (b) constant heat (TEG: Type B).

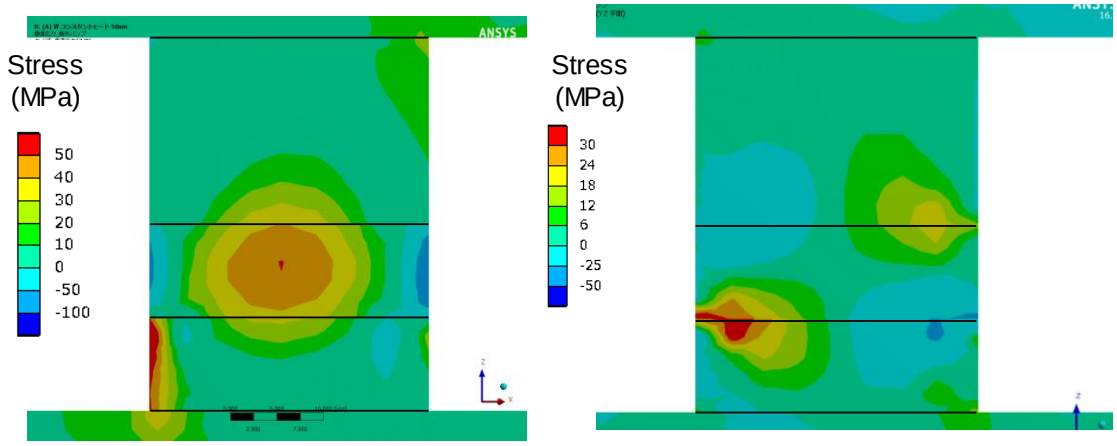
必要があると考える.

Fig. 3.9 は, 接合部の残留応力分布を表すコンター図である. パルスヒート方式では, Cu とはんだ, はんだと Ni 界面に Fig. 3.9 (a-1)のように 50 MPa 以上の引張垂直応力がかかり, Fig.



(a-1) Vertical stress (a-2) Shear stress

(a)



(b-1) Vertical stress (b-2) Shear stress

(b)

Fig. 3.9 The comparison of the cross-sectional stress distribution at the micro joint; (a) Pulse heat system, (c) constant heat system (IC thickness: 50 µm).

3.9(a-2)のように，24～30 MPa の引張せん断応力がかかることが分かった．紙面から見てバンプの右端部の Cu･はんだ界面において，反時計回りに IC を反らせようとする曲げモーメントが働くことが分かった．一方，コンスタントヒートでは，Fig. 3.9(b-1)のように，引張垂直応力は 40～50MPa に，Fig. 3.9(b-2)のように引張せん断応力は 24～30MPa となり，パルスヒート方式よりも垂直応力のみ小さくなった．

Fig. 3.10 にパルスヒート方式，コンスタントヒート方式における IC 厚と垂直応力の関係を示す．いずれの条件においても IC が薄いほど垂直応力が増加する傾向が見られた．パルス

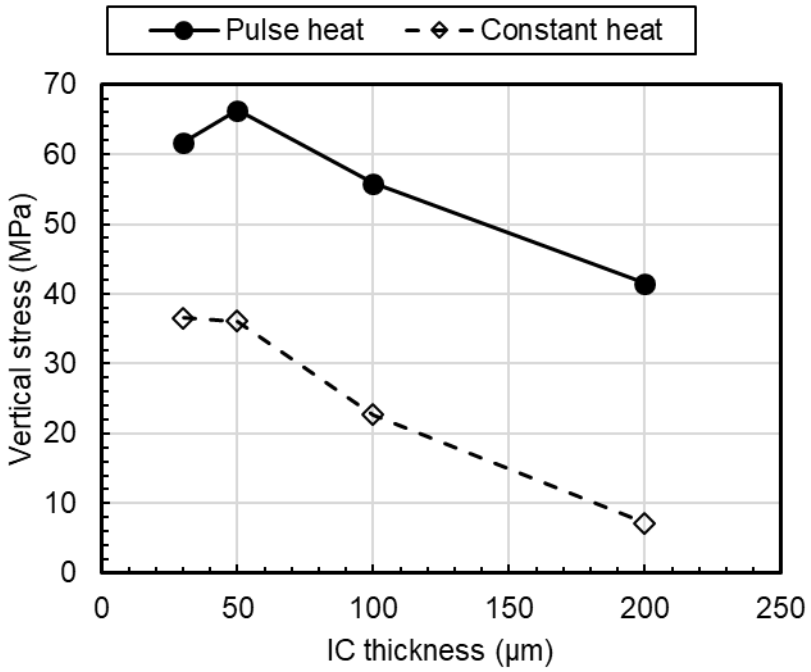


Fig. 3.10 The influence of the heat system on the vertical stress; (a) Pulse heat, (b) constant heat.

ヒート方式では，はんだ接合部にかかる垂直応力は IC 厚 200 μm では 42 MPa であったが，IC 厚 50 μm 以下で 60 MPa を上回った．コンスタントヒート方式では，パルスヒート方式よりも 3 割以上応力値が下がり，IC 厚 50 μm では，36 MPa 応力がかかった．初期接合を確保するには，はんだ接合部強度及び IC 内層の膜強度がこれらの主応力を上回る必要がある．パルスヒート方式では，Z 方向に拘束されているために，残留応力がコンスタントヒート方式よりも増えたと考えられる．

以上のように，3.2 節では，はんだのフリップチップ実装を想定したチップオンウエハ実装プロセスにおいて，IC 厚と加熱方式が反り，残留応力に与える影響について評価した．反りの観点から，IC が 100 μm よりも薄い場合，コンスタントヒート方式の適用は困難であり，パルスヒート方式が有効であることが分かった．一方，残留応力はコンスタントヒート方式より増加する傾向が見られ，初期接合，信頼性に懸念が残る．また，パルスヒート方式では加熱・冷却時間が 15~20 s と長いため，生産性に課題がある．第 4 章において，薄型 IC 実装の実装時間 1 s 以内を目指しパルスヒート方式における高生産マイクロはんだ接合プロセスの初期接合及び信頼性について検討した．

3.3 半導体内蔵構造における反り挙動の定量化

3.3.1 検証 TEG の構造および構成材料

Fig. 3.11 は，IC 埋め込みプロセス検証に用いた IC 内蔵モジュールの概略図である．また，各材料の主な物性値を Table 3.3 に示す.フィルムの弾性率，線膨張係数はそれぞれ動的粘弾性，熱機械的分析により測定した．フィルムのポアソン比と Si の物性値は文献値を用いた[43), 44)]．IC サイズを 6 mm×4 mm，厚さ 0.18 mm，フィルムのサイズを 50 mm×50 mm，厚さ 0.20 mm とした．Fig. 3.11(b)のように，IC には台座径 85 μm，高さ 40 μm のスタッドバンプを 45 ピン形成し，IC 裏面はフィルムから露出した構造とした．フィルム材料には，軟化点が 120℃の熱可塑性樹脂フィルム A を用いた．

Fig.3.11(c)は，反り定量化の検討に用いた IC 内蔵モジュールの概略図である．IC 裏面を同一材料のフィルムで封止した構造とした．フィルム材料には，熱可塑性樹脂 A，C と熱硬化

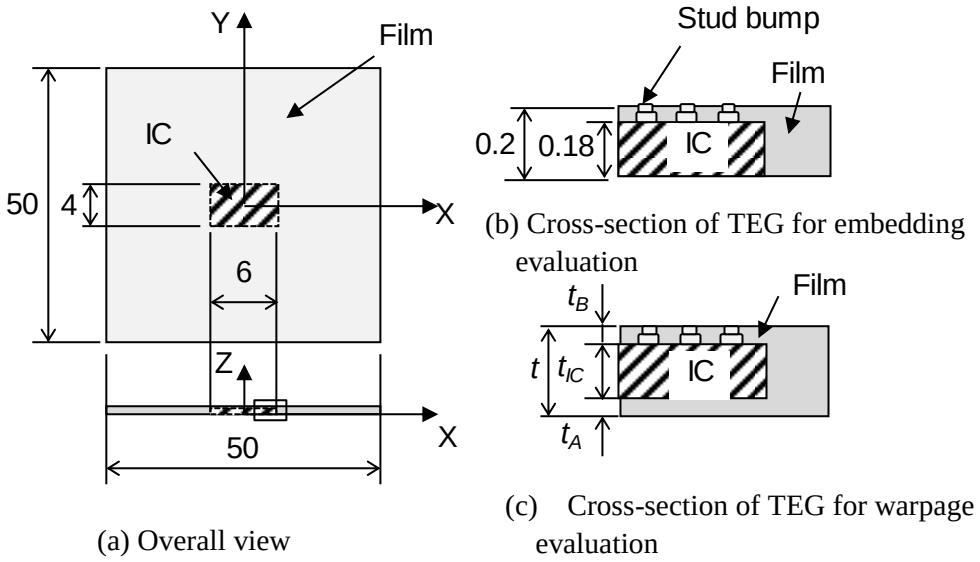


Fig. 3.11 The schematic illustration of the test vehicle.

Table 3.3 Specifications of materials.

Material	Film A	Film B	Film C	Si
Young's modulus (GPa)	4.0	5.9	1.7	130
Poisson's ratio	0.4	0.4	0.4	0.27
CTE (ppm/°C)	60	33	100	3

樹脂 B を用いた.

3.3.2 サンプル作製方法

Fig. 3.12 に IC 埋め込みプロセス検証用 IC 内蔵モジュールの作製プロセスを示す. まず, Fig. 3.12(a)に示すように, IC に Au スタッドバンプを形成した. 次に, Fig. 3.12(b)に示すように, 一定温度に加熱したステージにフィルムを載せ, IC を反転しフィルム上に搭載し, IC 裏面から支持板を介して加熱ツールで加圧した. 加熱・加圧工程においてフィルムは加熱により軟化するため, Fig. 3.12(c)のように IC はフィルム中に埋まり, スタッドバンプがフィルムを押しのけながら突き進む. さらに加圧すると, スタッドバンプはステージで圧縮され塑性変形し, フィルム表面に露出した. 以上の工程で埋め込み検証用サンプルを作製した.

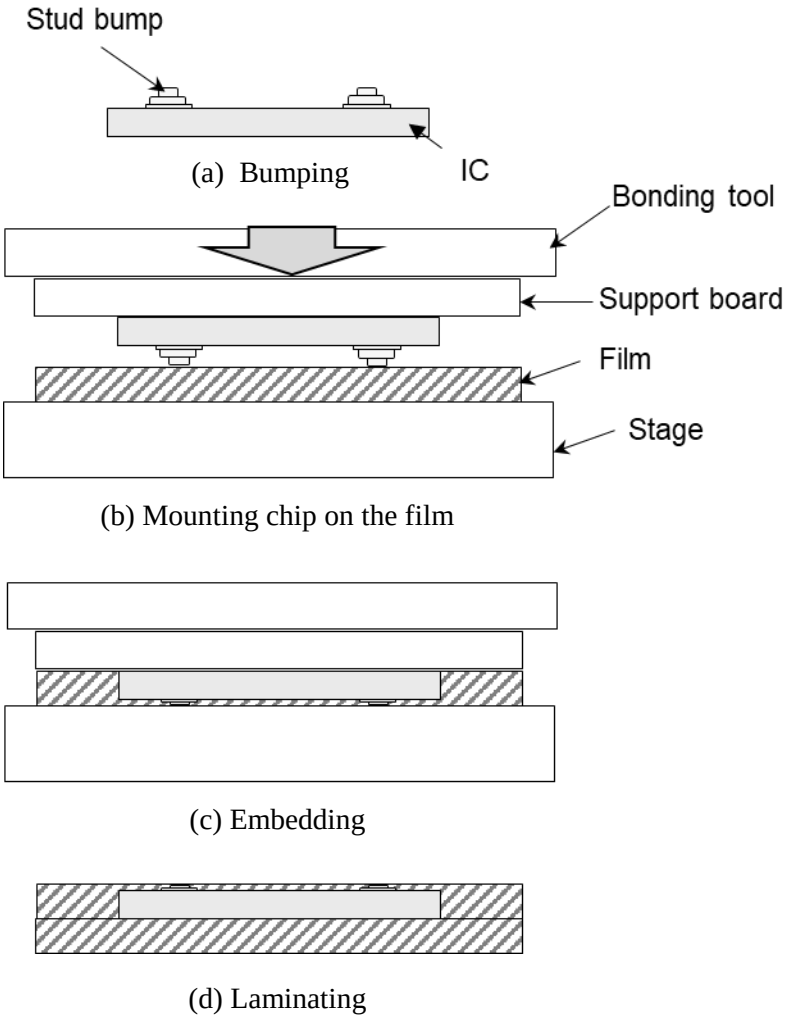


Fig. 3.12 Fabrication process of the test vehicle.

反りの検証では，さらに Fig. 3.12(d)のように IC が埋め込まれたフィルムをステージと支持板から剥がした後，IC 裏面側にフィルムを重ねた後，加熱・加圧によりラミネート処理を施した．

3.3.3 半導体内蔵モジュールの反り弾性解析・評価手法

ラミネート後の IC 内蔵フィルムモジュールは，IC 厚を 100 μm 未満に薄化すると，ラミネート後の冷却工程において，IC 表裏のフィルムの収縮量が異なり大きく反る．さらに，IC 近傍に大きな残留応力がかかり，使用環境下でフィルムに亀裂が発生する問題がある．このように，反り・残留応力の低減が 2 点目の課題である．ラミネート後の冷却プロセスにおいて，弾性項が支配的と考えフックの法則に従い弾性解析を行った．解析ソルバーとして，ABAQUS/Standard 6.4-4 を用いた．

解析モデルは，Fig. 3.11(a)，(c)に示すように 50 mm×50 mm のフィルムに IC を内蔵した構造とした．また，ラミネート温度を 160℃とし 160℃から 30℃まで冷却した際の反りと残留応力を評価した．

IC の埋め込み高さによる影響を評価するため，Table 3.4 中の Type I，IIのように t_A，t_b の配分を変え埋め込み，弾性解析を行った．また，材料物性値が反りに与える影響を評価するため，Type IIIの構造で材料を 3 水準振り，IC 近傍およびフィルム全体の反りと最大ミーゼス応力を評価した．さらに，Type II，IIIについては実験により妥当性を確認した．反りは 3 次元レーザ変位計により測定し，IC 近傍の反りを計測した．

3.3.4 半導体内蔵高さが内蔵モジュールの反りに与える影響

Fig. 3.13 に IC 内蔵モジュールと反りの関係を示す．Type IIにおいて，実験値と弾性解析共にバンプ面を上側にした場合上に凸に 200 μm 程度反る挙動を示した．一方，Type Iでは

Table 3.4 Structure of the IC embedded module.

Type	I	II	III
IC size x, y (mm)	12, 6	12, 6	6, 6
IC thickness t_{IC} (μm)	90	90	50
Resin thickness t_A (μm)	35	45	50
Bump height t_B (μm)	25	15	70
Film material	A	A	A,B,C

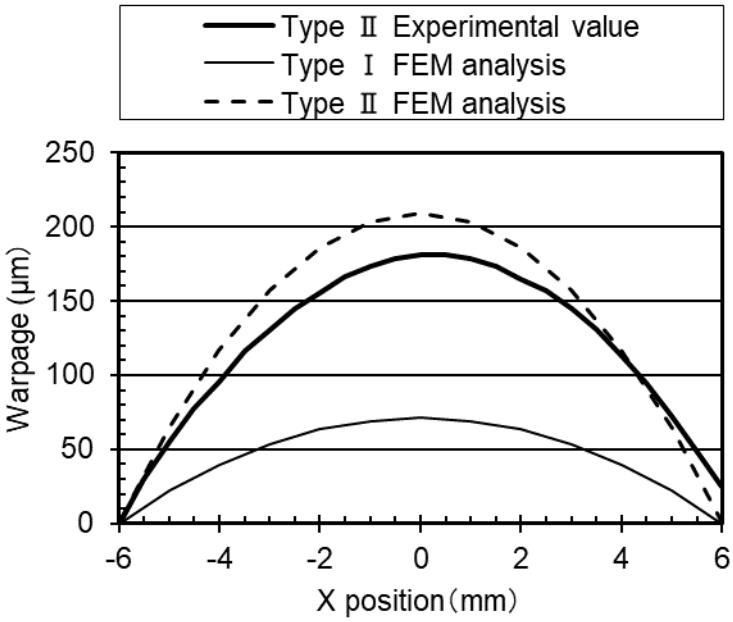


Fig. 3.13 Influence of the IC embedded module structure on the warpage.

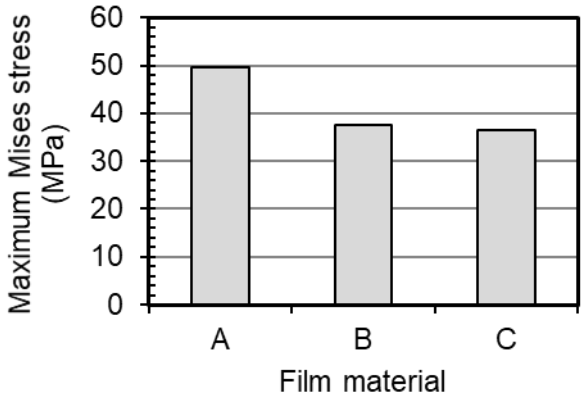
70 μm まで反りが低減した．IC 裏面の樹脂厚 t_A がバンプ側の樹脂厚 t_B よりも厚いため，冷却過程において裏面側の収縮量が表面側より大きくなり上に凸になったと考える．また，t_Aとt_Bの差が Type IIでは 30 μm あったのに対し，Type I では 10 μm と 20 μm 小さくなったために，反りが低減したと考えられる．以上より，t_A と t_B を近付けるように埋め込むと反りが低減できることが分かった．

3.3.5 フィルム材料物性が内蔵モジュールの反りに与える影響

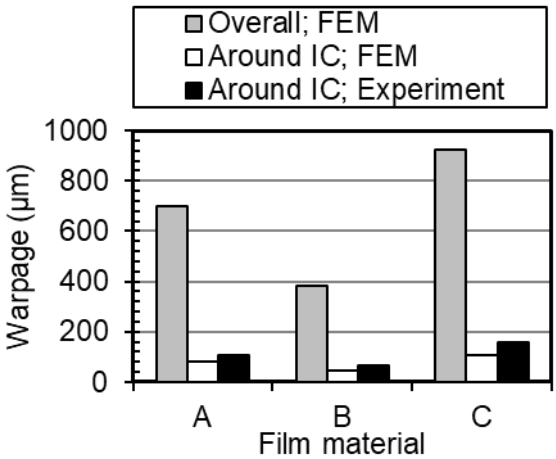
厚さ 50 μm の IC を埋め込んだ表 2 の Type IIIの構造におけるフィルム材料と反り・残留応力の関係を Fig. 3.14 に示す．Fig. 3.14(a)にフィルム材料と残留応力の関係を示す．フィルム A が最も高くフィルム B，C は同等の値となった．熱応力はヤング率と線膨張係数を乗じた値に比例するためと考える．また，いずれの水準においてもフィルムの熱応力は IC の頂点近傍が最大になることが分かった．埋め込み後のフィルム亀裂を防ぐには，フィルムの破壊応力を下回るように最大熱応力を制御する必要がある．

Fig. 3.14(b)にフィルム材料と反りの関係を示す．IC 近傍の反りはバンプ面を上にすると下に凸形状に反った．IC 近傍，全体のいずれも B，A，C の順に反りが大きくなった．反りは，弾性率が高く線膨張係数が低いほど小さくなる傾向があることが分かった．

以上のように 50 μm 厚の IC であっても弾性率 5.9 GPa，線膨張係数 33 ppm/℃のフィルム



(a) Mises stress



(b) Warpage

Fig. 3.14 Influence of the film material on Mises stress and the warpage of module.

を用いれば，IC 近傍反りを 70 μm 以下に，残留応力を 37.5 MPa まで低減できることが分かった.

3.3.6 半導体内蔵モジュールにおける反り低減の設計指針

3.3 節の検討により，半導体内蔵モジュールの反りを低減するために，以下の設計指針が導かれた.

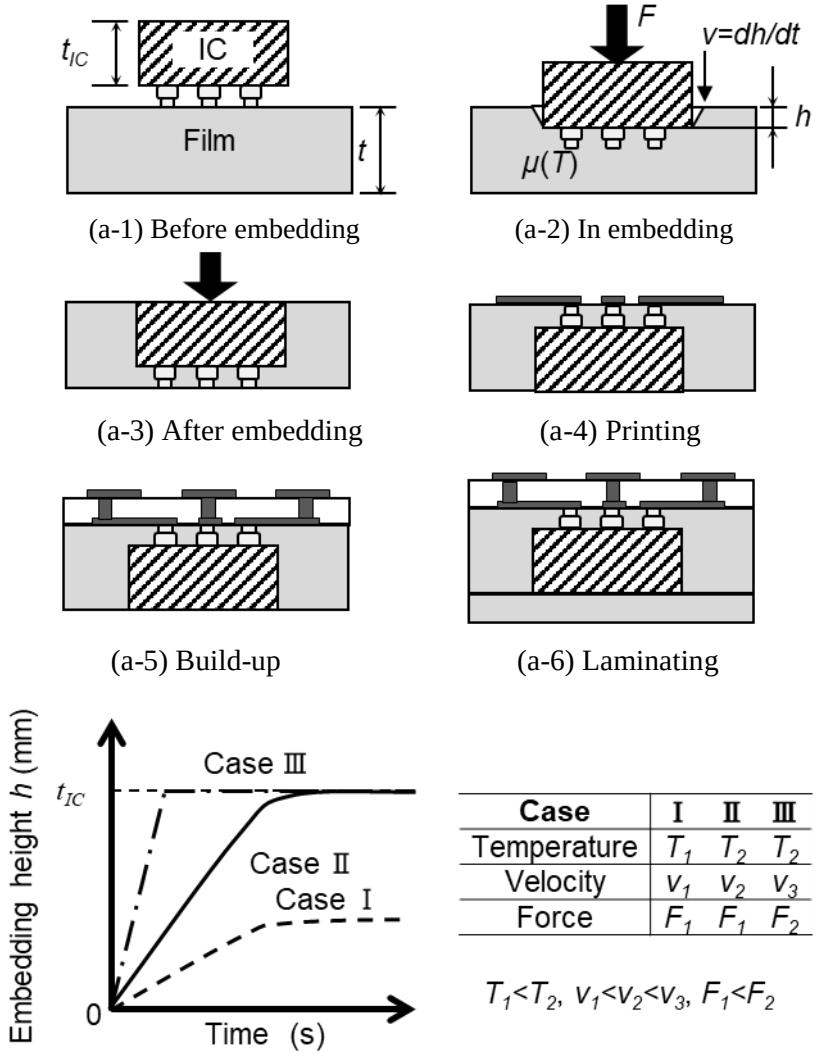
1) IC の埋め込み高さは，内蔵モジュールの中心に近付けるほど反りは低減され，IC 上下のフィルムの厚みの差は 10 μm 以下が望ましい.
2) フィルムの線膨張係数は，Si の線膨張係数に近付けることが望ましく，60 ppm/°Cから 33 ppm/°Cに変更することにより反りを 40 ％低減できる.

3.4 節では，反りが低減された構造として，材料 A，IC 厚 180 μm のフィルム内蔵モジュールにおいて，半導体内蔵プロセスの定量化に検討を行った．

3.4 反り低減構造における半導体内蔵プロセスの研究

3.4.1 半導体内蔵プロセスの課題と影響因子

本研究における IC 内蔵フィルムモジュールの製造方法について説明する．まず，突起電極が形成された IC を支持板に所定の間隔でダイアタッチする．次に，Fig. 3.15(a-1)のように IC に対向するようにフィルムを配置し，Fig. 3.15(a-2)のように加熱・加圧により IC をフィルム中



(b) Relationship between time and embedding height

Fig. 3.15 The schematic illustration of IC embedding process.

に埋め込み，Fig. 3.15(a-3)のように突起電極をフィルムの反対面に露出させる．さらに，Fig. 3.15(a-4)のように露出した突起電極と位置が合うように導電ペーストやスパッタ，めっき等により第1層目の配線パターンを形成し，必要に応じ Fig. 3.15(a-5)のように絶縁層，第 2，第 3 の配線パターンを積層していく．絶縁層は，フィルムや液状レジストを用いる．配線パターンの層間接続にはインナービアホールを用い，電気的接続を確保する．その後，支持板を剥離し，Fig. 3.15(a-6)のように IC 裏面側にフィルムを重ねラミネートする．以上の工程により，IC 内蔵フィルムモジュールが形成される．

IC 内蔵プロセスにおいて，IC 厚までフィルム中に埋め込まれること，IC 側面がフィルムで封止されること，埋め込み時間が短いことが求められる．Fig. 3.15(b)に埋め込み時間と埋め込み高さの関係を示す．ここで，IC 厚を t，荷重を F，埋め込み速度を v，IC 変位量を h，温度 T におけるフィルムの粘性係数を $\mu(T)$とする．Case Iのように温度 T_1 が低温の場合，フィルムの粘性係数 $\mu(T_1)$は高くなるため，低荷重 F_1 で埋め込むと，埋め込み速度 v_1 が遅くなり，フィルムの流動抵抗を受け IC 変位量は IC 厚 t_{IC} に至る前に停止する．Case IIのように温度 T_2・荷重 F_1・埋め込み速度 v_2 がフィルムの粘性係数 $\mu(T_2)$に対し適切であれば，IC 厚 t_{IC} まで IC を埋め込むことができ，IC 側面も封止できる．一方，Case IIIのように，埋め込み速度 v_3 が v_2 よりも速い場合，短時間で IC 変位量が t_{IC} に達するが，側面近傍の樹脂は IC の埋め込み速度に追従できず空隙が残る．このように，温度，荷重，埋め込み速度が IC 埋め込み挙動に大きく寄与するため，これらの諸条件の適切な管理が課題である．

3.4.2 供試材料及びサンプル作製方法

IC 内蔵フィルムモジュールは，3.3 節で述べた構造と同様に， 180 μm 厚の IC を 200 μm 厚のフィルム A に内蔵した構造とした．Fig. 3.11(b)のように，IC には台座径 85 μm，高さ 40 μm のスタッドバンプを 45 ピン形成し，スタッドバンプの頭頂部をフィルムから露出した構造とした．また，IC 内蔵フィルムモジュールの作製方法は，3.3.2 項で述べた方法と同様とした．

3.4.3 剛塑性有限要素法解析手法

熱可塑性樹脂は軟化点以上の温度に加熱すると軟化するため，埋め込み加工に用いることができる．温度が十分に高ければ，せん断変形に対する材料の弾性的な挙動は消滅し，粘性体として挙動することが知られている．樹脂の粘性係数は温度に強い依存性を示すため，フィルム全体で偏りなく埋め込むにはフィルムをほぼ一様に加熱するのがよい．高温での粘性

流体挙動は，流体解析で解くことが多いが，埋め込み時に温度変化を受けながらツールとの接触によってフィルムが大きく変形する問題は，構造解析として扱う方が応用性に優れると考えた．そこで，本研究では，塑性流れと粘性流れの相似性を利用し，粘性の効果を構造解析に組み込んだ．構造解析用のソルバーとして MSC. Marc を使用した．

塑性流れの記述において，ミーゼス型の降伏関数を採用すると偏差応力 σ_{ij} と塑性ひずみ速度$\dot{\varepsilon_{ij}}$の関係は，降伏応力$\bar{\sigma}$と相当塑性ひずみ速度$\dot{\bar{\varepsilon}}$を用いて式(3.6)のように表すことができる．剛塑性流れの解析は，式(3.6)を構成則として採用したものである[45), 46)]．

$$\sigma_{ij} = \frac{2}{3}\frac{\bar{\sigma}}{\dot{\bar{\varepsilon}}}\dot{\varepsilon}_{ij} \qquad (3.6)$$

一方，非圧縮性流体の粘性的な挙動は，粘性係数 μ を用いて式(3.7)のように表せる．

$$\sigma_{ij} = 2\mu\dot{\varepsilon}_{ij} \qquad (3.7)$$

式(3.6)と式(3.7)を比較し，剛塑性流れ解析における降伏応力として式(3.8)のように表現し，粘性の効果を構成則の中に組み込んだ．

$$\bar{\sigma} = 3\mu\dot{\bar{\varepsilon}} \qquad (3.8)$$

ここで，降伏応力は，塑性加工の分野では流動抵抗と呼ばれ，加工に対する抵抗力を示す．粘性体の場合，式(3.6)のように流動抵抗がひずみ速度に比例するため，一定の粘性係数すなわち一定温度で加工しても，加工速度が速いほど，加工に要する力は大きくなる．従って，埋み込みプロセスにおいて，荷重だけではなく加圧速度と保持時間の制御が重要である．

また，式(3.7)に示すように，剛塑性流れの解析手法は，定常流れを解析する手法である．解析手法としては，まず与えられた境界条件に対し，メッシュ上の各節点で速度を求めた．次に，時間増分を与えて解析し，速度と時間増分を乗じて変位増分を求めた．さらに，各節点の座標値にこの変位増分を加えることにより，形状を更新し，新しく得られた形状に対して速度場を求めた．以上の手順を繰り返し，形状の変位を時間的に追った．

Fig. 3.16 に IC 埋め込みプロセスの剛塑性有限要素法解析モデルを示す．2 次元平面ひずみの要素を用いてメッシュ分割した．外形幅 6 mm，厚さ 180 μm の IC を厚さ 200 μm の熱可塑性フィルムに埋め込むプロセスを定量化した．なお，計算時間短縮のため，解析領域を変形挙動が顕著な IC 近傍とし，フィルムの幅を 30 mm，奥行きを 6 mm とした．さらに，フィルムの左端面に対し線対称の 1/2 モデルを用いたため，境界条件を左端面における X 方向の変位拘束とした．

熱可塑性フィルムには式(3.8)に与えられた材料モデルを適用した．熱可塑性フィルム下面

はステージに接している．ステージ，IC，支持板を剛体面とし，ステージ上をフィルムが変形しながら滑ることができるようにモデル化した．なお，フィルムは IC，ステージ，支持板といった剛体に接する．フィルム A の実測値に基づきフィルムと剛体間の摩擦係数を 0.4 とした．

Fig. 3.17 にフィルム A の粘性係数の温度特性の測定結果を示す．高化式フローテスタを用い，230～250℃の粘性係数をひずみ速度 0.2 s^{-1} で実測した．また，レオメータを用い 180℃以下の緩和弾性率を実測しフィルム A のマスターカーブを求めた．さらに，高化式フローテスタのひずみ速度がレオメータの測定周波数と等価と考え，0.2 rad/s での粘性係数を算出した．軟化温度 120℃以上で粘性流体としての挙動を示し，粘性係数が 1 MPa･s 以下に低下した．

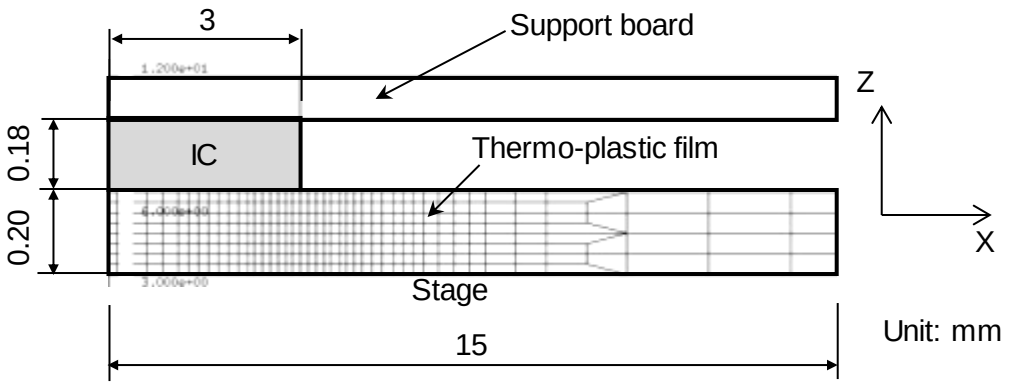


Fig. 3.16 FEM analysis model of IC embedding process.

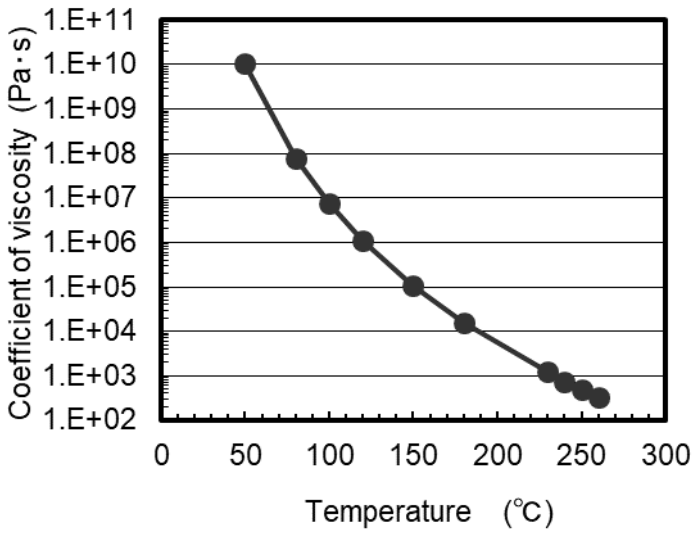


Fig. 3.17 Viscosity curve of the thermo-plastic film A.

解析での荷重条件は実験値と同等に与えた．また，フィルムの温度はツール温度によって制御される．フィルムは薄いため，ツール直下のフィルムの温度は厚み方向でほぼ一様と考え，実験値の温度履歴に従い，時間ごとの温度をフィルムに直接与えた．フィルム A の温度ごとの粘性係数は，Fig. 3.17 から求めた．

フィルム温度が IC 埋め込み挙動に与える影響を評価するため，フィルム温度を 140℃，160℃の 2 水準について検討した．Fig. 3.18 はフィルム温度が 160℃の場合の加熱･加圧プロファイルである．Fig. 3.18 のように，加圧 10 s 後に荷重は定常域に達し，380 N になった．Fig. 3.18 における時間 0, 2, 4, 9, 20 s での温度を入力した．
フィルム温度が 140℃の場合も同様に加圧した．実測プロファイルに基づき，時間 0 ~ 45 s まで 5 s 間隔でフィルム温度を入力した．

3.4.4 評価方法

埋め込み工程では，スタッドバンプが確実にフィルムに露出すること，ボイドが発生しないことが要求される．そこで，露出径，ボイドを評価した．露出径をフィルム表面に露出したスタッドバンプの直径と定義し，光学式焦点位置検出方式の非接触段差測定顕微鏡を用い測定した．ボイドは，荷重 380 N，埋め込み時間 15 s でフィルム温度を 140，160，180，200℃と振り，実体顕微鏡を用いてフィルム表面から観察した．

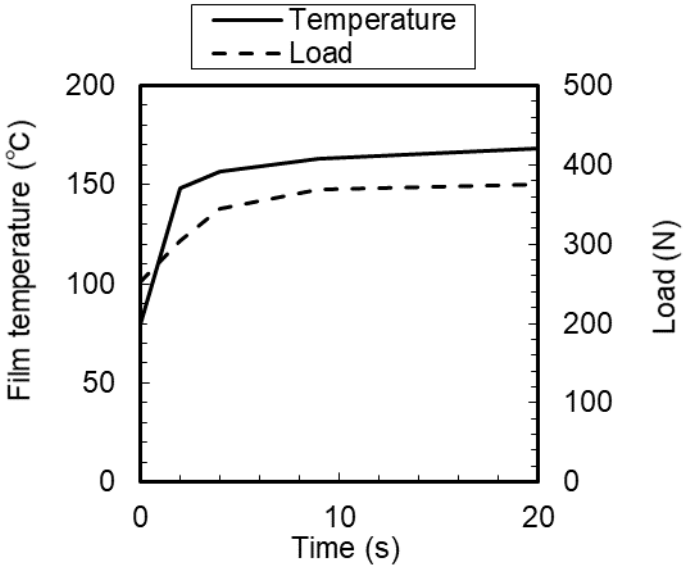


Fig. 3.18 Heat press profile (Load: 380 N, Film temperature 160℃).

3.4.5 剛塑性解析結果および考察

Fig. 3.19 は，フィルム温度が 160℃の場合の埋め込み形状予測を示す解析結果である．時間 0 s で Fig. 3.19(a)の通り IC がフィルムに接触した後，2.2 s で昇圧しながらフィルムは 80℃から 150℃に昇温され Fig. 3.19(b)のように IC 直下のフィルムを 25 μm 圧縮した．5.0 s 後荷重が定常域に達し 160℃まで昇温すると，フィルムの粘性係数が 0.04 MPa･s まで下がり，Fig. 3.19(c)のように IC 変位量は 160 μm となり，その圧縮に伴い IC 直下のフィルムは X 方向に押し出され IC 側面には空隙が生じた．IC とフィルム間の摩擦により，フィルムは X 方向に押し出されたと考える．Fig. 3.19(d)のように 7.2 s で支持板がフィルムに接触した後，Fig. 3.19 (e)のように支持板に沿って IC に近付くように樹脂が流動した．さらに，10.6 s で Fig. 3.19 (f)のよ

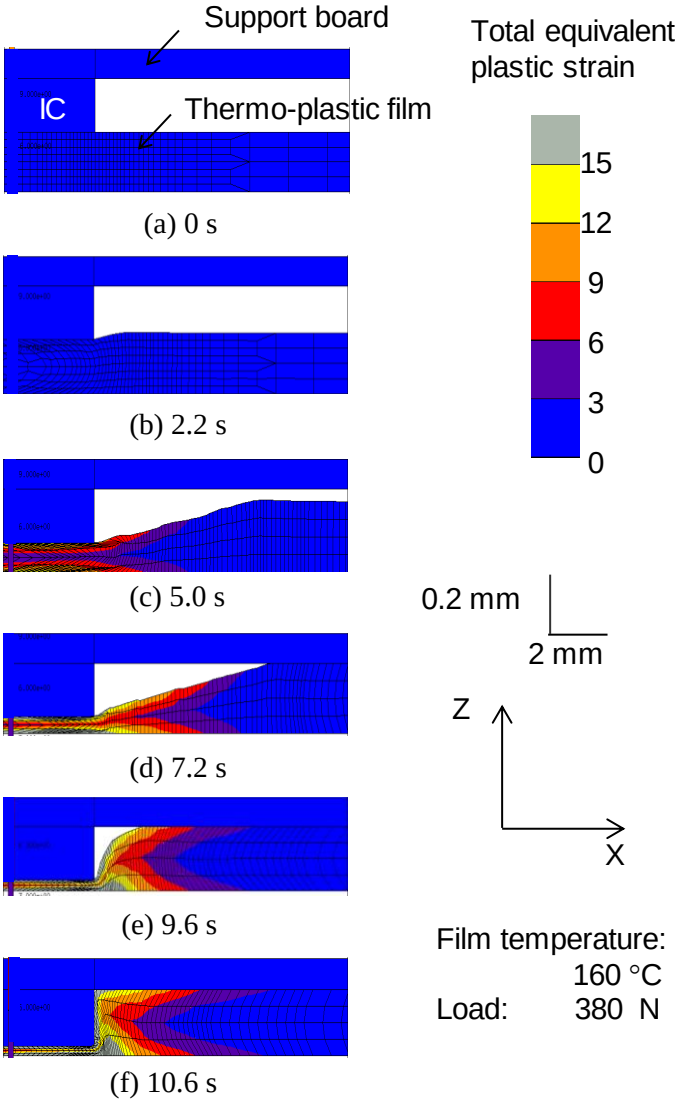


Fig. 3.19 Shape prediction when embedding IC into the film at 160℃.

うに IC 側面の空隙は樹脂で充填された．IC を押し込むことによりステージ表面を流れる樹脂と支持板表面を流れる樹脂とが IC 近傍で交わり，IC 近傍の全相当塑性ひずみは面内で最大となった．また，IC 変位量は 180 μm となり IC 厚と等しくなった．このように，フィルム温度が 160℃では，10.6 s で IC が IC 厚まで埋め込まれ，IC 側面を樹脂で充填できるという解析結果を得た．

Fig. 3.20 は，フィルム温度が 140℃の場合の埋め込み形状予測である．Fig. 3.20 (b)のように 10.4 s 後フィルムは 130℃以上に加熱され，IC 変位量は 63 μm となり，Fig. 3.20 (a)の約 1/3 の圧縮量となった．40.0 s 後，Fig. 3.20 (c)のように変位量は 170 μm となり安定したが，IC 厚 180 μm にまで達しなかった．そのため，支持板はフィルムと接触せず，フィルムが支持板に沿って流動しないため，IC 側面の空隙は残存した．140℃ではフィルムの粘性係数が 0.2 MPa･s と 160℃に比べ 4 倍以上高いため，荷重 380 N では樹脂の流動抵抗によりフィルムが圧縮されず X 方向に拡がらなかったと考える．

両者の埋め込み挙動の違いを，埋め込み速度と変位量の観点で比較し考察する．Fig. 3.21 にフィルム温度と変位挙動の相関を示す．フィルム温度が 160℃の場合，埋め込み速度は時間経過に伴い加速した後 2.5 s で最大となり 2.5 s 以降は減速した．最大埋め込み速度は 0.033 mm/s となりその時の変位量は 32 μm であった．一方，フィルム温度が 140℃の場合

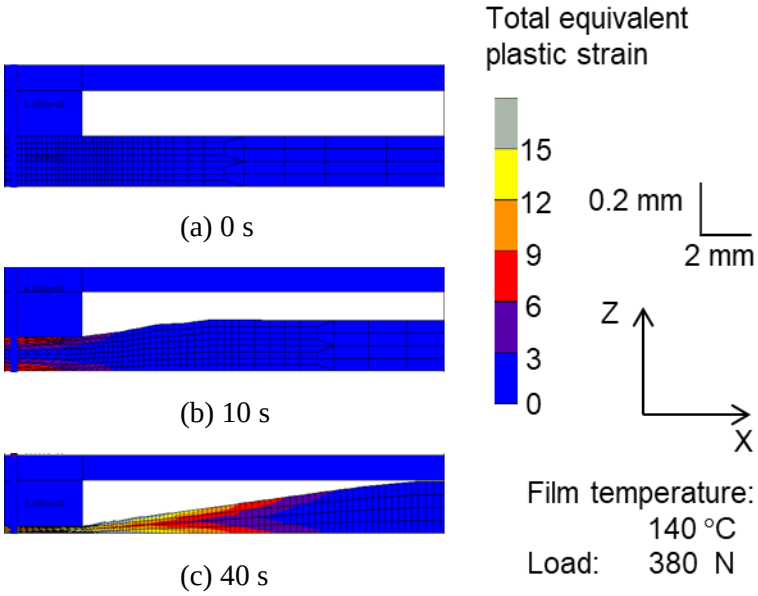


Fig. 3.20 Shape prediction when embedding IC into the film at 140℃.

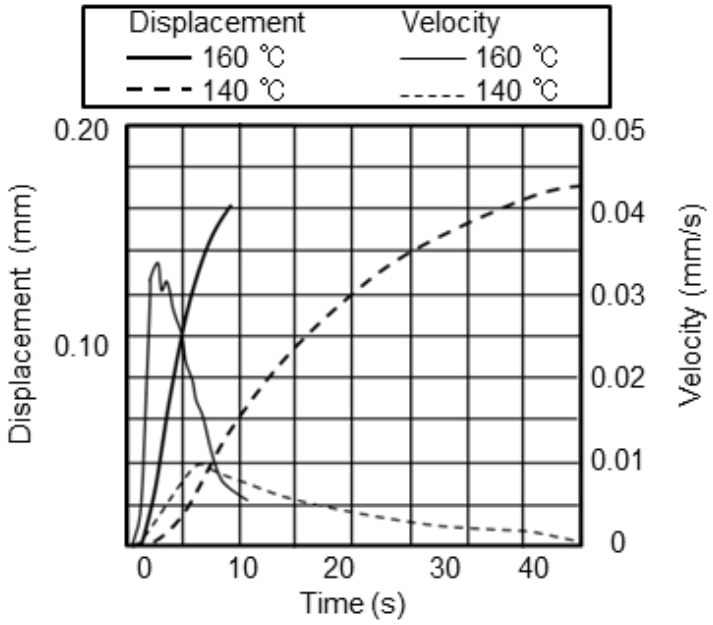


Fig. 3.21 Influence of the film temperature on the displacement profile (Load: 380 N).

も同様に, 6.4 s まで加速した後減速した. 最高速度は 0.0097 mm/s となり, その時の変位量は 32 μm であった.

いずれの場合も変位量 32 μm が閾値となりこの値を上回ると減速する傾向が見られた. 変形後のフィルム形状が減速の要因となりフィルムに IC を埋め込む際の抵抗になっていると考える. そのため, この形状による影響が始まる前に, 埋め込み速度が所定値を上回れば IC を埋め込められると考えた.

ここで, 式(3.8)よりフィルム温度が高いほど粘性係数は下がり流動抵抗が減るため, ひずみ速度すなわち埋め込み速度は速くなる. フィルム温度が 160, 180, 200℃と一定にした場合の, 荷重と埋め込み速度の関係を計算した. Fig. 3.22 は, フィルム温度・荷重が埋め込み速度に与える影響を表す FEM 解析結果である. 上述の 160℃の場合最高速度 0.033 m/s 以上で IC を埋め込めたことから, 0.033 mm/s 以上となる荷重は, 160℃, 180℃, 200℃の場合, それぞれ 137.2 N, 39.2 N, 9.8 N となり, これらの値を上回る荷重を加えれば埋め込み可能と判断できる. この基準を用いれば, 解析を全条件行わなくても埋め込み可否の判定ができる.

3.4.6 半導体埋め込み実験の結果および考察

上記 FEM 解析の妥当性を検証するため, Fig. 3.23 の通り, 荷重 380 N でフィルム温度を

160℃, 140℃と変え IC 埋め込み評価を行った.

Fig. 3.23 にフィルム温度と露出径の関係を示す. フィルム温度が 160℃の場合, 埋め込み時間 10 s 後にスタッドバンプはフィルムを突き破り始め, 13 s 以上で確実に露出し, バンプ露出径は 40 μm 以上となった. 55 s 加熱しても露出径に大きな変化は見られなかった.

一方, 140℃では, 55 s 後もフィルム表面上にバンプは露出しなかった. 160℃では粘性係数が低くなり IC がフィルム中に埋め込まれ, 先端のスタッドバンプも 20 μm 圧縮変形しながらフィルムを突き破ったのに対し, 140℃では粘性係数が高く IC が任意の高さまで所定の時間

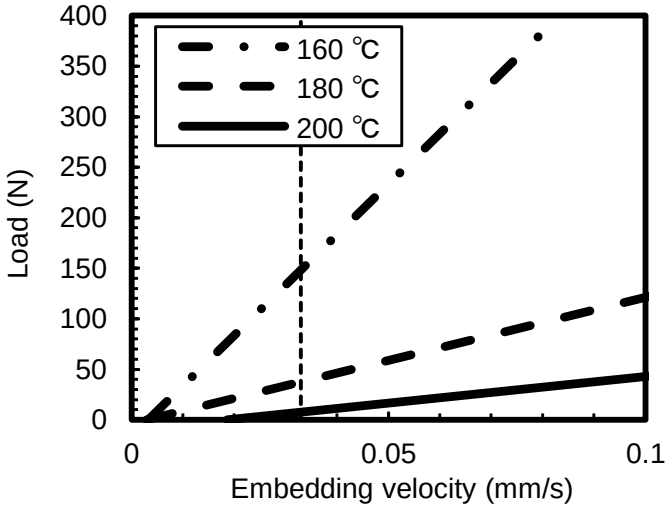


Fig. 3.22 Influence of the film temperature and the embedding velocity on the load.

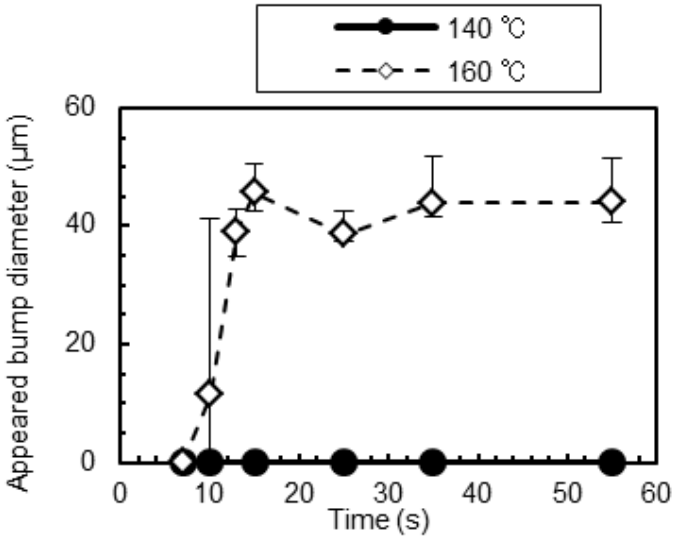


Fig. 3.23 Influence of the film temperature on the appeared bump-diameter (Load: 380N).

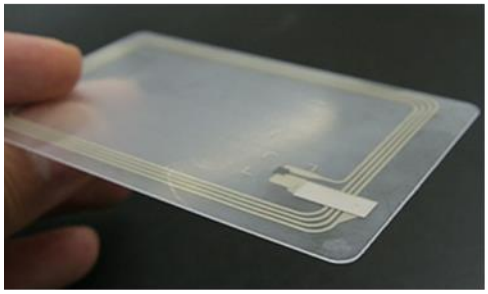
内に埋め込められなかったため，スタッドバンプも露出できなかったと考えられる．以上のように，剛塑性解析結果と実験結果の一致を確認した．

次に，フィルム温度とボイドの相関について述べる．フィルム温度 140～180℃ではボイド発生が見られなかったが，200℃ではボイドが発生した．200℃では IC を押し込む時点でフィルムの粘性係数が 0.005 MPa･s まで下がったため，IC と埋め込みヘッドの間にある空気を巻き込み発生したと推察する．

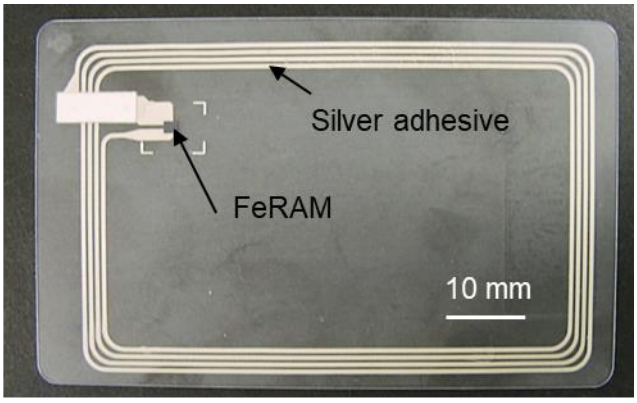
3.4.7 半導体内蔵モジュールの電気特性及び信頼性

(a) 非接触 IC カードの構成

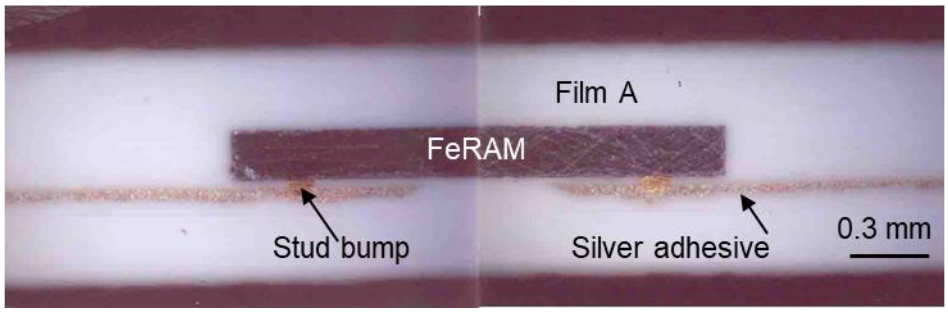
以上の埋め込みプロセスを用いた機能モジュールとして，短距離型非接触 IC カードを作製し，特性評価を行った．Fig. 3.24(a)は，強誘電体メモリ FeRAM(Ferroelectric Random Acess Memory)が内蔵された非接触 IC カードの外観写真である．Fig. 3.24(b)に示す通り，熱可塑性フィルム A 中に，強誘電体メモリ FeRAM と，アンテナ配線が内蔵されている．アンテナ配



(a)



(b)



(c)

Fig. 3.24 Photo of the contact-less IC card; (a),(b) external view, (c) cross-section.

線は，導電性ペーストの印刷プロセスにより形成された．また，Fig. 3.24(c)の断面写真が示す通り，FeRAM 上に形成されたスタッドバンプと電気的に接続されるように導電性ペーストによるアンテナ配線を形成した．コイル状に印刷されたアンテナ配線は，周波数帯 13.56 MHz のアンテナとして動作する．この構造は，3.3 節で述べた IC 内蔵モジュールの構造と同様に，FeRAM が内蔵されたフィルム基板が，表面 1 層・裏面 1 層のフィルム A と一体化し内蔵されている．本研究における 13.56 MHz 帯非接触 IC カードの仕様を Table 3.5 に示す．

(b) 作製プロセス

IC をフィルム A に埋め込み，電極を露出した後，電極の上に導電ペーストでアンテナ配線を形成した後，両面にフィルム A を被せ，熱プレスによってラミネートし，カード化した．

(c) 通信特性

Fig. 3.21 は，本研究において作製した非接触 IC カードの通信距離と誘導起電力の関係を示す測定結果である．本研究で用いた FeRAM を駆動するには誘導電圧が 5 V 以上必要であるが，Fig. 3.21 より通信距離 100 mm で誘導電圧 5 V 以上を満たすことが分かった．以上より，銀ペースト配線でも，通信距離 100 mm で動作し，実用上問題ない初期特性が示された．

(d) 機械・環境信頼性

本モジュールの物理的特性・環境信頼性結果を Table 3.6 に示す．曲げ・ねじれ試験において，1000 cycles 以上の繰り返しに耐えられることが分かった．また，繰り返し曲げやねじれによる抵抗値変化も 1000 cycles では，3 %以内に収まった．また，高温放置試験 70℃ 500 cycles，熱衝撃試験-20℃/70℃ 500 cycles 後，耐水試験後も湿度，水分や熱応力によって剥離することなく動作し，IC 内蔵フィルムモジュールとして高い環境信頼性が確保されることが示された．

Table 3.5 The specifications of the contactless IC card.

Item	Specification
IC type	FeRAM
IC size	2.1 x 1.8 mm, 0.18 mm thick
Film material	Film A
IC card size	85.8 x 54.0 mm, 0.76 mm thick
Antenna material	Silver adhesive
Antenna Line and space	0.6 mm and 0.4 mm

以上のように，IC 埋め込みにより作製した非接触 IC カードで高い初期特性・環境信頼性を示すことができた.

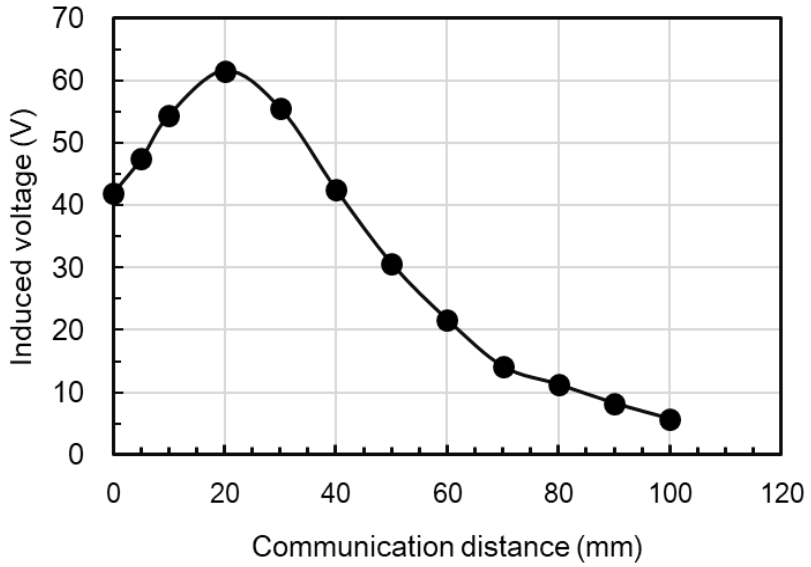


Fig. 3.21 Relationship between the communication distance and the induced voltage of the embedded module. (Frequency: 13.56 MHz).

Table 3.6 Physical property and reliability of the contact-less IC card.

Evaluation item		Evaluation content	Result
(a) Physical property	Bending test	Long side : 20 mm, Short side :10 mm Side A & B, 250 cycles/side Total :1000 cycles	OK
	Torsion test	60 cycles/min, 1000 cycles 30 cycles/min, 5000 cycles	OK
	Point pressure test	Press the surface of the card with a rigid sphere (D 1 mm) 58.8 N, 3 s	OK
(b) Reliability	High temperature storage test	70°C, 500 h	OK
	Low temperature storage test	-20°C, 500 h	OK
	High temperature and humidity test	60°C, 90 %Rh, 500 h	OK
	Heat shock test	-20°C, 30 min / 70°C, 30 min 500 cycles	OK
	High temperature operation test	90°C, 168 h	OK
	Low temperature operation test	-14°C, 24 h	OK
	Water resistance test	Water / 24 h	OK
		5 % brine / 24 h	OK
		80°C water / 24 h	OK

3.5 結言

第 3 章では，チップオンウエハ実装プロセスの 2 点目の課題として，反りの大きな薄型 IC の実装プロセスの設計指針構築を目的とし，半導体実装プロセスおよび半導体内蔵プロセスにおいて薄型 IC の反り挙動の解明を行った．半導体実装プロセスにおいては，はんだやダイボン材を用いた実装を想定し，熱圧着プロセスにおける加熱方式と IC 厚，サイズ反りの関係を明確にした．半導体内蔵プロセスでは，薄型 IC をフィルムへ内蔵した IC 内蔵モジュールの反り影響因子を明確化し，スタッドバンプを形成した IC を加熱プレスでフィルムに埋め込む新たなプロセスを提案し，IC 内蔵プロセスにおける樹脂流動挙動の定量化を行った．以下に，本研究で得られた主な知見を示す．

1. IC の配線構造および製造プロセスに起因して生じる IC の反りの挙動を追求し，IC 厚を一定値以下に薄型化すると，反りは，IC 厚の 2 乗に反比例し急激に拡大し，加熱により反りは温度差に比例して増加する知見が得られた．4 mm×4 mm の IC において，IC 厚が 50 μm 以下において反りは顕著に見られ，30℃での反りが下に凸で 7.5 μm となり，加熱により温度差に比例して傾き 0.1 μm/℃で反りは拡大し 170℃で 21.8 μm まで拡がるが，IC 厚が 150 μm 以上では，反りは 2 μm 以下に低減される実験結果が得られた．
2. 半導体実装プロセスにおける加熱プロファイルと薄型 IC の反りの関係を究明し，100 μm 厚以下の薄型 IC の実装に対し，反りを抑制するにははんだの凝固ないしは接着剤の硬化まで加圧が必要であるが，反りを矯正することにより増大する接合部の残留応力を明確化しておく必要があるといったプロセス設計指針を導いた．弾性解析により，8 mm×8 mm，30 μm 厚の IC の実装において，定温の実装ヘッドではんだを溶融したまま実装するコンスタントヒート方式では反りが 36 μm となるのに対し，はんだが凝固するまで加圧し続けるパルスヒート方式では反りは 5 μm 以下に抑えられる解析結果を得た．一方，はんだ接合部にかかる残留応力は，垂直方向の引張応力が支配的であり，パルスヒート方式での残留応力が，コンスタントヒート方式の残留応力の 1.5 倍以上になる解析結果を得た．
3. 薄型 IC をフィルムに内蔵した IC 内蔵モジュールにおいて弾性解析を行い，反りを低減するには，IC の埋め込み高さを IC 内蔵モジュール中心に近付け，IC 両面を覆うフィルムの厚さを 10 μm 以下にし，フィルムの線膨張係数を 33 ppm/℃以下にすることが望ましいといった半導体内蔵モジュールの設計指針を導いた．6 mm×6 mm，50 μm 厚の IC を内蔵するフィルムモジュールにおいて，IC 表面・IC 裏面側の樹脂厚をそれぞれ 50，70 μm とした場合，弾性率 5.9 GPa，線膨張係数 33 ppm/℃のフィルム材料が，モジュール

の残留応力と反りが最も小さくなり，残留応力を 37.5 MPa，IC 近傍反りを 70 μm 以下に低減できる解析結果が得られた．

4. 半導体内蔵モジュールの形成プロセスにおける IC をフィルムに埋め込むプロセスについて，フィルムの降伏応力がひずみ速度に比例する構成則を採用し，フィルム温度を粘性係数に変換し，剛塑性流れを解析する定量化手法を提案し，本手法の妥当性を示した．さらに，軟化点 120℃の熱可塑性フィルムへの IC 埋め込みにおいて，埋め込み可能な荷重の下限値はフィルム温度と埋め込み速度により決まり，埋め込み速度が 0.033 m/s の場合，160，180，200℃での荷重の下限値はそれぞれ 137.2 N，39.2 N，9.8 N となる解析結果を得た．埋め込みの高速化を狙い，フィルム温度 160℃にて荷重を 380 N まで上げた場合，IC 変位量が 180 μm に達しかつ IC 側面を樹脂で充填する時間は 10.6 s となる解析結果が得られ，実験検証においても埋め込み時間 13.0 s と同様の結果が得られた．
5. IC 内蔵モジュール形成プロセスとして，スタッドバンプを形成した IC を熱プレスによりフィルムに内蔵し露出したスタッドバンプと電気的に接続されるようにスクリーン印刷で配線形成する新たな工法を提案した．提案工法において IC 埋め込みプロセス設計指針に基づき IC 内蔵型の非接触 IC カードを製作し，通信距離 20 mm 以上，曲げ・ねじれ 1000 回，高温保存 70℃ 500 cycles，温度サイクル試験-20℃/70℃ 500 cycles といった初期特性・信頼性を確保できることを示した．

本章で論じた薄型半導体の実装プロセス設計指針を用いることにより，2.5D,3D 実装，FOWLP，PLP といった半導体パッケージの薄型化が可能になる．さらに，本章で論じた半導体内蔵プロセス設計指針を適用すれば，FOWLP，PLP などの半導体パッケージの薄型化が可能になり，本章で提案した IC 埋め込みプロセスを用いればこれらの半導体パッケージの生産性向上が可能になる．

第4章 反り低減を考慮した高精度フリップチップ実装工法の開発

4.1 緒言

第 2 章，第 3 章において，薄型半導体の高精度実装と反り低減について検討を行った．第 4 章では，薄型半導体のフリップチップ実装の高生産性工法について検討を行う．将来の半導体パッケージの一例として，50 μm ピッチのフルエリア配置で Cu ピラーはんだバンプ [47)~50)] が形成された 50 μm 厚の半導体を対象に検討を行った．薄型・狭ピッチ半導体のフリップチップ実装において，実装精度は，第 2 章で述べた設計指針に基づき熱揺らぎを低減することにより，±3 μm 以内は可能になった．一方，生産性に関しては従来の実装プロセスでは，次の課題があった．

1) 一般にはんだ接合ではんだの酸化被膜を還元するために用いられるフラックスは，狭ピッチ半導体では洗浄後に残渣が残り，信頼性での不良を引き起こす懸念がある．そのため，フリップチップ実装工程において，フラックスを使わずに，振動と荷重を長時間印加することにより酸化被膜を除去する必要があった．
2) 第 3 章で述べたように，接合工程ではんだが溶融した状態で薄型 IC を実装ヘッドから開放すると，IC 内の材料の線膨張係数の違いから熱応力によって IC の反りが拡大し，IC 反りによる力が，はんだの表面張力を上回るため，接合オープン不良になる懸念があった．

以上の理由から，従来の方法では 10 s 以上の接合時間が必要であった．

本章では，上記の課題を解決するため，接合時間を IC 1 個当たり 0.25 s 以内へ短縮することを目標とし，フラックスレスではんだ酸化膜を制御しながら，高精度かつ高生産フリップチップ実装プロセスを検討した．高生産性と高信頼性を両立するため，マイクロはんだバンプを用いたフリップチップ実装工程を仮接合工程と本接合工程の 2 工程に分割する接合工法を著者は提案した．仮接合工程で高生産性を追求し位置決めを行い，本接合工程で複数の IC を一括接合し接合信頼性を確保することを狙った．この工法を「工程分割マイクロはんだ接合工法」と名付け，検討を行った．

仮接合工程では，IC 反りを低減するため，マイクロはんだの電極への濡れ性に着目し，プラズマ処理の必要性，コンスタントヒート方式のフリップチップ実装における濡れ面積が IC 反りおよび接合部に与える影響を明確化した．本接合工程では，雰囲気ガス，荷重，リフローピーク温度といった因子が IC 反り・接合品質・信頼性に与える影響を明確化した．

4.2 反り低減を考慮した工程分割マイクロはんだ接合工法の構築

4.2.1 工程分割マイクロはんだ接合工法の構築

Fig. 4.1 は，3 次元システムインパッケージ（System in Package; 以下，SiP と記す）の事例を示す断面図である．TSV を形成した 50 μm 厚の薄型 IC を 4 段積層し，薄型 IC 同士と薄型 IC とシリコンインターポーザを，50 μm ピッチのマイクロはんだバンプで接合した構造である．

Fig. 4.2 は，工程マイクロはんだ接合工法を Fig. 4.1 の 4 段積層 SiP に適用した場合の製造工程を示す概念図である．

まず，Fig. 4.2(a)のように，3 次元積層の 1 層目の IC を高速フリップチップボンダにより，はんだが溶融するまで加熱し，IC を 1 個ずつウエハ上に短時間で実装する．この工程を仮接合工程と定義し，IC の位置決めを行うと共に，積層のために反りを低減することを目的とする．仮接合工程では，電極近傍のはんだ接合部が局所的に合金化し，再溶融する量のはんだは残しておく必要がある．

次に，Fig. 4.2(b)のように，1 層目と同様に仮接合した 1 層目の IC 上に 1 個ずつ IC を仮接合で積層し，4 段目まで繰り返す．ここで，下層のはんだ接合部は再溶融し，反りを吸収する．

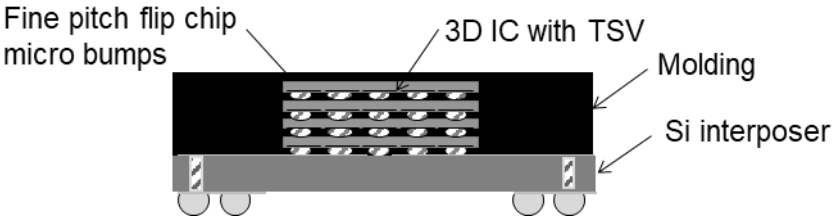


Fig. 4.1 The structure of 3D SiP.

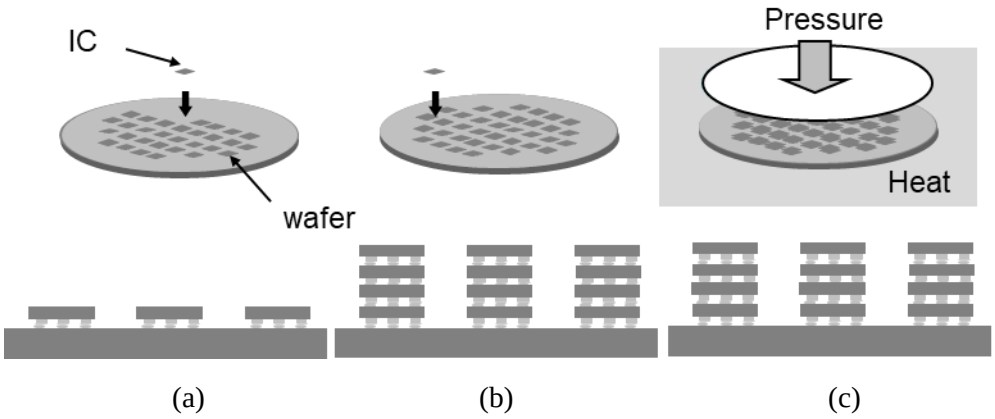


Fig. 4.2 Divided micro solder bonding process; (a) temporary bonding process (Chip on Wafer), (b) temporary bonding process (stacking chips), (c) final bonding process.

次に，Fig. 4.2(c)に示すように，積層された複数個の IC をウエハ一括で加熱・加圧し，はんだ接合部全ピンを合金化する．この工程を本接合工程と定義する．本接合工程は，ウエハ一括処理であるため，本接合工程のプロセス時間は，全工程の生産能力に影響を及ぼさない．生産能力は仮接合時間により決定される．

次に，積層された IC 間の隙間は，アンダーフィル材料またはモールド樹脂により充填される．次に，ウエハの裏面にはんだボールを形成した後，個片化し，4 段積層 SiP が形成される．

4.2.2 CoW 対応微細バンプ形成技術の開発

仮接合工程において，全 IC の積層が完了するまでウエハは長時間加熱ステージ上に放置されるのに対し，IC は実装時のみ加熱される．そこで，はんだで被覆された Cu ピラーバンプは，加熱によりはんだの酸化が進行するため，ウエハ側ではなく，IC 側にバンプを形成することにした．また，IC の裏面バンプは高温ツールに直接触れる．そのため，ウエハ上および IC 裏面のバンプは，溶融しない金属の必要がある．本研究では，ウエハ及び IC 裏面のバンプ電極材料として Ni めっきを選定し，はんだが濡れるように Ni 表面にフラッシュ Au めっきを施した．Ni めっき形成工法は，電気めっきと無電解めっきを検討した．電気めっきは，厚付けでも短時間で形成できるメリットがある．一方，無電解 Ni めっきは露光マスク，フォトリソ工程，シード層形成工程，シード層剥離工程が不要なため，電気めっきよりも製造ラインがコンパクトになり，低コストで形成できるメリットがある．

4.2.3 フラックスレス高生産仮接合工程

溶融したはんだを高速で Ni 電極に拡散するには，はんだ表面状態を制御することが重要と考える．特に，はんだ・Ni 界面に形成される貝殻状の Ni_3Sn_4 電極に着目した[51]．はんだが電極に濡れ IMC(Intermetallic Compound)が電極全体に形成されると，仮接合工程で，実装ヘッドから IC が解放された後も，はんだの表面張力によって IC の反りが緩和されると考えた．そこで，本研究では，仮接合におけるプラズマ洗浄の効果とはんだ濡れ面積が接合に与える影響を評価した．

4.2.4 本接合工程

本接合工程の目的は，全ピンの接合部において電気的な導通を確保することと，仮接合後の反りを緩和することである．電気的な接合を確保するには，仮接合後に形成された酸化膜

を，IC とウエハ間の狭い空隙に浸透できる還元ガスで還元することが良いと考えた．

そこで．本接合工程として下記のプロセスを提案する．まず，仮接合後のウエハをバッチ炉に入れた後，減圧し，還元ガスを導入する．還元ガスは，フラックスと同様の効果がある [52]．還元ガスの沸点以上に加熱すると，酸化はんだは還元され，仮接合後の未溶融部が再溶融し，IMC が形成される．さらに，IC の反りを矯正するには，荷重が必要と考えた．

そこで，本研究では本接合工程における還元ガスと荷重がはんだ接合に与える影響を評価した．

4.3 実験方法

4.3.1 TEG 構造

Table 4.1 に TEG の仕様を示す．各支配因子の影響を明確化するために，CoC(Chip on Chip)構造で評価した．50 μm 厚の IC を，Si 基板にフリップチップ実装する構造である．Table 4.1 に示す通り，IC サイズ 4 mm□，無電解めっきバンプのパターン A と，IC サイズ 8 mm□，電気めっきバンプのパターン B の 2 種類について評価を行った．バンプのピッチは 50 μm ピ

Table 4.1 Specifications of the test vehicle; (a) Pattern A, (b) Pattern B.

(a)

Item	IC	Interposer
Size	4 x 4 mm 50 μm thick	8 x8 mm 775 μm thick
Material	Si	Si
Pad pitch	50 μm	
Pad numbers	5184 (72 x 72) , area allay	
Bump material	Electro plating Cu covered with Sn-2.3Ag	Electroless plating Ni / Au
Bump size	D37 μm, Cu 10 μm/ Solder 5μm thick	D30 μm, Ni 10 μm/ Au 0.1μm thick

(b)

Item	IC	Interposer
Size	8 x 8mm 50 μm thick	12 x16 mm 150 μm thick
Material	Si	Si
Pad pitch	50 μm	
Pad numbers	22500 (150 x 150) , area allay	
Bump material	Electro plating Cu covered with Sn-2.3Ag	Electro-plating Ni / Au
Bump size	D27 μm, 26 μm thick	D30 μm, 5 μm thick

で格子状配置とした．接合部間はデイジーチェーンで接続されており，4 分割しチェーン抵抗を測定できるようにした．

4.3.2 サンプル作製方法

Fig. 4.3 に本研究の接合評価用サンプルの作製方法を示す．

まず，Fig. 4.3(a)に示すプラズマ洗浄工程で，微細バンプ形成工程中に生じたはんだ表面の酸化膜および有機汚染物を除去するため，IC と基板両方のバンプを Ar プラズマで洗浄を行った．

次に，Fig. 4.3(b)に示す仮接合工程において，直径 300 mm 対応，搭載精度±3 μm のフリップチップボンダを用い，IC と基板を位置合わせし IC および基板を加熱しながら Cu ピラーバンプと Ni 電極をはんだ接合した．接合時間は 0.25 sとし，実装荷重は 2.9 mN/pin とした．

次に，Fig. 4.3(c)に示す本接合工程において，バッチ式真空リフロー炉に仮接合後の CoC を投入し，IC を加圧することにより反りを矯正し，還元ガスまたは N_2 ガス雰囲気下で加熱・冷却し，本接合を行った．還元ガスには，沸点が 100℃のギ酸を用いた．

最後に，Fig. 4.3(d)に示す封止工程において，キャピラリフロー方式のディスペンサーを用い，アンダーフィルを注入した後，硬化炉でアンダーフィルを硬化した．

Fig. 4.4 にギ酸ガス雰囲気下での本接合工程を説明するための温度プロファイルの一例を示す．まず，仮接合後の TEG をバッチ炉に投入した．180 s 間減圧した後，還元ガスを導入し，はんだ液相線以上の 250℃まで昇温した．はんだ液相線以上の時間は 77 s である．その

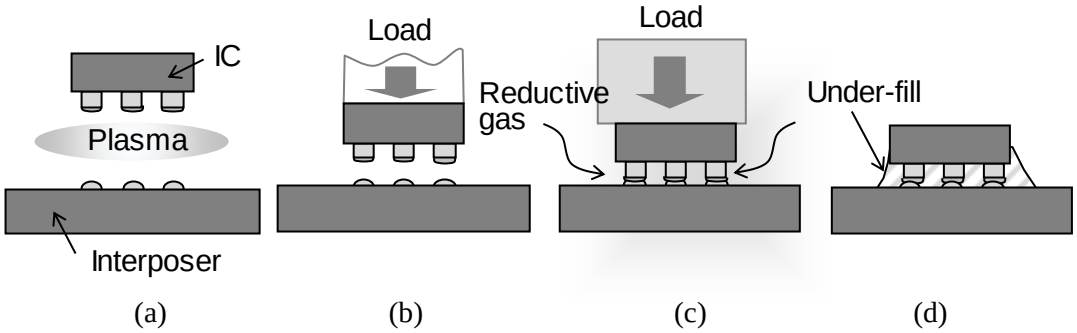


Fig. 4.3 Fabrication process of the test vehicle: (a) Plasma cleaning, (b) temporary bonding, (c) final bonding, (d) under-filling.

後，還元ガスを止め減圧排気しながら常温まで冷却した．

Table 4.2 は，本接合工程の検証実験の水準である．ガス雰囲気の影響を評価するため，N_2，ギ酸で比較した．さらに，加圧力が接合に与える影響を評価するため，本接合の実装荷重を 2.3， 25.7 μN/pin とした．

4.3.3 評価項目

(a) プラズマ洗浄によるはんだ表面の評価

はんだバンプの表面状態をオージェ電子分光法により分析し，未処理のはんだとプラズマ洗浄後のはんだで酸化膜厚を比較した．なお，オージェ電子分光法におけるスパッタ深さは，

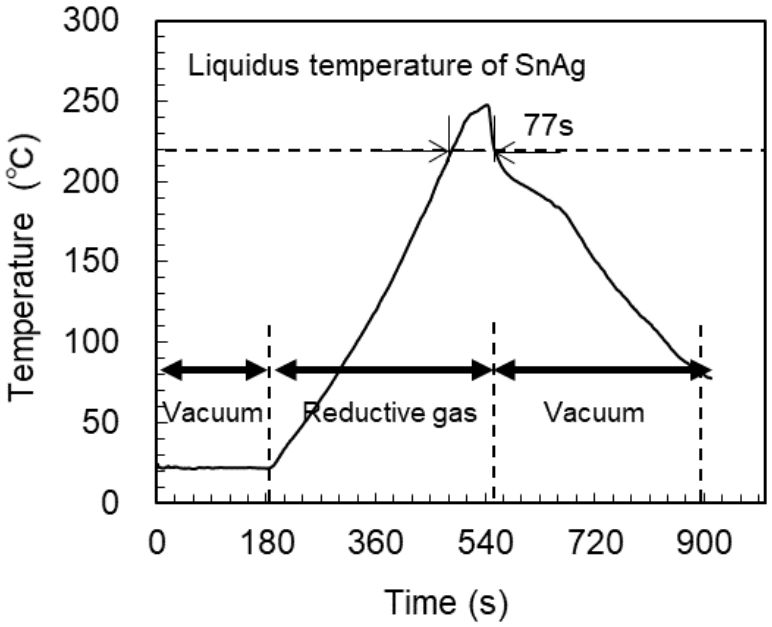


Fig. 4.4 Temperature profile in the final bonding process.

Table 4.2 Conditions of final bonding process.

Item	Condition
Treatment time	30 min
Peak temperature	238, 246, 250, 260°C
Atmosphere	N_2, Formic acid
Load	127, 274, 392, 588, 980 mN

Au の換算レートで示した．Au，Sn，SnO のスパッタ率は,それぞれ 25，　62.5, 1.6 nm/min である．

さらに，プラズマ洗浄が仮接合状態に与える影響を評価するため，未処理の IC とプラズマ洗浄をした IC をそれぞれインターポーザと仮接合し，接合状態を X 線観察により観察した．

(b) IC 反り

反りは，3 次元レーザ変位計 LT-8010(キーエンス製)を用い，実装後の IC 裏面の 3.5×3.5 mm の領域で，0.1 mm ピッチで測定した．3 次元白色光干渉型顕微鏡を用いて IC 裏面の高さを測定し，面内の最大値を反り量とした．なお，Fig. 4.5 に示すように，IC 裏面方向を反りの正方向とした．

初期反りが大きな IC を用い，仮接合後の Ni 電極上のはんだ濡れ領域の直径と接続抵抗・反りとの相関を評価した．評価に用いた IC 単体の反りは，バンプ面を＋方向とした時，測定温度 30℃にて+7 μm，170℃で+25 μm であり，10℃上昇するごとに+1.3 μm 増大した．

実装後，同様の測定方法で IC 裏面の反りを測定した．

(c) 接合断面

接合後の TEG を研磨により断面解析し，接合部を SEM で観察し，EDX により合金の組成を解析した．反りの顕著な IC 端部近傍の接合部を観察し，電極上のはんだが濡れ拡がった長さを濡れ領域の直径と定義し，濡れ領域の直径が(a) 0, (b)4.5, (c) 9.7, (d) 13.7, (e) 16.7 μm になるように実装条件を振った．

(d) 接続抵抗

デイジーチェーンの接続抵抗を測定し，式(4.1)より，接続抵抗の増分値を算出した．

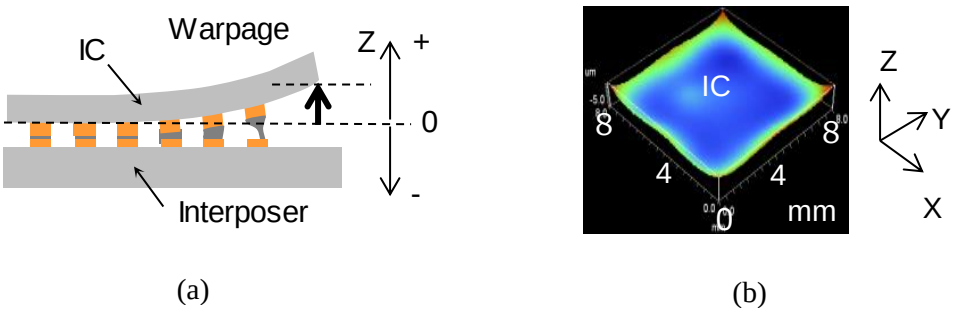


Fig. 4.5 Illustration to explain the warpage of IC; (a) Cross-section view and (b) three dimensional view.

$$\Delta R = R/n - r_0 \quad (4.1)$$

ここで，ΔR は接続抵抗の増分値，R は接続抵抗，n はピン数，r_0 は理論値であり，接続部の寸法及び物性値から算出した．

信頼性では，本接合後の最小実測抵抗値を基準値とし，その増分値を 1 ピン当たりに換算し増加抵抗値とした．

(e) 信頼性評価

信頼性評価として，熱衝撃試験と高温保存試験を行った．

熱衝撃試験の前処理として，評価サンプルを恒温恒湿装置に温度 30℃，湿度 70%RH で 192 時間投入した後，ピーク温度 250℃のはんだ接合プロファイルでリフロー処理を 3 回施した．熱衝撃条件は，液槽冷熱衝撃装置で低温-65℃ 5 min，高温 150℃ 5 min の冷熱サイクルを 300 サイクル印加とした．

高温保存試験の前処理として，ピーク温度 250℃のはんだ接合プロファイルでリフロー処理を 3 回行った．高温保存試験条件は，恒温炉に 150℃ 1000 時間放置とした．

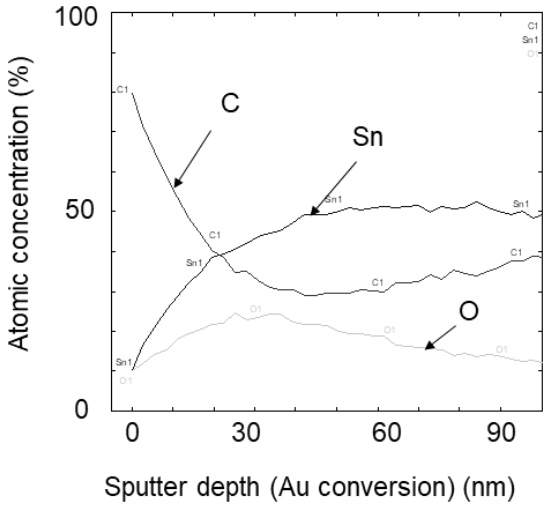
信頼性試験後の接続抵抗及び接合断面を評価した．

4.4 仮接合工程におけるマイクロはんだ濡れによる反りの抑制

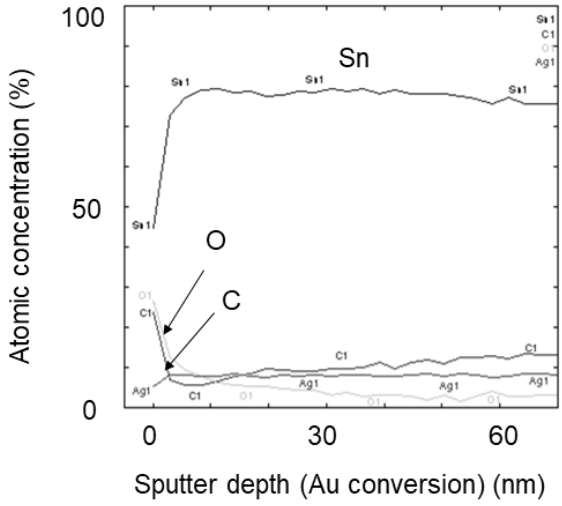
4.4.1 プラズマ洗浄によるはんだバンプ表面の酸化膜の影響

Fig. 4.6 は Ar プラズマ洗浄前後のはんだ表面のオージェ分析結果である．Fig. 4.6(a)のように，プラズマ洗浄前は，スパッタ深さ 110 nm(Au 換算では 45 nm)の領域で,Sn 酸化膜(図中に O と示す)及び有機物(図中に C で示す)が見られた．しかし，プラズマ洗浄後，Fig. 4.6(b)のように Sn 表面のスパッタ深さ 12.5 nm(Au 換算では 5 nm)以下の範囲にしか Sn 酸化膜及び有機膜が見られなくなった．

Fig. 4.7 は，プラズマ洗浄が仮接合後の接合状態に与える影響を示す X 線観察結果である．Fig. 4.7(a)のように未処理の場合，接合部が不均一でいびつな形状であった．Fig. 4.7(b)のように，Ar プラズマ洗浄を施した場合，全ての接合部で一様な円形状を示した．以上のことから，仮接合では Ar プラズマ洗浄が有効であるといえる．

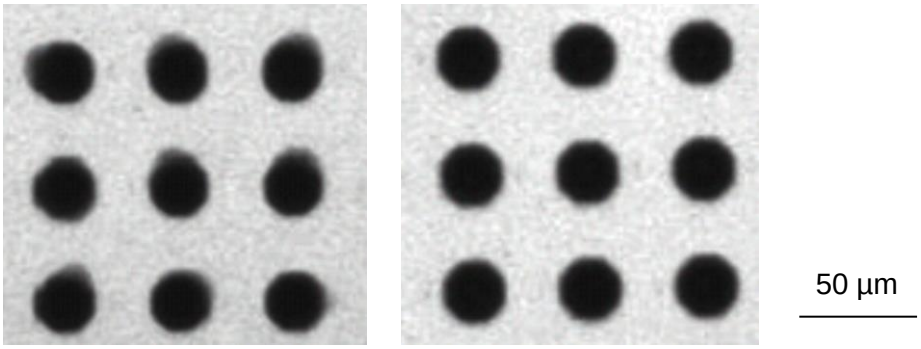


(a)



(b)

Fig. 4.6 The effect of plasma cleaning on the surface of a bump: (a) before plasma cleaning, (b) after plasma cleaning.



(a) (b)

Fig. 4.7 The effect of plasma cleaning on the X-ray image of interconnection after temporary-bonding: (a) before plasma cleaning, (b) after plasma cleaning.

4.4.2 はんだ接合部のぬれ領域の直径が反りに及ぼす影響

Fig. 4.8 は, パターン A の無電解めっきバンプが形成された IC における仮接合後の断面写真である. 仮接合では, はんだ Sn-2.3Ag が IC の Cu ピラーと Si 基板の Ni 電極とを接合している様子が観察された. Fig. 4.8(c)’中に接合部の EDX 分析結果を示す. Cu ピラー電極上

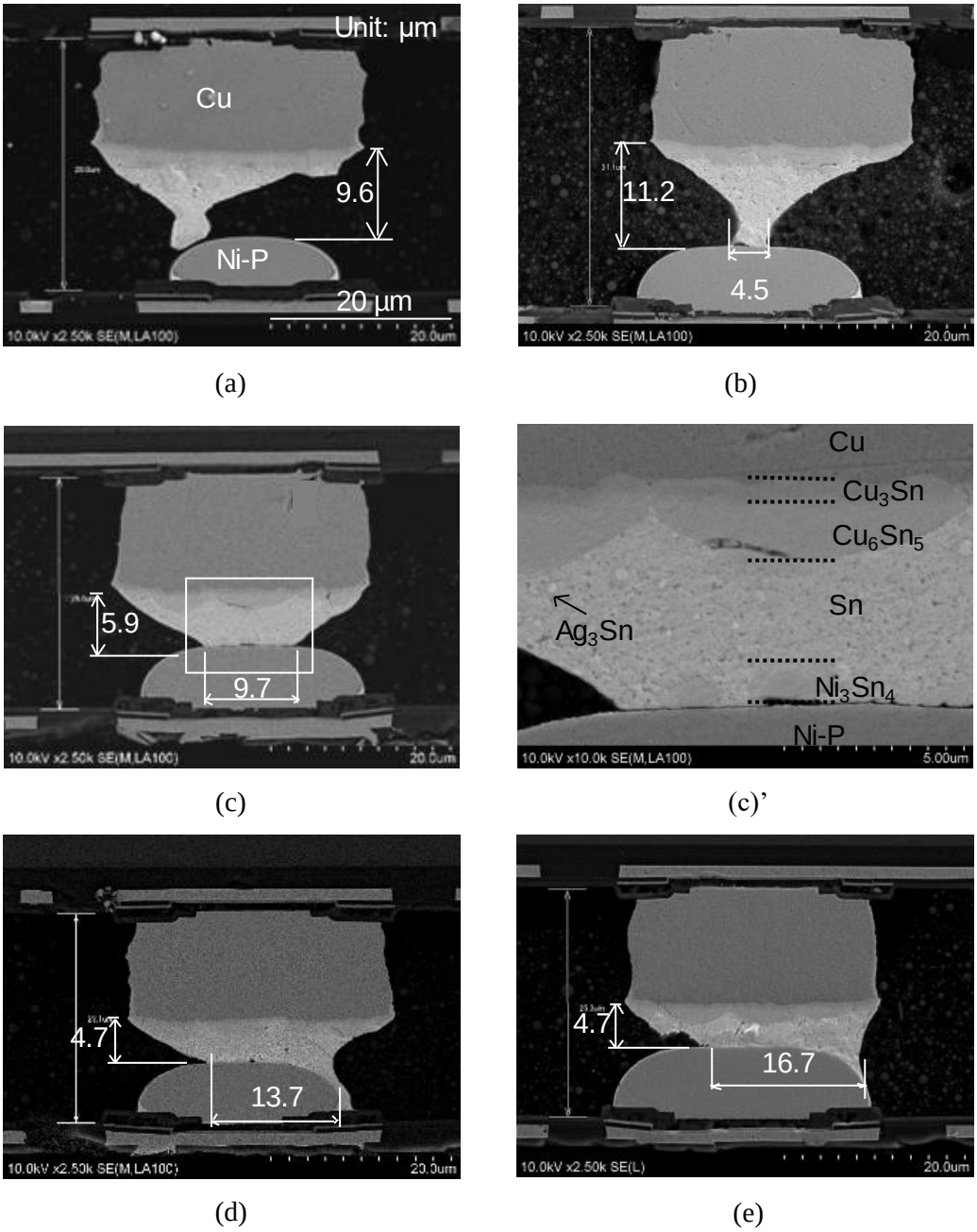


Fig.4.8 The cross-sectional SEM images of solder joints after temporary bonding: each diameter of wetting area is (a) 0, (b) 4.5, (c) 9.7, (d) 13.7, (e) 16.7 μm. The image (c)’ is an enlarged image of (c) (TEG: pattern A).

には, Cu_3Sn 相が形成され,その上には Cu_6Sn_5 相が形成されており, Ni と Sn 界面には厚さ 1 μm の IMC の Ni_3Sn_4 相が形成される様子が観察された.

Fig. 4.9 に仮接合後のはんだ濡れ領域の直径とチップの反りの関係を示す. はんだ濡れ領域が無い場合, IC の反りは 8 μm であった. はんだ濡れ領域の直径が大きくなるにつれ, IC 反りは小さくなった. はんだ濡れ領域の直径が 10 μm 以上になると, IC の反りは 4 μm 以下に低減された.

Fig. 4.10 に濡れ領域の直径が接続抵抗増分値に与える影響を示す. はんだ濡れ領域が形

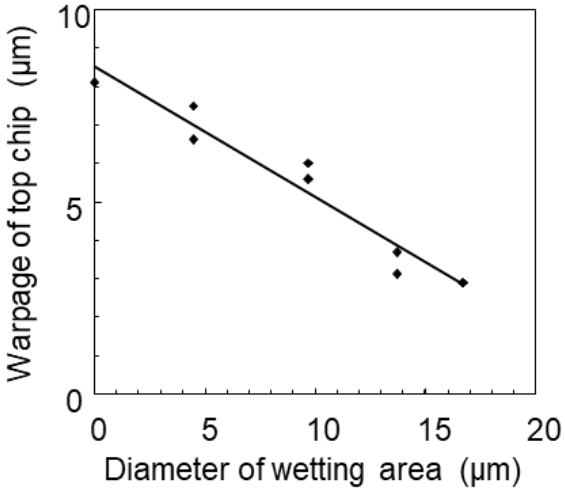


Fig. 4.9 Relationship between the IMC diameter and the warpage of the top chip after temporary bonding.

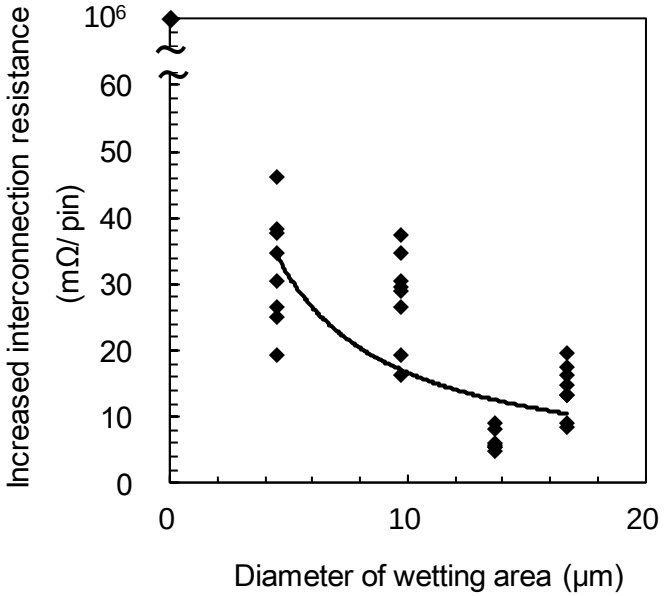


Fig. 4.10 Relationship between the IMC diameter and the increased interconnection resistance after temporary bonding.

成されていない場合は OPEN 不良が生じた. 濡れ領域の直径が大きくなるにつれ接続抵抗増分値が下がる傾向が見られた. 濡れ領域の直径が 13 μm 以上になると, 接続抵抗増分値は 25 mΩ/pin となった.

Fig. 4.11 は, 反り発生メカニズムを示す接合部断面の概念図である. まず, Fig. 4.11(a)のように, IC がはんだの液相線以上に加熱された実装ヘッドに吸着されると, Cu ピラーのはんだは溶融する. 次に, Fig. 4.11(b)のように, 溶融したはんだは, 基板の Ni 電極の平坦部に接触した後, 加圧力により圧縮される. 濡れ領域の直径は, 入熱量と加圧力によって決まる. ここで, 入熱量が不足するとはんだが Ni 電極表面に局所的にしか濡れないが, 十分な入熱量であればNi電極表面全面にはんだが濡れる. 次に, Fig. 4.11(c)のように, 実装ヘッドが IC を開放すると, 溶融したはんだは, IC の反りに追従し垂直方向に引き延ばされる. その過程ではんだが固相線以下に冷却されることにより, 接合形状が決定される.

はんだが凝固する時間の直前に, はんだと電極の界面に働く力について考察する. Fig. 4.11(c)中に'F_1'と示されるように, IC の反りにより上方に引き上げようとする力が, はんだと電極の界面に働く. 一方, 同図にて'F_2'と表される力が, はんだ濡れ力として下方に働く. 力 F_2 は, はんだ濡れ面積に比例する. はんだが凝固する直前の時間において, F_1 が F_2 よりも極めて大きい場合, 溶融はんだは破断し, 反りは拡大し, オープン不良が発生する. F_1 と F_2 が釣り

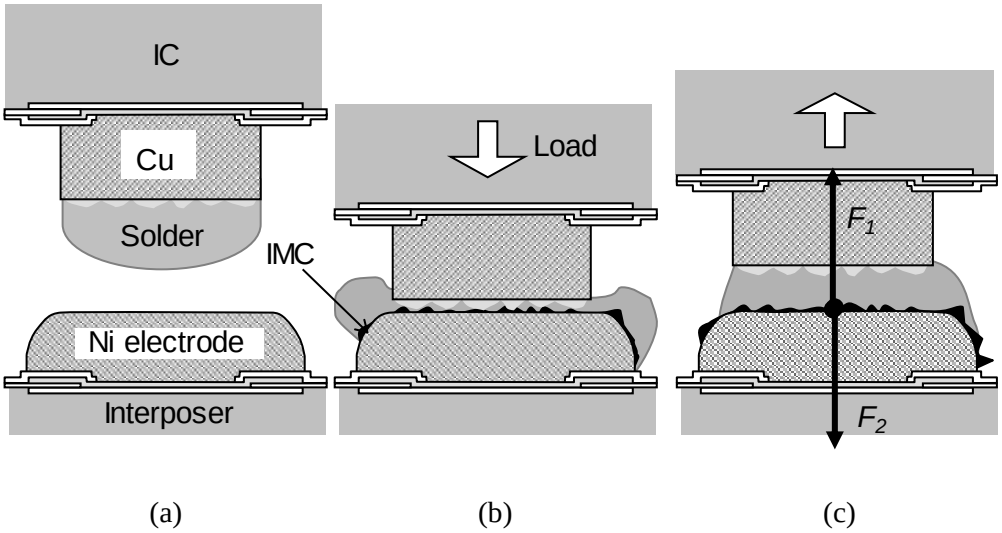


Fig. 4.11 The cross-sectional illustration of the warpage control mechanism: (a) before touching the Ni electrode, (b) in temporary-bonding, (c) when chip is released from the tool.

合う場合，溶融はんだの形状は，溶融はんだの濡れ面積の直径により決まると考えられる．従って，濡れ面積が最大の場合，溶融はんだは最も圧縮され，IC の反りも最も低減すると考えられる．

一方，Ni_3Sn_4 が Ni 電極平坦面全面に形成される場合は，溶融はんだの表面張力は濡れ面積に比例して増加し，チップの熱応力を上回るため，ヘッドが離れてもはんだが引きちぎられずに凝固し，反りを低減できる．

以上のように，はんだ表面がプラズマ洗浄により清浄され，はんだが電極全面に濡れることにより，仮接合時間が 0.25 s において，50 μm 厚 IC における仮接合後の反りを 4 μm 以内に抑制することができた．

4.5 一括接合における諸因子が反り及びマイクロ接合に及ぼす影響

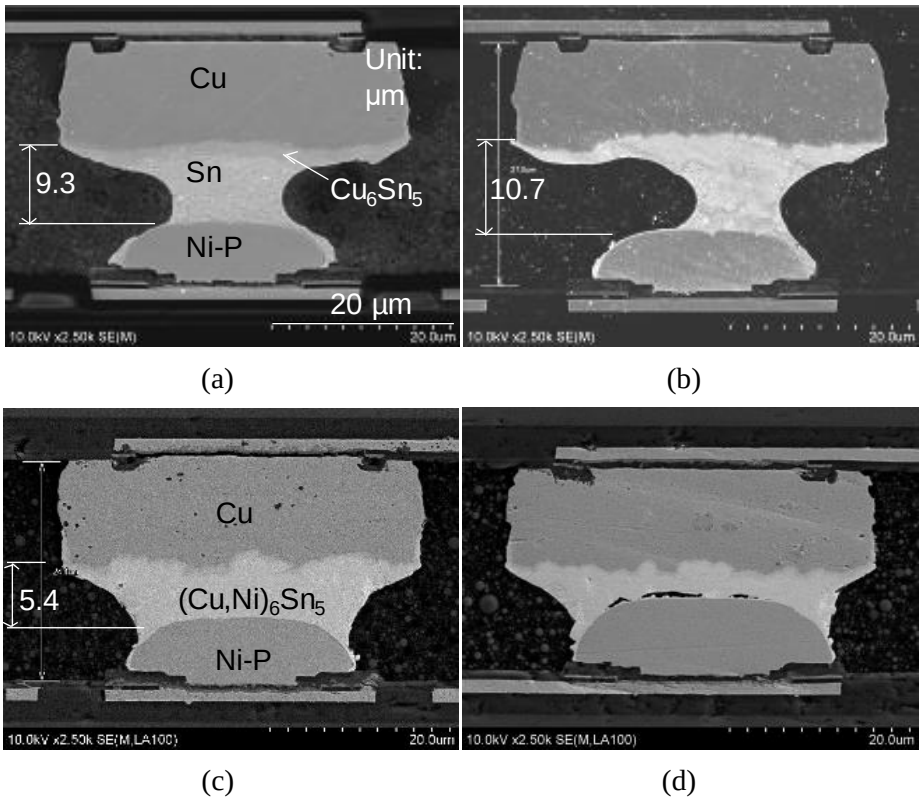
4.5.1 雰囲気ガスの影響

Fig. 4.12 は，TEG パターン A における本接合後の接合部の断面写真である．Fig. 4.12(d)の通り，N_2 ガス雰囲気では無電解 Ni めっき電極とはんだの界面にボイドが見られたのに対し，Fig. 4.12(c)のように，還元ガス雰囲気下では，Ni 電極に対しはんだが全面に濡れている様子が観察された．

また，EDX 元素分析において，接合部の組成が N_2 ガス雰囲気下では 54.3 at% Cu-3.1 at% Ni-42.6 at% Sn，還元ガス雰囲気下では 52.4 at% Cu-4.5 at% Ni-43.1 at% Sn となった．状態図から判断すると，接合部はいずれも$(Cu,Ni)_6Sn_5$ であると考えられる [53]．

この結果が生じた原因を考察する．仮接合工程において，はんだの一部が電極上に濡れ拡がらず，ボイド周辺部のはんだに酸化膜が形成される．本接合工程において N_2 ガス雰囲気下ではボイドが流動しないため，溶融はんだ中の酸化膜は残存する．一方，還元ガス雰囲気下では，還元ガスがはんだの流動性を増すため，ボイドがはんだの外側へ押し出されやすくなり，電極表面全体に濡れ拡がる．

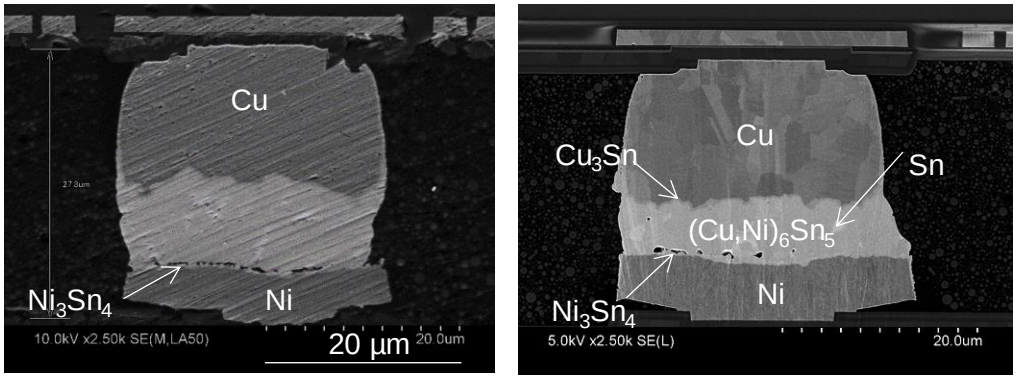
Fig. 4.13 に TEG パターン B における本接合工程のマイクロ接合部の断面 SEM 像を示す．Fig. 4.13 (a)のように，窒素ガス雰囲気中では，電気 Ni めっき電極に対し，はんだが十分に濡れない様子が観察された．仮接合工程において，Ni 電極表面に形成されていた Au がはんだ内に拡散し消滅し，電気 Ni めっき電極表面に IMC 層 Ni_3Sn_4 が形成され，露出した Ni めっき電極と Ni_3Sn_4 層が加熱により酸化されたため，はんだが十分に濡れ拡がらなかったと考えられる．一方，Fig. 4.13(b)のように，ギ酸ガス雰囲気では，はんだが Ni めっき電極表面に十分



(a) (b)

(c) (d)

Fig. 4.12 The cross-sectional SEM images of interconnections: (a) after temporary bonding, (b) pressure: 2.3 μN/pin, under reductive gas atmosphere, (c) pressure: 25.7 μN/pin, under reductive gas atmosphere, (d) pressure: 25.7 μN/pin, under nitrogen gas atmosphere. The images of (b), (c), (d) are after final bonding (TEG: Pattern A).



(a) (b)

Fig. 4.13 Influence of gas atmosphere (Peak temperature; 250℃); (a) Nitrogen gas, (b) formic acid gas (TEG: Pattern B).

に濡れ拡がり拡散する様子が観察された．ギ酸ガスが Ni めっき電極及びはんだ表面の酸化膜を還元し濡れ性を向上したためと考えられる．接合界面に見られるサブミクロンオーダーのボイドは，カーケンダルボイドと考えられる．

以上のように，Ni 電極が電気めっき，無電解めっき両方の場合において，本接合工程において，ギ酸ガス雰囲気が有効であることが示された．

4.5.2 荷重の影響

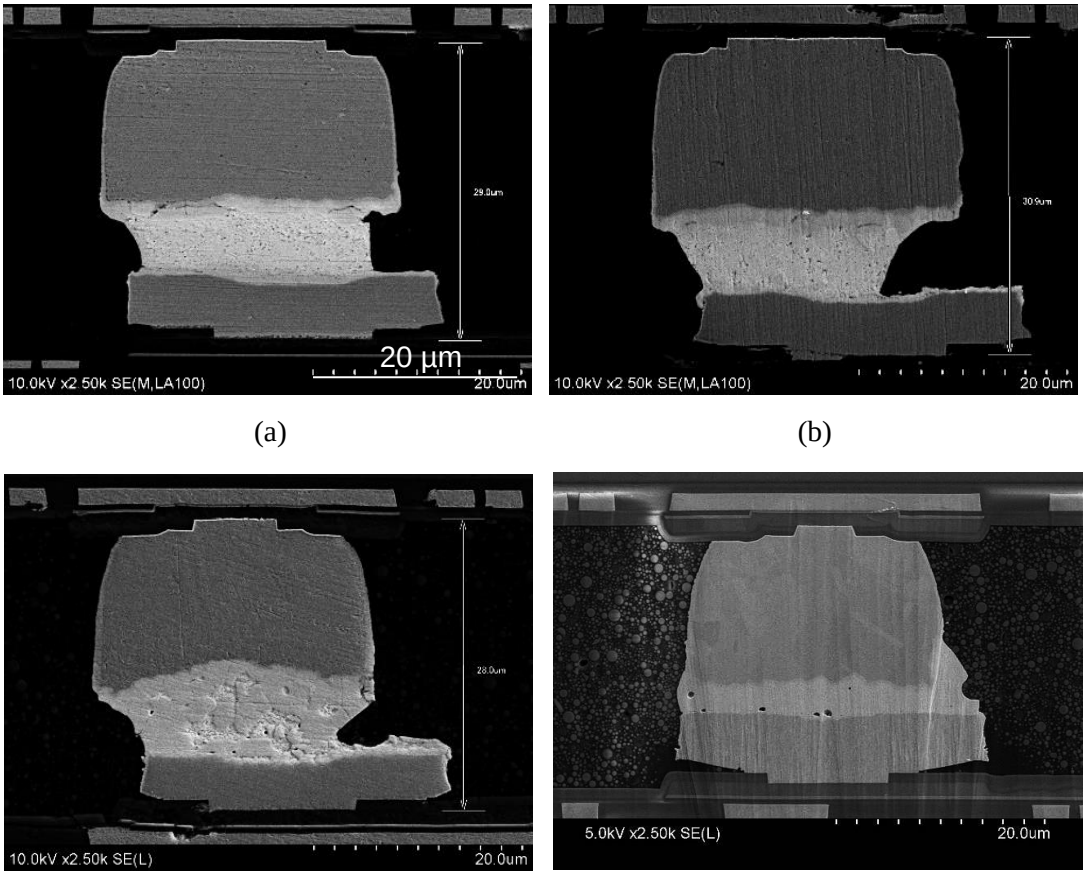
本接合工程において，荷重 2.3 μN/pin の場合チップの反りが 17.4 μm，荷重 25.7 μN/pin の場合チップの反りは 9.2 μm となった．この結果は，低荷重では仮接合よりも IC の反りが大きくなり，高荷重では IC の反りが抑制できることを示唆する．低荷重 2.3 μN/pin の場合オープン不良が生じたのに対し，高荷重 25.7 μN/pin では接続抵抗増分値が±3 mΩ/pin 以内になることを確認した．

Fig. 4.12(a)に示す通り，仮接合後のはんだ高さは 9.3 μm であった．Fig. 4.12 (b)のように荷重 2.3 μN/pin の場合，本接合後の反りは 10.7 μm まで拡大したが，25.7 μN/pin の場合，Fig. 4.12(c)の通り，反りは 5.4 μm に低減された．

本接合プロセスの反り抑制メカニズムを下記のように考察する．本接合の加熱工程では，接合部のはんだが再溶融すると，IC 内部配線と Si 基板の熱膨張係数の差によって生じる熱応力により IC は上方に向かって反り始める．加圧力が IC の熱応力よりも低い場合，溶融はんだは引き延ばされ，反りは仮接合よりも大きくなる．一方，熱応力を上回る荷重を与えた場合は，溶融はんだは圧縮され反りが低減する方向に動く．

4.5.3 リフローピーク温度の影響

Fig. 4.14 にギ酸ガス雰囲気下における本接合のピーク温度と接合断面の関係の評価結果を示す．Fig. 4.14 (a), (b)のように本接合ピーク温度 238℃，246℃では，Cu ピラーと Ni 電極の間がはんだ Sn-2.3Ag で接合されたが，Fig. 4.14 (c)のように本接合ピーク温度 250℃では Cu ピラー側から Sn_6Cu_5 層が大きく成長し Sn_6Cu_5 層と Ni 電極との合金化が進み，$(Sn,Ni)_6Cu_5$ が占める面積が増えた．さらに，Fig. 4.14 (d)のように本接合ピーク温度を 260℃まで上げると接合部は全て$(Sn,Ni)_6Cu_5$ 合金となった．Ni 電極界面に見られるミクロンオーダのボイドはカーケンダルボイドと推察される．高温放置試験において合金化が進み接合断面が変化するのを防ぐには，本接合ピーク温度を 260℃にするのが良いと考える．信頼性結果は後述する．



(a) (b)

(c) (d)

Fig. 4.14 Cross-section SEM image of the micro joint after final bonding; Peak temperature; (a) 238℃, (b) 246℃, (c) 250℃, (d) 260℃.

4.5.4 工程分割マイクロはんだ接合工法のメカニズムの考察

Fig. 4.15(a)に工程ごとの IC の反りの挙動を示す. 反り量が 28 µm 以上の IC を実装すると, 反りは仮接合後 15 µm 以下に, 本接合後 11 µm 以下に低減した. Fig. 4.15(b)のように仮接合後の IC 反り分布を示す. IC の外周部に近付くにつれ下に凸形状で反る傾向がみられた. 中央部は実装前から反りが小さくマイクロはんだバンプによって接合され反りが抑制されたが, IC 外周部では前述の実装前の大きな反りを抑制しきれずに浮いた状態ではんだが凝固したためと考える. Fig. 4.15(c) に本接合後の IC の外観を示す. 仮接合後よりも外周の反りは抑制されたことが分かる. バンプがある部分は, はんだによって接合され反りは抑制されたが, 外周部のバンプが無い部分は, 反りを矯正する力が働かず, 下に凸状に沿ったものと考える.

Fig. 4.16 に抵抗値の挙動を示す. 仮接合工程から本接合工程において, 抵抗値のばらつきは緩和された. また, 抵抗の平均値は 1 pin 当たり 1.1 mΩ 減少した. 22500 pin の平均値と

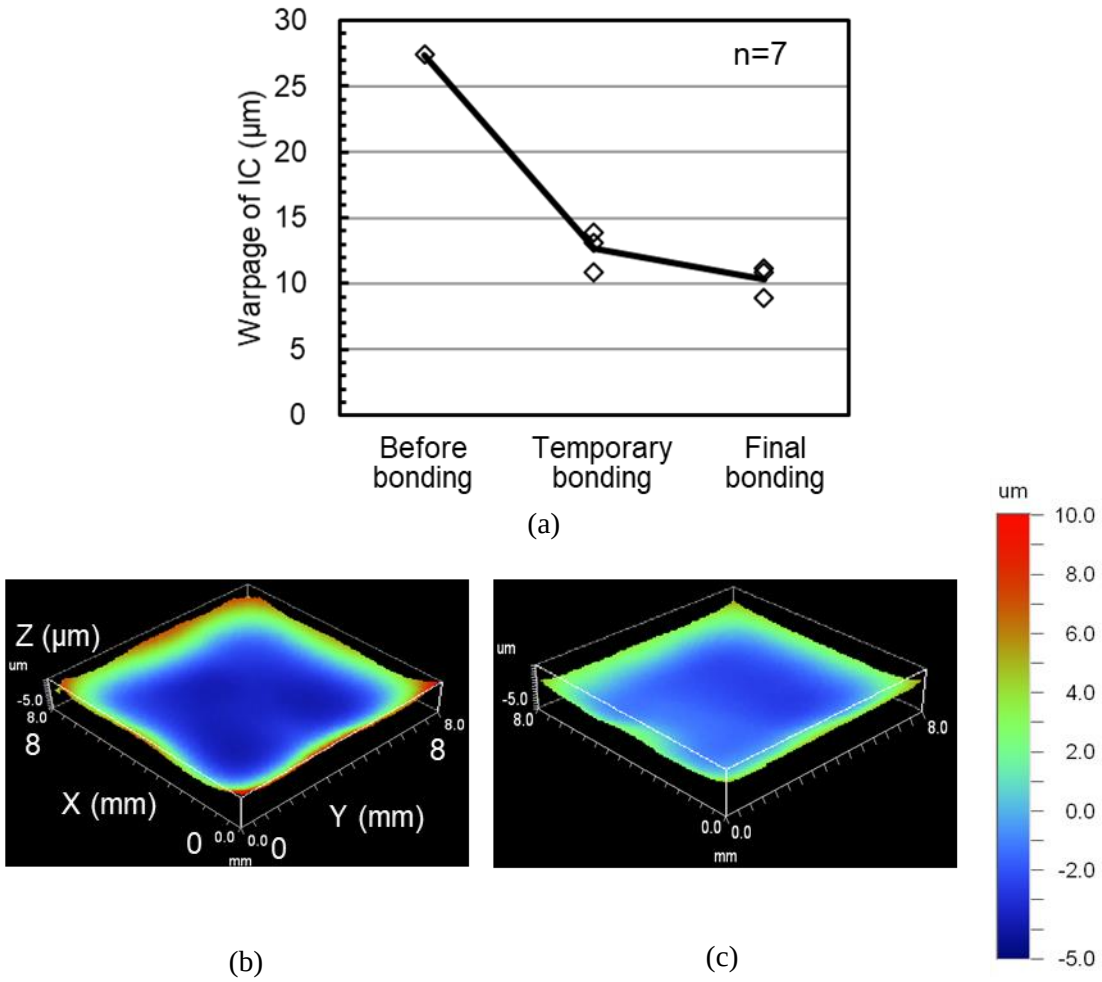


Fig. 4.15 The warpage transition by process; (a) Influence of process on the warpage of IC, (b) after temporary bonding, (c) after final bonding.

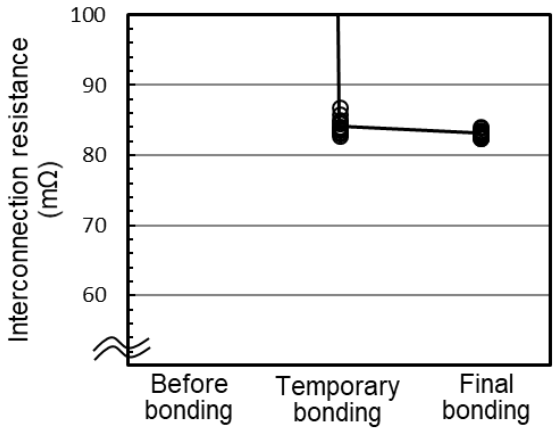


Fig. 4.16 The transition of the interconnection resistance by process.

しては小さな値だが，外周部のみが反りによる影響を受けていたと考えると，大きな抵抗減少があったと捉えることができる．

Fig. 4.17 は，仮接合後の IC コーナ部のマイクロはんだ接合部の断面である．はんだは電極表面に十分に濡れ拡がっておらず，上下に引き延ばされた形状で凝固した様子が観察された．そのために，仮接合後の接続抵抗が高くなったと考える．

以上の結果に基づき，工程分割マイクロはんだ接合工法のメカニズムを考察した．Fig. 4.18 に概念図を示す．Fig. 4.18(a)のように，仮接合工程で加圧した治具で反りを矯正した状態で，溶融したはんだを Au/Ni 電極に押し当てると，Fig.4.18(b)のようにはんだが Ni 電極に濡れ拡がり拡散接合が始まる．次に，Fig.4.18(c)のようにマクロ視点では IC の加圧を止め IC が開放されると，冷却過程にて IC の反りが徐々に増加する．特に，外周部で反り変化が大きくなる．一方，ミクロ領域では，溶融したはんだが電極に濡れ拡がった後，引き延ばされる．さらに電極中央部のはんだが引き剝がされる過程ではんだが凝固する．はんだ凝固の雰囲気は大気のため，はんだと基板電極の表面に酸化膜が形成される．

次に，本接合工程では，Fig. 4.18(d)のように加圧した治具により面全体の IC 反りを緩和したまま加熱する．Fig. 4.18(e)のように，還元ガスを導入しながらはんだの融点まで加熱すると，はんだ表面及び Ni 電極の酸化膜が還元される．酸化膜が除去されたはんだが基板電極に押し当てられると，ボイドは押しつぶされ，はんだが電極全面に濡れ拡がった後，接合界面の合金層が成長する．Fig. 4.18(f)のように十分な時間加熱するとはんだの合金化が進み，はんだが凝固するまで IC を加圧することにより，はんだは引き延ばされることなく接合高さが一定に保持される．

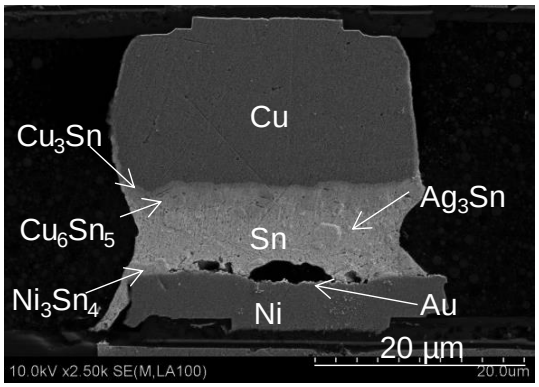


Fig. 4.17 Cross-section SEM image of the micro joint after temporary bonding.

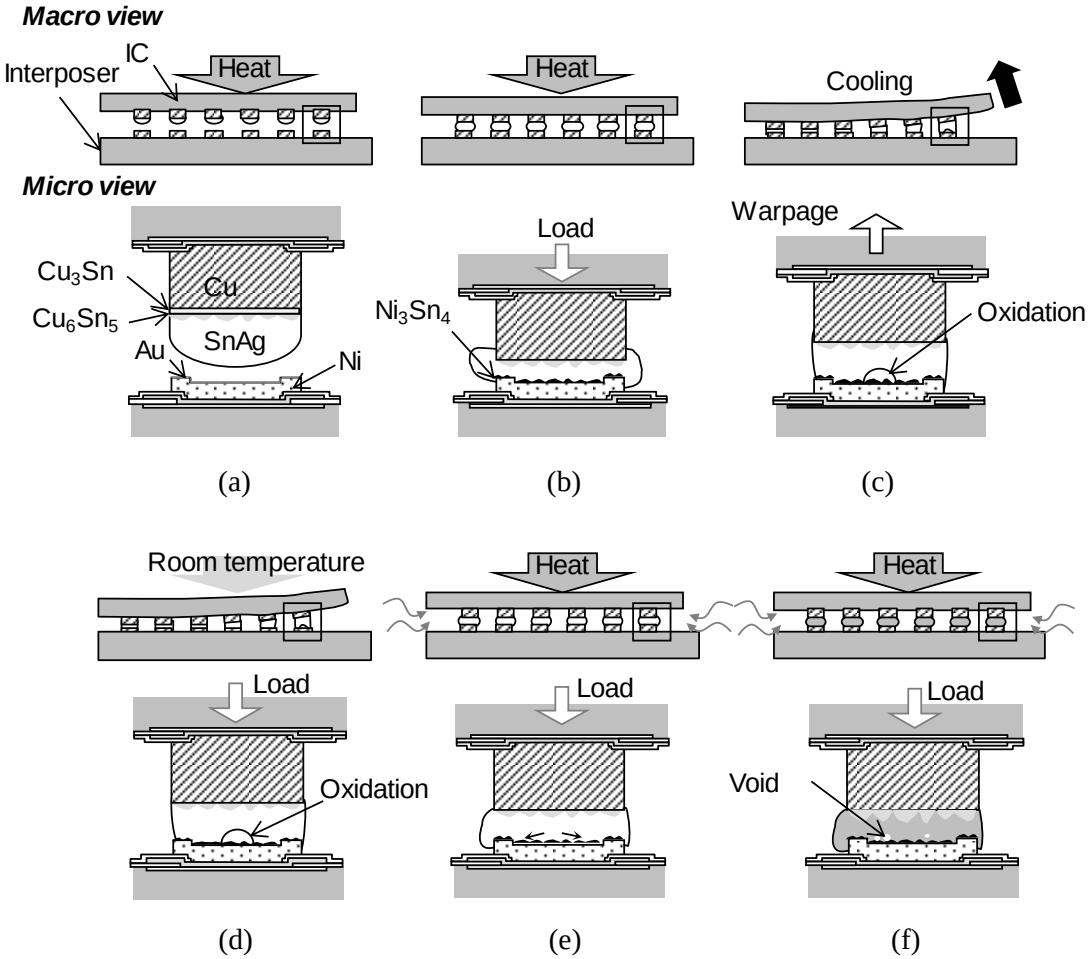


Fig. 4.18 Mechanism of the divided micro solder joint process.

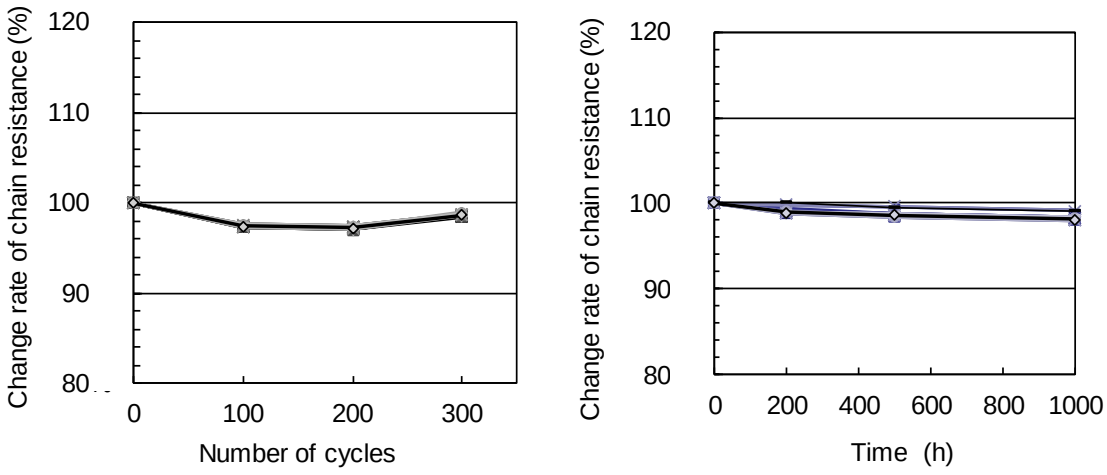
以上の理由から，仮接合工程よりも反りは低減し，外周部の接続部においても十分な接合が確保できるため，接続抵抗値も低減したと考える．

4.5.5 接合信頼性

本接合工程における加熱方式は，はんだ接合後 IC を冷却しはんだが凝固するまで加圧し続けるため，第 3 章におけるパルスヒート方式である．そのため，3.2.6 節で述べたように，50 μm 厚の IC の反りを抑制し接合することにより，接合部には 60 MPa 以上の残留応力が生じる．残留応力が IC 内部の膜強度やはんだ接合部の強度を上回れば，破壊が生じる懸念がある．そこで，信頼性評価を行った．Fig. 4.19 に本接合ピーク温度が 260℃の場合の信頼性試験における接続抵抗の変化率評価結果を示す．熱衝撃試験 300 cycles，高温保存 1000 h 経過後も接続抵抗変化率を 5 %未満に抑えることができた．Fig. 4.20 に信頼性試験後の接続断

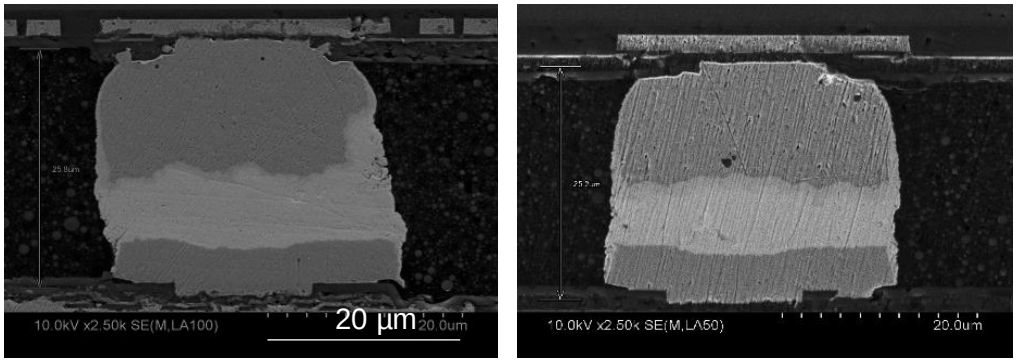
面を示す．熱衝撃試験 300 cycles，高温保存 1000 h 経過後も初期と断面形状に顕著な変化が見られなかった．また，繰り返し応力によるクラックの進展も見られず，良好な信頼性を確保することができた．本接合工程において十分拡散が進んだため，新たに拡散することなく安定した接合界面を確保でき，接合強度が信頼性での繰り返し応力を上回ったためと考える．

本章で述べた工程分割マイクロはんだフリップチップ実装工法を量産設備に適用した場合，本接合工程では，1 ウエハ当たりの処理時間は 660 s となる．例えば，ウエハ 1 枚当たりの IC の数が 750 個の場合，IC 1 個当たりの生産時間は 0.88 s となり，仮接合工程の 1 個当たりの生産時間 1.0 s を下回るため，全体工程に影響を与えない．



(a) (b)

Fig. 4.19 Transition of the chain resistance (Reflow peak temperature 260℃); (a) Thermal shock test -65℃ / 150℃, (b) High temperature storage test 150℃.



(a) (b)

Fig. 4.20 Cross-section SEM image of the micro joint after reliability test (Reflow peak temperature: 260℃)；(a) Thermal shock test 300 cycles and (b) high temperature storage test 1000 h.

4.6 結言

本章では，薄型半導体の反りを考慮し，マイクロはんだバンプが形成された IC を高精度かつ高生産でフリップチップ実装する工法について検討した．従来，薄型 IC の実装には反りを低減するためにパルスヒート方式が用いられてきたが生産時間が課題であった点に着目し，本章では，50 μm 厚，バンプピッチ 50 μm の IC に対し，実装時間 1 s／個以内を目標に，フリップチップ実装工程を仮接合工程と本接合工程に分割したマイクロはんだ接合工法を考案し，接合メカニズムの解明を行った．仮接合工程においては，マイクロはんだ接合部の濡れに着目し，濡れ面積と反りの関係を明確化した．本接合工程においては，雰囲気ガス，荷重，リフローピーク温度といった因子が反り及びはんだ接合部状態に及ぼす影響を明確化した．本章で得られた主な知見を以下にまとめる．

1. コンスタントヒート方式で 1 個ずつ IC を実装する仮接合工程において，Ni 電極へ一様な形状ではんだを濡れ拡がらせるためには，実装前に Ar プラズマ洗浄を行い，はんだの酸化膜を 12.5 nm 以下に低減することが重要であり，仮接合後の IC 反りを低減するには，IC コーナーバンプにおける Ni 電極上へのはんだの濡れ領域の直径に着目し，一定の径以上に濡れ拡がることが重要であるといった知見が得られた．50 μm 厚の IC に実装において，はんだの濡れ領域の直径が 13 μm 以上にすれば，IC の反りを 4 μm 以下に，接続抵抗増分値を 25 mΩ/pin に低減される実測結果が得られ，接合時間 0.25 s での仮接合が可能であることが示された．
2. 仮接合後の複数個の IC を一括で熱圧着する本接合工程において，雰囲気ガスの影響について評価した結果，N_2 ガスの場合，Ni 電極とはんだ界面全面にボイドが残存するのに対し，ギ酸ガスの場合，Ni 電極とはんだ界面にサブミクロンオーダーのボイドが局所的に見られるものの良好な濡れが確認され，ギ酸ガスが有効であることが示された．
3. 本接合工程において，IC 反りを低減するには，一定値以上の荷重が必要であることが分かった．荷重 2.3 μN/pin の場合，IC の反りが 17.4 μm であったが，25.7 μN/pin まで荷重を増加すると，IC の反りが 9.2 μm まで低減され，オープン不良発生が見られなくなり，接続抵抗値は±3 mΩ/pin 以内になる実験結果が得られた．
4. 本接合工程におけるピーク温度は，はんだ接合部の合金組成に影響を与えることが分かり，合金化により高い信頼性を示すことができた．ピーク温度 250℃で Cu 上の Sn_6Cu_5 層が Ni 電極との合金化が進み，$(Sn,Ni)_6Cu_5$ の占有面積が増え，260℃まで上げると接合部は全て $(Sn,Ni)_6Cu_5$ 合金となった．ピーク温度 260℃で本接合した CoC 構造の TEG を信頼性試験

に投入した結果，液槽-65℃/150℃，各 5 min の熱衝撃試験 300cycles，高温保存 150℃，1000 h を確保し，実用化レベルの高い信頼性が示された．

5. 工程分割マイクロはんだ接合工法により，接合時間を 10 s から 0.25 s まで短縮できることを確認した．1 個当たりの接合時間以外の動作時間が 0.75 s の実装機を用いれば，仮接合が 1 個当たり，1.0 s 以内で生産できる．

本章で論じた工程分割マイクロはんだ接合工法は，CPU，GPU などのロジック半導体や大容量メモリなどの 3 次元積層パッケージの生産向上に適用できる．

第 5 章　結論

本研究では，2.5D，3D，FOWLP，PLP といった多様な形態で 3 次元積層モジュール化が進む多ピン半導体パッケージを研究対象とした．特に，多様な半導体パッケージの生産プロセスとして需要が高まっているチップオンウエハ実装プロセスに着目し，高精度実装と高生産性の両立といった課題の解決に取り組んだ．前者では，大型化が進むウエハ・基板に対し，直径 300 mm 以上の加熱ステージからの熱揺らぎを抑制しながら実装精度を確保するプロセスが必要であり，後者では，大型化・薄型化が進む IC に対し反りを抑制しながら生産性を確保するプロセスが必要である．そこで，本研究では，チップオンウエハ実装における熱揺らぎと薄型 IC の反りといった 2 つの主要課題に対し，プロセス設計指針を構築することを目的とした．本研究で得られた知見を以下に総括する．

第 2 章では，熱揺らぎを低減する高精度実装プロセスの設計指針導出を目的とし，実装機内の熱流体挙動の定量化手法として，熱流体解析により，熱揺らぎを時間的・空間的に平均化された空気の流速，空気の温度差として表現する手法を提案し，PIV 法を用いた平面・垂直方向の流速分布評価により熱流体解析の妥当性を示した．さらに，温度・強制噴流・機構部品の位置関係などの諸因子が認識精度に及ぼす影響を明確化した．加熱ステージによって温められた気流は，空気の流速 0.1 m/s でヘッドに沿って上昇し，画像認識カメラの光路において，約 40℃の温度差を生じさせ，認識精度を悪化させることが分かった．熱揺らぎを抑制するには，陽炎ブロー流量，陽炎ブロー角度，カメラカバー角度によって，陽炎ブロー噴流の幅，方向を制御することに効果があり，陽炎ブローの流速が平面方向に 1 m/s 以上かつ垂直方向に見掛け上 0 m/s になるように噴出することにより，ステージ 150℃加熱時の認識精度を ±1.5 μm まで向上できるといった知見を得た．以上のように，熱揺らぎ抑制のためのプロセス設計指針を導き，透過ヘッド及びサイドビューカメラを用いて，ヘッド温度 200℃，ステージ温度 150℃でダイアタッチを行い，実装精度は±2.5 μm となる実験結果を得た．以上の検討により，従来不明確であった装置内の流速，温度と流体の制御機構，認識精度，実装精度の関係が明確になり，定量的な高精度実装のプロセス設計および機構設計が可能になった．

第 3 章では，反りの大きな薄型 IC に関し，反りを低減しながら短時間・高精度で実装するプロセス設計指針の導出を検討した．半導体実装プロセスにおいて，薄型 IC の反りを考慮した弾性解析を行い，薄型 IC の厚みおよびサイズごとに，加熱・加圧プロファイルが実装後の反り，残留応力に与える影響を明確化した．50 μm ピッチのはんだ Cu ピラーバンプを用いた

フリップチップ実装において，IC 厚が 50 μm 以下の薄型 IC では，コンスタントヒート方式では実装後の反りが抑制できず，パルスヒート方式によりはんだが凝固するまで加圧する必要性を示した．パルスヒート方式において，はんだ接合部に 60 MPa 以上の引張垂直応力がかかること，生産時間が 10 s 以上と長くなる課題があることを明確にし，第 4 章でこの課題の解決策を提案した．また，半導体内蔵プロセスにおいて，薄型 IC を樹脂フィルムに内蔵した IC 内蔵モジュールの反りについて研究し，弾性解析により，フィルム材料の物性，IC の埋め込み高さがモジュールの反りに与える影響を明確化し，反りを低減する半導体構造・プロセスの設計指針を導出した．さらに，IC 埋め込みプロセスにおいて，温度・荷重により，構造の大変形を伴い流動するフィルムの挙動を剛塑性解析により定量化し，IC 埋め込み速度に着目し埋め込み可能な温度・荷重を導出する，IC 埋め込みプロセスの設計指針を構築した．

第 4 章では，第 2 章で論じた熱揺らぎ低減による高精度実装，第 3 章で論じた薄型 IC の反り低減プロセスの知見を踏まえ，薄型 IC の反り低減を考慮した高精度フリップチップ実装の高生産性プロセス構築を検討した．1個ずつ IC を実装する高速実装の仮接合工程と還元ガス雰囲気下でウエハ一括接合する本接合工程とから成る，工程分割マイクロはんだ実装プロセスを考案し，プロセスの成立性を検証した．50 μm ピッチ，22500 pin のバンプが形成された厚さ 50 μm の薄型 IC のフリップチップ実装において，はんだの濡れ領域の径に着目し，IC の反り，接続抵抗との関係を明確化し，接合時間 0.25 s で接合できる条件を見出した．さらに，本接合工程において，還元ガスとしてギ酸の必要性と，チップの反りを矯正するための荷重の必要性を見出した．また，本接合工程において，はんだ接合部の合金化を進めることにより，高温保存 150℃，1000 h をクリアするといった高い信頼性を確保することができた．

最後に，次世代半導体パッケージへの展開について総括する．第 2 章で論じたチップオンウエハの高精度実装プロセス設計指針により，熱揺らぎが低減され，大型ウエハや基板への実装が可能になる．さらに，第 3 章で論じた薄型 IC の反りを低減したプロセス設計により，2.5D，3D 実装パッケージの更なる高密度化や薄型化が可能になり，第 3 章で提案した IC 埋め込みプロセスによりフィルムを用いた FOWLP の生産が可能になる．また，第 4 章で述べた薄型 IC の反りを考慮した高精度・高生産性フリップチップ実装プロセスは，2.5D，3D 実装パッケージの実用化に展開していくことができる．

以上のように，本研究では，今後更なる多ピン化が予測される 3 次元半導体パッケージおよび半導体実装設備の実用化に有益な指針となる，チップオンウエハにおける薄型半導体の高精度実装に関する知見について論じた．

謝辞

本研究の遂行にあたり，終始ご指導・ご助言を賜りました大阪大学大学院工学研究科マテリアル生産科学専攻　教授　藤本公三博士，准教授　福本信次博士に心から御礼申し上げます．藤本公三博士には，学生時代からご指導いただき本研究分野に進むきっかけを与えていただき，本論文をまとめるにあたり，丁寧なご指導と激励をいただき，深く感謝申し上げます．

また，本研究の審査に携わり，研究内容について有益なご指導・ご助言を頂きました大阪大学大学院工学研究科ビジネスエンジニアリング専攻　教授　上西啓介博士，大阪大学接合科学研究所　教授　西川宏博士に心から感謝申し上げます．また，研究会や学会などの場でご指導，ご助言を頂きました大阪大学大学院工学研究科マテリアル生産科学専攻　特任教授　渥美幸一郎博士，助教　松嶋道也博士に心から感謝申し上げます．

大学院博士後期課程への在籍について理解を持って送り出していただきました，パナソニック株式会社オートモーティブ社モノづくり革新センター　南尾匡紀所長，マニュファクチャリングイノベーション本部　小原英夫本部長，同マニュファクチャリングソリューションセンター中田公明所長に深くお礼申し上げます．

本研究の推進にあたり，数々のご助言とご指導を賜りましたパナソニック株式会社インダストリアルソリューションズ社　デバイスソリューション事業部　サーマル・ノイズソリューション BU BU 長　西田一人博士，アプライアンス社　スマートエネルギーシステム事業部　奈良工場　秋口尚士工場長，マニュファクチャリングイノベーション本部　那須博部長，西川和宏部長，塚原法人主幹に感謝申し上げます．

また，本研究の推進において，パナソニックファクトリーソリューションズ株式会社　浜平大課長，中村崇氏，パナソニック株式会社マニュファクチャリングイノベーション本部　渡邉純一博士，後川和也課長，玉利健氏，パナソニックソリューションテクノロジー株式会社　大隅貴寿係長，元パナソニック株式会社　石川隆稔氏，向島仁氏，柴田真衣氏，株式会社メカニカルデザイン　小林卓哉社長，斉藤牧里氏には，実験装置の製作，実験データの取得，有限要素解析などで様々な面で，多大なご協力をいただきました．心より感謝いたします．

さらに，マニュファクチャリングイノベーション本部　マニュファクチャリングソリューションセンター　寺西正俊部長，蛯原裕課長には，日々の研究開発で的確なご指導をいただきました．また，職場の皆様にはご協力をいただきました．大変ありがとうございました．

さらに，藤本研究室では，2018 年度博士号を取得された山江和幸博士，2018 年度修了さ

れた上野祐輔氏，大田賢吾氏，多谷本真聡氏，加茂貴裕氏，現在在学中の中島泰氏，青木豊広氏，伊藤 宏文氏，牧本和大氏，南尚吾氏，森山悠佑氏，吉田圭佑氏，伊藤直樹氏，辻直生氏，中村光希氏，中村友洋氏，加茂貴裕氏，岩本大智氏，上野良輔氏，海老名将弥氏，道林源輝氏，吉田勝大氏にも様々な形でお世話になりました．厚く御礼申し上げます．

最後に，社会人でありながら大学院博士課程への進学を理解し，家庭を支えてくれた妻由衣子，協力してくれた長男　大樹，さらに，私たち家族を支えていただいた両親，妹，義父に対し，心より感謝を申し上げます．

参考文献

1) 総務省,“平成 28 年版情報通信白書”,pp. 80-82 (2016).

2) Jisso 技術ロードマップ専門委員会, “2019 年度版 JEITA ロードマップ”, (2019).

3) 藤本公三編 マイクロ接合・実装技術, ISBN978-4-915957-88-8 C3053 (2012).

4) 野津誠, 阪下靖之, 國友美信, 他;“携帯情報端末用 CPU 制御 LSIMN5523A の CSP 化”, National Technical Report, Vol.42 No.6 (1996).

5) H.Otani, et.al, “Stud bump bonding technology for mass-production”, National Techinical Report, 43, No.1. pp.54-61(1997).

6) 西田一人, 清水一路, 油井隆, 本間太, 松村信弥, 岡本泉, 阿部光治, 高田耕造, 江間富世, 古口日出男, 佐々木智江, “圧接構造フリップチップ実装技術を用いた積層パッケージング技術の開発”, エレクトロニクス実装学会誌, Vol.5 No.7, pp.693-700 (2002)

7) 西田一人, 西川英信, 大谷博之, “封止樹脂シートによるフリップチップ接合技術”, mate99 5th シンポジウム, pp. 189-192(1999).

8) Kathleen A. Stalter, Raymond A. Jackson, David C. Linnell, “低コストで信頼性に優れたマルチ・チップ・モジュールのフリップ・チップ交換“, Micro News (A publication of IBM Microelectronics Japanese Edition), Vol. 5, No.4 (2000).

9) 配線板製造技術委員会, “次世代エレクトロニクス機器対応の実装技術の最新動向”, エレクトロニクス実装学会誌, Vol.20, No.1, pp.14-19(2017).

10) Jérôme Azémar, “Fan-Out and Embedded Die: Technologies and Market Trends”, Yole Développement (2015).

11) M. Koyanagi, T. Fukushima, T. Tanaka, “Three-Dimensional Integration Technology and Integrated Systems,” Proc of 14th Asia and South Pacific Design Automation Conf., Yokohama, Japan, January. pp. 409-415 (2009).

12) 8. S. J. Koester, A. M. Young, et al., “Wafer-level 3D Integration Technology,” IBM .Res. & Dev., Vol. 52,No.6 , pp. 583-597 (2008).

13) A. Klumpp, R. Merkel, et al., “Vertical System Integration by Using Inter-Chip Vias and Solid-Liquid Interdiffusion Bonding,” Jpn. J. Appl. Phys., Vol.43, No.7A, pp.829-830 (2004).

14) W. K. Choi, C. S. Premachandran, et al., “A Novel Die to Wafer (D2W) Collective Bonding

Method for MEMS and Eletronics Heterogeneous 3D Integration," 60th Electronic Components and Technology Conf., Las Vegas, NV, pp.829-833 (2010).

15) K. Takahashi, M. Hoshino, et al., "Development of Advanced 3D chip Stacking Technology with Ultra-fine Interconnection," 51th Electronic Components and Technology Conf., pp.541-546 (2001).

16) K. Sakuma, P. S. Andry, et al., "3D Chip-stacking Technology With Through-silicon Vias and Low-volume Lead-free interconnect," IBM J. Res. & Dev., Vol.52, No.6, pp.611-622 (2008).

17) 元吉真, 上林和利, 小柳光正 [他] , 盆子原學, "3 次元 LSI 技術の現状及び将来技術の課題", 電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス 106 (525), pp.1-6 (2007).

18) Horst Clauberg, Alireza Rezvani, Vinod Venkatesan, Guy Frick, Bob Chylak and Tom Strothmann, "Chip-to-Chip and Chip-to-Wafer Thermocompression Flip Chip Bonding", 2016 IEEE 66th Electronic Components and Technology Conference, pp.600-605, (2016).

19) Yasumitsu Orii, kazushige Toriyama, Sayuri Kohara, Hirokazu Noma, Keishi Okamoto, Daisuke Toyoshima, Keisuke Uenishi, "Micro Structure Observation and Reliability Behavior of Peripheral Flip Chip Interconnections with Solder-Capped cu Pillar Bumps", Transactions of The Japan Institute of Electronics Packaging Vol.4, No.1 (2011).

20) 石田博之, "ウエハ仮接合・剥離技術の最新動向", FO-WLP の開発動向ープロセス・封止・仮接合・材料ー,ジャパンマーケティングサーベイ, p.15 (2016).

21) M. Brunnbauer, T. Meyer, G. Ofner, K. Mueller, R. Hagen, "Embedded Wafer Level Ball Grid Array (eWLB)", 33rd IEEE/CPMT International Electronics Manufacturing Technology Conference (IEMT) pp.1-6 (2008).

22) Curtis Zwenger et al., "Electrical and Thermal Simulation of SWIFT™ High-density Fan-out PoP Technology", IEEE 67th Electronic Components and Technology Conference, pp.1962-1967 (2017).

23) D. Hiner et al., "SLIM™ Advanced Fan-out Packaging for High Performance Multi-die Solutions", IEEE 67th Electronic Components and Technology Conference, pp.575-580 (2017).

24) N. Motohashi, T. Kimura, K. Mineo, Y. Yamada, T. Nishiyama, et al., "System in wafer-

level package technology with RDL-first process", Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st (2011).

25) C.F. Tseng, C.S. Liu, C.H Wu, and D.Yu, "InFO (Wafer Level Integrated Fan-Out) Technology", 2016 IEEE 66th Electronic Components and Technology Conference, pp.1-6 (2016).

26) Douglas Yu, "A New Integration Technology Platform: Integrated Fan-Out Wafer-Level-Packaging for Mobile Applications", 2015 Symposium on VLSI Technology Digest of Technical Papers, T46-T47 (2015).

27) J.P. Hung ら, "Packaging Methods and Structures Using Die Attach Film", 特許公報 US9,064,879 B2.

28) 中尾修, "電子部品実装機の高速. 高精度位置決め", 精密工学会誌, Vol.62, No.9, pp. 1259-1262 (1996).

29) 外村幸博, "高速ダイボンダ技術",日本機械学会誌,Vol.108, No.1039, pp.482-483 (2005).

30) 宇都宮久修, "Latest Technology Trends on 2.1D, 2.5D IC Integration", エレクトロニクス実装学会,Vol. 18, No. 3, pp. 137-142 (2015).

31) 亀田寛, 藏藤健二, "ワイヤボンダ", 特許第 3392254 号 (2003).

32) 山口穂隆, 土井理, "ワイヤボンディング装置", 特許第 5254427 号 (2013).

33) 竹内隆志, "ワイヤボンディング装置", 特許第 2981973 号(1999).

34) 田村佳和, 山下幸典, "画像収集装置", 特開 2005-98775 (2005).

35) 星貴之, 早田滋, "画像計測高精度化のための超音波定在波による空気揺らぎの抑制", 計測自動制御学会論文集 Vol.52, No.10, pp. 518-523 (2016).

36) 辻隆行, 中村正志, 外山貴志, 杉山弘志, "薄型片面封止パッケージにおけるエポキシ封止材料の低反り化技術", ネットワークポリマー, Vol.21, No.3, pp.25-30, (2000).

37) 中村省三, 串崎義幸, 村上元, 木戸光夫, "半導体デバイスの残留応力に及ぼす材料物性影響因子の熱粘弾性数値解析", エレクトロニクス実装学会誌, Vol. 5, No. 4, pp.379-384 (2002).

38) 三宅清, "BGA パッケージの硬化収縮を考慮した反り熱粘弾性解析技術", エレクトロニクス実装学会誌, Vol.7, No.1, pp. 54-61 (2004).

39) Kenichi UENO, Kazuhiro DOHI, Kazuyoshi MURANAKA, Yuki ISHIKAWA, Akira NAKAO, "DEVELOPMENT OF LIQUID, GRANULE AND SHEET TYPE EPOXY

MOLDING COMPOUNDS FOR FAN OUT WAFER LEVEL PACKAGE" 2017 , IEEE 67th Electronic Components and Technology Conference, pp.287-291 (2017).

40) 大木滋, 佐野光, 桑原公仁, 永田治人, 南尾匡紀, "CAE を活用した SiP の開発熱硬化性樹脂の流動解析シミュレーション", 電子情報通信学会論文誌 2004/11, Vol.J87-C, No.11, pp. 829-836 (2004).

41) J. S. Turner; "Buoyancy Effects in Fluids", Cambridge University Press, pp.9-11 (1973).

42) 小山田仁子, 山本渡, "めっき皮膜の応力測定法", 表面技術, Vol.58, No.4, pp. 213-218, 2007.

43) C. Hilsum, T.H. Ning, "Properties of Silicon", INSPEC, Institution of Electrical Engineering, New York, 1988.

44) 日本規格協会 日本プラスチック工業連盟, "JIS K 7161-1: 2014 プラスチック—引張特性の求め方—第1部:通則", 日本規格協会, p.17, 2014.

45) 村田雅人, "弾・塑性材料の力学入門", 日刊工業新聞社, Sep. 1993.

46) R. ヒル著, 鷲津久一郎, 山田嘉昭, 工藤栄明共訳, 塑性学, 培風館, 1954.

47) T. F. Yang, K.S. Kao, R. C. Chen, J. Y. Chang and C. J. Zhan, "Development of Wafer-Level Underfill Bonding Process for 3D Chip Stacking", ICEP2011 Proceedings, pp.74-81 (2011).

48) H. Noma, Y. Oyama, H. Nishiwaki, M. Takami, T. Takatani, K. Toriyama and Y. Orii, "Wettability and Reliability for Double-Sided Assembly with Chip Connection (C2) Flip-Chip Technology", Transaction of The Japan Institute of Electronics Packaging, Vol. 2, No.1, pp.85-90 (2009).

49) B. A. Appelt, T. H. Wang, Y. S. Lai and H. Chung, "Next Generation fcCSP Packaging", ICEP2011 Proceedings, pp.426-439 (2011).

50) M. Ishida, Y. Orii, K. Sakuma and F. Yamada, "Prospective Flip Chip Assembly Technology in Semiconductor Package", Journal of the Japan Institute of Electronics Packaging, Vol.12, No.4, pp. 292-300 (2009).

51) C. W. Hwang, K. S. Kim and K. Suganuma, "Interfaces in Lead-free Soldering", Journal of Electronic Materials, Vol.32, No.11, pp. 1249-1256 (2004).

52) The Japan Welding Engineering Society, "Standard Micro Soldering Technology", pp.43-50, Nikkan Kogyo Shinbun Ltd. (1992).

53) C. W. Hwang, K. Suganuma M. Kiso and S. Hashimoto, “Influence of Cu Addition to Interface Microstructure between Sn-Ag Solder and Au/Ni-6P Plating”, Journal of Electronic Materials, Vol.33, No.10, pp. 1200-1209 (2004).

I. 本研究に関する発表論文

1) Daisuke Sakurai, Takatoshi Osumi, Kazuya Ushirokawa, Takashi Nakamura and Takatoshi Ishikawa, ”Development of High Productive Micro Solder Flip Chip Bonding Process”, Transactions of The Japan Institute of Electronics Packaging, Vol. 5, No. 1, pp. 99-106 (2012).
2) 櫻井大輔, 浜平大, 柴田真衣, 那須博, 福本信次, 藤本公三, “熱流体解析によるチップオンウエハにおける熱揺らぎ挙動の定量化”, スマートプロセス学会誌, Vol. 8, No. 2, pp. 65-72 (2019).
3) 櫻井大輔, 浜平大, 那須博, 福本信次, 藤本公三, “ダイアタッチプロセスにおける熱揺らぎが実装精度に及ぼす影響”, スマートプロセス学会誌, Vol. 8, No. 5, pp. 169-176, (2019).
4) 櫻井大輔, 塚原法人, 西川和宏, 西田一人, 小林卓哉, 福本信次, 藤本公三, “フィルムへの半導体素子内蔵挙動の解明”, 電子情報通信学会論文誌 C, Vol. J103-C, No.03 (2020) [採録決定, 掲載予定].

II. 本研究に関する学会発表

国際会議・シンポジウム

1) Daisuke Sakurai, Norihito Tsukahara, Kazuhiro Nishikawa, Takashi Akiguchi, Kazuto Nishida, Takaya Kobayashi and Mari Saito , ”Development of Film Module With Embedded Actives”, ASME 2003 International Electronic Packaging Technical Conference and Exhibition, Paper No. IPACK2003-35162, pp. 845-852 (2003).
2) Daisuke Sakurai, Takatoshi Osumi, Kazuya Ushirokawa, Takashi Nakamura and Takatoshi Ishikawa, “Development of High Producing Micro Solder Flip Chip Bonding Process”, ICEP-IAAC2012, pp. 77-82 (2012).

国内会議・シンポジウム

3) 櫻井大輔, 向島仁, 浜平大, 柴田真衣, 那須博, “チップオンウエハ対応高精度ダイアタッチ技術の開発”, 第 23 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウ

ム Mate2017, pp. 241-244 (2017).

4) 櫻井大輔, 浜平大, 那須博, 福本信次, 藤本公三, “チップオンウエハ実装における熱揺らぎ低減による高精度実装プロセスの開発”, 第 25 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム Mate2019, pp. 143-148 (2019).

5) 櫻井大輔, 浜平大, 那須博, 福本信次, 藤本公三, “熱揺らぎ低減による高精度ダイアタッチ実装プロセスの開発”, 第 29 回マイクロエレクトロニクスシンポジウム論文集 MES2019, pp. 255-259 (2019).

6) 櫻井大輔,塚原法人,西川和宏,秋口尚士,西田一人,”能動素子内蔵フィルムモジュールの開発（第 1 報）”,エレクトロニクス実装学術講演大会講演論文集, p. 78 (2003）.

7) 櫻井大輔,塚原法人,西川和宏,西田一人,小林卓也,斉藤牧里,”能動素子内蔵フィルムモジュールの開発”,第 9 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム Mate2003, pp. 461-466 (2003).

8) 櫻井大輔,中村崇,石川隆稔,那須博,”工程分割マイクロはんだ接合技術の開発”, スマートプロセス学会秋季総合学術講演, pp. 9-10 (2017).

III. 本研究に関する受賞歴

1) 優秀論文賞受賞 第 25 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム Mate2019 (2019).