The University of Osaka
Institutional Knowledge Archive

Title	GaN-HFETを用いたΦ2級インバータ回路による絶縁形DC-DCコンバータに関する研究
Author(s)	柳澤, 佑太
Citation	大阪大学, 2020, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/76556
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

GaN-HFET を用いたΦ2 級インバータ回路による絶縁形 DC-DC コンバータに関する研究

柳　澤　佑　太

2020 年 1 月

大阪大学大学院工学研究科

内容梗概

IoT や分散電源，再生可能エネルギーの普及に伴い，スイッチング電源を用いた機器が急速に増加している。スイッチング電源は，パワーエレクトロニクスの要素を集合させたものであり，パワーエレクトロニクスが電源の特性を決定するといっても過言ではない。従来のパワーエレクトロニクス要素技術を用いたスイッチング電源は，受動制御などの古典的手法を使っているため，大型かつ大重量であり，その小型化が急務である。また，半導体デバイスの発展も目覚ましく，1960 年代に開発されたサイリスタから始まったスイッチングデバイスの開発は，現在まで発展の勢いが衰えることなく，盛んに進められている。現在では，次世代半導体材料である炭化ケイ素(SiC)や窒化ガリウム(GaN)を用いたスイッチングデバイスが広く普及し始め，その普及とともにスイッチング電源の性能も大きく向上している。ただし，次世代スイッチングデバイスをただ単に適用するだけでは，その性能が真に発揮されないため，適用効果を最大限に発揮できる回路・手法・制御を検討する必要がある。

本研究では，GaN を用いた次世代スイッチングデバイスの一つである GaN-HFET(Gallium Nitride Hetero-junction Field Effect Transistor)の回路に対する適用効果を最大限に発揮するため，Φ2 級インバータ回路を対象として，適用のための手法や制御について検討した。Φ2 級インバータ回路は，高性能かつ小型・軽量化が可能な 1 石形インバータである。本回路は E 級インバータ回路をベースに，スイッチングデバイスのドレイン-ソース間に第 3 次高調波を注入するための共振タンクを追加した構成をとる。Φ2 級インバータ回路では，その回路トポロジーより，ソフトスイッチングが達成される。スイッチング電源の大部分の体積・重量を占める受動部品の小型・軽量化を目的としたスイッチング周波数の増加に伴う，スイッチング損失の増加は問題とならない。また，スイッチングデバイス 1 つでインバータ回路が実現されることから，ハーフブリッジインバータやフルブリッジインバータで困難とされる，高周波領域における上下アームのデッドタイム挿入や調整が不要となる。そのため，数十 MHz 程度の高周波でも容易にスイッチングが可能である。

GaN-HFET はその物理的特性から，低オン抵抗，高速スイッチング特性を有する。そのため，Φ2 級インバータ回路のような本質的に高速スイッチングが可能な回路に対して適用することが，GaN-HFET の適用効果を最大限に発揮できると考えられる。Φ2 級インバータ回路では，スイッチング損失が発生せず，熱損失が抑えられるため，電力変換効率の向上が可能になるだけでなく，ヒートシンクの体積削減も可能である。GaN-HFET は低オン抵抗特性を有するため，スイッチング損失削減に加え，導通損失の削減も可能である。また，一般的に，GaN-HFET のドレイン-ソース間耐電圧は，従来のシリコン(Si)MOSFET と比べ，やや低い。E 級インバータ回路では，入力電圧の約 3.6 倍がスイッチングデバイスのドレイン-ソー

ス間に印加される。一方で，Φ2 級インバータ回路では約 2 倍に抑えられ，同じスイッチングデバイスを適用した場合，入力電圧を E 級インバータと比べ約 1.8 倍まで増加可能である。

本論文では，Φ2 級インバータ回路に対して GaN-HFET を適用し，アプリケーションを含めたその適用効果および必要な要素技術について述べた。はじめに，Φ2 級インバータ回路の構成および特性を示し，その設計法を示した。Φ2 級インバータ回路は直流から交流へ変換するインバータ回路であるが，本回路を一般的なスイッチング電源で他用される回路の一つである絶縁型 DC-DC コンバータ構成に拡張する手法およびその設計法についても示した。また，GaN-HFET 適用時と従来の Si-MOSFET 適用時を比較し，GaN-HFET 適用の優位性を明らかにした。さらに，絶縁 DC-DC コンバータ構成とするΦ2 級インバータ回路を含め，静特性・動特性を含んだ負荷特性についても検証した。また，さらなる応用として，始動時におけるピーク電圧抑制手法や，インターリーブ方式の適用，Φ2 級インバータ回路を用いた絶縁型双方向構成とする DC-DC コンバータ回路についても検討した。

本論文では以上の内容について述べており，その構成は以下のとおりである。

第 1 章では，半導体スイッチングデバイスの開発動向やその性能について紹介し，次世代スイッチングデバイスである GaN-HFET の有用性を示し，本研究の目的と位置づけを明らかにした。

第 2 章では，Φ2 級インバータ回路の構成および特性と，様々な電力変換回路の動作方式をそれらのメリット・デメリットを含めて示し，Φ2 級インバータ回路の有用性を明らかにした。

第 3 章では，絶縁形 DC-DC コンバータ構成とするΦ2 級インバータ回路の設計法について示したほか，GaN-HFET を同回路に適用する効果を示した。また，実器による動作検証の結果を述べた。

第 4 章では，Φ2 級インバータ回路を用いた DC-DC コンバータをアプリケーションに適用するために必要な，負荷特性について検討した結果を示した。

第 5 章では，Φ2 級インバータ回路の応用における課題として，始動時に発生するピーク電圧抑制手法や，インターリーブ構成とした場合および，双方向絶縁型 DC-DC コンバータ構成とした場合における動作およびその特性を，実験結果とともに示した。

第 6 章では，本研究の総括を行い，残存する課題とこれからの取り組みについて述べた。

目次

第 1 章 緒論 1
1.1 研究背景 1
1.2 本研究の目的と位置づけ 3
1.3 論文の構成 4
参考文献 5
第 2 章 Φ2 級インバータ回路の構成および特性 6
2.1 インバータ回路の種類および特性 6
2.2 共振形インバータ回路の種類および特性 10
2.3 Φ2 級インバータ回路の構成 14
2.4 Φ2 級インバータ回路の設計法と特性 17
2.4.1 スイッチング周波数 1MHz の場合 18
2.4.2 スイッチング周波数 13.56MHz の場合 23
2.5 シミュレーションを用いた動作検証 26
2.5.1 GaN-HFET 適用時における結果 26
2.5.2 Si-MOSFET 適用時における結果 28
2.6 実器を用いた動作検証 30
2.6.1 GaN-HFET 適用時における結果 30
2.6.2 Si-MOSFET 適用時における結果 36
第 3 章 Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータの設計法と基礎特性40
3.1 絶縁形 DC-DC コンバータの設計法 40
3.1.1 絶縁トランスの挿入 40
3.1.2 整流回路の検討 41
3.1.3 絶縁形 DC-DC コンバータの構成 53
3.2 シミュレーションを用いた動作検証 55
3.3 実器を用いた動作検証 56
第 4 章 絶縁形 DC-DC コンバータの負荷特性 64
4.1 インバータ構成における負荷特性 64
4.1.1 シミュレーションを用いた負荷特性の検証 65
4.1.2 実器を用いた負荷特性の検証 68
4.2 絶縁形 DC-DC コンバータ構成における静的負荷特性 69
4.2.1 シミュレーションを用いた負荷特性の検証 70
4.2.2 実器を用いた負荷特性の検証 71
4.3 絶縁形 DC-DC コンバータ構成における動的負荷特性 73
第 5 章 応用に向けた各種課題の解決 78

5.1 始動時におけるピーク電圧抑制手法 78
5.1.1 RCD スナバ回路挿入による手法 79
5.1.2 スイッチングパターン調整による手法 81
5.2 インターリーブ構成とする場合における構成と特性 84
5.2.1 シミュレーションを用いた検証 90
5.2.2 実器を用いた検証 94
5.3 絶縁形双方向 DC-DC コンバータ構成の場合における構成と特性 100
第 6 章 総括 109
謝辞 111
研究業績 112

第1章 緒論

1.1 研究背景

現在，再生可能エネルギーや分散電源，IoT の普及などに伴い，スイッチング電源を用いた機器が急速に増加している。スイッチング電源はパワーエレクトロニクスの要素を集合させたものであり，スイッチング電源の性能はパワーエレクトロニクス技術によって決定される。そのため，広く一般に普及するにあたって，電力変換効率の向上および変換器の小型化などの高性能化が求められており，様々な研究や技術開発が進められている。電力変換効率の向上は，エネルギー利用効率を高めるという観点からも重要であるほか，高効率化に伴う損失の低減は，スイッチング電源に内蔵される放熱器や，インダクタやキャパシタを含む受動部品の小型化だけでなく低コスト化にも寄与する。これらを達成するためには，スイッチング電源に必ず用いられるスイッチング半導体の性能向上が欠かせない。従来，スイッチング半導体はシリコン(Si)をベースとしたものが主流であったが，シリコンの有する材料物性に起因する性能限界に達しつつあり，これ以上の性能向上は困難であると考えられている[1],[2]。

そのため，従来のシリコンを用いたスイッチング半導体デバイスに代わり，窒化ガリウム(Gallium Nitride:GaN)や炭化ケイ素(Silicon Carbide:SiC)など，ワイドバンドギャップ(Wide Band Gap:WBG)材料を用いたスイッチング半導体デバイスの開発・適用が急速に進んでいる。一般的に WBG 材料を用いるスイッチング半導体は，Si 半導体と比べ，高機能かつ高性能である[3]-[5]。これは，WBG 材料が持つ物理特性に起因するためである。表 1-1 に Si，SiC，GaN それぞれの材料物性を示す[6]。

表 1-1 各材料の素子特性

物性	単位	Si	SiC	GaN
バンドギャップ	eV	1.1	3.3	3.4
電子移動度	cm^2/Vs	1350	700	1500
絶縁破壊	MV/cm	0.3	3.0	3.3
性能指数	$\varepsilon\mu_0 Ec^3$	1	440	1130

表 1-1 に示すように，WBG 材料である SiC および GaN は Si と比べて，高バンドギャップ，高破壊電界を有する。GaN においては，高電子移動度特性も有する。高バンドギャップおよび高破壊電界を有することによって，スイッチング半導体の高耐圧化が達成される。高電子移動度を有する場合，半導体内部の抵抗が小さくなるため，低オン抵抗のデバイスが実現される。そのため，SiC や GaN を用いた半導体デバイスが，半導体メーカから多数発売されている。図 1-1 や図 1-2 は市販されている GaN デバイスの例である。

GaN を用いた半導体の一種である Gallium Nitride – Hetero-junction Field Effect Transistor (GaN-HFET)は，異なる半導体の接合であるヘテロ接合を有するスイッチング半導体である。GaN-HFET はその構造上，2 次元電子ガスと呼ばれる接合界面と並行に高濃度かつ高移動度を有する電子雲を形成する。GaN-HFET はその電子雲領域をチャネルとして利用するため，低オン抵抗が実現される。また，GaN-HFET の横型デバイスではゲート酸化膜付近において，チャネルを遮断する断面積が小さいため低入力容量特性を有し，高速スイッチングが可能である。

図 1-1 Transphorm 社の GaN デバイス[7]

図 1-2 Panasonic 社の GaN デバイス[8]

図 1-3 WBG 半導体デバイス適用時における電源回路の小型化例[9]

スイッチング電源に使用されている Si スイッチング半導体を GaN-HFET に置き換えた場合, GaN-HFET の有する低オン抵抗特性, 高速スイッチング特性により, 電力変換効率向上, 周辺機器を含めた電源の小型化など，図 1-3 に示すように，スイッチング電源の高性能化が期待可能である。ただし，ただ単に GaN-HFET を適用するのみでは，GaN-HFET の有す

る特性を完全に発揮できず，宝の持ち腐れとなってしまう。よって，GaN-HFET の適用効果が最大限に発揮できる回路やアプリケーションに適用するのが望まれる。

また，スイッチングデバイスの急速な発展・進化に伴い，スイッチング電源に使用される回路についても新たな回路構成および適用手法の提案が数多くなされている。従来のスイッチングデバイスでは実現しえなかったが理論的には可能であった技術・アイディアが，新型スイッチングデバイスの登場により，徐々に実現されつつある。近年では，高周波領域で特性が発揮される WBG 半導体デバイスの開発および適用拡大に従って，E 級インバータ回路や Φ2 級インバータ回路などの共振形電力変換回路が注目され，各研究がなされている。共振形電力変換回路はその名の通り，回路動作にインダクタとキャパシタの共振現象を用いており，一般的にターンオンおよびターンオフ時の片方もしくは双方において，スイッチング損失が発生しないソフトスイッチングが達成される。そのため，スイッチング電源の小型化を目的として，スイッチング周波数を増加させた場合においても，スイッチング損失は増加せず，高効率な電力変換が実現される。

本研究では，共振形電力変換回路の一種である Φ2 級インバータ回路に着目し，その回路に対し GaN-HFET の適用を検討する。Φ2 級インバータ回路は，スイッチングデバイス 1 つのみで直流から交流へと電力変換が可能なインバータ回路であり，ターンオンおよびターンオフの双方においてソフトスイッチングが達成されることから，容易に高周波領域で動作が可能である。また，他の共振形電力変換回路と比較して，スイッチングデバイスに印加される電圧ストレスが小さいことから，他のスイッチングデバイスと比較して一般的に耐電圧が低い GaN-HFET であっても適用が可能である。そこで，本論文では，Φ2 級インバータ回路を対象として，その設計法と有用性の評価，Si-MOSFET 適用時との比較，絶縁形 DC-DC コンバータの提案と構成および動作検証など，GaN-HFET を用いた Φ2 級インバータ回路の特性と絶縁形 DC-DC コンバータへの応用について研究した結果について報告する。

1.2 本研究の目的と位置づけ

本研究の目的は，Φ2 級インバータ回路に対して GaN-HFET を適用し，その有用性が真に発揮されているかを確認し，また，Φ2 級インバータ回路を絶縁形 DC-DC コンバータ回路へと発展させ，より実用的な回路構成および使用法について提案する。また，実用化に必要不可欠な負荷特性の検証や，実用上における様々な問題点を解決し，Φ2 級インバータ回路は高性能かつ実用に優れた回路であることを検証する。本研究における検討内容を以下にまとめる。

Φ2 級インバータにおける GaN-HFET の有用性評価

Φ2 級インバータに対して GaN-HFET を適用し，真に GaN-HFET の特性が最大限に発揮されているかについて，その回路動作および構成からの観点に加え，シミュレーションおよ

び実器を用いて，従来のスイッチングデバイスである Si-MOSFET 適用時と比較し，評価する。特に，スイッチング周波数として 1MHz の他に 13.56MHz での評価を行う。

Φ2 級インバータを用いた絶縁形 DC-DC コンバータ回路の提案および動作検証

Φ2 級インバータ回路は直流から交流に電力を変換するインバータ回路であるが，実際のアプリケーションでは，直流から直流に電力を変換する DC-DC コンバータの適用が多い。よって，Φ2 級インバータ回路を DC-DC コンバータへ発展させる。さらに電圧変換や電位の分離により回路の多角性を向上させるため，絶縁トランスを挿入した絶縁形 DC-DC コンバータ回路を提案する。また，コンピュータシミュレーションおよび実器を用いて，絶縁形 DC-DC コンバータ回路の動作検証を行う。

インバータ構成を含む絶縁形 DC-DC コンバータの負荷特性の検証

Φ2 級インバータ回路は共振形電力変換回路であるため，負荷の変化を含む回路設計時と異なる条件で動作させた場合，理想的な動作が達成されない可能性がある。そのため，負荷抵抗に対する制約がどの程度か，回路設計時と異なる負荷抵抗でも理想的な動作が達成可能であるか否かについて，さまざまな負荷抵抗を適用しながら検証する。

実用化に向けた各種課題の解決

Φ2 級インバータ回路は運転開始の過渡時にピーク電圧が発生する，また，定常状態において大きな三角波状入力電流リプルを有するなど，実用化する際に解決しなければならない問題が多数存在する。本論文では，Φ2 級インバータ回路が有する実用化に向けた各課題について列挙し，それらの解決方法を提案する。また，提案方法が有効であるか否か，コンピュータシミュレーションおよび実器にて検証を行う。

1.3 論文の構成

本論文の構成は以下のとおりである。

2 章では，Φ2 級インバータ回路の構成および特性を，他のインバータ回路や共振形インバータ回路と比較して述べる。また，Φ2 級インバータ回路の設計法についても示し，スイッチング周波数 1MHz 時と 13.56MHz 時それぞれの場合におけるパラメータの設計例を示す。さらに，コンピュータシミュレーションおよび実器それぞれを用いて，設計した回路パラメータの妥当性を検証するほか，Si-MOSFET および GaN-HFET それぞれの素子を適用した場合における差異について検証を行う。

3 章では，Φ2 級インバータ回路の発展形として，より実用的な回路構成である絶縁形 DC-DC コンバータの回路構成について，整流回路や絶縁トランスを含めた総合的な検討を行い，適する絶縁形 DC-DC コンバータ回路の提案を行う。また，コンピュータシミュレーション

および実器を用いて，絶縁形 DC-DC コンバータの動作検証を行い，理想的な動作が達成されているか否か，検証を行う。

4 章では，Φ2 級インバータ回路の静的負荷特性について，絶縁形 DC-DC コンバータ構成とする場合を含め，調査した結果について示す。また，絶縁形 DC-DC コンバータ構成とする場合において，動的負荷特性について動作検証した結果についても示す。

5 章では，Φ2 級インバータ回路を実用化する上で問題となる，運転開始時の高いピーク電圧，適用可能な負荷抵抗の範囲制限，大きな入力電流リプル，出力電力に上限が存在などの各問題点について解決手法を提案し，その有効性をコンピュータシミュレーションおよび実器を用いて確認する。また，Φ2 級インバータ回路のさらなる発展形として，絶縁形双方向 DC-DC コンバータとする Φ2 級インバータ回路を提案し，その動作確認を行う。

6 章では，本研究の総括を行う。

参考文献

[1] 松波弘之 : “<大学の研究・動向> 半導体シリコンカーバイドのパワーデバイス : 電気エネルギー有効利用の礎”京都大学電気関係技術情報誌，1998

[2] 寺島知秀 : “ワイドバンドギャップ半導体によるパワーデバイスの性能改善と課題”Journal of the Society of Materials Science, Japan, Vol. 64, No. 9, pp.701-706, 2015

[3] O. Bouketir : “Advances and Challenges in WBG Devices and their Applications in Power Conversion and Conditioning”, Proceedings of the International Conference on Recent Advances in Electrical Systems, Tunisia, pp.34-40, 2016

[4] J. Millan, P. Godignon, X. Perpina, A. P. Tomas, J. Rebollo, “A Survey of Wide Bandgap Power Semiconductor Devices,” IEEE Trans. on Power Electron., vol. 29, no. 5, pp. 2155-2163, 2014

[5] E. A. Jones, F. F. Wang, D. Consinett, “Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges,” IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 4, no. 3, pp. 707-719, 2014

[6] サンケン電気，”次世代パワー半導体　GaN・SiC への取り組み”, https://www.semicon.sanken-ele.co.jp/guide/GaNSiC.html (2019 年 12 月 14 日閲覧)

[7] Transphorm，” Gallium Nitride (GaN) Power Devices” , https://www.transphormusa.com/ja/ (2019 年 12 月 14 日閲覧)

[8] Panasonic Industry Europe，” GaN Power” , https://eu.industrial.panasonic.com/products/semiconductors/gan-power (2019 年 12 月 14 日閲覧)

[9] ROHM Co., Ltd，” ROHM supplies Full SiC Power Modules to Formula E racing team Venturi _ ROHM Semiconductor” https://www.rohm.com/news-detail?news-title=rohm-supplies-full-sic-power-modules-to-formula-e-racing-team-venturi (2019 年 12 月 14 日閲覧)

第2章 Φ2 級インバータ回路の構成および特性

2.1 インバータ回路の種類および特性

インバータ回路は，直流から交流へ電力を変換する回路である。インバータ回路は電圧形・電流形に大別されるが，その制御の容易さおよび重量・体積ともに軽量・小型であるキャパシタが適用可能であることから，電圧形インバータ回路が広く一般的に用いられている[1],[2]。本節では，代表的なインバータ回路として，ハーフブリッジインバータ回路・フルブリッジインバータ回路・プッシュプルインバータ回路の 3 つを挙げ，それぞれの回路構成および特性を述べる。

2.1.1 ハーフブリッジインバータ

図 2-1 にハーフブリッジインバータの回路図を示す。

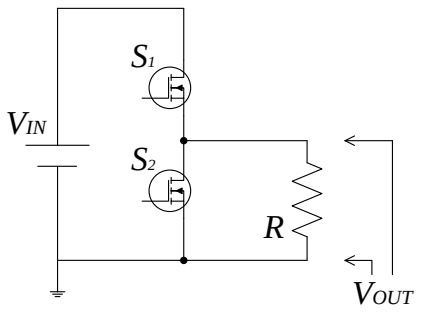


図 2-1 ハーフブリッジインバータ回路

図 2-1 に示すように，ハーフブリッジインバータ回路はスイッチ 2 個を上下に並べた構成である。ハーフブリッジインバータは，上下のスイッチを交互にオンし，抵抗に交流状電圧を出力する。図 2-2 にハーフブリッジインバータ回路の各波形を示す。

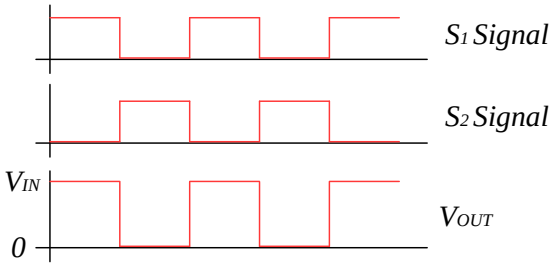


図 2-2 ハーフブリッジインバータ回路の各波形

図 2-2 に示すように，ハーフブリッジインバータの出力電圧V_{OUT}波形は，V_{IN}の波高値を持つ矩形波であり，厳密な交流波形ではない。ただし，電圧$V_{IN}/2$を基準とする場合，交流電圧波形となる。よって，ハーフブリッジ回路から交流電圧を出力する場合，直流電源を 2 分割した図 2-3 に示すような回路構成がよく用いられる。図 2-4 に図 2-3 に示す回路を用いた場合における各波形を示す。

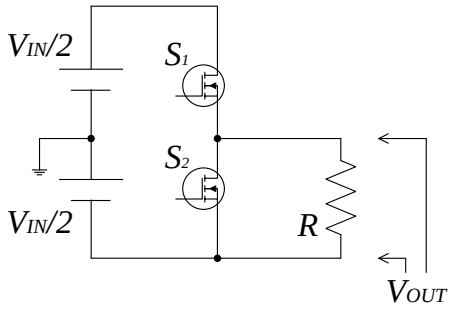


図 2-3 交流電圧を出力するハーフブリッジインバータ回路

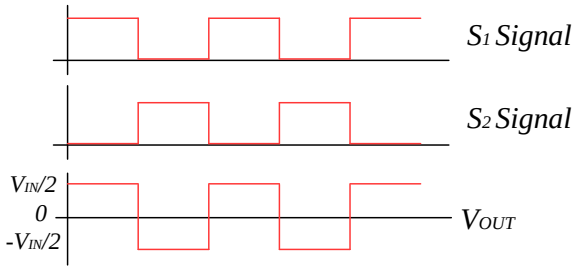


図 2-4 交流電圧を出力するハーフブリッジインバータ回路の各波形

図 2-4 に示すように入力電圧を 2 分割し，その中点を GND(0V，基準電位)とした場合，スイッチ S1 がオンしている場合は$V_{IN}/2$，スイッチ S2 がオンしている場合は$-V_{IN}/2$が出力され，0V に対して交流電圧が出力される。ただし，交流電圧を出力するためには，電源を 2 個直接接続にするなど，入力電源V_{IN}を 2 分割する必要があり，入力電源に一工夫が必要となり，アプリケーションによっては適用が困難となる。また，交流電圧を出力する場合，その波高値は$V_{IN}/2$となることから，高振幅の交流電圧は出力できない。

本回路の特徴として，スイッチが 2 個で構成が簡単，上下のスイッチをオンする比率変更により，出力する電圧波形の形が容易に変更可能であるという点が挙げられる。基本的に，ハーフブリッジインバータ回路は上下のスイッチを交互にオンオフするだけで問題なく動作する。それぞれのスイッチングデバイスがオフ時に印加される電圧は，入力電圧V_{IN}であり，電圧利用率が高いことも特徴の一つとして挙げられる。ハーフブリッジ中の下側のスイッチS_2は GND 基準で動作するため，スイッチの駆動や各波形測定は容易であるが，上側スイッチS_1の基準電位はスイッチS_2のオンオフ状態によって変化する。そのため，スイッチS_1

を駆動させるにはスイッチング信号や駆動電源を絶縁する必要があり，周辺回路は煩雑化してしまう。

本回路は上下のスイッチをオンオフするタイミングについて同期をとる必要があり，仮に両方のスイッチがオンする場合，電源は短絡され大電流が流れてしまう。スイッチング周波数 1MHz 以下のような低周波領域では，上下のスイッチのオンオフタイミングを調整することは容易であるが，数 MHz 以上の高周波領域ではその調整は困難となり，本インバータ回路を高周波領域で動作させるのは容易ではなくなる。また，スイッチをオンオフさせるために必要なコントローラやゲートドライバも，高速演算および高速スイッチングが可能な高性能のものを使う必要がある。

また，ハーフブリッジ回路はハードスイッチングで動作するため，スイッチング周波数の上昇に比例してスイッチング損失が増加する。特に，インダクタやキャパシタなどの周辺受動回路の小型化を目的としてスイッチング周波数を引き上げた場合，スイッチングデバイスで大きな熱損失が発生する。熱損失を放熱するために放熱器を設けた場合，受動部品小型化のメリットが打ち消されるだけでなく，発熱量によっては逆に回路が大型化してしまう可能性がある。スイッチング損失による発熱を抑制するためには，補助回路を設けてソフトスイッチングを達成させる場合があるが，周辺回路の追加や制御の煩雑さが増大する。

よって，ハーフブリッジインバータ回路はスイッチ 2 個のみを有する構成が容易な回路であるが，交流を出力するためには入力電源を 2 分割する必要や，高周波領域での動作は困難，スイッチング損失が発生するなどのデメリットを有する。

2.1.2 フルブリッジインバータ

フルブリッジインバータ回路は，ハーフブリッジインバータ回路を 2 個並列接続したような回路構成をとる。図 2-5 にフルブリッジインバータ回路の回路図を，図 2-6 にフルブリッジインバータ回路の各波形を示す。

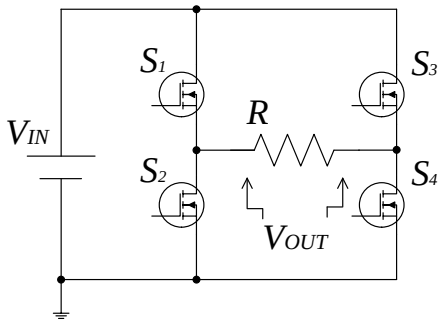


図 2-5 フルブリッジインバータ回路

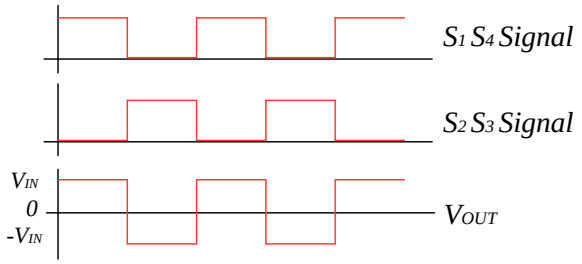


図 2-6 フルブリッジインバータ回路の各波形

図 2-5 に示すように，フルブリッジインバータ回路はスイッチ 4 個で構成される。負荷抵抗Rは，スイッチ上下間の中点同士に接続されるため，負荷は GND から切り離される。そのため，負荷を GND につなげる必要があるアプリケーションへの適用は困難である。また，図 2-6 に示すようにフルブリッジインバータ回路では，通常の構成において GND 基準の波高値V_{IN}を有する交流電圧が出力される。ハーフブリッジインバータ回路と同様に，上下スイッチのオン時間を調整することにより通流率が変わり，所望の出力電圧波形を出力することが可能である。

フルブリッジインバータ回路はスイッチ 4 個で構成されるため，コスト増大の問題はもちろん，スイッチの駆動にリソースをとられてしまう問題を有する。また，上下アーム間でのスイッチングタイミングを同期させる必要や，上側スイッチS_1，S_3の駆動回路も煩雑となる，スイッチング損失が発生する事象も，ハーフブリッジインバータ回路と同様に存在する。

フルブリッジインバータ回路は制御の自由度が高いこと，入力電圧に応じた高い波高値を有する交流電圧を容易に出力が可能などのメリットを有するため，広く用いられている。

2.1.3 プッシュプルインバータ

図 2-7 にプッシュプルインバータ回路の回路図を示す。

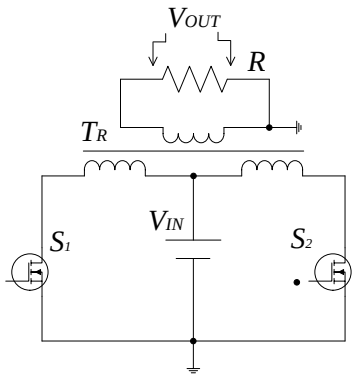


図 2-7 プッシュプルインバータ回路

図 2-7 に示すように，プッシュプルインバータ回路はスイッチ 2 個とトランスで構成される。トランスが挿入されていることにより絶縁が確保されており，回路は 1 次側および 2

次側に分けられる。プッシュプルインバータ回路は，スイッチS_1およびスイッチS_2を交互にオンオフさせ，トランスに電流を流し 2 次側へ電力を送る。図 2-8 にプッシュプルインバータ回路の定常時における各波形を示す。

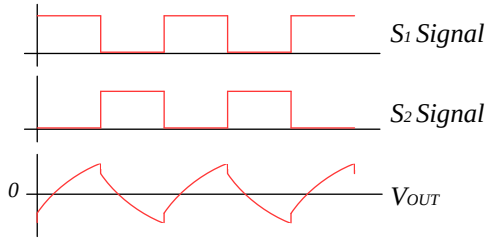


図 2-8 プッシュプルインバータ回路の各波形

図 2-7 および図 2-8 に示すように，スイッチS_1がオンしている間，1 次側において電流は入力電源V_{IN}→トランスT_R→スイッチS_1の経路で流れる。トランスに電流が流れるため，2 次側には励磁電流を打ち消すように電流が流れる。一方で，スイッチS_2がオンしている間，スイッチS_1オン時と同様に，電流は入力電源V_{IN}→トランスT_R→スイッチS_2の経路で流れるが，トランスを流れる電流の向きが異なる。よって，トランスの 2 次側に流れる電流の向きは，スイッチS_1およびS_2によって異なるため，負荷には交流の電流が流れ，交流電圧が出力される。

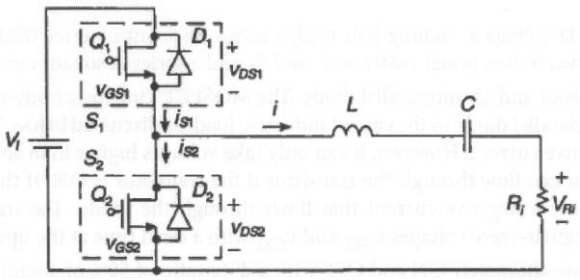
本回路はスイッチ 2 個の制御のみで入力電源を分割する必要なく負荷に交流電圧が出力されるが，多巻線トランスを用いる必要があり，汎用性はあまり高くない。また，双方のスイッチの通流率を同一にする必要があり，通流率が同一ではない場合，トランスが偏磁し大電流が流れる可能性がある。

2.2 共振形インバータ回路の種類および特性

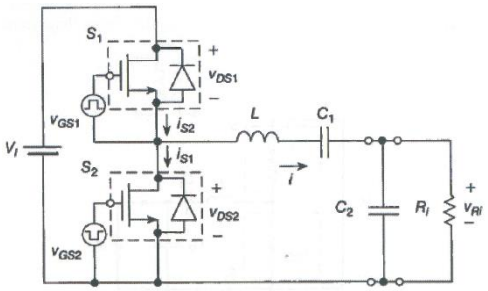
インバータ回路には，インダクタとキャパシタの共振現象を利用した共振形インバータ回路が存在する。前節にて述べたインバータ回路は，いずれも共振現象を利用していない。共振形インバータ回路はいずれも共振現象を利用しており，スイッチング周波数によってインダクタやキャパシタのパラメータが固定されるため，回路の設計条件を決定してから回路パラメータを設計する場合が多い。そのため，動作条件とは大きく異なる条件では，理想的なインバータ回路の動作が達成されない場合がある。以降，共振形インバータ回路の代表例として，LLC インバータ回路，E 級インバータ回路について，それぞれの構成と特性を述べる。

2.2.1 LLC インバータ

図 2-9 に LLC インバータの回路図を示す。図 2-9 に示すように，LLC インバータ回路はハーフブリッジインバータ回路に対して，負荷として抵抗だけでなくインダクタとキャパシタを接続した構成をとる。



(a) 負荷抵抗と直列にインダクタおよびキャパシタを接続する場合

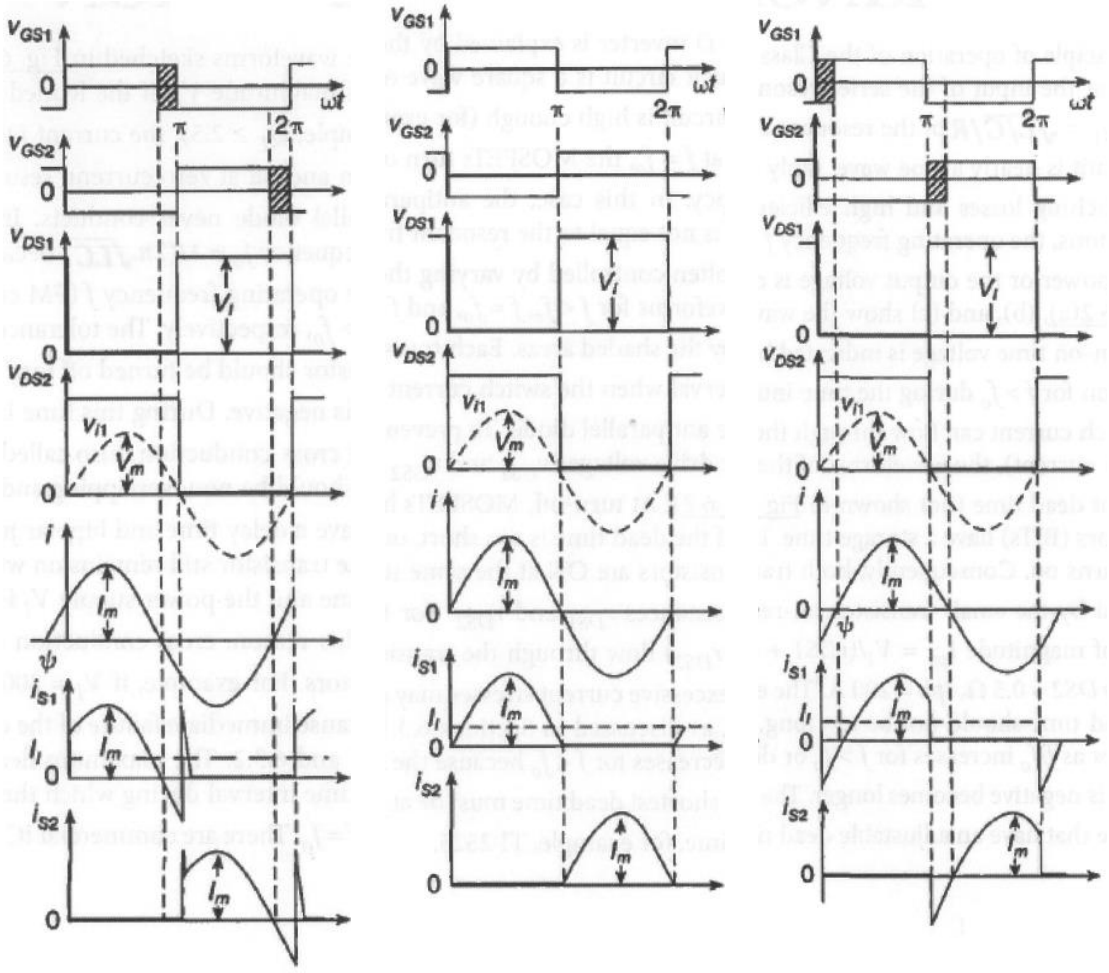


(b) 負荷抵抗と直列にインダクタを，直並列にキャパシタを接続する場合

図 2-9 LLC インバータ回路[3]

図 2-9 に示すように，インダクタとキャパシタの接続法は種々あるが，基本的な特性は同一である。図 2-9(a)に示す回路は，負荷と直列にインダクタとキャパシタが接続されている。インダクタとキャパシタの共振周波数において，インダクタとキャパシタの直列接続部のインピーダンスは理論上 0 となり，負荷抵抗成分のみが現れる。つまり，スイッチング周波数を共振周波数と合わせて動作させた場合，スイッチング周波数における出力インピーダンスは負荷抵抗のみとなる。ハーフブリッジ回路で出力される矩形波は，基本周波数成分に加え各高調波成分も含む波形であるため，負荷抵抗には基本周波数成分のみが印加され，基本周波数の正弦波電圧が観測される。一方で，共振周波数とは異なるスイッチング周波数で動作させた場合，共振周波数における出力インピーダンスと異なるため，その回路動作も異なる。また，LLC インバータにおいてスイッチS_1およびスイッチS_2のオンデューティは 0.5 であり，それぞれのスイッチが交互にオンオフする。

図 2-10 に LLC インバータ回路の各波形を示す。なお，図 2-10 において，(a)はスイッチング周波数が共振周波数よりも高い場合，(b)はスイッチング周波数と共振周波数が同じ場合，(c)はスイッチング周波数が共振周波数よりも低い場合をそれぞれ示す。



(a) $f_s < f_r$の場合　　(b) $f_s = f_r$の場合　　(c) $f_s > f_r$の場合

図 2-10 LLC インバータ回路における各波形[3]

図 2-10 に示すように，LLC インバータ回路はそのスイッチング周波数によって各波形が異なる。スイッチング周波数が共振周波数と同じ場合，図 2-10(b)に示すようにターンオンおよびターンオフ時双方において，電流が 0 A であることからソフトスイッチングが達成される。スイッチング周波数が共振周波数と異なる場合においても，ターンオン時およびターンオフ時にソフトスイッチングが達成されるため，高効率かつ EMI ノイズの小さい動作が可能となる。また，ソフトスイッチングが達成されることから，高周波でスイッチングさせた場合においてもスイッチング損失の増加は問題とはならないが，ハーフブリッジ回路と同様に，上下のスイッチをそれぞれ同期をとってスイッチングしなければならず，高周波領域での動作は困難である。

2.2.2 E 級インバータ

図 2-11 に E 級インバータの回路図を示す。E 級インバータ回路は負荷抵抗と 1 つのスイッチに加え，インダクタ 2 つとキャパシタ 2 つを有する。図 2-12 に E 級インバータ回路の各波形を示す。

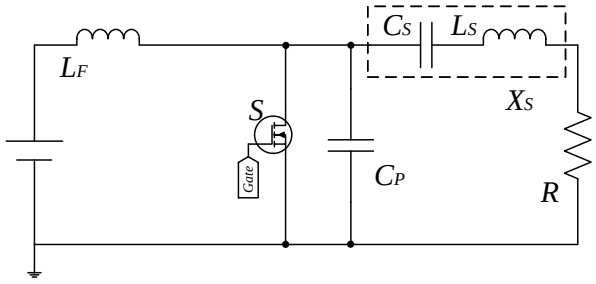


図 2-11 E 級インバータ回路

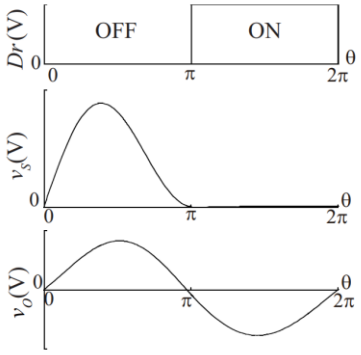


図 2-12 E 級インバータの各波形[4]

図 2-12 の各波形は，$D_r(V)$はゲート電圧，$v_s(V)$はドレイン-ソース間電圧，$v_o(V)$は出力電圧をそれぞれ表す。図 2-11 に示すように，E 級インバータ回路は 1 つのスイッチングデバイスのみでインバータ回路を実現している。また，図 2-12 に示すように，E 級インバータ回路はその回路トポロジより，ゼロ電圧スイッチングが達成されるため，他の共振形インバータ回路と同様にソフトスイッチングが達成される。そのため，スイッチング周波数増加に伴うスイッチング損失の増大は問題とならない。また，ハーフブリッジインバータ，フルブリッジインバータとは異なり，スイッチが 1 つしか存在しないため，他のスイッチと同期をとる必要がない。そのため，高速演算が可能なコントローラは不要であり，またスイッチング遅延時間を考慮することなく動作可能である。ただし，スイッチングデバイスのドレイン-ソース間に印加される電圧のピーク値は，入力電圧の約 4 倍となるため，入力電圧を引き上げるためには，ドレイン-ソース間の耐電圧が高いスイッチングデバイスを用いる必要がある。

2.3 Φ2 級インバータ回路の構成

前節まで，共振形を含む各インバータの構成および特徴を述べた。表 2-1 表 1-1 に各インバータの特徴を示す。

表 2-1 各インバータ回路の特徴

	ハーフブリッジインバータ	フルブリッジインバータ	プッシュプルインバータ	LLCインバータ	E 級インバータ
スイッチ数	2	4	2	2	1
インダクタ数	0	0	0	1	2
キャパシタ数	0	0	0	1	2
トランス数	0	0	1	0	0
ソフトスイッチング	未達成(補助回路の適用により達成)	未達成(補助回路の適用により達成)	達成	達成	達成
制御の容易さ	やや容易	困難	容易	やや容易	とても容易
周辺回路の煩雑さ	やや煩雑	煩雑	簡略	やや煩雑	とても簡略
スイッチングデバイス電圧利用率	高い	高い	高い	高い	とても低い
適用可能負荷範囲	制限なし	制限なし	やや制限あり	やや制限あり	制限あり

表 2-1 に示すように，各インバータ回路は一長一短の特性を有する。ハーフブリッジインバータやフルブリッジインバータはスイッチングデバイスのみで構成されるため，部品点数は少なくなるが，ソフトスイッチングは未達成となるほか，ハイサイド側専用のスイッチングデバイスの駆動回路を設ける必要がある。一方で，共振形インバータ回路では，インダクタやキャパシタなどの受動部品を設ける必要はあるものの，ソフトスイッチングが達成される。ただし，適用可能な負荷範囲に制限があるほか，E 級インバータではスイッチングデバイスの電圧利用率が低い問題も有する。

これらの各インバータ回路が有する問題を解決するために，新しいインバータ回路として Φ2 級インバータ回路が提案されている[5][6]。図 2-13 に Φ2 級インバータ回路の回路図を示す。図 2-13 に示すように，Φ2 級インバータ回路は E 級インバータと同様に，スイッチングデバイスを 1 つのみ有する 1 石形のインバータ回路である。Φ2 級インバータ回路の特徴として，以下の事柄が挙げられる[5][6]。

・スイッチデバイスが 1 つのみで，直流から交流への電力変換が可能
・ターンオン時およびターンオフ時双方において，ソフトスイッチングが達成
・スイッチングデバイスのドレイン-ソース間(D-S 間)にかかるピーク電圧が，
　E 級インバータと比較して約半分まで抑えられる

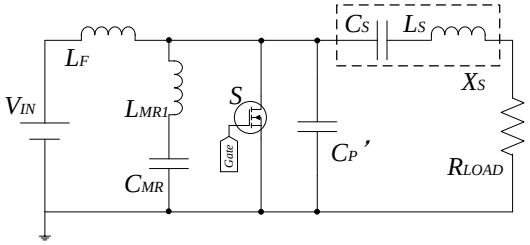
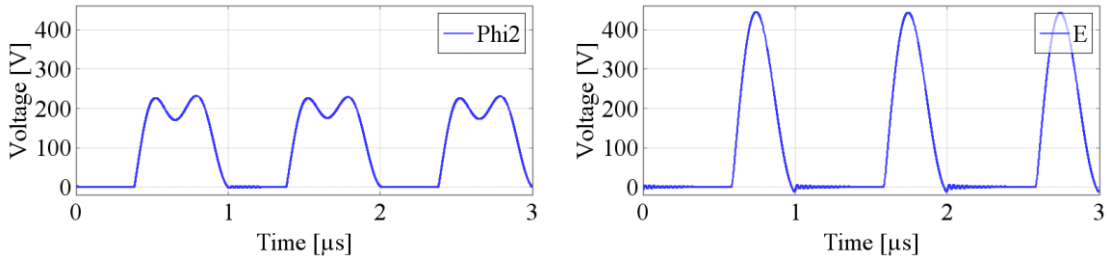


図 2-13 Φ2 級インバータ回路

Φ2 級インバータ回路の最も大きな特徴の一つとして，1 つのみのスイッチングデバイスを有することが挙げられる。フルブリッジインバータやハーフブリッジインバータなどは，最低 2 つ以上のスイッチングデバイスを用いる必要がある。前述したように，これらの回路では，上下アームの同期をとってスイッチングさせる必要がある。スイッチング周波数が 1MHz 以下のような周波数領域では問題とならないが，数 MHz 以上の高周波領域では，上下アームのスイッチングタイミングを揃えることが困難になる。特に，上下アームの短絡を防ぐために挿入されるデッドタイムも考慮すると，きわめて高度な制御技術および高速演算が可能な信号入力制御器が必要となる。Φ2 級インバータ回路はスイッチングデバイス 1 つのみ有するため，スイッチングタイミングの同期をとる必要がなく，スイッチング周波数を数 MHz に設定した場合でもこのような問題は発生しない。

また，Φ2 級インバータ回路はターンオン時およびターンオフ時にソフトスイッチングが達成される。インダクタやキャパシタなど受動素子の小型化を目的として，スイッチング周波数を上げる場合，ソフトスイッチングが達成されない回路では，スイッチング周波数に比例してスイッチング損失も増加する。そのため，受動素子の小型化とスイッチング損失は反比例関係にある。スイッチング損失の増加は，損失で発生する熱の放熱方法など，回路に対する新たな懸念事項となる。一方で，ソフトスイッチングが達成される回路の場合，スイッチング周波数を引き上げても，スイッチング損失は増加しないため，受動素子の小型化が容易となる。また，スイッチング損失で発生する熱を放熱させるためのヒートシンクを小型化できるため，電力変換回路はより小型化される。

Φ2 級インバータ回路のスイッチングデバイスには，入力電圧の約 2 倍の電圧が印加される。図 2-14 に入力電圧および出力電力を同一条件とした場合における，Φ2 級インバータ回路と E 級インバータ回路それぞれのドレイン-ソース間電圧 V_{DS} を示す。なお，図 2-14 に示す波形は入力電圧，負荷抵抗，出力電力の条件を揃えている。



(a) Φ2 級インバータ　　(b) E 級インバータ

図 2-14 各インバータにおけるV_{DS}波形

図 2-14 に示すように，Φ2 級インバータ回路のスイッチングデバイスには，入力電圧(100 V)の約 2 倍である約 220 V が印加されている。一方で，E 級インバータ回路のスイッチングデバイスには，入力電圧の約 4 倍である 400 V 程度が印加されている。よって，スイッチングデバイスの電圧ストレス削減の観点から，Φ2 級インバータ回路は有利である。

一般的に，GaN-HFET のドレイン-ソース間電圧は，Si-MOSFET や SiC-MOSFET と比べて低い。これは，GaN-HFET が横型デバイスであるため，同じ性能を保ちながら耐圧を高くするのが困難であるためである。GaN-HFET を適用する場合，ドレイン-ソース間にかかる電圧ストレスが小さいほうが望ましいため，Φ2 級インバータ回路への適用が望ましい。

よって，前節で述べた各インバータ回路と比較して，Φ2 級インバータ回路は優れた特性を有し，さまざまなアプリケーションへの適用が期待される。

一方で，Φ2 級インバータ回路には下記のようなデメリットも存在する。

・回路中において，制御可能なパラメータは入力電圧のみである
・各回路パラメータは負荷抵抗や入力電圧などの動作条件に大きく依存する

Φ2 級インバータ回路の基本動作では，同一スイッチング周波数において，同一デューティ比でスイッチングデバイスを駆動させる必要がある。次節で述べるように，Φ2 級インバータ回路は，動作するスイッチング周波数を定めて各回路パラメータを決定するため，スイッチング周波数に対する余裕度がほぼ存在しない。また，デューティ比も回路トポロジより 0.25 から 0.35 程度の一定値に固定されるため，自由度は限られる。つまり，スイッチング周波数やデューティ比で，変換電力量や出力電圧を制御することはできない。これらを逆説的に考える場合，一定スイッチング周波数において，一定デューティでスイッチングデバイスを動作させるだけで回路は動作する，ということになる。つまり，フィードフォワード制御やフィードバック制御なしに，回路は正常に動作し，能動的制御なしにインバータ回路が実現される。

また，Φ2 級インバータ回路の各回路パラメータは負荷抵抗およびその動作条件に依存する。これは他の共振形電力変換回路でも同様である。よって，所望とする動作条件を設定したのち，回路パラメータを設計する必要がある。よって，負荷抵抗値が設計時の条件より変わる場合，同じ回路パラメータでの条件下では動作が困難であるため，後段に追加の電力変換回路を接続し，負荷インピーダンスを変更する必要がある。

2.4 Φ2 級インバータ回路の設計法と特性

Φ2 級インバータ回路の各回路パラメータは前節で述べたように，運転条件や負荷抵抗に依存する。Φ2 級インバータ回路の動作原理は文献[5]および[6]で記述されているが，本論文では詳細に述べない。Φ2 級インバータ回路の設計手順を以下に示す。各回路パラメータの設計手順は文献[5]および[6]を参考にした。

i. 負荷R，入力電圧V_{IN}，出力電力P_{OUT}，動作周波数f_sを決定する。

ii. 式(2-1)から式(2-3)に従って，リアクタンスX_sを算出する。

$$X_S = R \cdot \sqrt{\left(v_{ds1,RMS}/v_{load1,RMS}\right)^2 - 1} \tag{2-1}$$

$$v_{ds1,RMS} = \left(4/\pi\sqrt{2}\right) \cdot V_{IN} \tag{2-2}$$

$$v_{load1,RMS} = \sqrt{P_{OUT} \cdot R} \tag{2-3}$$

ここで，$v_{load1,RMS}$は所望する出力交流電圧の実効値，$v_{ds1,RMS}$はドレイン-ソース間に印加される電圧の実効値，P_{OUT}は所望する出力電力，Rは負荷抵抗値，V_{IN}は入力電圧，X_Sは図 2-13 中の点線部で囲われているインピーダンスを表す。

iii. リアクタンスX_Sを構成するキャパシタC_Sの値を任意に選択し，インダクタL_Sの値を決定する。キャパシタC_Sは直流成分阻止の役割を持つため，負荷抵抗に直流成分が印加されない適切な値を選択する。

iv. スイッチングデバイスと並列に配置されるキャパシタC_Pのパラメータを選択する。キャパシタC_Pのキャパシタンスは，スイッチングデバイスの出力容量が持つ可変特性による回路への影響を緩和するため，その出力容量よりも大きくすることが望ましい。

v. 式(2-4)から式(2-6)に従ってインダクタL_F，L_{MR}およびキャパシタC_{MR}の各パラメータを算出する。ここで，C_fのキャパシタンスは任意に決定して問題ないが，以下の設計では，キャパシタC_Pと同様の値を選択する。

$$L_{MR} = 1/(15\pi^2 \cdot {f_s}^2 \cdot C_F) \tag{2-4}$$

$$C_{MR} = 15 \cdot C_F/16 \tag{2-5}$$

$$L_F = 1/(9\pi^2 \cdot f_s \cdot C_F) \tag{2-6}$$

ここで，f_sはスイッチング周波数を表す。

vi. 計算によって求められた各値を用いて，ドレイン-ソース間のインピーダンスの大きさおよびインピーダンス位相を求める。

vii. ソフトスイッチングを達成するため，基本スイッチング周波数(f_s)におけるインピーダンス位相がおおむね 40°，かつ 3 倍スイッチング周波数($3f_s$)におけるインピーダンス強度の差が 4~8 dBΩ となるように，各パラメータの値を調節する。

以上が Φ2 級インバータ回路の各回路パラメータ設計法である。

2.4.1 スイッチング周波数 1MHz の場合

2.4.1.1 GaN-HFET 適用時における設計

はじめに，負荷R，入力電圧V_{IN}，出力電力P_{OUT}，動作周波数f_sを決定する。表 2-2 にスイッチング周波数を 1MHz に設定した場合における各動作条件を示す。使用するデバイスは Panasonic 社製 GaN-HFET PGA26C09DV である。表 2-3 に本デバイスの回路パラメータを，図 2-15 に PGA26C09DV のデータシートより抜粋したドレイン電圧に対する入力容量C_{iss}・出力容量C_{oss}・帰還容量C_{rss}の特性を示す。なお，図 2-15 に示す図は，共同研究先のパナソニック株式会社からご提供いただいた資料をベースに記載している。

表 2-2 スイッチング周波数 1MHz 時における動作条件

電源電圧V_{IN}	100 V	出力電力P_{OUT}	100 W
動作周波数f_s	1 MHz	負荷R	50 Ω

表 2-3 Panasonic PGA26C09DV の主要パラメータ

最大ドレイン-ソース間電圧	600 V	最大ドレイン電流	15 A
ゲート閾値電圧	1.2 V	オン抵抗	71 mΩ

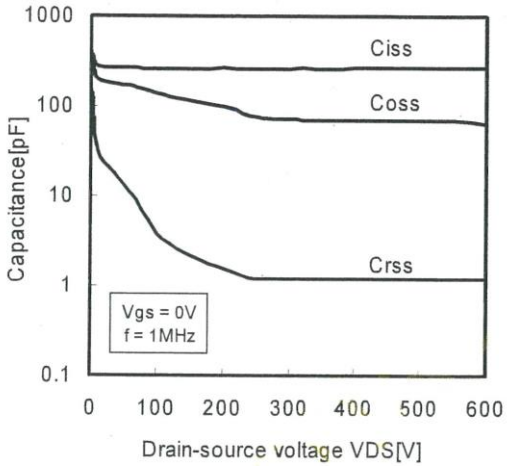


図 2-15 Panasonic PGA26C09DV のドレイン電圧に対する各寄生容量

図 2-15 に示すように，GaN-HFET の寄生容量のうち，出力容量および帰還容量はドレイン電圧に依存して，その値が変化する。入力容量のドレイン電圧に対する依存性は小さく，出力容量もその依存性は高くない。前述したように，Φ2 級インバータ回路の設計において重要であるのは出力容量である。表 2-2 に示すように，Φ2 級インバータ回路の入力電圧は 100V に設定している。そのため，動作中にドレイン-ソース間に印加される電圧は，入力電圧の 2 倍である 200V である。ドレイン-ソース間電圧が 200V の場合，GaN-HFET の出力容量は図 2-15 より約 100pF である。よって，本設計において GaN-HFET の出力容量は 100pF に設定する。

つづいて，式(2-1)から(2-3)に従って，リアクタンスX_Sを算出する。

$$
\begin{aligned}
X_S &= R \cdot \sqrt{\left(v_{ds1,RMS}/v_{load1,RMS}\right)^2 - 1} \\
&= R \cdot \sqrt{\left(\left(4/\pi\sqrt{2}\right) \cdot V_{IN}/\sqrt{P_{OUT} \cdot R}\right)^2 - 1} \\
&= 50 \cdot \sqrt{\left(\left(4/\pi\sqrt{2}\right) \cdot 100/\sqrt{100 \cdot 50}\right)^2 - 1} \\
&= 39.41\ [\Omega]
\end{aligned}
$$

よって，リアクタンスX_Sは 39.41 Ω に設定される。ここで，直流成分阻止の役割を持つキャパシタC_Sは 20nF に設定する。よって，インダクタL_Sは下記のように計算される。

$$
\begin{aligned}
L_S &= (X_S + 1/\omega C)/\omega \\
&= \{39.41 + 1/(2\pi \cdot 1 \times 10^6 \cdot 20 \times 10^{-9})\}/2\pi \cdot 1 \times 10^6 \\
&= 7.538\ [\mu H]
\end{aligned}
$$

つづいて，キャパシタC_Pのキャパシタンスを決定する。今回の設計では，GaN-HFET の出力容量よりも十分に大きい 1000 pF とした。

式(2-4)～式(2-6)を用いて，共振タンクの各回路パラメータおよびインダクタL_Fのパラメータを算出する。式(2-5)および式(2-6)中に含まれるキャパシタC_Fの値は，キャパシタC_Pと同一に設定した。

$$
\begin{aligned}
L_{MR} &= 1/(15\pi^2 \cdot {f_s}^2 \cdot C_F) \\
&= 1/(15\pi^2 \cdot (1 \times 10^6)^2 \cdot 1000 \times 10^{-12}) \\
&= 6.755\ [\mu H]
\end{aligned}
$$

$$
\begin{aligned}
C_{MR} &= 15 \cdot C_F/16 \\
&= 15 \cdot 1000 \times 10^{-12}/16 \\
&= 937.5\ [pF]
\end{aligned}
$$

$$
\begin{aligned}
L_F &= 1/(9\pi^2 \cdot f_s \cdot C_F) \\
&= 1/(9\pi^2 \cdot 1 \times 10^6 \cdot 1000 \times 10^{-12}) \\
&= 11.26\ [\mu H]
\end{aligned}
$$

表 2-4 に上記の手順で算出された回路パラメータを示す。ただし，この回路パラメータはドレイン-ソース間のインピーダンス調整前のパラメータであり, 設計手順 vii に示すインピーダンス条件を満たす必要がある。図 2-16 に表 2-4 のパラメータにおけるインピーダンスZ_{DS}の大きさおよび位相を示す。

表 2-4 算出された Φ2 級インバータ回路の各パラメータ(インピーダンス調整前, 1MHz)

スイッチング周波数 f_s	1 MHz	負荷抵抗 R	50 Ω
入力電圧 V_{IN}	100 V	出力電力 P_{OUT}	100 W
インダクタ L_F	11.26 μH	キャパシタ C_P	1000 pF
インダクタ L_{MR}	6.755 μH	キャパシタ C_{MR}	937.5 pF
インダクタ L_S	7.538 μH	キャパシタ C_S	20 nF
-	-	出力容量 C_{OSS}	100 pF

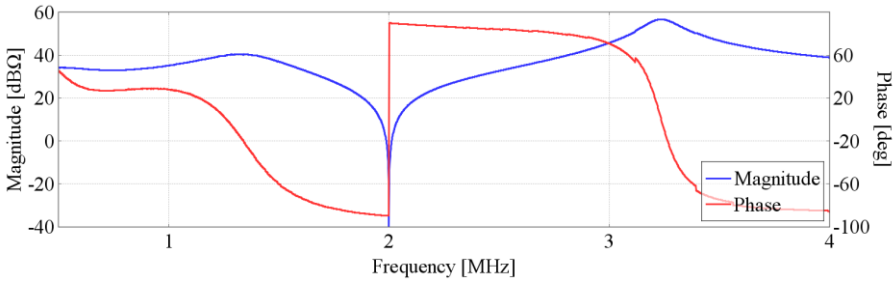


図 2-16 インピーダンスZ_{DS}の大きさおよび位相 (調整前, 1MHz)

図 2-16 より，インピーダンスZ_{DS}の大きさおよび位相は，スイッチング周波数 1MHz 時において[36.30 dBΩ，36.40°]，3 倍スイッチング周波数 3MHz 時において[46.09 dBΩ，63.70°]である。これらの各値は，前述した Φ2 級インバータ回路におけるインピーダンス条件を満たさない。よって，各回路パラメータを調整し，インピーダンス条件を満足する必要がある。今回の設計では，インダクタL_FおよびキャパシタC_Pの各パラメータを 5.900μH および 2900 pF へとそれぞれ調整する。表 2-5 にインピーダンスZ_{DS}調整後における各回路パラメータ，図 2-17 にインピーダンスZ_{DS}の大きさおよび位相を示す。

表 2-5 算出された Φ2 級インバータ回路の各パラメータ(インピーダンス調整後, 1MHz)

スイッチング周波数 f_s	1 MHz	負荷抵抗 R	50 Ω
入力電圧 V_{IN}	100 V	出力電力 P_{OUT}	100 W
インダクタ L_F	5.900 μH	キャパシタ C_P	2900 pF
インダクタ L_{MR}	6.755 μH	キャパシタ C_{MR}	937.5 pF
インダクタ L_S	7.538 μH	キャパシタ C_S	20 nF
-	-	出力容量 C_{OSS}	100 pF

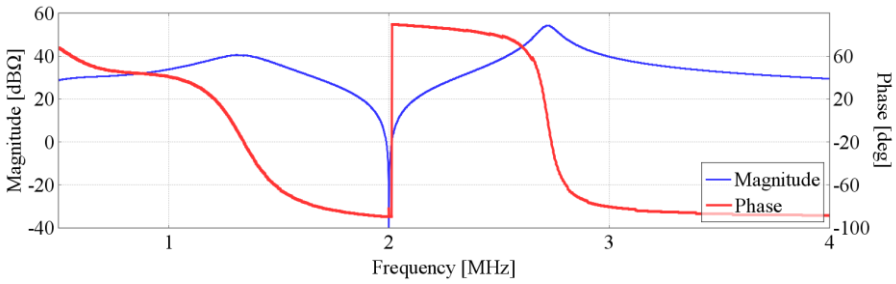


図 2-17 インピーダンスZ_{DS}の大きさおよび位相 (調整後, 1MHz)

図 2-17 に示すインピーダンスZ_{DS}調整後の大きさおよび位相は，スイッチング周波数 1MHz 時において[35.19 dBΩ, 59.26°], 3 倍スイッチング周波数 3MHz 時において[29.43 dBΩ, -88.79°]である。各周波数において，インピーダンスの大きさの差は 5.76 dBΩ であり，前述のインピーダンス条件を満たす。スイッチング周波数時における位相は 59.26°であり，これ

も同様に条件を満たす。よって，上記にて Φ2 級インバータ回路の主回路パラメータ設計が完了する。

2.4.1.2 Si-MOSFET 適用時における設計

前項と同様の算出法を用いて，Si-MOSFET 適用時における各回路パラメータを設計する。今回使用する Si-MOSFET は Toshiba TK31E60W である。本 Si-MOSFET を選定した理由として，Panasonic 社製 GaN-HFET PGA26C09DV と比較してドレイン-ソース間耐電圧が同じであるほか，オン抵抗が近い値であるためである。表 2-6 に Toshiba TK31E60W の主要パラメータを，図 2-18 に Toshiba TK31E60W のデータシートより抜粋したドレイン電圧に対する入力容量C_{iss}・出力容量C_{oss}・帰還容量C_{rss}特性を示す。

表 2-6 Toshiba TK31E60W の主要パラメータ

最大定格電圧	600 V	最大ドレイン電流	30 A
ゲート閾値電圧	2.7 V	オン抵抗	73 mΩ

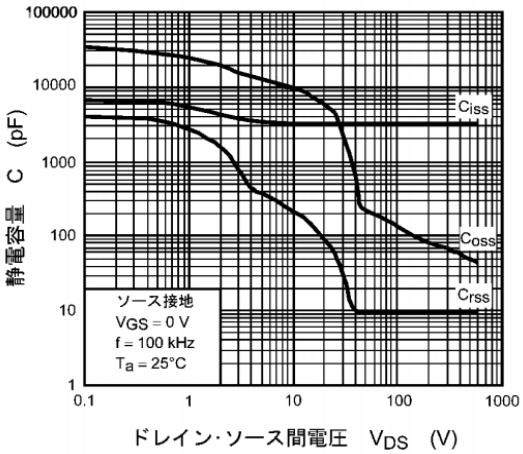


図 2-18 Toshiba TK31E60W のドレイン電圧に対する各寄生容量[7]

図 2-18 に示すように，GaN-HFET とは異なり Si-MOSFET の各寄生容量はドレイン-ソース間電圧により大きく変化する。他の寄生容量と比べ入力容量のドレイン-ソース間電圧に対する依存性は低いが，出力容量は数 100 倍レベルで変化する。本図より，Si-MOSFET の出力容量を推定する。表 2-2 より，Φ2 級インバータ回路の入力電圧は 100V であることから，Si-MOSFET には 200V が印加される。Toshiba TK31E60W のドレイン-ソース間電圧が 200V の場合，出力容量はおよそ 80pF である。よって，本設計において Si-MOSFET の出力容量は 80pF に設定する。

つづいて，各式に基づいて各主回路パラメータを設計するが，一部を除いた基本的な設計法は GaN-HFET 適用時と同一であるためここでは省略する。GaN-HFET 適用時と比べて異

なるのは出力容量である。Si-MOSFET の持つドレイン電圧に対する各寄生容量特性は，GaN-HFET のものと比べて大きく異なるが，Φ2 級インバータ回路のパワー系において影響するのは出力容量C_{OSS}のみであるため，この差異だけ考慮すればよい。Φ2 級インバータ回路において，スイッチングデバイスには並列してキャパシタC_Pが接続されている。よって，スイッチングデバイスが有する出力容量C_{OSS}はキャパシタC_Pと合成して考えることができる。出力容量C_{OSS}とキャパシタC_Pそれぞれのキャパシタンスを合成したきの値を$C_P{}'$とした場合，前目の GaN-HFET 適用時において$C_P{}'$は$C_P{}' = C_{OSS} + C_P = 2900\ [\mathrm{pF}] + 100\ [\mathrm{pF}] = 3000\ [\mathrm{pF}]$となる。たとえ，スイッチングデバイスを変更した場合においても，$C_P{}'$が同一であれば回路動作は同じとなる。よって，Si-MOSFET の出力容量C_{OSS}を 80 pF に設定した場合，キャパシタC_Pのキャパシタンスは 2920 pF に設定すればよい。よって，Si-MOSFET 適用時における各回路パラメータは表 2-7 に示すものとなる。

表 2-7 インピーダンスZ_{DS}調整後の回路パラメータ

スイッチング周波数 f_s	1 MHz	負荷抵抗 R	50 Ω
入力電圧 V_{IN}	100 V	出力電力 P_{OUT}	100 W
インダクタ L_F	5.900 μH	キャパシタ C_P	2920 pF
インダクタ L_{MR}	6.755 μH	キャパシタ C_{MR}	937.5 pF
インダクタ L_S	7.538 μH	キャパシタ C_S	20 nF
-	-	出力容量 C_{OSS}	80 pF

2.4.2 スイッチング周波数 13.56MHz の場合

表 2-8 にスイッチング周波数 13.56MHz 時における設計条件を示す。使用するデバイスはスイッチング周波数 1MHz 時と同様に，Panasonic 製 GaN-HFET PGA26C09DV である。

表 2-8 スイッチング周波数 13.56 MHz 時における設計条件

電源電圧V_{IN}	100 V	出力電力P_{OUT}	100 W
動作周波数f_s	13.56 MHz	負荷R	50 Ω

つづいて，式(2-1)から(2-3)に従って，リアクタンスX_Sを算出する。

$$X_S = R \cdot \sqrt{\left(v_{ds1,RMS}/v_{load1,RMS}\right)^2 - 1}$$

$$= R \cdot \sqrt{\left(\left(4/\pi\sqrt{2}\right) \cdot V_{IN}/\sqrt{P_{OUT} \cdot R}\right)^2 - 1}$$

$$= 50 \cdot \sqrt{\left(\left(4/\pi\sqrt{2}\right) \cdot 100/\sqrt{100 \cdot 50}\right)^2 - 1}$$

$$= 39.41\ [\Omega]$$

よって，リアクタンスX_Sは 39.41 Ω に設定される。ここで，キャパシタC_Sは 1 nF に設定する。

$$L_S = (X_S + 1/\omega C)/\omega$$
$$= \{39.41 + 1/(2\pi \cdot 13.56 \times 10^6 \cdot 2 \times 10^{-9})\}/2\pi \cdot 13.56 \times 10^6$$
$$= 600 \text{ [nH]}$$

つづいて，キャパシタC_Pのキャパシタンスを決定する。スイッチング周波数 13.56MHz の場合における設計では 50 pF とした。

式(2-4)～式(2-6)を用いて，共振タンクの各回路パラメータおよびインダクタL_Fのパラメータを算出する。式(2-5)および式(2-6)中に含まれるキャパシタC_Fの値は，キャパシタC_{MR}を 50 pF に設定するため，53.3 pF とする。

$$L_{MR} = 1/(15\pi^2 \cdot {f_s}^2 \cdot C_F)$$
$$= 1/(15\pi^2 \cdot (13.56 \times 10^6)^2 \cdot 53.3 \times 10^{-12})$$
$$= 689.0 \text{ [nH]}$$

$$C_{MR} = 15 \cdot C_F/16$$
$$= 15 \cdot 53.3 \times 10^{-12}/16$$
$$= 50\ [pF]$$

$$L_F = 1/(9\pi^2 \cdot f_s \cdot C_F)$$
$$= 1/(9\pi^2 \cdot 13.56 \times 10^6 \cdot 53.3 \times 10^{-12})$$
$$= 1.531 \text{ [μH]}$$

表 2-9 に上記の手順で算出された回路パラメータを示す。ただし，この回路パラメータはドレイン-ソース間のインピーダンス調整前のパラメータであり, 設計手順 vii に示すインピーダンス条件を満たす必要がある。図 2-19 に表 2-9 のパラメータにおけるインピーダンスZ_{DS}の大きさおよび位相を示す。

表 2-9 算出された Φ2 級インバータ回路の各パラメータ(インピーダンス調整前, 13.56MHz)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	100 V	出力電力P_{OUT}	100 W
インダクタL_F	1.531 μH	キャパシタC_P	50 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF
-	-	出力容量 C_{OSS}	100 pF

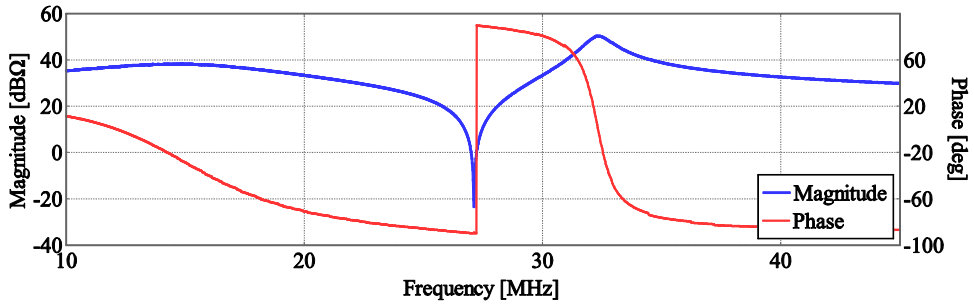


図 2-19 インピーダンスZ_{DS}の大きさおよび位相 (調整前, 13.56MHz)

図 2-19 より，インピーダンスZ_{DS}の大きさおよび位相は，スイッチング周波数 1MHz 時において[37.97 dBΩ, -12.71°], 3 倍スイッチング周波数 3MHz 時において[32.06 dBΩ, -85.51°]である。これは，スイッチング周波数時におけるインピーダンスの大きさが 3 倍スイッチング周波数時と比べて 4～8 dB ほど高く，スイッチング周波数時において位相は 30°から 60°であるという条件を満たさない。よって，スイッチング周波数 1MHz 設計時と同様に，前述の条件を満たすように回路パラメータを調整する必要がある。インダクタL_Fを小さくする微調整を行う。表 2-10 に変更後の各回路パラメータを，図 2-20 にインピーダンスの大きさおよび位相の計算結果を示す。

表 2-10 算出された Φ2 級インバータ回路の各パラメータ(インピーダンス調整後, 13.56MHz)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	100 V	出力電力P_{OUT}	100 W
インダクタL_F	480.0 nH	キャパシタC_P	50 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF
-	-	出力容量 C_{OSS}	100 pF

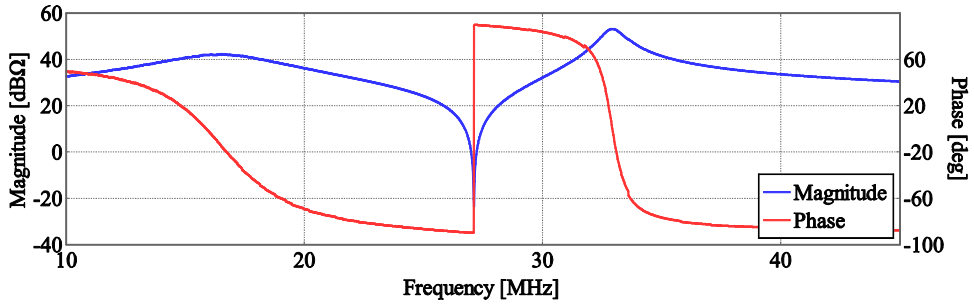


図 2-20 インピーダンスZ_{DS}の大きさおよび位相 (調整後, 13.56MHz)

図 2-20 に示すように，回路パラメータ調整後においてスイッチング周波数時におけるインピーダンスの大きさおよび位相は[38.01 dBΩ，34.33°]，3 倍スイッチング周波数時においては[32.96 dBΩ，-86.27°]である。回路パラメータを調整した場合，スイッチング周波数におけるインピーダンス位相は 34.33°であり，30°から 60°の範囲内である。また，スイッチング周波数時および 3 倍スイッチング周波数時とのインピーダンスの大きさの差は 5.05 dBΩ であり，前述の条件を満たしている。上記の手順にて，スイッチング周波数を 13.56MHz に設定した場合における，Φ2 級インバータ回路の各回路パラメータ設計が完了する。

2.5 シミュレーションを用いた動作検証

本節では，2.4 節で設計した Φ2 級インバータ回路の各回路パラメータを用いて，Φ2 級インバータ回路の基礎特性を確認する。シミュレーションソフトは LTSpice を用いる。以降，GaN-HFET 適用時および Si-MOSFET 適用時それぞれの場合におけるシミュレーション結果を示す。

2.5.1 GaN-HFET 適用時における結果

本項では，Φ2 級インバータ回路に対して GaN-HFET を適用した場合の動作検証を行う。図 2-21 にシミュレーションで用いる回路図を，表 2-11 にシミュレーションで用いる各回路パラメータを示す。なお，GaN-HFET の特性をより詳細に分析するため，設計時に用いたデバイスである Panasonic PGA26C09DV の特性を再現した Spice モデルをシミュレーションにおいて用いた。

2.5.1.1 スイッチング周波数 1MHz の場合

図 2-22 にスイッチング周波数 1MHz 時における各種波形を示す。また，GaN-HFET をオンするデューティ比は 0.35 に設定し，インダクタやキャパシタ，ゲートドライバなどは寄生パラメータ，立ち上がり遅れなどを無視した理想素子を用いている。

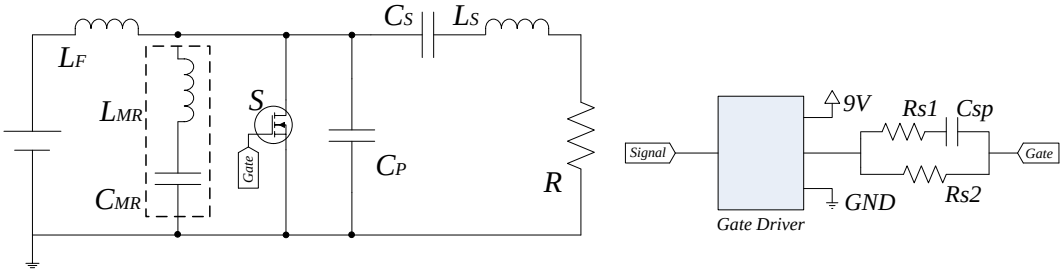


図 2-21 シミュレーションにおける Φ2 級インバータ回路(GaN-HFET)

表 2-11 シミュレーションに用いる回路パラメータ(GaN-HFET, 1MHz)

スイッチング周波数 f_s	1 MHz	負荷抵抗 R	50 Ω
入力電圧 V_{IN}	100 V	出力電力 P_{OUT}	100 W
インダクタ L_F	5.900 μH	キャパシタ C_P	2900 pF
インダクタ L_{MR}	6.755 μH	キャパシタ C_{MR}	937.5 pF
インダクタ L_S	7.538 μH	キャパシタ C_S	20 nF
ゲート駆動電源電圧 V_{CC}	9 V	キャパシタ C_{sp}	1500 pF
ゲート抵抗 R_{s1}	27.27 Ω	ゲート抵抗 R_{s2}	600 Ω

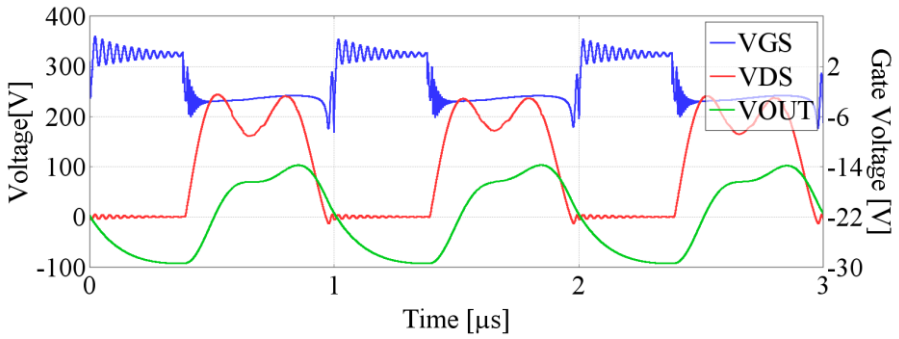


図 2-22 スイッチング 1MHz におけるシミュレーション波形(GaN-HFET)

図 2-22 に示す波形は，上から順にゲート電圧V_{GS}，ドレイン-ソース間電圧V_{DS}，出力電圧V_{OUT}をそれぞれ示す。図 2-22 に示すように，ドレイン-ソース間電圧波形はきれいな台形状波形が観測される。Φ2 級インバータ回路中の共振タンクよりピーク値抑制用高調波が注入されているためである。入力電圧 100V に対し，ドレイン-ソース間電圧のピーク値は入力電圧の約 2 倍である約 200V となっている。よって，E 級インバータ回路に比べ，Φ2 級インバータ回路のドレイン-ソース間電圧のピーク電圧は正常に抑制されている。また，ゲート電圧が立ち上がる瞬間であるターンオン時および，立ち下がる瞬間であるターンオフ時に，ドレイン-ソース間電圧はそれぞれ 0V となっていることから，ソフトスイッチングが達成されている。出力電圧もおおむね正弦波状電圧となっていることから，Φ2 級インバー

タ回路の理想的な動作が確認される。

2.5.1.2　スイッチング周波数 13.56MHz の場合

つづいて，スイッチング周波数 13.56MHz 時における動作を確認する。図 2-23 にスイッチング周波数 13.56MHz 時におけるシミュレーション波形を示す。なお，シミュレーションに用いた Φ2 級インバータ回路の各回路パラメータは，前節にて設計した表 2-10 に示すものを用いた。

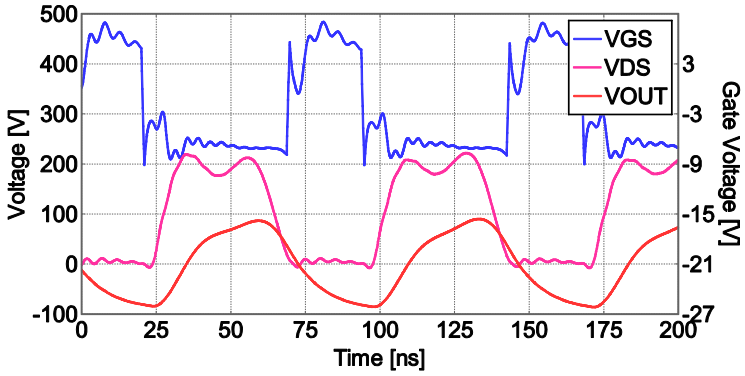


図 2-23 スイッチング 13.56MHz におけるシミュレーション波形(GaN-HFET)

図 2-23 に示すように，V_{DS}波形は台形状を示しピーク値が抑制されている。また，出力電圧もおおむね正弦波状となっており，正常な Φ2 級インバータ回路の動作が確認できる。ゲート電圧はターンオンおよびターンオフ時に電荷の出し入れに起因すると考えられる振動が発生しているが，スイッチングには影響のない範囲である。よって，スイッチング周波数 1MHz 時と同様に，シミュレーションにおいて，設計パラメータの妥当性が確認できた。

2.5.2 Si-MOSFET 適用時における結果

本項では，Si-MOSFET 適用時における Φ2 級インバータ回路の動作検証を行う。図 2-24 にシミュレーションで用いる回路図を，表 2-12 にシミュレーションで用いる各回路パラメータを示す。シミュレーションには GaN-HFET 適用時と同様に，設計に用いた MOSFET である Toshiba TK31E60W の特性を再現したスイッチングデバイスモデルを用いた。また，Si-MOSFET をオンするデューティ比は GaN-HFET 適用時と同じ 0.35 に設定した。図 2-25 にスイッチング周波数 1MHz 時における各波形を示す。

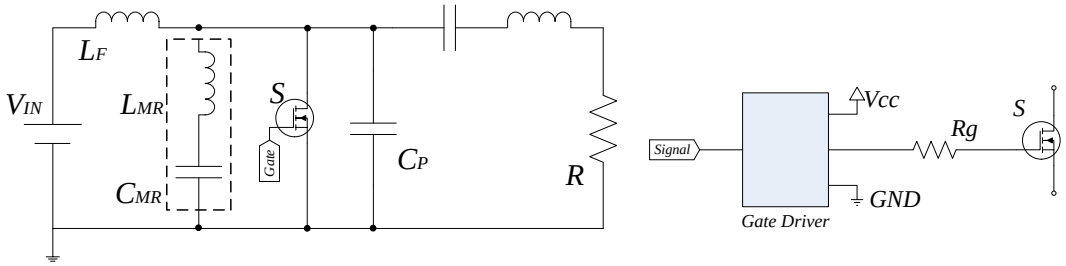


図 2-24 シミュレーションにおける Φ2 級インバータ回路(Si-MOSFET)

表 2-12 シミュレーションに用いる回路パラメータ(Si-MOSFET, 1MHz)

スイッチング周波数 f_s	1 MHz	負荷抵抗 R	50 Ω
入力電圧 V_{IN}	100 V	出力電力 P_{OUT}	100 W
インダクタ L_F	5.900 μH	キャパシタ C_P	2920 pF
インダクタ L_{MR}	6.755 μH	キャパシタ C_{MR}	937.5 pF
インダクタ L_S	7.538 μH	キャパシタ C_S	20 nF
ゲート駆動電源電圧 V_{CC}	9 V	ゲート抵抗 R_g	16.07 Ω

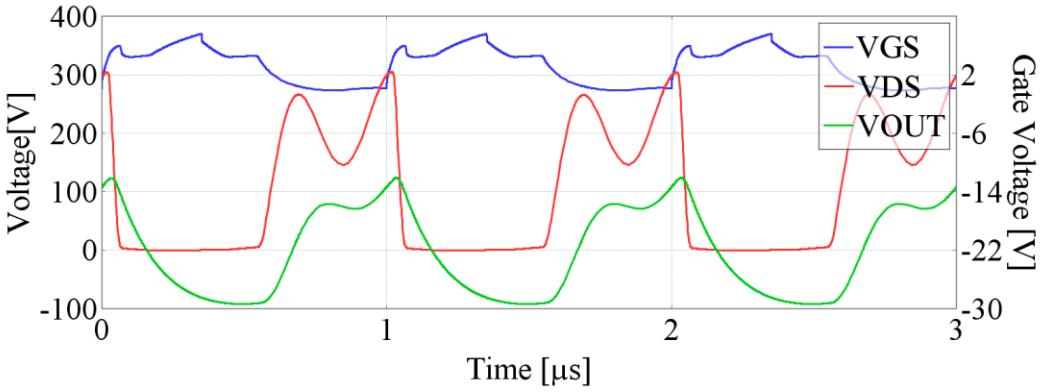


図 2-25 スイッチング 1MHz におけるシミュレーション波形(Si-MOSFET)

図 2-25 に示すように，2.4.1.2 節において設計した回路パラメータを用いた場合，理想的な波形は観測されない。ゲート電圧V_{GS}は矩形波状とならず，ターンオンおよびターンオフいずれもなまった波形が確認できる。特に，ターンオフに時間を要しているため，ドレイン-ソース間電圧V_{DS}の立ち上がりが遅くなっている。また，きれいな台形状波形とはならず，ターンオン時にハードスイッチングが発生している。V_{DS}波形のなまりにより，出力電圧V_{OUT}波形も正弦波状にはなっていない。今回，Si-MOSFET 適用時においても理想的な動作を達成するため，2.4.1.2 節において設計した回路パラメータを変更する。はじめに，Si-MOSFET のゲートを正しく駆動させるため，ゲート抵抗R_gの値を変更する。ターンオンおよびターンオフの速度を向上させるため，ゲート抵抗を 16.07 Ω から 6 Ω に変更し，より多くの電流を

ゲートに流し込めるようにする。また，ターンオフ時間を考慮し，デューティ比を 0.35 から 0.29 へ変更する。図 2-26 に各パラメータ変更後におけるシミュレーション波形を示す。

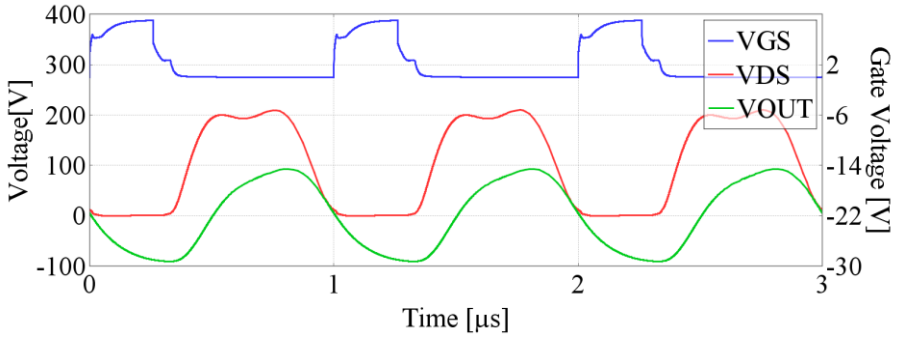


図 2-26 スイッチング 1MHz におけるシミュレーション波形(Si-MOSFET, パラメータ変更後)

図 2-26 に示すように，ゲート抵抗およびデューティ比を変更した場合，Si-MOSFET 適用時においても Φ2 級インバータ回路の理想的な動作が確認できる。ドレイン-ソース間電圧は理想的な台形状波形となり，出力電圧も正弦波状交流電圧が出力されている。ゲート電圧はターンオン時およびターンオフ時双方において，ミラー効果に起因すると考えられる波形のなまりが観測されるが，正しくゲート電圧が印加されていることから問題とはならない。よって，Si-MOSFET 適用時においても，Φ2 級インバータ回路の理想的な動作が確認できるが，設計した各回路パラメータを調整する必要がある。

2.6 実器を用いた動作検証

2.6.1 GaN-HFET 適用時における結果

本項では，実器を用いて GaN-HFET を適用した場合における Φ2 級インバータ回路の動作検証を行う。

2.6.1.1 スイッチング周波数 1MHz の場合

はじめに，スイッチング周波数 1MHz 時における結果を示す。表 2-13 に実器で用いる各回路パラメータを示す。また，図 2-27 に実器に使用したプリント基板，図 2-28 に動作検証に用いた実器の外観を示す。図 2-28 に示すように，スイッチング周波数 1MHz 時の動作検証時に用いたインダクタは鉄損による影響を排除するため，空芯インダクタとした。表 2-13 に示す各回路パラメータは製作の都合上，設計値およびシミュレーションで用いたパラメータとは若干異なる。図 2-29 に実器より得られる各波形を示す。

表 2-13 実器の回路パラメータ(GaN-HFET, 1MHz)

インダクタ L_F	PEW φ=1.3 mm, 12 Turn	5.950 μH
インダクタ L_{MR}	PEW φ=1.3 mm, 20 Turn	6.720 μH
インダクタ L_S	PEW φ=1.3 mm, 15 Turn	7.498 μH
キャパシタ C_P	470 pF×5　TDK C3216C0G2J471J085AA	2990 pF
	220 pF×2　TDK C3216C0G2J221J060AA	
	100 pF×2　AVX 12067A101JAT2A	
キャパシタ C_{MR}	150 pF×6　TDK C3216C0G2J151J060AA	937.5 pF
	22 pF×2　Murata GRM31A7U3A220JW31D	
キャパシタ C_S	4.7 nF×2　TDK C3216X7R2J472K115AA	19.9 nF
	1.5nF×2　TDK C3216C0G2J152J115AA	
無誘導抵抗 R	100 Ω×2 東海熱工業 ER100SP	50 Ω
ゲートドライバ	Microchip MCP1407-E/P	
ゲート抵抗 R_{s1}	110 Ω×4 Vishay CRCW1206110RFKEA	27.5 Ω
ゲート抵抗 R_{s2}	2.4 kΩ×4 Vishay CRCW12062K40FKEA	600 Ω
キャパシタ C_{sp}	470 pF×3 TDK C3216C0G2J471J085AA	1410 pF
GaN-HFET	Panasonic PGA26C09DV	

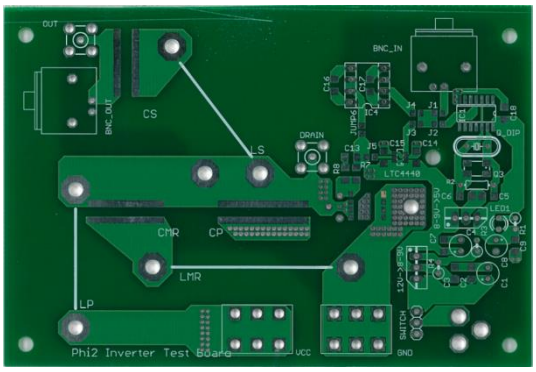


図 2-27 動作検証に用いたプリント基板

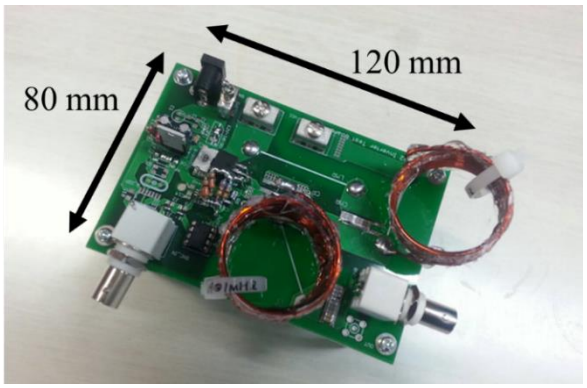
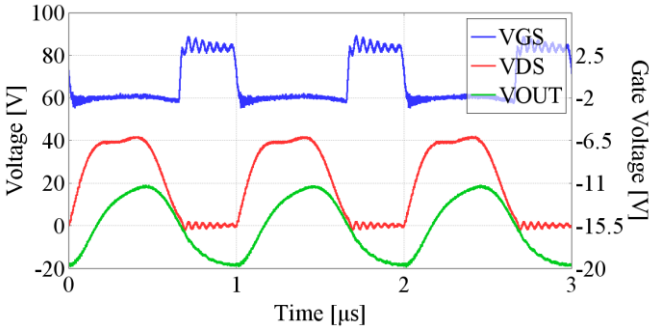
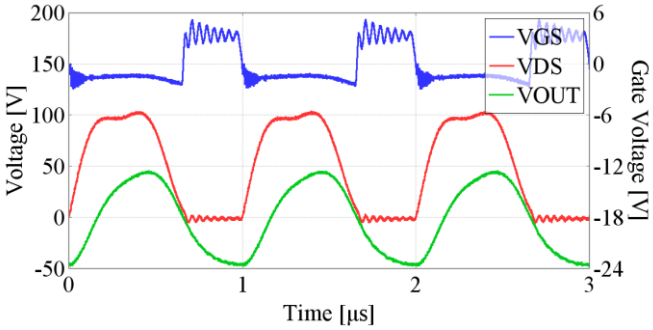


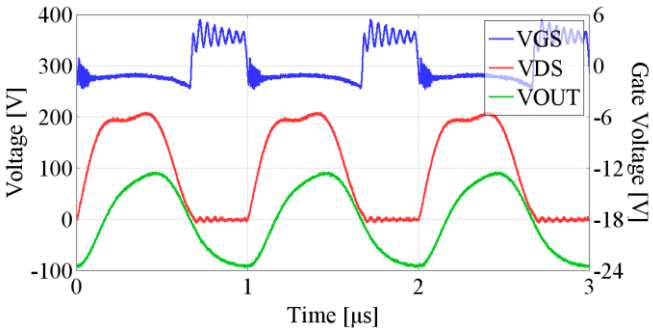
図 2-28 動作検証に用いた実器の外観(1MHz)



(a) 入力電圧 20V 時における各波形



(b) 入力電圧 50V 時における各波形



(c) 入力電圧 100V 時における各波形

図 2-29 実器における Φ2 級インバータ回路の各波形(GaN-HFET, 1MHz)

図 2-29 に示すように，いずれの入力電圧時においても，Φ2 級インバータ回路の理想的な動作が確認できる。ゲート電圧に若干の振動が発生しているが，正しく GaN-HFET がオンオフしていることから問題はない。ドレイン-ソース間電圧は理想的な台形状波形となり，シミュレーション結果と同様に，正弦波状の出力電圧が確認できることから，Φ2 級インバータ回路の理想的な動作と同時に，シミュレーション結果の有効性が確認できる。よって，Φ2 級インバータ回路のスイッチング周波数 1MHz を設定した場合において GaN-HFET 適用時，すべての入力電圧において理想的な動作が達成される。

2.6.1.2 スイッチング周波数 13.56MHz の場合

つづいて，スイッチング周波数 13.56MHz 時における結果を示す。表 2-14 に実器で用いる各回路パラメータを示す。また，図 2-30 に実器に使用したプリント基板を，図 2-31 に動作検証に用いた実器の外観を示す。図 2-30 に示すように，スイッチング周波数 1MHz 時とは異なり，スイッチング周波数 13.56MHz 時は寄生パラメータによる影響が大きくなるため，より小型かつ寄生パラメータが発生しにくい基板を用いた。また，空芯インダクタではインダクタンスの微調整が困難であったため，スイッチング周波数 13.56MHz 時は Amidon 社製高周波向けコアを用いたインダクタを使用した。表 2-14 に示す各回路パラメータは製作の都合上，設計値およびシミュレーションで用いたパラメータとは若干異なる。図 2-32 に実器より得られる各波形を示す。

表 2-14 実器の回路パラメータ(GaN-HFET, 13.56 MHz)

インダクタL_F	Amidon T106-#6, PEW φ=1.1 mm, 4 Turn	479 nH
インダクタL_{MR}	Amidon T106-#6, PEW φ=1.1 mm, 5 Turn	699 nH
インダクタL_S	Amidon T106-#6, PEW φ=1.1 mm, 5 Turn	600 nH
キャパシタC_P	10 pF×5　Yageo 223897111523	50 pF
キャパシタC_{MR}	10 pF×5　Yageo 223897111523	50 pF
キャパシタC_S	150 pF×6　C3216C0G2J151J060AA	900 pF
無誘導抵抗R	100 Ω×2 東海熱工業 ER100SP	50 Ω
ゲートドライバ	Linear Technology LTC4440	
ゲート抵抗R_{s1}	22 Ω×4 TE Connectivity CRG1206F22R	5.5 Ω
ゲート抵抗R_{s2}	910 Ω×2 Vishay CRCW1206910RFKEA	227.5 Ω
キャパシタC_{sp}	470 pF×2 TDK C3216C0G2J471J085AA	1380 pF
	220 pF×2 TDK C3216C0G2J221J060AA	
GaN-HFET	Panasonic PGA26E08BA	

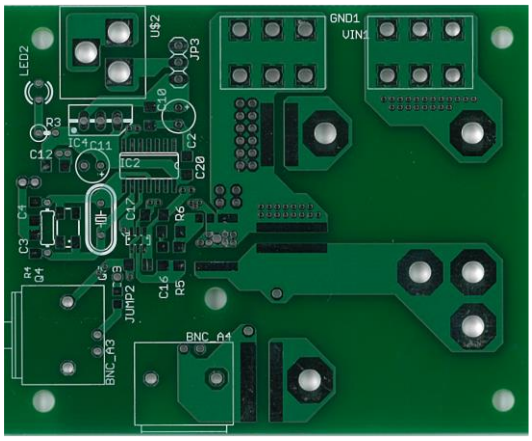


図 2-30 動作検証に用いたプリント基板 (13.56 MHz)

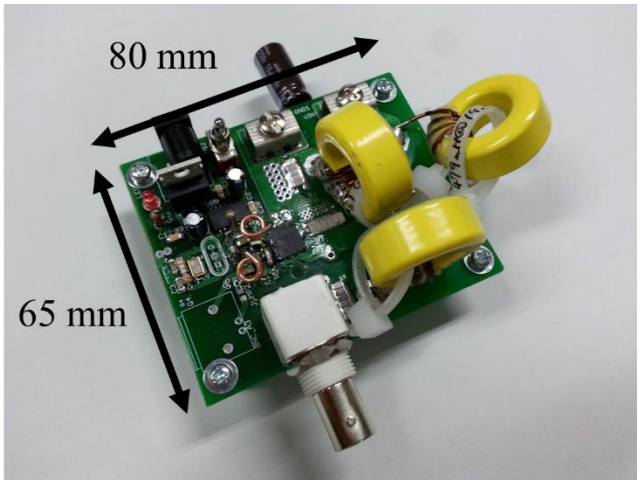
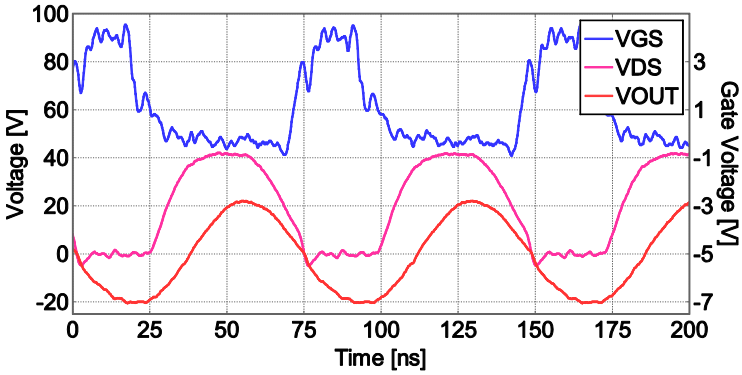
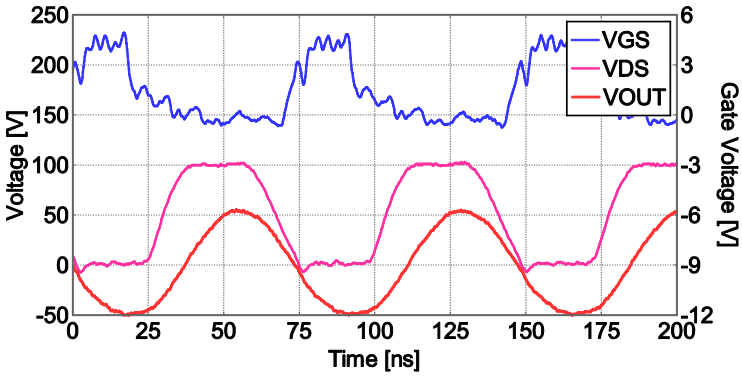


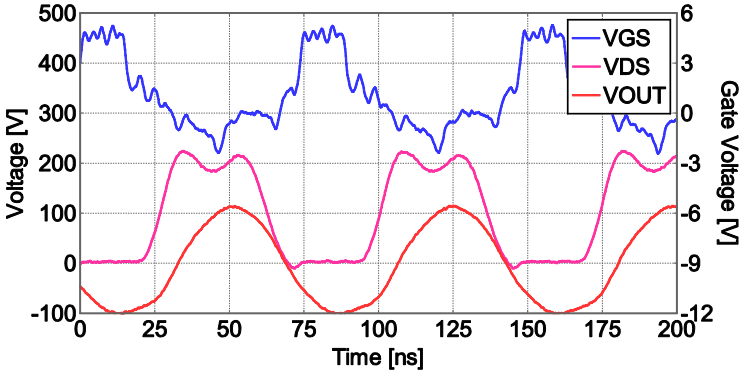
図 2-31 動作検証に用いた実器の外観(13.56 MHz)



(a) 入力電圧 20V 時における各波形



(b) 入力電圧 50V 時における各波形



(c) 入力電圧 100V 時における各波形

図 2-32 実器における Φ2 級インバータ回路の各波形(GaN-HFET, 13.56 MHz)

図 2-32 に示すように，V_{DS}波形はきれいな台形状となっており，またV_{OUT}波形も正弦波状であり，正常な Φ2 級インバータ回路の動作が確認できる。スイッチング周波数 13.56MHz の高周波領域での動作時において，ゲート電圧に振動が常に発生しているが，ターンオン/ターンオフは正常に行われている。入力電圧 20V 時においてV_{DS}波形の台形状右方において，ターンオフ時にゆるやかなカットオフが確認できるが，入力電圧 50V 時，および入力電圧 100V 時においては確認できない。これは，図 2-15 に示すようにドレイン-ソース間電圧が上がるにつれて，GaN-HFET の出力容量が小さくなっているためだと考えられる。GaN-

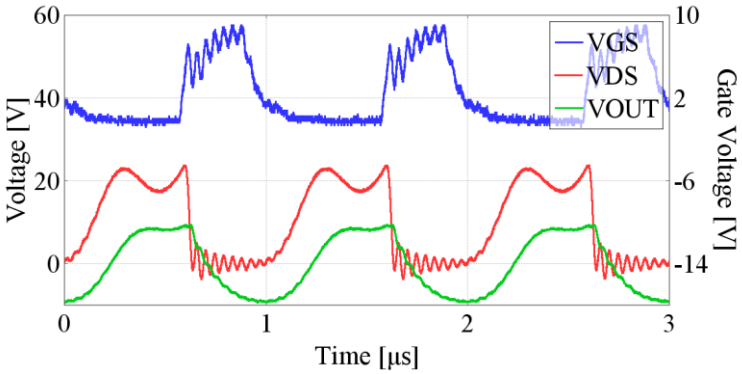
HFET は横型デバイスであることから，いずれの寄生容量もドレイン-ソース間電圧に対する依存性が低い。よって，出力容量の変化量は小さいことから，入力電圧が変化した場合においても，回路動作に大きな影響を与えない。

2.6.2 Si-MOSFET 適用時における結果

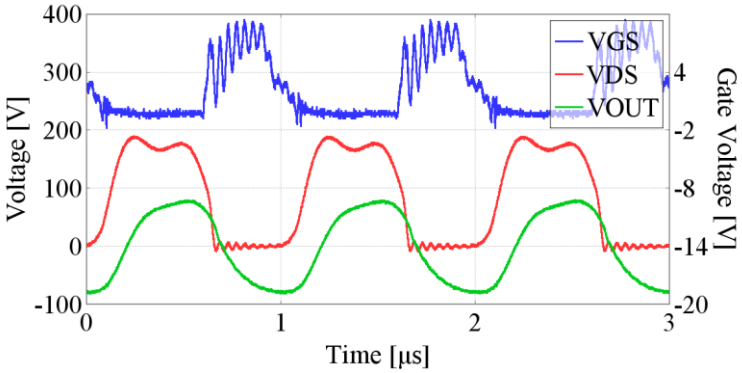
本項では，GaN-HFET 適用時と同様に，実器を用いて Si-MOSFET を適用した場合における Φ2 級インバータ回路の動作検証を行う。表 2-15 に動作検証に用いる各回路パラメータを示す。なお，実験回路は GaN-HFET 適用時における動作検証と同様に図 2-28 に示す実器を用いた。図 2-33 に入力電圧を 10V および 100V に設定した場合における各波形を示す。

表 2-15 実器の回路パラメータ(Si-MOSFET, 1MHz)

インダクタ L_F	PEW φ=1.3 mm, 12 Turn	5.950 μH
インダクタ L_{MR}	PEW φ=1.3 mm, 20 Turn	6.720 μH
インダクタ L_S	PEW φ=1.3 mm, 15 Turn	7.498 μH
キャパシタ C_P	470 pF×5　TDK C3216C0G2J471J085AA	2990 pF
	220 pF×2　TDK C3216C0G2J221J060AA	
	100 pF×2　AVX 12067A101JAT2A	
キャパシタ C_{MR}	150 pF×6　TDK C3216C0G2J151J060AA	937.5 pF
	22 pF×2　Murata GRM31A7U3A220JW31D	
キャパシタ C_S	4.7 nF×2　TDK C3216X7R2J472K115AA	19.9 nF
	1.5nF×2　TDK C3216C0G2J152J115AA	
無誘導抵抗 R	100 Ω×2 東海熱工業 ER100SP	50 Ω
ゲートドライバ	Microchip MCP1407-E/P	
ゲート抵抗 R_g	27.4 Ω×4 Vishay CRCW120627R4FKEA	6.85 Ω
MOSFET	Toshiba TK31E60W	



(a) 入力電圧 10V 時における各波形



(b) 入力電圧 100V 時における各波形

図 2-33 実器における Φ2 級インバータ回路の各波形(Si-MOSFET, 1MHz)

図 2-33 に示すように，Si-MOSFET を適用した Φ2 級インバータ回路では，設計した回路パラメータをそのまま用いた場合，理想的な動作は達成されない。特に入力電圧が 10V のような低入力電圧領域では，理想的な動作は達成されない。ドレイン-ソース間電圧は台形状波形にならず，台形の右半分が切り落とされたような形となり，ハードスイッチングとなる。ハードスイッチングに伴い，ゲート電圧にも振動が発生している。ゲート電圧の立ち上がりおよび立ち下がりは GaN-HFET 適用時と比べて遅い。また，出力電圧も正弦波状ではない。これは，図 2-18 に示すように Si-MOSFET の出力容量はドレイン-ソース間電圧によって大きくキャパシタンスが変化するためである。Si-MOSFET の出力容量は，ドレイン-ソース間電圧が低ければ低いほどより大きい。そのため，Φ2 級インバータ回路においてドレイン-ソース間電圧が立ち上がるおよび立ち下がる時点においては，非常に大きなキャパシタンスを持つ。よって，電荷の充電および放電に時間がかかるため，ドレイン-ソース間電圧の立ち上がりおよび立ち下がりが緩やかになり，ドレイン-ソース間電圧が 0 とならない間に次のターンオンタイミングを迎える。そのため，入力電圧を 100V まで引き上げた場合，図 2-33(b)に示すように依然としてハードスイッチングが確認できるが，その度合いは小さくなり，ドレイン-ソース間電圧はやや台形状波形となる。よって，Si-MOSFET 適用時は，Si-MOSFET の持つ出力容量の特性により，入力電圧によって Φ2 級インバータ回路の各波

形が大きく変化する。そのため，Si-MOSFET を適用する場合は入力電圧を固定する必要がある。ただし，これはΦ2 級インバータ回路で唯一の自由度である入力電圧を固定するため，望ましくない。

つづいて，入力電圧 100V 時に理想的な動作を達成するため，キャパシタC_Pのキャパシタンス調整を試みる。キャパシタC_Pのキャパシタンスを，2990 pF から 2100 pF に変更した。図 2-34 に変更後における Φ2 級インバータ回路の各波形を示す。

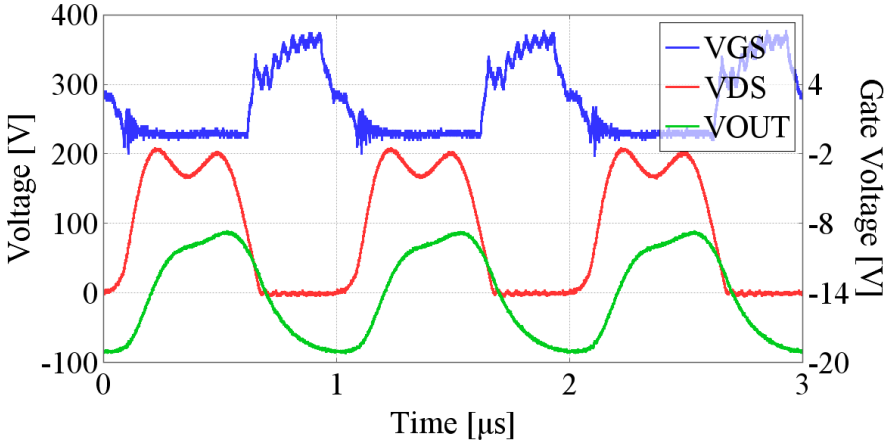


図 2-34 キャパシタC_Pを調整した場合における各波形(Si-MOSFET，入力電圧 100V)

図 2-34 に示すように，キャパシタC_Pを調整して適切なキャパシタンスに設定した場合，理想的な Φ2 級インバータ回路の動作が確認できる。ドレイン-ソース間電圧はハードスイッチングのない台形状波形となり，出力電圧も正弦波状となる。ただし，ゲート電圧は依然として，CR 時定数回路のような緩やかな立ち上がりおよび立ち下がりが確認でき，ターンオン期間中に，ゲートドライバの駆動電圧である 9V まで上昇していない。これは，Si-MOSFET の入力容量が大きいことに起因する。よって，Si-MOSFET 適用時，スイッチング周波数 1MHz 以上の高周波領域では動作が困難であることが推測される。

Φ2 級インバータ回路中のキャパシタC_Pのキャパシタンスは，スイッチング周波数に反比例してそのキャパシタンスが小さくなる。今回の調整ではキャパシタC_Pを 890pF 削減したが，スイッチング周波数を引き上げた場合，キャパシタC_Pの調整で必要なキャパシタンスを確保できなくなる。よって，Si-MOSFET 適用時，スイッチング周波数を 1MHz 以上に引き上げるのは困難であるだけでなく，パラメータ調整の必要があることから望ましくない。

参考文献

[1] 平地克也 “DC/DC コンバータの基礎から応用まで”，電気学会, 2018 年

[2] 長浜竜，高木茂行 “これでなっとく パワーエレクトロニクス”，コロナ社, 2017 年

[3] M. K. Kazimierczuk and D. Czarkowski, “Resonant Power Converters,” 2nd ed., John Wiley & Sons Inc, 2011.
[4] W. Luo, X. Wei, H. Sekiya, T. Suetsugu, “Design of Load-Independent Class-E Inverter with MOSFET Parasitic Capacitances,” 2019 IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 529-532, 2019
[5] J. M. Rivas, Y. Han, O. Leitermann, A. D. Sagneri, and D. J. Perreault, “A high-frequency resonant inverter topology with low-voltage stress,” IEEE Trans. on Power Electron., vol. 23, no. 4, pp. 1759-1771, 2008.
[6] J. M. Rivas, O. Leitermann, Y. Han, and D. J. Perreault, “A very high frequency DC-DC converter based on a class Φ2 resonant inverter,” IEEE Trans. on Power Electron., vol. 26, no. 10, pp. 2980-2992, 2011.
[7] 東芝, ” TK31E60W - Toshiba Storage.com” , https://toshiba.semicon-storage.com/info/docget.jsp?did=13523&prodName=TK31E60W (2020 年 1 月 10 日閲覧)

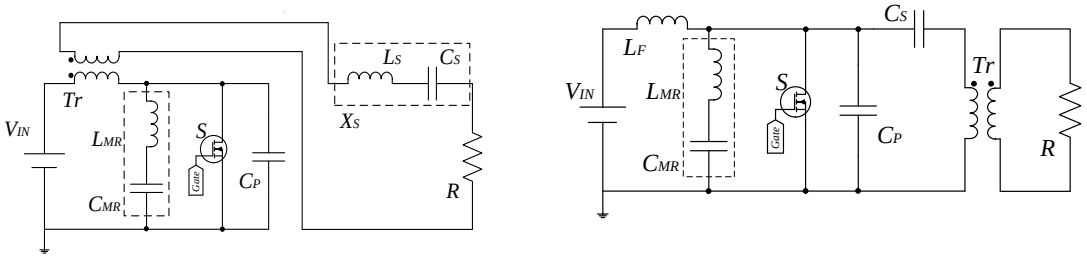
第3章 Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータの設計法と基礎特性

3.1 絶縁形 DC-DC コンバータの設計法

Φ2 級インバータ回路は直流から交流に電力を変換するインバータ回路であるが，電力変換器において，インバータ回路をそのまま用いるアプリケーションは少なく，一般的には交流を再び直流に変換し，DC-DC 構成とする場合が多い。また，本回路はトランスを有していない非絶縁回路である。そのため，入力側もしくは出力側が何らかの原因により故障した場合や，定格電圧を超えるサージ電圧が印加された場合，本回路を通して後段へそのまま影響が波及し，回路だけでなくシステムの故障を招く可能性がある。よって，回路の信頼性を確保し，安全性を保つためにもトランスを挿入する必要がある。トランスを挿入した場合，その巻き数比に応じて電圧変換が可能であるほか，入力側と出力側の電位差を考慮する必要がなくなり，入力を直列，出力を並列とするような ISOP(Input Series Output Parallel)接続も可能となり，用途の拡大につながる。よって，安全および利便性の観点から絶縁トランスを挿入するのが望ましい。以下に，Φ2 級インバータ回路を用いる絶縁形 DC-DC コンバータの設計法を示す。

3.1.1 絶縁トランスの挿入

はじめに，絶縁トランスを挿入する位置について検討する。トランスは励磁インダクタンスを持つことから，Φ2 級インバータ回路中のインダクタと置き換えるように挿入するのが望ましい。よって，絶縁トランスを挿入する位置として，インダクタL_F，インダクタL_{MR}，インダクタL_Sの 3 ヵ所が考えられる。インダクタL_{MR}は，スイッチングデバイスのドレイン-ソース間に印加される電圧のピーク値を抑制するために必要な高調波を生成する役割を持つため，電力変換には直接寄与しないインダクタである。また，ドレイン-ソース間のインピーダンスZ_{DS}を保つために，絶縁トランスはスイッチングデバイスと並列に接続する必要がある[2]-[4]。よって，本位置に絶縁トランスを挿入するのは適切でない。そのため，インダクタの挿入箇所候補は，インダクタL_FおよびインダクタL_Sの箇所である。図 3-1 にインダクタL_FおよびインダクタL_Sの箇所それぞれに，絶縁トランスを挿入した場合における絶縁形 DC-DC コンバータ構成 Φ2 級インバータ回路の回路図を示す。



(a) インダクタL_Fの位置に挿入する場合　　(b) インダクタL_Sの位置に挿入する場合

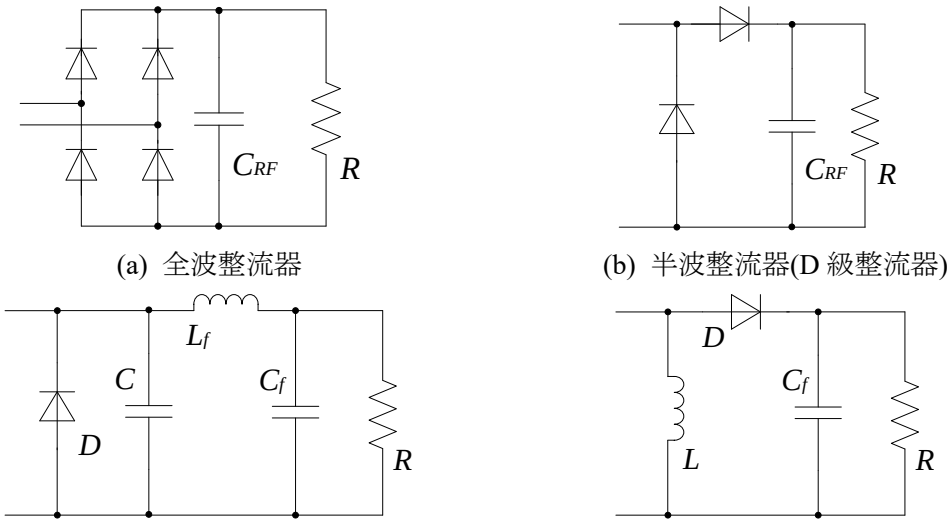
図 3-1 絶縁トランスの挿入位置候補

図 3-1(a)に示すように絶縁トランスを挿入した場合，絶縁形 DC-DC コンバータ回路はフライバック回路のような構成となる。この構成では，誘導成分を担保するリアクタンスX_Sを含め，すべての負荷が 2 次側に存在する。絶縁トランスの 2 次側漏れインダクタンスは，インダクタL_Sの一部として考えることができるため，この漏れインダクタンスによる影響を排除することができる。

他方，図 3-1(b)に示す位置に絶縁トランスを挿入した場合，2 次側は純然たる抵抗のみになるが，絶縁トランス 2 次側漏れインダクタンスが寄与し，負荷は誘導性をもつ。この誘導性を打ち消すために，抵抗Rと直列にキャパシタを追加する必要がある。よって，絶縁トランスを挿入する位置は，2 次側漏れインダクタンスによる影響を考慮し，図 3-1(a)の位置が望ましい。

3.1.2 整流回路の検討

つづいて，整流回路について検討する。図 3-2 に代表的な整流回路を示す。図 3-2 に示す整流回路はいずれも電流形である。



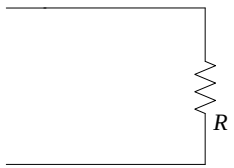
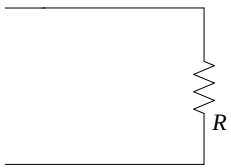
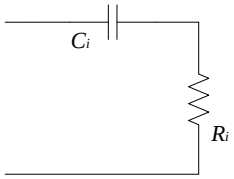
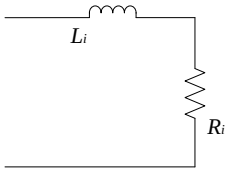
(a) 全波整流器　　(b) 半波整流器(D 級整流器)

(c) E 級整流器(Low dv/dt タイプ)　　(d) E 級整流器(Low di/dt タイプ)

図 3-2 代表的な電流源形整流器

図 3-2(a)および(b)に示す整流器は一般的な通常のダイオード整流器であり，ダイオードの導通特性を利用して整流を行うものである。一方，図 3-2(c)，(d)は共振現象を利用した共振形整流器である。表 3-1 に各整流器の特性を示す。ここで，φは入力電流とダイオード電圧の位相差を，Dはダイオードの ON デューティを表す。

表 3-1 各整流器の特性

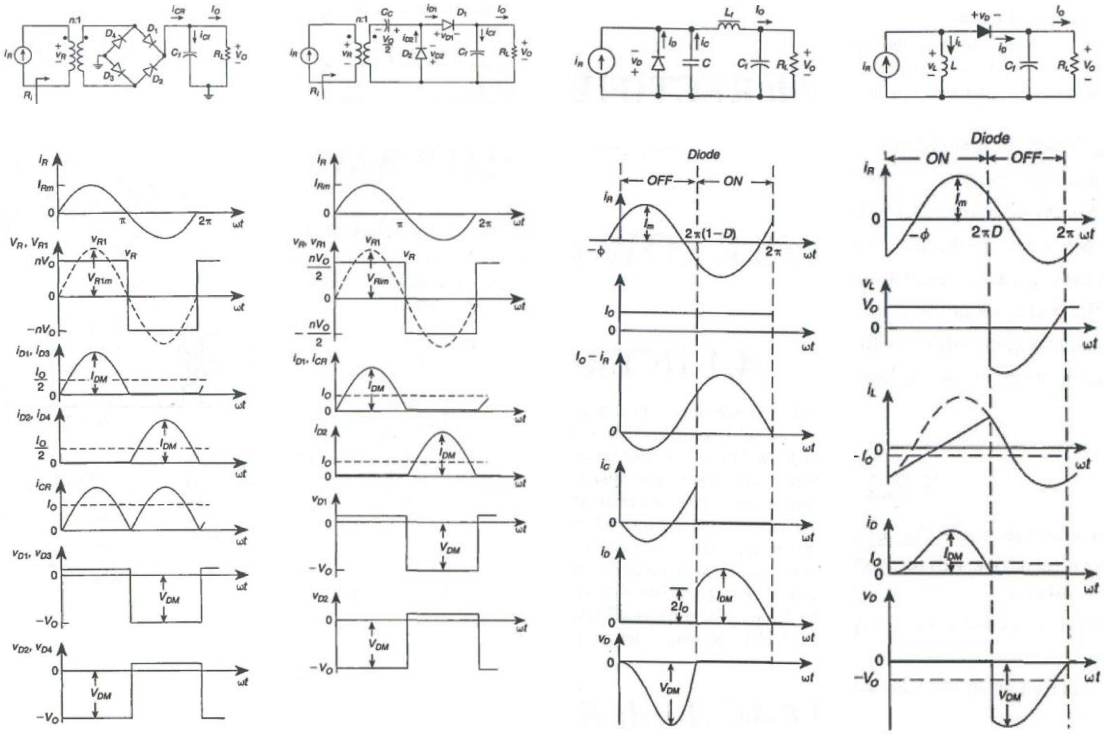
種類	全波整流器	半波整流器 (D 級整流器)	E 級整流器 (Low dv/dt タイプ)	E 級整流器 (Low di/dt タイプ)
ダイオード数	4	2	1	1
インダクタ数	0	0	1	1
キャパシタ数	0	0	2	1
インダクタ/ キャパシタ設計式	-	-	$C = \dfrac{1}{\pi\omega R_L}$	[A]
等価回路構成				
インピーダンス 実数成分	$8R/\pi^2$	$2R/\pi^2$	$2R\sin^2\varphi$	$\dfrac{R\cos^2\varphi}{2\pi^2}$ $[1-2\pi^2D^2-\cos 2\pi D$ $+(\sin 2\pi D-2\pi D)\tan\varphi]$
インピーダンス 虚数成分	0	0	[B]	[C]

[A] $\dfrac{R_L[1-2\pi^2D^2-\cos 2\pi D+\frac{(\sin 2\pi D-2\pi D)^2}{1-\cos 2\pi D}]}{2\pi\omega}$

[B] $\frac{C}{\pi}[\pi(1-D)+\sin 2\pi D-\frac{1}{4}\cos 2\varphi\sin 4\pi D-\frac{1}{2}\sin 2\varphi\sin^2 2\pi D-2\pi(1-D)\sin\varphi\sin(2\pi D-\varphi)]^{-1}$

[C] $\frac{L}{\pi}[\pi(1-D)+\cos\varphi\sin(2\pi D+\varphi)-\frac{1}{4}[\sin 2\varphi+\sin(4\pi D+2\varphi)]]$

表 3-1 に示すように，各整流器はダイオードを有し，E 級整流器においては，インダクタもしくはキャパシタも追加で有する。また，各整流器の等価回路はいずれも抵抗およびインダクタ/キャパシタを直列接続した構成をとる。よって，インダクタに対してはキャパシタを，キャパシタに対してはインダクタを直列接続し，インピーダンスを補償することで，抵抗成分のみの取り扱いが可能となる。図 3-3 に各整流器を用いた場合における理想波形を示す。



(a) 全波整流器　(b) 半波整流器 (D 級整流器)　(c) E 級整流器 (Low dv/dt タイプ)　(d) E 級整流器 (Low di/dt タイプ)

図 3-3 各整流器における理想波形[1]

以降，表 3-2 に示す設計条件を用いて，各整流器の設計を行う。

表 3-2 整流回路設計における各回路パラメータ

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	50 V	出力電力P_{OUT}	25 W

(1) 全波整流器の場合

全波整流器の設計時に考慮する必要があるのは，抵抗のみである。負荷抵抗 R は表 3-2 に示すように 50 Ω である。よって，以下の式が成立する。

$$R_i = 50 = \frac{8R}{\pi^2} = \frac{2 \times R}{3.1415^2}$$

$$\therefore R = 50 \times 3.1415^2/2 = 61.69\ [\Omega]$$

よって，全波整流器を用いる場合，抵抗Rは 61.62 Ω にすればよい。

(2) 半波整流器(D 級整流器)の場合

全波整流器の設計時と同様に，抵抗のみ考慮すればよい。入力抵抗を 50 Ω とする場合，以下の式が成立する。

$$R_i = 50 = \frac{2R}{\pi^2} = \frac{2 \times R}{3.1415^2}$$

$$\therefore R = 50 \times 3.1415^2/2 = 246.74\ [\Omega]$$

よって，半波整流器を用いる場合，抵抗R_Lは 246.74 Ω にすればよい。

(3) E 級整流器(Low dv/dt タイプ)の場合

E 級整流器(Low dv/dt タイプ)の入力抵抗およびインピーダンス複素成分に関する式を示す。

$$R_i = 50 = 2R\sin^2\varphi$$

$$C = \frac{1}{\pi\omega R}$$

$$C_i = \frac{C}{\pi}[\pi(1-D) + \sin 2\pi D$$

$$-\frac{1}{4}\cos 2\varphi \sin 4\pi D - \frac{1}{2}\sin 2\varphi \sin^2 2\pi D - 2\pi(1-D)\sin\varphi \sin(2\pi D - \varphi)]^{-1}$$

ただし，上の式にはφおよび D が含まれている。φは入力電流とダイオード電圧の位相差を，D はダイオードの ON デューティを表し，φは以下の式で計算される。表 3-3 にφおよび D のパラメータ一覧を示す。

$$\varphi = \tan^{-1}\frac{1-\cos 2\pi D}{2\pi(1-D) + \sin 2\pi D}$$

表 3-3 E 級整流器(Low dv/dt タイプ)における各パラメータの関係[1]

D	$\phi(°)$	ωCR_L	I_{DM}/I_O	V_{DM}/V_O	R_i/R_L	ωCR_i	C_i/C	M_{VR}
0	0	∞	∞	2	0	0	1	∞
0.05	0.45	125.34	39.69	2.022	0.0001	0.0152	1.0031	90.704
0.1	1.75	29.962	19.40	2.079	0.0019	0.0560	1.0233	23.124
0.15	3.83	12.398	12.48	2.164	0.0089	0.1109	1.0738	10.572
0.2	6.59	6.3295	8.918	2.274	0.0264	0.1669	1.1665	6.1578
0.25	9.93	3.5855	6.712	2.407	0.0595	0.2132	1.3167	4.1007
0.3	13.75	2.1481	5.207	2.566	0.1130	0.2427	1.5483	2.9749
0.4	22.54	0.8276	3.608	2.976	0.2940	0.2433	2.4443	1.8443
0.5	32.48	0.3183	2.862	3.562	0.5768	0.1836	4.7259	1.3167
0.6	43.21	0.1114	2.460	4.447	0.9377	0.1045	11.831	1.0327
0.7	54.49	0.0316	2.228	5.927	1.3254	0.0419	42.944	0.8686
0.75	60.28	0.0147	2.151	7.112	1.5085	0.0221	100.88	0.8142
0.8	66.14	0.0058	2.093	8.889	1.6728	0.0097	293.83	0.7732
0.9	78.02	0.0035	2.022	17.78	1.9138	0.0004	8837.6	0.7229
1	90	0	2	∞	2	0	∞	0.7071

今回の設計では D=0.5 とする。よって，φに関して以下の式が成立する。

$$\varphi = \tan^{-1}\frac{1-\cos(2\pi\times 0.5)}{2\pi(1-0.5)+\sin(2\pi\times 0.5)} = 32.48\,°$$

よって，$\varphi = 32.48°$となる。さらに，インピーダンス実数成分(負荷抵抗 R)および虚数成分(キャパシタンス Ci)は以下のように求められる。

$$R_i = 50 = 2R\sin^2(30.48°) = 2\,R\times 0.537^2$$

$$R = 50/(2\times 0.537^2) = 86.69[\Omega]$$

$$C = \frac{1}{\pi\omega R} = \frac{1}{\pi\times 2\pi\times 13.56\times 10^6\times 86.69} = 43.1\ [pF]$$

$$C_i = \frac{C}{\pi}[\pi(1-D)+\sin 2\pi D$$

$$-\frac{1}{4}\cos 2\varphi\sin 4\pi D - \frac{1}{2}\sin 2\varphi\sin^2 2\pi D - 2\pi(1-D)\sin\varphi\sin(2\pi D-\varphi)]^{-1}$$

$$= \frac{43.1\times 10^{-12}}{\pi}[0.5\pi+\sin\pi$$

$$-\frac{1}{4}\cos 64.96°\sin 2\pi - \frac{1}{2}\sin 64.96°\sin^2\pi - \pi\sin\varphi\sin(\pi-\varphi)]^{-1}$$

$$= 555\ [pF]$$

上記計算より，等価入力キャパシタンスC_iは 555 pF と求められる。よって，インピーダンス複素成分を除去し，実数成分(抵抗成分)のみとするためには，本整流器と直列に 248 nH のインダクタを直列接続すればよい。

($f_s = 13.56\times 10^6 = 1/2\pi\sqrt{248\times 10^{-9}\times 555\times 10^{-12}}$となるためである。)

(4) E 級整流器(Low di/dt タイプ)の場合

E 級整流器(Low di/dt タイプ)の入力抵抗および複素成分に関する式を示す。

$$R_i = \frac{R\cos^2\varphi}{2\pi^2}[1 - 2\pi^2 D^2 - \cos 2\pi D + (\sin 2\pi D - 2\pi D)\tan\varphi]$$

$$L = \frac{R[1 - 2\pi^2 D^2 - \cos 2\pi D + \frac{(\sin 2\pi D - 2\pi D)^2}{1 - \cos 2\pi D}]}{2\pi\omega}$$

$$L_i = \frac{L}{\pi}[\pi(1 - D) + \cos\varphi\sin(2\pi D + \varphi) - \frac{1}{4}[\sin 2\varphi + \sin(4\pi D + 2\varphi)]]$$

ただし，上の式には E 級整流器(Low dv/dt タイプ)と同様にφおよび D が含まれている。φは，以下の式で計算される。また，表 3-4 にφおよび D のパラメーター一覧を示す。

$$\varphi = \tan^{-1}\frac{\sin 2\pi D - 2\pi D}{1 - \cos 2\pi D}$$

表 3-4 E 級整流器(Low di/dt)における各パラメータの関係[1]

D	ϕ	$R_L/\omega L$	I_{DM}/I_O	V_{DM}/V_O	R_i/R_L	L_i/L	$\lvert M_{VR}\rvert$	$\lvert M_{IR}\rvert$
0	0	∞	∞	2	0	1	∞	0
0.1	−11.98	2865.33	17.777	2.022	$2.333\cdot10^{-7}$	0.9999	2070.5	$4.828\cdot10^{-4}$
0.2	−23.86	171.88	8.889	2.093	$5.662\cdot10^{-5}$	0.9966	132.90	$7.525\cdot10^{-3}$
0.25	−29.72	68.217	7.111	2.151	$3.242\cdot10^{-4}$	0.9901	55.540	$1.800\cdot10^{-2}$
0.3	−35.51	31.612	5.927	2.228	$1.326\cdot10^{-3}$	0.9767	27.458	$3.642\cdot10^{-2}$
0.4	−46.79	8.9733	4.447	2.460	$1.165\cdot10^{-2}$	0.9155	9.2668	0.1079
0.5	−57.52	3.1416	3.562	2.862	$5.844\cdot10^{-2}$	0.7884	4.1365	0.2909
0.6	−67.46	1.2083	2.976	3.608	0.2014	0.5909	2.2284	0.4487
0.7	−76.25	0.4655	2.566	5.207	0.5214	0.3541	1.3849	0.7270
0.75	−80.07	0.2789	2.407	6.712	0.7645	0.2405	1.1437	0.8744
0.8	−83.41	0.1580	2.274	8.918	1.0565	0.1427	0.9729	1.0273
0.9	−88.25	0.03338	2.079	19.404	1.6788	0.0228	0.7718	1.2957
1	−90	0	2	∞	2	0	0.7071	1.4142

E 級整流器(Low dv/dt タイプ)設計時と同様に，D=0.75 とする。よって，φに関して以下の式が成立する。

$$\varphi = \tan^{-1}\frac{\sin(2\pi \times 0.75) - 2\pi \times 0.75}{1 - \cos(2\pi \times 0.75)} = -80.07\,°$$

よって，$\varphi = -80.07°$となる。インピーダンス実数成分(負荷抵抗 R)および虚数成分(インダクタンス Li)は以下のように求められる。

$$R_i = 50 = \frac{R\cos^2(-80.07°)}{2\pi^2}[1 - 2\pi^2 \times 0.75^2 - \cos 1.5\pi$$

$$+(\sin 1.5\pi - 1.5\pi)\tan(-80.07°)]$$

$$= R \times 0.7645$$

$$\therefore R = 50/0.7645 = 65.40[\Omega]$$

$$L = \frac{65.4 \times [1 - 2\pi^2 \times 0.75^2 - \cos 1.5\pi + \frac{(\sin 1.5\pi - 1.5\pi)^2}{1 - \cos 1.5\pi}]}{2\pi \times 2\pi \times 13.56 \times 10^6} = 2.752\ [\mu\mathrm{H}]$$

$$L_i = \frac{2.752 \times 10^{-6}}{\pi}[0.25\pi + \cos(-80.07°)\sin(1.5\pi - 80.07°)$$

$$-\frac{1}{4}[\sin(-160.14°) + \sin(3\pi + -160.14°)]]$$

$= 661.8[\mathrm{nH}]$

計算より，等価入力インダクタンスは 661.8nH と求められる。よって，複素成分を除去するためには，本整流器と直列に 208 pF のキャパシタを直列接続すればよい。

($f_s = 13.56 \times 10^6 = 1/2\pi\sqrt{661.8 \times 10^{-9} \times 208 \times 10^{-12}}$となるためである。)

つづいて，算出された各回路パラメータを用いて，シミュレーションによる整流回路の動作検証を行う。表 3-5 に主回路の各回路パラメータを，表 3-6 に上記計算より算出された整流回路の各回路パラメータをそれぞれ示す。なお，全波整流器と半波整流器の差異は各々の有する抵抗値のみであり，それぞれの整流器に大きな違いはない。そのため，本整流器の動作検証において，全波整流器の動作特性は半波整流器の特性と一致すると考えられるため，省略した。

表 3-5 シミュレーションに用いた各回路パラメータ(主回路)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	50 V	出力電力P_{OUT}	25 W
インダクタL_F	480.0 nH	キャパシタC_P	70 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF

表 3-6 シミュレーションに用いた各回路パラメータ(整流器)

	半波整流器 (D 級整流器)	E 級整流器 (Low dv/dt タイプ)	E 級整流器 (Low di/dt タイプ)
インダクタL	-	-	2.75 μH
キャパシタC	-	43.1 pF	-
インダクタL_f	-	40 μH	-
キャパシタC_f	10 nF	10 nF	10 nF
補償インダクタL_c	-	248 nH	-
補償インダクタC_c	-	-	208 pF

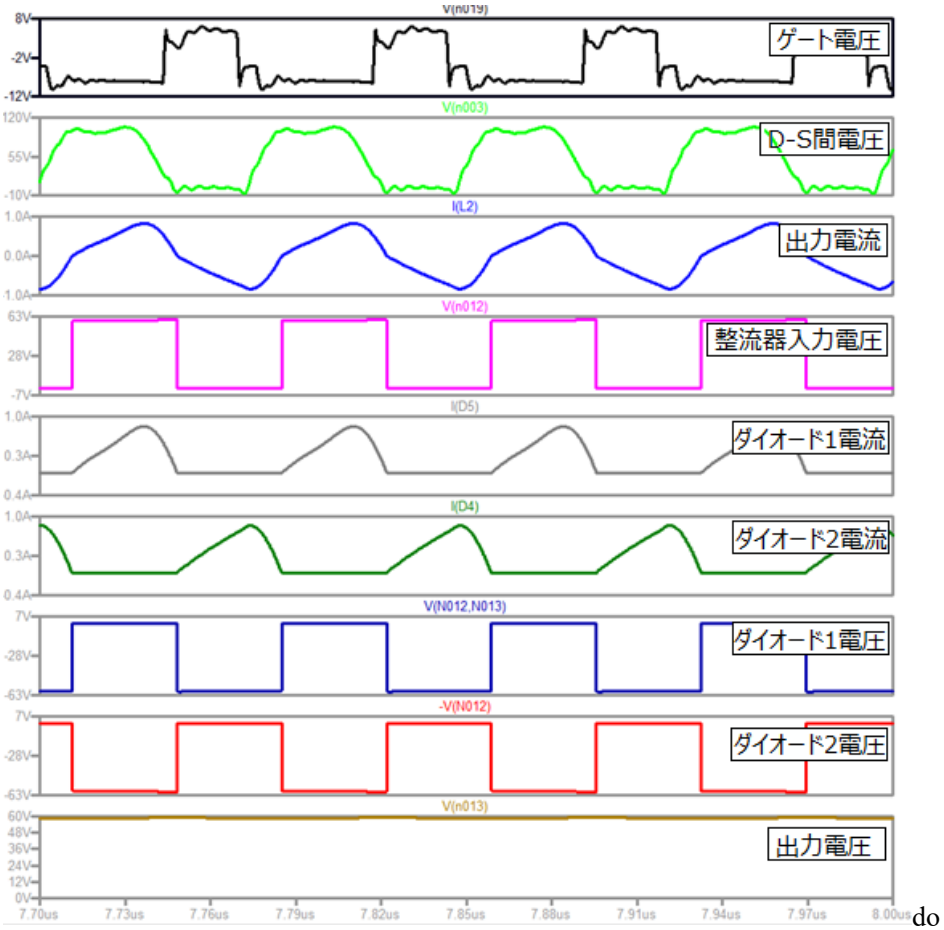


図 3-4 半波整流器(D 級整流器)適用時における各波形

図 3-4 に示すように半波整流器を適用した場合，ゲート電圧V_{GS}やドレイン-ソース間電圧V_{DS}に細かな波形乱れがみられる以外，理想的な波形が観測される。また，図 3-3(b)に示す半波整流器の理想波形と比較した場合，入力電流がきれいな交流波形である以外，おおむね一致している。半波整流器の入力電流(Φ2 級インバータ回路の出力電流)は，図 3-3(b)に示す波形と異なるが，これは Φ2 級インバータ回路の出力電流が非正弦波であるため，整流器の適用による問題ではない。よって，半波整流器を Φ2 級インバータ回路に適用しても，理想的な動作が達成される。

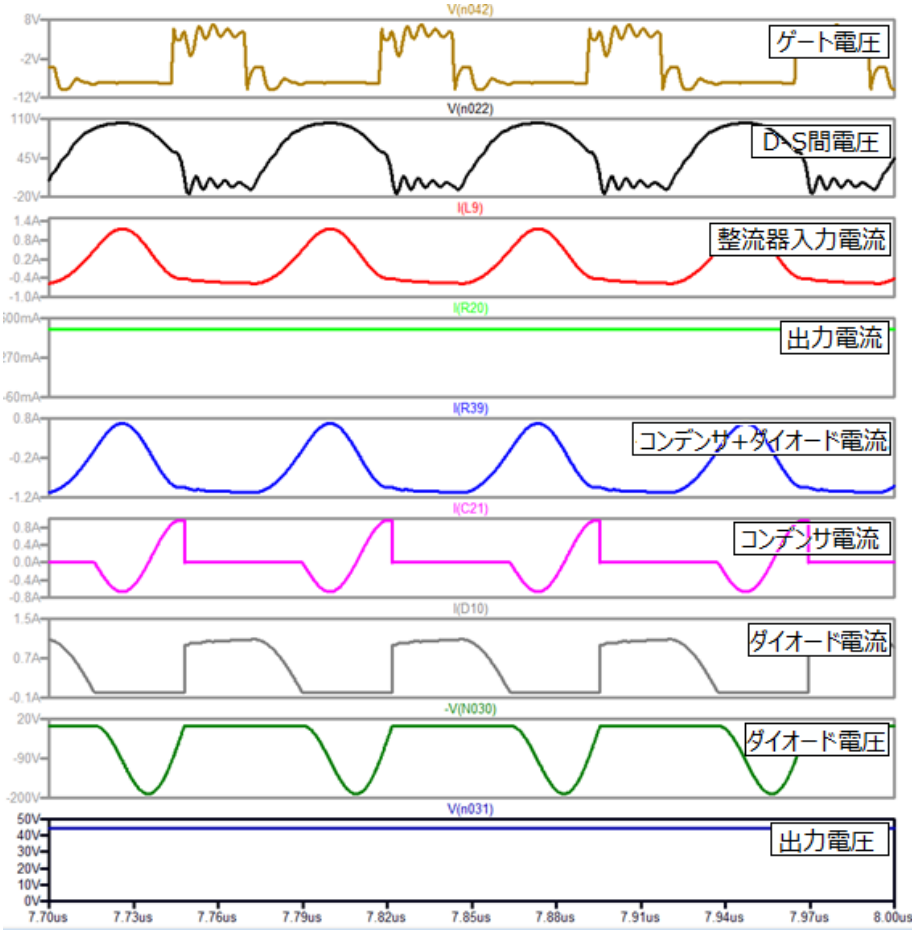


図 3-5 E 級整流器(Low dv/dt タイプ)適用時における各波形

図 3-5 に示すように，E 級整流器(Low dv/dt タイプ)を適用した場合，出力電圧が直流電圧となっていることから，整流動作が確認されるが，その他の波形について，図 3-3 に示すような理想波形とは大きく異なっているものが複数ある。ドレイン-ソース間電圧V_{DS}は理想波形とは大きく異なっており，ハードスイッチングとなっている。また，ダイオード電流波形も図 3-3(b)に示すものとは異なっている。よって，ドレイン-ソース間電圧V_{DS}波形を整形するため，Φ2 級インバータ回路のパラメータ調整を試み，インダクタL_Fのインダクタンスを 480nH からに 280 nH へと変更する。図 3-6 に変更後の各回路波形を示す。

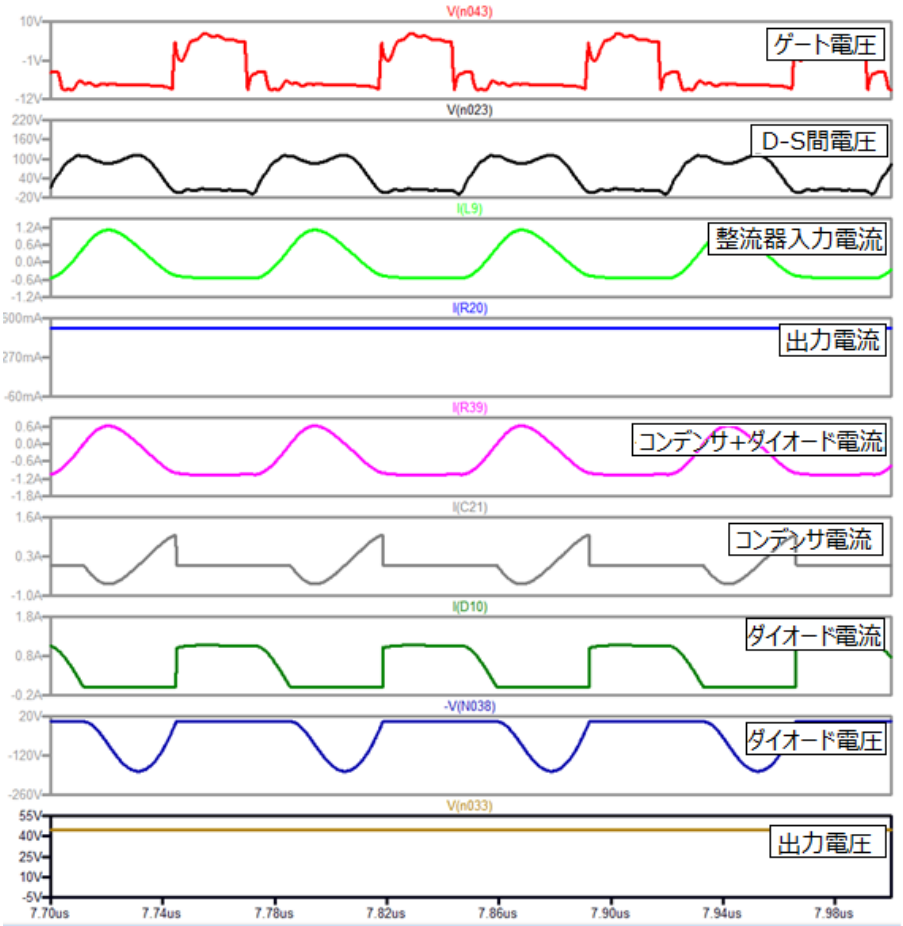


図 3-6 E 級整流器(Low dv/dt タイプ)適用時における各波形[パラメータ調整後]

図 3-6 に示すように，インダクタL_Fのインダクタンスを変更した場合，理想的なドレイン-ソース間電圧V_{DS}波形が観測される。ただし，ダイオード電流波形は，その山がカットされたように，依然として図 3-3(c)に示すものとは大きく異なっている。これは，入力電流波形が正弦波状となっていないことから，整流器に対して主回路である Φ2 級インバータ回路が追従していないと考えられる。よって，Φ2 級インバータ回路のパラメータを用いて，E 級整流器(Low dv/dt タイプ)を設計した場合においても，表 3-1 に示すような理想的な波形は確認されない。理想的な波形を実現するには，主回路(Φ2 級インバータ回路)の設計よりも先に，整流器を設計する必要がある。よって，主回路は整流器に合わせて設計しなければならないほか，適用する負荷が定められた条件でのみ動作する必要がある。これは，実用化を考えた場合，大きなデメリットとなる。

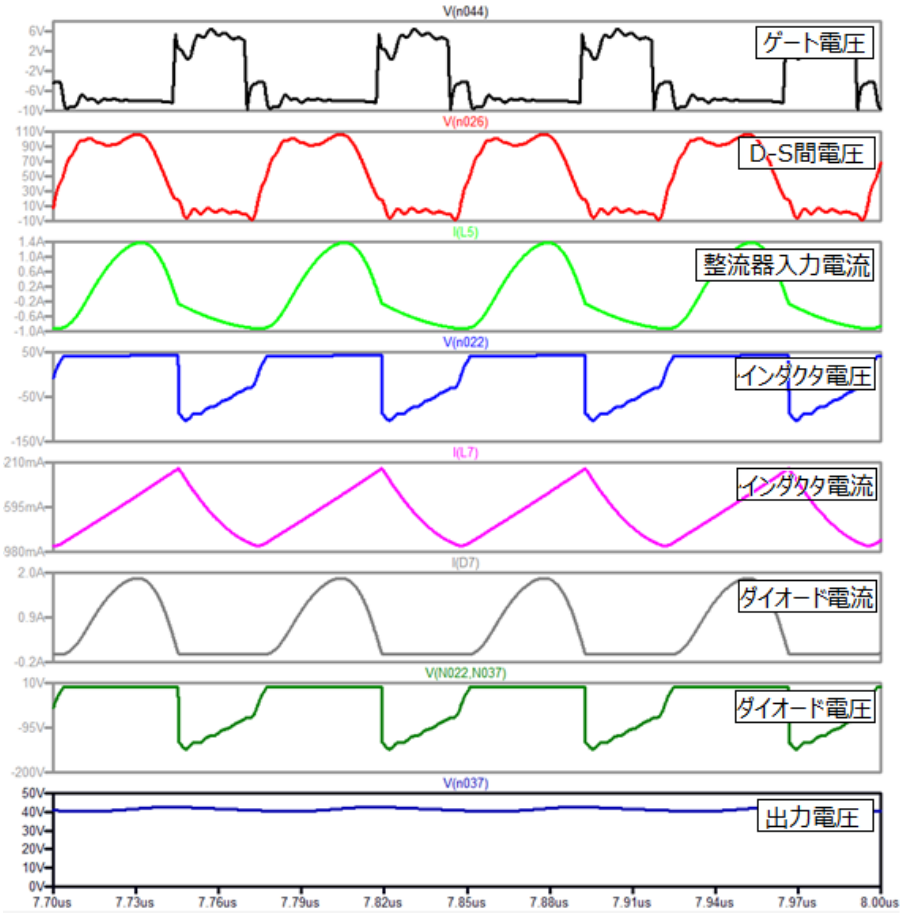


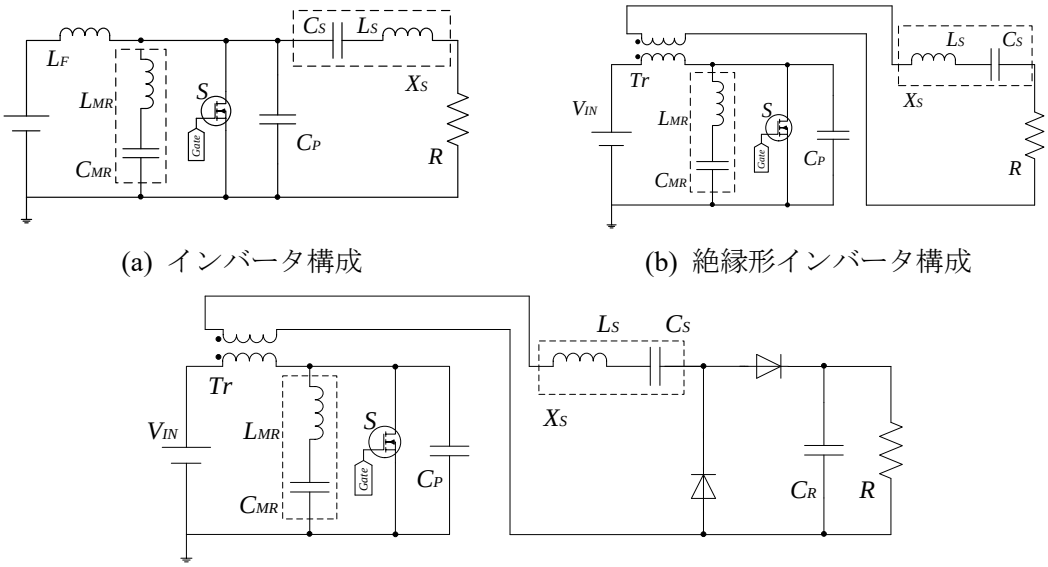
図 3-7 E 級整流器(Low di/dt)適用時における各波形

図 3-7 に示すように，E 級整流器(Low di/dt)適用時は Low dv/dt タイプとは異なり，ややハードスイッチングとなっている以外，ドレイン-ソース間電圧V_{DS}波形の大きな乱れは観測されない。よって，主回路への影響は少ないと考えられる。しかし，Low dv/dt タイプと同様に，入力電流波形が正弦波状となっておらず，また，それにしたがってダイオード電圧も図 3-3(d)に示す理想波形とは異なっている。よって，E 級整流器(Low di/dt タイプ)を適用する場合，Low dv/dt タイプと同様に，整流器に合わせて主回路を設計する必要があると考えられる。

よって，現在までの整流回路の検討より，共振形整流回路を用いる場合，先に負荷条件を決定した後に主回路を設計する必要がある。これは，Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータ回路を様々なアプリケーションに適用することを考えた場合，きわめて不利である。また，ダイオード，平滑用キャパシタに加え，共振を維持するインダクタもしくはキャパシタを追加する必要がある。よって，コストや容積面から検討した場合，不利な選択肢となる。よって，絶縁形 DC-DC コンバータの実用化を考えた場合，共振形整流回路の適用は望ましくないため，以降，全波整流回路と半波整流回路の適用検討を行う。

3.1.3 絶縁形 DC-DC コンバータの構成

図 3-8 に，Φ2 級インバータ回路を絶縁形 DC-DC コンバータ構成へと発展させる流れを示す。



(a) インバータ構成

(b) 絶縁形インバータ構成

(c) 絶縁形 DC-DC コンバータ構成

図 3-8 絶縁形 DC-DC コンバータへの発展法

絶縁形 DC-DC コンバータ構成へと発展させるため，インバータ構成の Φ2 級インバータ回路に対し，インダクタL_Fの位置に絶縁トランスT_rを挿入する。続いて，2 次側負荷抵抗を整流回路で置き換える。図 3-8 では整流回路として半波整流回路を適用している。以降，絶縁形 DC-DC コンバータの設計を行う。

はじめに，インバータ構成の Φ2 級インバータ回路の各回路パラメータを設計する。ここでは, 表 2-10 に示す, 第 2 章で設計した回路パラメータをそのまま用いる。ここに, 表 2-10 のパラメータを再掲載する。ただし, 入力電圧V_{IN}を 100V から 50V へ, 出力電力P_{OUT}を 100W から 25W にそれぞれ変更している。Φ2 級インバータ回路の出力電圧V_{OUT}は入力電圧V_{IN}に比例して増加する。出力電力P_{OUT}は$P_{OUT} = {V_{OUT}}^2/R$ [W]で計算されるため，入力電圧V_{IN}を半分にした場合，出力電力P_{OUT}は 1/4 となるため，入力電圧および出力電力をそれぞれ上記のように変更しても，回路動作条件は同一であるため，各回路パラメータを再設計する必要はない。

表 2-10 算出された Φ2 級インバータ回路の各パラメータ(インピーダンス調整後, 13.56MHz)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	50 V	出力電力P_{OUT}	25 W
インダクタL_F	480.0 nH	キャパシタC_P	70 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF
-	-	出力容量 C_{OSS}	100 pF

つづいて，絶縁トランスT_rを設計する。絶縁トランスの 1 次側自己インダクタンスは，ドレイン-ソース間インピーダンス条件を維持するため，インダクタL_Fのインダクタンスと同一にする必要がある。よって，絶縁トランスの 1 次側自己インダクタンスは 480nH に決定される。今回の設計では，1 次側と 2 次側のインピーダンス変換を行う煩雑さを低減させるため，絶縁トランスの巻き数比は 1:1 とする。つまり，2 次側自己インダクタンスも同様に 480 nH に決定される。漏れインダクタンスによる影響排除や電力伝送効率向上のため，絶縁トランスの結合係数は 1 であるのが望ましいが，今回の設計では実器を考慮し 0.9 とする。よって，1 次側および 2 次側の漏れインダクタンスは 48 nH となる。インダクタL_Sのインダクタンスは 2 次側漏れインダクタンスを考慮し，600 nH から 552 nH へと変更する。

次に，負荷抵抗Rの設計を行う。3.1.2 項に示したように，整流回路の等価負荷抵抗を 50 Ω に設定する場合，実際の負荷抵抗値は全波整流回路適用時において 61.69 Ω，半波回路整流適用時において 246.74 Ω となる。よって絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の各回路パラメータは表 3-7 となる。また，図 3-8(c)に示す絶縁形 DC-DC コンバータ構成時におけるドレイン-ソース間のインピーダンスの大きさおよび位相を図 3-9 に示す。ただし，インピーダンス算出時において，整流回路は等価抵抗に置き換えている。

表 3-7 絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の各回路パラメータ

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	50 V	出力電力P_{OUT}	25 W
トランス自己インダクタンス	480 nH(pri, sec)	キャパシタC_P	50 pF
トランス結合係数	0.9	キャパシタC_{MR}	50 pF
インダクタL_{MR}	689.0 nH	キャパシタC_S	1 nF
インダクタL_S	600.0 nH	出力容量 C_{OSS}	100 pF

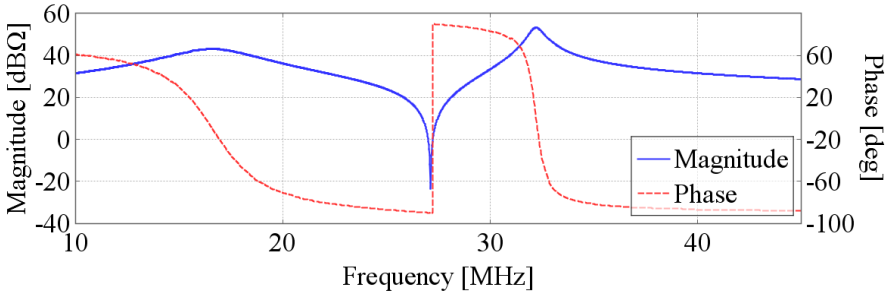


図 3-9 絶縁形 DC-DC コンバータ構成時におけるインピーダンス

図 3-9 に示すように，絶縁トランスを追加した場合においても，前述した Φ2 級インバータ回路のインピーダンス条件を満たしている。インピーダンスの大きさおよび位相は，スイッチング周波数(13.56 MHz)時において[37.42 dBΩ，46.39°]，3 倍スイッチング周波数(40.78 MHz)時では[30.93 dBΩ，-87.05°]である。以上で絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の設計が完了する。

3.2 シミュレーションを用いた動作検証

本節では，シミュレーションを用いて，絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の動作検証を行う。図 3-10 にシミュレーションに用いた回路図を，表 3-8 にシミュレーションに用いた各回路パラメータをそれぞれ示す。なお，今回の検証では，絶縁形 DC-DC コンバータ構成とした場合における動作を確認するため，適用した整流器はダイオードの数が少ない半波整流器であり，全波整流器の適用はシミュレーションで検証していない。また，実際のアプリケーションへの適用を検討するため，スイッチング周波数は 13.56MHz に設定した。図 3-11 にシミュレーションより得られた各波形を示す。

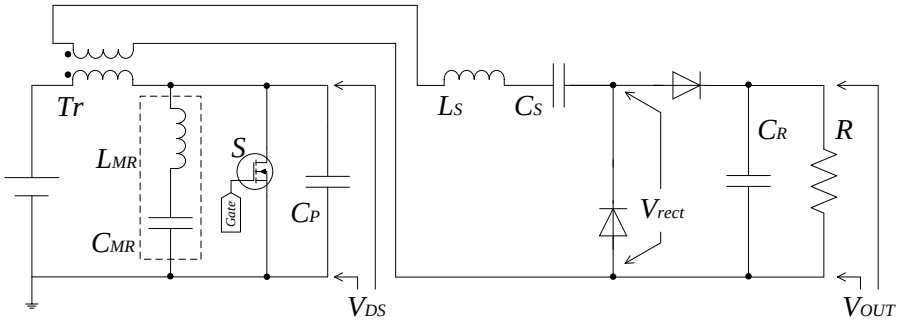


図 3-10 動作検証に用いた絶縁形 DC-DC コンバータ構成 Φ2 級インバータ回路

表 3-8 絶縁形 DC-DC コンバータ構成 Φ2 級インバータ回路の各回路パラメータ(シミュレーション)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	250 Ω
入力電圧V_{IN}	100 V	出力電力P_{OUT}	100 W
トランス自己インダクタンス	480 nH(pri, sec)	キャパシタC_P	50 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF
キャパシタC_{f1}	1 μF	キャパシタC_{f2}	- (接続なし)
ゲートドライバ電圧V_{CC}	12 V	キャパシタC_{SP}	1500 pF
ゲート抵抗R_{S1}	5 Ω	ゲート抵抗R_{S2}	250 Ω

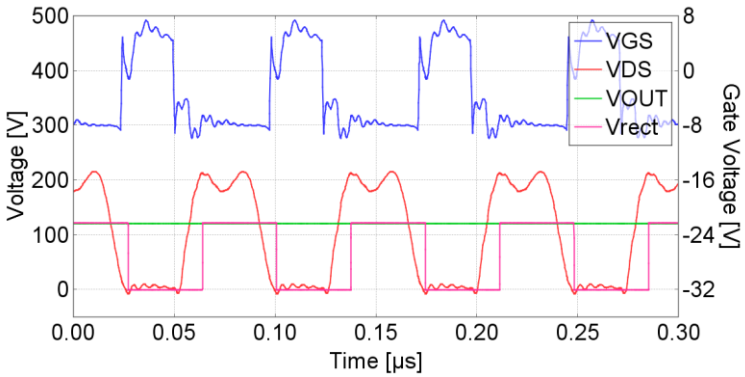


図 3-11 シミュレーションにおける各波形(絶縁形 DC-DC コンバータ, 13.56MHz)

図 3-11 に示す波形はそれぞれ，上から順にゲート電圧V_{GS}，ドレイン-ソース間電圧V_{DS}，出力電圧V_{OUT}，整流器直前の電圧V_{rect}である。図 3-11 に示すように，V_{DS}波形はきれいな台形状を示しピーク値が抑制されている。また，出力電圧もおおむね正弦波状となっており，正常な Φ2 級インバータ回路の動作が確認できる。よって，絶縁形 DC-DC コンバータ構成とした場合においても，理想的な Φ2 級インバータ回路の動作が確認できる。

3.3 実器を用いた動作検証

次に，実器を用いて絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の評価を行う。実器を用いた動作検証では，全波整流器および半波整流器それぞれを用いる。表 3-9 に実器に用いる各回路パラメータおよび回路部品を示す。図 3-12 に実器に用いたプリント基板を，図 3-13 に動作検証に用いた実器の外観をそれぞれ示す。ただし，インダクタ作製の影響により設計値とは若干異なるほか，インダクタL_Sは絶縁トランス 2 次側巻線の漏れインダクタンスを再考慮し 518 nH に決定した。負荷抵抗は部品の制約上, 246.7 Ω を 250 Ω(半

波整流)，61.68 Ω を 61.41 Ω(全波整流)に変更している。また，整流ダイオードは耐電圧の関係上，3 直列としている。図 3-14 に全波整流方式適用時における入力電圧 20V，50V 時の各波形，図 3-15 に半波整流方式適用時における入力電圧 20V，50V 時の各波形を示す。

表 3-9 絶縁形 DC-DC コンバータ構成 Φ2 級インバータ回路の各回路パラメータ(実器)

インダクタL_{MR}	Amidon T106-#6, PEW Φ=1.1 mm, 5 Turn	689 nH
インダクタL_S	Amidon T106-#6, PEW Φ=1.1 mm, 5 Turn	518 nH
キャパシタC_P	10 pF×5　Yageo 223897111523	50 pF
キャパシタC_{MR}	10 pF×5　Yageo 223897111523	50 pF
キャパシタC_S	150 pF×6　C3216C0G2J151J060AA	1000 pF
	100 pF×1 TDK C3216C0G2J101J060AA	
負荷抵抗R(半波整流)	100 Ω×5 東海熱工業 ER100SP 100Ω	250 Ω
負荷抵抗R(全波整流)	100 Ω×2 東海熱工業 ER100SP 100Ω	61.41 Ω
	10 Ω 東海熱工業 ER100SP 10Ω	
	0.47 Ω×3 東海熱工業 ER10SP 0.47Ω	
トランス T_r	Amidon T106-#2, 4-4Turn	480 nH(pri) 480 nH(sec) k=0.862
整流ダイオードD_1, D_2	40V, 3A×3 PANJIT INTERNATIONAL INC. SB340LS	
平滑キャパシタC_f	Panasonic ECWF4204JB, 400V 200nF	200 nF
ゲートドライバ	Linear Technology LTC4440	
ゲート抵抗R_{s1}	22 Ω×4 Connectivity CRG1206F22R	5.5.Ω
ゲート抵抗R_{s2}	910 Ω×4 Vishay CRCW1206910RFKEA	227.5 Ω
キャパシタC_{sp}	470 pF×3 TDK C3216C0G2J471J085AA	1410 pF
GaN-HFET	Panasonic PGA26E08BA	

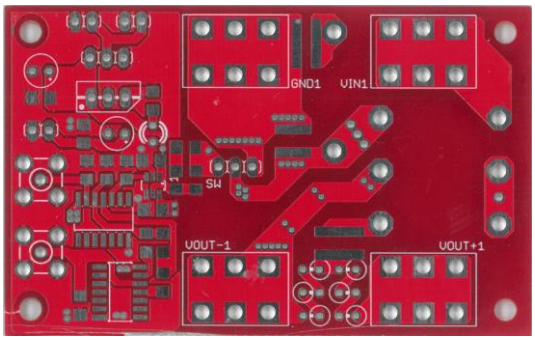


図 3-12 動作検証に用いたプリント基板

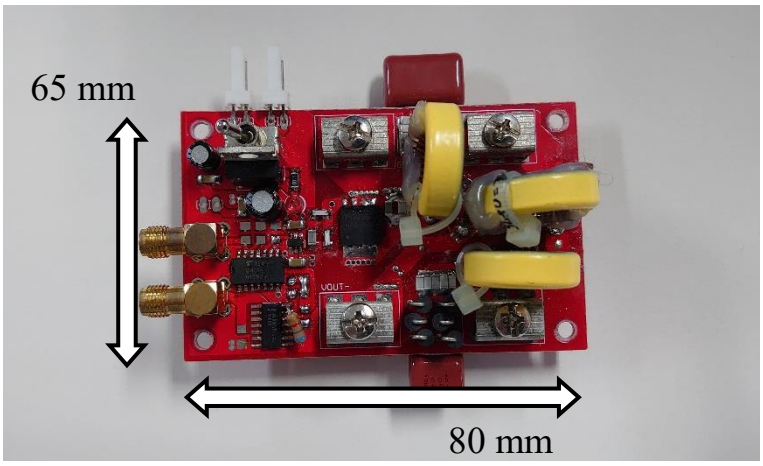
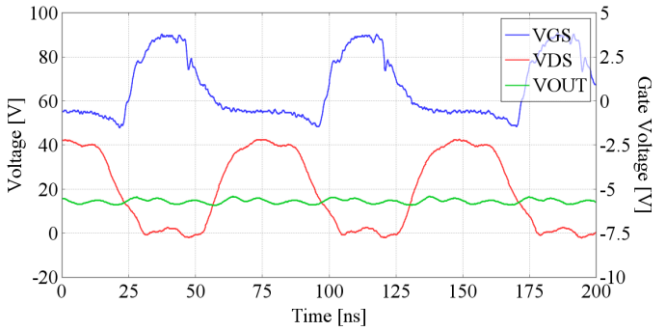
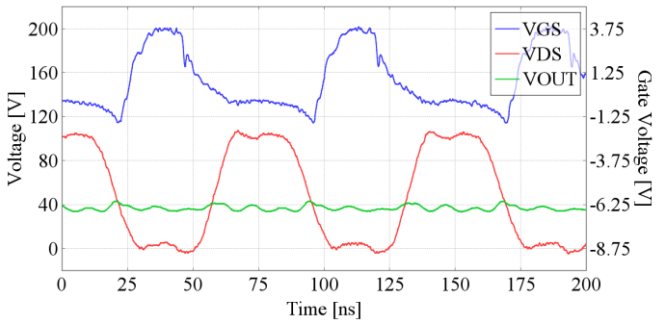


図 3-13 動作検証に用いた実器の外観(絶縁形 DC-DC コンバータ)

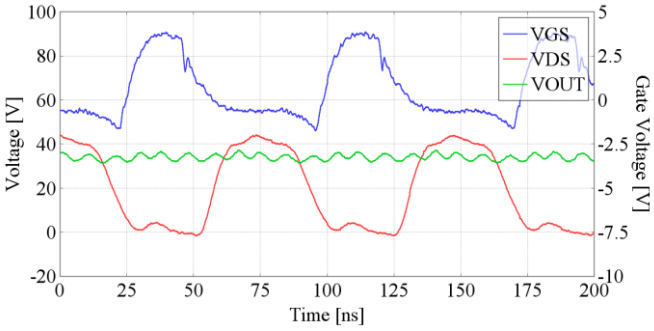


(a) 入力電圧 20V 時における各波形

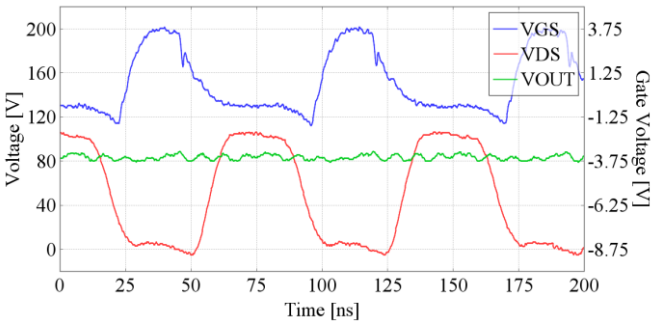


(b) 入力電圧 50V 時における各波形

図 3-14 全波整流回路構成時における各波形



(a) 入力電圧 20V 時における各波形

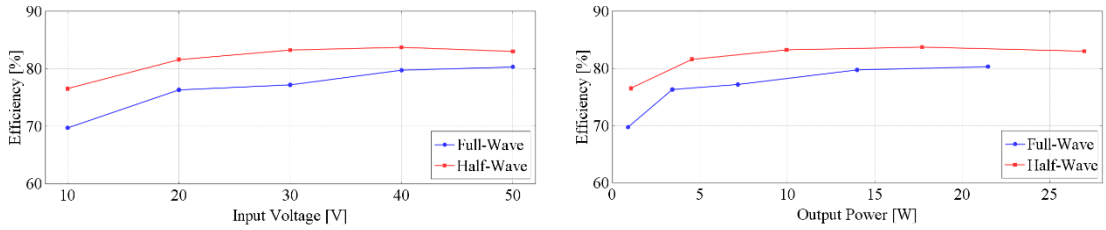


(b) 入力電圧 50V 時における各波形

図 3-15 半波整流回路構成時における各波形

図 3-14 および図 3-15 に示すように，実器においてもドレイン-ソース間電圧は台形状を示し，ゲート電圧も大きな振動がなく所望の波形が観測されることから，GaN-HFET は正常にスイッチングしており，理想的な回路動作が達成される。ただし，入力電圧 20V 時において，v_{DS}波形の上底部は理想的な 3 次高調波が注入された波形となっていない。これは，低入力電圧時に GaN-HFET の出力容量C_{OSS}が大きくなり，V_{DS}波形の立ち上がりが遅れる影響であると考えられる。1MHz 程度のスイッチング周波数では，入力電圧の変化による波形への影響は小さかったが，13.56MHz 付近のスイッチング周波数では，GaN-HFET の出力容量C_{OSS}の影響が表れはじめる。これは，スイッチング周波数の上昇に従って，スイッチングデバイスと並列に接続されているキャパシタC_Pの容量は小さくなるため，相対的にスイッチングデバイスの有する出力容量C_{OSS}による影響が大きくなるためである。出力電圧v_{OUT}波形には，スイッチング周期よりも短い周期を有する振動が発生しているが，振動周波数がスイッチング周波数とも 3 倍スイッチング周波数と一致しないことから，測定ノイズやダイオードの寄生容量などによって発生した振動だと考えられる。

図 3-16 に入力電圧を 10V から 50V まで変化させた場合における電力変換効率を示す。なお，入力電力は入力電圧源の直近にて測定した電流を，出力電力は負荷抵抗 R の直近にて測定した電圧を用いてそれぞれ算出した。

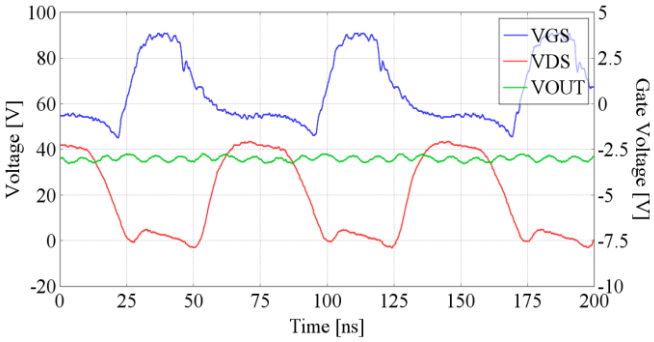


(a) 入力電圧基準　　(b) 出力電力基準

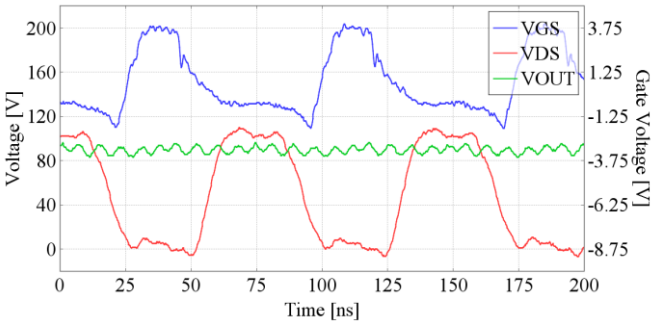
図 3-16 電力変換効率曲線(絶縁形 DC-DC コンバータ)

図 3-16 に示すように，全波整流適用時は入力電圧 50V 時において最大電力変換効率 80.32%，半波整流適用時は入力電圧 40V 時において 84.17%をそれぞれ達成している。全波整流適用時は，半波整流適用時に比べて電力変換効率が全体的に低くなっており，これは通過するダイオードの数が多いためであると考えられる。よって，電力変換効率からの観点から，半波整流回路の適用が望ましいことがわかる。以降，半波整流回路を用いて各動作検証および実験を行う。

つづいて，電力変換効率向上および出力電圧振動の抑制を目指すため，整流ダイオードの構成変更を検討する。整流ダイオードの変更として，同型番ダイオード(SB340LS)の直列数を 3 から 2 に削減する場合，耐電圧が高い他のダイオード(SB1110, 100V 3A, VF=850 mV @1A, Cj=36 pF @V=40V)に取り換える場合の 2 通りで実験を行う。2 直列とする場合，電流が通過するダイオードの個数が減少することから，順方向電圧による導通損失の削減が期待される。また，高耐圧ダイオードの寄生容量は，前述のダイオードと比べ低く，出力電圧波形の振動抑制が期待される。

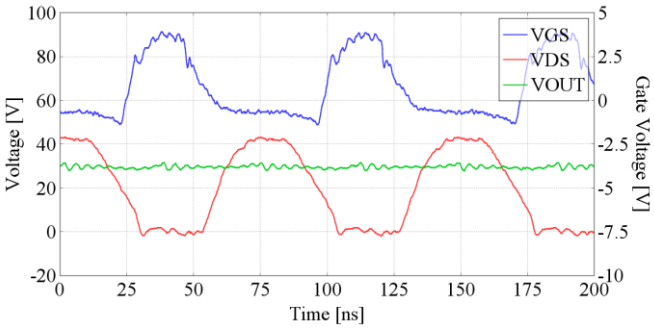


(a) 入力電圧 20V 時における各波形

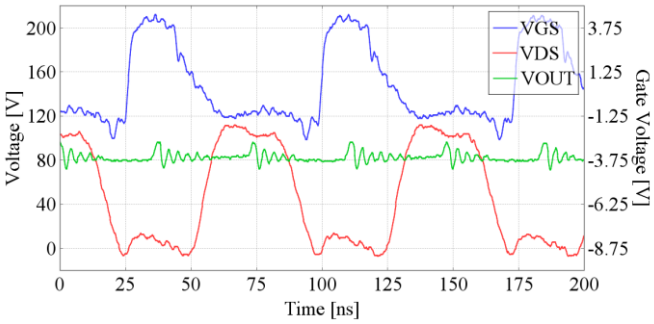


(b) 入力電圧 50V 時における各波形

図 3-17 ダイオードを 2 直列とした場合における各波形

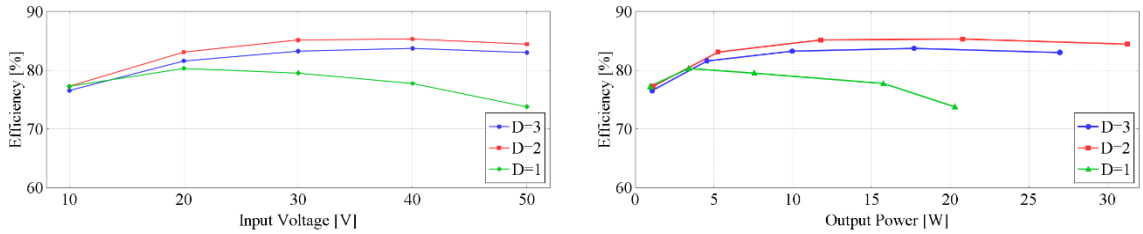


(a) 入力電圧 20V 時における各波形



(b) 入力電圧 50V 時における各波形

図 3-18 高耐圧ダイオードを使用した場合における各波形



(a) 入力電圧基準　　(b) 出力電力基準

図 3-19 電力変換効率曲線(絶縁形 DC-DC コンバータ，ダイオードの検討)

図 3-17 に示すように，同型番ダイオードの直列数を低減した場合においても，出力電圧波形に振動が観測される。振動周波数は直列数を 3 とした場合と同じであるが，その振幅は異なる。また，入力電圧が高くなるにつれて，その振動数が大きくなっている。よって，出力電圧の振動は整流ダイオードが有するジャンクション容量によって引き起こされていると考えられる。一方，図 3-18 に示すように，別型番のダイオード(SB1110)とした場合は出力電圧波形に大きな振動は観測されず，安定した直線を示す。入力電圧 50V 時においては，ダイオードのターンオフ時に振動が発生しているが，ほぼ直流を示す安定した波形となる。よって，出力電圧の振動は，適用している整流ダイオード(SB340LS)に依存していると考えられる。

図 3-19 に示すように，ダイオード直列数 D を 2 とする場合，高耐圧ダイオードを適用した場合と比べ全体的に高効率を示し，入力電圧 50V 時において，電力変換効率 85.41 %を達成した。また，直列数を 3 とした場合よりも高効率である。これは，ダイオードの直列接続数減少に伴う寄生容量の損失増加に比べ，順方向電圧V_Fの減少による損失低減が影響した結果だと考えられる。

ダイオードを直列接続した場合，全体の寄生容量は削減され，これに起因する損失も削減される。ただし，順方向電圧V_Fが増加するため，通過電流に比例する損失は大きくなる。今回の動作検証ではダイオードの直列数を削減した場合，より振動成分の振幅が大きくなったことから以降の検証では，比較的振動が抑制されるダイオード直列数を 3 に設定する。高耐圧ダイオード適用時にはより大きな振動が確認されたため，従来より適用していたダイオードである SB340LS を用いる。

参考文献

[1] M. K. Kazimierczuk and D. Czarkowski, “Resonant Power Converters,” 2nd ed., John Wiley & Sons Inc, 2011.

[2] J. M. Rivas, Y. Han, O. Leitermann, A. D. Sagneri, and D. J. Perreault, “A high-frequency resonant inverter topology with low-voltage stress,” IEEE Trans. on Power Electron., vol. 23, no. 4, pp. 1759-1771, 2008.

[3] J. M. Rivas, O. Leitermann, Y. Han, and D. J. Perreault, “A very high frequency DC-DC converter

based on a class Φ2 resonant inverter," IEEE Trans. on Power Electron., vol. 26, no. 10, pp. 2980-2992, 2011.
[4] Y. Yanagisawa, Y. Miura, H. Hand, T. Ueda, and T. Ise, "Characteristics of isolated dc-dc converter with class Phi-2 inverter under various load conditions," IEEE Trans. on Power Electron., vol. 34, no. 11, pp. 10887-10897, Nov. 2019.

第4章 絶縁形 DC-DC コンバータの負荷特性

Φ2 級インバータ回路は共振形電力変換回路であり，その動作は負荷抵抗値を含む各回路パラメータに大きく依存し，設計動作条件から逸脱する回路パラメータを用いた場合，理想的な動作は達成されない。本回路を実際のアプリケーションに適用する場合，負荷抵抗に対する回路の動作特性である負荷特性(出力特性)の調査が欠かせない。よって，本章では Φ2 級インバータ回路の負荷特性を，インバータ構成における場合および絶縁形 DC-DC コンバータ構成における場合，それぞれについて評価した。

4.1 インバータ構成における負荷特性

本節では，インバータ構成である通常の Φ2 級インバータ回路に対する負荷特性を検証する。表 4-1 に負荷特性の検証に用いた Φ2 級インバータ回路の設計条件および各回路パラメータを示す。また，図 4-1 に表 4-1 の条件におけるドレイン-ソース間のインピーダンスの大きさおよび位相を示す。

表 4-1 負荷特性の検証に用いた設計条件および各パラメータ(インバータ構成)

スイッチング周波数f_s	13.56 MHz	負荷抵抗R	50 Ω
入力電圧V_{IN}	50 V	出力電力P_{OUT}	250 W
インダクタL_F	480.0 nH	キャパシタC_P	50 pF
インダクタL_{MR}	689.0 nH	キャパシタC_{MR}	50 pF
インダクタL_S	600.0 nH	キャパシタC_S	1 nF
-	-	出力容量 C_{OSS}	100 pF

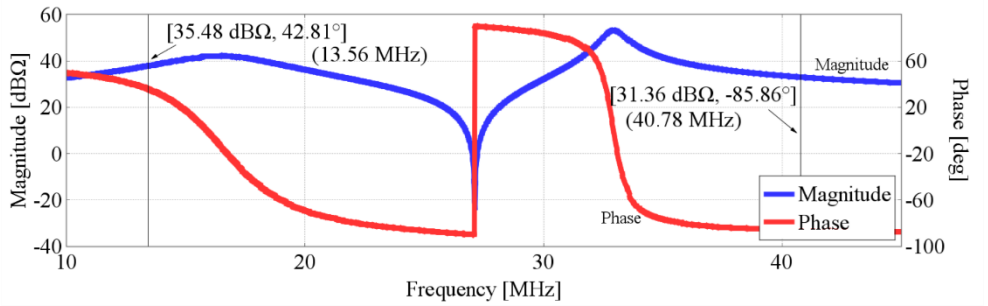


図 4-1 表 4-1 の条件におけるインピーダンスの大きさおよび位相(対周波数)

図 4-1 は，設計条件である負荷抵抗$R = 50[\Omega]$時におけるインピーダンスの対周波数特性を示している。図 4-2 に表 4-1 に示す設計条件におけるインピーダンスの大きさおよび位相対負荷特性を示す。

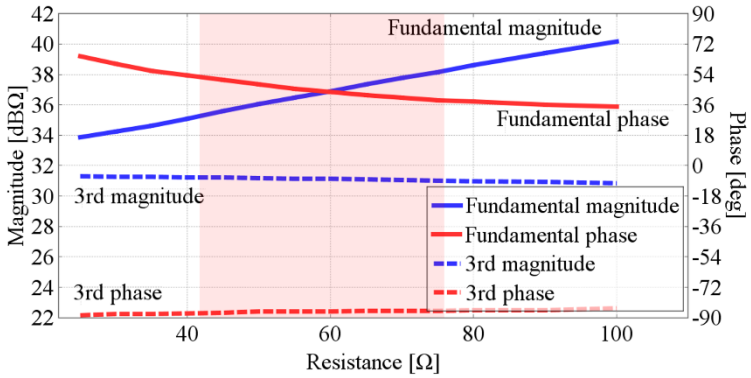


図 4-2 インピーダンスの大きさおよび位相(対負荷抵抗)

Φ2 級インバータ回路において，理想的な動作を達成するためのインピーダンス条件は，2.4 節に示しているように，基本スイッチング周波数(f_s)時におけるインピーダンス位相がおおむね 40°，かつ 3 倍スイッチング周波数($3f_s$)時におけるインピーダンス強度の差が 4~8 dBΩ である必要がある[1]-[4]。本インピーダンス条件を満たす負荷抵抗の範囲を，図 4-2 中の背景が赤くなっている箇所に示す。よって，Φ2 級インバータ回路が満たすべきインピーダンス条件を満たす負荷抵抗の範囲は，設計負荷抵抗(50 Ω)直近だけでなく，低抵抗領域および高抵抗領域それぞれに広がっている。よって，Φ2 級インバータ回路は設計負荷抵抗以外の負荷抵抗値においても，ソフトスイッチングが達成可能な理想的な動作が達成される可能性がある。以降，負荷抵抗を設計負荷抵抗値より変化させた場合における，Φ2 級インバータ回路の特性を検証する。

4.1.1 シミュレーションを用いた負荷特性の検証

はじめに，シミュレーションソフト LTSpice を用いて，Φ2 級インバータ回路の負荷特性検証を行う。図 4-3 にシミュレーションに用いた回路図を示す。図 4-4 に表 4-1 に示す設計条件における Φ2 級インバータ回路の動作波形を示す。

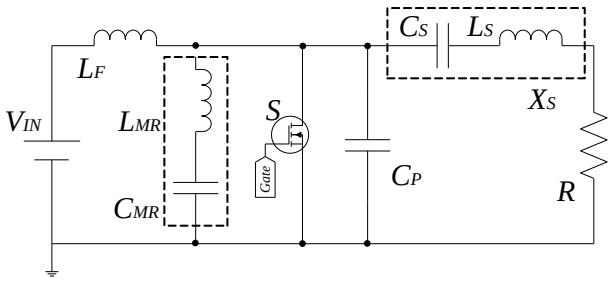


図 4-3 負荷特性の検証に用いた Φ2 級インバータ回路

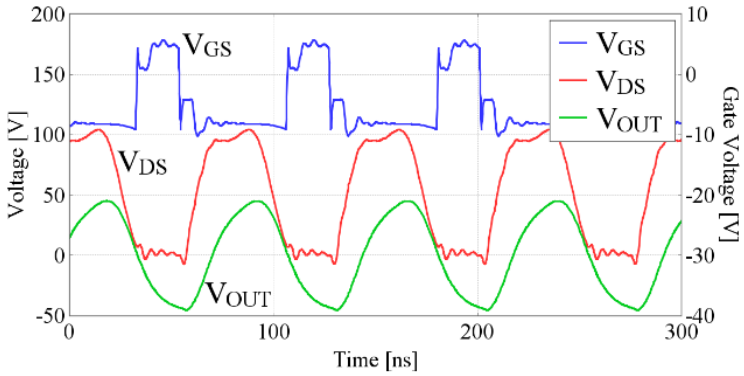
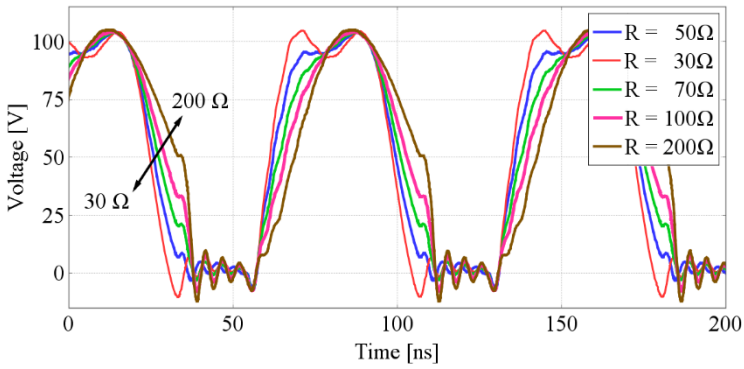
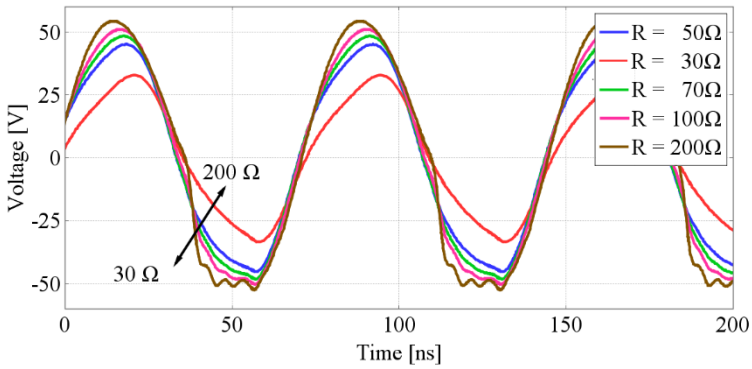


図 4-4 表 4-1 の設計条件における動作波形(負荷抵抗 50Ω の場合)

図 4-4 に示すように，表 4-1 に示す設計条件では，Φ2 級インバータの理想的な動作が確認できる。これは，当然に設計条件下で回路が動作しているためである。つづいて，負荷抵抗を 30 Ω から 200 Ω まで変更し，それぞれの負荷抵抗における Φ2 級インバータ回路の波形を確認する。選択した負荷抵抗は設計負荷抵抗 50 Ω のほかに，30 Ω，70 Ω，100 Ω，200 Ω とする。図 4-5 に負荷抵抗を変化させた場合における各波形を示す。



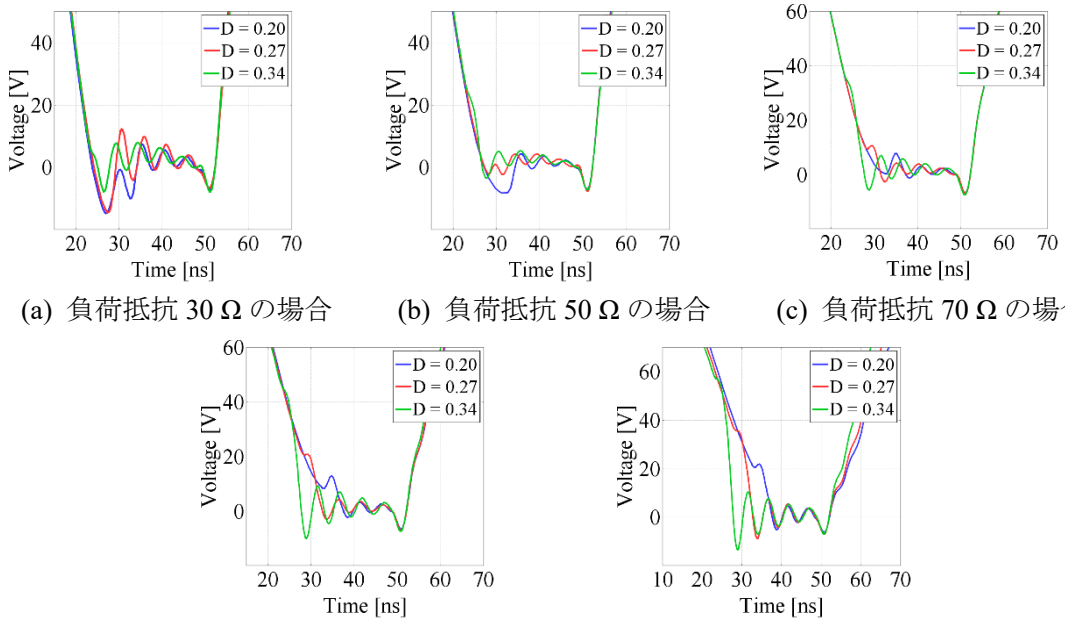
(a) ドレイン-ソース間電圧波形



(b) 出力電圧波形

図 4-5 負荷抵抗を変化させた場合における各動作波形(インバータ構成，シミュレーション)

図 4-5 に示すように負荷抵抗を変化させた場合，ドレイン-ソース間電圧波形および出力電圧波形は設計負荷抵抗値である 50Ω 時と比べて大きく変化する。負荷抵抗 100 Ω や 200 Ω のような，設計負荷抵抗値よりも高い抵抗を負荷に適用した場合，ドレイン-ソース間電圧は台形状波形にならず，ターンオン時にハードスイッチングが観測される。これは，負荷抵抗を増大させた場合，出力電流が減少してスイッチングデバイスの出力容量を完全に放電できなくなるためである。そのため，ドレイン-ソース間電圧が 0V まで低下しなくなる。負荷抵抗が 200 Ω の場合，キャパシタC_Pを含むスイッチングデバイスの出力容量を放電する電流は，設計負荷抵抗における場合と比較して 41%減少する。ただし，デューティ比を調整し，ターンオンタイミングを遅らせることにより，スイッチング損失が削減される可能性がある。一方で，30 Ω のような設計負荷抵抗値より低い負荷抵抗を適用した場合，ドレイン-ソース間電圧波形は台形状波形を維持し，出力電圧波形もおおむね正弦波状波形を維持していることから，設計負荷抵抗よりも低い負荷抵抗では，Φ2 級インバータ回路の動作が継続される。ただし，台形状波形の立ち上がりおよび立ち下がりが高速になっているため，ターンオンタイミングより前に，ドレイン-ソース間電圧が 0V まで低下している。また，ドレイン-ソース間電圧には微小な振動も確認される。ターンオンタイミングが遅くなる場合，スイッチングデバイスを流れる逆導通電流が増加し，不要なダイオード導通損失を招く可能性がある。特に，GaN-HFET を適用する場合，GaN-HFET が有する逆導通ダイオードの順方向電圧はショットキーバリアダイオードと比べ高く，GaN-HFET と逆並列にダイオードを追加しない場合は損失が増加してしまうことから，ターンオンタイミングを調整し，逆導通ダイオードを導通する時間を削減するのが望ましい。図 4-6 に各負荷抵抗においてデューティ比を変化させ，ターンオンタイミングを調整した結果について示す。



(a) 負荷抵抗 30 Ω の場合　(b) 負荷抵抗 50 Ω の場合　(c) 負荷抵抗 70 Ω の場合

(d) 負荷抵抗 100 Ω の場合　(e) 負荷抵抗 200 Ω の場合

図 4-6 ターンオンタイミングを調整した場合におけるドレイン-ソース間電圧波形

図 4-6 に示すように，ターンオンタイミングを調整した場合，ドレイン-ソース間電圧波形は一定の制約がありつつも，理想的な波形へと近づけることが可能である。図 4-6(a)に示すように，低抵抗領域においてターンオンタイミングを早めた場合(D=0.34)，他のデューティ比の場合と比べて差異がない波形が観測され，不要な逆導通ダイオード損失が低減可能である。一方で負荷抵抗 200 Ω のような高負荷抵抗領域では，ターンオンタイミングを遅らせることにより，より低いドレイン-ソース間電圧でスイッチングが可能になり，ハードスイッチングで発生するスイッチング損失の低減が可能である。ただし，デューティ比をさらに小さくし，よりターンオンタイミングを遅らせる場合，次のターンオフまでに十分な時間を確保できなくなるため，調整可能なデューティ比には一定の制約がある。よって，デューティ比の調整によりターンオンタイミングを調整することにより，低抵抗領域および高抵抗領域いずれにおいても，Φ2 級インバータ回路の動作をより理想的にすることが可能である。ただし，デューティ比の調整には一定の制約がある。

したがって，より低いスイッチング損失を達成し，設計条件とは異なる負荷抵抗において理想的な動作を継続するためには，回路の誘導性を維持するためにデューティ比を調整するか，各回路パラメータを調整する必要がある。回路の誘導性を維持し，ソフトスイッチングを達成するために，負荷抵抗 200 Ω 時においてインダクタL_Fを 360nH に変更すると，図 4-7 に示すようにドレイン-ソース間電圧は理想的な台形状波形になりソフトスイッチングが達成されるが，出力電圧波形は正弦波状とならない。

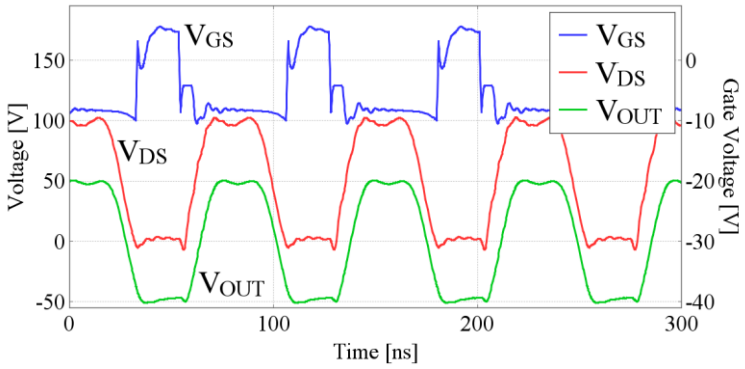
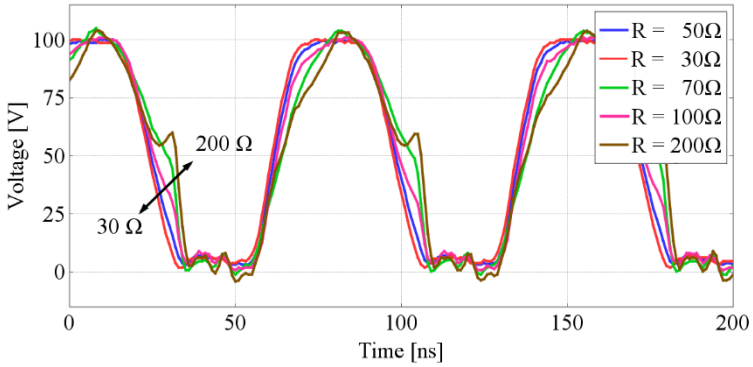


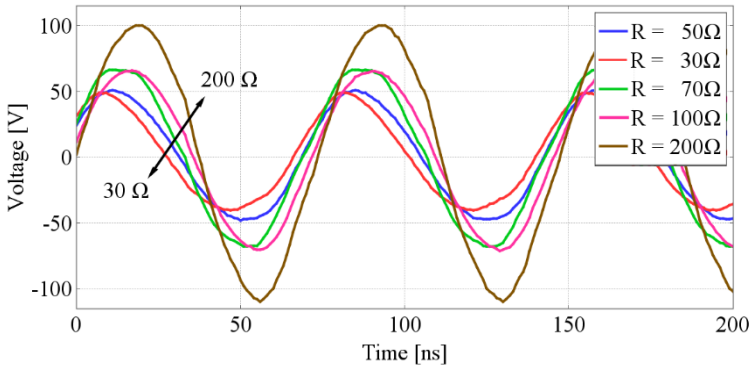
図 4-7 負荷抵抗 200 Ω 時において，インダクタL_Fを 360 nH に変更した場合における各波形

4.1.2 実器を用いた負荷特性の検証

つづいて，実器を用いて Φ2 級インバータ回路の負荷特性を検証する。本特性の検証に用いた回路パラメータは，2.6.1.2 にて用いたものと同じである表 2-14 に示すものを用いる。また，検証に用いた実器は図 2-31 に示すものを用いた。図 4-8 に負荷抵抗を変化させた場合における各波形を示す。



(a) ドレイン-ソース間電圧波形



(b) 出力電圧波形

図 4-8 負荷抵抗を変化させた場合における各動作波形(インバータ構成，実器)

図 4-8 に示すように，負荷抵抗を設計負荷抵抗値から変化させた場合，各波形はシミュレーションと同様の傾向を示す。負荷抵抗が設計負荷抵抗値よりも高い場合，ハードスイッチングが確認されるが，負荷抵抗が 30 Ω や 70 Ω などの設計負荷抵抗値 50 Ω に近い場合，ドレイン-ソース間電圧はほぼ理想的な台形状波形を示す。また，すべての負荷抵抗において，出力電圧は正弦波状波形となる。よって，通常のインバータ構成における Φ2 級インバータ回路は，シミュレーションおよび実器の検証結果より設計負荷抵抗値の近傍(ここでは 30 Ω～70 Ω)では動作が継続可能である。

4.2 絶縁形 DC-DC コンバータ構成における静的負荷特性

つづいて，前節と同様に絶縁形 DC-DC コンバータ構成時における負荷特性の検証を行う。絶縁形 DC-DC コンバータ構成時では，インバータ構成時と同様な静的負荷特性の調査に加え，回路動作中に負荷抵抗を変化させた場合の動的負荷特性についても調査する。本節では静的負荷特性について調査し，動的負荷特性は後節で述べる。静的負荷特性はインバータ構成時と同様に，シミュレーションおよび実器を用いてそれぞれ検証する。

4.2.1 シミュレーションを用いた負荷特性の検証

はじめに，シミュレーションを用いて負荷特性の検証を行う。特性検証に用いる回路パラメータは表 3-8 に示すものと同じとする。図 4-9 に設計条件において動作させた場合における絶縁形 DC-DC コンバータ構成の各波形を，図 4-10 に負荷抵抗を変化させた場合におけるドレイン-ソース間電圧波形をそれぞれ示す。ただし，絶縁形 DC-DC コンバータ構成での出力電圧は一定の直流電圧であるため，出力電圧波形については検証していない。なお，選択した負荷抵抗はインバータ構成時と同様に設計負荷抵抗 50 Ω のほかに，30 Ω，70 Ω，100Ω，200Ω とする。

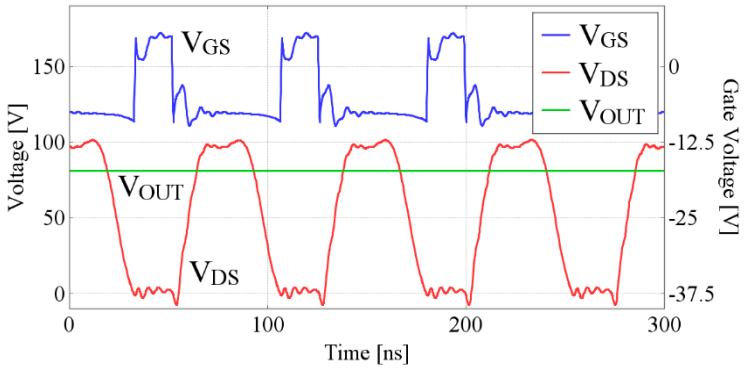


図 4-9 設計負荷条件における各電圧波形(絶縁形 DC-DC コンバータ構成，シミュレーション)

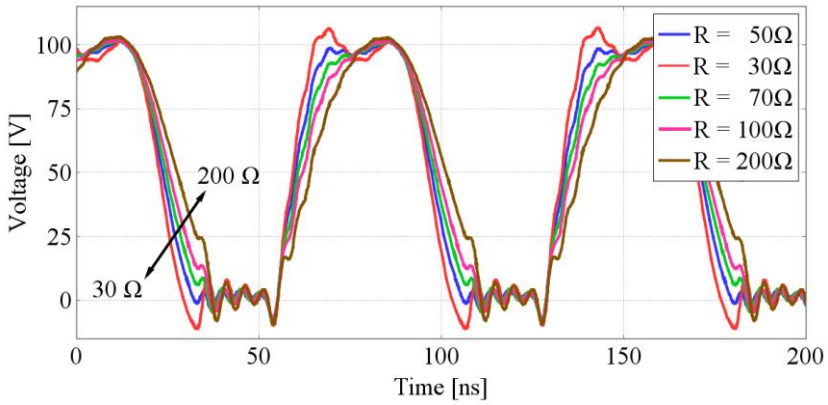


図 4-10 負荷抵抗を変化させた場合におけるドレイン-ソース間電圧波形(絶縁形 DC-DC コンバータ構成，シミュレーション)

図 4-9 に示すように，絶縁形 DC-DC コンバータ構成では，出力電圧が直流電圧となる。設計負荷条件ではインバータ構成時と同様に，理想的な台形状ドレイン-ソース間電圧波形が観測され，ソフトスイッチングが実現されている。図 4-10 に示すように，様々な負荷条件において絶縁形 DC-DC コンバータを動作させた場合，ドレイン-ソース間電圧波形はイ

ンバータ構成時と同様の傾向が確認される。ドレイン-ソース間電圧波形の傾きはインバータ構成時と比較して急峻となる。負荷抵抗 200Ω のような高抵抗領域では，ハードスイッチングが確認されるが，ターンオンのタイミングにおいてドレイン-ソース間電圧はインバータ構成時と比べて小さな値となっている。よって，絶縁形 DC-DC コンバータ構成ではハードスイッチングの具合は緩くなり，スイッチング損失は削減される。これは，半波整流回路を適用したことにより，キャパシタC_Pを含むスイッチングデバイスの出力容量を放電する電流が増加したためである。一方で，低抵抗領域ではソフトスイッチングが達成されるが，インバータ構成時と同様に理想的なソフトスイッチングではない。よって，理想的な動作を達成するためには，GaN-HFET のオンデューティ比の調整が必要となる。

4.2.2 実器を用いた負荷特性の検証

つづいて，実器をもちいて，絶縁形 DC-DC コンバータ構成における Φ2 級インバータ回路の負荷特性を検証する。検証に用いたパラメータは表 2-14 に示すものを用いた。また，図 3-13 に示す実器を用いて動作検証を行った。図 4-11 に設計条件である等価負荷抵抗を 50 Ω に設定した場合の各波形を，図 4-12 に負荷抵抗を変化させた場合におけるドレイン-ソース間電圧波形を示す。なお，整流回路中の平滑コンデンサは 10μF に設定し，GaN-HFET のオンデューティ比は 0.24 に設定した。

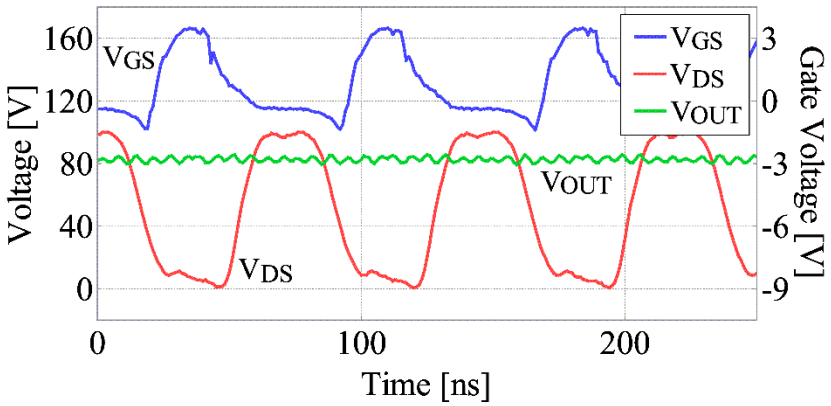
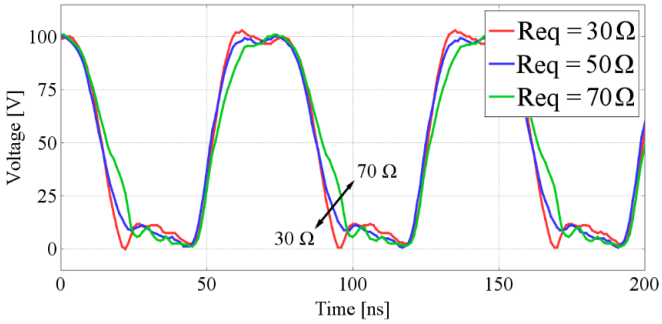
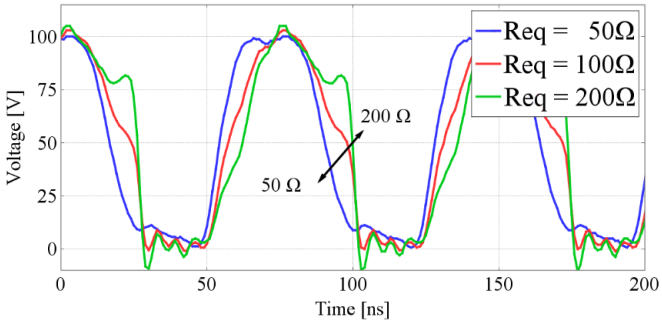


図 4-11 設計負荷条件における各電圧波形(絶縁形 DC-DC コンバータ構成，実器)



(a) 負荷抵抗 30Ω から 70Ω における各波形



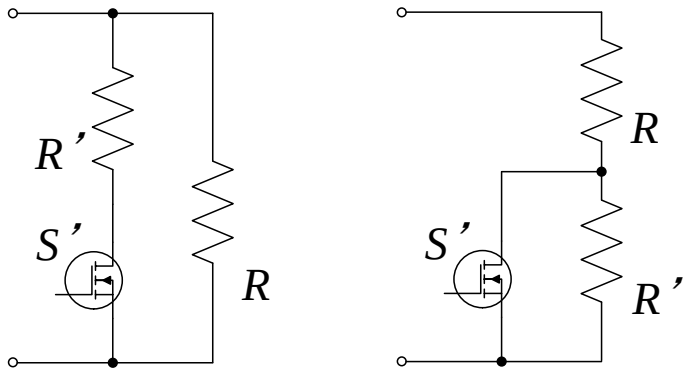
(b) 負荷抵抗 100Ω および 200Ω における各波形

図 4-12 負荷抵抗を変化させた場合におけるドレイン-ソース間電圧波形(絶縁形 DC-DC コンバータ，実器)

図 4-11 に示すように負荷抵抗を設計条件である 50 Ω に設定した場合，3.3 節で示した実験結果と同様に，理想的な DC-DC コンバータの動作が確認される。図 4-12(a)に示すように負荷抵抗を 30 Ω や 70 Ω などの設計負荷抵抗値 50 Ω に近い値に設定した場合，ドレイン-ソース間電圧は理想的な台形状波形となる。ただし，シミュレーション時と同様に，負荷抵抗を 100 Ω や 200 Ω のような設計負荷抵抗と大きく離れた軽負荷に設定した場合，ドレイン-ソース間電圧は台形状波形とはならず，ハードスイッチングが確認される。実器による負荷特性検証ではシミュレーション時とは異なり，大きなハードスイッチングが確認される。これは，シミュレーションでは再現されていない寄生パラメータ(主に抵抗成分)や，整流ダイオードの寄生容量，トランスの容量結合などが影響し，キャパシタC_Pを含むスイッチングデバイスの出力容量を十分に放電できなかったためであると考えられる。また，図 4-12(a)より負荷抵抗値が小さい場合，ドレイン-ソース間電圧波形の中央の凹みが大きくなる。これは，基本スイッチング周波数時のドレイン-ソース間インピーダンスが小さくなり，相対的に 3 倍スイッチング周波数時におけるインピーダンスが増大し，注入される高調波成分が大きくなるためである。従って，絶縁形 DC-DC コンバータ構成における静的負荷特性は，インバータ構成時と同様に，負荷抵抗が小さい場合は通常の動作が確認できるが，負荷抵抗が高い場合は理想的な動作が困難である。

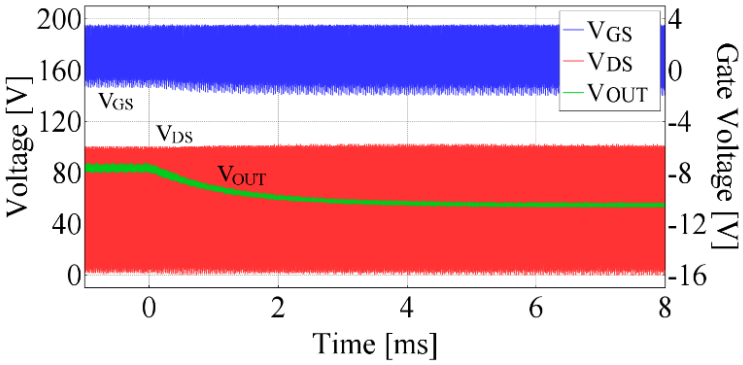
4.3 絶縁形 DC-DC コンバータ構成における動的負荷特性

つづいて，絶縁形 DC-DC コンバータ動作中に負荷抵抗を変化させた場合の過渡特性である動的負荷特性を調査する。負荷抵抗は Φ2 級インバータ回路の主回路で決定されず，外部要因によって決定される。本提案構成では，オープンループ制御により主回路を制御しているため，負荷抵抗が変化した場合においても制御を行うことは困難である。そのため，本章では外部要因により負荷抵抗が動的に変化した場合における特性を検証する。負荷抵抗は回路動作中にステップ状に変化させる。図 4-13 に負荷抵抗を変化させる場合に用いた回路図を，図 4-14 に負荷抵抗を回路動作中に変化させた場合における各波形を示す。図 4-13 に示す回路では，負荷抵抗を変化させるタイミングでスイッチをオンオフしている。負荷抵抗を変化させるケースは，(i)50 Ω→30 Ω，(ii)50 Ω→70 Ω，(iii)50 Ω→100 Ω の 3 ケースとした。いずれのパターンにおいても，時刻 t=0[s]で負荷抵抗を変化させている。整流回路中の平滑コンデンサは 10μF に設定している。動的負荷特性の検証には，負荷抵抗を除き静的負荷特性に用いた実器および回路パラメータと同一のものを使用した。

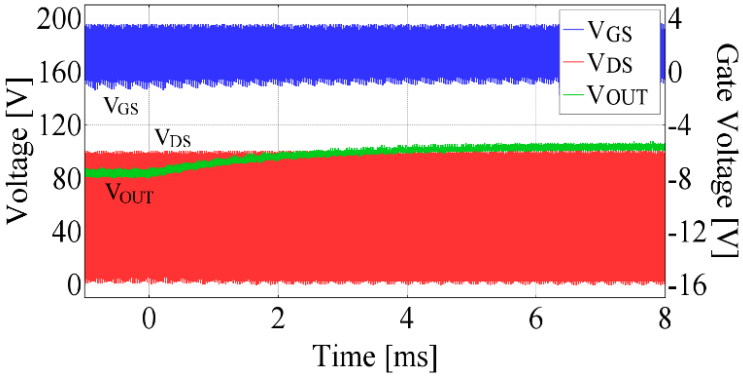


(a) 低抵抗に変化させる場合　　(b) 高抵抗に変化させる場合

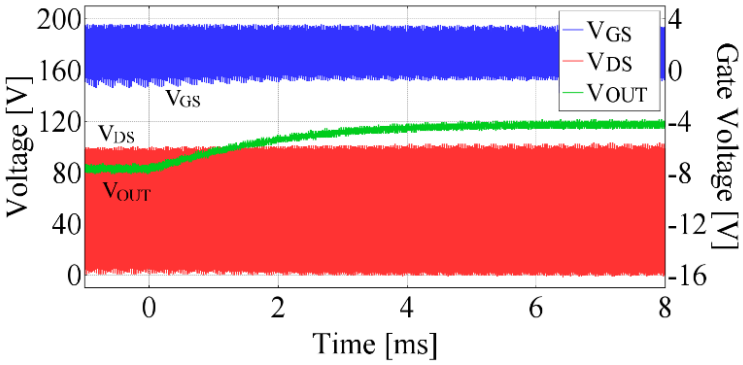
図 4-13 負荷を変化させる場合に用いた回路



(a) 負荷抵抗を 50 Ω から 30 Ω に変更した場合



(b) 負荷抵抗を 50 Ω から 70 Ω に変更した場合



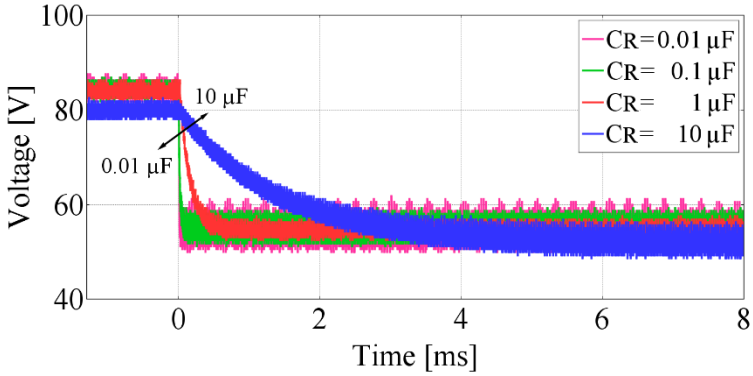
(c) 負荷抵抗を 50 Ω から 100 Ω に変更した場合

図 4-14 負荷をステップ状に変化させた場合における各波形

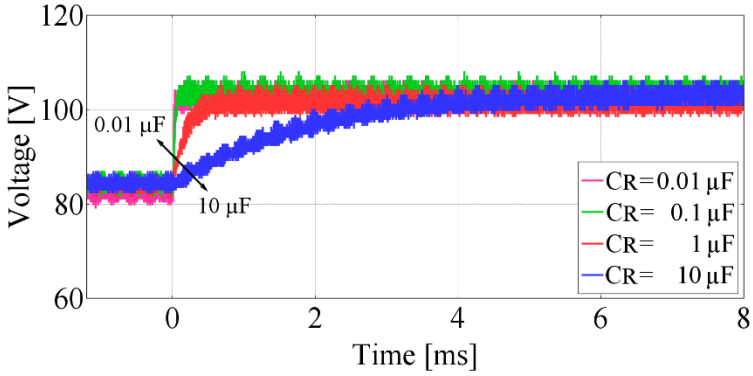
図 4-14 に示すように，回路運転中において負荷をステップ状に変化させた場合，出力電圧は緩やかに変化し，理想的な動作が継続する。負荷抵抗変化時および出力電圧変化時の過渡状態において，異常な波形振動やサージ電圧などは確認されない。負荷抵抗を変更した場合でも，ゲート電圧およびドレイン-ソース間電圧のピーク値は大きく変化しないが，4.2 節にて述べたようにその形は負荷抵抗変化に応じてやや変化する。よって，絶縁形 DC-DC コンバータにおいて，運転継続中に負荷抵抗をステップ状に変化させた場合でも，Φ2 級イン

バータ回路は異常動作なしに理想的な運転が継続可能である。

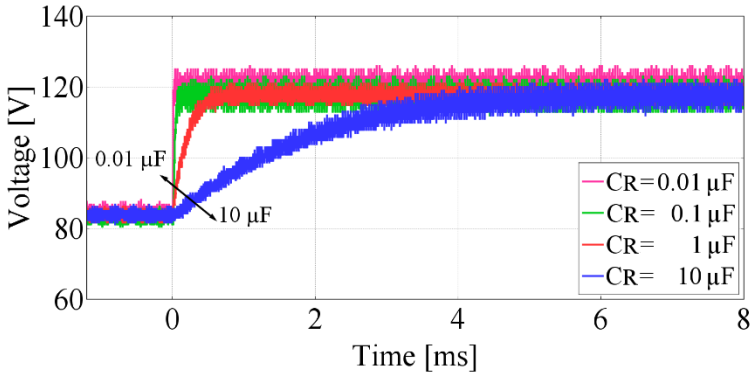
つづいて，整流回路中の平滑コンデンサC_Rのキャパシタンスを変化させた場合における負荷特性を確認する。比較検討する平滑コンデンサのキャパシタンスは 10 μF, 1 μF, 0.1 μF, 0.01 μF である。図 4-15 に回路動作中に負荷抵抗をステップ状に変化させた場合における出力電圧波形を示す。



(a) 負荷抵抗を 50 Ω から 30 Ω に変更した場合



(b) 負荷抵抗を 50 Ω から 70 Ω に変更した場合



(c) 負荷抵抗を 50 Ω から 100 Ω に変更した場合

図 4-15 負荷をステップ状に変化させた場合における種々の平滑コンデンサ適用時における出力電圧波形

図 4-15 に示すように，いずれの平滑コンデンサ適用時においても，負荷抵抗をステップ状に変化させたのちに出力電圧はすべて同一の一定値に落ち着いている。図 4-15 (a)から(c)のいずれのケースにおいても，出力電圧は数ミリ秒以内に定常値に落ち着いている。図 4-17 に負荷抵抗を 50 Ω から各負荷抵抗値に変化させた場合において，図 4-16 に示す整定時間の定義を用いた場合における各整定時間を示す。図 4-16 に示す定義では，整定時間は負荷抵抗変化後から定常電圧の 90%までの立ち上がり時間である。

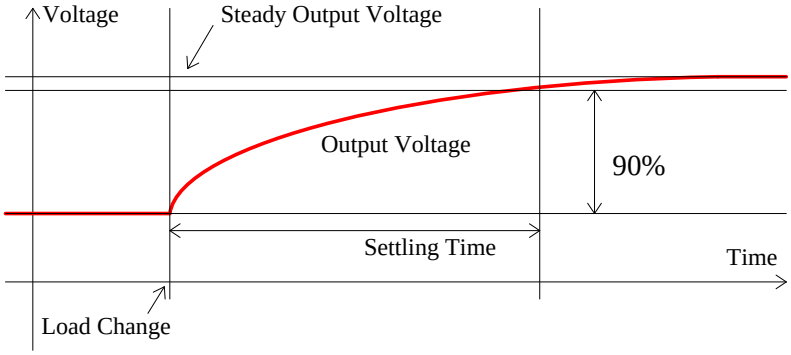


図 4-16 負荷抵抗をステップ状に変化させた場合の出力電圧波形および整定時間の定義

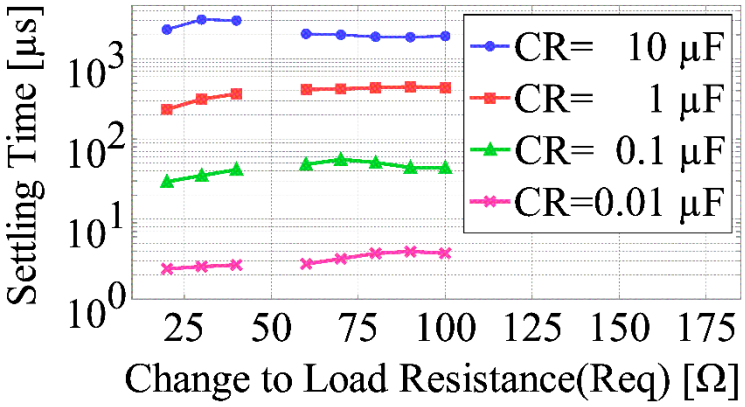


図 4-17 各平滑コンデンサにおける整定時間

図 4-17 に示すように，出力電圧の整定時間は変化後の負荷抵抗に関係なくおおむね一定であり，平滑コンデンサの容量が小さいほど出力電圧の応答は高速である。平滑コンデンサを 10 μF に設定した場合，その整定時間は約 2 ms であり，他の平滑コンデンサ適用時は 1 μF，0.1 μF，0.01 μF でそれぞれ約 400 μs，40 μs，3 μs である。平滑コンデンサを 10 nF のような小容量とした場合，出力電圧 V_{OUT} は定常値に高速で収束しており，インダクタや寄生パラメータなどとの共振による電圧振動も観測されない。出力電圧リプルはいずれの平滑コンデンサ適用時においても同様であり，安定した出力電圧が出力されているため，平滑コンデンサのキャパシタンスは 0.01 μF で問題ない。

よって，Φ2 級インバータ回路を用いる絶縁形 DC-DC コンバータは，負荷をステップ状

に変化させた場合においても，安定して理想的な動作が継続可能であり，なおかつ整定時間は非常に短いため，様々なアプリケーションに適用可能である。

参考文献

[1] J. M. Rivas, Y. Han, O. Leitermann, A. D. Sagneri, and D. J. Perreault, “A high-frequency resonant inverter topology with low-voltage stress,” IEEE Trans. on Power Electron., vol. 23, no. 4, pp. 1759-1771, 2008.

[2] J. M. Rivas, O. Leitermann, Y. Han, and D. J. Perreault, “A very high frequency DC-DC converter based on a class Φ2 resonant inverter,” IEEE Trans. on Power Electron., vol. 26, no. 10, pp. 2980-2992, 2011.

[3] L. Gu, W. Liang, and J. R. Davila, “Design of very-high-frequency synchronous resonant dc-dc converter for variable load operation,” in ECCE, Cincinnati, Ohio, USA, 2017, pp. 3447-3454.

[4] Y. Yanagisawa, Y. Miura, H. Hand, T. Ueda, and T. Ise, “Characteristics of isolated dc-dc converter with class Phi-2 inverter under various load conditions,” IEEE Trans. on Power Electron., vol. 34, no. 11, pp. 10887-10897, Nov. 2019.

[5] S. Aldhaher, D. C. Yates, and P. D. Mitcheson, “Load-Independent Class E/EF Inverters and Rectifiers for MHz-Switching Applications,” IEEE Trans. on Power Electron., vol. 33, no. 10, pp. 8270-8287, 2018.

第5章 応用に向けた各種課題の解決

絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路の実用化を検討する場合，下記に挙げる事柄が問題として挙げられる。

・Φ2 級インバータ回路始動時にピーク電圧が発生する
・入力電流波形が大きな三角波状になる
・回路トポロジの制約により，出力電力には上限が存在する
・ソフトスイッチングが達成される理想的な条件での動作範囲が限られる

本章では，上記事柄についてそれぞれの問題点と対策法について検討し，解決する手法の提案を行う。

5.1 始動時におけるピーク電圧抑制手法

Φ2 級インバータ回路では，インバータ構成および絶縁形 DC-DC コンバータ構成問わず，回路の運転開始時に大きなピーク電圧が発生する。これは，定常状態に達する前である主回路始動時において，電源からインダクタ L_F を通って流れ込む電流が共振タンク X_{MR} に流れ込まず，そのままキャパシタ C_P やスイッチングデバイスの出力容量 C_{OSS} に流れ込むためである。図 5-1 に Φ2 級インバータ回路始動時におけるドレイン-ソース間電圧波形(シミュレーション)を示す。なお，動作条件は表 2-10 に示す回路パラメータを用いたが，入力電圧のみ 50 V に変更した。

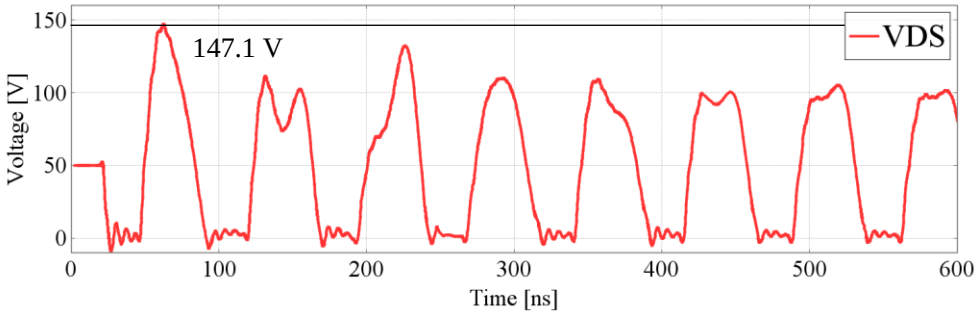


図 5-1 Φ2 級インバータ回路始動時におけるドレイン-ソース間電圧波形

図 5-1 に示すように，Φ2 級インバータ回路の始動時には大きなピーク電圧が出力される。入力電圧は 50 V であるため，定常時における Φ2 級インバータ回路のドレイン-ソース間ピーク電圧は入力電圧の約 2 倍である 100 V である。そのため，始動時には定常状態の約 1.47 倍ものピーク電圧が発生している。Φ2 級インバータ回路に対して GaN-HFET を適用する場

合，ドレイン-ソース間耐電圧は Si-MOSFET や SiC-MOSFET と比べてやや低いことから，本ピーク電圧を考慮して回路を設計する場合，入力電圧は GaN-HFET の耐電圧の 1/2 よりも低くする必要がある。よって，入力電圧に対する自由度がより減少し，出力電力が抑制されるため，電力密度の低下を招く。そのため，始動時に発生するピーク電圧を抑制する手法の適用が必要である。本論文では，従来より提案・適用されている RCD スナバ挿入法について述べるほか，始動時にスイッチングパターンを調整し，ピーク電圧を抑制する手法についても提案し、その詳細を述べる。

5.1.1 RCD スナバ回路挿入による手法

本手法は，ピーク電圧が発生するスイッチングデバイスのドレイン-ソース間に RCD スナバ回路を挿入し，ピーク電圧を抑制する手法である。図 5-2 に Φ2 級インバータ回路中に挿入した RCD スナバ回路を，図 5-3 に RCD スナバ回路を挿入した Φ2 級インバータ回路の回路図を示す。表 5-1 に今回の実験に用いた RCD スナバ回路のパラメータを示す。また，図 5-4 に RCD スナバ回路を適用した場合における Φ2 級インバータ回路のドレイン-ソース間電圧波形(シミュレーション)を示す。なお，Φ2 級インバータ回路の主回路パラメータは，表 2-10 に示すものを用いた。

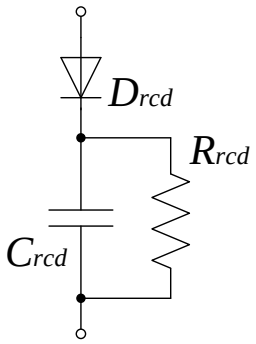


図 5-2 RCD スナバ回路

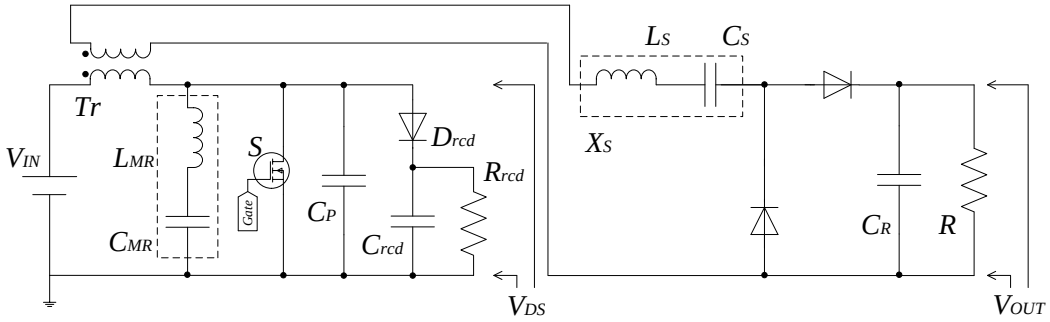
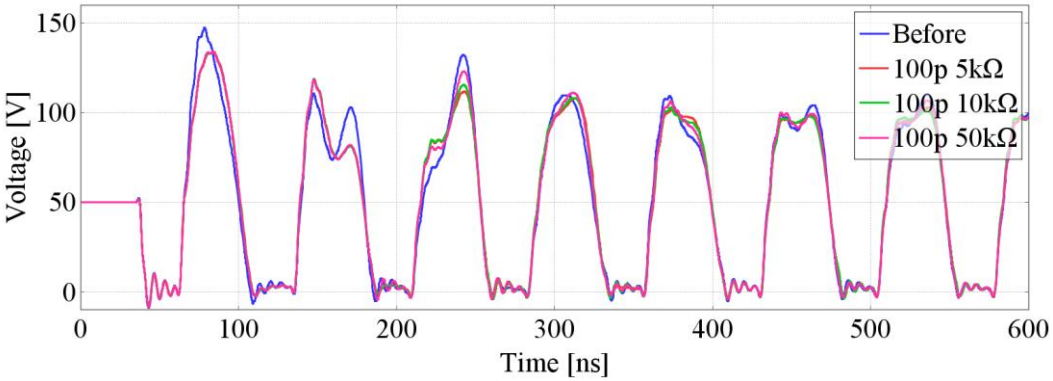


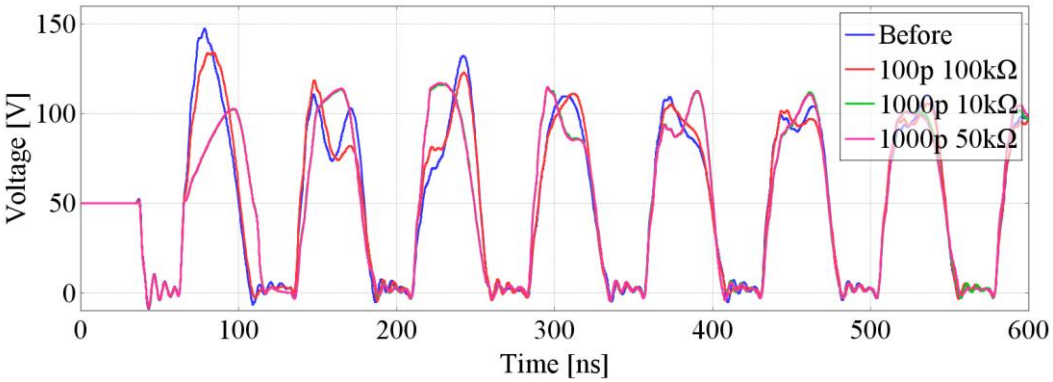
図 5-3 RCD スナバ回路をドレイン-ソース間に追加した場合の回路構成

表 5-1 実験に用いた RCD スナバ回路のパラメータ

	ダイオード	キャパシタ	抵抗
パターン 1	理想 ($V_F = 0$)	100 pF	5 kΩ
パターン 2		100 pF	10 kΩ
パターン 3		100 pF	50 kΩ
パターン 4		100 pF	100 kΩ
パターン 5		1000 pF	10 kΩ
パターン 6		1000 pF	50 kΩ



(a) パターン 1，2，3 における各波形



(b) パターン 4，5，6 における各波形

図 5-4 RCD スナバ挿入後におけるドレイン-ソース間電圧波形

図 5-4 に示すように，RCD スナバ挿入後は，いずれのパターンにおいてもピーク電圧が削減されている。R_{crd} を小さくした場合はピーク電圧があまり抑制できない。一方，C_{rcd} = 1000 pF，R_{crd} = 50 kΩ とした場合はピーク電圧が大きく削減され，そのピーク値は 116.5 V であった。表 5-2 に各パターンにおけるピーク電圧および，定常状態時において RCD スナバで発生する損失を示す。この解析には LTSpice より得られた電圧および電流波形データを

使用した。

表 5-2 各パターンにおけるピーク電圧及び RCD スナバ損失

	ピーク電圧	スナバ損失
パターン 1 (100 pF 5 kΩ)	133.6 V	1.83 W
パターン 2 (100 pF 10 kΩ)	133.3 V	0.953 W
パターン 3 (100 pF 50 kΩ)	133.9 V	0.203 W
パターン 4 (100 pF 100 kΩ)	133.9 V	0.100 W
パターン 5 (1000 pF 10 kΩ)	116.1 V	0.975 W
パターン 6 (1000 pF 50 kΩ)	116.8 V	0.202 W

表 5-2 に示すように，RCD スナバ回路のパラメータによってピーク電圧及びスナバ損失は大きく異なる。パターン 1，2，5 では 1 W を超える定常損失が発生しており，実用的なパラメータではない。一方，パターン 3，4，6 の場合，スナバ損失は 0.5 W 以下に抑えられており，実用性は高い。これらのパターンで比較した場合，パターン 6 が最適と判断される。ただし，Φ2 級インバータ回路の運転中か否かに関わらず定常損失が発生するほか，主回路に加えて追加の回路が必要になる事から，その煩雑さは否めない。よって，始動時にパルスパターンを変更するだけで，ピーク電圧が抑制可能な手法の提案を行う。

5.1.2 スイッチングパターン調整による手法

本手法は，Φ2 級インバータ回路の始動時に，スイッチングデバイスに印加するオンオフ信号を調整し，ソフトスタートを行うものである。ソフトスタートの適用により，過渡的に Φ2 級インバータ回路に流れ込む電流を抑制し，ピーク電圧の抑制を試みる。図 5-5 に Φ2 級インバータ回路始動時に適用するパルスパターンを示す。

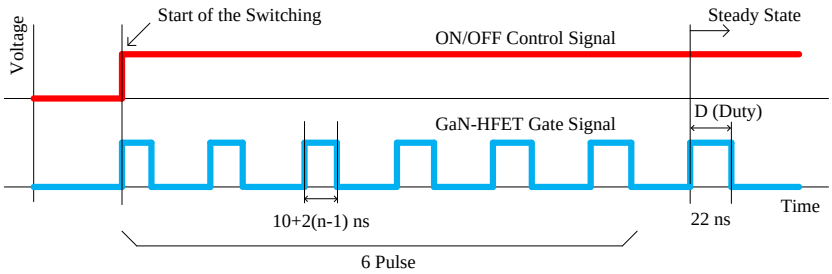


図 5-5 Φ2 級インバータ回路始動時に適用するパルスパターン

図 5-5 に示すように，Φ2 級インバータ回路始動時には定常状態における ON パルスよりも短いパルスを印加する。1 パルス目は 10 ns，2 パルス目は 12 ns のように 1 パルスにつき 2 ns ずつパルス幅を増やしていくソフトスタート法を用いる。7 パルス目で定常状態である

22 ns となる。ここで，ソフトスタート中に変更するのは ON パルス幅のみであり，OFF パルス幅は変更しない。よって，ソフトスタート中は PFM 動作のような，定常状態とは異なるスイッチング周波数およびデューティ比で動作する。

はじめに，本ソフトスタート法の有効性をシミュレーションによって確認する。RCD スナバ回路適用時における検討と同様に，Φ2 級インバータ回路の各回路パラメータは表 2-10 に示すものと同じものを使用する。図 5-6 に図 5-5 に示すパルスパターンを適用した場合における，Φ2 級インバータ回路のドレイン-ソース間電圧を示す。

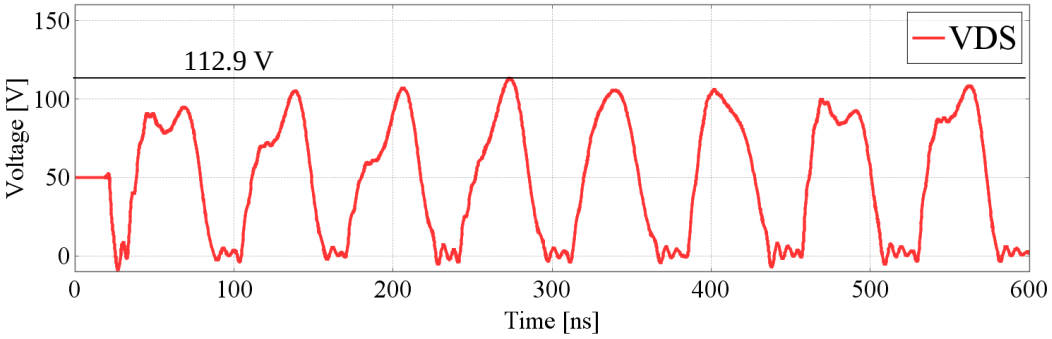


図 5-6 提案スイッチングパターンを適用した場合におけるドレイン-ソース間電圧波形 (シミュレーション)

図 5-6 に示すように，ソフトスタート法によるピーク電圧抑制手法を用いた場合，ピーク電圧は 112 V 程度まで削減されている。ソフトスタート法適用前におけるピーク電圧は約 147 V であったため，ピーク電圧は約 35 V(72.6%)削減されている。よって，ソフトスタート法によるピーク電圧抑制手法は有効である。本手法の実現に追加部品などは必要なく，パルスパターンのみ変更すればよいので，実用性は高い。13.56 MHz のような高周波領域では，調整するパルス幅は数 ns であるため，その調整が困難であるが，始動時のみ同じゲート電圧パルスパターンを印加すればよいため，高速応答が可能なコントローラや制御プログラムの適用は必要ない。

つづいて，実器を用いて本手法の有効性を検証する。実器による検証に用いた回路パラメータは，表 2-14 に示すものと同一である。図 5-7 に実験構成を示した写真を示す。また，図 5-8 に本手法適用前および適用後の Φ2 級インバータ始動時における各波形を示す。

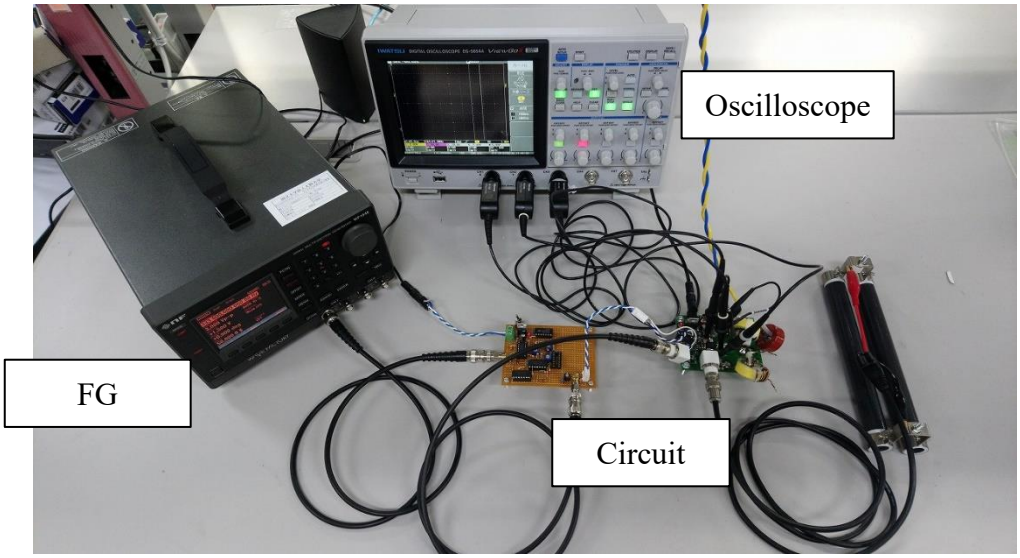
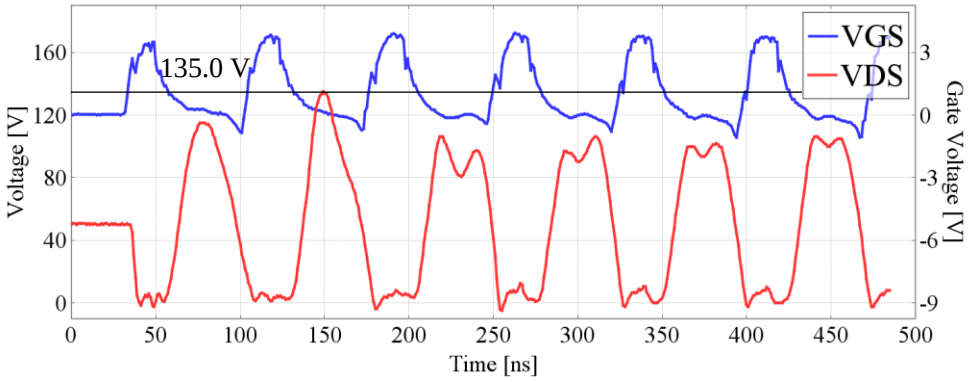
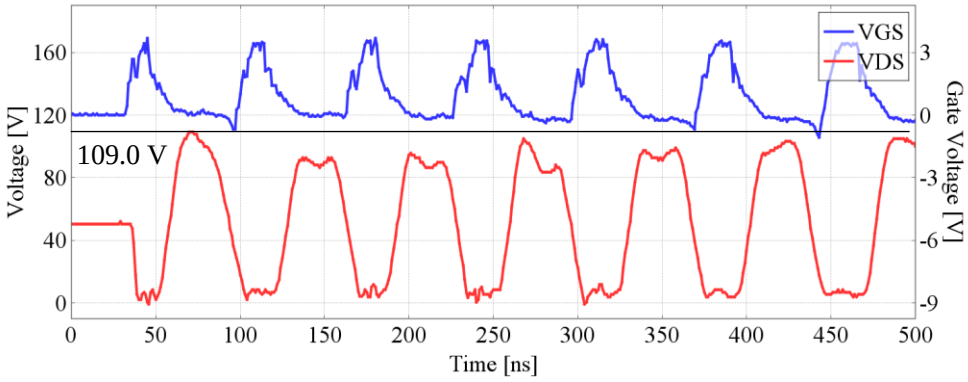


図 5-7 実験構成



(a) 提案するスイッチングパターン適用前



(b) 提案するスイッチングパターン適用後

図 5-8 提案スイッチングパターン適用前後における各波形(実験)

図 5-8(a)に示すように, 実器において Φ2 級インバータ回路始動時には定常時の約 1.35 倍である約 135 V のピーク電圧が発生する。シミュレーション時と比べてやや低いピーク電圧であるが，これはシミュレーションでは考慮されていない配線抵抗を含む寄生回路パラメータが影響しているためである。一方で，提案するスイッチングパターンを適用した場合，ドレイン-ソース間のピーク電圧は約 109 V まで低下し，その削減電圧は約 26V (74.3%)にもなる。始動時の過渡期を超えると，ゲート電圧は通常通りのスイッチング動作を行うため，定常時においても損失なく，理想的な動作が継続される。

よって，Φ2 級インバータ回路に対し，提案するスイッチングパターンを適用した場合，RCD スナバ回路適用時とは異なり定常時においても損失なく，かつ追加回路が不要で，始動時におけるピーク電圧を抑制可能である。そのため，ピーク電圧発生による入力電圧の上限に関する制約は緩くなり，より高入力電圧かつ変換電力量の増大が可能となる。

5.2 インターリーブ構成とする場合における構成と特性

つづいて，Φ2 級インバータ回路の実用化を考えたうえで問題となる，大きな三角波状入力電流および出力電力に上限が存在，負荷特変動に対する特性が優れない問題についてそれぞれ検討する。図 5-9 にシミュレーションより得られる表 2-10 の動作条件における Φ2 級インバータ回路の入力電流波形を示す。

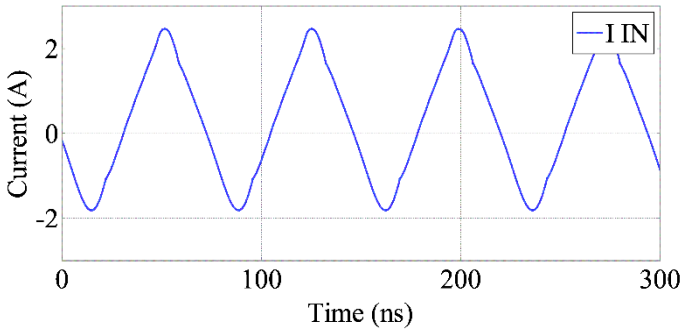


図 5-9 Φ2 級インバータ回路の入力電流波形

図 5-9 に示すように，Φ2 級インバータ回路の入力電流波形は三角波状波形となる。三角波には基本成分のほかに，3 倍高調波成分，5 倍高調波成分などを含む高調波が多く含まれている。そのため，大きな三角波状電流は，表皮効果による配線抵抗増大，放射ノイズによる周辺回路への影響など，様々な問題を引き起こす。そのため，三角波状電流リプルを削減する必要がある。ここで，入力電流波形を三角波とみなし，第 7 次高調波までフーリエ級数展開した場合，以下の式が得られる。ここで，A は直流成分を表す。

$$f(t) = \mathrm{A} + \frac{8}{\pi}\left(\sin(t) - \frac{1}{9}\sin(3t) + \frac{1}{25}\sin(5t) - \sin(7t)\right) \qquad (5\text{-}1)$$

一方で，式(5-1)に示す波形の位相を 180°ずらした場合，以下の式(5-2)のように表される。また，式(5-2)は加法定理を用いて式(5-3)のように書き改められる。

$$f(t+\pi) = \mathrm{A} + \frac{8}{\pi}\left(\sin(t+\pi) - \frac{1}{9}\sin(3t+\pi) + \frac{1}{25}\sin(5t+\pi) - \frac{1}{49}\sin(7t+\pi)\cdots\right) \tag{5-2}$$

$$f(t) = \mathrm{A} + \frac{8}{\pi}\left(-\sin(t) + \frac{1}{9}\sin(3t) - \frac{1}{25}\sin(5t) + \sin(7t)\right) \tag{5-3}$$

式(5-1)と式(5-3)をそれぞれ足し合わせた場合，直流成分である 2A のみが残り，その他の高調波成分を含むリプル成分はすべて打ち消され，0 となる。よって，入力電流波形が三角波状波形となる Φ2 級インバータ回路では，位相をずらした他の Φ2 級インバータ回路とインターリーブ運転させた場合，入力電流リプルが削減可能である。

つづいて，出力電力の上限について検討する。Φ2 級インバータ回路の出力可能な電力は参考文献[1]および[2]より，式(5-4)のように表される。図 5-10 に式(5-4)を図式化したものを示す。

$$P_{OUT} = \left(0.811 \cdot {V_{IN}}^2\right)/R \tag{5-4}$$

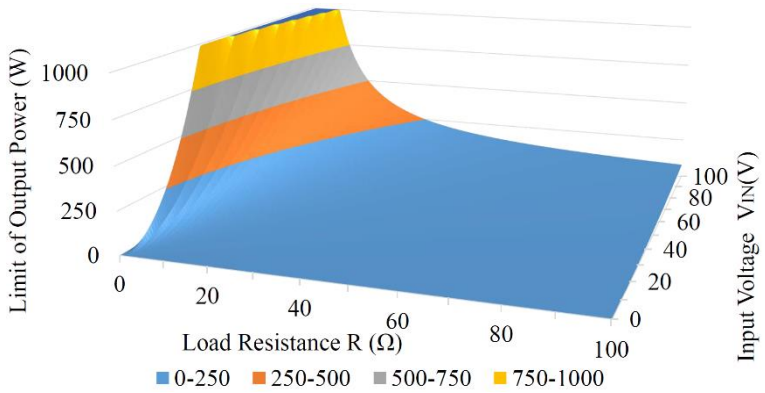


図 5-10 Φ2 級インバータ回路の出力電力特性

図 5-10 に示すように，Φ2 級インバータ回路において出力電力を増大させる場合，入力電圧を引き上げるか，負荷抵抗値を小さくするかが必要である。一般的に負荷抵抗値は使用するアプリケーションによって決定されるため，その変更は困難である。一方で入力電圧を引き上げる場合，入力電圧はスイッチングデバイスのドレイン-ソース間電圧によって制限されることから，比較的耐電圧が低い GaN-HFET を適用する場合，困難である。よって，出力電力を増大させる場合，複数台の Φ2 級インバータ回路を用いて同時運転をおこなう必

要がある。

さらに，Φ2 級インバータ回路を設計負荷抵抗と異なる負荷抵抗で動作させる場合，第 4 章に示したように，理想的な動作が達成されない場合がある。参考文献[3]に示されるように，Φ2 級インバータ回路は電流源として考えることが可能である。よって，設計条件と異なる負荷抵抗で動作させるためには，複数台の同時運転を行い，各主回路に電力を分散させ動作条件を維持する必要がある。

これら 3 つの問題を総合的に解決するため，インターリーブ構成とする Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータを提案する。図 5-11 に本提案の回路図を示す。

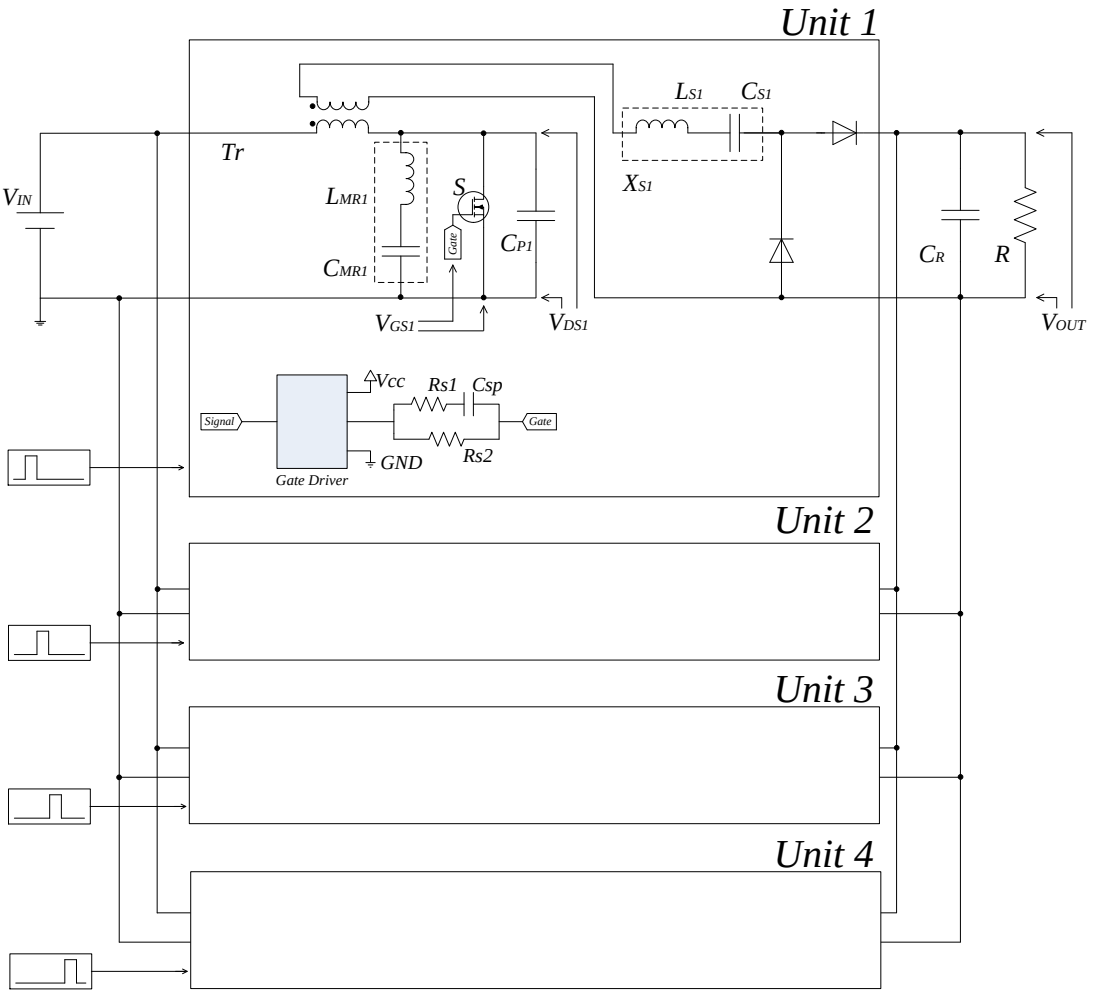


図 5-11 インターリーブ構成とする絶縁形 DC-DC コンバータ

図 5-11 に示すように，インターリーブ構成とする絶縁形 DC-DC コンバータは，同じ回路パラメータを有する主回路を並列接続した構成をとる。各主回路はインターリーブ方式で動作し，ユニット間に磁気結合は設けていない。今回の検証では主回路を 4 つ並列接続した，4 相インターリーブ構成を採用した。よって，最大出力電力は主回路が 1 つだけの通常

構成と比べ 4 倍になる。本構成では，各主回路中に存在する 1 つのスイッチングデバイスのみを動作させればよく，他の主回路との同期をとる必要はない。したがって，スイッチングデバイスのデッドタイムを調整する必要はなく，高周波領域においても容易に動作が可能である[4]。表 5-3 にインターリーブ構成とする絶縁形 DC-DC コンバータの動作モードと負荷条件の関係を示す。

表 5-3 インターリーブ構成時における動作モードと負荷条件

動作モード	動作可能な等価負荷抵抗	主回路 1	主回路 2	主回路 3	主回路 4
1	30 Ω～70 Ω	ON	OFF	OFF	OFF
2	15 Ω～35 Ω	ON	ON	OFF	OFF
3	10 Ω～23.3 Ω	ON	ON	ON	OFF
4	7.5 Ω～17.5 Ω	ON	ON	ON	ON

表 5-3 に示すように第 4 章にて検証した結果を用い，動作主回路数が 1 個の場合において理想的な動作可能な等価負荷抵抗を 30Ω～70Ω に設定した場合，動作主回路数 2 個の場合は 15 Ω～35 Ω の範囲で理想的な動作が達成される。これは前述したように，Φ2 級インバータ回路は電流源とみなすことが可能であり，インターリーブ構成とした場合においても，各主回路の出力電力が維持されている限りは理想的な動作が達成されるためである。動作主回路数が 2 個の場合，動作主回路数が 1 個の場合と比べて出力電力は 2 倍となる。出力電圧V_{OUT}を同一にする場合，負荷抵抗は$P_{OUT} = {V_{OUT}}^2/R$の関係から，その抵抗値は 1/2 となる。つまり，複数の主回路を同時運転する場合，理想的な動作が可能な負荷抵抗値は動作する主回路数が 1 個の場合と比べて，動作する主回路数で除算すればよい。よって，主回路が 3 個同時に動作する場合，動作可能な負荷抵抗は 10 Ω～23.3 Ω，4 個の場合は 7.5 Ω～17.5 Ω となる。以降，動作する主回路数に合わせて動作モードをそれぞれ決定し，主回路が 2 個同時に動作している場合は動作モード 2 と称する。

つづいて，入力電流リプルについて検討する。動作モード 2 の場合，各主回路の位相差は 360°/2 = 180°となる。前述したように，Φ2 級インバータ回路の入力電流は三角波状波形となり，位相を 180°ずらした波形と合算した場合，入力電流リプルは完全に削減され，直流成分のみが残る。動作モード 3 の場合，各主回路の位相差は 120°となる。式(5-5)に位相差を 0°とした場合における入力電流波形近似式, 式(5-6)および式(5-7)に位相差を 120°および 240°とした場合における入力電流波形近似式をそれぞれ示す。

$$f(t) = \mathrm{A} + \frac{8}{\pi}\left(\sin(t) - \frac{1}{9}\sin(3t) + \frac{1}{25}\sin(5t)\right) \tag{5-5}$$

$$f\left(t+\frac{2}{3}\pi\right)=\mathrm{A}+\frac{8}{\pi}\left(\sin\left(t+\frac{2}{3}\pi\right)-\frac{1}{9}\sin\left(3\left(t+\frac{2}{3}\pi\right)\right)\right.$$
$$\left.+\frac{1}{25}\sin\left(5\left(t+\frac{2}{3}\pi\right)\right)\right) \tag{5-6}$$

$$f\left(t-\frac{2}{3}\pi\right)=\mathrm{A}+\frac{8}{\pi}\left(\sin\left(t-\frac{2}{3}\pi\right)-\frac{1}{9}\sin\left(3\left(t-\frac{2}{3}\pi\right)\right)\right.$$
$$\left.+\frac{1}{25}\sin\left(5\left(t-\frac{2}{3}\pi\right)\right)\right) \tag{5-7}$$

ここで，式(5-6)および式(5-7)は加法定理を用いて下記のように書き改めることができる。

$$f\left(t+\frac{2}{3}\pi\right)=\mathrm{A}+\frac{8}{\pi}\left(-\frac{1}{2}\sin(t)+\frac{\sqrt{3}}{2}\cos(t)-\frac{1}{9}\sin(3t)\right.$$
$$\left.+\frac{1}{25}\left[-\frac{1}{2}\sin(5t)-\frac{\sqrt{3}}{2}\cos(5t)\right]\right) \tag{5-8}$$

$$f\left(t-\frac{2}{3}\pi\right)=\mathrm{A}+\frac{8}{\pi}\left(-\frac{1}{2}\sin(t)-\frac{\sqrt{3}}{2}\cos(t)-\frac{1}{9}\sin(3t)\right.$$
$$\left.+\frac{1}{25}\left[-\frac{1}{2}\sin(5t)+\frac{\sqrt{3}}{2}\cos(5t)\right]\right) \tag{5-9}$$

よって，動作モード 3 における各主回路の入力電流は式(5-5)，式(5-8)および式(5-9)で表される。これらの入力電流近似式を足し合わせた場合，式(5-5)が得られる。

$$\begin{aligned}
f(t')&=f(t)+f\left(t+\frac{2}{3}\pi\right)+f\left(t+\frac{4}{3}\pi\right)\\
&=\ 3\mathrm{A}\\
&+\frac{8}{\pi}\left(\sin(t)-\frac{1}{9}\sin(3t)\right.\\
&+\frac{1}{25}\sin(5t)-\frac{1}{2}\sin(t)+\frac{\sqrt{3}}{2}\cos(t)-\frac{1}{9}\sin(3t)\\
&+\frac{1}{25}\left[-\frac{1}{2}\sin(5t)-\frac{\sqrt{3}}{2}\cos(5t)\right]-\frac{1}{2}\sin(t)-\frac{\sqrt{3}}{2}\cos(t)\\
&\left.-\frac{1}{9}\sin(3t)+\frac{1}{25}\left[-\frac{1}{2}\sin(5t)+\frac{\sqrt{3}}{2}\cos(5t)\right]\right)
\end{aligned} \tag{5-10}$$

$$\therefore\ f(t')=3\mathrm{A}+\frac{8}{\pi}\left(-\frac{1}{3}\sin(3t)\right)=3\mathrm{A}-0.849\sin(3\mathrm{t})$$

つまり，動作モード 3 におけるインターリーブ構成時における絶縁形 DC-DC コンバータの入力電流波形は$3\mathrm{A}-0.849\sin(3\mathrm{t})$となり，直流成分のほかに 3 倍スイッチング周波数成分を持つリプル成分が残ってしまう。動作モード 2 と比べ，入力電流波形に高調波成分が残ってしまうため，配線抵抗増大や EMI ノイズによる問題が懸念される。ただし，表 5-3 に示すように，動作モード 3 において動作可能な負荷抵抗の範囲は，他の動作モードで代用可能である。動作モード 3 の下限である 10 Ω は動作モード 4 で代用可能であり，上限である 23.3 Ω は動作モード 2 で代用可能である。動作モード 2 と動作モード 4 で動作が可能な負荷抵抗は連続しているため，動作モード 3 は選択する必要はない。よって，インターリーブ構成を採用した場合においても，入力電流リプルが残留する点は実用上において問題とならない。

動作モード 4 の場合においても，高調波成分は取り除かれ，直流成分のみとなる。式(5-11)から式(5-14)に動作モード 4 における各主回路の入力電流波形近似式を示す。各主回路の位相差は 90°である。ただし，式(5-12)から式(5-14)は加法定理適用後の式である。

$$f(t) = \mathrm{A} + \frac{8}{\pi}\left(\sin(t) - \frac{1}{9}\sin(3t) + \frac{1}{25}\sin(5t)\right) \tag{5-11}$$

$$f\left(t + \frac{1}{2}\pi\right) = \mathrm{A} + \frac{8}{\pi}\left(\sin(t) + \frac{1}{9}\sin(3t) + \frac{1}{25}\sin(5t)\right) \tag{5-12}$$

$$f(t + \pi) = \mathrm{A} + \frac{8}{\pi}\left(-\sin(t) + \frac{1}{9}\sin(3t) - \frac{1}{25}\sin(5t)\right) \tag{5-13}$$

$$f\left(t + \frac{3}{2}\pi\right) = \mathrm{A} + \frac{8}{\pi}\left(-\sin(t) - \frac{1}{9}\sin(3t) - \frac{1}{25}\sin(5t)\right) \tag{5-14}$$

よって動作モード 4 において，各主回路の入力電流を足し合わせた場合，入力電流波形近似式は式(5-15)のように表される。

$$f(t'') = f(t) + f\left(t + \frac{1}{2}\pi\right) + f(t + \pi) + f\left(t + \frac{3}{2}\pi\right) = 4\mathrm{A} \tag{5-15}$$

つまり，動作モード 4 における各主回路の入力電流波形の合計は，動作モード 2 と同様に直流成分のみとなる。よって，インターリーブ構成とする場合，2 相や 4 相などの 2 の倍数におけるインターリーブ構成とするのが理想的である。ただし，3 相インターリーブ構成とした場合においても，リプル成分は直流成分の 1/3 以下であり，大きな影響は存在しない。このリプル電流を許容できる場合，インターリーブ構成数は必要な出力電力によって決定するのが望ましいが，許容できない場合はインターリーブ構成数を 2N とするのが望ましい。表 5-4 に動作モードに対する各主回路の位相差および入力電流リプル成分を示す。表 5-4

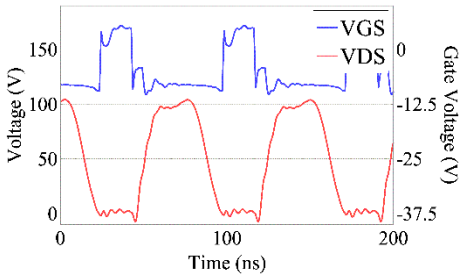
に示すように，動作モード 4 では各主回路の位相差を 90°もしくは 180°いずれか任意に設定できるが，スイッチング信号が共用できる 180°を採用するのが望ましい。

表 5-4 動作モードに対する主回路の位相差および入力電流リプル

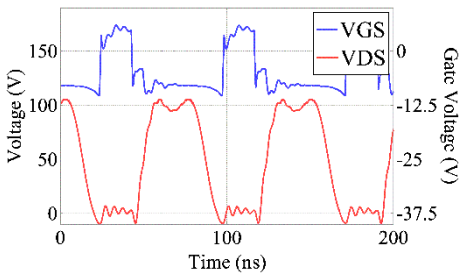
動作モード	1	2	3	4
位相差	-	180°	120°	90°or 180°
入力電流リプル	[式(5-4)]	2A	$3\mathrm{A} - 0.849\sin(3t)$	4A

5.2.1 シミュレーションを用いた検証

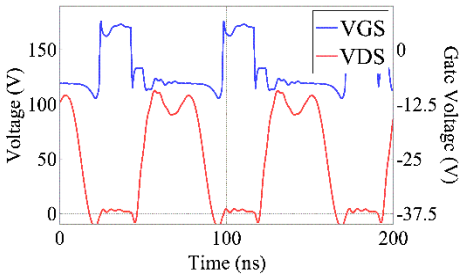
本項では，シミュレーションを用いてインターリーブ構成とする絶縁形 DC-DC コンバータの動作検証を行い，入力電流リプルの削減，出力電力の増大，適用可能な負荷抵抗の範囲拡大を確認する。シミュレーション回路構成は図 5-11 に示すものを，各主回路のパラメータは表 2-10 に示すものをそれぞれ用いた。図 5-12 にさまざまな負荷抵抗を適用した場合における各主回路のゲート電圧波形およびドレイン-ソース間電圧波形を示す。なお，動作モード 4 における各主回路の位相差は，同じスイッチング信号を共用できることから 180°とし，動作する主回路 4 個のうち，2 個は同じ位相差で動作している。



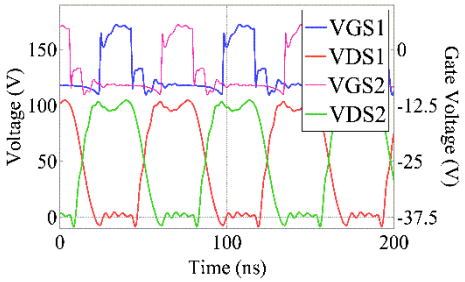
(a) 動作モード 1 (等価負荷抵抗 70 Ω)



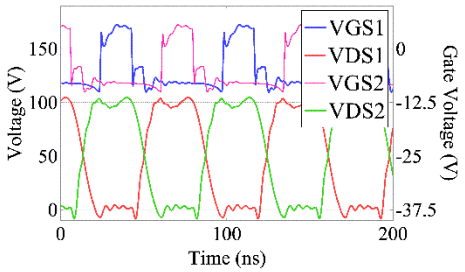
(b) 動作モード 1 (等価負荷抵抗 50 Ω)



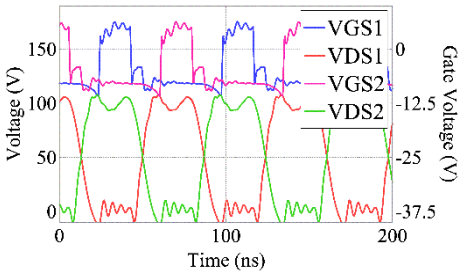
(c) 動作モード 1 (等価負荷抵抗 32 Ω)



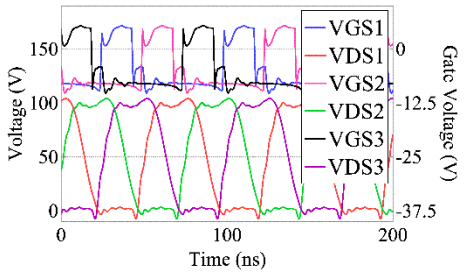
(d) 動作モード 2 (等価負荷抵抗 32 Ω)



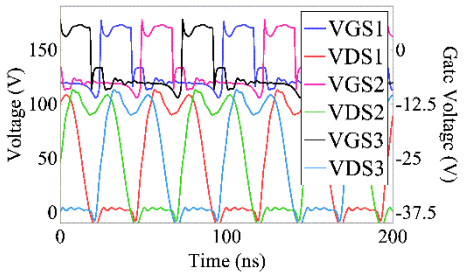
(e) 動作モード 2 (等価負荷抵抗 25 Ω)



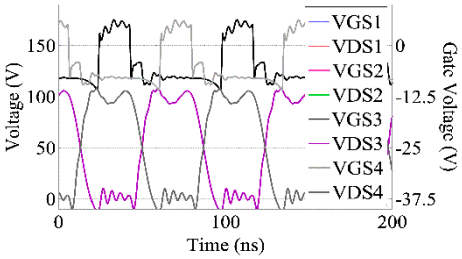
(f) 動作モード 2 (等価負荷抵抗 20 Ω)



(g) 動作モード 3 (等価負荷抵抗 20 Ω)



(h) 動作モード 3 (等価負荷抵抗 10 Ω)

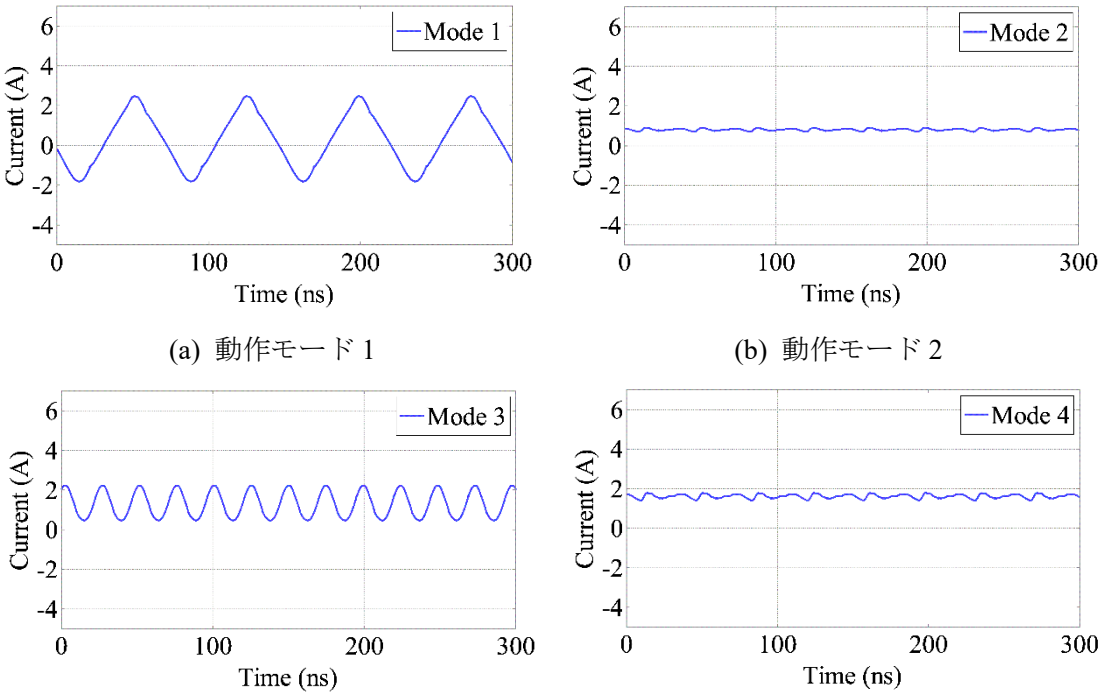


(i) 動作モード 4 (等価負荷抵抗 10 Ω)

図 5-12 各動作モードにおける各電圧波形(シミュレーション)

図 5-12 に示すように，いずれの動作モードにおいてもドレイン-ソース間電圧波形は台形状波形となり，ハードスイッチングも確認されていないことから，Φ2 級インバータ回路の理想的な動作が確認できる。負荷抵抗に基づいて動作モードを適切に選択した場合，主回路 1 個で動作が可能な負荷抵抗 30 Ω～70 Ω を超えた負荷抵抗においても振動などの異常動作は確認できない。図 5-12 では，すべての動作モードおよび負荷抵抗で理想的な動作が観測される。また，各主回路間での干渉も確認できないことから，インターリーブ構成とする絶縁形 DC-DC コンバータ回路の理想動作が確認される。

つづいて，入力電流リプルについて確認する。図 5-13 に各動作モードにおけるインターリーブ構成絶縁形 DC-DC コンバータの入力電流波形を示す。なお，動作モード 1 では 50 Ω，動作モード 2 では 25 Ω のように，各動作モードにおける設計負荷抵抗値を適用した場合における入力電流波形を示している。



(a) 動作モード 1　　(b) 動作モード 2

(c) 動作モード 3　　(d) 動作モード 4

図 5-13 各動作モードにおけるインターリーブ構成
絶縁形 DC-DC コンバータの入力電流波形(シミュレーション)

図 5-13 に示すように，入力電流波形は動作モードによって大きく異なる。動作モード 1 は，通常の絶縁形 DC-DC コンバータ構成時と同様であるため，三角波状の電流リプルが観測される。動作モード 2 および動作モード 4 では，表 5-4 に示す理論通り，入力電流は直流成分のみとなるが，入力電流波形が完全な三角波ではないため，微小のリプル成分が残る。よって，動作モード 2 および動作モード 4 では，入力電流リプルが大幅に削減可能であり，

高調波を含むことによる種々の問題発生の懸念は解消される。一方で動作モード 3 の場合，表 5-4 に示すように，入力電流波形は小さな 3 倍高調波成分を含む波形となる。

つづいて，出力電力の増大を確認する。図 5-14 に各動作モードにおける出力電力を示す。

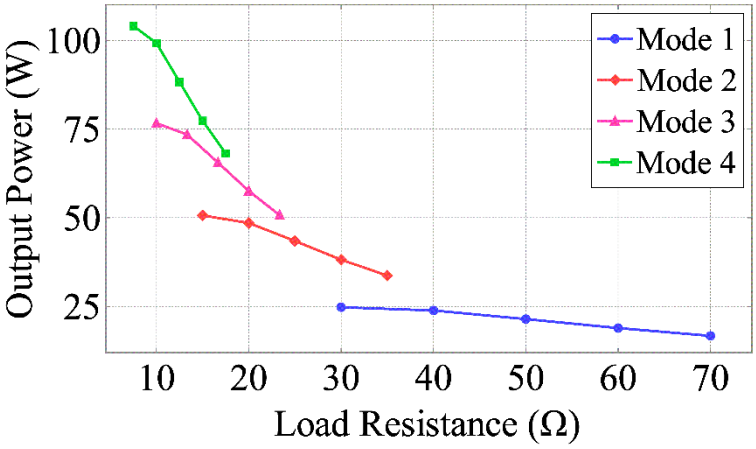
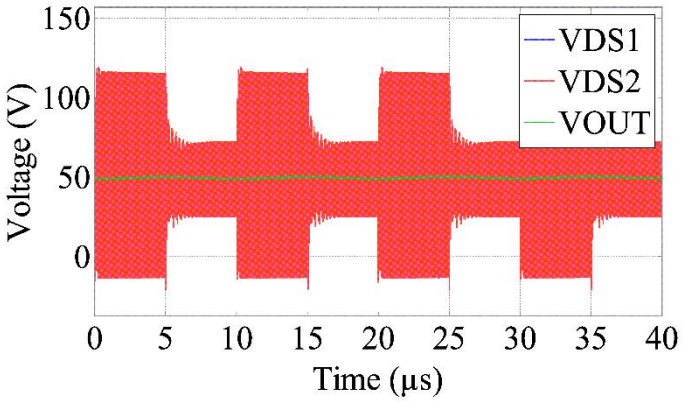


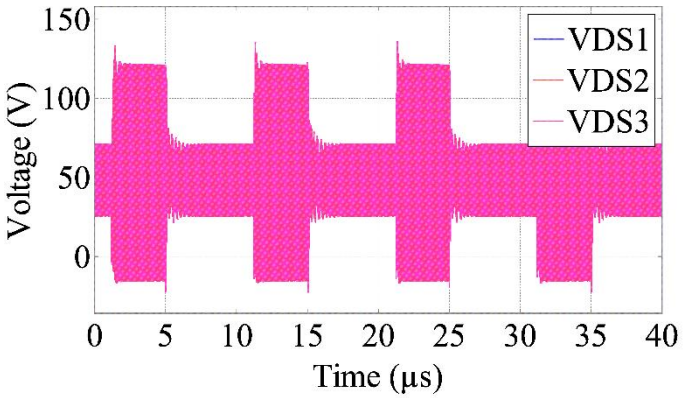
図 5-14 各動作モードにおける出力電力(シミュレーション)

動作モード 1 における出力電力は，設計負荷抵抗値である 50 Ω 付近において約 23 W となっている。動作モード 2 では，設計負荷抵抗値の 25 Ω 近傍において，出力電力は約 45 W となり，動作モード 1 の 2 倍となっている。同様に，動作モード 3 および動作モード 4 では，動作モード 1 と比べて 3 倍の約 70 W および約 90 W が出力されている。よって，動作主回路数を増加させた場合，出力電力は単調に比例増加する。

よって，インターリーブ構成の適用により，適用可能な負荷抵抗範囲は拡大し，入力電流リプルは削減され，出力電力は増大可能となる。ただし，図 5-14 に示すように出力電力を制御しない場合，出力電力は負荷抵抗によって一意に決定される。そのため，低抵抗領域では出力電力が増大してしまうため，所望とする出力電力に調整する必要がある。本論文では，インターリーブ構成とする絶縁形 DC-DC コンバータをオンオフ制御し，出力電力の調整を試みる。この制御では，動作する主回路数を保ちつつ，各主回路を所望とする出力電力に比例して設定されるデューティ比D_{ON}でオンオフする。図 5-15 に様々な動作モードにおいてオンオフ制御を適用した場合の波形を示す。出力電力はいずれの場合においても 20W に設定され，各主回路のオンオフデューティ比D_{ON}は動作モード 2 において 0.48，動作モード 0.35 に設定した。また，オンオフ制御の周波数は 100 kHz に設定した。



(a) 動作モード 2 においてオンオフ制御を適用した場合($R_{eq} = 25\ [\Omega], P_{OUT} = 20\ [W]$)



(b) 動作モード 3 においてオンオフ制御を適用した場合($R_{eq} = 15\ [\Omega], P_{OUT} = 20\ [W]$)

図 5-15 各動作モードにおいてオンオフ制御を適用した場合(シミュレーション)

図 5-15 に示すように，各動作モードにおいてオンオフ制御を適用した場合，出力電力はいずれも 20 W となり，所望とする電力が出力されていることが確認できる。電圧波形に振動は観測されず，オンオフ制御適用時においても Φ2 級インバータ回路は理想的な動作が達成される。よって，負荷抵抗が小さくなる場合に発生する出力電力の増大は，オンオフ制御の適用により抑制可能である。

5.2.2 実器を用いた検証

つづいて，実器を用いてインターリーブ構成とする絶縁形 DC-DC コンバータの動作検証を行う。図 5-16 に実験に用いた 4 相インターリーブ構成とする絶縁形 DC-DC コンバータの外観を示す。この実器は，第 4 章の絶縁形 DC-DC コンバータの負荷特性を検証した時に用いた回路を縦方向に重ね合わせたものである。各回路部品および回路パラメータは表 3-9 に示すものを用いた。

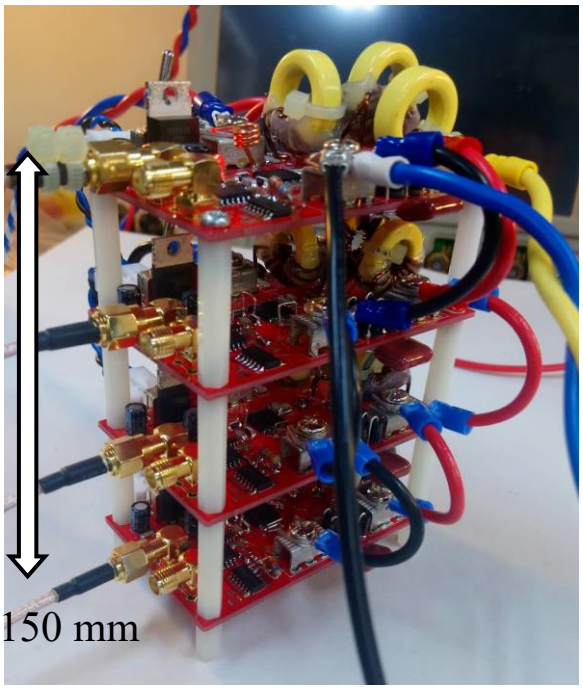
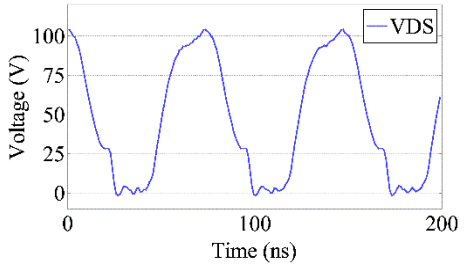
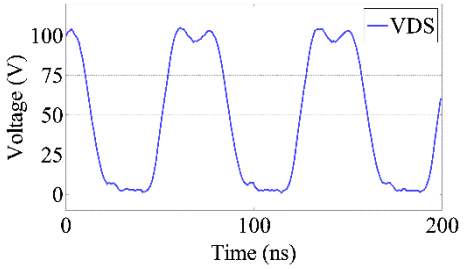


図 5-16 インターリーブ構成の動作検証に用いた実器の外観

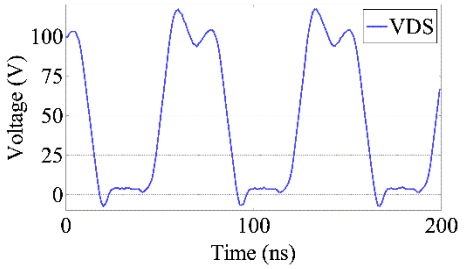
はじめに，適用可能な負荷抵抗の範囲拡大について確認する。図 5-17 にさまざまな負荷抵抗を適用した場合における各主回路のドレイン-ソース間電圧波形を示す。



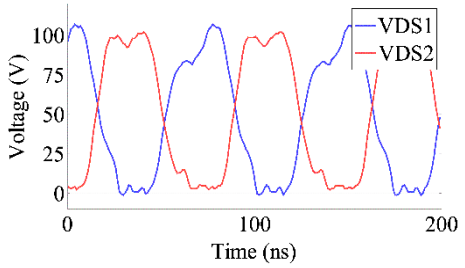
(a) 動作モード 1 (等価負荷抵抗 70 Ω)



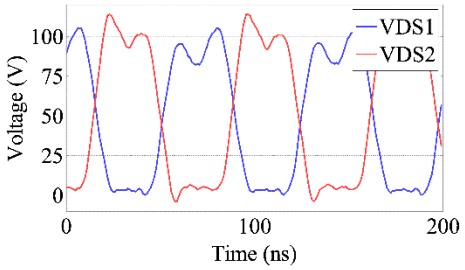
(b) 動作モード 1 (等価負荷抵抗 50 Ω)



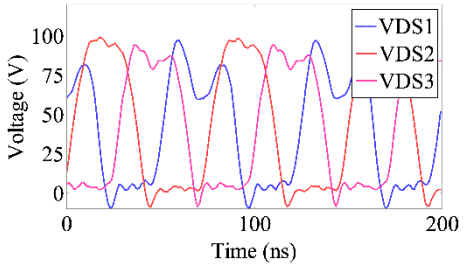
(c) 動作モード 1 (等価負荷抵抗 30 Ω)



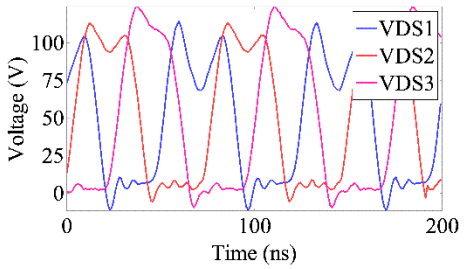
(d) 動作モード 2 (等価負荷抵抗 30 Ω)



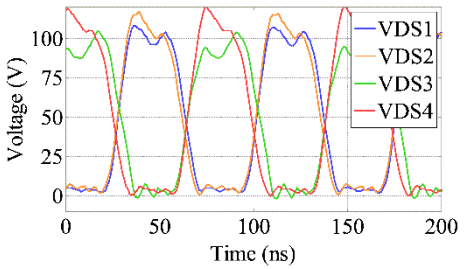
(e) 動作モード 2 (等価負荷抵抗 20 Ω)



(f) 動作モード 3 (等価負荷抵抗 20 Ω)



(g) 動作モード 3 (等価負荷抵抗 10 Ω)



(h) 動作モード 4 (等価負荷抵抗 10 Ω)

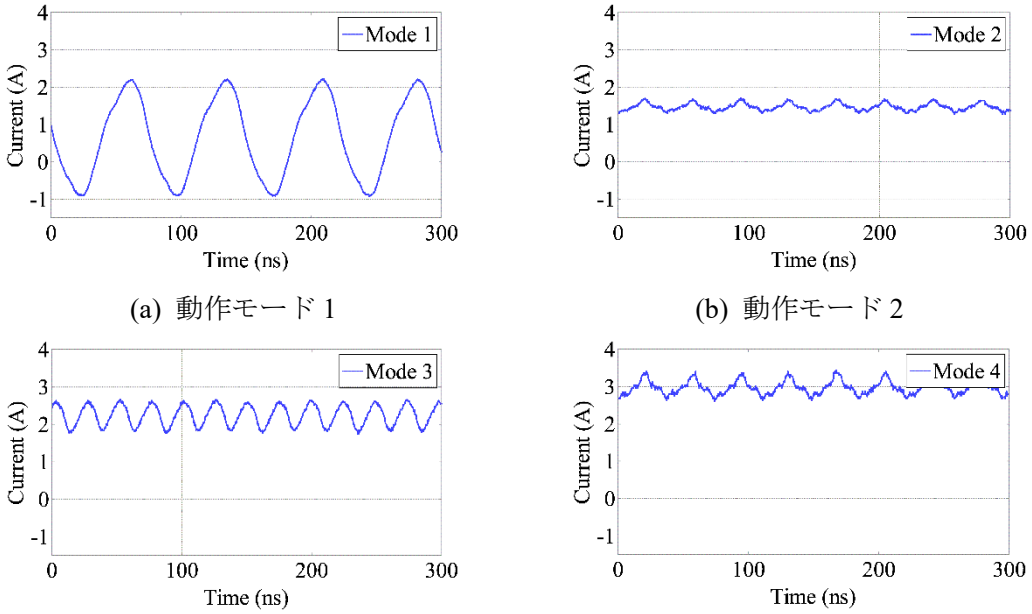
図 5-17 各動作モードにおけるゲート電圧およびドレイン-ソース間電圧波形(実器)

図 5-17 に示すように，さまざまな負荷抵抗において適切な動作モードを選択して運転した場合，いずれの負荷抵抗においても台形状ドレイン-ソース間電圧が確認できる各主回路のドレイン-ソース間電圧波形は，回路パラメータの誤差や寄生パラメータの影響により，その形が若干異なる。また，いずれの波形においても異常振動や各主回路間の干渉は確認できない。実器においてもインターリーブ構成とする絶縁形 DC-DC コンバータは理想的な動

作を達成している。

動作モード 1 において負荷抵抗を 70 Ω に設定した場合，ハードスイッチングが確認できるが，ハードスイッチング時のドレイン-ソース間電圧は入力電圧の半分ほどであり，大きな問題とはならない。これはこの負荷抵抗ではインターリーブ動作で動作していないためである。このハードスイッチングを回避するためにも，インターリーブ構成での動作を前提とし，設計条件を定めるときにおいて，実際の適用負荷よりも高い抵抗値を選択するのが望ましい。今回の条件では，表 2-10 に示すように設計負荷抵抗値を 50Ω に設定し，主回路 1 個で動作可能な負荷抵抗の範囲は 50 Ω の近傍である 30 Ω から 70 Ω に設定した。また，4 相インターリーブ構成時において動作可能な負荷抵抗は 7.5 Ω から 70 Ω であることから，インターリーブ構成時において適用可能な負荷抵抗の範囲の中心は 38.75 Ω であるため，インターリーブ構成時においては，38.75 Ω を中心負荷抵抗として動作するのが望ましい。このように，より理想的な条件で Φ2 級インバータ回路を動作させるためにも，主回路の設計条件における負荷抵抗値と，インターリーブ構成時の中心負荷抵抗値との関係を考慮する必要がある。

つづいて，入力電流リプルについて検討する。図 5-18 に実器における各動作モード時の入力電流波形を示す。シミュレーションと同様に，図 5-18 は各動作モードにおける設計負荷抵抗値を適用した場合における入力電流波形を示している。



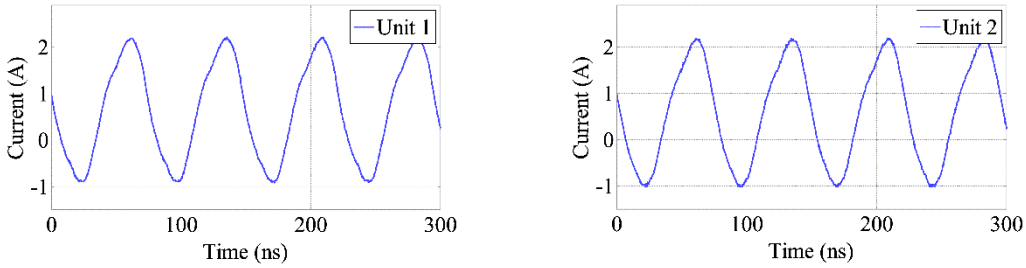
(a) 動作モード 1　(b) 動作モード 2

(c) 動作モード 3　(d) 動作モード 4

図 5-18 各動作モードにおけるインターリーブ構成
絶縁形 DC-DC コンバータの入力電流波形(実器)

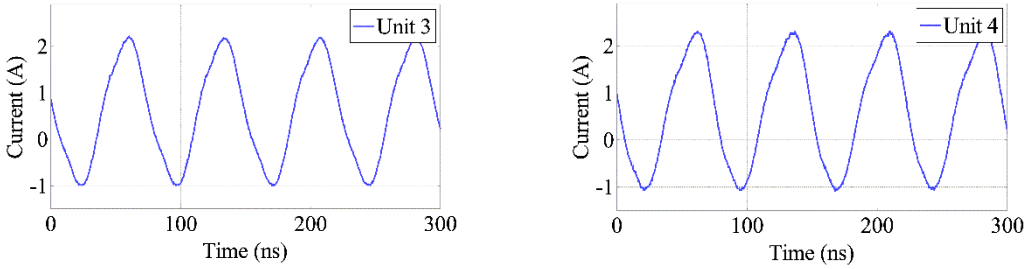
図 5-18(a)に示すように，実器における Φ2 級インバータ回路の入力電流は完全な三角波とはならない。そのため，入力電流波形を理想的な三角波とした場合，表 5-4 に示すように動作モード 2 および 4 では，入力電流リプルは直流成分のみを有するが，実器では微小なリプル成分が観測される。ただし，三角波状リプルと比較して大きくリプル成分が除去され，電流リプルはほぼ直流成分のみで構成されていることから，入力電流リプルの削減が確認される。動作モード 3 では表 5-4 に示すように，スイッチング周波数の 3 倍成分を有する高調波電流リプルが確認され，その波高値もおおむね理論通りである。よって，実器においても，インターリーブ構成の適用による入力電流リプルの削減が確認できる。

また，図 5-19 にインターリーブ構成時における各主回路の入力電流波形および平均電流値I_{AVE}をそれぞれ示す。いずれも各動作モードにおける設計負荷抵抗値を適用した場合における入力電流波形を示している。



(a) 主回路 1($I_{AVE1} = 0.642\ [A]$)

(b) 主回路 2($I_{AVE2} = 0.591\ [A]$)



(c) 主回路 3($I_{AVE3} = 0.584\ [A]$)　(d) 主回路 4($I_{AVE4} = 0.603\ [A]$)

図 5-19 インターリーブ構成時における各主回路の入力電流

図 5-19 に示すように，各主回路ともおおむね同じ入力電流波形となり，大きな不均衡は確認されない。入力電流の平均値I_{AVE}も大きな誤差なく各主回路で一致しており，主回路の入力電流の全体平均値I_{AVE_ALL}は 0.605 A である。全体平均値と比べて最も差がある主回路 1 においても，全体平均値I_{AVE_ALL}と主回路の平均値I_{AVE1}との誤差は 0.037 A であり，5%程度の範囲内に収まっている。よって，各主回路に電力バランス制御を適用しなくても，各主回路間での電力負担は正常にバランスされている。

さらに，出力電力の増大についても確認する。図 5-20 に各動作モードにおける出力電力曲線を示す。

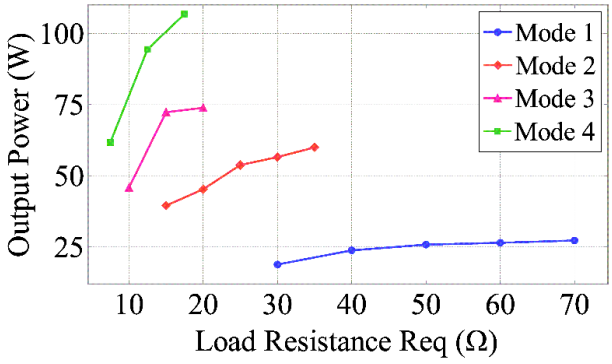


図 5-20 各動作モードにおける出力電力(実器)

図 5-20 に示すように，動作モード 1 では表 2-14 に示す設計条件と同様に，負荷抵抗 50 Ω 時において出力電力 25 W が達成されている。同様に，動作モード 2 では負荷抵抗 25 Ω 時に，動作モード 1 の約 2 倍である電力約 50 W が出力されている。動作モード 3 および 4 においても，いずれの設計負荷抵抗値においても所望の電力が出力されていることから，実器においても，インターリーブ構成の適用により出力電力の増大が可能となる。

また，実器においてもシミュレーションと同様に，インターリーブ構成とする Φ2 級インバータ回路に対してオンオフ制御を適用し，出力電力の調整を試みる。図 5-21 にオンオフ制御適用時における絶縁形 DC-DC コンバータの各波形を示す。なお，オンオフ制御の周波数は 100 kHz に設定した。

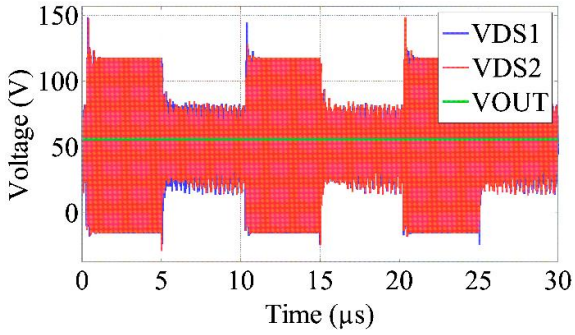


図 5-21 動作モード 2 においてオンオフ制御を適用した場合
(実器，$R_{eq} = 25\ [\Omega], P_{OUT} = 25\ [W]$)

図 5-21 に示すように，動作モード 2 においてオンオフ制御を適用した場合，出力電力は約 50 W から 25 W へと制御され，異常動作なく動作していることが確認できる。よって，実器においても，低抵抗領域において出力電力が必然に増加してしまう問題は，オンオフ制御の適用により解決可能である。

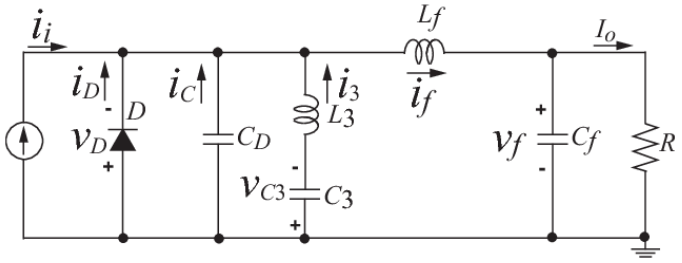
本節では，Φ2 級インバータ回路の実用化を考えたうえで問題となる，大きな三角波状入力電流，出力電力に上限が存在，負荷特変動に対する特性が優れない問題に対し，その解決

法としてインターリーブ構成とする絶縁形 DC-DC コンバータ構成を提案し，各種動作の検証を行った。その結果，インターリーブ構成を適用し，適切な動作モードにおいて回路を動作させた場合，いずれの問題も解決され，より理想的な回路動作が達成された。よって，インターリーブ構成とする絶縁形 DC-DC コンバータは有用性に優れていると考えられる。

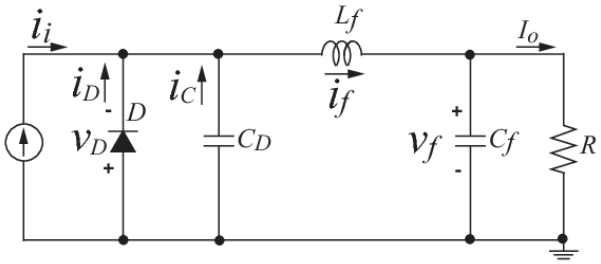
5.3 絶縁形双方向 DC-DC コンバータ構成の場合における構成と特性

Φ2 級インバータ回路のさらなる発展として，絶縁形 DC-DC コンバータを双方向化させることを検討する。第 3 章で述べた絶縁形 DC-DC コンバータは，1 次側から 2 次側へのみ電力融通が可能であり，2 次側から 1 次側への電力融通は不可能である。そのため，双方向に電力をやり取りする必要がある場合，負荷側で回生操作が必要な場合などは，絶縁形 DC-DC コンバータの接続方向を反転させてもう 1 つ追加する必要がある。そのため，双方向に電力融通が可能な構成にした場合，1 次側 2 次側関係なく電力をやり取りできるため，負荷側からの電力回生や電力貯蔵装置などへのさらなる応用が期待できる。

Φ2 級インバータ回路や E 級インバータ回路において回路内の電力フローを逆から検討し，回路構成を変更する場合，逆変換の電力変換が可能となる。Φ2 級インバータ回路は直流を交流に変換するインバータ回路であるが，負荷抵抗を電流源に，入力電圧源を負荷抵抗に置き換え，出力側から電力を送るように回路構成を変更する場合，交流を直流に変換する整流回路が実現される。この回路は Φ2 級整流器と呼ばれ，図 5-22(a)のような回路構成をとる。同様に，E 級インバータ回路を双対変換した場合，E 級整流器と呼ばれる整流回路となる。



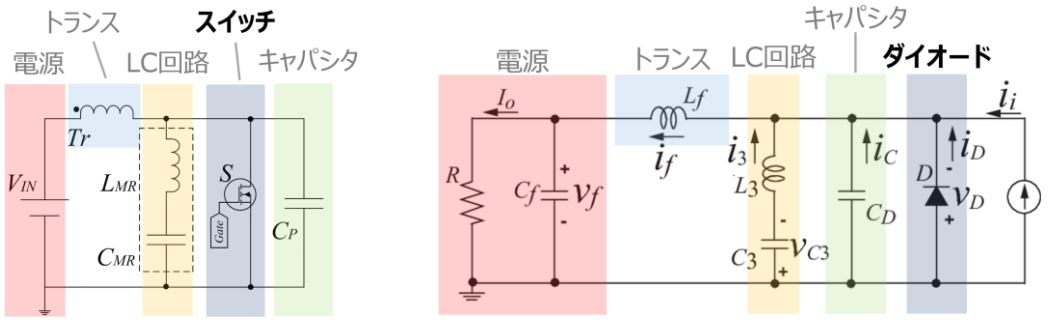
(a) Φ2 級整流回路



(b) E 級整流回路

図 5-22 各インバータ回路より算出される整流回路[1]

つまり, Φ2 級インバータ回路において, 電力フローを通常の動作時と逆に検討した場合, 交流から直流の整流回路が実現される。よって，Φ2 級インバータ回路の構成を変更した場合，同じ回路を用いてインバータ回路および整流回路の双方が実現可能である。図 5-23 に絶縁形 DC-DC コンバータとする Φ2 級インバータ回路の 1 次側回路および, Φ2 級整流回路の回路図を示す。ただし，図 5-23(b)に示す Φ2 級整流回路は，図 5-22(a)の回路図を反転させたものである。



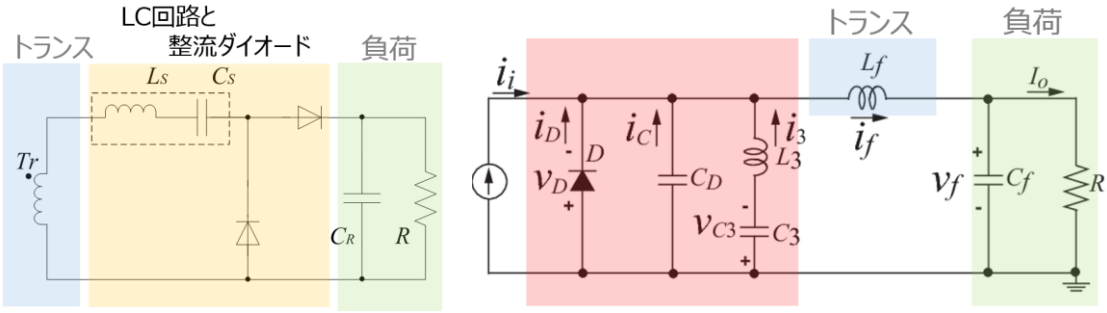
(a) 絶縁形 DC-DC コンバータの 1 次側

(b) Φ2 級整流回路の回路(反転)

図 5-23 絶縁形 DC-DC コンバータ 1 次側の比較

図 5-23 に示すように，絶縁形 DC-DC コンバータ 1 次側と Φ2 級整流回路を比較した場合，その構成はほぼ同一である。Φ2 級整流回路において，電源部分は負荷抵抗と平滑コンデンサで構成されているが，これは整流回路の出力部の直流電圧を表している。それぞれの回路において唯一異なる点は，絶縁形 DC-DC コンバータの 1 次側ではスイッチの箇所が，Φ2 級整流器ではダイオードとなっている点である。ただし，スイッチには逆導通ダイオードが内蔵されており，スイッチのオンオフ状態を問わず，常にスイッチと並列にダイオードが接続されたような振る舞いを持つ。つまり，Φ2 級整流回路のダイオードをスイッチに置き換え，このスイッチがなんら能動的な動作をしない場合，ダイオードと同じ動作・特性を持つため, Φ2 級整流回路のダイオードをスイッチに置き換えても問題とはならない。また，Φ2 級整流回路には電流源が存在するが，絶縁形 DC-DC コンバータの 1 次側における電流源はトランスT_rであるため，無視して問題ない。よって，絶縁形 DC-DC コンバータの 1 次側と Φ2 級整流回路はほぼ同一構成であり，絶縁形 DC-DC コンバータ 1 次側回路はそのまま Φ2 級整流回路として動作が可能である。

つづいて，絶縁形 DC-DC コンバータの 2 次側について比較する。図 5-24 に絶縁形 DC-DC コンバータとする Φ2 級インバータ回路の 2 次側回路および, Φ2 級整流回路の回路図を示す。



(a) 絶縁形 DC-DC コンバータの 2 次側　　(b) Φ2 級整流回路の回路(反転)

図 5-24 絶縁形 DC-DC コンバータ 2 次側の比較

図 5-24 に示すように，絶縁形 DC-DC コンバータの 2 次側回路と Φ2 級整流回路の構成を比較した場合，その構成は大きく異なる。絶縁形 DC-DC コンバータの 2 次側回路には，トランスと負荷の間に LC 回路と整流回路が存在しているが，Φ2 級整流器には整流回路が存在しないため，トランスと負荷の間に整流回路を挿入する必要がある。また，Φ2 級整流器において赤色の背景で示されている箇所は，絶縁形 DC-DC コンバータの 2 次側には存在しない。絶縁形 DC-DC コンバータ 1 次側について検討時，Φ2 級整流回路のダイオードはスイッチに置き換えても問題ないことが判明している。このスイッチを常時オンにした場合，スイッチ間が短絡されるため，Φ2 級整流回路の赤色部分は何ら回路動作に寄与しなくなる。よって，Φ2 級整流回路中の赤色の部分は，ダイオードの代わりに接続されているスイッチを常にオンした場合，回路動作として無視できる。スイッチを常にオンする場合，電流源が短絡してしまうように考えられるが，絶縁形 DC-DC コンバータの 2 次側回路として動作させることを考えた場合，1 次側の検討と同様に，Φ2 級整流回路において電流源となりうるのはトランス部分であるため，無視して差し支えない。よって，Φ2 級整流回路に対して LC 回路と整流回路を追加した場合，絶縁形 DC-DC コンバータの 2 次側回路として動作が可能である。

したがって，絶縁形 DC-DC コンバータの 1 次側と 2 次側の両方の動作を兼ねる回路構成について検討した場合，以下の図 5-25 に示すような回路が構成される。また，図 5-26 および図 5-27 に絶縁形 DC-DC コンバータ回路の 1 次側および 2 次側の動作について検討した図を示す。

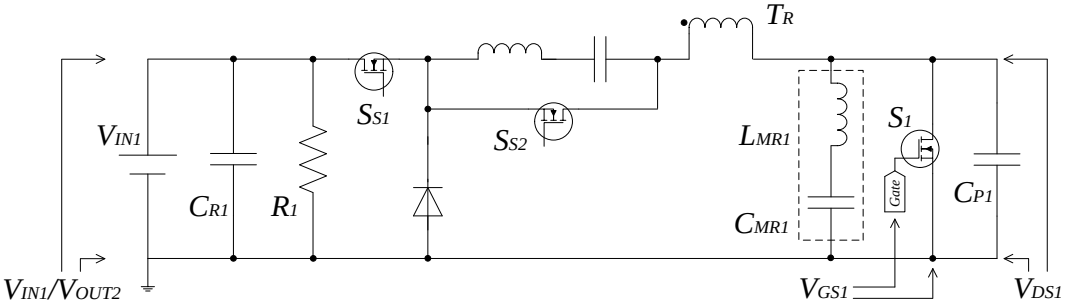
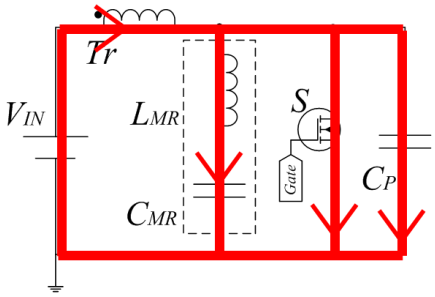
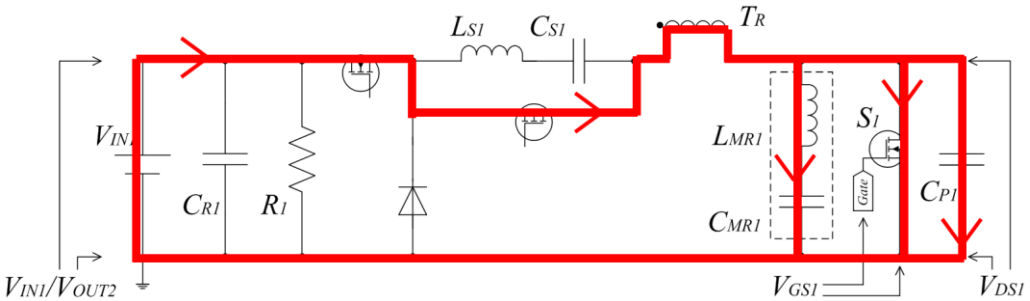


図 5-25 絶縁形 DC-DC コンバータの 1 次側と 2 次側を兼ねる回路

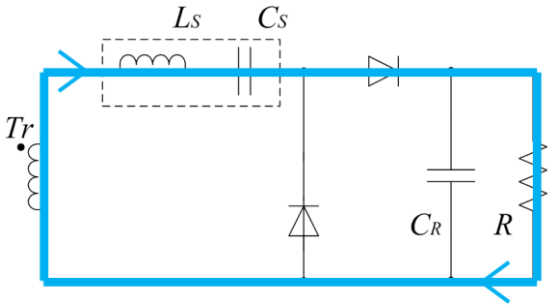


(a) 絶縁形 DC-DC コンバータの 1 次側電力フロー

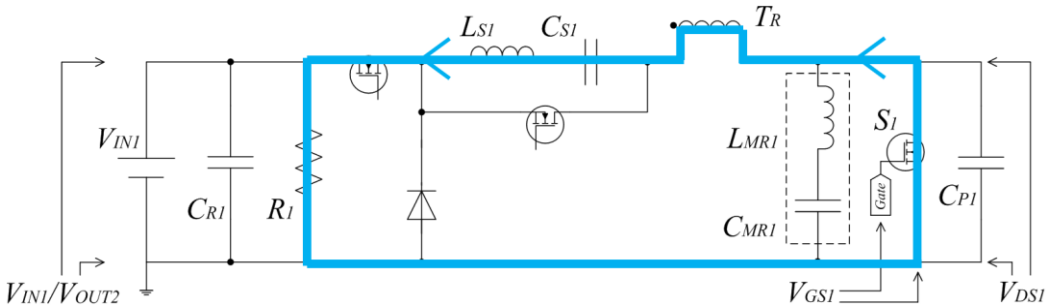


(b) 1 次側の動作を行う絶縁形 DC-DC コンバータの 1 次側と 2 次側を兼ねる回路

図 5-26 絶縁形 DC-DC コンバータの 1 次側電力フロー比較



(a) 絶縁形 DC-DC コンバータの 2 次側電力フロー



(b) 2 次側の動作を行う絶縁形 DC-DC コンバータの 1 次側と 2 次側を兼ねる回路

図 5-27 絶縁形 DC-DC コンバータの 2 次側電力フロー比較

図 5-25 に示すように，提案する絶縁形 DC-DC コンバータの 1 次側と 2 次側を兼ねる回路では，1 次側および 2 次側の両方の動作を達成する必要があるため，補助スイッチS_{S1}とS_{S2}を挿入している。それ以外の箇所については，絶縁形 DC-DC コンバータ 1 次側および 2 次側にある回路部品のみを用いている。本回路を用いた場合，図 5-26 および図 5-27 に示すように，1 次側および 2 次側の回路動作・電力フローが達成可能である。よって，本構成の回路を用いた場合，1 次側動作および 2 次側動作の双方が実現可能である。本回路を 2 つ用い，トランスを挟んでさらに 1 次側および 2 次側の構成を検討した場合，図 5-28 に示す，双方向絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路が構成される。

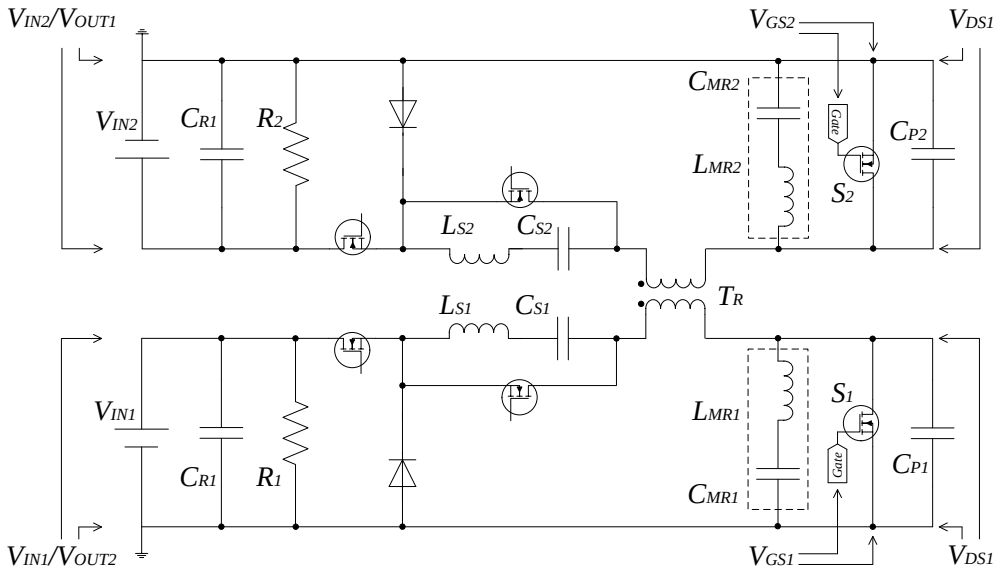
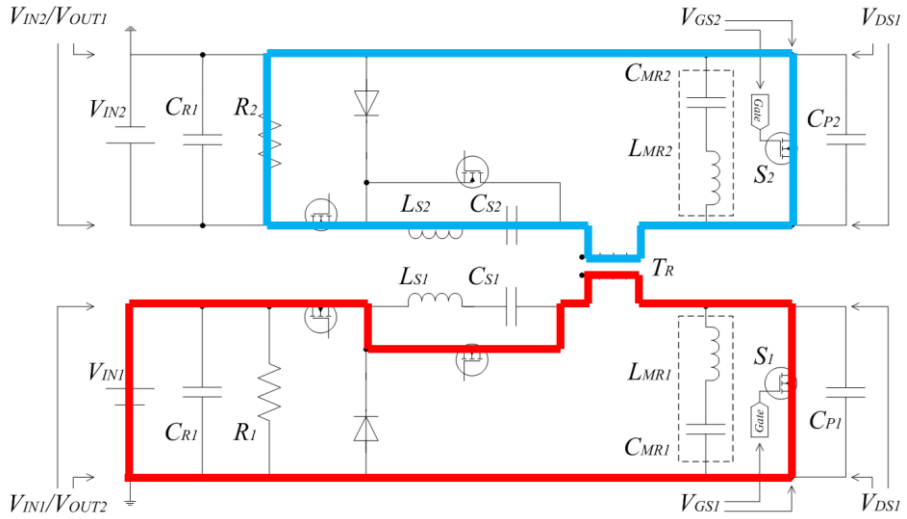
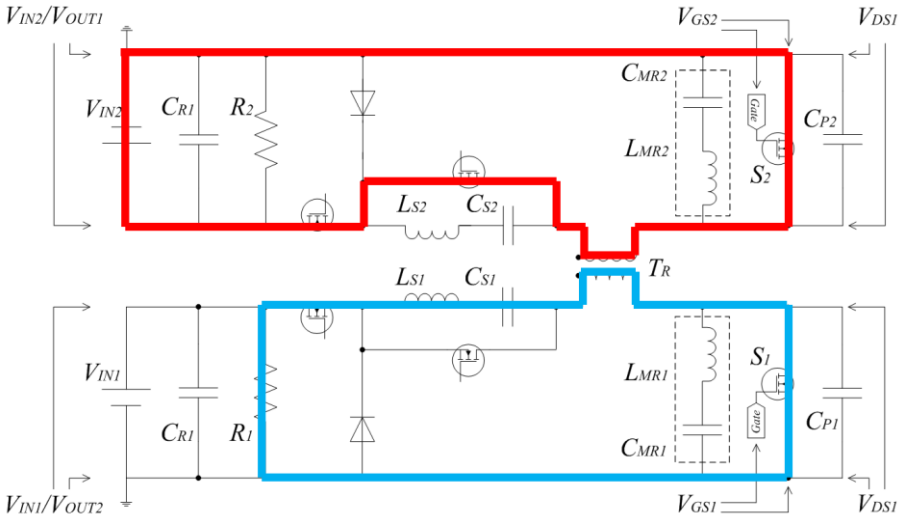


図 5-28 双方向絶縁形 DC-DC コンバータ構成とする Φ2 級インバータ回路
(上側:2 次側，下側:1 次側)

図 5-28 に示すように，双方向絶縁形 DC-DC コンバータは，通常の絶縁形 DC-DC コンバータとする Φ2 級インバータ回路を Back-to-Back(背面)接続した構成である。1 次側および 2 次側はすべて同一の回路構成となり，それぞれ入力/出力を兼ねる。以降，図 5-28 の回路において下側の主回路を 1 次側，上側の主回路を 2 次側とする。図 5-29 に本回路における電力の流れを示す。



(a) 1 次側から 2 次側に電力を送る場合



(b) 2 次側から 1 次側に電力を送る場合

図 5-29 双方向絶縁形 DC-DC コンバータの電力融通

図 5-29(a)では下側の 1 次側から上側の 2 次側へ，(b)では上側の 2 次側から下側の 1 次側へ電力をそれぞれ送出している。2 つの場合を見比べた場合，当然に 1 次側および 2 次側の回路は同一構成であるため，同じ電流経路を通って電力が融通されている。

通常の絶縁形 DC-DC コンバータと比較した場合，双方向構成時は，主回路数が 2 倍になることに伴う回路部品の追加に加え，電力の融通方向を決定する補助スイッチが，主回路 1 個当たり 2 個，合計 4 つ追加される。図 5-29 に示すように，本補助スイッチは電力融通の方向を決定するのみに使用され，回路動作中にオンオフの制御を行う必要はない。1 次側から 2 次側に電力を送る場合，電力を送る 1 次側に存在する補助スイッチのみオンし，電力を受け取る 2 次側の補助スイッチはオンする必要はない。ただし，補助スイッチ中に存在するボディダイオードを通る電流は流れるが，スイッチをアクティブに制御する必要はない。

2 次側から 1 次側に電力を送る場合も同様に，電力を送る 2 次側主回路中の補助スイッチのみをオンするのみでよい。そのため，補助スイッチには高速なスイッチング特性は不要であり，安価な Si-MOSFET の適用が可能であるため，コスト増大の懸念は解消される。

本回路について，シミュレーションを用いた動作解析を行う。表 5-5 に本回路の動作条件および各回路パラメータを示す。また，図 5-30 に表 5-5 の条件おける，双方向絶縁形 DC-DC コンバータの動作波形を示す。

表 5-5 双方向絶縁形 DC-DC コンバータの動作条件および回路パラメータ

電源電圧V_{IN}	50V	出力電力P_{OUT}	100 W
スイッチング周波数f_s	1 MHz	等価負荷抵抗R	50 Ω
トランスT_r	15.3 μF (pri.) 15.3 μF (sec.) k=1	キャパシタC_{P1}/C_{P2}	1300 pF
インダクタL_{MR1}/L_{MR2}	10.5 μF	キャパシタC_{MR1}/C_{MR2}	600 pF
インダクタL_{S1}/L_{S2}	10.1 μF	キャパシタC_{S1}/C_{S2}	7.2 nF

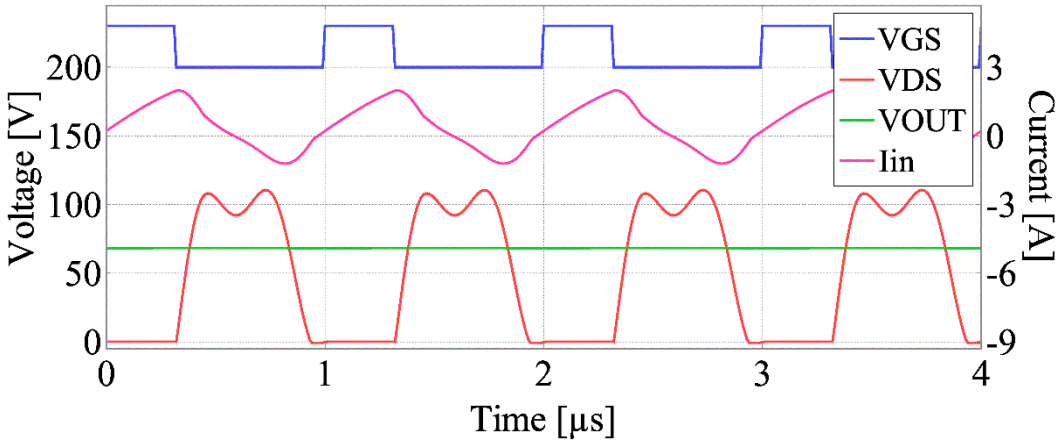


図 5-30 双方向絶縁形 DC-DC コンバータにおける各波形

図 5-30 に示すように，双方向絶縁形 DC-DC コンバータ構成として場合においても，ドレイン-ソース間電圧V_{DS}波形は理想的な台形状波形となる。また，入力電流I_{IN}波形も三角波状電圧となっていることから，通常の Φ2 級インバータ回路と何ら変わらない動作が達成されている。絶縁形 DC-DC コンバータを双方向化した場合でも，Φ2 級インバータ回路は理想的な動作が達成されることから，1 次側 2 次側関係なく電力の融通が可能となる。よって，Φ2 級インバータ回路の適用可能なアプリケーションの範囲が広がり，負荷電力の回生や電力貯蔵装置への応用が期待できる。

参考文献

[1] X. Wei, H. Sekiya, T. Suetsugu, “New class-E rectifier with low voltage stress,” 2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS) , 2016.

[2] S. Aldhaher, D. C. Yates, and P. D. Mitcheson, “Load-Independent Class E/EF Inverters and Rectifiers for MHz-Switching Applications,” IEEE Trans. on Power Electron., vol. 33, no. 10, pp. 8270-8287, 2018.

[3] J. M. Rivas, Y. Han, O. Leitermann, A. D. Sagneri, and D. J. Perreault, “A high-frequency resonant inverter topology with low-voltage stress,” IEEE Trans. on Power Electron., vol. 23, no. 4, pp. 1759-1771, 2008.

[4] J. M. Rivas, O. Leitermann, Y. Han, and D. J. Perreault, “A very high frequency DC-DC converter based on a class Φ2 resonant inverter,” IEEE Trans. on Power Electron., vol. 26, no. 10, pp. 2980-2992, 2011.

第6章 総括

本研究では，GaN-HFET を適用した Φ2 級インバータ回路を用いて，その有用性や適用効果について検討した。Si-MOSFET 適用時に対する GaN-HFET 適用の有用性について，コンピュータシミュレーションおよび実験により示した。また，Φ2 級インバータ回路の設計法を，通常のインバータ構成に加え，絶縁形 DC-DC コンバータ構成についても示し，その実用性評価および動作検証を行った。さらに，実用化を検討する場合に必須である回路の負荷特性を，インバータ構成時および絶縁形 DC-DC コンバータ構成時においてそれぞれ検証し，絶縁形 DC-DC コンバータ構成時では，静的負荷特性だけではなく動的負荷特性についても検証を行った。Φ2 級インバータ回路の応用に向けた各種課題の解決として，運転開始時に発生するピーク電圧抑制手法の提案と評価，適用可能な負荷抵抗の範囲拡大，入力電流リプルの削減，出力電力の増大を目的としたインターリーブ構成の提案とその評価，双方向に電力融通が可能な双方向絶縁形 DC-DC コンバータの提案とその動作確認を行った。本研究で得られた成果は以下で要約される。

・GaN-HFET を適用した Φ2 級インバータ回路はスイッチング周波数 13.56MHz のような高周波領域でも動作が容易であることを，シミュレーションおよび実験にて確認した。

・Si-MOSFET 適用時は，Si-MOSFET の有する寄生容量のうち出力容量の大きな変化が影響し，スイッチング周波数 1MHz 以上の高周波では動作が困難である。

・Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータ回路の構成および設計法を提案し，スイッチング周波数 13.56MHz の高周波領域において，その有用性をコンピュータシミュレーションおよび実験にて確認した。

・Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータ回路において，入力電圧 50 V，出力電力 25 W 時に電力変換効率 85.41 %を達成した。

・絶縁形 DC-DC コンバータ構成を含む Φ2 級インバータ回路の負荷特性について調査し，Φ2 級インバータ回路は共振形電力変換回路であるため，他の回路と同様に適用可能な負荷範囲に制約があることを，コンピュータシミュレーションおよび実験にて確認した。

・Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータ回路の動的負荷特性について検証し，回路動作中に負荷をステップ状に変化させた場合においても，回路は理想的な動作が継続されることを実験にて確認した。

・Φ2 級インバータ回路運転始動時に発生するピーク電圧を抑制する手法について検討し，従来の RCD スナバ回路の挿入手法に加え，始動時のスイッチングパターンを調整する手法について提案し，その有効性を評価した。

・Φ2 級インバータ回路の実用化を考えたうえで懸念事項となる，適用可能な負荷抵抗の範囲制約，大きな入力電流リプル，出力電力の制限を解決するため，インターリーブ構成とする Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータを提案し，コンピュータシミュレーションおよび実験にてその動作検証を行った。その結果，上記 3 つの懸念事項はいずれも解消され，Φ2 級インバータ回路は実用的な回路であることを証明した。

・双方向絶縁形 DC-DC コンバータとする Φ2 級インバータ回路の構成法について検討し，コンピュータシミュレーションを用いてその動作確認を行った。

以上により，GaN-HFET を用いた Φ2 級インバータ回路を，本研究で得られた知見・結果を用いて活用した場合，さまざまなアプリケーションでの実用化が期待され，電力変換技術のみだけでなく，パワーエレクトロニクス業界のさらなる発展につながると期待される。

謝辞

はじめに，大学院博士前期課程および博士後期課程の合計 5 年間，本研究を行うにあたり様々な面で終始懇切なご指導とご鞭撻をいただきました大阪大学 伊瀬敏史 名誉教授に深く感謝の意を表します。

本論文をまとめるにあたり，適切なご指導とご指摘を承りました大阪大学大学院 工学研究科 髙井重昌 教授に厚く御礼申し上げます。

本研究の遂行にあたり，終始適切なご教示とご指導を承りました長岡技術科学大学大学院 工学研究科 三浦友史 教授に深く感謝の意を表します。

また，本研究の遂行にあたり，適切なご教示とご指導を承りました大阪大学大学院 工学研究科 劉佳助教に感謝の意を表します。

博士前期課程在学中に適切なご助言およびご協力を承りました東芝 林 祐輔 氏に厚く御礼申し上げます。

また，本論文をまとめるにあたり，貴重なご指摘をいただきました大阪大学大学院 工学研究科 舟木剛 教授，牛尾知雄 教授，阪部茂一 招聘教授，大阪大学レーザー科学研究所 白神宏之 教授に厚く御礼申し上げます。

共同研究において貴重なご助言をいただき，評価基板や測定データ等を提供していただきましたパナソニック株式会社の石田昌宏様，按田義治様をはじめ，共同研究担当の方々に心より感謝申し上げます。

在学中，大阪大学大学院工学研究科電気電子情報工学専攻 伊瀬研究室およびパワーエレクトロニクス領域の皆様には，多大なるご支援およびご教示をいただきました。ここに深く感謝いたします。

最後に，本研究の遂行にあたり，理解と援助をいただきました両親に感謝いたします。

研究業績

学術論文(査読あり)

[1] 柳澤佑太，三浦友史，半田浩之，上田哲三，伊瀬敏史：「Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータに関する基礎検討」パワーエレクトロニクス学会誌，vol.43, pp.73-80, Mar. 2017

[2] Yuta Yanagisawa, Yushi Miura, Hiroyuki Handa, Tetsuzo Ueda, Toshifumi Ise, "Characteristics of Isolated DC–DC Converter With Class Phi-2 Inverter Under Various Load Conditions" IEEE Trans. on Power Electronics, vol. 34, no. 11, pp. 10887-10897, Nov. 2019

国際学会における発表(査読あり)

[1] Yuta Yanagisawa, Yushi Miura, Hiroyuki Handa, Tetsuzo Ueda, Toshifumi Ise, "A Study on Load Fluctuation of Isolated DC-DC Converter with Class Phi-2 Inverter using GaN-HFET", 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), Niigata, JAPAN, 2018, pp. 3762-3767. (口頭発表)

[2] Yuta Yanagisawa, Yushi Miura, Hiroyuki Handa, Tetsuzo Ueda, Toshifumi Ise, "Investigation of Peak Voltage Suppression Method at Startup in Isolated DC-DC Converter with Class Phi-2 Inverter", 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Oregon, Portland, USA, 2018, pp. 2824-2828. (ポスター発表)

[3] Yuta Yanagisawa, Yushi Miura, Toshifumi Ise, "Characteristics of Interleave Operation of Isolated dc-dc Converter with class Phi-2 inverter", EPE'19 European Conference on Power Electronics and Applications, Genova, Italy, 2019, pp. 1-8. (口頭発表)

国内学会における発表(査読なし)

[1] 柳澤佑太，三浦友史，半田浩之，上田哲三，伊瀬敏史：「Φ2 級インバータ回路を用いた GaN-HFET 適用効果の検討」平成 28 年電気関係学会関西連合大会，P-8，大阪府立大学，2016 年 11 月(ポスター発表)

[2] 柳澤佑太，三浦友史，半田浩之，上田哲三，伊瀬敏史：「GaN-HFET を適用した MHz 級 Φ2 級インバータの動作特性」平成 29 年半導体電力変換モータドライブ合同研究会，SPC-17-020 MD-17-020，ダイキン工業株式会社 テクノロジー・イノベーションセンター，2017

年 1 月(口頭発表)

[3] 柳澤佑太，三浦友史，半田浩之，上田哲三，伊瀬敏史 :「Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータに関する基礎検討」パワーエレクトロニクス学会第 218 回定例研究会，JIPE-43-07，大阪大学吹田キャンパス，2017 年 7 月(口頭発表)

受賞

[1] 平成 27 年電気関係学会関西連合大会 奨励賞，「Φ2 級インバータ回路を用いた GaN-HFET 適用効果の検討」，2016 年 4 月

[2] 大阪大学工学研究科電気電子情報工学専攻 菅田-Cohen 賞(修士) 受賞, 2017 年 3 月

[3] 平成 28 年度 IEEE Industrial Electronics Society Japan Joint Chapter Young Engineer Award, 「Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータに関する基礎検討」, 2018 年 4 月

[4] パワーエレクトロニクス学会 優秀論文賞，「Φ2 級インバータ回路を用いた絶縁形 DC-DC コンバータに関する基礎検討」, 2019 年 12 月