



Title	ニッケル酸化物の抵抗変化を用いた不揮発性メモリの基礎研究
Author(s)	西, 佑介; 岩田, 達哉; 木本, 恒暢
Citation	電気材料技術雑誌. 2010, 19, p. 5-11
Version Type	VoR
URL	https://hdl.handle.net/11094/76854
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

ニッケル酸化物の抵抗変化を用いた不揮発性メモリの基礎研究

西 佑介¹⁾、岩田達哉¹⁾、木本恒暢¹⁾²⁾

¹⁾ 京都大学大学院工学研究科電子工学専攻 〒615-8510 京都府京都市西京区京都大学桂

²⁾ 京都大学光電子理工学教育研究センター 〒615-8510 京都府京都市西京区京都大学桂

抵抗変化特性を有するニッケル酸化物(NiO)薄膜が、抵抗変化型不揮発性メモリ(ReRAM)用材料の1つとして近年大いに注目されている。まず、白金(Pt)を電極とした NiO/Pt 構造に対して、O₂ と Ar 雰囲気中で 400℃から 1000℃までのアニールを行った。アニールによって NiO 薄膜の結晶化が進行し、抵抗値が増加する傾向にあることを確認した。特に Ar 雰囲気中で高温アニールを行った試料では高抵抗状態で複数の抵抗値が観測され、多値化の可能性が示唆された。また、NiO 薄膜を n 型シリコン(Si)基板上に堆積して pn 接合を作製し、アドミッタンス法という手法を用いて電気伝導に寄与するキャリアが存在しうる欠陥準位の深さや密度を検出した。酸素組成が 1.07 である NiO 薄膜において、室温における放出時定数 2.3 μs である単一の欠陥準位が、価電子帯端からの深さ約 170 meV に存在していることがわかった。この値は、Pt/NiO_{1.07}/Pt 積層構造の初期状態もしくは高抵抗状態での抵抗の活性化エネルギーと同等である。正孔をトラップする深さ 170 meV の位置に存在する欠陥準位からの正孔の熱励起によるバンド伝導を示唆するものと考えられる。

キーワード：NiO、ReRAM、アニール、欠陥準位

Fundamental Research of Nonvolatile Memory utilizing Resistive Switching Property of Nickel Oxide

Yusuke NISHI¹⁾, Tatsuya IWATA¹⁾, Tsunenobu KIMOTO¹⁾²⁾

¹⁾ Department of Electronic Science and Engineering, Kyoto University, Kyotodaigaku-katsura, Nishikyo, Kyoto, 615-8510 Japan

²⁾ Photonics and Electronics Science and Engineering Center (PESEC), Kyoto University, Kyotodaigaku-katsura, Nishikyo, Kyoto, 615-8510 Japan

Nickel Oxide (NiO) showing a resistive switching property has recently attracted extensive interest as one of the materials for ReRAM. At first rapid thermal annealing in O₂ and Ar gas atmospheres was performed for as-deposited NiO/Pt structures at temperature of 400°C to 1000°C. During annealing the crystallization of NiO occurs and the resistance of the films increases. The samples annealed at high temperature especially in Ar gas atmosphere exhibit a few ranges of resistance in the high-resistance state, which indicates that annealing process of NiO thin films has potential of realization of multiple resistive switching. Moreover, an energy level above a valence band edge and density of defects in NiO thin films deposited on n-Si substrates were characterized by admittance spectroscopy. A NiO_{1.07} thin film turned out to include a localized single defect level. The emission time constant at room temperature of the defect level and the energy level above the valence band edge were 2.3 μs and about 170 meV, respectively. This value was equivalent to the activation energy of the resistances in both initial state and high-resistance state at a Pt/NiO_{1.07}/Pt stacking structure. Band conduction with holes thermally excited from the defect level may be dominant.

Keyword : NiO, ReRAM, anneal, defect level

1. 背景

今から約 20 年前、フラッシュ(Flash)メモリという画期的なデバイスが発明され、瞬く間にメモリ業界を席巻していった。今では、技術革新や大量普及によって大容量・低コスト化が進み、各種メモリカードやオーディオプレーヤーに当然のように組み込まれている。また、従来のハードディスクに変わり、衝撃に強いフラッシュメモリを記憶装置として搭載されたパソコンも普及しつつある。しかし、なお進化し続ける高度情報化の波は、そのフラッシュメモリの仕様ですらかき消さんばかりであり、より高速かつ低消費電力でのメモリ動作が求められる状況にある。

このような次世代不揮発性半導体メモリとして、様々な材料や原理を用いたデバイスが研究開発されている。既に量産が開始された FeRAM (Ferroelectric Random Access Memory)や試作段階に入っている MRAM (Magnetic RAM)、近い将来の事業化を意識され研究開発が進められている PRAM (Phase change RAM)や ReRAM (Resistive RAM)などのメモリが、その候補として挙げられる。これらの比較を表 1 に示す。

表 1 各種不揮発性メモリの比較
Table.1 Properties of several kinds of nonvolatile memories.

	Flash	FeRAM	MRAM	PRAM	ReRAM
サイズ	>4F ²	8F ²	20F ²	8F ²	4-6F ²
消費電力	High	Low	High	High	Low
動作電圧	15V	1.8V	1.8V	<2.5V	<2.5V
書込速度	>10μs	20ns	10ns	<50ns	<50ns
読出速度	50ns	20ns	10ns	20ns	20ns
書換耐性	10 ⁶	10 ¹²	10 ¹²	10 ¹²	10 ¹²
主なメモリ材料	SiON Al ₂ O ₃	PZT SBT	強磁性材料	GST	MO _x PCMO
課題	書込速度の高速化	微細化	書込電流の低減	書込電流の低減	動作原理の解明

これらの中で ReRAM は、酸化物薄膜を特定の金属で挟むだけという、他のデバイスに比べて単純な構成と構造であるため微細化が容易であり、加えて低消費電力化や大容量化に有利である。また、大きな抵抗変化比を利用した多値化の可能性をも秘めている[1,2]。

ReRAM 用材料は、PCMO などペロブスカイト構造をとる多元系酸化物、TiO₂[3,4]、NiO[2,5]、CoO[6]、Cu_xO[7]などの二元系遷移金属酸化物の 2 つに大別される。例外はあるが、概ね前者がバイポーラ型、後者がノンポーラ型の抵抗変化特性を示す(後述)。特に後者は、材料が遷移金属 1 つで済み組成の制御も容易である。また、既存の CMOS プロセスと親和性があるため、新たな装置の導入は必要なく低コストで作製できる。

このような魅力あふれるデバイスであるにもかかわらず、未だ研究開発段階にとどまっているのは、抵抗変化のメカニズムが明確でないからである。この現象の説明モデルとして、界面におけるショットキー接合モデル[8,9]やフィラメントパスモデル[10,11]、界面付近の酸素イオン移動モデル[12]などが提案されているが、いずれも限定された素子材料および構造での定性的な結果にすぎない。また、TiO₂と Ti₄O₇の組成変化による相変化が起源であるという報告もある[13]が、その駆動力について判然としない。他にも、酸素イオン伝導が要因であるという報告がある一方で、類似の抵抗変化特性を示す原子スイッチの動作は金属イオン伝導によるとされるなど、伝導性 1 つとっても混沌としている。

2. 抵抗変化特性

我々は、ReRAM 材料として知られる NiO を用いて抵抗変化を調べてきた。NiO 薄膜を白金(Pt)電極で挟んだ Pt/NiO/Pt 素子の典型的な抵抗変化を図 1 に示す。

まず、50 kΩ 程度の高抵抗状態(HRS)の素子に電圧を印加していくと、2 V 程度で約 50 Ω の低抵抗状態(LRS)へと変わる。これをセット(set)という。次に、再び電圧を印加していくと 1 V 弱で低抵抗状態から高抵抗状態に戻る。これをリセット(reset)という。この繰り返し可能な抵抗変化特性は、電源を切っても抵抗状態を保持、リセット電圧以下での抵抗値判別による読み出し、セット・リセット動作による書き換えが可能となる、つまり、不揮発性メモリとして機能を実現する。

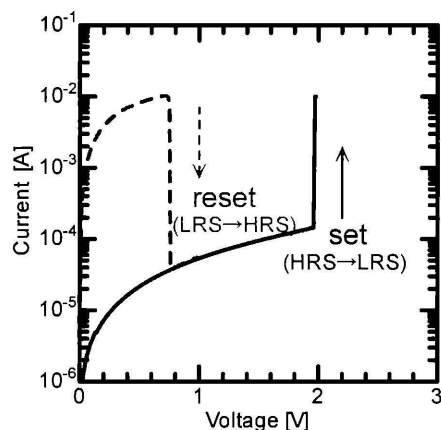


図 1 Pt/NiO/Pt 素子の抵抗変化特性
Fig.1 Resistance switching characteristics of a typical Pt/NiO/Pt structure.

なお、図 1 のようにセットとリセットの電圧が同極性の場合をノンポーラ型、互いに逆極性の場合をバイポーラ型の抵抗変化特性という。

3. 手法

我々は、これらの不思議な抵抗変化現象のメカニズムを解明すべく、NiO の半導体としての物性に着目している。斯界では、抵抗変化特性の改善にのみ照準が合わせられすぎている傾向があるだけに、抵抗変化材料薄膜や界面での結晶性ならびに薄膜中の欠陥を精査するという一見単純かつ地道な手法が重要となる。本論文では、アニールによる結晶性改質と NiO 薄膜中の欠陥評価の 2 つに絞って述べる。

まず、NiO 薄膜の堆積には、反応性高周波スパッタリング法を用いた。ターゲットとして純度 99.99% の金属 Ni、スパッタガスとして O₂ と Ar の混合ガスを用い、全ガス中の O₂ ガス流量を 9% で固定した。このときの NiO 薄膜の酸素組成は、エネルギー分散型 X 線分光 (EDS) より約 1.07 となる。堆積中の基板温度は 300℃ とした。

アニール用のサンプルとして、p-Si 基板全面に Pt 電極 (厚さ約 100 nm) を EB 蒸着したものを基板とした。堆積した NiO 薄膜の厚さは約 270 nm および約 45 nm である。アニールはほぼ大気圧に等しい圧力の O₂ と Ar 雰囲気中で行った。アニール温度は 400~1000℃ である。抵抗変化特性としての電流-電圧 (I-V) 特性は、NiO 薄膜表面と接するタングステンプローブに電圧を印加し、Pt 電極をグランドとする二端子法により測定を行った。

一方、NiO 薄膜中の欠陥評価用のサンプルとして、p 型半導体としての NiO 薄膜を、予め裏面に Al を全面蒸着した n-Si 基板 (抵抗率 10 mΩcm) 上に直接堆積して pn 接合を作製した。その後、メタルマスクを用いて、オーム性電極としての Pt を EB 蒸着した。なお、堆積した NiO 薄膜の厚さは約 200 nm である。このサンプルに、アドミタンス法という手法を適用して、電気伝導に寄与するキャリア (正孔) が存在しうる欠陥準位の深さや密度を検出した。

4. 理論

ここで、アドミタンス法について説明しておく。アドミタンス法は、半導体中の欠陥準位の評価法の 1 つであり、ショットキー接合ならびに pn 接合の空乏層領域におけるアドミタンス成分、すなわち容量とコンダクタンスの、周波数依存や温度依存を測定するものである [14]。金属と p 型半導体のショットキー接合界面付近のバンドを図 2 に示す。p 型半導体は単一の欠陥準位 (トラップ準位 E_T) を、フェルミ準位 E_f よりも深いエネルギー位置 E_T-E_v に有すると仮定している。空乏層幅は w、拡散電位は V_d である。

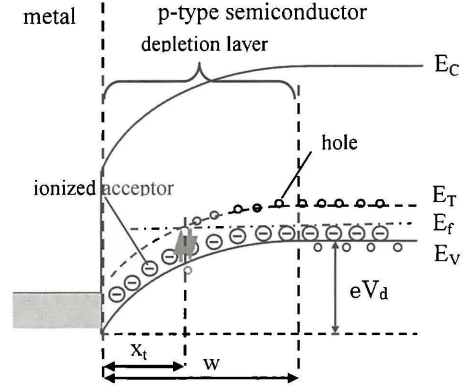


図2 金属と p 型半導体の界面付近のバンド構造
Fig.2 Band structure near the interface of metal and p-type semiconductor.

このような空乏層領域が存在する状態で、微小な交流電圧を両端に印加すると、界面から距離 x_t に位置する欠陥準位がフェルミ準位の上下を変調し、多数キャリアである正孔が欠陥準位を介した充放電を繰り返すことになる。このとき測定される容量成分 C とコンダクタンス成分 G の周波数依存や温度依存から、欠陥を介した正孔の放出時定数 τ などを求めることができる。

なお、各パラメータは、交流電圧の角周波数 ω を用いて以下の式で表される。

$$\frac{G}{\omega} = \frac{\omega\tau}{1+(\omega\tau)^2} \Delta C \quad (1)$$

$$C = C_{HF} + \frac{1}{1+(\omega\tau)^2} \Delta C \quad (2)$$

$$\Delta C = C_{LF} - C_{HF} \quad (3)$$

C ならびに G の周波数依存の理論曲線は図 3 のようになる。G/ω のピーク位置から、正孔の放出時定数 τ を知ることができる。これより十分高い周波数領域では、

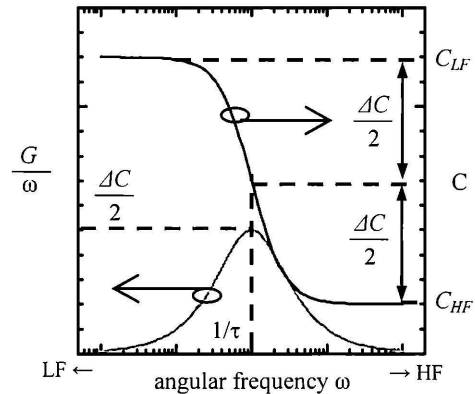


図3 容量やコンダクタンスの周波数依存
Fig.3 Angular frequency dependence of the capacitance and the conductance for depletion region.

正孔が変調電圧に追従できず欠陥を介した充放電が起らないため、容量は空乏層容量 C_{HF} のみとなる。

5. 結果および考察

5.1 アニール

O_2 および Ar 雰囲気中でアニールを行う前ならびに行った後の NiO 薄膜表面を、原子間力顕微鏡(AFM)で観察した。 $2\mu m \times 2\mu m$ の観察領域における RMS (2 乗平均)ラフネスのアニール温度と時間依存を図 4 に示す。面内分布が存在するため、数箇所観察した際のばらつきをエラーバーで示している。

アニール前の NiO 薄膜のラフネスは $0.8 \sim 1.4$ nm と非常に平坦である。NiO は粒状に分布しており、その粒径は $50 \sim 100$ nm であった。一方アニール後は、アニール温度 $600^\circ C$ までは雰囲気の種類によらずアニール前の表面状態と有意な差は見られなかった。ところが $800^\circ C$ 以上になると、アニール温度や時間の増大に従ってラフネスの増加は顕著になってくるが、それに伴い粒径も $100 \sim 300$ nm 程度まで拡大することが観察された。なお、Ar 雰囲気中よりも O_2 雰囲気中でのアニールの方が、ラフネスの増加および粒径の拡大が顕著な傾向にあった。

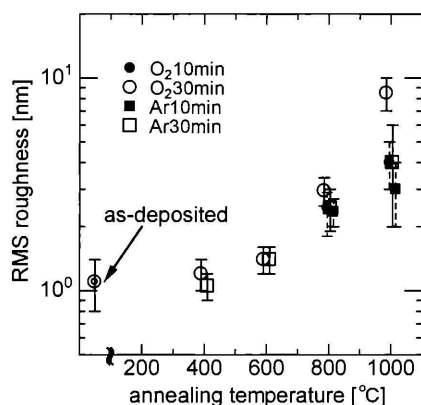


図 4 NiO 表面ラフネスのアニール温度と時間依存
Fig.4 Annealing temperature dependence of NiO surface roughness for various annealing conditions.

NiO 結晶は岩塩型の面心立方構造をとり、その格子定数は 4.17 \AA である。NiO 薄膜(膜厚約 270 nm)堆積後、 O_2 および Ar 雰囲気中でアニールを行う前ならびに行った後の X 線回折 $2\theta/\omega$ スキャン結果をそれぞれ図 5 と図 6 に示す。X 線源には $CuK\alpha_1$ を用いているため、NiO(200)回折ピークは $2\theta=43.3^\circ$ に現れる。なお、ダイヤモンド構造では禁制であるはずの Si(200)回折ピークがいくつかのサンプルで見られるが、アニール条件とは無関係であることを確認している。

アニール前のサンプルにおいて、Pt および NiO ともに(111)と(200)の回折ピークが見られることから、Pt および NiO 薄膜は少なくとも多結晶構造を有していることがわかる。このサンプルを O_2 雰囲気中でアニールすると、アニール温度や時間の増大に従って NiO(200)回折ピーク強度も増大する。これは、NiO 薄膜中に残留するアモルファス成分が、アニールによって結晶化していくからであると推察される。ただし、 ω を $\pm 5^\circ$ ずらした場合も Si 以外同様の回折ピークを示すことから、NiO 薄膜の結晶方位はランダムであり、完全に配向しているわけではない。

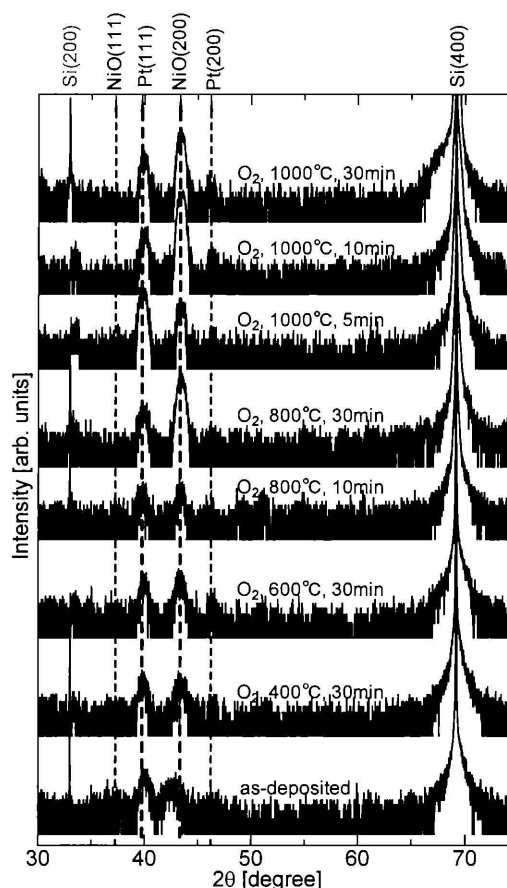


図 5 O_2 雰囲気中アニール後の NiO 薄膜の X 線回折カーブ($2\theta/\omega$ スキャン)

Fig.5 X-ray diffraction $2\theta/\omega$ scan curves of NiO thin films after thermal annealing in O_2 gas atmosphere.

一方、Ar 雰囲気中のアニールでは、 $800^\circ C$ 以下と $1000^\circ C$ でサンプルの結晶構造が異なる。 $800^\circ C$ 以下では NiO(200)とは別に Ni(200)回折ピークが出現する。我々は $400 \sim 700^\circ C$ の N_2 雰囲気中アニールを行った同サンプルにおいて、温度上昇に伴う NiO 薄膜の酸素組成の減少を確認している。Ni(200)回折ピークの出現は、NiO 薄膜の還元反応による酸素の脱離とそれに伴う微

小金属 Ni 領域の形成が、アニールによるアモルファス成分の結晶化と同時に進行していることによるのではないかと考えている。また、1000°C アニール後では、NiO(220)の他に Si 回折面の高角側（面心立方構造での格子定数約 5.3 Å に相当）に付随する回折ピークが見られる。Si 基板上に直接 NiO 薄膜を堆積した場合には観察されないことから、(1)白金シリサイドの形成、(2)白金を触媒としたニッケルシリサイドの形成、などが考えられる。Ar 雰囲気中のアニールで Pt(111)回折ピークが消失していく現象も含めて、X 線回折のみから結論づけることは困難である。X 線分光を用いた組成分析や深さ方向の元素の化学結合状態分析を行う必要がある。また、NiO(200)回折ピーク位置に着目すると、アニール前の NiO 薄膜は面内方向に圧縮ひずみを受けているが、アニールを行うことで緩和していることがわかる。400°C では緩和の途中であるが、600°C では完全に格子緩和に至っている。これは、SiO₂/Si 基板上の NiO 薄膜を真空あるいは大気中でアニールすると、約 500°C で圧縮ひずみが緩和されるという報告[15]と一致する。

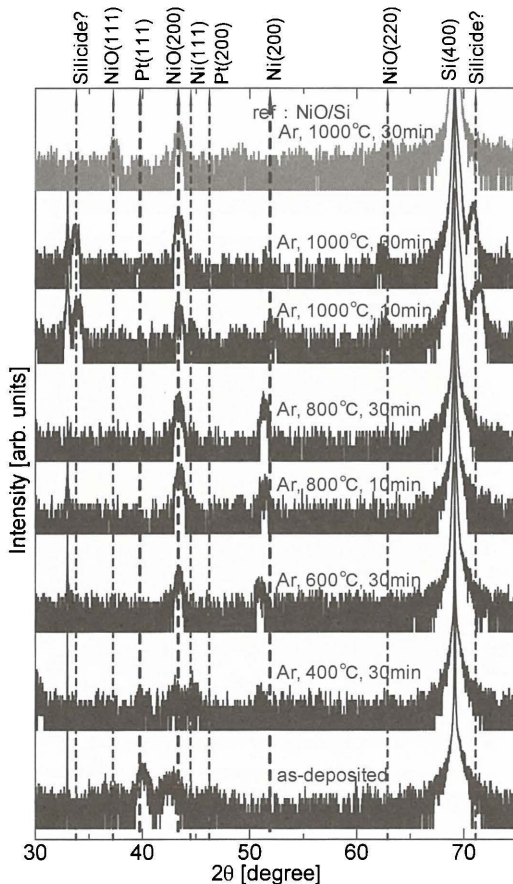


図 6 Ar 雰囲気中アニール後の NiO 薄膜の X 線回折カーブ(2θ/ω スキャン)

Fig.6 X-ray diffraction 2θ/ω scan curves of NiO thin films after thermal annealing in Ar gas atmosphere.

各種条件下でアニールを行ったサンプル (NiO 膜厚約 45nm) の I-V 測定を行った。Ar 雰囲気中 800°C と 1000°C でアニールしたサンプルは、抵抗変化現象の発現に必要なフォーミングが起こらなかったが、その他のサンプルでは抵抗変化が見られた。特に、低抵抗状態の抵抗値 (R_{LRS} : 電圧 0.3V 印加時) には、面内ばらつきはあるものの、図 7 に示すようにアニール温度の増大に伴い増加する傾向が見られた。この結果は、Pt/NiO/Pt 素子において Ar 雰囲気中 700°C でのアニールにより抵抗値が増加するという報告[6]と一致する。また、400°C 以上のアニールにより、高抵抗状態の抵抗値として複数の状態をとることがわかった。これは、NiO 薄膜のアニールには、スイッチングの多値化を実現できる可能性があることを示唆している。

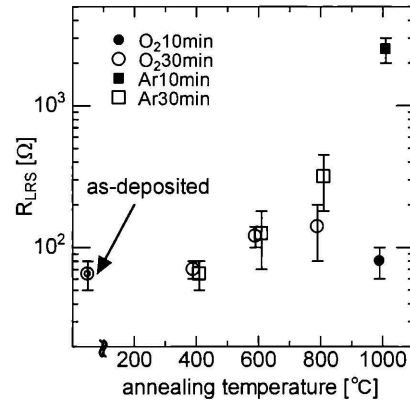


図 7 アニール前後における NiO 薄膜の R_{LRS}
Fig.7 R_{LRS} of NiO thin films before and after annealing.

5.2 アドミッタンス法

まず、NiO 薄膜の酸素組成 1.07、Pt 電極径 300 μm の典型サンプルの、室温における容量電圧測定の結果を図 8 に示す。バイアス方向から、NiO 薄膜の p 型半導体であるが確認できる。逆バイアスが 1 V 程度までは

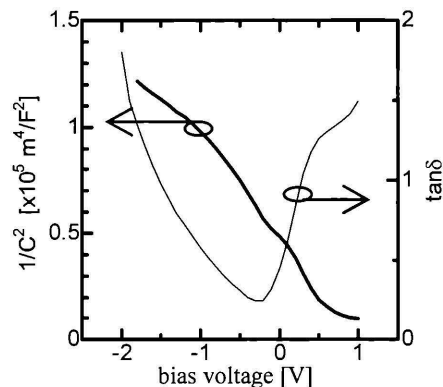


図 8 典型サンプルの容量電圧特性

Fig.8 Capacitance-voltage characteristics of a typical sample

$\tan\delta < 0.5$ と、漏れ電流は十分に小さい。この領域における近似特性直線から、拡散電位は約 0.8 V、アクセプタ密度は $5 \times 10^{18} \text{ cm}^{-3}$ 以下と求まった。なお、空乏層幅は 10 nm 前後であり、NiO 薄膜全体が空乏化しているわけではない。

このサンプルのアドミッタンス法を、以下の条件で行った。変調周波数は 10 Hz から 10 MHz、変調電圧とバイアス電圧はそれぞれ 50 mV と 0 V である。温度は 250~360K まで変化させた。図 9 にその結果を示す。なお、実測のコンダクタンスには直流成分 G_{dc} が含まれるため、これを 10 Hz におけるコンダクタンスで近似し、グラフでは G_{dc} の分だけ差し引いている。また、10 MHz 付近の急峻なピークは、測定系由来の共振であり、NiO 薄膜に起因するものではないことを確認している。

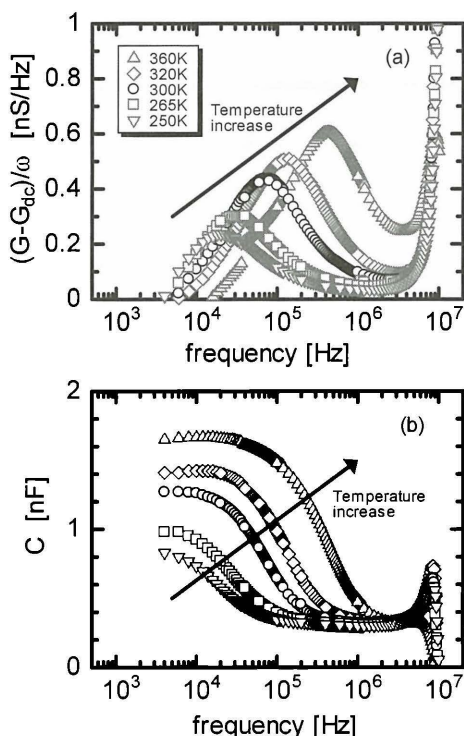


図 9 典型サンプルの各温度における
(a) $(G-G_{dc})/\omega$ および (b) C の周波数依存性
Fig.9 Frequency dependence of (a) $(G-G_{dc})/\omega$ and (b) C for a typical sample at different temperatures.

各温度においてピークは単一であることから、NiO 薄膜中には孤立した単一の欠陥（正孔トラップ）準位が存在することがわかる。また、室温における正孔の放出時定数は約 2.3 μs である。高温になるにつれて、欠陥準位からの放出時定数の減少、すなわち、正孔の放出速度が上昇していくこともわかる。ただし、この時定数は、通常 100 ns 程度の抵抗変化時間より桁違いに大きく、抵抗変化の起源とは別だと考えている。

ここで、放出時定数 τ は、欠陥準位の深さ $E_T - E_V$ を

用いると

$$\tau = \frac{1}{N_V v_{th} \sigma_p} \exp\left(\frac{E_T - E_V}{kT}\right) \quad (4)$$

と表される。価電子帯の実効状態密度 N_V は温度 T の $3/2$ 乗、正孔の熱速度 v_{th} は T の $1/2$ 乗に比例する。捕獲断面積 σ_p が温度に無依存であると仮定すると、 τT^2 のアレニウスプロットから欠陥準位の深さ $E_T - E_V$ は約 170 meV と求まった。

また、本研究では、同じ酸素組成の NiO 薄膜を用いた Pt/NiO_{1.07}/Pt 素子の抵抗の温度依存も調べた。この結果、少なくとも 300 K 以上における初期状態もしくは高抵抗状態での抵抗の活性化エネルギーは、やはり 170 meV と求まった。つまり、NiO_{1.07} 薄膜中には、正孔をトラップする単一の欠陥準位が深さ 170 meV の位置に存在し、この準位からの正孔の熱励起によるバンド伝導が支配的であるというモデルが考えられる。

一方、 x_i が空乏層幅 w よりも十分小さいとき、浅い準位（今の場合は実効アクセプタ準位）密度 N_s と欠陥準位 N_T の間には次の関係が成立する。

$$\Delta C = \frac{N_T}{N_s} C_{HF} \quad (5)$$

$$\frac{N_T}{N_s} = 2 \left(\frac{C}{G/\omega} \bigg|_{\omega\tau=1} - 1 \right)^{-1} \quad (6)$$

式(6)より、300K では N_T/N_s は 2.3 と求められる。なお、温度上昇に従って N_T/N_s が大きくなる結果も得られているが、この理由については不明である。特筆すべきは、室温においてさえ欠陥準位密度が実効アクセプタ密度よりも多いということである。キャリア（正孔）の起源であるとされる Ni 空孔とは別の要因により、欠陥準位が形成されていることを示唆しているとも考えられる。

6. 結論

ReRAM 用材料である NiO 薄膜に対して、O₂ および Ar 雰囲気中でのアニールと、アドミッタンス法による NiO 薄膜中の欠陥評価を行った。

アニールの結果、アニール温度や時間の増大に伴い、NiO 薄膜の表面荒れと粒径の拡大、結晶化の進行が見られ、NiO 薄膜の抵抗値の増加を確認した。また、高温アニールによる多値化の可能性が示唆された。今後、抵抗値の増加やスイッチング動作の安定化に、NiO 薄膜の粒径・表面ラフネス・ひずみ・電極界面状態のいずれが効いているのかに関しては、要素を切り分けていく必要がある。

一方、アドミッタンス法から、酸素組成が 1.07 である NiO 薄膜において、室温における放出時定数が 2.3 μ s である単一の欠陥準位が、価電子帯端から深さ 170 meV 付近に存在していることがわかった。この値は、Pt/NiO_{1.07}/Pt 素子の初期状態もしくは高抵抗状態での抵抗の活性化エネルギーと同等であった。欠陥の起源に関しては別の検証が必要であるが、正孔をトラップする深さ 170 meV の位置に存在する欠陥準位からの正孔の熱励起によるバンド伝導が支配的であることが示唆された。

なお、従来報告されているニッケル不足型とは異なり、ニッケル過剰型の NiO 薄膜を用いた Pt/NiO/Pt 素子においても、我々は抵抗スイッチング動作を確認している。また、様々な酸素組成を有する NiO 薄膜でアドミッタンス法を行い興味深い結果が得られている。さらに、真空中での熱処理や 300°C 以下での熱処理の影響などについても精査している。これらの結果の報告については、紙面の都合上別の機会としたい。こうした基礎研究を着実に進めていき、抵抗変化特性の発現メカニズムを解明し、抵抗変化型不揮発性メモリの実用化に貢献することを目指す。

参考文献

- [1] W. W. Zhuang, W. Pan, B. D. Ulrich, J. J. Lee, L. Stecker, A. Burmaster, D. R. Evans, S. T. Hsu, M. Tajiri, A. Shimaoka, K. Inoue, T. Naka, N. Awaya, K. Sakiyama, Y. Wang, S. Q. Liu, N. J. Wu, and A. Ignatiev: Tech. Dig. -Int. Electron Devices Meet., 2002, 193.
- [2] I. G. Baek, M. S. Lee, S. Seo, M. J. Lee, D. H. Seo, D.-S. Suh, J. C. Park, S. O. Park, H. S. Kim, I. K. Yoo, U-In Chung, and J. T. Moon: Tech. Dig. -Int. Electron Devices Meet., 2004, 587.
- [3] F. Argall: Solid State Electron., **11** (1968) 535.
- [4] B. J. Choi, D. S. Jeong, S. K. Kim, C. Rohde, S. Choi, J. H. Oh, H. J. Kim, C. S. Hwang, K. Szot, R. Waser, B. Reichenberg, and S. Tiedke: J. Appl. Phys., **98** (2005) 033715.
- [5] J. F. Gibbons and W. E. Beadle: Solid State Electron., **7** (1964) 785.
- [6] H. Shima, F. Takano, H. Akinaga, Y. Tamai, I. H. Inoue, and H. Takagi: Appl. Phys. Lett., **91** (2007) 012901.
- [7] A. Chen, S. Haddad, Y.-C. Wu, T.-N. Fang, Z. Lan, S. Avanzino, S. Pangrle, M. Buynoski, M. Rathor, W. Cai, N. Tripas, C. Bill, M. VanBuskirk, and M. Taguchi: Tech. Dig. -Int. Electron Devices Meet., 2004, 765.
- [8] D. C. Kim, S. Seo, S. E. Ahn, D.-S. Suh, M. J. Lee, B.-H. Park, I. K. Yoo, I. G. Baek, H.-J. Kim, E. K. Yim, J. E. Lee, S. O. Park, H. S. Kim, U-In Chung, J. T. Moon, and B. I. Ryu: Appl. Phys. Lett., **88** (2006) 202102.
- [9] A. Sawa, T. Fujii, M. Kawasaki, Y. Tokura: Appl.

Phys. Lett., **85** (2004) 4073.

- [10] S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, S. H. Kim, I. S. Byun, J.-S. Kim, J. S. Choi, and B. H. Park: Appl. Phys. Lett., **85** (2004) 5655.
- [11] Y. Sato, K. Kinoshita, M. Aoki, and Y. Sugiyama: Appl. Phys. Lett., **90** (2007) 033503.
- [12] M. Fujimoto, H. Koyama, M. Konagai, Y. Hosoi, K. Ishihara, S. Ohnishi, N. Awaya: Appl. Phys. Lett., **89** (2006) 223509.
- [13] D.-H. Kwon, K. M. Kim, J. H. Jang, J. M. Jeon, M. H. Lee, G. H. Kim, X.-S. Li, G.-S. Park, B. Lee, S. Han, M. Kim, C. S. Hwang: Nature Nanotech., **5** (2010) 148.
- [14] J. L. Pautrat, B. Katircioglu, N. Magnea, D. Bensahel, J. C. Pfister and K. S. Chung: Solid-State Electronics, **23** (1980) 1159.
- [15] W. Brückner, R. Kaltofen, J. Thomas, M. Hecker, M. Uhlemann, S. Oswald, D. Elefant and C. M. Schneider: J. Appl. Phys., **94** (2003) 4853.

(平成 22 年 9 月 24 日受理)



西 佑 介

2001 年京都大学工学部電気電子工学科卒業。2003 年京都大学大学院工学研究科電子物性工学専攻修了。同年より 5 年間シャープ株式会社勤務。2008 年京都大学大学院工学研究科電子工学専攻助教。応用物理学会、Material Research Society 各会員。



岩 田 達 哉

2009 年京都大学工学部電気電子工学科卒業。同年より京都大学大学院工学研究科電子工学専攻在学中。応用物理学会。



木 本 恒 暢

1986 年京都大学工学部電気系第二学科卒業。1988 年京都大学大学院工学研究科電気工学第二専攻修了。同年より 2 年間住友電気工業株式会社勤務。1990 年京都大学工学部助手。1996 年スウェーデン国リンチョピン大学客員研究員。1998 年京都大学大学院工学研究科電子物性工学専攻助教授。2006 年京都大学大学院工学研究科電子工学専攻教授。半導体材料とデバイスに関する研究に従事。工学博士。応用物理学会、電気学会、電子情報通信学会、IEEE、Material Research Society 各会員。

(本論文は平成 21 年度電気材料技術優秀論文賞の受賞内容をまとめたものである)