OUKA
The University of Osaka
Institutional Knowledge Archive

Title	チェーンリンク形マルチレベル方式による系統連系用電力変換器の高性能化に関する研究
Author(s)	羽田野, 伸彦
Citation	大阪大学, 2009, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/844
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

チェーンリンク形マルチレベル方式による
系統連系用電力変換器の高性能化に関する研究

２００９年

羽田野　伸彦

内容梗概

電力系統分野におけるパワーエレクトロニクス技術は，50Hｚ地域と 60Hｚ地域を連系するための周波数変換装置に始まり，長距離送電系統の安定度対策を目的とした無効電力補償装置，効率的な設備形成や柔軟な系統運用を可能とする直流送電設備などに適用され，電力の安定供給に重要な役割を担ってきた。また，分散形電源や電力貯蔵装置を系統連系するためにも活用され，適用範囲はますます広がりつつある。

系統連系される大容量機器の場合，パワー半導体デバイスを多数個直並列に接続した単体の電力変換器を用いた構成も考えられる。しかし，電圧や電流分担の均等化を図るため，特性を揃えた半導体デバイスの選定や，スナバ回路などの付加が必要となる。また，制御性の向上や発生高調波低減のためにスイッチング周波数を高くすると，半導体デバイスのスイッチング損失やスナバ回路の損失が増加し，機器効率が低下する。このため，半導体デバイスの直並列数とスイッチング周波数は適度に抑え，複数台の電力変換器を直列または並列に接続する多重化方式を採用することが一般的である。

多重化により複数の出力波形を合成すれば，全体として等価的なスイッチング周波数は高くなり，発生高調波を低減できる。さらに，個々の電力変換器のスイッチング周波数は低いため，スイッチング損失を低減でき，機器効率の向上も同時に実現できる。しかし，従来の多重化方式では，鉄心や巻線の構造が複雑な多重変圧器が必要であった。このため，機器の損失増加や大型化を招いていた。また，1 サイクル単位でスイッチング動作がパターン化されており，高調波を取扱うような，高い制御性を必要とされる機器への適用は，今後の課題とされていた。

このような状況の中，電力系統に適用される大容量機器を小型軽量かつ高効率に実現することを目的に，電力変換器をトランスレスで系統連系するための回路構成や制御に関する研究開発が盛んになっている。

マルチレベル変換器は，変圧器やリアクトルを用いずに出力波形の合成を行い，電力変換器の大容量化と高調波低減を可能とする。代表的な方式の一つであるチェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）は，H ブリッジ形の単相変換器を単位セルとし，複数のセルを直列に接続して構成される。この方式は，セルの直列段数を増加させるだけで出力波形のレベル数も増加し，制御性の向上とスイッチング損失の低減を同時に実現できる。

このように，CLMC は，系統連系用電力変換器の抜本的な改善を図るにあたり，優れたポテンシャルを有する。しかし，セルの直列接続に伴い導通損失が増加し，反って機器効率が悪化する場合もある。また，個々のセルに DC 電源が分離して回路構成されるため，特定のセルに出力が集中すると，機器容量を有効に利用できないことにつながる。CLMC を系統連系に用いるためには，これらの制約を解決する必要がある。

以上のような背景を踏まえ，本研究においては，CLMC の適用により系統連系用電力変換器の高性能化を図ると共に，実証試験およびディジタルシミュレーションにより実現可能性を示すことを目的とする。

本論文は，これらの背景と目的より動機づけられた一連の研究から得られた成果をまとめたものであり，7 つの章より構成される。

第 1 章では, 本研究の背景として, 電力系統分野におけるパワーエレクトロニクス技術の動向, 系統連系用電力変換器の現状，および新たな回路技術としてのマルチレベル変換器について述べると共に，技術課題を示し，本研究の目的を明確に位置付ける。

第2章では，CLMCの回路構成上の課題を示し，その解決策として，ハイブリッドCLMCの導入について検討する。まず，セルの直列接続に伴う機器効率低下の可能性と，DC電源分離の必要性について述べる。次に，本研究で用いる方式として，セルの直列段数を抑制するために高周波PWMを混じえたハイブリッドCLMCと，さらに，電圧が2倍ずつ異なるセルを組み合わせ，多レベル化を容易とする2進ハイブリッドCLMCについて，基本的な回路構成と制御手法を示す。

第 3 章では，三相電力系統に CLMC を適用するための，基本的な制御手法を示す。まず，系統不平衡時には，電力変換器の三相出力にも不平衡が生じることを示す。次に，その解決策として，零相電圧もしくは逆相電流により，三相出力を制御する理論を示す。また，これらの理論の実現に不可欠な技術として，系統電圧に大幅な不平衡が発生しても，過電流に至ることなく，出力電流を指令値通りに制御するための手法を示す。

第 4 章では，CLMC を，直列形瞬時電圧低下補償装置（Dynamic Voltage Restorer : DVR）に適用するための技術を確立する。まず, 一相もしくは二相事故による不平衡な瞬低に対しても, 零相電圧により，三相の補償エネルギーを制御できること示す。次に，400V-100kVA 級の試験装置で実証する。そして，瞬時値領域に拡張した零相電圧制御を用いた 6.6kV 三相トランスレス DVR を試設計し，ディジタルシミュレーションにより検証する。

第 5 章では，CLMC を，自励式無効電力補償装置（STATic synchronous COMpensator : STATCOM）に適用するための技術を確立する。まず，系統電圧に不平衡が生じても，逆相電流により各相の CLMC の DC 電圧を制御できることを示す。次に，200V-10kVA 級の試験装置で実証する。そして，逆相電流制御に伴う機能的な制約の解消を目的として，不平衡の大小に応じて，逆相電流制御と零相電圧制御を切り替えて DC 電圧制御を行う 6.6kV 三相トランスレス STATCOM を試設計し，ディジタルシミュレーションにより検証する。

第 6 章では，CLMC を，分散形電源の系統連系装置に適用するための技術を確立する。まず, 零相電圧制御により，DC 電源の出力に不平衡が存在する場合にも，電力系統へは三相平衡な電流を出力できることを示す。次に，零相電圧制御の適用範囲を補う目的から，逆相電流制御を併用する三相出力制御を用いた 6.6kV-1MVA システムを試設計し, ディジタルシミュレーションにより検証する。

第 7 章では，本研究から得られた成果を総括すると共に，今後の課題を述べる。

目次

第１章　緒論
1.1　研究の背景 ····· 1
1.1.1　電力系統分野におけるパワーエレクトロニクス技術の動向 ····· 1
1.1.2　系統連系用電力変換器の現状 ····· 1
1.1.3　マルチレベル変換器の適用 ····· 2
1.2　本研究の目的 ····· 3
1.3　論文の概要 ····· 4
参考文献 ····· 5

第２章　ハイブリッド構成によるチェーンリンク形マルチレベル変換器（CLMC）
2.1　緒言 ····· 7
2.2　回路構成上の課題 ····· 8
2.2.1　電力変換器の直列接続に伴う導通損失の増加 ····· 8
2.2.2　DC 電源の分離 ····· 10
2.3　ハイブリッド変換器の導入 ····· 10
2.3.1　高周波 PWM を混じえたハイブリッド CLMC ····· 11
2.3.2　2 進ハイブリッド CLMC ····· 12
2.3.3　2 進構成におけるセルの出力分担制御 ····· 13
2.3.4　2 進構成におけるセルの出力分担制御に関する原理実証試験 ····· 14
2.4　結言 ····· 17
参考文献 ····· 17

第３章　三相系統における電力変換器の制御
3.1　緒言 ····· 19
3.2　系統不平衡の影響 ····· 19
3.3　零相電圧による三相出力制御 ····· 21
3.3.1　基本原理 ····· 21
3.3.2　適用限界 ····· 24
3.4　逆相電流による三相出力制御 ····· 25
3.5　系統事故時における電流制御 ····· 26
3.5.1　検討モデル ····· 26
3.5.2　二相短絡事故に対する応答 ····· 28
3.5.3　逆相過電流への対応 ····· 29

3.5.4　系統事故時の電流制御に関する原理実証試験 ····· 30
3.6　結言 ····· 32
参考文献 ····· 33

第４章　チェーンリンク形マルチレベル変換器を用いた直列形瞬時電圧低下補償装置（DVR）
4.1　緒言 ····· 35
4.2　DVR への適用 ····· 36
4.2.1　基本構成 ····· 36
4.2.2　零相電圧による三相出力制御の適用 ····· 37
4.3　零相電圧による三相出力制御に関する原理実証試験 ····· 40
4.3.1　試験回路の構成 ····· 40
4.3.2　制御手法 ····· 41
4.3.3　試験結果 ····· 42
4.4　6.6kV トランスレス DVR の試設計 ····· 43
4.4.1　回路設計 ····· 43
4.4.2　制御系の設計 ····· 48
4.4.3　ディジタルシミュレーションによる検証 ····· 53
4.5　結言 ····· 57
参考文献 ····· 57

第５章　チェーンリンク形マルチレベル変換器を用いた自励式無効電力補償装置（STATCOM）
5.1　緒言 ····· 59
5.2　STATCOM への適用 ····· 60
5.2.1　基本構成 ····· 60
5.2.2　逆相電流による三相出力制御の適用 ····· 61
5.3　逆相電流による三相出力制御に関する原理実証試験 ····· 62
5.3.1　試験回路の構成 ····· 62
5.3.2　制御手法 ····· 63
5.3.3　高調波補償試験 ····· 67
5.3.4　系統電圧不平衡試験 ····· 67
5.4　6.6kV トランスレス STATCOM の試設計 ····· 68
5.4.1　回路構成 ····· 68
5.4.2　制御系の設計 ····· 69
5.4.3　制御定数の設定 ····· 73
5.4.4　ディジタルシミュレーションによる検証 ····· 76
5.5　結言 ····· 78
参考文献 ····· 79

第 6 章　チェーンリンク形マルチレベル変換器を用いた分散形電源の系統連系装置
6.1　緒言 …… 81
6.2　モジュラーPV システムへの適用 …… 82
6.2.1　基本構成 …… 82
6.2.2　零相電圧による三相出力制御の適用 …… 83
6.2.3　PV インバータセルの出力分担制御 …… 86
6.3　6.6kV-1MVA システムの試設計…… 87
6.3.1　回路構成 …… 87
6.3.2　制御系の設計 …… 88
6.3.3　ディジタルシミュレーションによる検証 …… 89
6.4　結言 …… 94
参考文献 …… 94

第 7 章　結論 …… 96

謝辞 …… 99

研究業績 …… 100

第 1 章　緒論

1.1　研究の背景

1.1.1　電力系統分野におけるパワーエレクトロニクス技術の動向

電力系統分野におけるパワーエレクトロニクス技術は, 50H z 地域と 60H z 地域を連系するための周波数変換装置に始まり，長距離送電系統の安定度対策を目的とした無効電力補償装置，効率的な設備形成や柔軟な系統運用を可能とする直流送電設備などに適用され，電力の安定供給に重要な役割を担ってきた。また，分散形電源や電力貯蔵装置を系統連系するためにも活用され，適用範囲はますます広がりつつある[1]。

今日では，生産設備の高度化，情報化の進展等により，電気の利用は社会のすみずみに行きわたっている。雷害対策なども進歩し，長時間の停電が発生することは稀になってきた。このような状況の中，電力の品質として，瞬低（瞬時電圧低下）が社会的に関心を集めている。従来，瞬低対策は，小容量の UPS（Uninterruptible Power Supply）を負荷機器ごとに設置することにより行われてきた。しかし，対策を必要とする負荷の種類は拡大する傾向にあり，個別機器ごとの対策では抜け落ちが発生する恐れがある。これを解決する手段として，負荷母線あるいは変圧器バンク単位で一括集中補償できる，大容量対策装置が開発された[2][3]。

また，地球環境問題およびエネルギー資源問題の解決策として，自然エネルギー電源である太陽光発電や風力発電，高いエネルギー利用効率が得られる燃料電池などを用いた分散形電源の普及が期待されている。ただし，これらは電力会社より制御を行わず，また，運転状態が把握できない。このため，逆潮流による電圧上昇，並解列に伴う電圧変動，系統事故時の一斉脱落による電圧低下，高調波障害，系統周波数への影響などが懸念されている。現時点では，連系される分散形電源の容量が系統規模に比べて大きくないため，このような問題は顕在化していないが，将来に備え，新たな対策について検討しておく必要がある[4]。

このように，近年では，高品質な電力供給へのニーズや分散形電源の普及促進を背景とした機器開発も，活発に進められている[5][6]。

1.1.2　系統連系用電力変換器の現状

系統連系される大容量機器の場合，パワー半導体デバイスを多数個直並列に接続した単体の電力変換器を用いた構成も考えられる。しかし，電圧や電流分担の均等化を図るため，特性を揃えた半導体デバイスの選定や，スナバ回路などの付加が必要となる。また，制御性の向上や発生高調波低減のためにスイッチング周波数を高くすると，半導体デバイスのスイッチング損失やスナバ回路の損失が増加し，機器効率が低下する。このため，半導体デバイスの直並列数とスイッチング周波数は適度に抑え，複数台の電力変換器を直列または並列に接続する多重化方式を採用することが一般的である[7]-[9]。

例えば，1991 年 3 月に，関西電力(株)の犬山開閉所に設置された±80MVA の自励式無効電力補

償装置は，一相あたりの回路を単相変換器の 8 段多重で構成している。個々の単相変換器は 1 パルス動作であるが，各段で 7.5 度ずつ位相シフトする移相巻線を設けた多重変圧器を用い，出力電圧を正弦波に近い波形とし，高調波を低減するように設計されている[10]。また，2004 年 6 月に，関西電力(株)の神崎変電所に設置された±80MVA の自励式無効電力補償装置は，3 レベル変換器を採用することで多重台数を低減し，全体を小型化している。スイッチング方式には，予めパルスパターンをテーブル化しておき出力電圧に応じて選択する，特定次数消去 3 パルスＰWM 制御を採用している。この方式では，パルスパターンを適切に設定することにより，高い電圧利用率と発生高調波の低減が可能となる[11]。

多重化により複数の出力波形を合成すれば，全体として等価的なスイッチング周波数は高くなり，発生高調波を低減できる。さらに，個々の電力変換器のスイッチング周波数は低いため，スイッチング損失を低減でき，機器効率の向上も同時に実現できる。しかし，従来の多重化方式では，鉄心や巻線の構造が複雑な多重変圧器が必要であった。このため，機器の損失増加や大型化を招いていた[12]。また，1 サイクル単位でスイッチング動作がパターン化されており，高調波を取扱うような，高い制御性を必要とされる機器への適用は，今後の課題とされていた[13][14]。

このような状況の中，電力系統に適用される大容量機器を小型軽量かつ高効率に実現することを目的に，電力変換器をトランスレスで系統連系するための回路構成や制御に関する研究開発が盛んになっている[15]-[19]。

1.1.3　マルチレベル変換器の適用

マルチレベル変換器は，変圧器やリアクトルを用いずに出力波形の合成を行い，電力変換器の大容量化と高調波低減を可能とする。代表的な方式としては，ダイオードクランプ形マルチレベル変換器（Diode Clamped type Multilevel Converter：DCMC）と，チェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）があげられる[20][21]。

DCMC は，電動機駆動などの用途に普及が進んでいるが，次のような制約がある。まず，任意の N レベルの回路を構成することも可能であるが，一相あたり $2(N-2)$個のクランプダイオードが必要になり，部品点数の増加を招く。また，5 レベル以上の構成では，電圧調整のための外部回路が必要になる。

一方，CLMC は，H ブリッジ形の単相変換器を単位セルとし，複数のセルを直列に接続して構成される。この方式は，セルの直列段数を増加させるだけで出力波形のレベル数も増加し，制御性の向上とスイッチング損失の低減を同時に実現できる。そして，DCMC におけるクランプダイオードやクランプコンデンサのような補助回路が不要となり，電力変換器をシンプルに構成できるメリットがある。

このように，CLMC は，系統連系用電力変換器の抜本的な改善を図るにあたり，優れたポテンシャルを有する。しかし，セルの直列接続に伴い導通損失が増加し，反って機器効率が悪化する場合もある。また，個々のセルに DC 電源が分離して回路構成されるため，特定のセルに出力が集中すると，機器容量を有効に利用できないことにつながる。CLMC を系統連系に用いるためには，これらの制約を解決する必要がある。

1.2　本研究の目的

以上のような背景を踏まえ，本研究においては，CLMC の適用により系統連系用電力変換器の高性能化を図ると共に，実証試験およびディジタルシミュレーションにより実現可能性を示すことを目的とする。

CLMC を系統連系に用いるにあたっての制約は，前述の通りである。これらの解決のため，要素技術と応用技術の観点から，次のように具体的な研究課題を設定する。

要素技術

多重化変換器においてセルの台数を抑制する方策として，電圧やスイッチング周波数が異なる複数のセルを組み合わせるハイブリッド変換器が提案されている[22]-[24]。文献[22]では高周波 PWM を混じえた方式が，また，文献[23][24]では DC 電圧が 2 倍ずつの関係にある電力変換器を組み合わせる方式が報告されている。本研究では，これらの考え方を，系統連系用の CLMC に用いることを試みる。

系統連系用電力変換器は，系統電圧や出力電流の変化に追従しなければならない。このとき，出力電圧の波高値が一定以上低下すれば，CLMC では全てのセルを動作させる必要はない。しかし，このように制御すると，停止させたセルに設置された DC 電源が利用されない。また，三相構成では，出力電圧や電流が不平衡になると，出力が特定の相に偏り，機器容量が出力の大きい CLMC に制限される。さらに，各相の CLMC の DC 電源の出力に，不平衡が生じることもありうる。本研究では，このような状況においても，セルや CLMC の出力を個別に制御し，機器容量を有効に利用する手法を確立する。

応用技術

CLMC を，直列形瞬低補償装置（Dynamic Voltage Restorer：DVR），自励式無効電力補償装置（STATic synchronous COMpensator：STATCOM），および分散形電源の系統連系装置に適用することを目的に，前述した要素技術をこれらの機器に組み込む方策を検討する。

DVR は，電力系統と負荷の間に直列に接続され，瞬低が発生した際には電圧変動分を補償するよう動作する装置である。実系統で発生する瞬低では，電圧の低下幅は様々である。また大半の場合，位相の急変も発生する。さらに，補償を進めるにつれ，DC 電源の充電エネルギーが低下する。本研究では，このような条件下で，個々の DC 電源の充電エネルギーを有効に利用するための技術を確立する。

一方，STATCOM は，電力系統に無効電力を供給し，系統電圧の変動や負荷力率を改善するよう動作する装置である。現実の電力系統が完全に三相平衡であることは稀であり，さらに事故時には，系統電圧の振幅や位相が急変し，大幅な不平衡が生じる。これに伴い，STATCOM から逆相電力を出力すると，各相の CLMC の DC 電圧を制御できなくなり，機器停止に至る。本研究では，このような状況でも STATCOM が運転継続できるよう，三相出力を制御する手法を確立する。

また，CLMC を分散形電源の系統連系装置に適用すれば，個々の DC 電源の特性が異なって

も，それぞれについて最適な動作点で運転することができ，発電効率の向上が期待できる。しかし，DC 電源ごとの出力が異なれば，AC 側に不平衡な電流を出力することになる。本研究では，このような状況においても，三相平衡な電流を出力するための制御手法について検討する。

1.3 論文の概要

本論文は，上記の背景と目的より動機づけられた一連の研究から得られた成果をまとめたものであり，7 つの章より構成される。

本章では，本研究の背景として，電力系統分野におけるパワーエレクトロニクス技術の動向，系統連系用電力変換器の現状，および新たな回路技術としてのマルチレベル変換器について述べると共に，技術課題を示し，本研究の目的を明確に位置付けた。

第2章では，CLMCの回路構成上の課題を示し，その解決策として，ハイブリッドCLMCの導入について検討する。まず，セルの直列接続に伴う機器効率低下の可能性と，DC電源分離の必要性について述べる。次に，本研究で用いる方式として，セルの直列段数を抑制するために高周波PWMを混じえたハイブリッドCLMCと，さらに，電圧が2倍ずつ異なるセルを組み合わせ，多レベル化を容易とする2進ハイブリッドCLMC[25]について，基本的な回路構成と制御手法を示す。

第 3 章では，三相電力系統に CLMC を適用するための，基本的な制御手法を示す。まず，系統不平衡時には，電力変換器の三相出力にも不平衡が生じることを示す。次に，その解決策として，零相電圧[26]もしくは逆相電流[27]により，三相出力を制御する理論を示す。また，これらの理論の実現に不可欠な技術として，系統電圧に大幅な不平衡が発生しても，過電流に至ることなく，出力電流を指令値通りに制御するための手法を示す[28]。

第 4 章では，CLMC を，三相 DVR に適用するための技術を確立する。まず，一相もしくは二相事故による不平衡な瞬低に対しても，零相電圧により，三相の補償エネルギーを制御できること示す。次に，400V-100kVA 級の試験装置で実証する[29]。そして，瞬時値領域に拡張した零相電圧制御[26]を用いた 6.6kV 三相トランスレス DVR を試設計し，ディジタルシミュレーションにより検証する。

第 5 章では，CLMC を，三相 STATCOM に適用するための技術を確立する。まず，系統電圧に不平衡が生じても，逆相電流により各相の CLMC の DC 電圧を制御できることを示す。次に，200V-10kVA 級の試験装置で実証する[30]。そして，逆相電流制御に伴う機能的な制約の解消を目的として，不平衡の大小に応じて，逆相電流制御[27]と零相電圧制御[31]を切り替えて DC 電圧制御を行う 6.6kV 三相トランスレス STATCOM を試設計し，ディジタルシミュレーションにより検証する。

第 6 章では，CLMC を，分散形電源の系統連系装置に適用するための技術を確立する。まず，零相電圧制御により，DC 電源の出力に不平衡が存在する場合にも，電力系統へは三相平衡な電流を出力できることを示す。次に，零相電圧制御の適用範囲を補う目的から，逆相電流制御を併用する三相出力制御を用いた 6.6kV-1MVA システムを試設計し，ディジタルシミュレーションにより検証する[31]。

第 7 章では，本研究から得られた成果を総括すると共に，今後の課題を述べる。

参考文献

[1] 「電力系統用パワーエレクトロニクス設備の現状と設計・保守基準」，電気協同研究，第 57 巻第 2 号，pp.5-13（2001）

[2] 岡田雅彦，山口寿士：「電力会社における瞬低への取り組み」，電気評論，2002 年 4 月号，pp.11-17（2002）

[3] 佐藤寛，佐野耕市：「大容量瞬低対策装置の開発状況と課題」，電気評論，2002 年 4 月号，pp.37-42（2002）

[4] 石川忠夫:「分散電源の電力系統連系技術の最新動向」, 電気学会論文誌 B, Vol.126-B, No.10, pp.964-968（2006）

[5] 「配電系統に適用されるパワーエレクトロニクス技術の最新動向」，電気学会技術報告，第 1093 号，pp.27-55（2007）

[6] 「電力品質調整用パワーエレクトロニクスの適用動向」，電気学会技術報告，第 978 号，pp.16-30（2004）

[7] 「多重化電力変換器とその応用技術」，電気学会技術報告，第 556 号，pp.4-18（1995）

[8] 「パワーエレクトロニクス機器の制御技術」, 電気学会技術報告, 第 1084 号, pp.8-11 (2007)

[9] 「半導体電力変換回路」，電気学会 半導体電力変換方式調査専門委員会，pp.46-50（1987）

[10] 長谷川泰三，別井孝司，大西修一，竹田正俊，瀬戸誠，村上昇太郎，光庵豊一：「系統安定化用大容量自励式無効電力補償装置の開発」，電気学会論文誌 D，Vol.111-D，No.10，pp.845-854（1991）

[11] T.Fujii，H.Chisyaki，H.Teramoto，T.Sato，Y.Matsusita，Y.Shinki，S.Funahashi, N.Morishima：”Performance of the ±80MVA GCT STATCOM under Commercial Operation”，電気学会論文誌 D，Vol.128-D，No.4，pp.354-360（2008）

[12] 「自励式変換器の電力系統への適用技術」，電気学会技術報告，第 919 号，p.59（2003）

[13] 「電力系統の電圧･無効電力制御」，電気学会技術報告，第 743 号，p.56（1999）

[14] 「静止型無効電力補償装置の現状と動向」，電気学会技術報告，第 874 号，p.67（2002）

[15] 近藤洋介, 藤田英明, 赤木泰文:「5 レベル変換器を用いた 6.6kV トランスレス STATCOM」，電気学会論文誌 D，Vol.127-D，No.5，pp.493-500（2007）

[16] 吉井剣，井上重徳，赤木泰文：「6.6kV トランスレス・カスケード PWM STATCOM」，電気学会論文誌 D，Vol.127-D，No.8，pp.781-788（2007）

[17] R.E.Bet，T.J.Summers：”Using a Cascaded H-Bridge STATCOM for Rebalancing Unbalanced Voltages”, The 7th International Conference on Power Electronics, THE3-2（2007）

[18] 木村紀之，森實俊充，谷口勝則，舟木剛：「マルチレベル変換器を用いた BTB 直流連系」，電気学会論文誌 B，Vol.120-B，No.12，pp.1706-1711（2000）

[19] 高崎昌洋，岡田有功，酒井洋満，江口吉雄，古関庄一郎，中村知治：「6.6kV-1MVA ループバスコントローラの開発」，平 18 年電気学会電力・エネルギー部門大会，376（2006）

[20] 「パワーエレクトロニクス回路」，電気学会 半導体電力変換システム調査専門委員会，pp.52-53，p.142（2000）

[21] J.Arrillaga，Y.H.Liu，N.R.Watson : ”Flexible Power Transmission”，Wiley，pp. 141-167（2007）

[22] 李東昇，福田昭治，久保佑允，北野正之 :「三相直列多重ハイブリッド変換器」，電気学会論文誌 D，Vol.124-D，No.5，pp.503-509（2004）

[23] 大西徳生 :「組み合わせ制御方式単相多重化 PWM インバータ」，電気学会論文誌 D，Vol.115-D，No.1，pp. 63-69（1995）

[24] Madhav D.Manjrekar，Peter K.Steimer，Thomas A.Lipo : ”Hybrid Multilevel Power Conversion System”，IEEE Transactions on Industry Applications，Vol.36，No.3，pp. 834-841（2000）

[25] 羽田野伸彦，岸田行盛，山田正樹，岩田明彦 :「階調制御型瞬低補償装置における高速充電制御」，電気学会論文誌 D，Vol.125-D，No.12，pp. 1122-1128（2005）

[26] 羽田野伸彦:「三相トランスレスＤＶＲの一制御手法」, 電気学会論文誌 D, Vol.128-D, No.9, pp. 1065-1074（2008）

[27] N.Hatano，T.Ise : ”A configuration and control method of cascade H-bridge STATCOM”，IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551，July（2008）

[28] 羽田野伸彦，谷口雄二，胡内勝彦 :「瞬時電圧低下時における分散形電源用インバータの制御手法」，電気学会論文誌 D，Vol.128-D，No.1，pp.71-82（2008）

[29] 羽田野伸彦，山田正樹，岩田明彦，菊永敏之 :「階調制御型瞬低補償装置における相間エネルギー流用制御」，電気学会論文誌 D，Vol.125-D，No.1，pp.38-45（2005）

[30] 羽田野伸彦，岸田行盛，岩田明彦 :「階調制御型変換器を用いた自励式無効電力補償装置」，電気学会論文誌 D，Vol.127-D，No.8，pp.789-795（2007）

[31] 羽田野伸彦, 伊瀬敏史 :「チェーンリンク形マルチレベル変換器を用いたモジュラーPV システム」，電気学会 半導体電力変換研究会，SPC-09-13，（2009）

第 2 章　ハイブリッド構成によるチェーンリンク形マルチレベル変換器（CLMC）

2.1　緒言

系統連系に用いられる大容量電力変換器は，複数台の変換器を多重接続して構成されることが一般的である。多重接続を用いると，個々の変換器のスイッチング周波数は低くても，制御性の向上，発生高調波の低減，機器効率向上を同時に実現できる[1]。代表的なマルチレベル方式の一つであるチェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）は，Hブリッジ形の単相変換器をセル（単位変換器）とし，これらを直列に接続して回路構成される。この方式は，セルの直列段数を増加させるだけで，出力波形のレベル数も増加できる。

しかし，CLMCでは，セルの直列段数を増加させると，スイッチング損失は低減できるが，導通損失が増加する。一方，電圧やスイッチング周波数が異なる複数のセルを組み合わせる，ハイブリッド変換器が提案されている。文献[2]-[4]では，GTO（Gate Turn-off Thyristor）変換器を1パルス，IGBT（Insulated Gate Bipolar Transistor）変換器を高周波PWMで動作させ，大容量化と高調波低減を同時に図る方式が報告されている。提案された回路にはAC側に多重変圧器が用いられているが，考え方をCLMCに適用すれば，直列段数を抑制しつつ高調波の低減を図ることが可能となる。

また，電圧が2倍ずつ異なるセルを組み合わせ，セルの直列段数に対して2のべき乗で出力電圧のレベル数の増加を図る方式も報告されている[5][6]。特に文献[5]では，3台以上のセルを組み合わせる方式について検討されている。この文献でも，提案された回路にはAC側に多重変圧器が用いられているが，考え方をCLMCに適用すれば，直列段数を抑制しつつ多レベル化を図ることが可能となる。以下では，この方式を，2進ハイブリッドCLMCと呼ぶことにする。

しかし，いずれの方式を適用しても，CLMCでは，セルごとにDC電源が分離される。このため，特定のDC電源に出力を集中させないよう，セルの出力分担制御が必要になる[7]-[11]。特に2進ハイブリッド方式については，文献[5][6]においても，このような制御は報告されていない。

以下本章では，CLMCの回路構成上の課題を述べ，その解決策としてハイブリッドCLMCの導入について検討し，基本的な回路構成と制御手法を示す。

2.2節では，CLMCにおける，セルの直列接続に伴う機器効率低下の可能性と，DC電源分離の必要性について述べる。

2.3節では，本研究で用いる2種類のハイブリッドCLMCについて述べる。まず，高周波PWMを混じえたハイブリッドCLMCと，その変調方法を示す。次に3直列で構成した2進ハイブリッドCLMCを導入することにより，レベル数と導通損失のトレードオフの解消を試みる。また，2進方式におけるセルの出力分担制御を提案し，原理実証試験を行った結果を示す[12]。

2.4節では，本章の検討結果をまとめる。

2.2　回路構成上の課題

2.2.1　電力変換器の直列接続に伴う導通損失の増加

電力変換器を系統連系するにあたっては，高調波の低減が不可欠になる。CLMCでは，セルの直列段数を増加させるだけで，出力波形のレベル数も増加できる。これにより，個々のセルのスイッチング周波数は低くとも，CLMC全体の等価的なスイッチング周波数は高くなるため，高調波を低減でき，さらにスイッチング損失の低減も実現できる[1]。しかし，同時に導通損失も増加する。以下では，CLMCの直列段数と機器損失の関係を試算し，傾向を把握する。

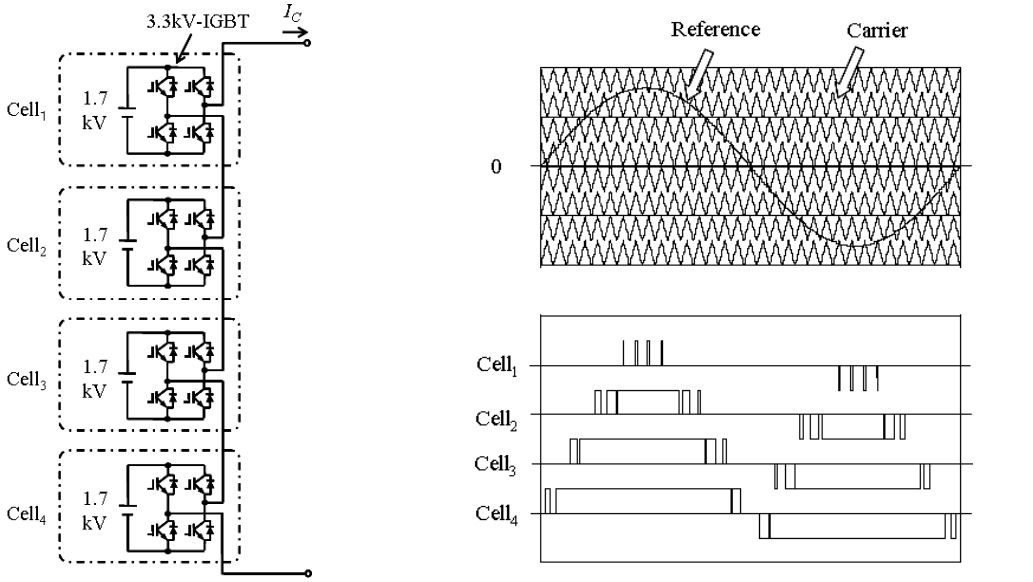
試算に用いるパワー半導体デバイスの諸元を，表2. 1 に示す。これらは，現在市販されているデバイスのカタログデータ[13]-[15]を元に，DC電圧（V_{CC}）と通電電流（I_c）の比で按分して作成したものである。

図2.1に，モデルとするCLMCの回路構成と各セルの動作を示す。半導体スイッチには3.3kV-IGBTを用い，セルを4直列に接続した構成とする。セルのDC電圧は，いずれも1.7kVとする。このような構成のCLMCを，図2.1(b)のように，多段化された搬送波と信号波を比較することによってPWM動作させる。

表 2.1　試算に用いるパワー半導体デバイスの諸元

	6.5kV- IGBT	3.3kV- IGBT	1.7kV- IGBT
C-E Saturation Voltage　$V_{CE(sat)}$ [V]	5.7 *1	3.5 *1	2.2 *1
Turn-on Switching Loss　E_{on} [J/P]	3.4 *2	0.77 *3	0.13 *4
Turn-off Switching Loss　E_{off} [J/P]	2.7 *2	0.90 *3	0.38 *4
Reverse Recovery Loss　E_{rr} [J/P]	1.9 *2	0.77 *3	0.19 *4

*1：I_c=600A,　*2：V_{CC}=3.4kV, I_c=600A,　*3：V_{CC}=1.7kV, I_c=600A,　*4：V_{CC}=0.85kV, I_c=600A



(a)4 直列構成の CLMC　　(b)信号波，搬送波（上）とパルスパターン（下）

図 2.1　回路モデルと各セルの動作

4台のセル$Cell_1$，$Cell_2$，$Cell_3$，$Cell_4$は，信号波(Reference，正弦波)と，搬送波（Carrier，三角波）の大小関係により，それぞれ図2.1(b)下図のパルスパターンで動作する。CLMCの出力電流I_cは，8個のIGBTまたは逆並列ダイオードを常時通流するため，仮にI_c=600Aであったすると，導通損失L_{CD}は，次のように計算できる。ただし，概算であり，逆並列ダイオードの順方向電圧降下は，IGBTのコレクターエミッタ間飽和電圧$V_{CE(sat)}$に等しいとしている。

$$L_{CD} = V_{CE(sat)} \times I_c \times 8 = 3.5 \times 600 \times 8 = 16800[\mathrm{W}] \quad \cdots\cdots (2.1)$$

また，搬送波のほぼ1サイクルごとに，いずれか1組の上下アームの半導体スイッチがオン・オフ動作を行い，$Cell_1$，$Cell_2$，$Cell_3$，$Cell_4$のいずれか1台の出力電圧がパルス状に変化する。したがって，CLMC全体としてのスイッチング周波数はキャリア周波数f_cとほぼ一致し，スイッチング損失L_{SW}は，概ね次のように計算できる。ただし，E_{on}はターンオンスイッチング損失，E_{off}はターンオフスイッチング損失，E_{rr}は逆回復損失である。

$$L_{SW} = \left(E_{on} + E_{off} + E_{rr}\right) \times f_C = \left(0.77 + 0.90 + 0.77\right) \times f_C = 2.44 \times f_C[\mathrm{W}] \quad \cdots\cdots (2.2)$$

(2.1)式と(2.2)式より，モデルとした CLMC の損失 L_{CLMC} は，次のように表される。

$$L_{CLMC} = L_{SW} + L_{CD} = 2.44 \times f_C + 16800[\mathrm{W}] \quad \cdots\cdots (2.3)$$

次に，この 4 直列構成の CLMC-4S と，1.7kV-IGBT と 0.85kV の DC 電源を用いたセルを 8 直列で構成した CLMC-8S と，6.5kV-IGBT と 3.4kV の DC 電源を用いたセルを 2 直列で構成した CLMC-2S について，同様の方法により，キャリア周波数と損失の関係を試算する。図 2.2 に，結果を示す。

キャリア周波数がおよそ 500Hz 以下では，導通損失が支配的であり，CLMC-2S が有利となった。次に，キャリア周波数の増加とともにスイッチング損失も増加し，500～2500Hz の間では，CLMC-4S が有利となった。そして，2500Hz を超えると，CLMC-8S が有利となった。

このように，出力電圧のレベル数を増加しても，反って損失が増加する場合がある。したがって，セルの直列段数を適度にとどめ，スイッチング周波数を上げて発生高調波を低減する必要が生じる。

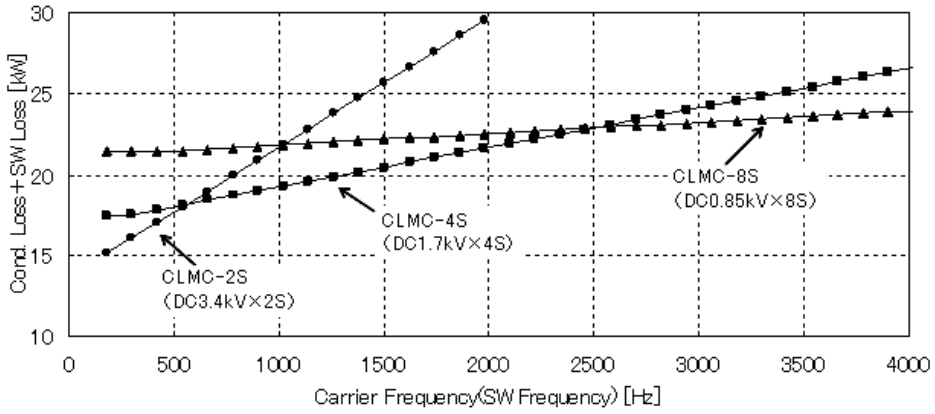


図 2.2　キャリア周波数と損失の関係

2.2.2　DC 電源の分離

系統連系用変換器は，系統電圧や出力電流の変化に追従する必要がある。これに伴い，CLMCにおいては，セルごとに動作が異なる場合もある。しかし，CLMCでは，DC電源の正極端子と負極端子に短絡（PN短絡）が生じるため，DC電源を分離しなければならず，DC電源の過負荷や充電エネルギーの偏った消耗などが生じる可能性がある。

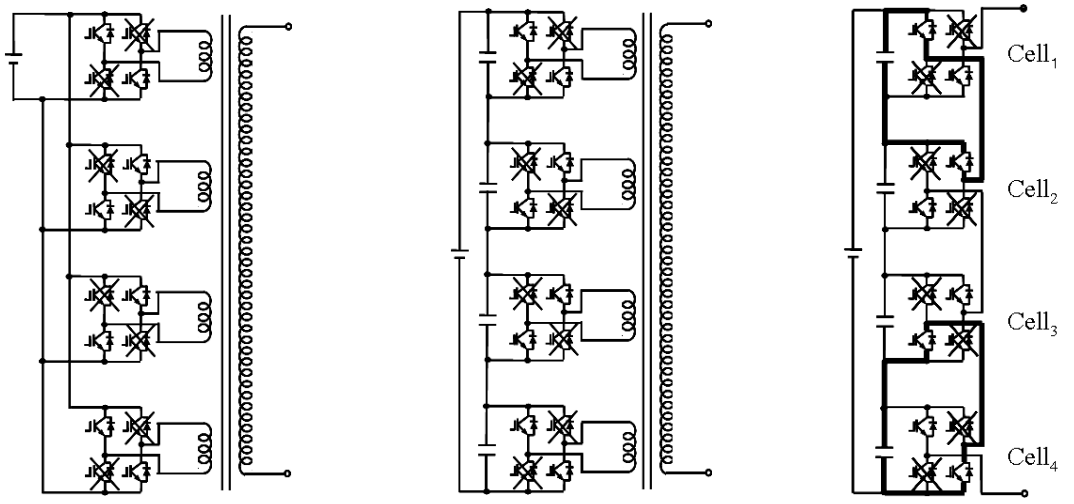
図2.3(a)は, 標準的な直列多重化方式である。図では, ”×”を記したIGBTをオフ状態, 他のIGBTをオン状態としている。この回路構成では，AC側で多重変圧器により絶縁されているため，半導体スイッチの開閉状態に関わらず，PN短絡は発生しない。したがって，1台のDC電源を共有することができる。また，図2.3(b)は，直流送電システムへの適用を目的に，文献[7][8]で報告された方式である。DCコンデンサの電圧分担を制御する必要があるが，AC側の多重変圧器により，やはりPN短絡は発生しない。

ところが，AC側の多重変圧器を省略するCLMCでは，例えば図2.3(c)に示す半導体スイッチの開閉状態においては，$Cell_1$と$Cell_4$のDC電源にPN短絡が生じる。したがって，図2.1(a)に示すように，セルごとにDC電源を分離しなければならない。

このとき例えば, 図2.1(b)に示したパルスパターンで動作させると, セルの出力は, $Cell_1$, $Cell_2$, $Cell_3$，$Cell_4$の順に大きくなり，DC電源の過負荷や充電エネルギーの偏った消耗などが生じる。このような理由により，CLMCにおいては，セルの出力分担制御が必要になる。

2.3　ハイブリッド変換器の導入

CLMCでは，全てのセルに同様の動作を割り当てても良いが，個々のセルの動作には制約がなく，全く異なる動作を割り当てることも可能である。本論文では，電圧やスイッチング周波数が明らかに異なるセルを組み合わせる方式のCLMCを総称して，ハイブリッドCLMCと呼ぶ。ハイブリッドCLMCでは，様々な回路構成や制御が可能となるが，以下では，本研究で用いる2種類の方式を示す。



(a)変圧器による多重化1　　(b)変圧器による多重化2　　(c)CLMCにおけるPN短絡

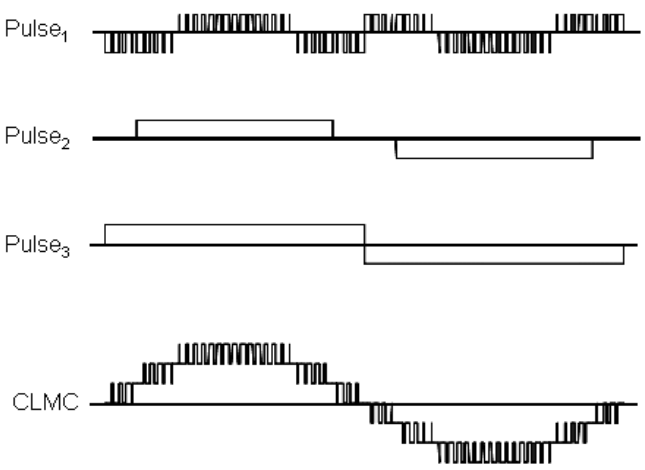
図2.3　DC電源分離の必要性

2.3.1　高周波 PWM を混じえたハイブリッド CLMC

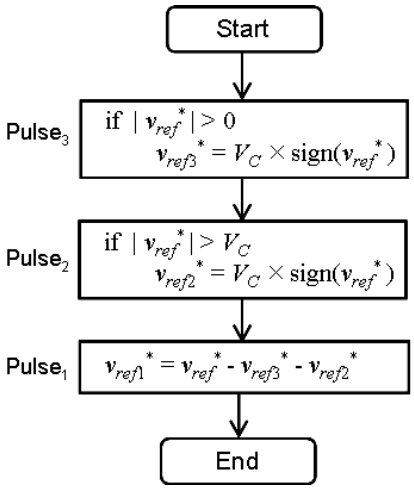
CLMCでは，一部のセルに高周波PWMを行わせることにより，直列段数を無理に増加させることなく，発生高調波を低減することができる。3台のセル$Cell_1$，$Cell_2$，$Cell_3$を直列接続した構成を例にとり，本研究で用いる変調方法を図2.4に示す。

$Pulse_1$，$Pulse_2$，$Pulse_3$は，いずれかのセルに割り当てるパルスパターンである。これらのパルスは，図2.4(b)に示した演算フローにより決定する。高周波動作を行う$Pulse_1$により，低次高調波が低減される。一方，$Pulse_2$と$Pulse_3$では，それらによる出力電圧の合計と出力電圧指令値v_{ref}^*との誤差がDC電圧の基準値V_C以下になる範囲で，1パルス動作を行う。

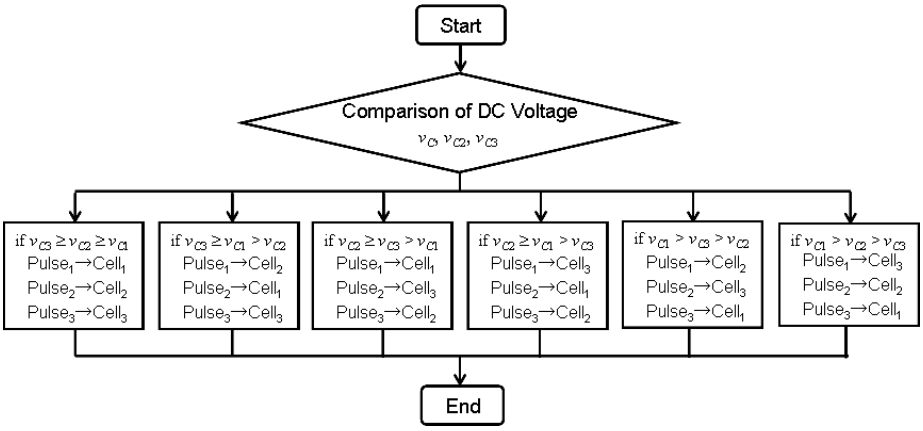
図 2.4(c)に，DC 電圧一定制御における，セルの出力分担制御の例を示す。各セルの DC 電圧が CLMC の出力する基本波成分の 1/3pu 程度以上であり，かつ CLMC は基本波有効電流を出力しているとすると，出力される有効電力は，$Pulse_3 > Pulse_2 > Pulse_1$ の順に高くなる。したがって，セルの DC 電圧 v_{C1}，v_{C2}，v_{C3} の高い順に $Pulse_3$，$Pulse_2$，$Pulse_1$ を割り当てることにより，v_{C1}，v_{C2}，v_{C3} と平均値の誤差が補正される。なお，ここに示したセルの出力分担制御に関する定量的な検討は，第 6 章に示す。



(a)パルスパターン



(b)パルス幅の決定



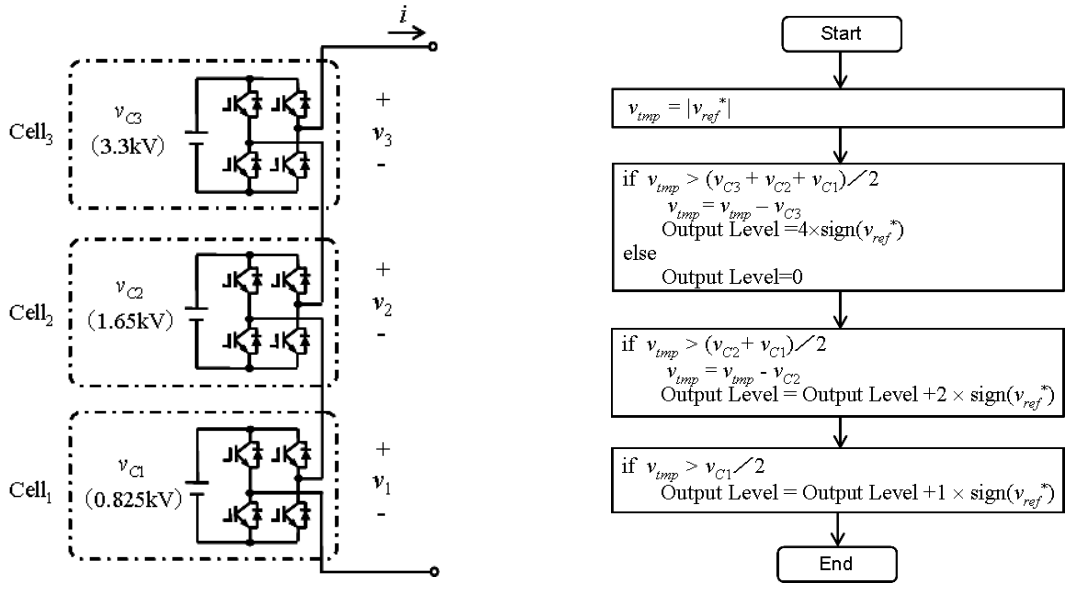
(c)セルの出力分担制御の例（DC 電圧一定制御時）

図 2.4　高周波ハイブリッド CLMC の変調方法

2.3.2　2 進ハイブリッド CLMC

次に，電圧が2倍ずつの関係にあるセルを組み合わせる2進ハイブリッドCLMCを導入し，多レベル化と導通損失のトレードオフの解消を試みる。パワー半導体デバイスの候補には，定格電圧が6.5kV，4.5kV，3.3kV，2.5kV，1.7kVのIGBTなどがある[1]。まず，導通損失と部品点数の抑制を考え，1台のセルには，定格電圧が最大である6.5kV-IGBTを用いる。これに，3.3kV-IGBTを用いたセルを組み合わせると，文献[6]に示されたものと同様に，7レベルの出力電圧が得られる。そしてさらに，1.7kV-IGBTを用いたセルを加えて，図2.5(a)に示すように，3直列-2進ハイブリッドCLMCを構成する。

この CLMC を，図 2.5(b)に示す変調方法を用いて制御したときの動作波形を図 2.6 に示す。図 2.5(b)中の変数"Output Level"は-7～+7 の値をとり，CLMC の出力電圧はこれに対応して 15 段階の出力レベルを持つ波形となる。このときの各セルの動作は，基本周波数あたりで，Cell_3 が 1



(a)回路構成　　(b)変調方法

図 2.5　3 直列-2 進ハイブリッド CLMC の回路構成と変調方法

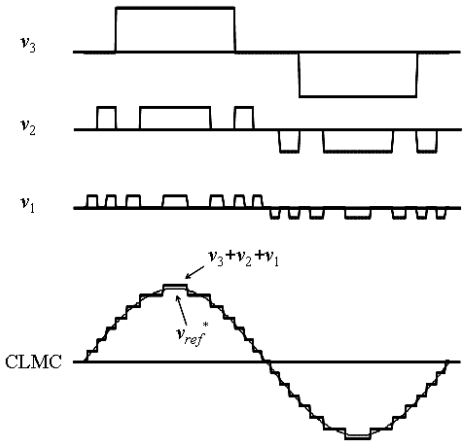


図 2.6　出力電圧

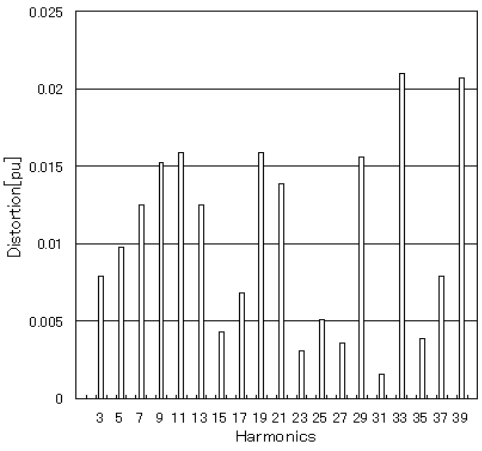


図 2.7　出力電圧の高調波含有率

表 2.2　各種構成の CLMC の比較

	Output Levels	Sum of $V_{CE(sat)}$ *1
3S-Binary-Hybrid CLMC (Fig. 2.5)	15	22.8
CLMC-8S（1.7kV-IGBT Cell × 8 Series）	17	35.2
CLMC-4S（3.3kV-IGBT Cell × 4 Series）	9	28.0
CLMC-2S（6.5kV-IGBT Cell × 2 Series）	5	22.8

*1：表 2.1 に示すデータを用い，1 台のセルあたり 2 個の半導体デバイスを通流するものとして計算している

パルス，$Cell_2$が3パルス，$Cell_1$が 7 パルスである。図2.7に，出力電圧v_1+v_2+v_3の高調波含有率を示す。系統電圧歪率の抑制対象とされる40次以下の高調波成分によるTHD（Total Harmonic Distortion）は5%程度で，負荷供給電圧としてそのまま用いることも可能である[16][17]。

他の構成のCLMCと比較した結果を，表2.2に示す。3直列-2進ハイブリッドCLMCのレベル数は，CLMC-8Sに次ぐ，15レベルとなる。また，電流経路に存在するパワー半導体デバイスのコレクターエミッタ間飽和電圧$V_{CE(sat)}$の合計は，CLMC-8Sより30%以上低減され，6.5kV-IGBTを用いたセルを2直列で構成したCLMC-2Sと等しくなる。これにより，導通損失が抑制できる。

レベル数の少ないCLMC-2Sでは，主に搬送波周波数付近の高調波成分の影響により，THDが20%程度となる。したがって，40次以下の高調波成分によるTHDにおいて，3直列-2進ハイブリッドCLMCと同程度の出力電圧の品質を実現するためには，数kHz程度のスイッチング周波数が必要となり，スイッチング損失の増加につながる。

このように，2進ハイブリッドCLMCは，導通損失を抑制しつつも，多レベル化による高品質な電力供給が可能となる。

2.3.3　2 進構成におけるセルの出力分担制御

CLMCでは，セルごとに独立した動作を行わせることが可能である。そして，同じ電圧レベルを出力する場合にも，複数の動作パターンが存在する[18]。これを利用して，2進ハイブリッドCLMCにおけるセルの出力分担の制御を試みる。

図2.8に，例を示す。$Cell_1$，$Cell_2$，$Cell_3$のDC電圧を，V_C，$2V_C$，$4V_C$とする。レベル 1 （電圧V_C）を出力するとき，CLMCは，”V_C”，”$2V_C$ -V_C”，”$4V_C$ - $2V_C$ -V_C”という三種類の動作パターンを選択できる。動作パターン”V_C”では，$Cell_1$が放電する。動作パターン”$2V_C$ -V_C”では，$Cell_2$が放電し，$Cell_1$が充電される。動作パターン”$4V_C$ - $2V_C$ -V_C”では，$Cell_3$が放電し，$Cell_2$と$Cell_1$が充電される。このように，動作パターンによって充放電されるセルが異なることから，個々のDC電源の充放電量を監視し，動作パターンを使い分けることにより，セルの出力分担を制御できる。

3直列-2進ハイブリッドCLMCの全ての動作パターンを，表2.3に示す。CLMCの出力電圧（3台のセルの出力電圧の合計）と出力電流が同極性である場合，表中の”1”は，該当するセルより出力電流と同極性の電圧が出力され，DC電源が放電することを示す。”-1”は，逆極性の電圧が出力され，DC電源が充電されることを示す。出力電圧と電流の極性が異なる場合は，表中の”1”と”-1”に対する充放電の関係が反転する。

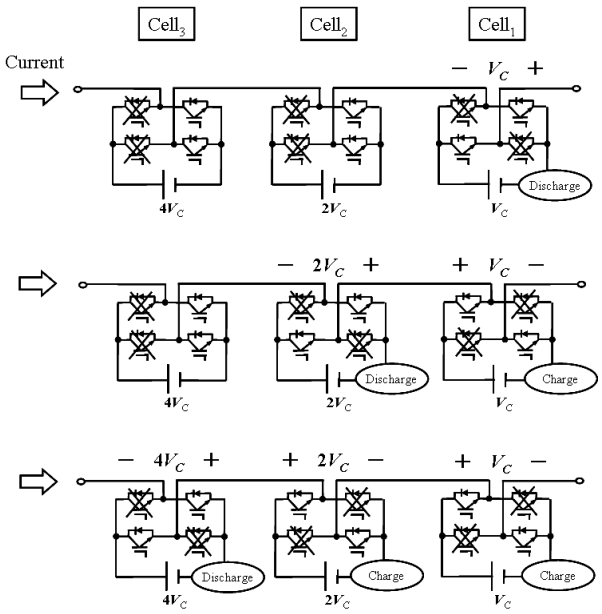


図 2.8　レベル 1（電圧 V_C）出力時にとりうる動作パターン

表 2.3　3 直列-2 進ハイブリッド CLMC の動作パターン（1：放電，　-1：充電）

Output Level	1			2		3			4	5		6	7
$Cell_1(V_C)$	1	-1	-1			1	-1	1		1	-1		1
$Cell_2(2V_C)$		1	-1	1	-1	1		-1			1	1	1
$Cell_3(4V_C)$			1		1		1	1	1	1	1	1	1

なお，セルの出力分担は任意の量を制御できるわけではない。表2.3において，複数の動作パターンは，出力レベルが1，2，3，5についてのみ存在し，制御できる範囲は，これらのレベルを出力している間にCLMCを通流する電流に依存する。この制約を考慮した上でDC電源を構成する方法に関しては，第4章で検討を行う。

2.3.4　2 進構成におけるセルの出力分担制御に関する原理実証試験[12]

コンデンサを DC 電源とする 2 進ハイブリッド CLMC を用いた直列形瞬時電圧低下補償装置（Dynamic Voltage Restorer：DVR）において，AC 側を通流する負荷電流を用いて DC 電圧の比率を基準値 1:2:4 に維持しながらコンデンサを充電する試験により，セルの出力分担を制御できることを実証する。

試験回路を図 2.9，回路定数を表 2.4 に示す。本試験では，$Cell_1$，$Cell_2$，$Cell_3$ を 3 直列に接続して，CLMC を構成する。電源 v_{inf} は，定格電圧 187V（波高値 265V），基本周波数 60Hz の交流電源である。”Sag Generator”は，常時は v_{inf} より入力される電圧を v_s として出力するが，外部指令により 80%の瞬時電圧低下を発生できる。定格電流 I_{AC} は，それぞれのセルに用いた IGBT の定格電流が 300A であったため，電流波高値に約 2 倍の余裕を見込んで，実効値で 100A とする。DC 電源には，予め充電されたコンデンサ C_1，C_2，C_3 を用いる。セルの DC 電圧 v_{C1}，v_{C2}，

v_{C3}は，1:2:4 の比率を基準とする。初期値 v_{C1}^*，v_{C2}^*，v_{C3}^*は，それらの合計が定格電圧の波高値 265V よりも若干高めとなるよう，45V，90V，180V とする。C_1，C_2，C_3の容量は，ゼロ充電状態から初期（フル）状態までの充電を数秒程度で完了するよう，66mF，136mF，330mF とする。試験用負荷には，2Ω の抵抗 R と 2.7mH のリアクトル L を直列に接続して構成する。この負荷に定格電圧を印加すると，定格 I_{AC}の約 80%の電流が通流する。また，負荷力率は 0.9 である。なお，リアクトル L_fとコンデンサ C_fからなる高調波フィルタは，負荷電圧の測定において高周波成分を除去するために設置するものである。

制御ブロック図は，図 2.10 に示す通りである。試験開始の時点では，制御信号 S_1は 0 に設定されている。DSP は，電源電圧 v_{inf}，"Sag Generator"の出力電圧 v_s，DC 電圧 v_{C1}，v_{C2}，v_{C3}を，AD 変換器を介して監視している。ここで，S_1を 1 に設定すると，v_sは v_{inf}の 0.2pu となる。DSP は，v_{inf}と v_sの差と図 2.5(b)に示した変調方法により出力レベルを決定し，さらに，表 2.3 に示した動作パターンの中から，v_{C1}，v_{C2}，v_{C3} を 1:2:4 の比率で規格化した値が最も大きいコンデンサが放電するよう動作パターンを選択する。DSP の出力チャネルの制約から，後段には FPGA を置き，動作パターンをデコードし，さらに出力するタイミングを整え，各 IGBT を駆動する。次に，S_1を 2 に設定すると，v_sは v_{inf}と一致する。一方，DSP は，v_sに対して位相差が 180°で振幅 0.05pu の電圧を，CLMC の出力電圧指令値として設定する。この電圧指令値と出力電流 i から定

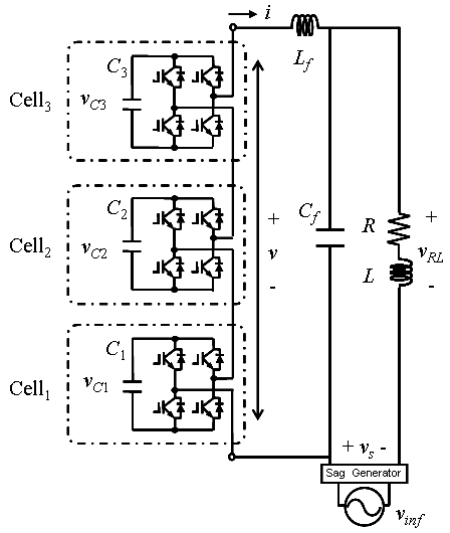


図 2.9　試験回路

表 2.4　回路定数

Voltage Source	v_{inf}	AC187V，60Hz
Rated Current	I_{AC}	100A
Capacitance, Initial Voltage	C_3，v_{C3}^*	66mF，180V
	C_2，v_{C2}^*	136mF，90V
	C_1，v_{C1}^*	330mF，45V
Load	R	2.0Ω
	L	2.7mH
Filter	L_f	0.3mH
	C_f	200μF

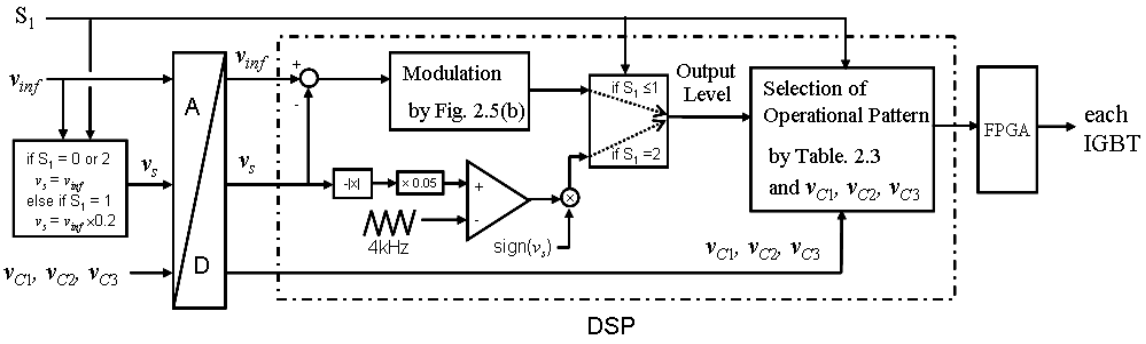
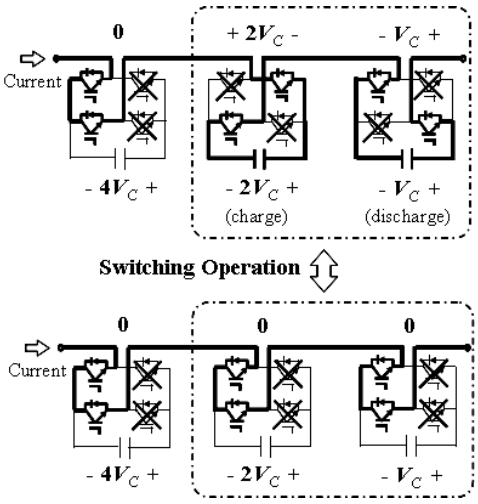
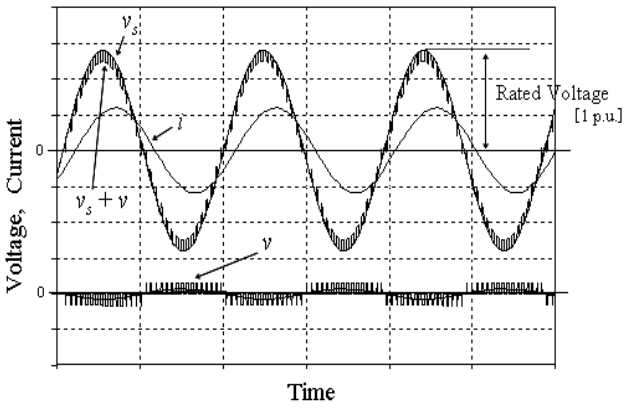


図 2.10　制御ブロック図

まるエネルギーは平均的に負となり，これが CLMC に注入され，コンデンサが再充電される。なお，振幅 0.05pu に相当する基本波を精度良く出力させるため，CLMC は，図 2.11 に示すように，1 と 0 の 2 つのレベルを用い，キャリア周波数 4kHz で高周波 PWM を行うよう動作させる。ここで，レベル 1 出力時には，図 2.8 に示したいずれかの動作パターンを用い，DC 電圧 v_{C1}, v_{C2},

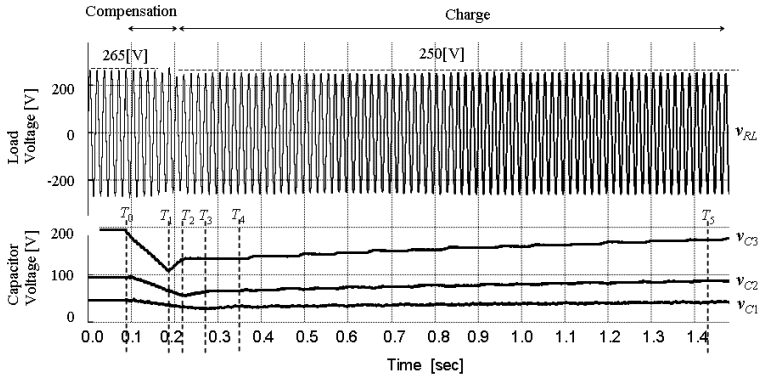


(a)出力レベルの切替例（レベル 1⇔0）

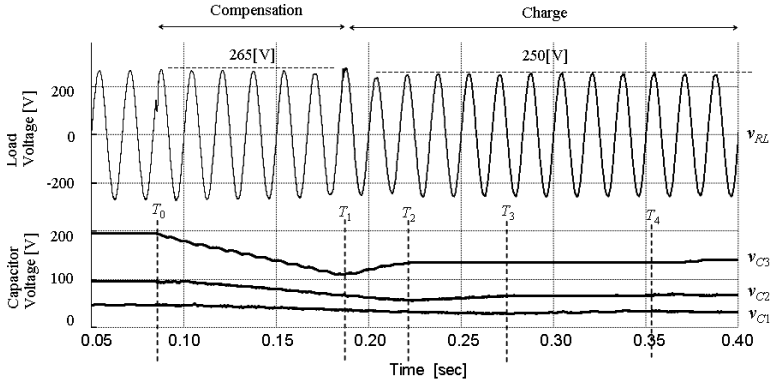


(b)動作波形

図 2.11　充電時の動作



(a)0sec～1.5sec



(b)0.05sec～0.40sec（拡大図）

図 2.12　原理実証試験の結果

v_{C3}を1:2:4の比率で規格化した値が最も小さいコンデンサを充電するよう，パターンを選択する。

図2.12に，試験結果を示す。時刻0からT_0までは，前述のS_1=0の状態に相当し，v_sの波高値は定格である265Vとなり，CLMCは0レベルを出力し，負荷にはv_sが直接印加されている。次に，時刻T_0からT_1までは，前述のS_1=1の状態に相当し，v_sは53Vに低下し，CLMCは，DVRとして，この電圧低下を補償する。この結果，一旦コンデンサC_1，C_2，C_3が放電し，時刻T_1では，DC電圧v_{C1}，v_{C2}，v_{C3}は，それぞれ33V，65V，110Vまで低下した。次に，時刻T_1以降では，前述のS_1=2の状態に相当し，v_sを265Vに戻すと供に，v_sに対して位相差が180°で振幅0.05puの電圧を，CLMCより出力する。この結果，時刻T_5では，v_{C1}，v_{C2}，v_{C3}は，それぞれ43V，88V，174Vと，ほぼ初期状態まで再充電された。

以上のように，本試験では，2進ハイブリッドCLMCにおいて，セルごとに出力を制御できることを検証した。

2.4 結言

本章では，CLMCの回路構成上の課題を示し，その解決策としてのハイブリッドCLMCの導入について検討した。

まず，CLMCにおけるセルの直列段数と，導通損失およびスイッチング損失の関係について評価し，レベル数を増加できても，反って損失が増加する場合があることを示した。また，DC電源をセルごとに分離しなければならない理由と，それに伴いセルの出力分担制御が必要になることを示した。

次に，本研究で用いる方式として，セルの直列段数を抑制するために高周波PWMを混じえたハイブリッドCLMCと，さらに，電圧が2倍ずつ異なるセルを組み合わせ，多レベル化を容易とする2進ハイブリッドCLMCについて，基本的な回路構成と制御手法を示した。

参考文献

[1] 「パワーエレクトロニクス機器の制御技術」, 電気学会技術報告, 第1084号, pp.6-11 (2007)

[2] 李東昇，福田昭治，久保佑允，北野正之：「三相直列多重ハイブリッド変換器」，電気学会論文誌D，Vol.124-D，No.5，pp.503-509（2004）

[3] 李東昇，福田昭治，久保佑允：「直列三多重ハイブリッド変換器」，電気学会論文誌 D，Vol.124-D，No.9，pp.924-929（2004）

[4] 李東昇，福田昭治：「直列多重ハイブリッド変換器のSTATCOMへの応用」，電気学会論文誌D，Vol.125-D，No.2，pp.179-184（2005）

[5] 大西徳生:「組み合わせ制御方式単相多重化PWMインバータ」, 電気学会論文誌D, Vol.115-D, No.1，pp. 63-69（1995）

[6] Madhav D.Manjrekar，Peter K.Steimer，Thomas A.Lipo：”Hybrid Multilevel Power Conversion System”，IEEE Transactions on Industry Applications，Vol.36，No.3，pp. 834-841（2000）

[7] 杉本重幸，S.C.Verma，小川重明，小西博雄：「HVDC/BTB システムへのチェインリンクコンバータの適用検討」, 電気学会 電力技術・電力系統技術合同研究会, PE-01-23, PSE-01-17（2001）

[8] 小西博雄，杉本重幸，S.C.Verma：「チェインリンクコンバータ適用 HVDC/BTB システムの試作モデルによる動作検証」, 電気学会 電力技術・電力系統技術合同研究会，PE-03-31, PSE-03-42（2003）

[9] Fang Z.Peng, J.S.Lai, J.W. McKeever, V.Coevering : "A multilevel voltage-source inverter with separate dc sources for static var generation", IEEE Transactions on Industry Applications., Vol. 32, No. 5, pp. 1130-1138（1996）

[10] 吉井剣，井上重徳，赤木泰文：「6.6kV トランスレス・カスケード PWM STATCOM」，電気学会論文誌 D，Vol.127-D，No.8，pp.781-788（2007）

[11] J. Arrillaga, Y. H. Liu, N. R. Watson : "Flexible Power Transmission", Wiley, pp.141-167（2007）

[12] 羽田野伸彦，岸田行盛，山田正樹，岩田明彦：「階調制御型瞬低補償装置における高速充電制御」，電気学会論文誌 D，Vol.125-D，No.12，pp. 1122-1128（2005）

[13] 日立製作所　半導体データシート，MBN600H65E，Spec.No.IGBT-SP-06003 R3

[14] 日立製作所　半導体データシート，MBN1200H33E，Spec.No.IGBT-SP-06025 R1

[15] 日立製作所　半導体データシート，MBN1200E17E，Spec.No.IGBT-SP-06038 P1

[16] 「配電系統の高調波障害防止対策」，電気協同研究，第 37 巻，第 3 号，pp.129-139（1981）

[17] 「電力系統における高調波とその対策」，電気協同研究，第 46 号，第 2 号，pp.87-90（1990）

[18] 山田正樹，鈴木昭弘，岩田明彦，菊永敏之，吉安一，山本和生，羽田野伸彦：「階調制御型瞬低補償装置におけるエネルギー流用制御」，電気学会論文誌 D，Vol.125-D，No.2，pp. 126-132（2005）

第 3 章　三相系統における電力変換器の制御

3.1　緒言

三相系統では，必ずしも系統電圧が三相平衡であるとは限らない。定常時においても，系統定数の不揃いや単相負荷の存在により，僅かながらも系統電圧に不平衡が発生する。また，落雷等により一相または二相事故が発生すれば，系統電圧の振幅と位相が急変し，大幅な不平衡が生じる[1][2]。これらの結果より，三相系統に連系される電力変換器には，三相出力の不平衡が容易に発生する[3]-[5]。

三相ブリッジ形の電力変換器であれば，AC 出力に不平衡が生じても，DC 電源には問題は生じない。しかし，チェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）では，DC 電源が個々のセル（単位変換器）に分離して設置される。このため，出力が特定のセルに集中すれば，DC 電源の過負荷，充電エネルギーの偏った消耗などの不具合が起こりうる。したがって，CLMC を用いた系統連系用変換器においては，三相不平衡への対策を見出すことが，重要な課題となる。

以下本章では，CLMC を三相系統に適用するための基本的な制御手法として，系統電圧や出力電流に不平衡が存在する場合にも，前述の不具合が生じないよう三相出力を等しく制御するための手法を検討する。

3.2 節では，電力系統の不平衡が，三相出力に及ぼす影響について述べる。

3.3 節では，出力電圧の零相成分により，三相出力を制御する理論を示す[6]。また，この零相電圧制御の適用限界について述べる。

3.4 節では，出力電流の逆相成分により，三相出力を制御する理論を示す[7]。また，この逆相電流制御により生じる制約について述べる。

3.5 節では，これらの理論の実現に不可欠な技術として，系統事故などにより系統電圧に大幅な不平衡が存在する場合にも，過電流を生じることなく，電力変換器の出力電流を指令値通りに制御するための手法を示す[8]。

3.6 節では，本章の検討結果をまとめる。

3.2　系統不平衡の影響

図 3.1 に，検討モデルを示す。3 台の単相変換器をＹ結線して三相 3 線式の電力変換器を構成し，リアクトルを介して三相電源 v_{sa}，v_{sb}，v_{sc} に接続する。DC 電源は，個々のセルに分離して設置しなければならない。これは，電力変換器の半導体スイッチの開閉状況によって，正極と負極が短絡する場合があるためである。なお，このモデルにおいては，三相変換器の出力電圧の内，正相成分と逆相成分の和を v_a，v_b，v_c，零相成分を v_0 と表記する。

ここで，v_0 が 0 であるとし，v_a，v_b，v_c は，(3.1)式のように表されたとする。右辺第一項は正相成分，第二項は逆相成分である。φ_m は，正相成分と逆相成分の，a 相を基準とした位相差である。

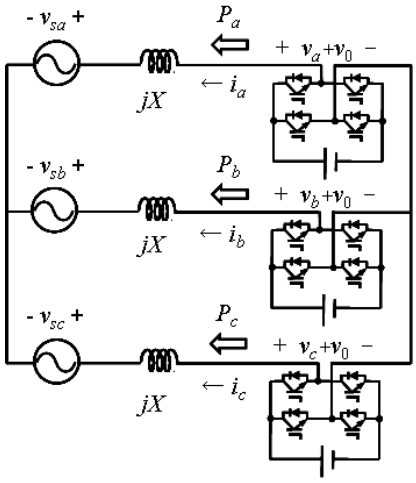


図 3.1　検討モデル

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} V_p \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} + \sqrt{\frac{2}{3}} V_n \begin{bmatrix} \cos(\omega t + \varphi_{vn}) \\ \cos\left(\omega t + \varphi_{vn} + \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \varphi_{vn} - \frac{2\pi}{3}\right) \end{bmatrix} \quad \cdots\cdots (3.1)$$

また，電力変換器の出力電流 i_a，i_b，i_c は，(3.2)式で表されたとする。φ_{ip} と φ_{in} は，出力電圧の正相成分との，a 相を基準とした位相差である。

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \sqrt{\frac{2}{3}} I_p \begin{bmatrix} \cos(\omega t + \varphi_{ip}) \\ \cos\left(\omega t + \varphi_{ip} - \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \varphi_{ip} + \frac{2\pi}{3}\right) \end{bmatrix} + \sqrt{\frac{2}{3}} I_n \begin{bmatrix} \cos(\omega t + \varphi_{in}) \\ \cos\left(\omega t + \varphi_{in} + \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \varphi_{in} - \frac{2\pi}{3}\right) \end{bmatrix} \quad \cdots\cdots (3.2)$$

(3.1)式と(3.2)式より，電力変換器の a 相，b 相，c 相から出力される平均有効電力 P_a，P_b，P_c は，次のように計算される。

$$\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} = \frac{1}{3} V_p I_p \begin{bmatrix} \cos\varphi_{ip} \\ \cos\varphi_{ip} \\ \cos\varphi_{ip} \end{bmatrix} + \frac{1}{3} V_n I_n \begin{bmatrix} \cos(\varphi_{in} - \varphi_{vn}) \\ \cos(\varphi_{in} - \varphi_{vn}) \\ \cos(\varphi_{in} - \varphi_{vn}) \end{bmatrix}$$
$$+ \frac{1}{3} V_p I_n \begin{bmatrix} \cos\varphi_{in} \\ \cos\left(\varphi_{in} - \frac{2\pi}{3}\right) \\ \cos\left(\varphi_{in} + \frac{2\pi}{3}\right) \end{bmatrix} + \frac{1}{3} V_n I_p \begin{bmatrix} \cos(\varphi_{ip} - \varphi_{vn}) \\ \cos\left(\varphi_{ip} - \varphi_{vn} + \frac{2\pi}{3}\right) \\ \cos\left(\varphi_{ip} - \varphi_{vn} - \frac{2\pi}{3}\right) \end{bmatrix} \quad \cdots\cdots (3.3)$$

右辺第一項は，正相成分の積から生成され，三相とも等しい値となる。第二項は，逆相成分の積から生成されるもので，やはり三相とも等しい値となる。一方，第三項と第四項は，正相成分と逆相成分の積から生成されるものであり，各相で値が異なる。したがって，単相変換器に基づく三相変換器では，特定の相に出力が偏り，DC 電源の過負荷，充電エネルギーの偏った消耗などの不具合が起こりうる。

3.3 零相電圧による三相出力制御

3.3.1 基本原理

系統連系される三相 3 線式の電力変換器では，出力電圧の零相成分は出力電流に影響を及ぼさないため，その決定に自由度が発生する[9]。例えば，図 3.1 のモデルでは，出力電流 i_a，i_b，i_c は次式より定まり，零相電圧 v_0 とは関係を持たない。なお，太字はフェーザ表示であり，以下でも同様とする。

$$\left.\begin{aligned} &\mathbf{v}_{sa} + jX\mathbf{i}_a - \mathbf{v}_a - \left(\mathbf{v}_{sb} + jX\mathbf{i}_b - \mathbf{v}_b\right) = 0 \\ &\mathbf{v}_{sb} + jX\mathbf{i}_b - \mathbf{v}_b - \left(\mathbf{v}_{sc} + jX\mathbf{i}_c - \mathbf{v}_c\right) = 0 \\ &\mathbf{i}_a + \mathbf{i}_b + \mathbf{i}_c = 0 \end{aligned}\right\} \quad \cdots\cdots (3.4)$$

そして，電力変換器から三相電源 v_{sa}，v_{sb}，v_{sc} に供給される電力は i_a，i_b，i_c により定まるため，v_0 は任意に設定することが可能となる。本節では，この自由度を活用して，零相電圧による電力変換器の三相出力制御を試みる[6][10]。

このとき，電力変換器の有効出力 P_a，P_b，P_c は，次式より定まる。ここで，演算”･”は，フェーザを複素ベクトルとして取扱った場合の内積である。

$$\left.\begin{aligned} P_a &= (\mathbf{v}_a + \mathbf{v}_0)\cdot\mathbf{i}_a = \mathbf{v}_a\cdot\mathbf{i}_a + \mathbf{v}_0\cdot\mathbf{i}_a \\ P_b &= (\mathbf{v}_b + \mathbf{v}_0)\cdot\mathbf{i}_b = \mathbf{v}_b\cdot\mathbf{i}_b + \mathbf{v}_0\cdot\mathbf{i}_b \\ P_c &= (\mathbf{v}_c + \mathbf{v}_0)\cdot\mathbf{i}_c = \mathbf{v}_c\cdot\mathbf{i}_c + \mathbf{v}_0\cdot\mathbf{i}_c \end{aligned}\right\} \quad \cdots\cdots (3.5)$$

(3.5)式において，右辺第一項は，正相成分と逆相成分の和により，一意に定まる。一方，右辺第二項からは，P_a，P_b，P_c を，v_0 により制御できるのではないかと予想される。

仮に，定数 A，B，C を用いて，v_0 を次のように表す。

$$\mathbf{v}_0 = \mathrm{A}\mathbf{i}_a + \mathrm{B}\mathbf{i}_b + \mathrm{C}\mathbf{i}_c \quad \cdots\cdots (3.6)$$

(3.5)式と(3.6)式より，P_a，P_b，P_c は，次のように計算される。

$$\left.\begin{aligned} P_a &= \mathbf{v}_a\cdot\mathbf{i}_a + \mathrm{A}\left|\mathbf{i}_a\right|^2 + \mathrm{B}\left(\mathbf{i}_a\cdot\mathbf{i}_b\right) + \mathrm{C}\left(\mathbf{i}_c\cdot\mathbf{i}_a\right) \\ P_b &= \mathbf{v}_b\cdot\mathbf{i}_b + \mathrm{A}\left(\mathbf{i}_a\cdot\mathbf{i}_b\right) + \mathrm{B}\left|\mathbf{i}_b\right|^2 + \mathrm{C}\left(\mathbf{i}_b\cdot\mathbf{i}_c\right) \\ P_c &= \mathbf{v}_c\cdot\mathbf{i}_c + \mathrm{A}\left(\mathbf{i}_c\cdot\mathbf{i}_a\right) + \mathrm{B}\left(\mathbf{i}_b\cdot\mathbf{i}_c\right) + \mathrm{C}\left|\mathbf{i}_c\right|^2 \end{aligned}\right\} \quad \cdots\cdots (3.7)$$

右辺の対称性より，A，B，C を，定数 A’，B’，C’を用いて次のように置きなおす。

$$\left.\begin{aligned} \mathrm{A} &= \mathrm{A}'(\mathbf{i}_b \cdot \mathbf{i}_c) \\ \mathrm{B} &= \mathrm{B}'(\mathbf{i}_c \cdot \mathbf{i}_a) \\ \mathrm{C} &= \mathrm{C}'(\mathbf{i}_a \cdot \mathbf{i}_b) \end{aligned}\right\} \quad \cdots\cdots (3.8)$$

すると，(3.7)式は，次のように整理できる。

$$\left.\begin{aligned} P_a &= \mathbf{v}_a \cdot \mathbf{i}_a + \mathrm{A}'(\mathbf{i}_b \cdot \mathbf{i}_c)|\mathbf{i}_a|^2 + (\mathrm{B}' + \mathrm{C}')(\mathbf{i}_c \cdot \mathbf{i}_a)(\mathbf{i}_a \cdot \mathbf{i}_b) \\ P_b &= \mathbf{v}_b \cdot \mathbf{i}_b + \mathrm{B}'(\mathbf{i}_c \cdot \mathbf{i}_a)|\mathbf{i}_b|^2 + (\mathrm{C}' + \mathrm{A}')(\mathbf{i}_a \cdot \mathbf{i}_b)(\mathbf{i}_b \cdot \mathbf{i}_c) \\ P_c &= \mathbf{v}_c \cdot \mathbf{i}_c + \mathrm{C}'(\mathbf{i}_a \cdot \mathbf{i}_b)|\mathbf{i}_c|^2 + (\mathrm{A}' + \mathrm{B}')(\mathbf{i}_b \cdot \mathbf{i}_c)(\mathbf{i}_c \cdot \mathbf{i}_a) \end{aligned}\right\} \quad \cdots\cdots (3.9)$$

さらに，(3.9)式右辺の対称性より，A’，B’，C’の間に次の関係を設ける。

$$\mathrm{A}' + \mathrm{B}' + \mathrm{C}' = 0 \quad \cdots\cdots (3.10)$$

これを用いると，(3.9)式は次のように整理できる。

$$\left.\begin{aligned} P_a &= \mathbf{v}_a \cdot \mathbf{i}_a + \mathrm{A}'\left[(\mathbf{i}_b \cdot \mathbf{i}_c)|\mathbf{i}_a|^2 - (\mathbf{i}_c \cdot \mathbf{i}_a)(\mathbf{i}_a \cdot \mathbf{i}_b)\right] \\ P_b &= \mathbf{v}_b \cdot \mathbf{i}_b + \mathrm{B}'\left[(\mathbf{i}_c \cdot \mathbf{i}_a)|\mathbf{i}_b|^2 - (\mathbf{i}_a \cdot \mathbf{i}_b)(\mathbf{i}_b \cdot \mathbf{i}_c)\right] \\ P_c &= \mathbf{v}_c \cdot \mathbf{i}_c + \mathrm{C}'\left[(\mathbf{i}_a \cdot \mathbf{i}_b)|\mathbf{i}_c|^2 - (\mathbf{i}_b \cdot \mathbf{i}_c)(\mathbf{i}_c \cdot \mathbf{i}_a)\right] \end{aligned}\right\} \quad \cdots\cdots (3.11)$$

ここで，系統連系される三相 3 線式の電力変換器では，$i_a+i_b+i_c=0$ が成り立つため，次の関係が得られる。

$$\begin{aligned} (\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2 &= (\mathbf{i}_b \cdot \mathbf{i}_c)|\mathbf{i}_a|^2 - (\mathbf{i}_c \cdot \mathbf{i}_a)(\mathbf{i}_a \cdot \mathbf{i}_b) \\ &= (\mathbf{i}_c \cdot \mathbf{i}_a)|\mathbf{i}_b|^2 - (\mathbf{i}_a \cdot \mathbf{i}_b)(\mathbf{i}_b \cdot \mathbf{i}_c) \\ &= (\mathbf{i}_a \cdot \mathbf{i}_b)|\mathbf{i}_c|^2 - (\mathbf{i}_b \cdot \mathbf{i}_c)(\mathbf{i}_c \cdot \mathbf{i}_a) \end{aligned} \quad \cdots\cdots (3.12)$$

これを用いて(3.11)式を整理すると，次式が得られる。

$$\left.\begin{aligned} P_a &= \mathbf{v}_a \cdot \mathbf{i}_a + \mathrm{A}'\left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \\ P_b &= \mathbf{v}_b \cdot \mathbf{i}_b + \mathrm{B}'\left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \\ P_c &= \mathbf{v}_c \cdot \mathbf{i}_c + \mathrm{C}'\left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \end{aligned}\right\} \quad \cdots\cdots (3.13)$$

したがって，A’，B’，C’を次式のように設定すると，P_a，P_b，P_cは三相等しくなる。

$$\left.\begin{aligned} \mathrm{A}' &= \left[\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k \cdot \mathbf{i}_k - \mathbf{v}_a \cdot \mathbf{i}_a\right] / \left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \\ \mathrm{B}' &= \left[\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k \cdot \mathbf{i}_k - \mathbf{v}_b \cdot \mathbf{i}_b\right] / \left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \\ \mathrm{C}' &= \left[\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k \cdot \mathbf{i}_k - \mathbf{v}_c \cdot \mathbf{i}_c\right] / \left[(\mathbf{i}_a \cdot \mathbf{i}_b)^2 - |\mathbf{i}_a|^2|\mathbf{i}_b|^2\right] \end{aligned}\right\} \quad \cdots\cdots (3.14)$$

なお，もしも i_a，i_b の位相差が 0 または π の場合は，(3.14)式により v_0 を計算することができず，提案手法の適用対象外となる。しかし，三相 3 線式による系統連系の場合は $i_a+i_b+i_c=0$ であるため，i_a，i_b に対する i_c の位相差も 0 または π となり，現実的には稀なケースとなる。

以上のように，(3.6)式，(3.8)式，(3.14)式より，電力変換器の出力を三相等しく制御するための v_0 を得ることができるが，これをさらに(3.15)式のように拡張すれば，任意の比率 X, Y, Z で，電力変換器の出力を制御することができる。

$$\left.\begin{aligned}
\mathbf{v}_0 &= \frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)\mathbf{i}_a+\Delta P_b(\mathbf{i}_c\cdot\mathbf{i}_a)\mathbf{i}_b+\Delta P_c(\mathbf{i}_a\cdot\mathbf{i}_b)\mathbf{i}_c}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2}\\
\Delta P_a &= \mathbf{v}_a\cdot\mathbf{i}_a-\frac{X}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k\\
\Delta P_b &= \mathbf{v}_b\cdot\mathbf{i}_b-\frac{Y}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k\\
\Delta P_c &= \mathbf{v}_c\cdot\mathbf{i}_c-\frac{Z}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k
\end{aligned}\right\} \quad \cdots\cdots(3.15)$$

a 相を例にとると，電力変換器の出力 P_a は，次のように計算される。

$$P_a=(\mathbf{v}_a+\mathbf{v}_0)\cdot\mathbf{i}_a=\mathbf{v}_a\cdot\mathbf{i}_a+\frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)|\mathbf{i}_a|^2+(\Delta P_b+\Delta P_c)(\mathbf{i}_a\cdot\mathbf{i}_b)(\mathbf{i}_c\cdot\mathbf{i}_a)}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2} \quad \cdots\cdots(3.16)$$

ここで，(3.15)式より，$\Delta P_b+\Delta P_c=-\Delta P_a$ であるため，(3.16)式は次のように整理できる。

$$P_a=\mathbf{v}_a\cdot\mathbf{i}_a+\frac{\Delta P_a\left[(\mathbf{i}_b\cdot\mathbf{i}_c)|\mathbf{i}_a|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)(\mathbf{i}_c\cdot\mathbf{i}_a)\right]}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2} \quad \cdots\cdots(3.17)$$

さらに，$i_a+i_b+i_c=0$ を用いて i_c を，また(3.15)式を用い ΔP_a を消去すると，(3.17)式は次のように整理できる。

$$\begin{aligned}
P_a &= \mathbf{v}_a\cdot\mathbf{i}_a+\frac{\Delta P_a\left[-(\mathbf{i}_b\cdot(\mathbf{i}_a+\mathbf{i}_b))|\mathbf{i}_a|^2+(\mathbf{i}_a\cdot\mathbf{i}_b)((\mathbf{i}_a+\mathbf{i}_b)\cdot\mathbf{i}_a)\right]}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2}\\
&= \mathbf{v}_a\cdot\mathbf{i}_a-\Delta P_a\\
&= \frac{X}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k
\end{aligned} \quad \cdots\cdots(3.18)$$

同様の計算により，電力変換器の b 相と c 相の出力 P_b，P_c は，次のよう整理できる。

$$\left.\begin{aligned}
P_b &= \frac{Y}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k\\
P_c &= \frac{Z}{X+Y+Z}\sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k
\end{aligned}\right\} \quad \cdots\cdots(3.19)$$

(3.18)式と(3.19)式のように，正相成分と逆相成分の和 v_a，v_b，v_c に(3.15)式の v_0 を加えることにより，電力変換器の a 相，b 相，c 相から，任意の比率 X，Y，Z で有効電力 P_a，P_b，P_c を出力させることが可能となる。

3.3.2　適用限界

前節では，系統連系される三相 3 線式の電力変換器では，出力電圧の零相成分により，出力電流に影響を与えることなく，三相出力を制御できることを示した。しかし，電力変換器が出力できる電圧波高値は DC 電圧に制約を受けるため，(3.15)式による零相電圧を必ずしも出力できるとは限らない。

例えば図 3.1 のモデルにおいて，電力変換器は，図 3.2(a)に示す出力電圧 v_a，v_b，v_c と出力電流 i_a，i_b，i_c により，三相電源 v_{sa}，v_{sb}，v_{sc} に無効電力を供給していたとする。次に，b-c 相の短絡事故が発生し，電力変換器の出力電圧が，図 3.2(b)に示すように変化したとする。また，この時の出力電圧と出力電流が，(3.20)式と(3.21)式のように表されるものとする。ここで，$\mathbf{e}^{j\phi}$は，基準電圧と位相差ϕで，振幅 1pu のフェーザを表す。

$$\left.\begin{aligned}\mathbf{v}_a &= V\mathbf{e}^{j0}\\ \mathbf{v}_b &= \mathbf{v}_c = \frac{V}{2}\mathbf{e}^{j\pi}\end{aligned}\right\} \quad \cdots\cdots (3.20)$$

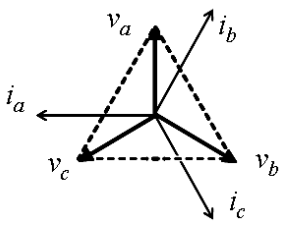
$$\left.\begin{aligned}\mathbf{i}_a &= I\mathbf{e}^{j\frac{\pi}{2}}\\ \mathbf{i}_b &= I\mathbf{e}^{j\frac{\pi}{2}-j\frac{2\pi}{3}}\\ \mathbf{i}_c &= I\mathbf{e}^{j\frac{\pi}{2}+j\frac{2\pi}{3}}\end{aligned}\right\} \quad \cdots\cdots (3.21)$$

(3.15)式に，(3.20)式と(3.21)式を代入すると，v_0 は次式となる。ただし，ここでは(3.15)式の比率 X，Y，Z を，何れも 1 としている。

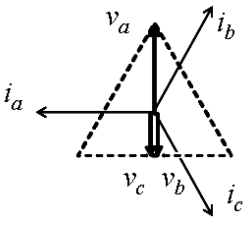
$$\mathbf{v}_0 = \frac{1}{2}V\mathbf{e}^{j0} \quad \cdots\cdots (3.22)$$

v_0 を用いた電力変換器の出力電圧は, 図 3.3 に示すように, a 相では定格の 1.5pu となる。(3.20)式～(3.22)式を用いた計算の上では三相出力は等しくなるが，このような電圧を出力できる余裕を DC 電源に設けることは，電力変換器の容量にも，それに見合った余裕が必要になり，機器のイニシャルコストに影響する。したがって，零相電圧制御を選択することは，必ずしも最善策であるとは限らない。

また, 回転機のベアリング電流のような負荷への影響や, 地絡保護リレーの誤動作についても, 注意する必要がある。



(a)通常時



(b)二相短絡発生時

図 3.2　出力電圧と出力電流の関係

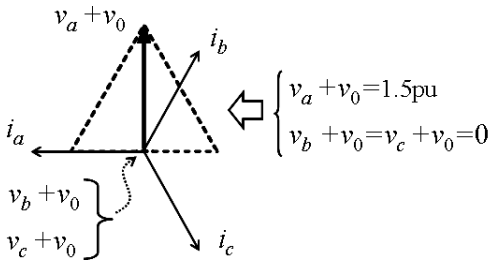


図 3.3　零相電圧制御時の出力電圧と出力電流の関係

3.4　逆相電流による三相出力制御[7]

3.2 節で示したように，逆相電流を出力することにより，不平衡かつ三相合計がゼロになる電力が，電力変換器から出力される。例えば，三相平衡な出力電圧に対して，a 相の位相が一致した逆相電流を出力すれば，a 相から出力される有効電力の 1/2 ずつが b 相と c 相に回生される。

この性質を利用し，(3.23)式の右辺第三項に示す逆相成分を出力電流に加えることにより，電力変換器の三相出力制御を試みる。ここで，e_a，e_b，e_c は電力変換器の各相に充電されたエネルギー，K_n は制御ゲインである。

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \sqrt{\frac{2}{3}} I_p \begin{bmatrix} \cos(\omega t + \varphi_{ip}) \\ \cos\left(\omega t + \varphi_{ip} - \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \varphi_{ip} + \frac{2\pi}{3}\right) \end{bmatrix} + \sqrt{\frac{2}{3}} I_n \begin{bmatrix} \cos(\omega t + \varphi_{in}) \\ \cos\left(\omega t + \varphi_{in} + \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \varphi_{in} - \frac{2\pi}{3}\right) \end{bmatrix}$$
$$+ \sqrt{\frac{2}{3}} K_n \left\{ e_a \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \end{bmatrix} + e_b \begin{bmatrix} \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \end{bmatrix} + e_c \begin{bmatrix} \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} \right\} \quad \cdots\cdots (3.23)$$

(3.1)式の電圧と(3.23)式の電流より定まる各相の有効出力 P_a, P_b, P_c は，次のように計算できる。

$$\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} = \begin{bmatrix} \frac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_a \cdot i_a dt \\ \frac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_b \cdot i_b dt \\ \frac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_c \cdot i_c dt \end{bmatrix} = \begin{bmatrix} P \\ P \\ P \end{bmatrix} + \begin{bmatrix} P_{na} \\ P_{nb} \\ P_{nc} \end{bmatrix} + \frac{1}{2} V_P K_n \begin{bmatrix} e_a - \frac{e_a + e_b + e_c}{3} \\ e_b - \frac{e_a + e_b + e_c}{3} \\ e_c - \frac{e_a + e_b + e_c}{3} \end{bmatrix} \quad \cdots\cdots (3.24)$$

ただし，P，P_{na}，P_{nb}，P_{nc} は次式の通りである。

$$\left.\begin{aligned} P &= \frac{1}{3} V_p I_p \cos\varphi_{ip} + \frac{1}{3} V_n I_n \cos(\varphi_{in} - \varphi_{vn}) \\ &\quad + \frac{1}{3} V_n K_n \left[e_a \cos\varphi_{vn} + e_b \cos\left(\varphi_{vn} - \frac{2\pi}{3}\right) + e_c \cos\left(\varphi_{vn} + \frac{2\pi}{3}\right) \right] \\ P_{na} &= \frac{1}{3} V_p I_n \cos\varphi_{in} + \frac{1}{3} V_n I_p \cos(\varphi_{ip} - \varphi_{vn}) \\ P_{nb} &= \frac{1}{3} V_p I_n \cos\left(\varphi_{in} - \frac{2\pi}{3}\right) + \frac{1}{3} V_n I_p \cos\left(\varphi_{ip} - \varphi_{vn} + \frac{2\pi}{3}\right) \\ P_{nc} &= \frac{1}{3} V_p I_n \cos\left(\varphi_{in} + \frac{2\pi}{3}\right) + \frac{1}{3} V_n I_p \cos\left(\varphi_{ip} - \varphi_{vn} - \frac{2\pi}{3}\right) \end{aligned}\right\} \quad \cdots\cdots (3.25)$$

ここで，(3.23)式右辺第二項のパラメータ I_n と φ_{in} を，次のように設定したとする。

$$\left.\begin{aligned} I_n &= -\frac{V_n}{V_p} I_p \\ \varphi_{in} &= \varphi_{vn} - \varphi_{ip} \end{aligned}\right\} \quad \cdots\cdots (3.26)$$

(3.24)式，(3.25)式，(3.26)式より，P_a，P_b，P_cは，次のように整理できる。

$$\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} = \begin{bmatrix} P \\ P \\ P \end{bmatrix} + \frac{1}{2} V_P K_n \begin{bmatrix} e_a - \dfrac{e_a + e_b + e_c}{3} \\ e_b - \dfrac{e_a + e_b + e_c}{3} \\ e_c - \dfrac{e_a + e_b + e_c}{3} \end{bmatrix} \quad \cdots\cdots (3.27)$$

ここで，右辺第一項のPは次式の通りである。

$$P = \frac{{V_p}^2 - {V_n}^2}{3V_p} I_p \cos\varphi_{ip} + \frac{V_n K_n}{3} \left[e_a \cos\varphi_{vn} + e_b \cos\left(\varphi_{vn} - \frac{2\pi}{3} \right) + e_c \cos\left(\varphi_{vn} + \frac{2\pi}{3} \right) \right] \quad \cdots\cdots (3.28)$$

(3.27)式の右辺第二項は，e_a，e_b，e_cの平均値との誤差を補正するよう作用する。このように，(3.23)式による逆相電流を用いることにより，三相の充電エネルギーを制御することが可能となる。ただし，(3.26)式のように，出力できる逆相電流は一意に定まるため，例えば逆相電流補償ができなくなるなど，機能的な制約が生じることに留意する必要がある。

3.5　系統事故時における電流制御[8]

3.3 節と 3.4 節では，系統電圧や出力電流に不平衡が存在しても，零相電圧や逆相電流により電力変換器の三相出力を制御できることを，理論的に示した。しかし，事故時のように大幅な不平衡が存在する電力系統に連系される電力変換器には，提案した理論を適用する以前に，過電流が容易に生じるという課題が存在する[3][5]。本節では，このような課題に対し，系統不平衡時においても電力変換器の出力電流を目標値通りに制御するための手法について検討する。

3.5.1　検討モデル

分散形電源の系統連系用インバータを検討モデルとし，構成は，図 3.4 に示すように，太陽電池などを想定した DC 電源，三相 200V-4kW の電力変換器，三相電源からなるものとする。電力変換器は，三相フルブリッジインバータと昇圧チョッパを組合せたものとする。いずれも，高周波 PWM により，電圧形電流制御を行う方式とする。インバータは，DC 電圧一定制御により動作する。チョッパは，常時は DC 電源に一定電力を出力させるよう動作する。また，系統側で一定以上の電圧低下が生じた際には,インバータが出力する正相有効電流に過電流が生じないよう，系統電圧の正相成分に比例して，DC 電源から取り出す電力を制限する機能を有する。

ベースモデルとなる制御ブロック図を，図 3.5 に示す。この制御では，系統電圧や出力電流などの交流分を，dq 座標において取扱う。なお，dq 変換[11]にあたり，系統電圧の位相ωtの検出

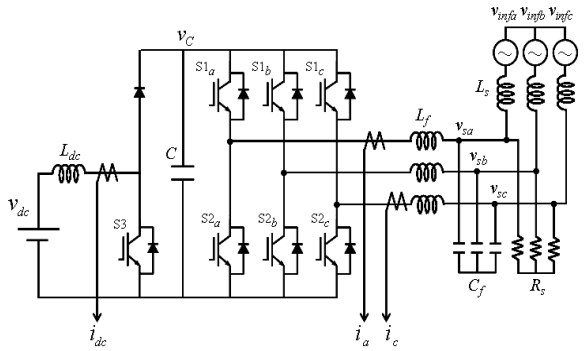


図 3.4　回路モデル

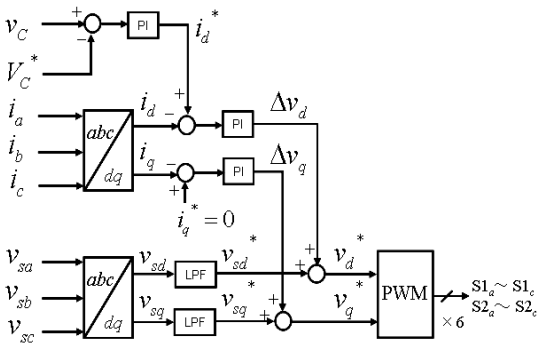
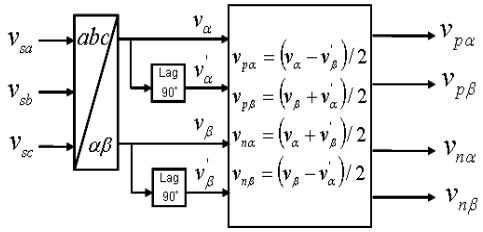
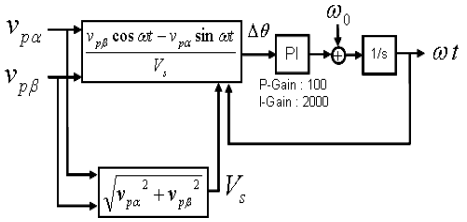


図 3.5　制御ブロック図



(a)正相と逆相の分離方法



(b)PLL の構成

図 3.6　系統電圧との同期方法

については図 3.6 に示す方法を用いる。

図 3.6(a)では，まず系統電圧 v_{sa}，v_{sb}，v_{sc} を三相－二相変換によりαβ座標に変換し[11]，次に正相成分 $v_{p\alpha}$，$v_{p\beta}$ と逆相成分 $v_{n\alpha}$，$v_{n\beta}$ に分離している。ここで，"Lag90°"と示した制御要素は，入力 v_α，v_β を基本周波数の 1/4 サイクル分遅延させた v'_α，v'_β を出力する。v_{sa}，v_{sb}，v_{sc} が(3.1)式の v_a，v_b，v_c と等しいとすると，v_α，v_β，v'_α，v'_β は，次のように計算される。

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = V_p \begin{bmatrix} \cos\omega t \\ \sin\omega t \end{bmatrix} + V_n \begin{bmatrix} \cos(\omega t + \varphi_{vn}) \\ -\sin(\omega t + \varphi_{vn}) \end{bmatrix} \quad \cdots\cdots (3.29)$$

$$\begin{bmatrix} v'_\alpha \\ v'_\beta \end{bmatrix} = V_p \begin{bmatrix} \sin\omega t \\ -\cos\omega t \end{bmatrix} + V_n \begin{bmatrix} \sin(\omega t + \varphi_{vn}) \\ \cos(\omega t + \varphi_{vn}) \end{bmatrix} \quad \cdots\cdots (3.30)$$

(3.29)式と(3.30)式より，正相成分 $v_{p\alpha}$，$v_{p\beta}$ と逆相成分 $v_{n\alpha}$，$v_{n\beta}$ は，次のように分離できる。

$$\begin{bmatrix} v_{p\alpha} \\ v_{p\beta} \end{bmatrix} = \frac{1}{2}\begin{bmatrix} v_\alpha - v'_\beta \\ v_\beta + v'_\alpha \end{bmatrix} = V_p \begin{bmatrix} \cos\omega t \\ \sin\omega t \end{bmatrix} \quad \cdots\cdots (3.31)$$

$$\begin{bmatrix} v_{n\alpha} \\ v_{n\beta} \end{bmatrix} = \frac{1}{2}\begin{bmatrix} v_\alpha + v'_\beta \\ v_\beta - v'_\alpha \end{bmatrix} = V_n \begin{bmatrix} \cos(\omega t + \varphi_{vn}) \\ -\sin(\omega t + \varphi_{vn}) \end{bmatrix} \quad \cdots\cdots (3.32)$$

制御要素"Lag90°"の遅延時間に系統周波数の変動は反映しないが，分散形電源の周波数上昇リレ

ーおよび周波数低下リレーに通常用いられる整定範囲（約±2Hz 以内）の変動であれば，計算される位相 ωt に与える影響は僅かであり，誤差は無視することとした。

1/2 サイクル窓の移動平均フィルタを用いる正相と逆相の分離方法[12]と比較すると，図 3.6 に示した方法は，1/4 サイクルと高速に $v_{p\alpha}$，$v_{p\beta}$，$v_{n\alpha}$，$v_{n\beta}$ を分離でき，事故などのように，系統電圧 v_α，v_β が急変する場合に有利である。ただし，系統電圧の基本波成分の検出には，高調波成分を除去するためのローパスフィルタ処理が必要となり，その分の検出遅れが生じることに注意が必要である。

3.5.2　二相短絡事故に対する応答

図 3.5 に示したベースモデルの制御ブロック図では，系統電圧 v_{sa}，v_{sb}，v_{sc} を dq 変換した v_{sd}，v_{sq} に，高周波成分を除去するためのローパスフィルタ処理を施すことにより，インバータの出力電圧目標値 v_d^*，v_q^* の演算に用いる系統電圧の基本波成分 v_{sd}^*，v_{sq}^* を求めている。ここで，v_{sa}，v_{sb}，v_{sc} が(3.1)式の v_a，v_b，v_c と等しいとすると，これを dq 変換した v_{sd}，v_{sq} は，次のように表される。

$$\begin{bmatrix} v_{sd} \\ v_{sq} \end{bmatrix} = V_p \begin{bmatrix} 1 \\ 0 \end{bmatrix} + V_n \begin{bmatrix} \cos(2\omega t + \varphi_{vn}) \\ -\sin(2\omega t + \varphi_{vn}) \end{bmatrix} \quad \cdots\cdots (3.33)$$

(3.33)式の第一項に表れる正相成分は，直流となるため，ローパスフィルタ処理を行っても正確に検出される。しかし，第二項に表れる逆相成分は，基本波の 2 倍の周波数で振動するため，ローパスフィルタ処理を行うと誤差が生じる。したがって，系統電圧が不平衡な場合，v_{sd}^*，v_{sq}^* を正確に検出することができなくなる。

図 3.4～図 3.6 に示した回路と制御ブロックを用いたインバータの応答について，実測例を示す。試験回路と制御系には，後述する表 3.1，表 3.2 に示す定数を用いた。インバータが 1.5kW を出力していた時に，b-c 相の二相短絡事故を模擬した電圧を，電源 v_{infa}，v_{infb}，v_{infc} より 300msec の間発生させた。

測定した系統電圧 v_{sa}，v_{sb}，v_{sc} とインバータの出力電流 i_a，i_b，i_c を，図 3.7 に示す。事故開始の

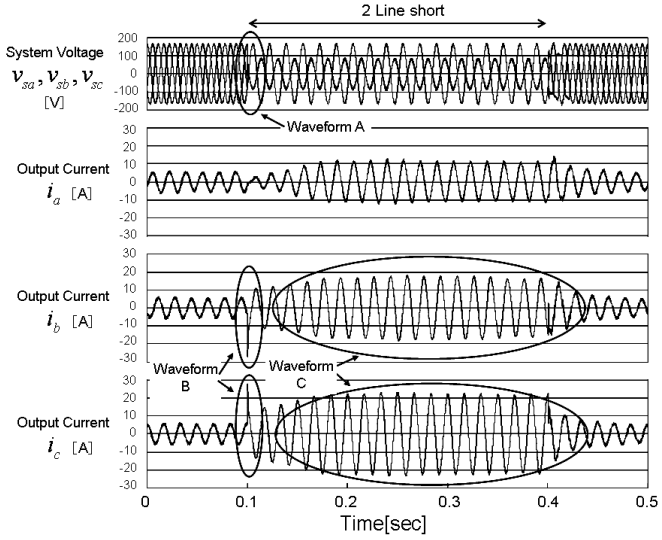


図 3.7　分散形電源用インバータ（ベースモデル）の二相短絡事故への応答

タイミングにある Waveform A では，b 相と c 相の電圧 v_{sb}，v_{sc} が急変する。そして，Waveform C では b 相と c 相の電流 i_b，i_c が，不平衡な状態で大幅に増加した。以下では，この現象を逆相過電流と呼ぶことにする。この測定では，インバータが過電流で脱落しないように，出力を定格の 4 割程度に抑えて行ったが，出力を上げておれば，過電流検出レベルに達し，インバータが脱落する原因となりうる。

3.5.3 逆相過電流への対応

系統電圧に大幅な不平衡が生じた際には，前述のように，系統電圧の検出誤差により，電力変換器の出力に逆相過電流が発生する場合がある。これに対し，系統電圧の検出値として以下のように求める v_{sd}^*，v_{sq}^*を用いて，逆相過電流の抑制を試みる。

制御にあたっては，図 3.6(a)の制御ブロックにより系統電圧 v_{sa}，v_{sb}，v_{sc} から分離された正相成分と逆相成分を用いる。次式のように，正相成分 $v_{p\alpha}$，$v_{p\beta}$ に対しては通常の dq 変換を行い，さらに時定数 T のローパスフィルタにより高調波分を除去した v_{pd}，v_{pq} を，系統電圧検出値の正相成分とする。ただし，記号"$\mathcal{L}$"はラプラス変換を表す。

$$\begin{bmatrix} v_{pd} \\ v_{pq} \end{bmatrix} = \mathcal{L}^{-1}\left\{ \frac{1}{1+sT} \mathcal{L}\left(\begin{bmatrix} \cos\omega t & \sin\omega t \\ -\sin\omega t & \cos\omega t \end{bmatrix} \begin{bmatrix} v_{p\alpha} \\ v_{p\beta} \end{bmatrix} \right) \right\} \quad \cdots\cdots (3.34)$$

(3.31)式に示す $v_{p\alpha}$，$v_{p\beta}$ を用いると，(3.34)式は次のように整理される。

$$\begin{bmatrix} v_{pd} \\ v_{pq} \end{bmatrix} = \mathcal{L}^{-1}\left\{ \frac{1}{1+sT} \mathcal{L}\left(V_p \begin{bmatrix} 1 \\ 0 \end{bmatrix} \right) \right\} \quad \cdots\cdots (3.35)$$

このように，正相成分 v_{pd}，v_{pq} は，ローパスフィルタの時定数 T にかかわらず，正確に検出することができる。

一方，逆相成分の計算にあたっては，次式に示すように，$v_{n\alpha}$，$v_{n\beta}$ を，正相成分と逆方向に回転する d'q'座標上に，一旦変換する。

$$\begin{bmatrix} v_{nd}' \\ v_{nq}' \end{bmatrix} = \mathcal{L}^{-1}\left\{ \frac{1}{1+sT} \mathcal{L}\left(\begin{bmatrix} \cos\omega t & -\sin\omega t \\ \sin\omega t & \cos\omega t \end{bmatrix} \begin{bmatrix} v_{n\alpha} \\ v_{n\beta} \end{bmatrix} \right) \right\} \quad \cdots\cdots (3.36)$$

(3.32)に示す $v_{n\alpha}$，$v_{n\beta}$ を用いると，(3.36)式は，次のように整理される。

$$\begin{bmatrix} v_{nd}' \\ v_{nq}' \end{bmatrix} = \mathcal{L}^{-1}\left\{ \frac{1}{1+sT} \mathcal{L}\left(V_n \begin{bmatrix} \cos\varphi_{vn} \\ -\sin\varphi_{vn} \end{bmatrix} \right) \right\} \quad \cdots\cdots (3.37)$$

このように，d'q'座標上では逆相成分 v_{nd}'，v_{nq}'は直流となるため，ローパスフィルタ処理を行っても正確に検出される。次に，v_{nd}'，v_{nq}'を正相成分と順方向に 2 倍の角周波数で回転させることにより，dq 座標上の逆相成分 v_{nd}，v_{nq} を得る。

$$\begin{bmatrix} v_{nd} \\ v_{nq} \end{bmatrix} = \begin{bmatrix} \cos 2\omega t & \sin 2\omega t \\ -\sin 2\omega t & \cos 2\omega t \end{bmatrix} \begin{bmatrix} v_{nd}' \\ v_{nq}' \end{bmatrix} \quad \cdots\cdots (3.38)$$

そして，次式のように，これらの和より得られる v_{sd}^*，v_{sq}^*を，系統電圧の検出値として用いる。

$$\begin{bmatrix} v_{sd}^* \\ v_{sq}^* \end{bmatrix} = \begin{bmatrix} v_{pd} \\ v_{pq} \end{bmatrix} + \begin{bmatrix} v_{nd} \\ v_{nq} \end{bmatrix} \quad \cdots\cdots (3.39)$$

さらに，この方法では，ローパスフィルタは AC 側の高調波を除去するだけでよいので，時定数を大きく設定する必要が無い。このため，逆相成分を正確に検出できるだけではなく，系統電圧を高速に検出できるメリットもある。

3.5.4　系統事故時の電流制御に関する原理実証試験

試験回路は，図 3.4 に示した通りであり，電源 v_{infa}，v_{infb}，v_{infc}，電源側インピーダンスを模擬するためのリアクトル L_s，抵抗負荷 R_s，三相フルブリッジインバータと昇圧チョッパ，そして DC 電源を組み合わせて構成する。インバータは, PWM により制御され, スイッチング周波数は 6kHz である。電源 v_{infa}，v_{infb}，v_{infc} には，指定した時刻に電圧を急変させることができる試験用電源装置を用いている。

表 3.1　回路定数

Rated Voltage	V_{AC}	3φ AC200V
Rated Active Power	P	4kW
Line angular frequency	ω_0	2π×60 rad/s
Line Inductance	L_s	0.47mH (1.8%)
Load Resistance	R_s	10Ω (4kW)
Filter Capacitance	C_f	30μF
Filter Inductance	L_f	1.6mH (6%)
DC Capacitance	C	3000μF
Rated Capacitor Voltage	V_C^*	365V

表 3.2　制御定数

PI-1：	Proportional gain	K_{Cp}	0.4
PI-1：	Integral gain	K_{Ci}	7.4
PI-2：	Proportional gain	K_p	9.6
PI-2：	Integral gain	K_i	290
LPF：	Time constant	T	1.3ms

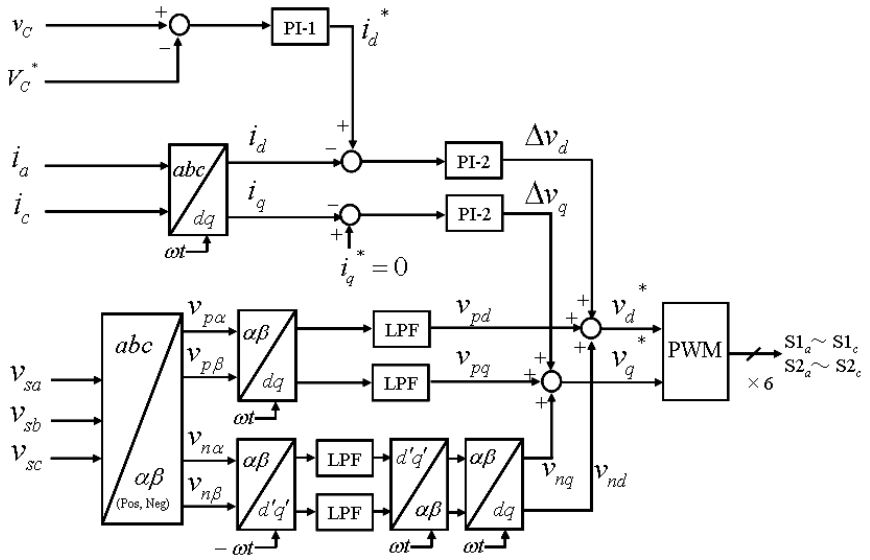


図 3.8　制御ブロック図（改良モデル）

表 3.1 に，回路定数を示す。インバータの定格出力は，4kW である。抵抗負荷 R_s は，電源 v_{infa}，v_{infb}，v_{infc} が有効電力をほとんど吸収できない仕様であるため，インバータの出力を消費するよう設けたものである。抵抗値は，定格出力に相当する 10Ω とした。連系リアクトル L_f と，電源側インピーダンスを模擬したリアクトル L_s のリアクタンスは，定格出力に対して，それぞれ 6%，1.8%とする。フィルタコンデンサ C_f と，連系リアクトル L_f との組み合わせによるカットオフ周波数は，726Hz となる。DC コンデンサ C の容量は，チョッパの出力電流に生じるリプルを許容できるよう選定する。

改良モデルの制御ブロック図と制御定数を，図 3.8 と表 3.2 に示す。v_{sa}，v_{sb}，v_{sc} から v_{pa}，$v_{p\beta}$，v_{na}，$v_{n\beta}$ への変換には，(3.29)式～(3.32)式に示した手法を用いている。

以上に示した試験装置を用いて，改良モデルの応答を検証した。試験結果を，図 3.9 に示す。インバータが定格の 4kW を出力しているところに，図 3.7 に示したベースモデルを用いた測定と同様に，b-c 相の二相短絡事故を模擬した電圧を，電源 v_{infa}，v_{infb}，v_{infc} より 300msec の間発生させた。

図 3.9 の Waveform F では，図 3.7 の Waveform C で見られたような，電流増加は発生していない。このように，改良モデルのインバータは，不平衡な系統電圧に対しても，ほぼ三相平衡な電流を出力できており，逆相過電流を抑制するための制御は良好に動作したと考えられる。

なお，図 3.10(a)は，図 3.9 の Waveform E を拡大した波形であるが，図 3.10(b)（図 3.7 の Waveform B）に見られるスパイク状の過電流は発生していない。これは，図 3.11 に示した，パルスバイパルスと呼ばれる手法を導入したためである。この手法では，出力電流 i_a，i_b，i_c のいずれかが過電流保護レベル I_{oc}^* を上回れば，過電流信号 OC が H レベルとなり，インバータのスイッチング素子は上下アームともオフし，ゲートブロック状態となる。ここで，信号 OC は RS-FF でラッチされているため，ゲートブロック状態は，次に三角波 TRI がピーク値となり，信号 Rst が H レベルになって RS-FF がリセットされるまで継続し，この間に出力電流 i_a，i_b，i_c は抑制される。

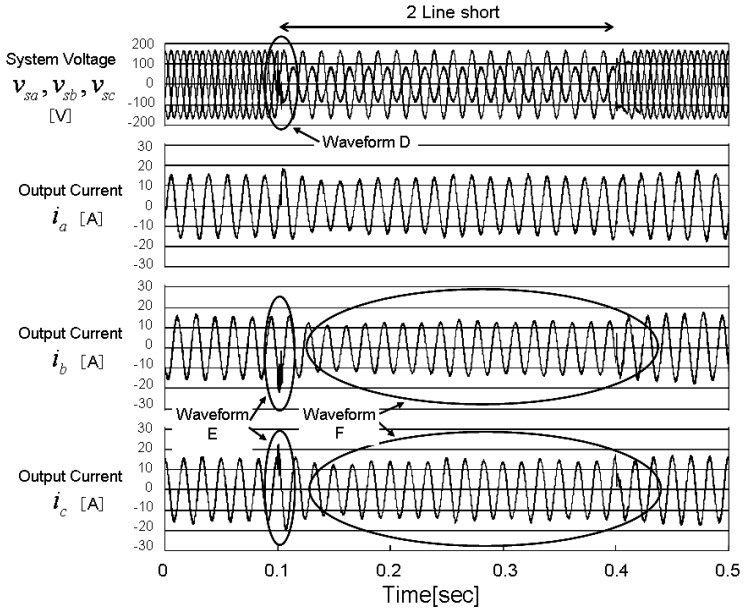
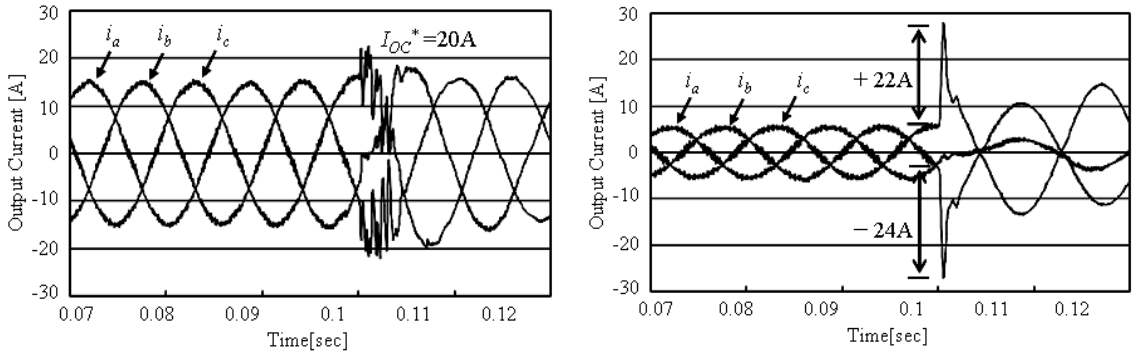
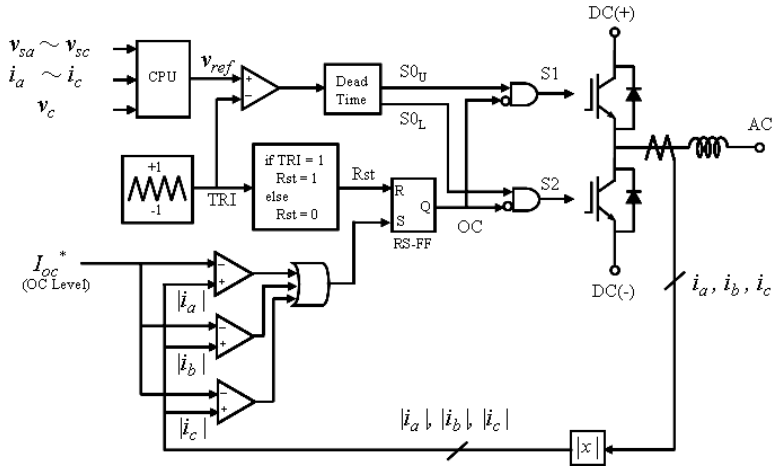


図 3.9　分散形電源用インバータ（改良モデル）の二相短絡事故への応答

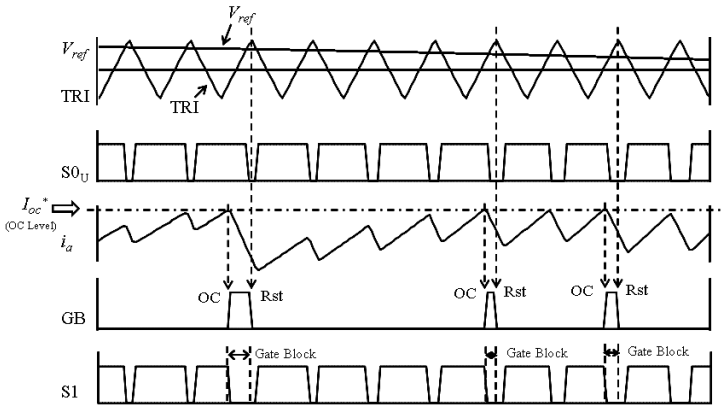


(a) 改良モデル　　(b) ベースモデル（図 3.7 の Waveform B）

図 3.10　事故直後の出力電流波形



(a)制御ブロック図



(b)動作パターン

図 3.11　パルスバイパルスによる過電流抑制方法

3.6　結言

本章では，CLMC の三相電力系統への適用を目的とし，系統電圧や電力変換器の出力電流に不平衡が存在する場合にも，三相出力を制御するための基本的な手法を示した。

まず，電力系統の不平衡が電力変換器の出力に及ぼす影響について述べた。電力系統に不平衡

が存在する場合には，電力変換器の特定の相に出力が偏り，機器容量を有効に利用できない可能性があることを示した。

次に，零相電圧制御により，電力変換器の三相出力を任意の比率で制御する理論を示した。三相電力系統に連系する電力変換器では,出力電圧の零相成分は出力電流に影響を及ぼさないため,その設定に自由度が発生する。この自由度を利用して，三相出力を制御できることを示した。

また，DC 電圧の制限により零相電圧制御が適用できない場合の対策として，出力電流の逆相成分を制御することによっても，電力変換器の三相出力を等しく制御する理論を示した。

ただし，零相電圧制御では DC 電圧による適用限界が，逆相電流制御では出力できる電流に制約が生じることも示した。

そして，これらの理論の実現に不可欠な技術として，系統事故などにより大幅な不平衡が生じた場合にも，電力変換器の出力電流を目標値通りに制御するための手法を検討した。この手法では，系統電圧を正相成分と逆相成分に分離して精度よく検出することにより，逆相過電流を抑制することを可能とした。

参考文献

[1]「瞬時電圧低下対策」，電気協同研究，第 46 巻第 3 号，p. 17（2002）

[2] M.H.J.Bollen：”Voltage Recovery after Unbalanced and Balanced Voltage Dips in Three-Phase System”， IEEE Transactions on Power Delivery，Vol.18，No.4，pp. 1376-1381，October (2003).

[3] 高崎昌洋，宜保直樹，竹中清，林敏之，小西博雄，田中誠二，伊東英俊：「自励式直流送電システムにおける系統事故時の制御保護方式」，電気学会論文誌 B，Vol.118-B，No.12，pp.1363-1373（1998）

[4] T.Fujii，S.Funahashi，N.Morishima，M.Azuma，H.Teramoto，N.Iio，H.Yonezawa，D.Takayama，Y.Shinki：”A ±80MVA GCT STATCOM for the Kanzaki Substation”，The 2005 International Power Electronics Conference，S37-1（2005）

[5] 萩原誠，和田圭二，藤田英明，赤木泰文：「線間 21 レベル自励式 BTB システムの一線地絡時における過渡特性」，電気学会論文誌 D，Vol.126-D，No.3，pp.352-359（2006）

[6] 羽田野伸彦:「三相トランスレスＤＶＲの一制御手法」,電気学会論文誌 D, Vol.128-D, No.9, pp.1065-1074（2008）

[7] N.Hatano，T.Ise：”A configuration and control method of cascade H-bridge STATCOM”, IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551，July（2008）

[8] 羽田野伸彦，谷口雄二，胡内勝彦：「瞬時電圧低下時における分散形電源用インバータの制御手法」，電気学会論文誌 D，Vol.128-D，No.1，pp.71-82（2008）

[9]「半導体電力変換回路」,電気学会 半導体電力変換方式調査専門委員会, pp.129-133（1987）

[10] R.E.Betz，T.J.Summers：”Using a Cascaded H-Bridge STATCOM for Rebalancing Unbalanced Voltages”，The 7th International Conference on Power Electronics，THE3-2（2007）

[11]「パワーエレクトロニクス回路」，電気学会 半導体電力変換システム調査専門委員会，pp.80-82（2000）

[12] B.Blazic，I.Papic：”Improved D-Statcom Control for Operation With Unbalanced Currents and Voltages”，IEEE Transactions on Power Delivery，Vol. 21，No.1，pp. 225-233（2006）

第 4 章　チェーンリンク形マルチレベル変換器を用いた直列形瞬時電圧低下補償装置（DVR）

4.1　緒言

電力系統における瞬低（瞬時電圧低下）とは，系統事故が発生した場合に，それを検出し，しゃ断器で除去するまでの間に，負荷供給電圧が低下する現象である。ごく短時間の電圧低下であるが，生産ラインや情報機器などに深刻な被害を及ぼす[1]。

瞬低を補償するにあたっては，停電対策のように大きなエネルギーが必要ないことから，専用の対策装置として，コンデンサをエネルギー源とした DVR（Dynamic Voltage Restorer）が実用化されている[2]-[5]。DVR は，電源と負荷の間に直列に接続され，電源電圧の低下を補償する装置であり，インバータには昇圧用変圧器や高調波フィルタが用いられている。

一方, チェーンリンク形マルチレベル変換器 (Chain Link type Multilevel Converter : CLMC) は，セル（単位変換器）を交流側で直列に接続して構成するため，高電圧の出力が容易である。また, マルチレベル化により高調波を低減できるというメリットを併せ持つ[6]-[8]。このように，CLMC によるインバータシステムでは, 昇圧用変圧器や高調波フィルタを省略することが容易になり，特に高電圧・大容量システムにおいて，従来装置と比べて大幅なコンパクト化・低コスト化が期待できる。

ところが，CLMC を用いたトランスレス DVR を三相系統に適用する場合，DC 電源をセルごとに分離して設置することになる。したがって，三相の出力が均等でない場合には，大きな補償エネルギーを出力する相のコンデンサ充電電圧がいち早く低下し，他相に充電エネルギーの余裕を残したまま, 十分な波高値の補償電圧を出力できなくなる。三相系統において, 瞬低の原因は, 一相または二相の系統事故が約 8 割と大半を占める[1]。このため，三相トランスレス DVR は, DC 電源の利用率の良くない装置となる可能性がある。

以下本章では，CLMC を三相トランスレス DVR に適用するための技術を確立することを目的に，補償電圧に不平衡が存在する場合にも，三相等しく補償エネルギーを出力するための制御手法について検討する。

4.2 節では，2 進ハイブリッド CLMC を用いた DVR の基本構成を示す。次に零相電圧制御により，DVR の三相出力を制御できることを示す。

4.3 節では，400V-100kVA 級の試験装置により，原理実証した結果を示す[9]。

4.4 節では，3 直列-2 進ハイブリッド CLMC を用いた，6.6kV-1MVA トランスレス DVR の試設計を行う。この際には，零相電圧制御の瞬時値領域への拡張を試みる[10]。

4.5 節では，本章の検討結果をまとめる。

4.2　DVR への適用

4.2.1　基本構成

CLMC を用いたトランスレス DVR の回路構成を図 4.1 に示す。装置は, ハイブリッド CLMC, 補償エネルギー源である DC コンデンサ，高速しゃ断器（High Speed Switch：HSS）から構成される。通常時は，HSS を通じて負荷に電力供給する。この際，系統電圧を監視し，あらかじめ基準電圧を定めておく。瞬低時には HSS を開極し，基準電圧と系統電圧の差分を補償電圧として出力する。

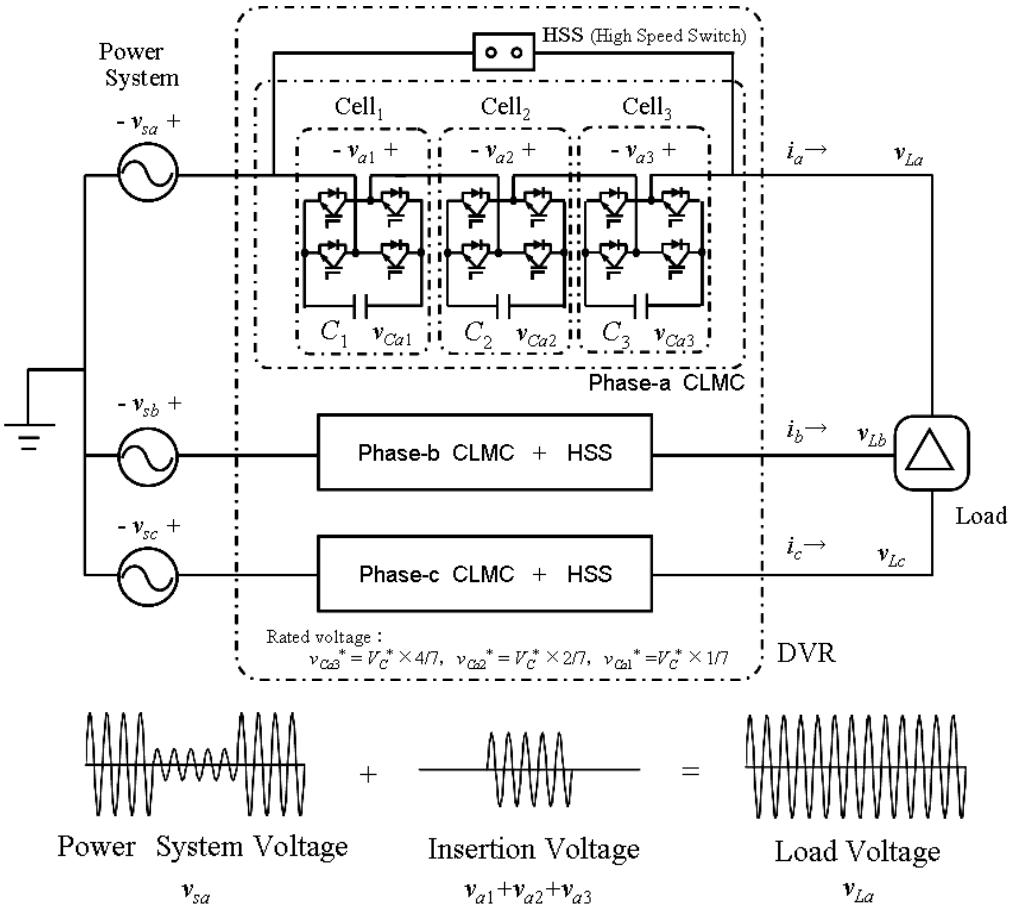
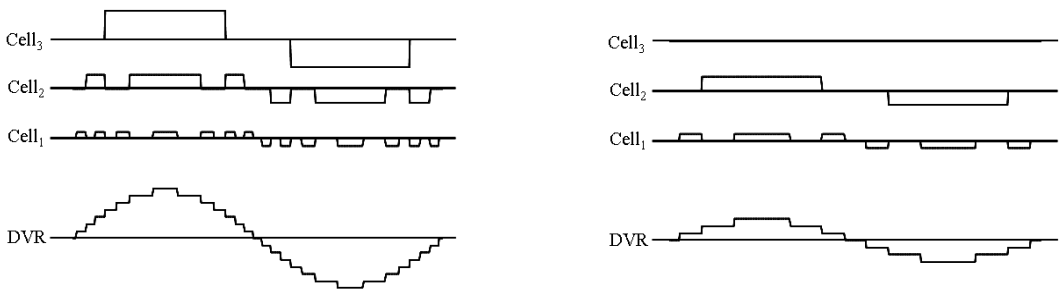


図 4.1　ハイブリッド CLMC を用いた DVR の回路構成と瞬低補償の原理



(a)出力電圧 0.95pu　　(b)出力電圧 0.4pu

図 4.2　各セルの動作タイミング

装置の特徴である 2 進ハイブリッド CLMC は，DC 電圧 v_{C1}，v_{C2}，v_{C3} が 2 倍ずつの関係にある 3 台のセル $Cell_1$，$Cell_2$，$Cell_3$ を直列に接続して構成される。図 4.1 には，半導体スイッチとして IGBT（Insulated Gate Bipolar Transistor）を用いているが，GTO（Gate Turn-off Thyristor）や GCT（Gate Commutated Thyristor）などを用いることも可能である。

このような構成により，DVR は，図 4.2(a)に示す 15 レベルの交流電圧を出力できる。なお，図 4.2(a)では $Cell_1$，$Cell_2$，$Cell_3$ を全て動作させているが，瞬低補償にあたっては，図 4.2(b)のように，電圧低下量に応じて必要なセルを動作させる。

4.2.2 零相電圧による三相出力制御の適用

ここでは，三相系統おける零相電圧設定の自由度[11]を活用し，いずれかの相に設置されたコンデンサの充電エネルギーを，他相に回生できることを示す。

図 4.3 のモデルにおいて，変圧器一次側電圧 v_t は，基準電圧 v_{inf} と事故点の電圧 v_f が，系統インピーダンス αZ，$(1-\alpha)Z$ の比により分圧されたものとする。連系点の系統電圧 v_s は，非接地の変圧器を介することにより，v_t から零相成分が除去されたものとなる。

ここで，基準電圧 v_{inf} と負荷電流 i の，a 相，b 相，c 相の成分は，(4.1)式と(4.2)式で表されるものとする。ただし，太字はフェーザ表示である。また，単位は pu 値としている。$\mathbf{e}^{j\phi}$ は，基準電圧と位相差 ϕ で，振幅 1pu のフェーザを表す。

$$\left.\begin{aligned}\mathbf{v}_{infa} &= \mathbf{e}^{j0}\\ \mathbf{v}_{infb} &= \mathbf{e}^{-j\frac{2\pi}{3}}\\ \mathbf{v}_{infc} &= \mathbf{e}^{+j\frac{2\pi}{3}}\end{aligned}\right\} \quad \cdots\cdots (4.1)$$

$$\left.\begin{aligned}\mathbf{i}_a &= \mathbf{e}^{j\phi}\\ \mathbf{i}_b &= \mathbf{e}^{j\left(\phi-\frac{2\pi}{3}\right)}\\ \mathbf{i}_c &= \mathbf{e}^{j\left(\phi+\frac{2\pi}{3}\right)}\end{aligned}\right\} \quad \cdots\cdots (4.2)$$

このモデルにおいて，二相短絡（2LS），一相地絡（1LG）および二相地絡（2LG）による瞬低が発生した場合の系統電圧 v_s を，(4.3)式，(4.4)式，(4.5)式に示す。

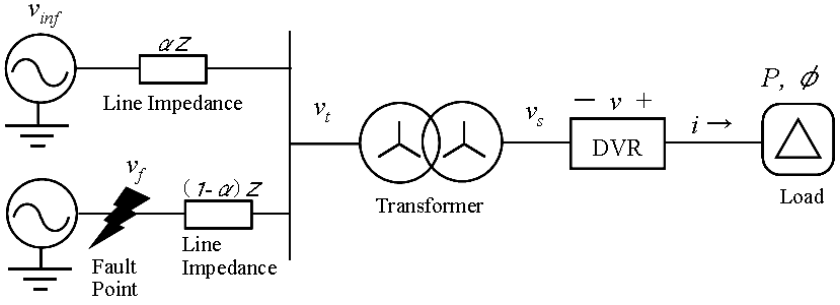


図 4.3　系統モデル（単線結線図）

$$\left.\begin{aligned}\mathbf{v}_{sa_2LS} &= \mathbf{e}^{j0} \\ \mathbf{v}_{sb_2LS} &= \mathbf{e}^{-j\frac{2\pi}{3}} - \frac{\sqrt{3}\alpha}{2}\mathbf{e}^{-j\frac{\pi}{2}} \\ \mathbf{v}_{sc_2LS} &= \mathbf{e}^{+j\frac{2\pi}{3}} - \frac{\sqrt{3}\alpha}{2}\mathbf{e}^{+j\frac{\pi}{2}}\end{aligned}\right\} \quad \cdots\cdots (4.3)$$

$$\left.\begin{aligned}\mathbf{v}_{sa_1LG} &= \mathbf{e}^{j0} - \frac{2\alpha}{3}\mathbf{e}^{j0} \\ \mathbf{v}_{sb_1LG} &= \mathbf{e}^{-j\frac{2\pi}{3}} - \frac{\alpha}{3}\mathbf{e}^{j\pi} \\ \mathbf{v}_{sc_1LG} &= \mathbf{e}^{+j\frac{2\pi}{3}} - \frac{\alpha}{3}\mathbf{e}^{j\pi}\end{aligned}\right\} \quad \cdots\cdots (4.4)$$

$$\left.\begin{aligned}\mathbf{v}_{sa_2LG} &= \mathbf{e}^{j0} - \frac{\alpha}{3}\mathbf{e}^{j0} \\ \mathbf{v}_{sb_2LG} &= \mathbf{e}^{-j\frac{2\pi}{3}} - \frac{\sqrt{3}\alpha}{2}\mathbf{e}^{-j\frac{\pi}{2}} - \frac{\alpha}{6}\mathbf{e}^{j\pi} \\ \mathbf{v}_{sc_2LG} &= \mathbf{e}^{+j\frac{2\pi}{3}} - \frac{\sqrt{3}\alpha}{2}\mathbf{e}^{+j\frac{\pi}{2}} - \frac{\alpha}{6}\mathbf{e}^{j\pi}\end{aligned}\right\} \quad \cdots\cdots (4.5)$$

DVR は，補償電圧の正相成分と逆相成分の和 v_a，v_b，v_c，基準電圧 v_{infa}，v_{infb}，v_{infc}，および系統電圧 v_{sa}，v_{sb}，v_{sc} の間に，次の関係を満たすよう動作するものとする。

$$\left.\begin{aligned}\mathbf{v}_a &= \mathbf{v}_{infa} - \mathbf{v}_{sa} \\ \mathbf{v}_b &= \mathbf{v}_{infb} - \mathbf{v}_{sb} \\ \mathbf{v}_c &= \mathbf{v}_{infc} - \mathbf{v}_{sc}\end{aligned}\right\} \quad \cdots\cdots (4.6)$$

さらに，DVR は，v_a，v_b，v_c に零相電圧 v_0 を加えた補償電圧を出力するものとする。このとき，負荷に供給される相電圧 v_{La}，v_{Lb}，v_{Lc} と，線間電圧 v_{Lab}，v_{Lbc}，v_{Lca} は，(4.7)式と(4.8)式の通りとなる。相電圧には v_0 が現れるが，線間電圧は v_0 の影響を受けない。三相負荷は線間電圧で駆動されるため，補償電圧に任意の v_0 を加えても，瞬低補償は可能となる。

$$\left.\begin{aligned}\mathbf{v}_{La} &= \mathbf{v}_{sa} + (\mathbf{v}_a + \mathbf{v}_0) = \mathbf{v}_{infa} + \mathbf{v}_0 \\ \mathbf{v}_{Lb} &= \mathbf{v}_{sb} + (\mathbf{v}_b + \mathbf{v}_0) = \mathbf{v}_{infb} + \mathbf{v}_0 \\ \mathbf{v}_{Lc} &= \mathbf{v}_{sc} + (\mathbf{v}_c + \mathbf{v}_0) = \mathbf{v}_{infc} + \mathbf{v}_0\end{aligned}\right\} \quad \cdots\cdots (4.7)$$

$$\left.\begin{aligned}\mathbf{v}_{Lab} &= \mathbf{v}_{La} - \mathbf{v}_{Lb} = \mathbf{v}_{infa} - \mathbf{v}_{infb} \\ \mathbf{v}_{Lbc} &= \mathbf{v}_{Lb} - \mathbf{v}_{Lc} = \mathbf{v}_{infb} - \mathbf{v}_{infc} \\ \mathbf{v}_{Lca} &= \mathbf{v}_{Lc} - \mathbf{v}_{La} = \mathbf{v}_{infc} - \mathbf{v}_{infa}\end{aligned}\right\} \quad \cdots\cdots (4.8)$$

DVR の三相出力制御には，第 3 章で導出した(3.15)式と同様に，零相電圧に(4.9)式の v_0 を用いる[10]。ただし，演算"･"は，フェーザを複素ベクトルとして取り扱った場合の内積である。

$$\left.\begin{aligned}
\mathbf{v}_0 &= \frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)\mathbf{i}_a+\Delta P_b(\mathbf{i}_c\cdot\mathbf{i}_a)\mathbf{i}_b+\Delta P_c(\mathbf{i}_a\cdot\mathbf{i}_b)\mathbf{i}_c}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2}\\
\Delta P_a &= (\mathbf{v}_{infa}-\mathbf{v}_{sa})\cdot\mathbf{i}_a-\frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k\\
\Delta P_b &= (\mathbf{v}_{infb}-\mathbf{v}_{sb})\cdot\mathbf{i}_b-\frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k\\
\Delta P_c &= (\mathbf{v}_{infc}-\mathbf{v}_{sc})\cdot\mathbf{i}_c-\frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k
\end{aligned}\right\} \quad \cdots\cdots(4.9)$$

(4.9)式と，(4.1)式～(4.5)式を用いて計算した v_0 を，(4.10)式，(4.11)式，(4.12)式に示す。

$$\mathbf{v}_{0_2LS}=\frac{\alpha}{2}\mathbf{e}^{j2\phi} \quad \cdots\cdots(4.10)$$

$$\mathbf{v}_{0_1LG}=-\frac{\alpha}{3}\mathbf{e}^{j2\phi} \quad \cdots\cdots(4.11)$$

$$\mathbf{v}_{0_2LG}=\frac{\alpha}{3}\mathbf{e}^{j2\phi} \quad \cdots\cdots(4.12)$$

次に，これらを用いて瞬低補償を行った場合の補償電力を，(4.13)式，(4.14)式，(4.15)式に示す。いずれも，三相等しく出力されている。

$$\left.\begin{aligned}
P_{a_2LS} &= (\mathbf{v}_{infa}-\mathbf{v}_{sa_2LS}+\mathbf{v}_{0_2LS})\cdot\mathbf{i}_a=\frac{\alpha}{2}\mathbf{e}^{j2\phi}\cdot\mathbf{e}^{j\phi}=\frac{\alpha}{2}\cos\phi\\
P_{b_2LS} &= (\mathbf{v}_{infb}-\mathbf{v}_{sb_2LS}+\mathbf{v}_{0_2LS})\cdot\mathbf{i}_b=\left(\frac{\sqrt{3}\alpha}{2}\mathbf{e}^{-j\frac{\pi}{2}}+\frac{\alpha}{2}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi-\frac{2\pi}{3}\right)}=\frac{\alpha}{2}\cos\phi\\
P_{c_2LS} &= (\mathbf{v}_{infc}-\mathbf{v}_{sc_2LS}+\mathbf{v}_{0_2LS})\cdot\mathbf{i}_c=\left(\frac{\sqrt{3}\alpha}{2}\mathbf{e}^{j\frac{\pi}{2}}+\frac{\alpha}{2}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi+\frac{2\pi}{3}\right)}=\frac{\alpha}{2}\cos\phi
\end{aligned}\right\} \quad \cdots\cdots(4.13)$$

$$\left.\begin{aligned}
P_{a_1LG} &= (\mathbf{v}_{infa}-\mathbf{v}_{sa_1LG}+\mathbf{v}_{0_1LG})\cdot\mathbf{i}_a=\left(\frac{2\alpha}{3}\mathbf{e}^{j0}-\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\phi}=\frac{\alpha}{3}\cos\phi\\
P_{b_1LG} &= (\mathbf{v}_{infb}-\mathbf{v}_{sb_1LG}+\mathbf{v}_{0_1LG})\cdot\mathbf{i}_b=\left(\frac{\alpha}{3}\mathbf{e}^{j\pi}-\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi-\frac{2\pi}{3}\right)}=\frac{\alpha}{3}\cos\phi\\
P_{c_1LG} &= (\mathbf{v}_{infc}-\mathbf{v}_{sc_1LG}+\mathbf{v}_{0_1LG})\cdot\mathbf{i}_c=\left(\frac{\alpha}{3}\mathbf{e}^{j\pi}-\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi+\frac{2\pi}{3}\right)}=\frac{\alpha}{3}\cos\phi
\end{aligned}\right\} \quad .(4.14)$$

$$\left.\begin{aligned}
P_{a_2LG} &= (\mathbf{v}_{infa}-\mathbf{v}_{sa_2LG}+\mathbf{v}_{0_2LG})\cdot\mathbf{i}_a=\left(\frac{\alpha}{3}\mathbf{e}^{j0}+\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\phi}=\frac{2\alpha}{3}\cos\phi\\
P_{b_2LG} &= (\mathbf{v}_{infb}-\mathbf{v}_{sb_2LG}+\mathbf{v}_{0_2LG})\cdot\mathbf{i}_b=\left(\frac{\sqrt{3}\alpha}{2}\mathbf{e}^{-j\frac{\pi}{2}}+\frac{\alpha}{6}\mathbf{e}^{j\pi}+\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi-\frac{2\pi}{3}\right)}=\frac{2\alpha}{3}\cos\phi\\
P_{c_2LG} &= (\mathbf{v}_{infc}-\mathbf{v}_{sc_2LG}+\mathbf{v}_{0_2LG})\cdot\mathbf{i}_c=\left(\frac{\sqrt{3}\alpha}{2}\mathbf{e}^{j\frac{\pi}{2}}+\frac{\alpha}{6}\mathbf{e}^{j\pi}+\frac{\alpha}{3}\mathbf{e}^{j2\phi}\right)\cdot\mathbf{e}^{j\left(\phi+\frac{2\pi}{3}\right)}=\frac{2\alpha}{3}\cos\phi
\end{aligned}\right\}$$

$\cdots\cdots(4.15)$

4.3　零相電圧による三相出力制御に関する原理実証試験[9]

ここでは，原理実証を目的とし，簡易演算で求める零相電圧を正相成分と逆相成分からなる補償電圧に加えることにより，三相出力を制御できることを示す。

4.3.1　試験回路の構成

三相電源，4 直列-2 進ハイブリッド CLMC を用いた DVR，および誘導性負荷を用いて，図 4.4 のように試験回路を構成する。回路定数は，表 4. 1 に示す通りである。

三相電源v_{inf}の相電圧波高値V_{PK}は390Vであり，出力側に設けた瞬低発生装置（Sag Generator）により，各相個別に20%，40%，60%，80%の電圧低下を発生できる。

DVRは，Cell_1，Cell_2，Cell_3，Cell_4を直列に接続して構成する。DC電源には，予め充電されたコンデンサC_1，C_2，C_3，C_4を用いる。個々のセルのDC電圧v_{C1}，v_{C2}，v_{C3}，v_{C4}は，1:2:4:8の比率を基準とする。それらの初期値v_{C1}^*，v_{C2}^*，v_{C3}^*，v_{C4}^*は，CLMCが出力できる最大電圧が電源の波高値V_{PK}の約1割増しとなるよう，28V，56V，112V，224Vとする。これにより，DVRは，1レベルが28Vで31レベルの近似正弦波を出力できる。C_1，C_2，C_3，C_4の容量は，初期充電状態から定格電圧478Vと定格電流100Aを0.2秒間出力したときに，充電電圧の低下が10%程度となるよう，0.75F，1.5F，3.0F，6.0Fとする。なお，0.2秒は瞬低発生総数の8割程度に対応できるよう[1]，また，コンデンサ容量は後述する(4.16)式～(4.20)式を用いて定めたものである。

また，直列に接続された2.0Ωの抵抗と2.7mHのリアクトルをY結線し，定格100kVA，力率0.9の試験用負荷を構成する。

制御系の構成は，第2章の図2.10に示したものと，ほぼ同様である。

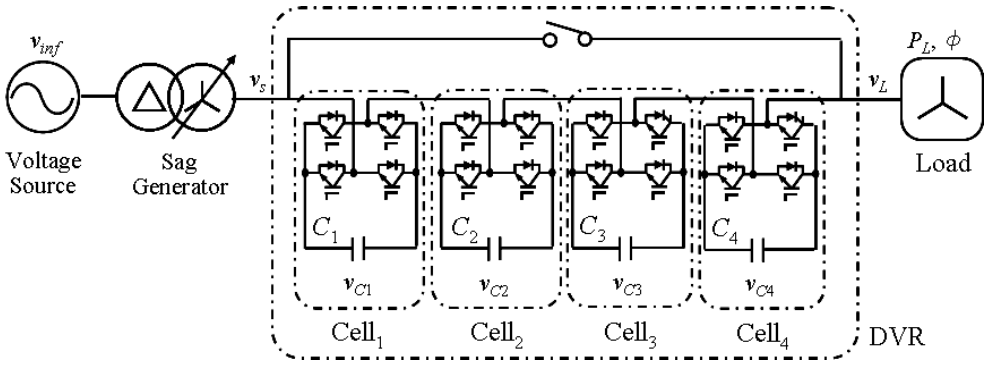


図 4.4　試験回路の単線結線図

表 4.1　回路定数

Voltage Source	v_{inf}	3ϕ AC478V, 60Hz	Capacitance, Initial Voltage	C_4, v_{C4}^*	0.75F, 224V
Peak Line Voltage	V_{PK}	390V		C_3, v_{C3}^*	1.5F, 112V
Rated Power	P	100kVA		C_2, v_{C2}^*	3.0F, 56V
Load (100kW, pf 0.9)	R	2.0Ω		C_1, v_{C1}^*	6.0F, 28V
	L	2.7mH			

4.3.2　制御手法

三相均等な補償エネルギーの出力を実現するにあたり，各セルの DC 電圧を常時監視し，それらで a 相，b 相，c 相の基準電圧を重み付けして，零相電圧 v_0 を合成する方法を試みる。

まず，零相電圧 v_0 と DC 電圧の関係を，単純な形で定式化する。図 4.4 に示した DVR が瞬低補償を行った際には，コンデンサの充電エネルギーと出力した補償エネルギーの間に，(4.16)式の関係が成り立つ。v_{Ckj} は，k 相の Cell_j（k=a,b,c，j=1,2,3,4）の DC 電圧，C_1，C_2，C_3，C_4 はコンデンサの容量を表す。右辺は，期間[t，t+T_e]において DVR の k 相（k=a,b,c）が出力した補償エネルギーであり，基準電圧 v_{infk}，系統電圧 v_{sk}，零相電圧 v_0，および負荷電流 i_k より定まる。

$$\sum_{j=1}^{4}\frac{1}{2}C_j\left[v_{Ckj}(t)^2-v_{Ckj}(t+T_e)^2\right]=\left[\left(\mathbf{v}_{infk}-\mathbf{v}_{sk}+\mathbf{v}_0\right)\cdot\mathbf{i}_k\right]\times T_e \quad \cdots\cdots(4.16)$$

ここで，個々のセルの DC 電圧の比は 1:2:4:8 に維持できているとし，時刻 t における CLMC のコンデンサの充電エネルギーを，次のように近似する。

$$\sum_{j=1}^{4}\frac{1}{2}C_j\cdot v_{Ckj}(t)^2=\sum_{j=1}^{4}\frac{1}{2}C_j\cdot\left(\frac{2^{j-1}}{15}\sum_{n=1}^{4}v_{Ckn}(t)\right)^2=\sum_{j=1}^{4}\frac{1}{2}\frac{2^{2j-2}}{15^2}C_j\cdot\left(\sum_{n=1}^{4}v_{Ckn}(t)\right)^2=\frac{1}{2}C\cdot v_{Ck}(t)^2 \quad \cdots(4.17)$$

ただし，v_{Ck} と C は，等価的な DC 電圧とコンデンサ容量として，次のように定義する。

$$v_{Ck}(t)=\sum_{n=1}^{4}v_{Ckn}(t) \quad \cdots\cdots(4.18)$$

$$C=\sum_{j=1}^{4}\frac{2^{2j-2}}{15^2}C_j \quad \cdots\cdots(4.19)$$

(4.16)式～(4.19)式より，零相電圧 v_0 と DC 電圧 v_{Ck} との間に，次の単純な関係が得られる。

$$\frac{1}{2}C\cdot v_{Ck}(t)^2-\frac{1}{2}C\cdot v_{Ck}(t+T_e)^2=\left[\left(\mathbf{v}_{infk}-\mathbf{v}_{sk}+\mathbf{v}_0\right)\cdot\mathbf{i}_k\right]\times T_e \quad \cdots\cdots(4.20)$$

次に，v_0 の微小変化と v_{Ck} の変化の関係から，本試験で用いる v_0 の合成方法を導出する。まず，v_0 の微小変化 $\Delta v_{0k}(t)\cdot\mathbf{v}_{infk}$ と，DC 電圧の変化 $\Delta v_{Ck}(t+T_e)$ との関係を，次のように近似する。

$$\frac{1}{2}C\cdot v_{Ck}(t+T_e)^2-\frac{1}{2}C\cdot\left[v_{Ck}(t+T_e)-\Delta v_{Ck}(t+T_e)\right]^2=\Delta v_{0k}(t)\cdot\left(\mathbf{v}_{infk}\cdot\mathbf{i}_k\right)\cdot T_e \quad \cdots\cdots(4.21)$$

さらに，$\Delta v_{Ck}(t+T_e)$ を時刻 t において存在した k 相の DC 電圧 v_{Ck} の平均値との誤差と考え，それを時間 T_e で補正するための成分として，$\Delta v_{0k}(t)$ を次式のように近似する。なお，T_e は十分小さく，$\Delta v_{Ck}(t+T_e)$ の二乗の項を無視し，また，$v_{Ck}(t+T_e)$ は $v_{Ck}(t)$ と等しいと近似した。

$$\Delta v_{0k}(t)=\frac{C}{\left(\mathbf{v}_{infk}\cdot\mathbf{i}_k\right)\cdot T_e}v_{Ck}(t+T_e)\cdot\Delta v_{Ck}(t+T_e)=\frac{C}{\left(\mathbf{v}_{infk}\cdot\mathbf{i}_k\right)\cdot T_e}v_{Ck}(t)\cdot\left(v_{Ck}(t)-\frac{1}{3}\sum_{j=a,b,c}v_{Cj}(t)\right) \quad (4.22)$$

ここで，$v_{Ck}(t)$の変動を平滑化するため，$\Delta v_{0k}(t)$に時定数 T_fのローパスフィルタ処理を施し，零相電圧の k 相成分 $v_{0k}(t)$を次式のように表す。記号"$\mathcal{L}$"はラプラス変換を表す。

$$v_{0k}(t)=\mathcal{L}^{-1}\left\{\frac{1}{1+sT_f}\mathcal{L}\{\Delta v_{0k}(t)\}\right\} \quad \cdots\cdots(4.23)$$

そして，(4.22)式と(4.23)式を用い，v_0 を次のように合成する。

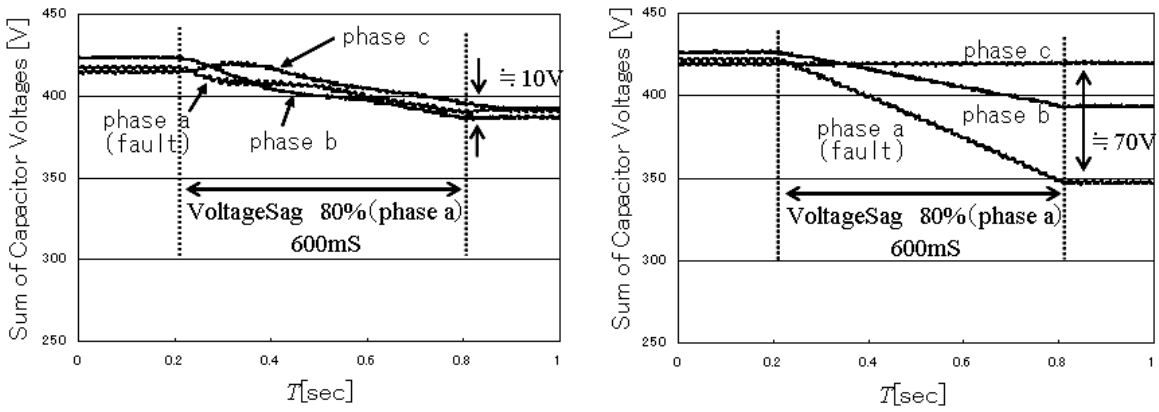
$$\mathbf{v}_0(t)=\sum_{k=a,b,c}\mathcal{L}^{-1}\left\{\frac{1}{1+sT_f}\mathcal{L}\left\{\frac{C}{(\mathbf{v}_{infk}\cdot\mathbf{i}_k)\cdot T_e}\cdot v_{Ck}(t)\cdot\left(v_{Ck}(t)-\frac{1}{3}\sum_{j=a,b,c}v_{Cj}(t)\right)\right\}\right\}\cdot\mathbf{v}_{infk} \quad \cdots\cdots(4.24)$$

本試験においては，(4.24)式の簡易演算により得られる v_0 を，(4.6)式の正相成分と逆相成分の和に加えた補償電圧を出力するよう，DVR を制御する。なお，定数 T_e および T_fは，いずれも，小さく設定すれば平滑化効果が薄れ，大きく設定すると誤差補正効果が薄れる。これらの兼ね合いから，T_e は 80msec，T_fは 16.6msec に設定する。

4.3.3　試験結果

一相(a 相)80%の電圧低下を補償した場合の，試験結果を示す。図 4.5(a)は，(4.24)式の v_0 を用いて制御した，DC 電圧の時間変化である。図 4.5(b)は，比較のため，正相成分と逆相成分のみを補償した結果である。縦軸は，CLMC ごとのセルの DC 電圧の合計である。瞬低開始時刻は 0.2sec，継続時間は 0.6sec である。

図 4.5(a)では, 瞬低補償が終了した時点で, 最大および最小の DC 電圧の差は 10V 程度であり, いずれも 380V を上回っている。一方，図 4.5(b)では，その差は 70V 程度に広がり，最小の DC 電圧は 350V を下回っている。すなわち，DC 電圧を三相等しく保つという点で，零相電圧制御は良好に動作している。なお, 図 4.5(a)でも各相の CLMC の DC 電圧が完全には一致していないが，この理由は，v_0 が DC 電圧の平均値との誤差に比例するよう算出されるためである。



(a)零相電圧による三相出力制御　　(b)正相成分と逆相成分のみの制御

図 4.5　一相 80%の電圧低下補償時の DC 電圧

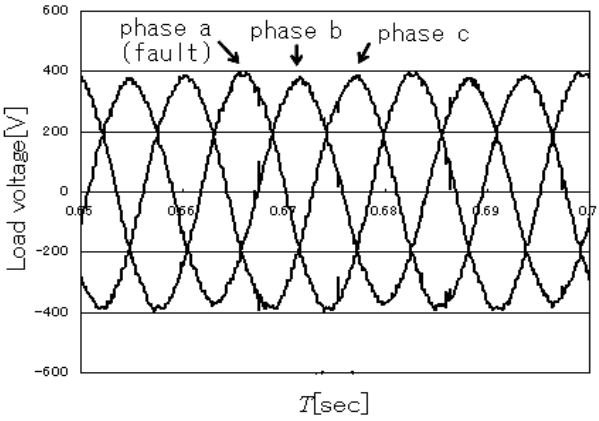


図 4.6　負荷供給電圧(1LG 80%，零相電圧制御あり)

瞬低補償中の負荷供給電圧は，図 4.6 に示す通りである。三相の波高値に，多少の不平衡が見られる。しかし，フーリエ解析により確認したところ，負荷供給電圧の基本波成分は，基準電圧 390V に対して，三相とも誤差が±5%(19.5V)以内，THD（Total Harmonic Distortion）は 3%以内であり，実用上十分な負荷供給電圧の品質で瞬低補償を行えることを確認できた。

4.4　6.6kV トランスレス DVR の試設計

前節までの検討を踏まえ, 2 進ハイブリッド CLMC を用いた, 6.6kV-1MVA トランスレス DVR の試設計を行う。初めに回路構成を示す。次に，(4.9)式に示した零相電圧制御を瞬時値領域に拡張し, DVR の制御部に組み込むことを試みる[10]。そして, EMTP（Electro Magnetic Transients Program）を用いたディジタルシミュレーションにより検証する。

4.4.1　回路設計

図 4.1 の回路モデルにおいて, 3 台のセル $Cell_1$, $Cell_2$, $Cell_3$ の半導体スイッチには, 1.7kV-IGBT, 3.3kV-IGBT, 6.5kV-IGBT を用いる。そして, DC 電圧の上限を半導体スイッチの定格電圧の 60%とし，コンデンサ C_1，C_2，C_3 の初期充電電圧を 975V，1950V，3900V とする。その結果，CLMC の出力できる電圧波高値は，最大で 6825V となる。これは，三相 6.6kV 系統の定格電圧波高値の 1.26pu に相当する。

次に，C_1，C_2，C_3 の容量を設定する。DVR は，瞬低発生総数の 8 割程度に対応できるよう[1]，三相 60%の電圧低下を 300msec 補償できる仕様とする。補償開始から 300msec 後の，DC 電圧 v_{C1}，v_{C2}，v_{C3} と補償エネルギーの関係は，次のようになる。

$$\frac{1}{2}C_3 \cdot 3900^2 + \frac{1}{2}C_2 \cdot 1950^2 + \frac{1}{2}C_1 \cdot 975^2 - \sum_{j=1}^{3}\frac{1}{2}C_j v_{Cj}{}^2 = \frac{10^6 \times 0.6 \times 0.3}{3} \quad \cdots\cdots (4.25)$$

また，60%の電圧低下を 300msec の間補償できるためには，次の関係が必要となる。

$$v_{C3} + v_{C2} + v_{C1} \geq \sqrt{\frac{2}{3}} \times 6600 \times 0.6 \quad \cdots\cdots (4.26)$$

さらに，表 4.2 に従ったセルの出力分担制御[12]により，v_{C3}，v_{C2}，v_{C1} が 4:2:1 に維持されていると仮定する。

$$v_{C3} : v_{C2} : v_{C1} = 4 : 2 : 1 \quad \cdots\cdots (4.27)$$

表4.2には，3直列-2進ハイブリッドCLMCの出力電圧と電流が同極性である場合の，セルの動作パターンの選択条件を示す。表中の"1"は，CLMCの出力電圧と同極性で電圧を出力させ，該当するセルに放電させることを表す。"-1"は，逆極性で電圧を出力させ，該当するセルを充電することを表す。なお，出力電圧と電流が逆極性である場合は，表4.2の"1"と"-1"に対する充放電の関係が反転するため，不等号の向きを反対にした選択条件を用いる。

(4.25)～(4.27)式を整理すると，次の関係が得られる。

$$\frac{4^2}{7^2}C_3 + \frac{2^2}{7^2}C_2 + \frac{1}{7^2}C_1 \geq 3.4\text{mF} \quad \cdots\cdots (4.28)$$

ここで，セルの出力分担の制御可能範囲を把握する。ただし，CLMC の出力電圧目標値と出力電流は基本波のみとする。なお，以下では，電圧波高値を出力するときの CLMC の出力レベルを"波高値レベル"と呼び，CLMC の DC 電圧と出力電圧波高値との関係を表す指標とする。

まず，一つの例として，Cell_3，Cell_2，Cell_1 の DC 電圧が，出力電圧の波高値に対して 4/7pu，2/7pu，1/7pu であった場合を取り扱う。CLMC は表 4.2 のいずれかのパターンにより動作するが，図 4.7(a)に Cell_3 の基本波波高値が最小，図 4.7(b)に Cell_3 の基本波波高値が最大となる動作例を示す。図 4.7 では，波高値レベルは 7 となる。

CLMC の変調方法には，出力電圧 $v_1+v_2+v_3$ と目標値 v_{ref}^* との誤差が最小になるよう，図 4.8 に示すものを用いると，図 4.7 に示す位相 θ_1～θ_7 は，次式で表される。

$$\theta_n = \text{Sin}^{-1}\frac{2\times n-1}{14} \quad [n = 1\sim 7] \quad \cdots\cdots (4.29)$$

表 4.2　3 直列-2 進ハイブリッド CLMC の動作パターンの選択条件

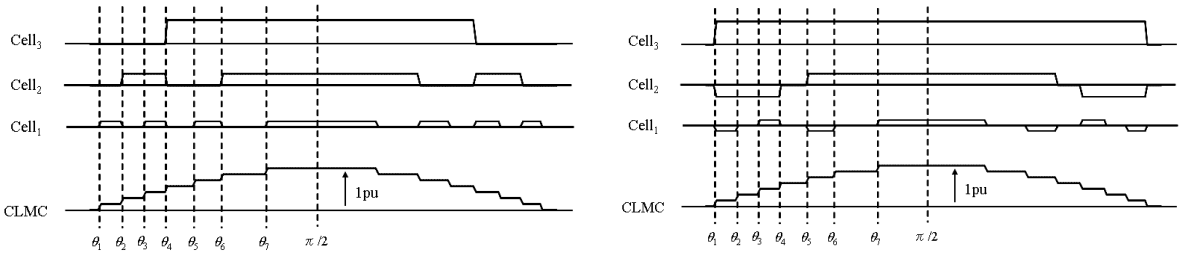
Output Level	Cell_3	Cell_2	Cell_1	Condition
1			1	$4v_{C1} \geqq 2v_{C2}$ and $4v_{C1} \geqq v_{C3}$
		1	−1	$2v_{C2} \geqq v_{C3}$ and $2v_{C2} > 4v_{C1}$
	1	−1	−1	$v_{C3} > 4v_{C1}$ and $v_{C3} > 2v_{C2}$
2		1		$2v_{C2} \geqq v_{C3}$
	1	−1		$2v_{C2} < v_{C3}$
3		1	1	$2v_{C2} \geqq v_{C3}$ and $4v_{C1} \geqq v_{C3}$
	1		−1	$v_{C3} > 4v_{C1}$ and $2v_{C2} > 4v_{C1}$
	1	−1	1	$v_{C3} > 2v_{C2}$ and $4v_{C1} \geqq 2v_{C2}$
4	1			
5	1		1	$4v_{C1} \geqq 2v_{C2}$
	1	1	−1	$4v_{C1} < 2v_{C2}$
6	1	1		
7	1	1	1	

(4.29)式と表 4.2 より，$Cell_1$，$Cell_2$，$Cell_3$ が出力可能な基本波波高値の最小値 V_{1min}，V_{2min}，V_{3min} と，最大値 V_{1max}，V_{2max}，V_{3max} は，次のように計算される。

$$\left.\begin{aligned} V_{3\min} &= \frac{4}{7}\cdot\frac{4}{\pi}\cdot\cos\theta_4 \cong 0.63\text{pu} \\ V_{3\max} &= \frac{4}{7}\cdot\frac{4}{\pi}\cdot\cos\theta_1 \cong 0.73\text{pu} \end{aligned}\right\} \quad \text{.....(4.30)}$$

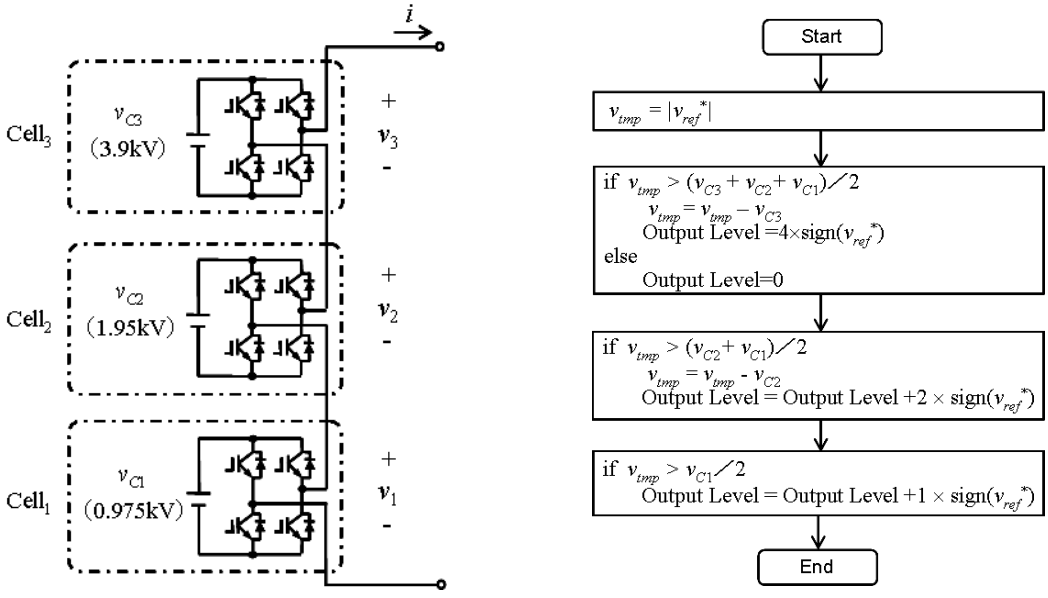
$$\left.\begin{aligned} V_{2\min} &= \frac{2}{7}\cdot\frac{4}{\pi}\cdot\left[-\cos\theta_1+\cos\theta_4+\cos\theta_6\right] \cong 0.18\text{pu} \\ V_{2\max} &= \frac{2}{7}\cdot\frac{4}{\pi}\cdot\left[\cos\theta_1-\cos\theta_4+\cos\theta_5\right] \cong 0.33\text{pu} \end{aligned}\right\} \quad \text{.....(4.31)}$$

$$\left.\begin{aligned} V_{1\min} &= \frac{1}{7}\cdot\frac{4}{\pi}\cdot\left[\sum_{n=1}^{6}(-1)^n\times\cos\theta_n+\cos\theta_7\right] \cong 0.03\text{pu} \\ V_{1\max} &= \frac{1}{7}\cdot\frac{4}{\pi}\cdot\left[\sum_{n=1}^{6}(-1)^{n+1}\times\cos\theta_n+\cos\theta_7\right] \cong 0.11\text{pu} \end{aligned}\right\} \quad \text{.....(4.32)}$$



(a)$Cell_3$ の基本波波高値が最小　　(b)$Cell_3$ の基本波波高値が最大

図 4.7　出力電圧の波高値に対し，DC 電圧が 4/7pu，2/7pu，1/7pu の時の各セルの動作例



(a)回路構成　　(b)変調方法

図 4.8　3 直列-2 進ハイブリッド CLMC の変調方法

出力電流が基本波のみという仮定により，$Cell_3$，$Cell_2$，$Cell_1$ が出力する有効電力は，(4.30)式～(4.32)式より定まる基本波電圧に比例する。つまり，$Cell_3$，$Cell_2$，$Cell_1$ の DC 電圧が，4/7pu, 2/7pu, 1/7pu で波高値レベルが 7 のとき，CLMC の出力に対して，$Cell_3$ の出力は 0.63～0.73pu, $Cell_2$ の出力は 0.18～0.33pu，$Cell_1$ の出力は 0.03～0.11pu の範囲で制御できることになる。それぞれの DC 電源の容量は，これらの範囲内に設定する。

次に，もう一つの例として，セルの DC 電圧の合計よりも波高値の低い電圧を，3 直列-2 進ハイブリッド CLMC から出力する場合を考える。CLMC の出力電圧の波高値に対して，$Cell_3$, $Cell_2$, $Cell_1$ の DC 電圧が，4/5pu，2/5pu，1/5pu であったとする。図 4.9(a)に $Cell_3$ の基本波波高値が最小，図 4.9(b)に $Cell_3$ の基本波波高値が最大となる動作例を示す。この DC 電圧構成における波高値レベルは 5 となる。このとき，図 4.8 の変調方法を用いると，図 4.9 に示す位相 θ_1～θ_5 は，次式で表される。

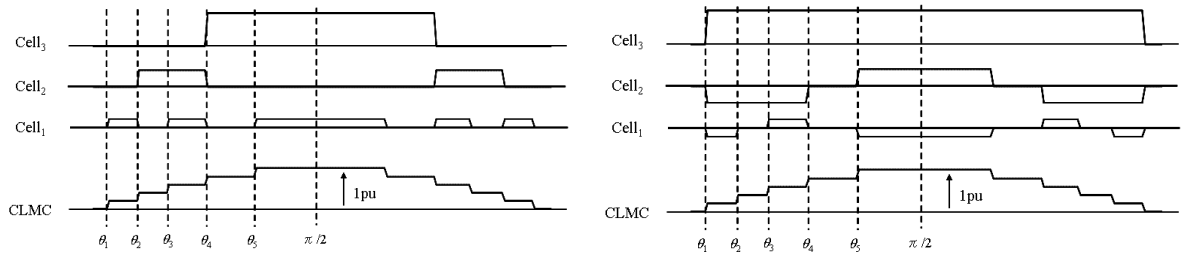
$$\theta_n = \mathrm{Sin}^{-1}\frac{2\times n-1}{10} \quad [n=1\sim5] \qquad \cdots\cdots(4.33)$$

(4.33)式と表 4.2 より，$Cell_1$，$Cell_2$，$Cell_3$ が出力可能な基本波波高値の最小値 V_{1min}，V_{2min}，V_{3min} と，最大値 V_{1max}，V_{2max}，V_{3max} は，次のように計算される。

$$\left.\begin{aligned} V_{3\min} &= \frac{4}{5}\cdot\frac{4}{\pi}\cdot\cos\theta_4 \cong 0.73\mathrm{pu} \\ V_{3\max} &= \frac{4}{5}\cdot\frac{4}{\pi}\cdot\cos\theta_1 \cong 1.01\mathrm{pu} \end{aligned}\right\} \qquad \cdots\cdots(4.34)$$

$$\left.\begin{aligned} V_{2\min} &= \frac{2}{5}\cdot\frac{4}{\pi}\cdot\left[-\cos\theta_1+\cos\theta_4\right] \cong -0.14\mathrm{pu} \\ V_{2\max} &= \frac{2}{5}\cdot\frac{4}{\pi}\cdot\left[\cos\theta_1-\cos\theta_4+\cos\theta_5\right] \cong 0.36\mathrm{pu} \end{aligned}\right\} \qquad \cdots\cdots(4.35)$$

$$\left.\begin{aligned} V_{1\min} &= \frac{1}{5}\cdot\frac{4}{\pi}\cdot\sum_{n=1}^{5}(-1)^n\times\cos\theta_n \cong -0.16\mathrm{pu} \\ V_{1\max} &= \frac{1}{5}\cdot\frac{4}{\pi}\cdot\sum_{n=1}^{5}(-1)^{n+1}\times\cos\theta_n \cong 0.16\mathrm{pu} \end{aligned}\right\} \qquad \cdots\cdots(4.36)$$



(a)$Cell_3$ の基本波波高値が最小　　(b)$Cell_3$ の基本波波高値が最大

図 4.9　出力電圧の波高値に対し，DC 電圧が 4/5pu，2/5pu，1/5pu の時の各セルの動作例

(4.34)式～(4.36)式より，DC 電圧が 4/5pu，2/5pu，1/5pu で波高値レベルが 5 のとき，出力分担の制御可能範囲は，$Cell_3$ が 0.73～1.01pu，$Cell_2$ が-0.14～0.36pu，$Cell_1$ が-0.16～0.16pu で，(4.30)式~(4.32)式とは異なった結果となる。このように，セルの出力分担の制御可能範囲は，波高値レベルにより変化する。

系統連系に用いられる電力変換器は，出力電圧を系統電圧に追従させなければならない。これに伴い，CLMC においては，波高値レベルが変化する。したがって，もしも先の両方のケースで運転することが求められれば，DC 電源の容量は，(4.30)式~(4.32)式に示した範囲と，(4.34)式~(4.36)式に示した範囲の，双方を満足するよう設定することになる。

ここまでと同様の方法により，波高値レベルとセルの出力分担の制御可能範囲の関係を計算した結果を，図 4.10 に示す。横軸は波高値レベルで，例えば図 4.9 の波形の場合はレベル 5 となる。また，CLMC の出力電圧波高値が 2 つのレベルの中間に位置する場合には，”4.5”など，便宜上少数を用いて表記する。縦軸は，CLMC の出力に対する各セルの出力の割合を表し，”◆”と”◇”，”●”と”○”，”▲”と”△”は，それぞれ，$Cell_3$，$Cell_2$，$Cell_1$ が出力できる最大値と最小値である。最大値と最小値の範囲を僅かに逸脱している部分があるが，$Cell_3$ に 0.73pu，$Cell_2$ に 0.21pu，$Cell_1$ に 0.06pu の容量の DC 電源を設定すれば，ほぼ全てのレベルについて，$Cell_3$，$Cell_2$，$Cell_1$ の出力を，最大値と最小値の範囲内に収めることができる。つまり，C_3，C_2，C_1 の容量比を，(4.37)式のように設定すれば，波高値レベルが 4 から 7 の範囲で，DC 電源容量による制約を殆ど受けることなく CLMC を動作させることができる。

$$\frac{4^2}{7^2}C_3 : \frac{2^2}{7^2}C_2 : \frac{1}{7^2}C_1 = 0.73 : 0.21 : 0.06 \quad \cdots\cdots (4.37)$$

そして，(4.28)式と(4.37)式を満足する最小の C_3，C_2，C_1 の容量は，次のように計算される。

$$\left.\begin{aligned} C_3 &= 7.60\text{mF} \\ C_2 &= 8.75\text{mF} \\ C_1 &= 10.0\text{mF} \end{aligned}\right\} \quad \cdots\cdots (4.38)$$

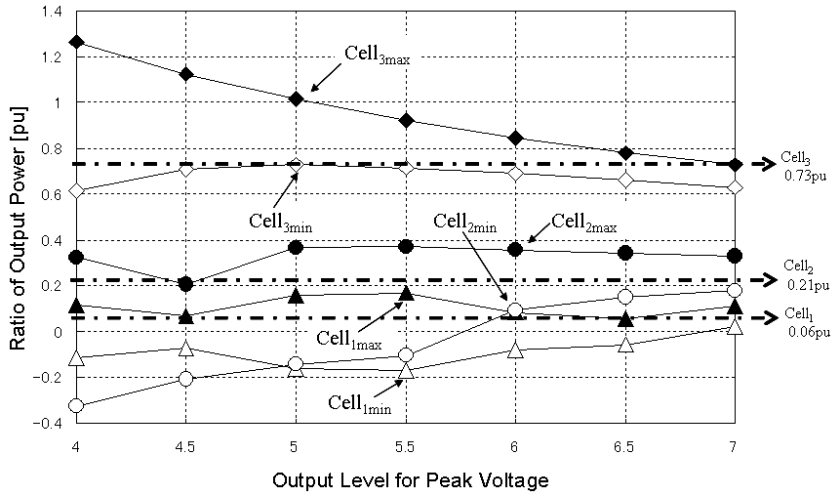


図 4.10　波高値レベルに対する $Cell_3$，$Cell_2$，$Cell_1$ の出力分担の制御可能範囲

なお，以上の計算では基本波のみを用いたが，高調波が含まれる場合にも，出力電圧の範囲や負荷電流が予めわかっておれば,それを用いた数値計算により DC 電源容量を設定できる。仮に，全ての運転範囲に共通な $Cell_1$，$Cell_2$，$Cell_3$ の出力制御範囲が無くとも，最小限の制約で CLMC を動作させることができる。

4.4.2 制御系の設計

DVR が出力する補償電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^*は，(4.39)式のように設定する。ここで，v_{infa}，v_{infb}，v_{infc}は基準電圧，v_{sa}，v_{sb}，v_{sc}は系統電圧である。v_0は三相出力を制御するための零相電圧で，瞬時値制御における設定方法は後述する。

$$\left.\begin{aligned} v_{refa}^* &= v_{infa} - v_{sa} + v_0 \\ v_{refb}^* &= v_{infb} - v_{sb} + v_0 \\ v_{refc}^* &= v_{infc} - v_{sc} + v_0 \end{aligned}\right\} \quad \cdots\cdots (4.39)$$

そして，図4.8に示した変調方法において，v_{refa}^*，v_{refb}^*，v_{refc}^*をv_{ref}^*と読み替え，CLMCの出力レベルを決定する。同じCLMCに設置されたセル$Cell_1$，$Cell_2$，$Cell_3$の出力分担制御では，個々のセルのDC電圧v_{C1}，v_{C2}，v_{C3}を常時監視し，1:2:4の比率で規格化した値が最も大きいコンデンサを放電させるよう，表4.2に従い動作パターンを選択する。ただし，v_{C1}，v_{C2}，v_{C3}の大小関係の変化による頻繁なスイッチングを回避するため，動作パターンの選択にあたっては，基準電圧の各相の位相が，0，$\pi/2$，π，$3\pi/2$のタイミングで計測したDC電圧を用いて行う。

以上の演算を，a相，b相，c相ごとに行うことにより，それぞれのセルの出力電圧v_{a1}，v_{a2}，v_{a3}，v_{b1}，v_{b2}，v_{b3}，v_{c1}，v_{c2}，v_{c3}が定まる。これらと各相のCLMCの出力電圧v_a，v_b，v_cの関係は，次の通りである。

$$\left.\begin{aligned} v_a &= v_{a1} + v_{a2} + v_{a3} \\ v_b &= v_{b1} + v_{b2} + v_{b3} \\ v_c &= v_{c1} + v_{c2} + v_{c3} \end{aligned}\right\} \quad \cdots\cdots (4.40)$$

次に,三相出力を制御するための零相電圧 v_0 を,瞬時値領域において計算する手法を示す[10]。4.3 節では，(4.9)式のフェーザ表示による v_0 を用いた制御により，理論上は三相等しく補償電力を出力できることを示した。しかし実際の装置では,v_0 を瞬時値として取扱わなければならない。このため，時刻 t における複素ベクトルの内積を，(4.41)式のように，1 サイクル窓の移動平均により近似する。

$$\mathbf{x}\cdot\mathbf{y} \cong \begin{cases} \dfrac{1}{T}\displaystyle\int_0^t x(\tau)\times y(\tau)d\tau & [0 \le t < T] \\ \dfrac{1}{T}\displaystyle\int_{t-T}^t x(\tau)\times y(\tau)d\tau & [T \le t] \end{cases} \quad \cdots\cdots (4.41)$$

ここで，$\mathbf{x}$ と $\mathbf{y}$ は任意のフェーザであり，$x(t)$と $y(t)$はそれらの瞬時値である。また，Tは基本周波数の 1 サイクル分の時間である。

(4.41)式のように，瞬時値制御では，ある時刻 t で v_0 を計算するときには，1 サイクル前までの電圧値と電流値を用いることになる。これらが定常状態にあれば，二つの積に 1 サイクル窓の移動平均を施した結果は，時刻 t にかかわらず定数になる。このとき，第 3 章の(3.15)式～(3.19)式と同様の方法により，電力変換器の a 相，b 相，c 相の出力が，三相等しくなることを導くことができる。

しかし, 負荷や系統電圧が時刻 t と共に変化すれば, 移動平均による 1 サイクルの遅れにより, v_0 の計算に誤差が生じる。この補正にあたり, (4.9)式に替えて, 負荷電流 i_a, i_b, i_c, 基準電圧 v_{infa}, v_{infb}, v_{infc}, 系統電圧 v_{sa}, v_{sb}, v_{sc}, およびゲイン K_{0p} を用いて，次のように v_0 を計算する。

$$\left.\begin{aligned}
\mathbf{v}_0 &= \frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)\mathbf{i}_a + \Delta P_b(\mathbf{i}_c\cdot\mathbf{i}_a)\mathbf{i}_b + \Delta P_c(\mathbf{i}_a\cdot\mathbf{i}_b)\mathbf{i}_c}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2}\\
\Delta P_a &= (\mathbf{v}_{infa}-\mathbf{v}_{sa})\cdot\mathbf{i}_a - \frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k + K_{0p}\left(e_a-\frac{1}{3}\sum_{k=a,b,c}e_k\right)\\
\Delta P_b &= (\mathbf{v}_{infb}-\mathbf{v}_{sb})\cdot\mathbf{i}_b - \frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k + K_{0p}\left(e_b-\frac{1}{3}\sum_{k=a,b,c}e_k\right)\\
\Delta P_c &= (\mathbf{v}_{infc}-\mathbf{v}_{sc})\cdot\mathbf{i}_c - \frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k + K_{0p}\left(e_c-\frac{1}{3}\sum_{k=a,b,c}e_k\right)
\end{aligned}\right\} \quad \cdots\cdots (4.42)$$

ここで，e_a，e_b，e_c は，補償開始後に DVR から出力されたエネルギーであり，次式で表す。

$$\left.\begin{aligned}
\frac{d}{dt}e_a &= p_a = (\mathbf{v}_{infa}-\mathbf{v}_{sa}+\mathbf{v}_0)\cdot\mathbf{i}_a\\
\frac{d}{dt}e_b &= p_b = (\mathbf{v}_{infb}-\mathbf{v}_{sb}+\mathbf{v}_0)\cdot\mathbf{i}_b\\
\frac{d}{dt}e_c &= p_c = (\mathbf{v}_{infc}-\mathbf{v}_{sc}+\mathbf{v}_0)\cdot\mathbf{i}_c
\end{aligned}\right\} \quad \cdots\cdots (4.43)$$

この時, 例えば a 相を例に取ると, (4.42)式と(4.43)式により定まる DVR の出力は, 次式となる。

$$p_a = (\mathbf{v}_{infa}-\mathbf{v}_{sa}+\mathbf{v}_0)\cdot\mathbf{i}_a = \frac{1}{3}\sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k - K_{0p}\left(e_a-\frac{1}{3}\sum_{k=a,b,c}e_k\right) \quad \cdots\cdots (4.44)$$

ここで，$i_a+i_b+i_c=0$ より，e_a，e_b，e_c の間には，次の関係がある。

$$\frac{d}{dt}\sum_{k=a,b,c}e_k = \sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk}+\mathbf{v}_0)\cdot\mathbf{i}_k = \sum_{k=a,b,c}(\mathbf{v}_{infk}-\mathbf{v}_{sk})\cdot\mathbf{i}_k \quad \cdots\cdots (4.45)$$

(4.43)～(4.45)式を整理すると，次式が得られる。

$$\frac{d}{dt}\left(e_a-\frac{1}{3}\sum_{k=a,b,c}e_k\right) = -K_{0p}\left(e_a-\frac{1}{3}\sum_{k=a,b,c}e_k\right) \quad \cdots\cdots (4.46)$$

(4.46)式にラプラス変換を施すと，次式が得られる。ここで変数 s はラプラス演算子を表す。

$$E_a(s) = \frac{1}{3}\sum_{k=a,b,c} E_k(s) + \frac{1}{s + K_{0p}}\left[e_a(0) - \frac{1}{3}\sum_{k=a,b,c} e_k(0) \right] \quad \cdots\cdots (4.47)$$

このように，(4.42)式から定まる v_0 を用いることにより，(4.47)式の右辺第二項の誤差は時定数 $1/K_{0p}$ で減衰し，e_a は平均値に収束する。以上の計算は，b 相および c 相の補償エネルギーに関しても同様である。ここで，K_{0p} の設定にあたり，DVR は数百 msec 以上の瞬低を補償するよう設計されることが一般的であることを考慮し，それよりも十分短い 50msec 程度で誤差を減衰させるよう，次式により，時定数をその 1/3 の時間に設定する。

$$\frac{1}{K_{0p}} = \frac{0.05}{3} \quad \cdots\cdots (4.48)$$

なお，ここまでは，(4.41)式，(4.42)式，(4.43)式から定まる零相電圧を，CLMC が正確に出力できることを前提としていた。ところが実際には，CLMC の出力電圧 v_a，v_b，v_c は，DC 電圧 v_{Ca}，v_{Cb}，v_{Cc} により，次のように制約を受ける。

$$\left.\begin{aligned} -v_{Ca} \le v_a \le v_{Ca} \\ -v_{Cb} \le v_b \le v_{Cb} \\ -v_{Cc} \le v_c \le v_{Cc} \end{aligned}\right\} \quad \cdots\cdots (4.49)$$

ただし，v_{Ca}，v_{Cb}，v_{Cc} は，次のように，各相の CLMC の DC 電圧の合計である。

$$\left.\begin{aligned} v_{Ca} = v_{Ca1} + v_{Ca2} + v_{Ca3} \\ v_{Cb} = v_{Cb1} + v_{Cb2} + v_{Cb3} \\ v_{Cc} = v_{Cc1} + v_{Cc2} + v_{Cc3} \end{aligned}\right\} \quad \cdots\cdots (4.50)$$

例えば，三相平衡な純抵抗負荷に対して，b-c 相の二相短絡による瞬低を補償したとする。(4.9)式による v_0 を用いることにより，a 相からも補償エネルギーを出力させる。図 4.11 と(4.51)式に，補償電圧と系統電圧の関係を示す。

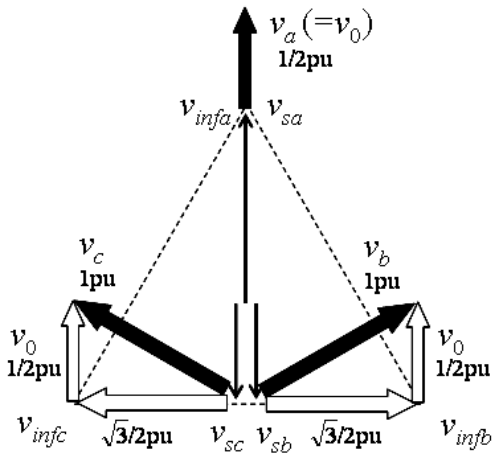


図 4.11　二相短絡時の補償電圧と系統電圧（純抵抗負荷）

$$\left.\begin{aligned} v_a(t) &= v_{infa}(t) - v_{sa}(t) + v_0(t) = 0 + \frac{1}{2}\cos(\omega t) = \frac{1}{2}\cos(\omega t) \\ v_b(t) &= v_{infb}(t) - v_{sb}(t) + v_0(t) = \frac{\sqrt{3}}{2}\cos\left(\omega t - \frac{\pi}{2}\right) + \frac{1}{2}\cos(\omega t) = \cos\left(\omega t - \frac{\pi}{3}\right) \\ v_c(t) &= v_{infc}(t) - v_{sc}(t) + v_0(t) = \frac{\sqrt{3}}{2}\cos\left(\omega t + \frac{\pi}{2}\right) + \frac{1}{2}\cos(\omega t) = \cos\left(\omega t + \frac{\pi}{3}\right) \end{aligned}\right\} \quad \cdots\cdots (4.51)$$

もし v_0 を用いなければ，b 相と c 相の補償電圧波高値は $\sqrt{3}/2$ pu であり，DC 電圧 v_{Cb}，v_{Cc} が $\sqrt{3}/2$ pu に低下するまで瞬低を補償できる。ところが，v_0 を用いた v_b と v_c の波高値は 1pu となり，v_{Cb}，v_{Cc} が 1pu を下回ると瞬低を補償できない。このように，v_0 を用いると，補償電圧に大きな波高値が必要になり，DC 電源の充電エネルギーを十分に利用できない可能性がある。

この対策として，DC 電圧が計算通りの v_0 を出力できないまでに低下した後にも，可能な限り補償エネルギーを三相均等に近づけるよう，DC 電圧 v_{Ca}，v_{Cb}，v_{Cc}，系統電圧 v_{sa}，v_{sb}，v_{sc}，および基準電圧 v_{infa}，v_{infb}，v_{infc} を用いて，瞬時値領域において次のように制限した v_0 を用いる。

$$\left.\begin{aligned} -v_{Ca}(t) - v_{infa}(t) + v_{sa}(t) \le v_0(t) \le v_{Ca}(t) - v_{infa}(t) + v_{sa}(t) \\ -v_{Cb}(t) - v_{infb}(t) + v_{sb}(t) \le v_0(t) \le v_{Cb}(t) - v_{infb}(t) + v_{sb}(t) \\ -v_{Cc}(t) - v_{infc}(t) + v_{sc}(t) \le v_0(t) \le v_{Cc}(t) - v_{infc}(t) + v_{sc}(t) \end{aligned}\right\} \quad \cdots\cdots (4.52)$$

(4.51)式の v_b，v_c が波高値をとる位相 ωt=±π/3，2π/3，4π/3 付近では，v_{Cb}，v_{Cc} が 1pu を下回ると(4.52)式による制限が発生し，計算通りの v_0 が出力できず，補償エネルギーを三相等しく制御することはできない。しかし，(4.51)式の v_a が波高値をとる ωt=0 またはπ付近では，v_b と v_c は 1/2pu であり，v_0 の制限は発生しない。その結果， a 相からも十分な波高値の補償電圧が出力され， b 相と c 相より出力する補償エネルギーとの差を低減することができる。

以上のまとめとして，時刻 t における補償電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^* を演算するためのフローチャートを，図 4.12 に示す。

Step 1 において，系統電圧 v_{sa}，v_{sb}，v_{sc} と，負荷電流 i_a，i_b，i_c と，補償電圧 v_a，v_b，v_c には計測値を使用する。基準電圧 v_{infa}，v_{infb}，v_{infc} の振幅は系統の定格電圧と一致させ，位相は正相分離式乗算型 PLL[13][14]を用いて系統電圧の正相成分と同期をとった値を用いる。

Step 2 では，これらの値を用いて，パラメータ ΔP_a，ΔP_b，ΔP_c を演算する。ここで時刻 t は，DVR が補償電圧の出力を開始する時刻を 0 としている。

Step 3 では，Step 1 と Step 2 で得られた値を用いて，仮の零相電圧 v_0'を演算する。Step 2 と Step 3 の演算には積分を用いるため，v_0'に正確な値が設定されるのは，補償開始から 1 サイクル以降となる。

Step 4 では，v_0'に(4.52)式の処理を施し，零相電圧 v_0 を確定させる。なお，(4.52)式を満足する v_0 が存在しなければ，負荷の線間電圧を正常に維持することはできないが，このような場合にも，負荷電圧を可能な限り基準電圧に近づけるという観点から，v_0 を 0 として瞬低補償を行う処理を付加してある。

そして，Step 5 のように補償電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^* を決定する。

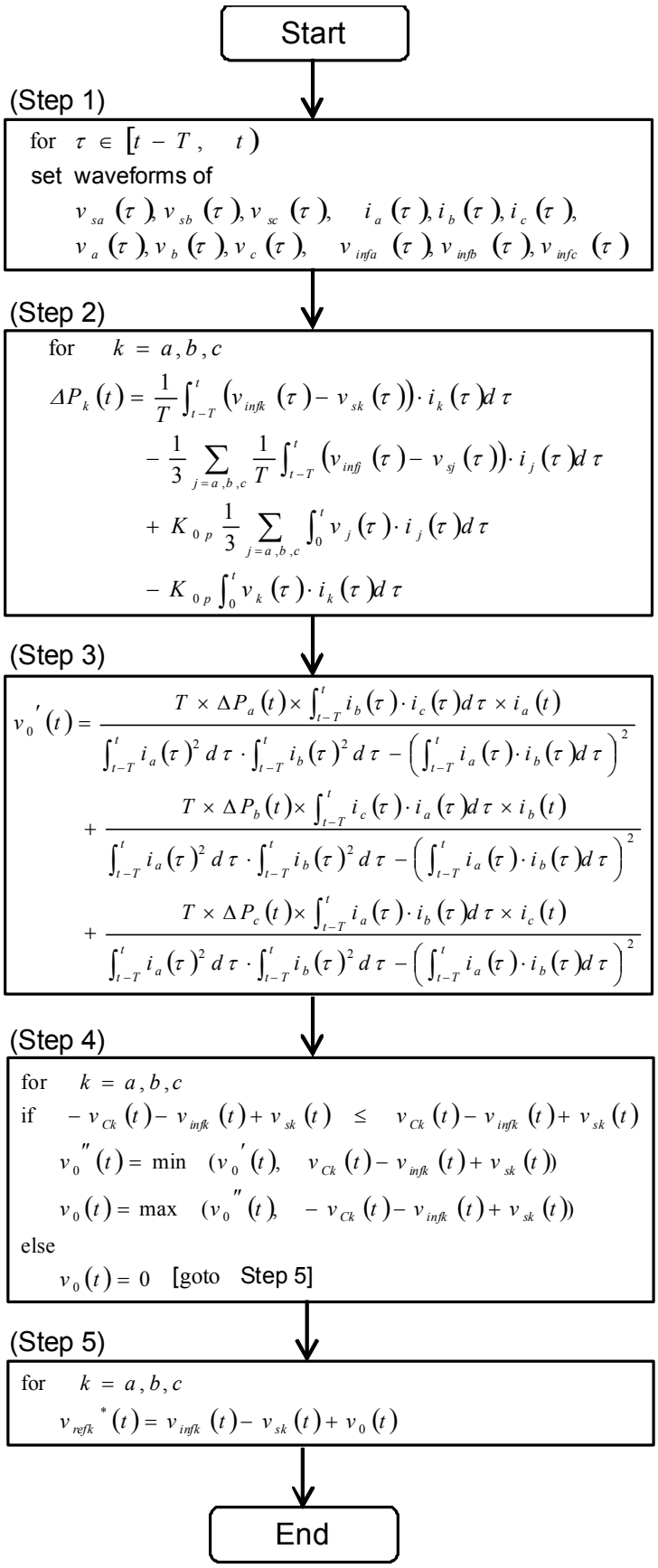


図 4.12　補償電圧目標値 v_{refa}^{*}, v_{refb}^{*}, v_{refc}^{*}を演算するためのフローチャート

4.4.3　ディジタルシミュレーションによる検証

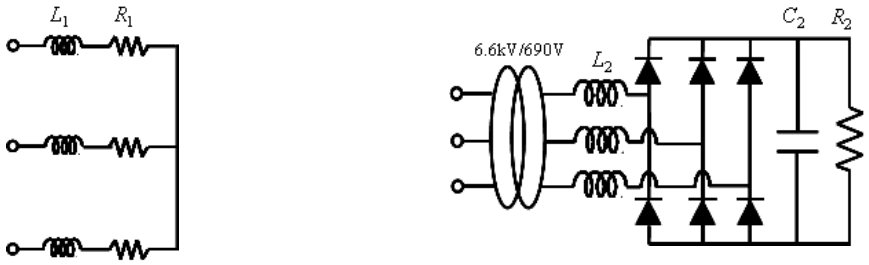
ここまでに行った試設計に対して，EMTP を用いたディジタルシミュレーションによる検証を行う。DVR の回路モデルは図 4.1，制御手法は前述の通りである。負荷は，図 4.13 に示すように，抵抗とリアクトルによる 1000kW（力率 0.9）の RL 負荷と，三相ダイオードブリッジによる 1000kW の整流器負荷を用いる。回路定数と制御定数は，表 4.3 に示す。

まず，RL 負荷に対して，b-c 相の二相短絡事故による瞬低を補償したケースを検証する。図 4.14(a)に，c 相の系統電圧，および零相成分を除く c 相の補償電圧と負荷電圧を示す。図 4.14(b)には，補償電圧の零相成分 v_0 が，(4.52)式により制限される様子を示す。図中の max_ v_0 と min_ v_0 は，v_0 を制限するための上下限値であり，次式のように定める。なお，DC 電圧 v_{Ca}，v_{Cb}，v_{Cc} の低下に伴い，max_v_0 は低下，min_v_0 は上昇する。

$$\left.\begin{aligned}\max_v_0(t) &= \min_{k=a,b,c}\left(v_{Ck}(t) - v_{infk}(t) + v_{sk}(t)\right)\\ \min_v_0(t) &= \max_{k=a,b,c}\left(-v_{Ck}(t) - v_{infk}(t) + v_{sk}(t)\right)\end{aligned}\right\} \quad \cdots\cdots (4.53)$$

図 4.14(c)には，各相の CLMC の DC 電圧を示す。

図 4.14(a)より，系統電圧 v_{sc} に電圧低下が発生している時刻 0.1sec～0.4sec の間に，DVR が補償電圧 v_c を出力することより，負荷電圧 v_{Lc} の波高値は正常に維持されていることを確認できる。一方，図 4.14(b)では，v_0 の波形は，補償開始から 1 サイクル程度で安定している。そして，図 4.14(c)に示すように，0.25sec 頃までは DC 電圧 v_{Ca}，v_{Cb}，v_{Cc} を三相等しく制御できている。しかし，以降では時間と共に，v_{Ca}，v_{Cb}，v_{Cc} が乖離する。これは，DC 電圧が低下するため，v_0 が(4.52)式による制限を受け，出力が完全に三相等しくなるように制御できなくなるためである。



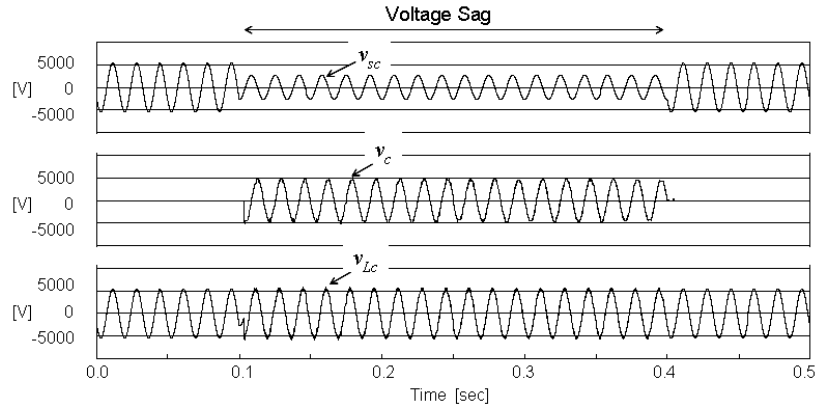
(a) RL 負荷　　(b)整流器負荷

図 4.13　負荷モデル

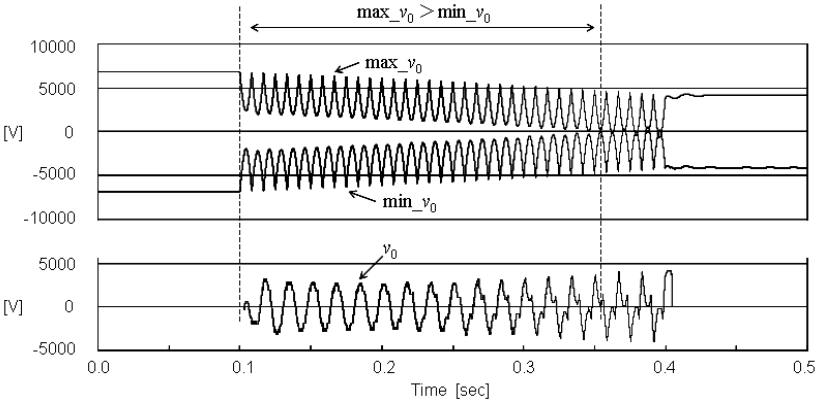
表 4.3　回路定数と制御定数

Rated Voltage	V_{AC}	3φ AC6600V	RL Load	R_1	41Ω
Line angular frequency	ω_0	$2\pi \times 60$ rad/s		L_1	36mH
Rated Active Power	P	1000kW	Rectifier Load	R_2	0.8Ω
Capacitance,	C_3, v_{C3}^*	7.6mF, 3900V		L_2	0.043mH
Initial Voltage	C_2, v_{C2}^*	8.75mF, 1950V		C_2	5000μF
(phase a～c)	C_1, v_{C1}^*	10.0mF, 975V	Control Gain	K_{0p}	60

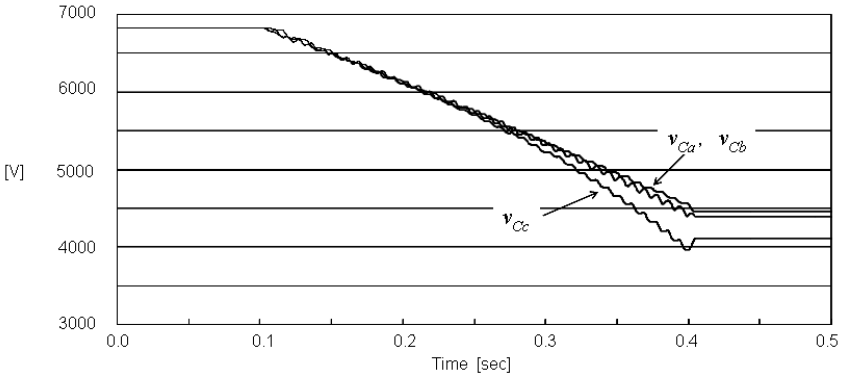
ただし，max_ v_0 が min_ v_0 を上回っている間は，(4.49)式の制約は満足するため，DVR は，引き続き負荷の線間電圧を基準電圧に維持することができる。そして，max_ v_0 が min_ v_0 を下回り，(4.49)式の制約を満足できなくなる 0.35sec 頃までは，補償に必要な電圧波高値を出力できたことになる。つまり，試設計した DVR は，約 0.25sec の間，二相短絡による瞬低を補償できたことになる。



(a)系統電圧，補償電圧（零相除く），負荷電圧（同左）



(b)出力電圧の制限値と零相電圧



(c)各相の CLMC の DC 電圧

図 4.14　二相短絡事故に対する試験結果（RL 負荷）

ここで，瞬低補償時間について検証する。仮にコンデンサが三相共用されており，DC 電圧が $\sqrt{3}/2$ pu に至るまで二相短絡による瞬低を補償したとすると，DC 電圧と補償時間 T_{cmp} の間には，次の関係が成り立つ。

$$\left(\frac{1}{2}C_3\cdot 3900^2+\frac{1}{2}C_2\cdot 1950^2+\frac{1}{2}C_1\cdot 975^2\right)\times 3-\sum_{j=1}^{3}\frac{1}{2}C_j\left(\frac{2^{j-1}}{7}\sqrt{\frac{2}{3}}\cdot 6600\cdot\frac{\sqrt{3}}{2}\right)^2\times 3=\frac{10^6}{2}\times T_{cmp} \quad \cdots\cdots (4.54)$$

左辺は，コンデンサに充電されたエネルギーの変化分である。右辺は，三相 1000KW の負荷に対して二相短絡による瞬低を補償した場合の，DVR の出力エネルギーである。表 4.3 の C_1，C_2，C_3 を用いると，コンデンサが三相共用されていると仮定した場合の補償時間 T_{cmp} は次のように求められ，試設計したトランスレス DVR の瞬低補償時間と一致する。

$$T_{cmp}=0.25[\mathrm{sec}] \quad \cdots\cdots (4.55)$$

このように，零相電圧制御を用いることにより，図 4.13(a)および表 4.3 に示した RL 負荷に対して二相短絡による瞬低を補償したケースにおいて，コンデンサが三相共用された場合と同等の補償時間を得ることができた。

平均値で規格化したセルごとの DC 電圧の比率を，図 4.15 に示す。0.25sec 頃以降では，徐々に基準値から乖離する。これは，4.4.1 節に示した DC 電源の容量設定では基本波のみを取扱った

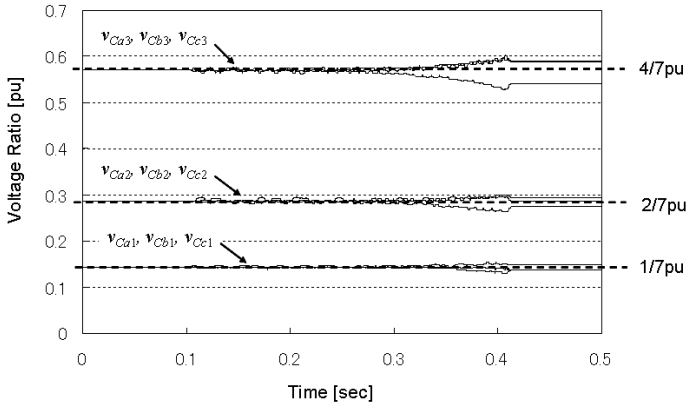
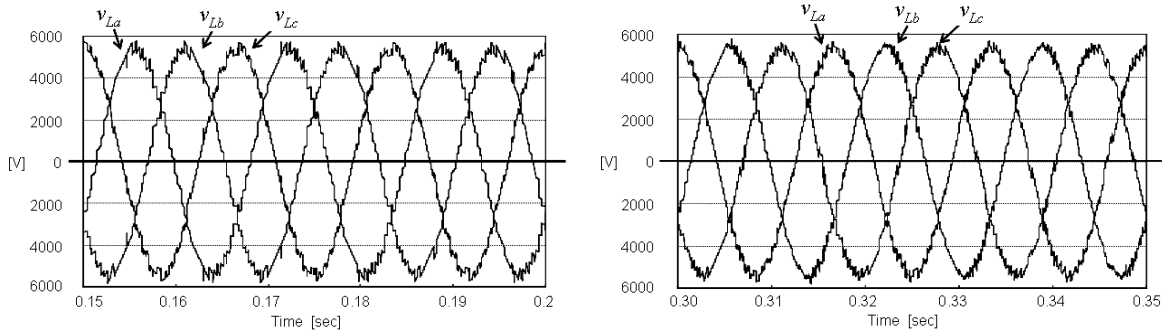


図 4.15　セルごとの DC 電圧の比率（RL 負荷）



(a) 0.15sec～0.2sec　　(b) 0.30sec～0.35sec

図 4.16　負荷供給電圧（RL 負荷）

が，本ケースでは，図 4.14(b)からも分かるように，v_0 の制限に伴う補償電圧の歪みにより生じた現象である。

DC 電圧の比率の誤差は，DVR の出力電圧を歪ませ，負荷供給電圧にもに影響を及ぼす。しかし，図 4.16 に示すように，比率が基準値 1:2:4 に維持できていた 0.15sec～0.2sec と，誤差が大きくなる 0.30～0.35sec を比較しても，負荷供給電圧の歪に大差はない。THD を計算しても，両者とも 5%以下であった。このように，DC 電圧の比率に多少の誤差が生じても，特に問題が生じることはなく，正常に瞬低補償を行うことができた。

次に，図 4.13(b)に示した定格 1000kW の整流器負荷に対して，b-c 相の二相短絡事故による瞬低を補償するケースを検証する。負荷電流は図 4.17 に示す通りで，基本波に対して，第 5 次高調波が 46%，第 7 次高調波が 18%含まれている。また，クレストファクタ（Crest Factor：基本波実効値に対する波高値の割合）は，2.0 である。

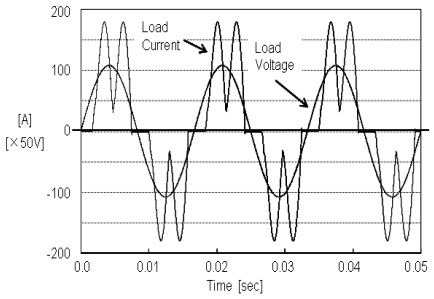


図 4.17　負荷電流（整流器負荷）

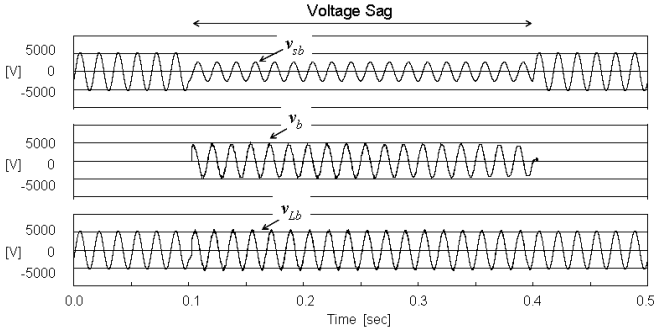
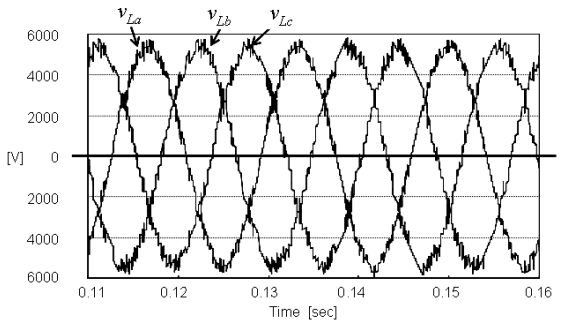
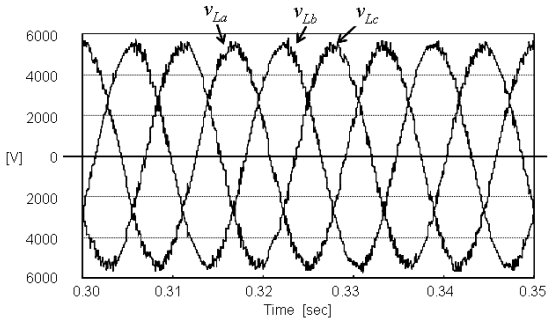


図 4.18　系統電圧，補償電圧（零相除く），負荷電圧（同左）



(a) 0.11sec～0.16sec



(b) 0.30sec～0.35sec

図 4.19　負荷供給電圧（整流器負荷）

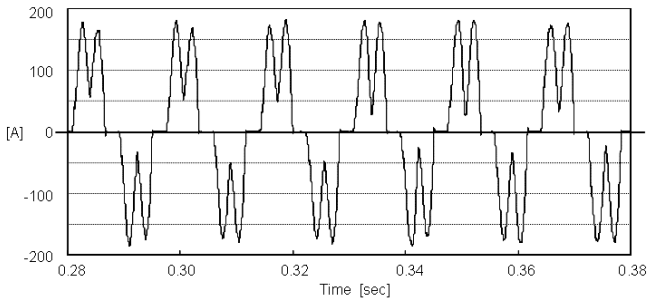


図 4.20　瞬低補償中の負荷電流（整流器負荷）

図 4.18 に，b 相の系統電圧，および零相成分を除く b 相の補償電圧と負荷電圧を示す。DVR は，負荷電圧 v_{Lc} の波高値を，正常に維持できていることが分かる。インバータから高調波負荷に電力供給する場合，負荷電圧が大きく歪んでしまうことも稀ではない。しかし，本ケースでは，図 4.19 に示すように，大きな歪みもなく，THD を計算しても 5%以下であった。また，図 4.20 に示した瞬低補償中の負荷電流の波形の様子も，図 4.17 に示した通常時の波形とほぼ変わりはなかった。数値データを確認しても，負荷には定格である 1000kW が供給されていた。このように，試設計した三相トランスレス DVR は，負荷電流に大きな歪が含まれる場合にも，正常に瞬低補償を行うことができた。

なお，以上の検証では二相短絡事故のみを取り扱ったが，一相地絡事故および二相地絡事故に関しても，零相電圧により三相出力を等しく制御できることを確認できている。

4.5 結言

本章では，CLMC の三相 DVR への適用を目的に，補償電圧に不平衡が存在する場合にも，三相等しく補償出力を行うための制御手法について検討した。また，検討結果に基づき，6.6kV-1MVA トランスレス DVR の試設計を行った。

まず，CLMC を用いたトランスレス DVR の課題として，補償電圧に不平衡が存在する場合に，三相出力にも不平衡が生じることを示した。

次に，この課題に対し，零相電圧により三相出力を制御できることを示し，400V-100kVA 級の試験装置により概ね三相等しく出力を制御できることを実証した。

そして，3 直列-2 進ハイブリッド CLMC を用いた 6.6kV-1MVA トランスレス DVR の試設計を行った。回路構成に関しては，セルの出力分担を制御可能とする範囲から DC 電源容量を設定した。制御手法に関しては，零相電圧制御を瞬時値領域に拡張する方法を示した。そして，これらの妥当性を，ディジタルシミュレーションにより検証した。なお，この際には，負荷電流に大きな高調波成分を含む整流器負荷に対しても，良好な補償電圧を供給できており，高い制御性を有することも確認した。

参考文献

[1]「瞬時電圧低下対策」，電気協同研究，第 46 巻第 3 号，pp.7-15（2002）

[2] N.H.Woodley，L.Morgan，A.Sundram : ”Experience with an Inverter-Based Dynamic Voltage Restorer”，IEEE Transactions on Power Delivery，Vol.14，No.3, pp.1181-1186（1999）

[3] 佐藤寛，佐野耕市 :「大容量瞬低対策装置の開発状況と課題」，電気評論，2002 年 4 月号，pp.37-42（2002）

[4] 松元秀樹，川上了司 :「高圧，大容量コンデンサ型瞬低対策装置による瞬低補償」，電気学会産業応用部門大会，No.2-28（2003）

[5]「電力品質調整用パワーエレクトロニクスの適用動向」，電気学会技術報告，第 978 号，pp.25-26（2004）

[6] 山田正樹，鈴木昭弘，岩田明彦，菊永敏之，吉安一，山本和生，羽田野伸彦：「階調制御型瞬低補償装置の提案」，電気学会論文誌 D，Vol.125-D，No.2，pp. 119-125（2005）

[7] J.Arrillaga，Y.H.Liu，N.R.Watson：”Flexible Power Transmission”，Wiley，pp. 141-167（2007）

[8]「配電系統に適用されるパワーエレクトロニクス技術の最新動向」，電気学会技術報告，第1093 号，p.35（2007）

[9] 羽田野伸彦，山田正樹，岩田明彦，菊永敏之：「階調制御型瞬低補償装置における相間エネルギー流用制御」，電気学会論文誌 D，Vol.125-D，No.1，pp.38-45（2005）

[10] 羽田野伸彦:「三相トランスレスＤＶＲの一制御手法」, 電気学会論文誌 D, Vol.128-D, No.9, pp.1065-1074（2008）

[11]「半導体電力変換回路」, 電気学会 半導体電力変換方式調査専門委員会, pp.129-130（1987）

[12] N.Hatano，T.Ise：”A configuration and control method of cascade H-bridge STATCOM”，IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551，July（2008）

[13]「パワーエレクトロニクス機器の制御技術」, 電気学会技術報告, 第1084 号，pp.15-16（2007）

[14] 赤松昌彦，塚田路治，伊藤大介「電力系統事故時の異常電圧に対応したＰＬＬおよび周波数検出方式」，電気学会論文誌 B，Vol.118-B，No.9，pp.955-961(1998)

第 5 章　チェーンリンク形マルチレベル変換器を用いた自励式無効電力補償装置（STATCOM）

5.1　緒言

電力自由化の進展や分散形電源の普及に伴い，パワーエレクトロニクス機器を活用した柔軟な電力系統運用の必要性が高まっている。中でも，自励式無効電力補償装置（STATic synchronous COMpensator：STATCOM）は，シンプルな構成でありながら，電圧変動抑制，力率改善など多様な系統制御機能を有し，実系統への適用実績も豊富である[1]-[4]。

STATCOM の今後の方向性としては，低損失化や高調波補償機能の追加などが考えられるが[5]-[8]，これらの実現にあたっては，低いスイッチング周波数でありながら，良好な出力電圧波形が得られる電力変換器の開発が重要な要素となる。

一方，チェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）であれば，電圧とスイッチング周波数の異なる電力変換器を組み合わせることにより，高効率化と発生高調波の低減が期待できる[9]-[11]。さらに，セル（単位変換器）を直列接続して構成するため，高電圧の出力が容易で，トランスレス化が期待できるというメリットを併せ持つ[12]。しかし，CLMC では，DC 電源が個々のセルに分離されるため，DC 電圧の制御が複雑になるという課題が存在する[13][14]。

現実の電力系統においては，単相負荷や系統定数の不揃いにより，系統電圧が完全に三相平衡であることは稀である。これに伴い，STATCOM の出力に不平衡が生じると，CLMC を用いたトランスレス構成では，各相の CLMC の DC 電圧を制御できなくなり，機器停止に至る[15][16]。また，STATCOM は，一相もしくは二相事故のように，電力系統が大幅に不平衡な状態においても運転継続することを，しばしば要求される[3]。したがって，CLMC を用いた STATCOM を実現するためには，系統不平衡時にも三相出力を等しく制御できる手法の開発が不可欠となる。

以下本章では，CLMC を用いたトランスレス STATCOM を，三相電力系統に適用するための技術を確立することを目的とし，系統電圧や出力電流に不平衡が存在する場合にも，各相の CLMC の DC 電圧を制御するための手法を検討する。

5.2 節では，まず，2 進ハイブリッド CLMC を用いたトランスレス STATCOM の基本構成を示す。次に，逆相電流により各相の CLMC の DC 電圧を制御する手法を示す。

5.3 節では，200V-10kVA 級の試験装置により，原理実証した結果を示す[15]。

5.4 節では，3 直列-2 進ハイブリッド CLMC を用いた，6.6kV-1MVA トランスレス STATCOM の試設計を行う[16]。なお，逆相電流制御のみでは出力できる逆相電流が一意に定まり，STATCOM としての機能面に制約が生じるため，不平衡の大小に応じて逆相電流制御と零相電圧制御[17]を切り替える方式による DC 電圧制御を試みる。

5.5 節では，本章の検討結果をまとめる。

5.2　STATCOM への適用

5.2.1　基本構成

CLMC を用いた STATCOM の回路構成を，図 5.1 に示す。3 台の CLMC を Y 結線し，三相変換器を構成する。そして，リアクトル L を介して電力系統に連系する。図 5.1 では，セルに用いる半導体スイッチに IGBT（Insulated Gate Bipolar Transistor）を用いているが，GTO（Gate Turn-off Thyristor）や GCT（Gate Commutated Thyristor）などを用いることも可能である。

一般的な STATCOM と同様に，DC 電源にはコンデンサ C_1，C_2，C_3 を用いる。装置の特徴である 2 進ハイブリッド CLMC は，DC 電圧 v_{C1}, v_{C2}, v_{C3} が 2 倍ずつの関係にある 3 台のセル Cell_1，Cell_2，Cell_3 を直列に接続して構成される。このような構成の 2 進ハイブリッド CLMC を用いることにより，STATCOM は 15 レベルの交流電圧を出力できる。

定格 DC 電圧はアプリケーションに応じて決定する。例えば，三相 6.6kV 系統では相電圧の波高値が約 5400V であるため，基準値が 800V，1600V，3200V 程度の DC 電源を用いると，トランスレス STATCOM を構成できる。

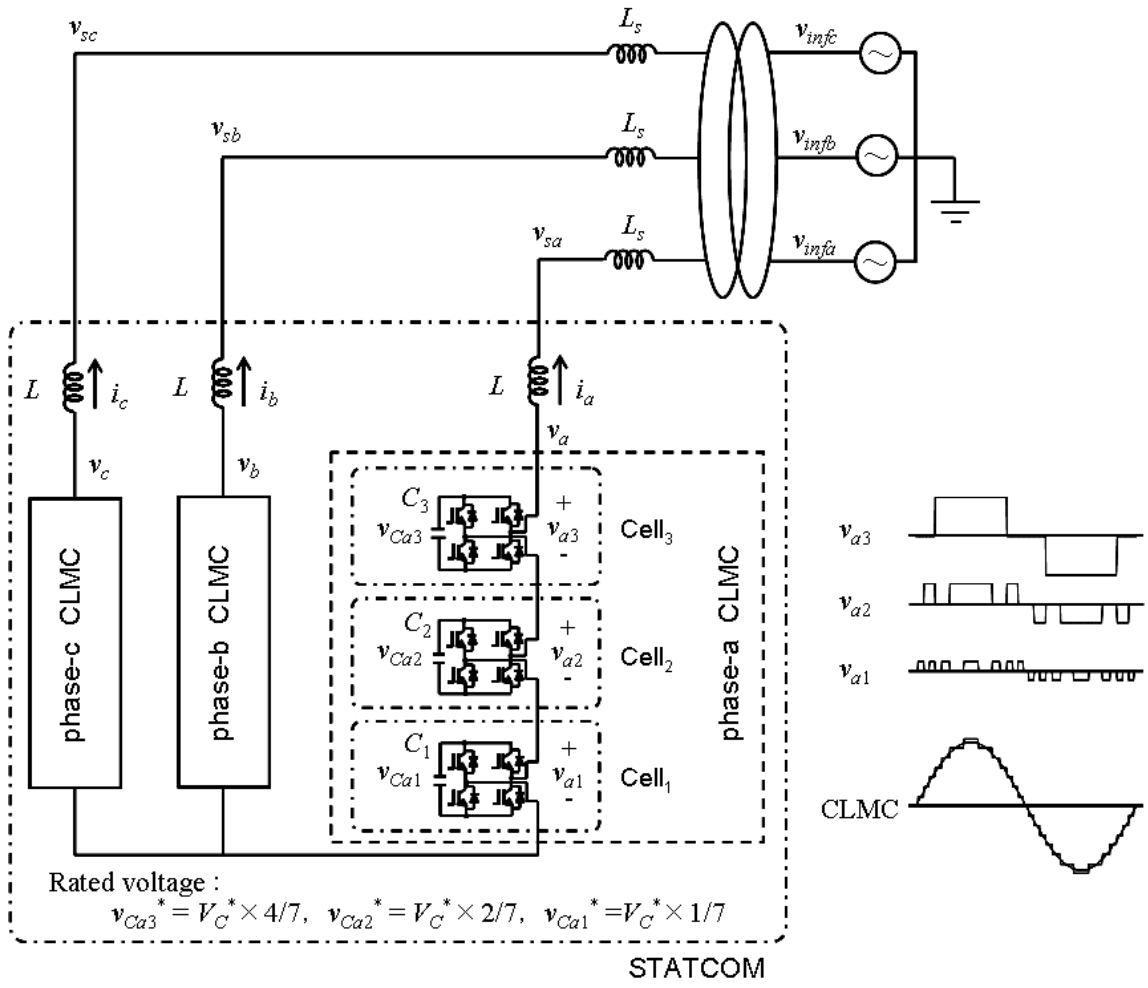


図 5.1　ハイブリッド CLMC を用いた STATCOM

5.2.2　逆相電流による三相出力制御の適用

STATCOM の出力電圧 v_a，v_b，v_c が(5.1)式で表されたケースで，出力電流を(5.2)式のように制御したとする。(5.2)式の右辺第一項は，STATCOM 全体の DC 電圧の平均値を一定に保つための正相成分である。第二項は，電力系統に供給する無効電力から定まる正相成分である。そして第三項は，第 3 章に示した(3.23)式の右辺第三項と同様に，各相の CLMC の DC 電圧を等しく制御するための逆相成分である。

この内，v_{Ca} を乗じた項は，a 相の出力を b 相と c 相に 1/2 ずつ回生させる成分である。v_{Cb} を乗じた項は b 相の出力を c 相と a 相に，v_{Cc} を乗じた項は c 相の出力を a 相と b 相に，1/2 ずつ回生させる成分である。この性質を利用して，系統電圧に不平衡が生じた際にも，各相の CLMC の DC 電圧を等しく制御する。

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} V_p \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} + \sqrt{\frac{2}{3}} V_n \begin{bmatrix} \cos(\omega t + \varphi) \\ \cos\left(\omega t + \frac{2\pi}{3} + \varphi\right) \\ \cos\left(\omega t - \frac{2\pi}{3} + \varphi\right) \end{bmatrix} \quad \cdots\cdots(5.1)$$

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \sqrt{\frac{2}{3}} i_{pd}{}^* \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} + \sqrt{\frac{2}{3}} i_{pq}{}^* \begin{bmatrix} -\sin(\omega t) \\ -\sin\left(\omega t - \frac{2\pi}{3}\right) \\ -\sin\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix}$$
$$+ \sqrt{\frac{2}{3}} K_n \left\{ v_{Ca} \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \end{bmatrix} + v_{Cb} \begin{bmatrix} \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \end{bmatrix} + v_{Cc} \begin{bmatrix} \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} \right\} \quad \cdots\cdots(5.2)$$

ここで，K_n はゲインである。v_{Ca}, v_{Cb}, v_{Cc} は，次式の通り，個々の CLMC の DC 電圧の合計である。

$$\left.\begin{aligned} v_{Ca} &= \sum_{j=1,2,3} v_{Caj} \\ v_{Cb} &= \sum_{j=1,2,3} v_{Cbj} \\ v_{Cc} &= \sum_{j=1,2,3} v_{Ccj} \end{aligned}\right\} \quad \cdots\cdots(5.3)$$

(5.1)と(5.2)式より，STATCOM が各相より出力する有効電力 P_a，P_b，P_c は，次のように計算できる。

$$\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} = \begin{bmatrix} \dfrac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_a \cdot i_a dt \\ \dfrac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_b \cdot i_b dt \\ \dfrac{\omega}{2\pi}\int_0^{\frac{2\pi}{\omega}} v_c \cdot i_c dt \end{bmatrix} = \frac{V_P K_n}{2} \begin{bmatrix} v_{Ca} - \dfrac{v_{Ca}+v_{Cb}+v_{Cc}}{3} \\ v_{Cb} - \dfrac{v_{Ca}+v_{Cb}+v_{Cc}}{3} \\ v_{Cc} - \dfrac{v_{Ca}+v_{Cb}+v_{Cc}}{3} \end{bmatrix} + \begin{bmatrix} P \\ P \\ P \end{bmatrix} + \begin{bmatrix} P_{na} \\ P_{nb} \\ P_{nc} \end{bmatrix} \quad \cdots\cdots(5.4)$$

ただし，右辺第二項と第三項の各成分は，次に示す通りである。

$$\left.\begin{aligned} P &= \frac{V_p i_{pd}^{\ *}}{3} + \frac{V_n K_n}{3}\left[v_{Ca}\cos\varphi + v_{Cb}\cos\left(\varphi - \frac{2\pi}{3}\right) + v_{Cc}\cos\left(\varphi + \frac{2\pi}{3}\right)\right] \\ P_{na} &= \frac{V_n i_{pd}^{\ *}}{3}\cos\varphi + \frac{V_n i_{pq}^{\ *}}{3}\sin\varphi \\ P_{nb} &= \frac{V_n i_{pd}^{\ *}}{3}\cos\left(\varphi - \frac{2\pi}{3}\right) + \frac{V_n i_{pq}^{\ *}}{3}\sin\left(\varphi - \frac{2\pi}{3}\right) \\ P_{nc} &= \frac{V_n i_{pd}^{\ *}}{3}\cos\left(\varphi + \frac{2\pi}{3}\right) + \frac{V_n i_{pq}^{\ *}}{3}\sin\left(\varphi + \frac{2\pi}{3}\right) \end{aligned}\right\} \quad \cdots\cdots(5.5)$$

(5.5)式の P は，(5.4)式の P_a，P_b，P_c に共通である。つまり，P は，各相の CLMC の DC 電圧 v_{Ca}，v_{Cb}，v_{Cc} のバランスと干渉しない。そして，P_{na}，P_{nb}，P_{nc} は，$i_{pd}^{\ *}$，$i_{pq}^{\ *}$，φより定まる。$i_{pd}^{\ *}$，$i_{pq}^{\ *}$は，v_{Ca}，v_{Cb}，v_{Cc} のバランスに依存しない。また，φも系統電圧の逆相成分の位相とほぼ一致し，v_{Ca}，v_{Cb}，v_{Cc} のバランスには殆ど依存しない。一方，(5.4)式の右辺第一項は，v_{Ca}，v_{Cb}，v_{Cc} の平均値との誤差に比例する。したがって，P_a，P_b，P_c は，v_{Ca}，v_{Cb}，v_{Cc} を等しくするよう作用する。

5.3　逆相電流による三相出力制御に関する原理実証試験[15]

5.3.1　試験回路の構成

三相電源，2 進ハイブリッド CLMC を用いた STATCOM，および負荷から，図 5.2 と図 5.3 のように，試験回路を構成する。回路定数は，表 5. 1 に示す通りである。

三相電源の相電圧波高値 $V_{PK}^{\ *}$は 140V であり，出力側に設けた瞬低発生装置（Sag Generator）により，各相個別に 20%の電圧低下を発生できる。

STATCOM は，定格容量の 10kVA ベースで 4%の連系リアクトル L を介して，系統に接続される。個々のセルの DC 電圧 v_{C1}，v_{C2}，v_{C3} は，それらの基準値の合計 $v_{C1}^{\ *}$+$v_{C2}^{\ *}$+$v_{C3}^{\ *}$，つまり CLMC が出力できる最大電圧が，$V_{PK}^{\ *}$の 1 割増し程度となるよう，22V，44V，88V とする。これにより，STATCOM は，1 レベルあたり 22V の 15 レベルの交流電圧を出力できる。

Cell_3 と Cell_2 のコンデンサ C_3，C_2 の容量は，STATCOM が定格電流を出力するとき，充電電圧の変動が 1V 程度となるよう選定する。また，これらと比べ，Cell_1 のコンデンサ C_1 は 9.9F と極端に大きな容量となっている。これは後述する理由により，C_1 が理想的な DC 電源とみなせる程度に，十分大きな値を設定したためである。

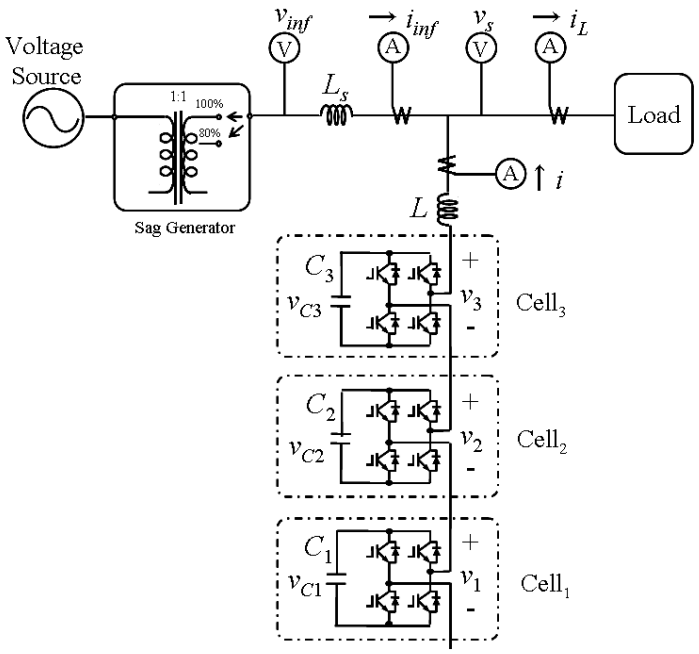
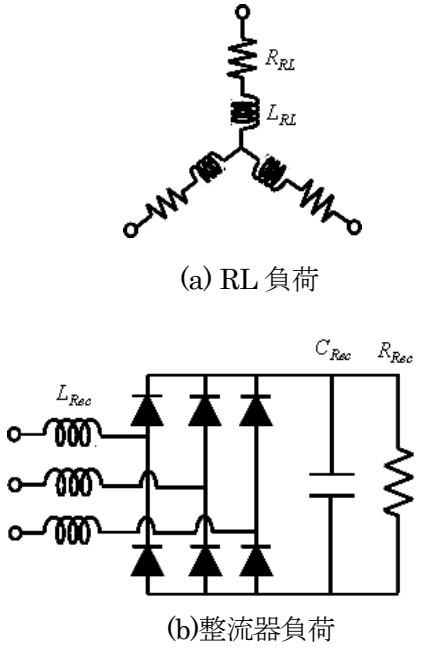


図 5.2　試験回路



(a) RL 負荷

(b)整流器負荷

図 5.3　試験用負荷

表 5.1　回路定数

Voltage Source	v_{inf}	3ϕ AC170V, 60Hz	Line Inductor	L_s	1mH(13%)
Peak Line Voltage	V_{PK}^*	140V	AC Link Inductor	L	0.3mH(4%)
Rated Reactive Power		10kVA	RL Load	R_{RL}	2 Ω
DC Capacitor	C_3, v_{C3}^*	66mF, DC88V		L_{RL}	7mH
and Rated Voltage	C_2, v_{C2}^*	136mF, DC44V	Rectifier Load	L_{REC}	1.5mH
	C_1, v_{C1}^*	9.9F , DC22V		C_{REC}	200μF
				R_{REC}	8 Ω

負荷には，図 5.3(a)に示す抵抗とリアクトルによる RL 負荷と，図 5.3(b)に示す三相ダイオードブリッジによる整流器負荷を用いる。これらは，STATCOM と並列に系統に接続される。RL 負荷の容量は約 9kVA で，力率が約 0.6 である。整流器負荷の容量は約 6kW で，負荷電流の THD（Total Harmonic Distortion）は約 20%である。

5.3.2　制御手法

STATCOM は，負荷電流の基本波無効電力と高調波を補償し，基本波有効電流のみが電源から供給されるよう動作するものとする。制御系は，潮流・系統電圧計測部，DC 電圧制御部，そして STATCOM の出力電流制御部の，3 要素から構成する。これらの制御手法を，図 5.2 の回路モデルを参照しながら説明する。

潮流・系統電圧計測部の制御ブロック図を，図 5.4 に示す。ここでは，負荷に供給される有効電力と無効電力を，P_p，Q_p として計測する。また，系統電圧の波高値 V_{PK} と，a 相を基準とした位相 ωt を計測する。

有効電力 P_p と無効電力 Q_p の計測では，まず，負荷電流と STATCOM の出力電流の差より，電源から供給される電流を i_{La}-i_a，i_{Lb}-i_b，i_{Lc}-i_c として求め，これらをαβ変換した i_α，i_β と，系統電圧 v_{sa}，v_{sb}，v_{sc} をαβ変換した $v_{s\alpha}$，$v_{s\beta}$ から，pq 理論に基づき瞬時有効電力 p と瞬時虚電力 q を求める[18]。そして，ローパスフィルタ処理を施し振動成分を除去することにより，P_p，Q_p を得る。また，$v_{s\alpha}$，$v_{s\beta}$ の自乗和平方根に，ローパスフィルタ処理を施し振動成分を除去することにより，V_{PK} を得る。

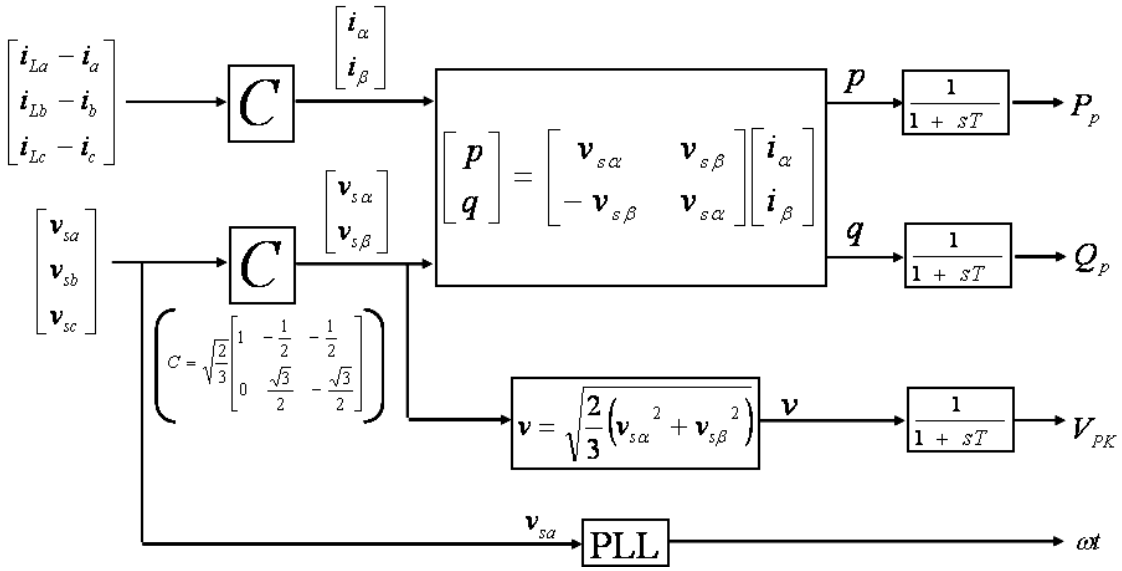


図 5.4　潮流・系統電圧計測部

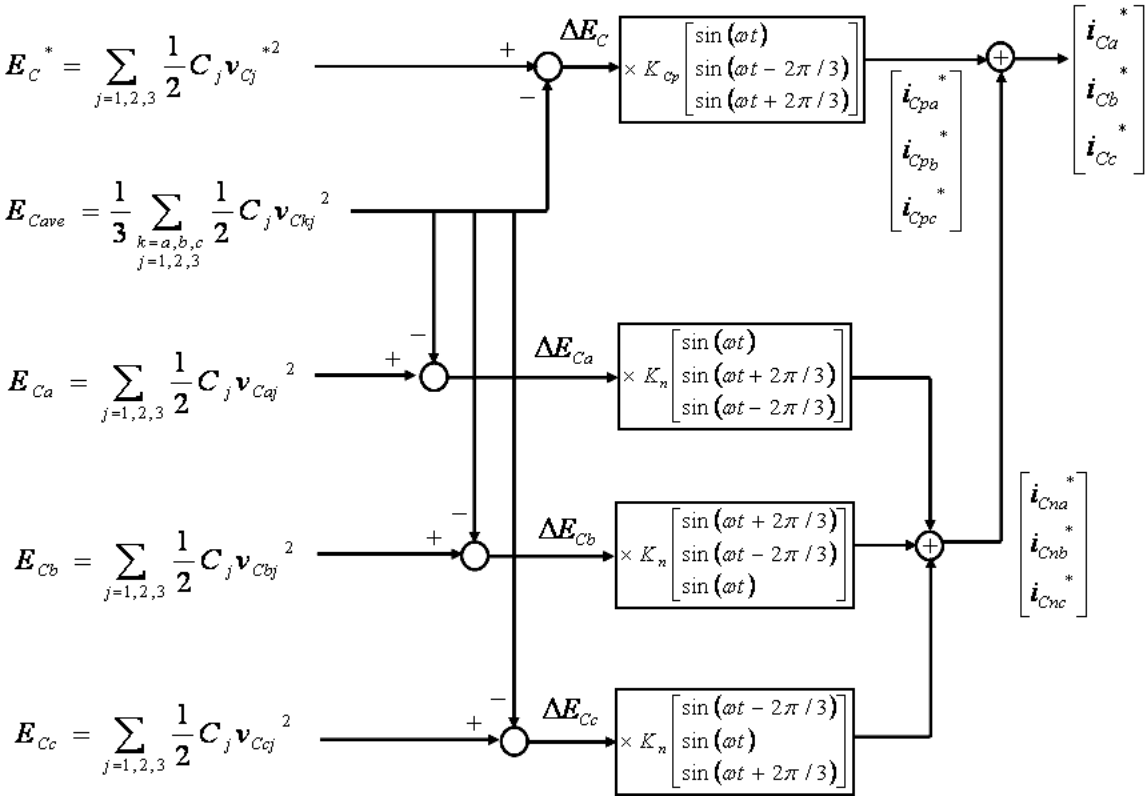


図 5.5　DC 電圧制御部

次に，DC 電圧制御部の制御ブロック図を，図 5.5 に示す。ここでは，DC 電圧を基準値に維持するための電流成分 i_{Ca}^*，i_{Cb}^*，i_{Cc}^*を求める。

E_C^*は，コンデンサ容量 C_1，C_2，C_3 と基準電圧 v_{C1}^*，v_{C2}^*，v_{C3}^*から定まる，各相の CLMC の充電エネルギーの基準値である。一方 E_{Cave}は，DC 電圧の計測値から，各相の充電エネルギーの平均値を求めたものである。これらの差ΔE_Cにゲイン K_{Cp} を乗じた有効電流 i_{Cpa}^*，i_{Cpb}^*，i_{Cpc}^*を出力することにより，STATCOM 全体の充電エネルギーを制御する。

E_{Ca}，E_{Cb}，E_{Cc}は，個々の CLMC に蓄積されるエネルギーである。これらと平均値 E_{Cave} の差ΔE_{Ca}，ΔE_{Cb}，ΔE_{Cc}にゲイン K_n を乗じて合成した逆相電流 i_{Cna}^*，i_{Cnb}^*，i_{Cnc}^*を出力することにより，各相の CLMC の DC 電圧を制御する。ここで，ΔE_{Ca} を乗じた逆相成分は，系統電圧 v_{sa}，v_{sb}，v_{sc} の内，a 相と位相を一致させている。この成分は，STATCOM の a 相の出力を 1/2 ずつ b 相と c 相に回生するよう作用する。ΔE_{Cb} を乗じた逆相成分は b 相の出力を c 相と a 相に，ΔE_{Cc} を乗じた逆相成分は c 相の出力を a 相と b 相に，1/2 ずつ回生させるよう作用する。

STATCOM は，ここまでに示したデータを用い，出力電流制御部により出力電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^*を設定する。制御ブロック図を，図 5.6 に示す。図では a 相を例に取るが，b 相と c 相についても，位相 ωt を ωt-2π/3 もしくは ωt+2π/3 に変更する以外は同様である。

まず，計測した一相あたりの有効電力 P_p/3 に 2sin$\omega t/V_{PK}$ を乗じたものを，電源から出力される有効電流の瞬時目標値 i_{pa}^*とする。また，一相あたりの無効電力 Q_p/3 と目標値 Q_p^*/3 との誤差に，ゲイン K_Q の積分演算を施し，さらに cosωt を乗じたものを，電源から出力される無効電流の瞬時目標値 i_{qa}^*とする。そして，i_{pa}^*と i_{qa}^*の和に，図 5.5 の演算により求めた STATCOM 全体の DC 電圧制御のための i_{Ca}^*を加えたものを，電源電流の目標値 i_{sa}^*とする。

次に，負荷電流と STATCOM の出力電流より求めた電源電流 i_{La}-i_a と，目標値 i_{sa}^*の誤差に，ゲイン K_p の比例演算とゲイン K_d の微分演算を施し，電位差Δv_a を得る。これに，波高値 V_{PK} と位相 ωt より定まる系統電圧検出値を加えて，出力電圧目標値 v_{refa}^*を得る。

なお，ゲイン K_{Cp}，K_n，K_Q，K_p，K_d の設定値は表 5.2 に示すが，いずれも DC 電圧，出力電圧，出力電流を確認しながら設定値を徐々に変更することにより，実験的に定めたものである。

最後に，本試験で用いた CLMC の変調方法を，図 5.7 に示す。この変調方法は，アクティブフ

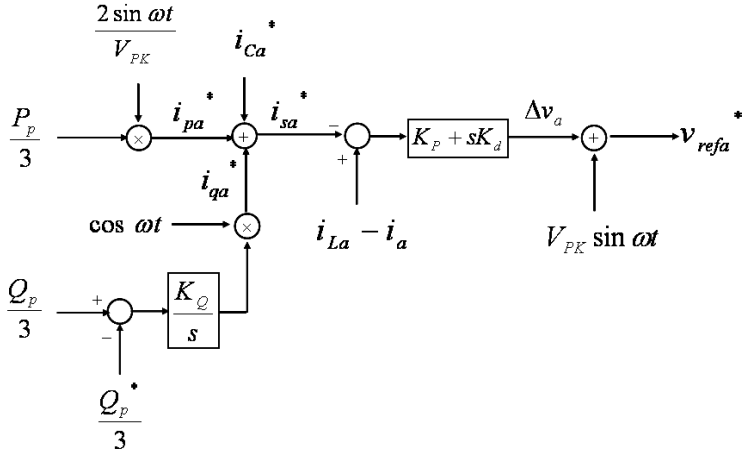


図 5.6　出力電流制御部

ィルタ並みの高調波補償性能の実現を目的に採用したものである。なお，出力電圧目標値 v_{ref}^* とセルごとの DC 電圧 v_{C1}，v_{C2}，v_{C3} は，v_{C1} をベースに正規化しているものとする。

Step1 と Step2 の処理により，Cell_3 と Cell_2 は図 5.8(a)， 図 5.8(b)のように，それぞれ 1 パルス，3 パルスで動作する。そして，これらの出力電圧 v_3+v_2 は，図 5.8(c)に示すように，v_{ref}^* との誤差が最小になるよう設定される。この階段波形の 1 レベルは，DC 電圧が正しく制御できておれば，$v_{C2}=2\times v_{C1}$ となる。したがって，v_3+v_2 と v_{ref}^* の誤差は最大で v_{C1} となり，Cell_1 の基準電圧と等しくなる。

一方, Cell_1 の動作は, 図 5.7 の Step3 の処理により決定される。図中の変数 TRI は 0pu ～ +1pu の値をとる三角波である。そして，図 5.8(d)に示すように，Cell_1 は，v_3+v_2 と v_{ref}^* の誤差を補正するように，高周波 PWM で動作させる。その結果，STATCOM の出力電圧 $v_1+v_2+v_3$ は，図 5.8(e)に示す波形となる。

ただし，Cell_1 は，出力電圧に対して動作パターンが一意に定まり，このセルに設置される DC 電源については，Cell_2，Cell_3 のような充放電の調整ができない。このため，DC 電源には，エネルギーを STATCOM 外部と双方向にやりとりできる機能が必要となる。必要な容量は，Cell_1 の損失補填と，系統電圧の歪および Cell_2，Cell_3 より発生する高調波電圧と高調波補償動作のために出力する電流より生じる有効電力より定まり，STATCOM の容量の数%程度となる。

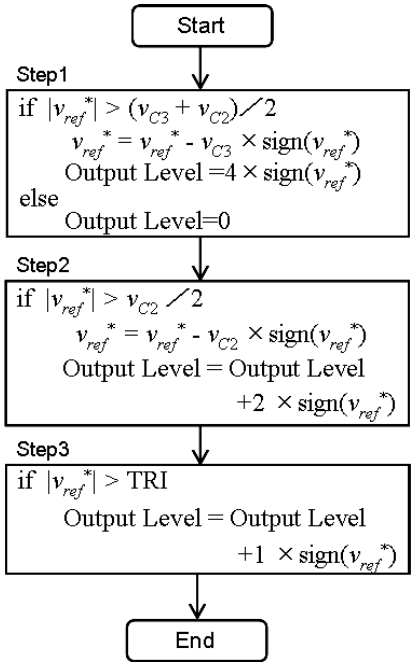


図 5.7　変調方法

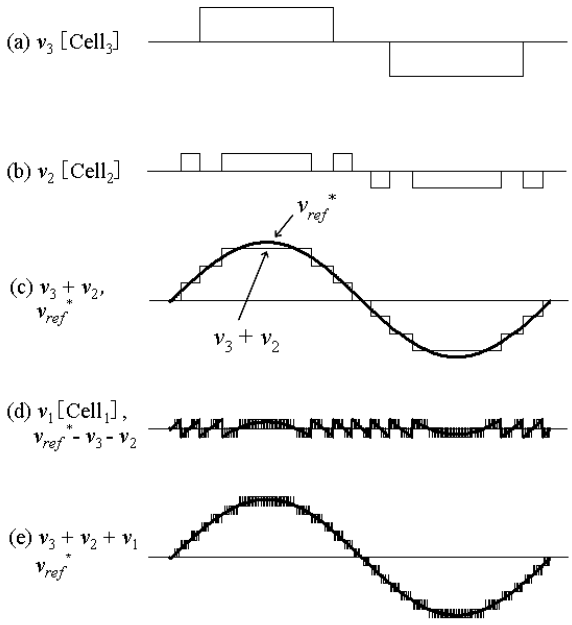


図 5.8　出力波形

表 5.2　制御定数

DC Voltage Control Gain	K_{Cp}	1.5	Reference Reactive Power	Q_p^*	0
	K_n	0.1	Q Control Gain	K_Q	0.05
Current Control Gain	K_P	5.0	LPF Time Constant	T	0.00245
	K_d	0.1	PWM Frequency for Cell_1	f_{PWM}	4kHz

5.3.3　高調波補償試験

図 5.2 の試験回路，および図 5.3(b)の整流器負荷を用いて，高調波補償試験を行った。回路定数と制御定数は，前述した表 5.1 と表 5.2 の通りである。STATCOM は，負荷電流 i_{La}，i_{Lb}，i_{Lc} の高調波と基本波無効電力を補償し，電源 v_{infa}，v_{infb}，v_{infc} に対する負荷力率を改善する。

試験結果の a 相成分を，図 5.9 に示す。負荷電流 i_{La} の THD は 20%程度であるが，電源電流 i_{infa} の THD は 5%程度に改善できている。また，電圧 v_{infa} に対して，電流 i_{infa} の遅れは約 0.2msec であり，電源から負荷側を見た力率は，ほぼ 1 に改善できた。そして，DC 電圧 v_{Ca3}，v_{Ca2} は，基準値である 88V，44V に維持できている。

また，試験データより計算すると，電源が供給した有効電力 P_{REC} と電源電流の基本波有効成分の波高値 I_{REC_P} は，次の通り 5.6kW と 27A であった。

$$\left.\begin{aligned} P_{REC} &= \sum_{k=a,b,c} \frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} v_{infk} \cdot i_{infk}\, dt = 5.6[\mathrm{kW}] \\ I_{REC_P} &= \frac{P_{REC}}{3} \times \frac{2}{V_{PK}^{*}} = 27[\mathrm{A}] \end{aligned}\right\} \quad \cdots\cdots (5.6)$$

図 5.9 に示した i_{infa} の波高値は，(5.6)式の I_{REC_P} とほぼ一致しており，計算値からも，STATCOM は，正常に高調波補償を行ったことが確認できた。

5.3.4　系統電圧不平衡試験

図 5.2 において， a 相のみ 20%の電圧低下を発生させて，系統電圧に不平衡を生じさせた。負荷には，図 5.3(a)に示した RL 負荷を用いた。STATCOM は，各相の CLMC の DC 電圧が等し

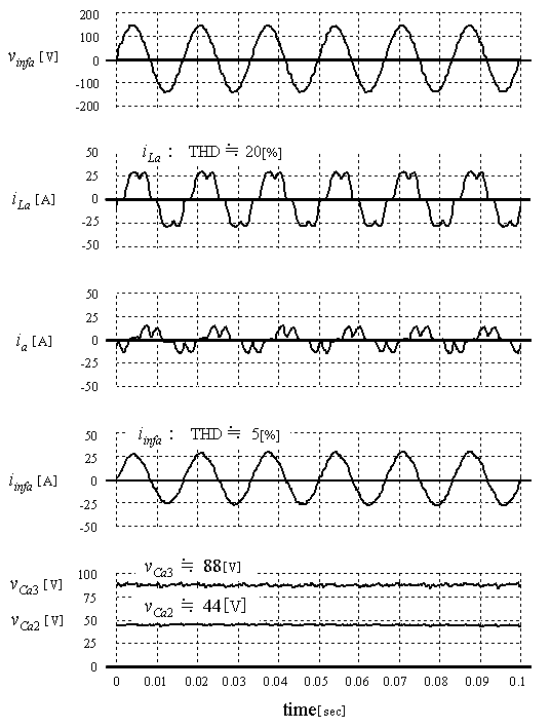


図 5.9　高調波補償試験

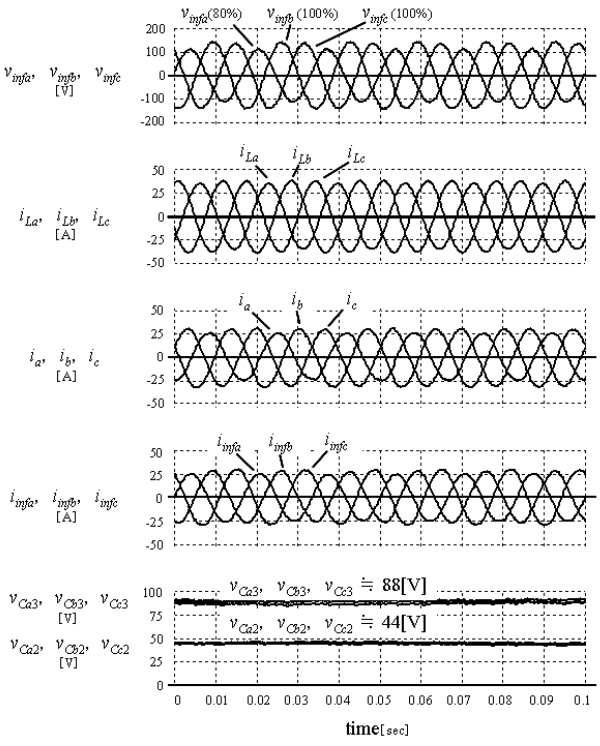


図 5.10　系統電圧不平衡試験

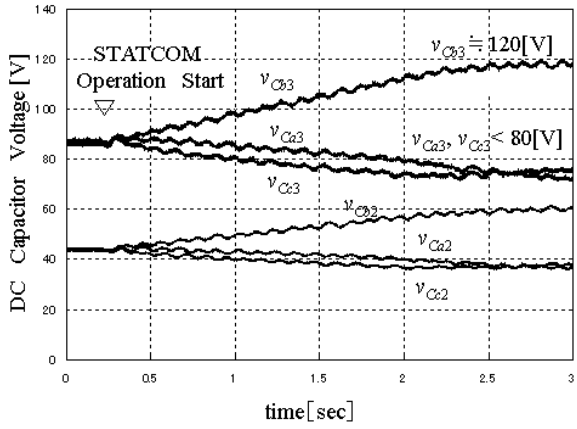


図 5.11　系統電圧不平衡に関する比較試験（K_n=0）の結果

くなるよう制御しつつ，負荷電流 i_{La}，i_{Lb}，i_{Lc} の基本波無効電力を補償し，電源 v_{infa}，v_{infb}，v_{infc} に対する負荷力率を改善する。

試験結果を，図 5.10 に示す。v_{infa} の波高値は v_{infb}，v_{infc} に対して 80%に低下し，電源電圧に不平衡が生じているが，DC 電圧 v_{Ca3}，v_{Cb3}，v_{Cc3} と v_{Ca2}，v_{Cb2}，v_{Cc2} は，それぞれ三相一致し，かつ基準値である 88V と 44V に維持できている。数値データを確認したところ，誤差は 5%程度であった。そして，i_{infa}，i_{infb}，i_{infc} との位相関係から，電源から負荷側を見た力率は，ほぼ 1 に改善できていることがわかる。

比較のための試験として，表 5.2 の制御定数 K_n を 0，すなわち逆相電流制御を用いなかった結果を，図 5.11 に示す。v_{Ca3}，v_{Cb3}，v_{Cc3} と v_{Ca2}，v_{Cb2}，v_{Cc2} は，三相の間でそれぞれ大幅に乖離している。例えば，時刻 3sec において，v_{Cb3} は約 120V で，v_{Ca3} と v_{Cc3} は 80V を下回っており，STATCOM としての正常な動作は維持できない。以上により，逆相電流制御の必要性と効果を確認できた。

5.4　6.6kV トランスレス STATCOM の試設計

前節までの検討を踏まえ，2 進ハイブリッド CLMC を用いた 6.6kV-1MVA トランスレス STATCOM の試設計を行う。ただし，第 3 章に記載した通り，逆相電流による DC 電圧制御では，系統電圧の不平衡に対して出力電流が一意に定まり，例えば逆相電流を補償できないという機能的な制約が生じる。これに対し，常時の電流制御の自由度を高める目的より，不平衡の大小に応じて，逆相電流制御[16]と零相電圧制御[17]を切り替える方式の DC 電圧制御を試みる。そして，ディジタルシミュレーションにより検証する。

5.4.1　回路構成

図 5.1 の回路モデルにおいて，3 台のセル $Cell_1$, $Cell_2$, $Cell_3$ の半導体スイッチには，1.7kV-IGBT，3.3kV-IGBT，6.5kV-IGBT を用いる。そして，半導体スイッチに適用できる DC 電圧の上限が，定格電圧の 60%であるとし，$Cell_1$，$Cell_2$，$Cell_3$ の定格 DC 電圧を，975V，1950V，3900V とする。その結果，CLMC の出力できる電圧波高値は，最大で 6825V となる。これは，三相 6.6kV 系統の定格電圧波高値の 1.26pu に相当する。

連系リアクトル L のインピーダンスは，定格容量に対して 10%とする。電力系統は，三相電源 v_{infa}，v_{infb}，v_{infc} と，リアクトル L_s で模擬する。コンデンサ C_1，C_2，C_3 の容量は，定格出力時に，それぞれの充電電圧のリプルが，定格電圧のおよそ 5%に収まるよう設定する。

5.4.2　制御系の設計

STATCOMは，電力系統に無効電力を供給することにより，連系点の電圧を一定に維持するよう動作するものとする。電力系統の不平衡については，定常時には零相電圧制御を用いて，STATCOMからは三相平衡に電流を出力しつつ，各相のCLMCのDC電圧を制御する。事故等により電力系統に大幅な不平衡が生じた場合は，逆相電流制御によりDC電圧を制御する。

図5.12に，STATCOMの制御ブロック図を示す。制御器"PI-1"，"PI-2"，"LPF-1"などの定数については，後に示す。CLMCの出力レベルの決定には，図5.13の変調方法を用いる。

表 5.3　回路定数

Rated AC Voltage	V_{AC}	3ϕ AC 6600V	DC Capacitance	C_3	1mF
Rated Reactive Power	Q	1MVA		C_2	2mF
Line angular frequency	ω_0	$2\pi \times 60$ rad/s		C_1	4mF
Line Inductance	L_s	4.64mH (4%)	Rated Capacitor Voltage	v_{C3}^*	3900V
AC link Inductance	L	11.6mH (10%)		v_{C2}^*	1950V
				v_{C1}^*	975V

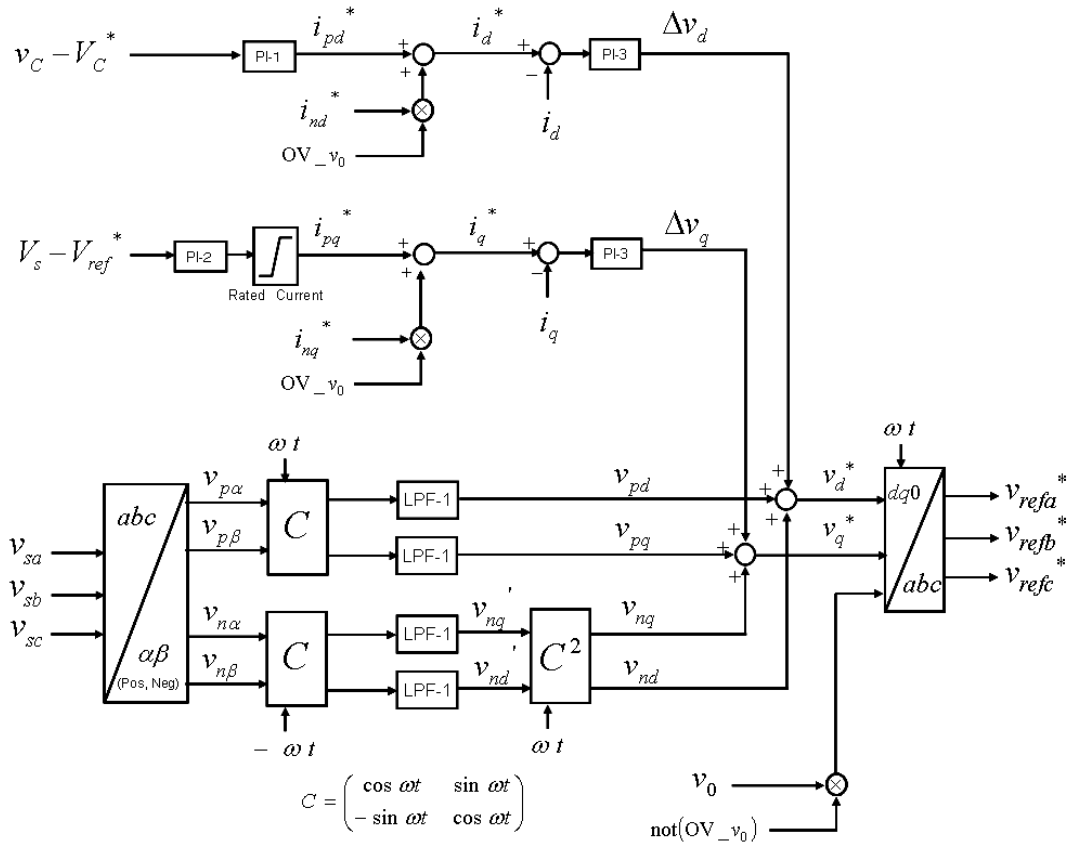
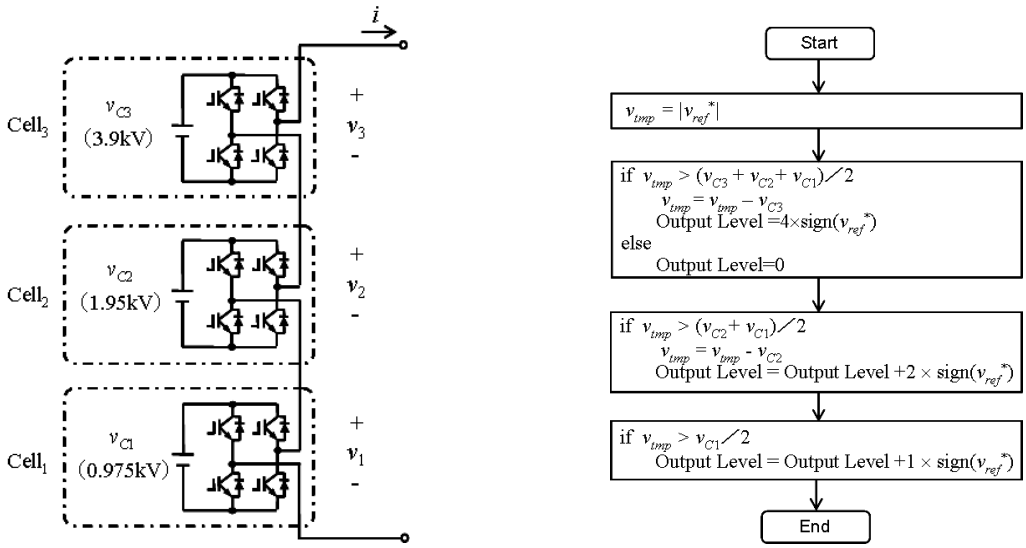


図 5.12　STATCOM の制御ブロック図



(a)回路構成　　(b)変調方法

図 5.13　3 直列-2 進ハイブリッド CLMC の変調方法

$$\max_{k=a,b,c}\left(\sqrt{2}\times\sqrt{\frac{1}{T}\int_{t-T}^{t} v_{refk}^{*}(\tau)\times v_{refk}^{*}(\tau)d\tau}\right) \longrightarrow \boxed{\text{LPF-2}} \longrightarrow \boxed{\times\frac{7}{6.5}} \longrightarrow V_C^{*}$$

図 5.14　DC 電圧目標値の決定方法

d 軸正相電流の目標値 i_{pd}^{*}は，DC 電圧の平均値 v_Cを目標値 V_C^{*}と一致させるように決定する。ただし，v_Cは次式で定める。

$$v_C = \frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj} \qquad \text{.....(5.7)}$$

ここで，V_C^{*}は，出力電圧 v_{refa}^{*}，v_{refb}^{*}，v_{refc}^{*}の波高値に応じて，図 5.14 に示す演算により変化させる。これは，STATCOM の出力電圧の波高値が変化しても，できるだけ多くの CLMC の出力レベルを利用するために導入する。逆にもし V_C^{*}を固定すると，例えば系統電圧が 1/2 に低下した場合には, 0～3 または 4 程度の出力レベルしか利用できないためである。なお, 制御要素"×7/6.5"は, v_{refa}^{*}, v_{refb}^{*}, v_{refc}^{*}の最大波高値を, 出力電圧のレベル 6 と 7 の中間に位置させるよう作用する。

q 軸正相電流の目標値 i_{pq}^{*}は, 系統電圧の基本波正相成分 V_sを目標値 V_{ref}^{*}と一致させるように決定する。

各相の CLMC の DC 電圧の制御については，零相電圧制御と逆相電流制御を用いる。第 3 章に記載した通り，逆相電流制御では系統電圧の不平衡に対して出力できる逆相電流が一意に定まるため，STATCOM としての機能面に制約が生じる。一方，零相電圧制御であれば，そのような出力電流に関する制約は生じないが，DC 電圧の制約により，必ずしも計算通りの零相電圧を出力できるとは限らない。これらを補うため，常時は零相電圧制御を働かせ，系統電圧の不平衡が大きくなり DC 電圧の制約が生じた場合にのみ逆相電流制御に切り替える手法を採用する。

零相電圧制御と逆相電流制御には，図 5.15 に示す判定方法を用いる。図 5.14 の演算により得

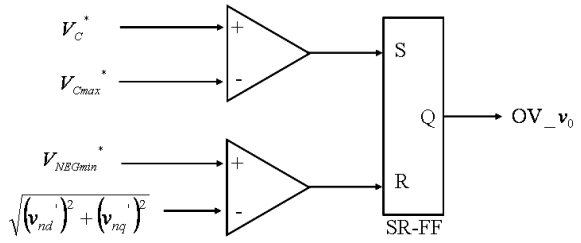


図 5.15　三相出力制御の切り替え方法

られた DC 電圧の目標値 V_C^*が上限値 V_{Cmax}^*を上回れば，切替フラグ OV_ v_0 は 1 に設定され，逆相電流制御を選択する。一方，後述する方法により計測する系統電圧の基本波逆相成分 v_{nd}'，v_{nq}' の実効値が下限値 V_{NEGmin}^*を下回れば，OV_ v_0 は 0 に設定され，零相電圧制御を選択する。なお，V_{Cmax}^*は主回路部品の耐圧より設定する。V_{NEGmin}^*は，系統電圧の不平衡が小さく，零相電圧制御が十分可能とみなせる値に設定する。具体的な制御定数の設定については後述する。

各相の CLMC の DC 電圧制御のための逆相電流目標値 i_{na}^*，i_{nb}^*，i_{nc}^*は，abc 座標において，次のように表される。

$$\begin{bmatrix} i_{na}^* \\ i_{nb}^* \\ i_{nc}^* \end{bmatrix} = \sqrt{\frac{2}{3}} K_n \left\{ v_{Ca} \begin{bmatrix} \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \end{bmatrix} + v_{Cb} \begin{bmatrix} \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \end{bmatrix} + v_{Cc} \begin{bmatrix} \cos\left(\omega t - \frac{2\pi}{3}\right) \\ \cos(\omega t) \\ \cos\left(\omega t + \frac{2\pi}{3}\right) \end{bmatrix} \right\} \quad \text{.....(5.8)}$$

ここで，K_n はゲインで，v_{Ca}，v_{Cb}，v_{Cc} は，(5.3)式に示したように，個々の CLMC の DC 電圧の合計である。

$i_{na}^*, i_{nb}^*, i_{nc}^*$を dq 座標に変換するにあたり，次式のように，逆方向に回転する座標の i_{nd}'，i_{nq}'に一旦変換する。

$$\begin{bmatrix} i_{nd}' \\ i_{nq}' \end{bmatrix} = \begin{bmatrix} \cos\omega t & -\sin\omega t \\ \sin\omega t & \cos\omega t \end{bmatrix} \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{na}^* \\ i_{nb}^* \\ i_{nc}^* \end{bmatrix} \quad \text{.....(5.9)}$$

(5.8)式と(5.9)式を用いると，i_{nd}'，i_{nq}'は，次のように整理できる。

$$\begin{bmatrix} i_{nd}' \\ i_{nq}' \end{bmatrix} = K_n \begin{bmatrix} v_{Ca} - \frac{v_{Cb} + v_{Cc}}{2} \\ \frac{\sqrt{3}}{2}(v_{Cc} - v_{Cb}) \end{bmatrix} \quad \text{.....(5.10)}$$

次に，i_{nd}'と i_{nq}'を，順方向に 2 倍の角周波数で回転させることにより，目標値 i_{nd}^*，i_{nq}^*を得る。

$$\begin{bmatrix} i_{nd}^* \\ i_{nq}^* \end{bmatrix} = \begin{bmatrix} \cos 2\omega t & \sin 2\omega t \\ -\sin 2\omega t & \cos 2\omega t \end{bmatrix} \begin{bmatrix} i_{nd}' \\ i_{nq}' \end{bmatrix} = \begin{bmatrix} \cos 2\omega t & \sin 2\omega t \\ -\sin 2\omega t & \cos 2\omega t \end{bmatrix} K_n \begin{bmatrix} v_{Ca} - \frac{v_{Cb} + v_{Cc}}{2} \\ \frac{\sqrt{3}}{2}(v_{Cc} - v_{Cb}) \end{bmatrix} \quad \text{.....(5.11)}$$

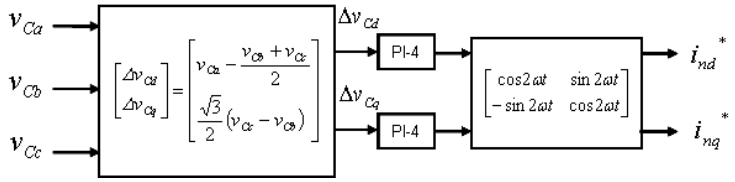
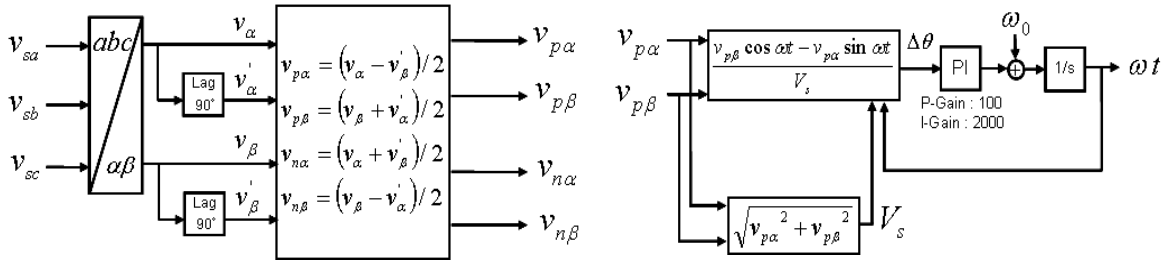


図 5.16　逆相電流目標値の算出方法



(a)正相と逆相の分離方法　　(b)PLL の構成

図 5.17　系統電圧の検出方法

なお，実際の制御では，v_{Ca}, v_{Cb}, v_{Cc} と平均値 v_C の誤差を 0 にするために，ゲイン K_n に替え，図 5.16 に示す PI 制御により，i_{nd}^*，i_{nq}^*を計算する。

一方，各相の CLMC の DC 電圧制御のための零相電圧 v_0 の目標値は，第 3 章で導出した(3.15)式，および第 4 章で用いた(4.42)式と同様に，次式により算定する。

$$\left.\begin{aligned}
\mathbf{v}_0 &= \frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)\mathbf{i}_a+\Delta P_b(\mathbf{i}_c\cdot\mathbf{i}_a)\mathbf{i}_b+\Delta P_c(\mathbf{i}_a\cdot\mathbf{i}_b)\mathbf{i}_c}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2-(\mathbf{i}_a\cdot\mathbf{i}_b)^2}\\
\Delta P_a &= \mathbf{v}_a^*\cdot\mathbf{i}_a-\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k^*\cdot\mathbf{i}_k+K_{0p}\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Ckj}}^2-\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Caj}}^2\right)\\
\Delta P_b &= \mathbf{v}_b^*\cdot\mathbf{i}_b-\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k^*\cdot\mathbf{i}_k+K_{0p}\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Ckj}}^2-\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Cbj}}^2\right)\\
\Delta P_c &= \mathbf{v}_c^*\cdot\mathbf{i}_c-\frac{1}{3}\sum_{k=a,b,c}\mathbf{v}_k^*\cdot\mathbf{i}_k+K_{0p}\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Ckj}}^2-\sum_{j=1,2,3}\frac{1}{2}C_j{v_{Ccj}}^2\right)
\end{aligned}\right\}\quad\cdots\cdots\cdots\cdots\cdots\cdots(5.12)$$

ただし，太字はフェーザ表示である。演算"･"は，フェーザを複素ベクトルとして取り扱った場合の内積である。v_a^*，v_b^*，v_c^*は，出力電圧目標値の正相成分と逆相成分の和である。

図 5.12 における出力電流の制御には，切替フラグ OV_v_0 が 1 の場合には $i_{pd}^*+i_{nd}^*$，$i_{pq}^*+i_{nq}^*$を，OV_v_0 が 0 の場合には i_{pd}^*，i_{pq}^*を，STATCOM の出力電流目標値 i_d^*, i_q^*として用いる。そして，PI 制御器を用いて，これらと計測値 i_d, i_q との誤差より，系統電圧と出力電圧目標値との電圧差 Δv_d, Δv_q が計算される。

系統電圧の検出においては，図 5.17 に示した方法により，計測した v_{sa}，v_{sb}，v_{sc} を，一旦正相成分 $v_{p\alpha}$, $v_{p\beta}$ と逆相成分 $v_{n\alpha}$, $v_{n\beta}$ に分離する。$v_{p\alpha}$, $v_{p\beta}$ の基本波成分は，dq 変換を行うことにより，直流に変換されるため，高調波成分を除去するためのローパスフィルタ処理を施せば，基本波正相成分 v_{pd}, v_{pq} が抽出される。一方，$v_{n\alpha}$, $v_{n\beta}$ は，逆回転方向の dq 変換を，一旦施される。この

座標上においても基本波成分は直流となるため，次にローパスフィルタ処理を施せば，基本波逆相成分 v_{nd}'，v_{nq}'が抽出される。そしてさらに，順回転方向に 2 倍の角周波数で dq 変換を施すと，基本波正相成分 v_{pd}, v_{pq} と同じ dq 座標における基本波逆相成分 v_{nd}, v_{nq} が得られる。そして，$v_{pd}+v_{nd}$ と $v_{pq}+v_{nq}$ を，系統電圧の基本波成分として用いる。

出力電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^*は，切替フラグ OV_ v_0 が 1 で逆相電流制御が選択された場合は，$v_d^*=v_{pd}+v_{nd}+\Delta v_d$，$v_q^*=v_{pq}+v_{nq}+\Delta v_q$ を，また，OV_ v_0 が 0 で零相電圧制御が選択された場合は，v_d^*，v_q^*と(5.12)式による v_0 を，abc 座標に変換することにより決定する。

5.4.3 制御定数の設定

初めに，各相の CLMC の DC 電圧制御のための定数である，図 5.12 の制御器"PI-1"の比例・積分ゲイン K_{Cp}，K_{Ci} と，図 5.16 の制御器"PI-4"の比例・積分ゲイン K_{np}，K_{ni} の設定方法を示す。

(5.4)式と(5.5)式により表される STATCOM の有効出力 P_a, P_b, P_c に対して，次の変換を導入する。ただし，v_{Ca}，v_{Cb}，v_{Cc} は，(5.3)式の通り，個々の CLMC の DC 電圧の合計である。

$$\begin{bmatrix} P_0 \\ P_\alpha \\ P_\beta \end{bmatrix} = \frac{1}{3}\begin{bmatrix} 1 & 1 & 1 \\ 2 & -1 & -1 \\ 0 & \sqrt{3} & -\sqrt{3} \end{bmatrix}\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} \quad \cdots\cdots (5.13)$$

$$\begin{bmatrix} v_C \\ v_{C\alpha} \\ v_{C\beta} \end{bmatrix} = \frac{1}{6}\begin{bmatrix} 2 & 2 & 2 \\ 6 & -3 & -3 \\ 0 & 3\sqrt{3} & -3\sqrt{3} \end{bmatrix}\begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix} \quad \cdots\cdots (5.14)$$

すると，(5.4)式と(5.5)式は，次のように整理できる。

$$\begin{bmatrix} P_0 \\ P_\alpha \\ P_\beta \end{bmatrix} = \frac{1}{3}\begin{bmatrix} V_p {i_{pd}}^* + V_n K_n \left(v_{C\alpha}\cos\varphi + v_{C\beta}\sin\varphi \right) \\ V_p K_n v_{C\alpha} + V_n {i_{pd}}^* \cos\varphi + V_n {i_{pq}}^* \sin\varphi \\ V_p K_n v_{C\beta} + V_n {i_{pd}}^* \sin\varphi - V_n {i_{pq}}^* \cos\varphi \end{bmatrix} \quad \cdots\cdots (5.15)$$

次に，コンデンサの充電エネルギーを，(5.16)式のように近似する。ここで，Cell_3，Cell_2，Cell_1 の DC 電圧 v_{Ck3}，v_{Ck2}，v_{Ck1} $(k=a,b,c)$は，表 5.4 を用いた動作パターンの選択により，比率が 4:2:1 に制御できているとする。

$$\begin{aligned} E_k &= \frac{1}{2}C_3 {v_{Ck3}}^2 + \frac{1}{2}C_2 {v_{Ck2}}^2 + \frac{1}{2}C_1 {v_{Ck1}}^2 \\ &= \frac{1}{2}C_3\left(\frac{4}{7}v_{Ck}\right)^2 + \frac{1}{2}C_2\left(\frac{2}{7}v_{Ck}\right)^2 + \frac{1}{2}C_1\left(\frac{1}{7}v_{Ck}\right)^2 \\ &= \frac{1}{2}C {v_{Ck}}^2 \end{aligned} \quad \cdots\cdots (5.16)$$

ただし，C は次式で定義する。

$$C = C_3\left(\frac{4}{7}\right)^2 + C_2\left(\frac{2}{7}\right)^2 + C_1\left(\frac{1}{7}\right)^2 \quad \cdots\cdots (5.17)$$

表 5.4　3 直列-2 進ハイブリッド CLMC の動作パターンの選択条件

Output Level	$Cell_3$	$Cell_2$	$Cell_1$	Condition
1			1	$4v_{C1} \geqq 2v_{C2}$ and $4v_{C1} \geqq v_{C3}$
		1	−1	$2v_{C2} \geqq v_{C3}$ and $2v_{C2} > 4v_{C1}$
	1	−1	−1	$v_{C3} > 4v_{C1}$ and $v_{C3} > 2v_{C2}$
2		1		$2v_{C2} \geqq v_{C3}$
	1	−1		$2v_{C2} < v_{C3}$
3		1	1	$2v_{C2} \geqq v_{C3}$ and $4v_{C1} \geqq v_{C3}$
	1		−1	$v_{C3} > 4v_{C1}$ and $2v_{C2} > 4v_{C1}$
	1	−1	1	$v_{C3} > 2v_{C2}$ and $4v_{C1} \geqq 2v_{C2}$
4	1			
5	1		1	$4v_{C1} \geqq 2v_{C2}$
	1	1	−1	$4v_{C1} < 2v_{C2}$
6	1	1		
7	1	1	1	

そして，(5.16)式と(5.17)式を用いて，CLMC が出力する有効電力を，次のように近似する。

$$\begin{bmatrix} P_a \\ P_b \\ P_c \end{bmatrix} = -\frac{d}{dt}\begin{bmatrix} E_a \\ E_b \\ E_c \end{bmatrix} = -\frac{d}{dt}\begin{bmatrix} \frac{1}{2}Cv_{Ca}{}^2 \\ \frac{1}{2}Cv_{Cb}{}^2 \\ \frac{1}{2}Cv_{Cc}{}^2 \end{bmatrix} = -\begin{bmatrix} Cv_{Ca}\frac{dv_{Ca}}{dt} \\ Cv_{Cb}\frac{dv_{Cb}}{dt} \\ Cv_{Cc}\frac{dv_{Cc}}{dt} \end{bmatrix} \cong -CV_C{}^* \frac{d}{dt}\begin{bmatrix} v_{Ca} \\ v_{Cb} \\ v_{Cc} \end{bmatrix} \quad \cdots\cdots (5.18)$$

さらに，(5.13)式と(5.14)式を用いて，(5.18)式を次式のように整理する。

$$\begin{bmatrix} P_0 \\ P_\alpha \\ P_\beta \end{bmatrix} = \frac{1}{3}\begin{bmatrix} P_a + P_b + P_c \\ 2P_a - P_b - P_c \\ \sqrt{3}(P_b - P_c) \end{bmatrix} \cong -\frac{CV_C{}^*}{3}\frac{d}{dt}\begin{bmatrix} v_{Ca} + v_{Cb} + v_{Cc} \\ 2v_{Ca} - v_{Cb} - v_{Cc} \\ \sqrt{3}(v_{Cb} - v_{Cc}) \end{bmatrix} = -CV_C{}^* \frac{d}{dt}\begin{bmatrix} v_C \\ v_{C\alpha} \times 2/3 \\ v_{C\beta} \times 2/3 \end{bmatrix} \quad \cdots\cdots (5.19)$$

以上により求めた(5.15)式と(5.19)式から，DC 電圧と出力電流の目標値の間には，次の関係が得られる。

$$-CV_C{}^* \frac{d}{dt}\begin{bmatrix} v_C \\ v_{C\alpha} \times 2/3 \\ v_{C\beta} \times 2/3 \end{bmatrix} = \frac{1}{3}\begin{bmatrix} V_p i_{pd}{}^* + V_n K_n \left(v_{C\alpha}\cos\varphi + v_{C\beta}\sin\varphi\right) \\ V_p K_n v_{C\alpha} + V_n i_{pd}{}^* \cos\varphi + V_n i_{pq}{}^* \sin\varphi \\ V_p K_n v_{C\beta} + V_n i_{pd}{}^* \sin\varphi - V_n i_{pq}{}^* \cos\varphi \end{bmatrix} \quad \cdots\cdots (5.20)$$

図 5.12 に示したように，$i_{pd}{}^*$は，DC 電圧の平均値 v_C と基準値 $V_C{}^*$の誤差を PI 演算することにより得られるため，ラプラス変換領域において次式で表す。K_{Cp} と K_{Ci} は制御器"PI-1"のゲイン，s はラプラス演算子である。

$$I_{pd}{}^*(s) = \frac{sK_{Cp} + K_{Ci}}{s}\left(V_C(s) - \frac{V_C{}^*}{s}\right) \quad \cdots\cdots (5.21)$$

(5.20)式と(5.21)式から，次式が得られる。

$$-sCV_C{}^{*}V_C(s)=\frac{V_p}{3}\frac{sK_{Cp}+K_{Ci}}{s}\left(V_C(s)-\frac{V_C{}^{*}}{s}\right)+\frac{V_nK_n}{3}\left(V_{C\alpha}(s)\cos\varphi+V_{C\beta}(s)\sin\varphi\right) \quad \cdots\cdots (5.22)$$

そして，(5.22)式の特性方程式は，次式となる。

$$F_0(s)=s^2CV_C{}^{*}+s\frac{V_P}{3}K_{Cp}+\frac{V_P}{3}K_{Ci} \quad \cdots\cdots (5.23)$$

ここで，K_{Cp}，K_{Ci}は，0.15 秒程度で誤差 v_C-$V_C{}^{*}$が収束するように，次式により設定する。

$$\left.\begin{aligned}&\left(\frac{V_P}{3}K_{Cp}\right)^2-4\times CV_C{}^{*}\times\frac{V_P}{3}K_{Ci}=0\\&\frac{6CV_C{}^{*}}{K_{Cp}V_P}\cong\frac{0.15[\sec]}{3}\end{aligned}\right\} \quad \cdots\cdots (5.24)$$

ただし，(5.24)式の計算にあたっては，$V_C{}^{*}$は電力系統の定格電圧とし，V_pには一相地絡事故により生じる系統電圧の基本波正相分の電圧低下 1/3pu に余裕分 1/15pu を加えた値（1-1/3-1/15 = 0.6pu）を用いる。

$$\left.\begin{aligned}&V_C{}^{*}=\sqrt{\frac{2}{3}}\times V_{AC}\\&V_P=0.6\times\sqrt{\frac{2}{3}}\times V_{AC}\end{aligned}\right\} \quad \cdots\cdots (5.25)$$

一方，逆相電流による各相の CLMC の DC 電圧制御のためのゲイン K_nについても，同様の方法により設定する。(5.20)式の α 軸成分において，K_nを比例要素 K_{np}と積分要素 K_{ni}に置き換えることにより，ラプラス変換領域において次式が得られる。

$$-sCV_C{}^{*}V_{C\alpha}(s)=\frac{sK_{np}+K_{ni}}{s}\frac{V_p}{2}V_{C\alpha}(s)+\frac{V_nI_{pd}{}^{*}(s)}{2}\cos\varphi+\frac{V_nI_{pq}{}^{*}(s)}{2}\sin\varphi \quad \cdots\cdots (5.26)$$

そして，(5.26)式の特性方程式は，次式となる。

$$F_\alpha(s)=s^2CV_C{}^{*}+s\frac{V_P}{2}K_{np}+\frac{V_P}{2}K_{ni} \quad \cdots\cdots (5.27)$$

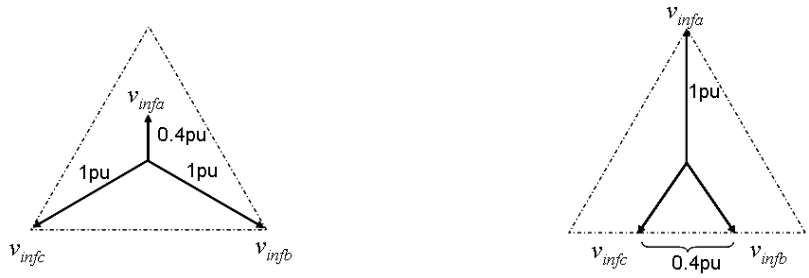
ここで，K_{np}，K_{ni}は，0.1 秒程度で誤差 $v_{C\alpha}$が収束するように，次式と(5.25)式により設定する。

$$\left.\begin{aligned}&\left(\frac{V_P}{2}K_{np}\right)^2-4\times CV_C{}^{*}\times\frac{V_P}{2}K_{ni}=0\\&\frac{4CV_C{}^{*}}{K_{np}V_P}\cong\frac{0.1[\sec]}{3}\end{aligned}\right\} \quad \cdots\cdots (5.28)$$

表 5.5　制御定数

PI-1：	Proportional gain	K_{Cp}	0.1
	Integral gain	K_{Ci}	1.0
PI-2：	Proportional gain	K_{Vp}	0.5
	Integral gain	K_{Vi}	50
PI-3：	Proportional gain	K_p	25
	Integral gain	K_i	100
PI-4：	Proportional gain	K_{np}	0.1
	Integral gain	K_{ni}	1.0

LPF-1：Time constant	T_1	0.001
LPF-2：Time constant	T_2	0.2
Proportional gain	K_{0p}	30
Upper Limit	V_{Cmax}^*	7000
Lower Limit	V_{NEGmin}^*	1320



(a)1LG（a 相地絡）　　(b)2LS（b-c 相短絡）

図 5.18　事故時の系統電圧

その他の制御定数として，制御器"PI-2"と"PI-3"のゲインは，経験的に定めた。零相電圧制御の制御ゲイン K_{0p} は，第 4 章の(4.48)式と同様に，数十 msec 程度で誤差を収束させるよう定めた。零相電圧制御から逆相電流制御への切り替えに用いる定数 V_{Cmax}^*（7000V）は，表 5.3 の定格 DC 電圧 v_{C1}^*，v_{C2}^*，v_{C3}^*の合計値 6825V に基づき定めた。ただし，逆相電流制御への切り替えは系統事故のような過渡時にのみ生じるため，定格に対する若干の超過（175V）は許容した。一方，逆相電流制御から零相電圧制御への切り替えに用いる定数 V_{NEGmin}^*（1320V）は定格 6.6kV の 0.2pu であり，系統電圧の不平衡が小さく，零相電圧制御が十分可能と判断できる値として設定した。

以上のまとめとして，制御定数を表 5.5 に示す。

5.4.4　ディジタルシミュレーションによる検証

6.6kV-1MVA トランスレス STATCOM の試設計に対して，a 相地絡（1LG），b-c 相短絡（2LS）の順に系統事故が発生した場合の動作を，EMTP（Electro Magnetic Transients Program）を用いたディジタルシミュレーションにより検証する。

事故時の系統電圧を，図 5.18 に示す。1LG は，a 相電圧を 0.4pu に低下させて模擬している。また 2LS は，b-c 相の線間電圧を 0.4pu に低下させて模擬している。

以下に，シミュレーション結果を示す。図 5.19 には，系統電圧 v_{sa}，v_{sb}，v_{sc} の正相成分の実効値 V_s，電源電圧 v_{infa}，v_{infb}，v_{infc} の正相成分の実効値 V_{inf}，STATCOM の DC 電圧を示す。1LG は時刻 t=2～4sec，2LS は t=4～6sec で発生させている。事故前後において，V_s は定格電圧である 6600V に維持されている。1LG および 2LS 時には，V_s は V_{inf} に対して 263V 補償されている。これは定格電圧の 4%に相当するが，系統側のインダクタンス L_s が定格容量ベースで 4% であるこ

とから，STATCOM の電圧補償動作が妥当であることが確認できる。また，系統の状況に係わらず，DC 電圧の合計 v_{Ca}，v_{Cb}，v_{Cc} は三相とも一致しており，$Cell_1$，$Cell_2$，$Cell_3$ の DC 電圧の比も，1:2:4 に維持できている。事故中には，v_{Ca}，v_{Cb}，v_{Cc} が上昇しているが，これは図 5.14 に示した方法により，出力電圧に応じて DC 電圧が制御されたためである。

事故発生時と除去時の v_{Ca}，v_{Cb}，v_{Cc} の拡大図を，図 5.20 に示す。t=2sec において 1LG が発生

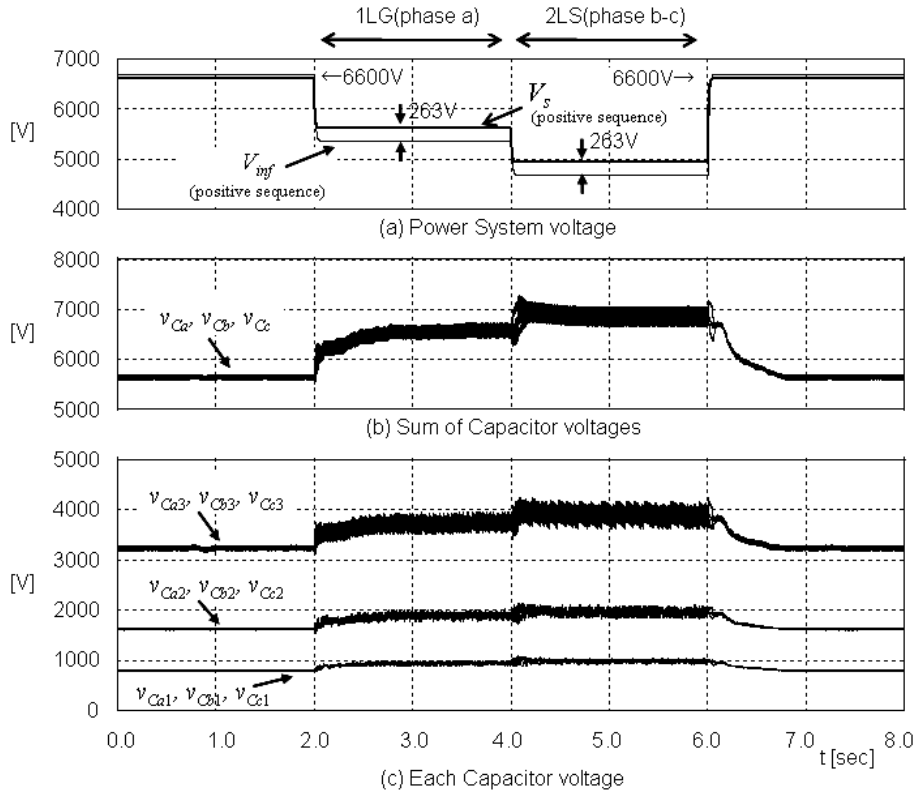
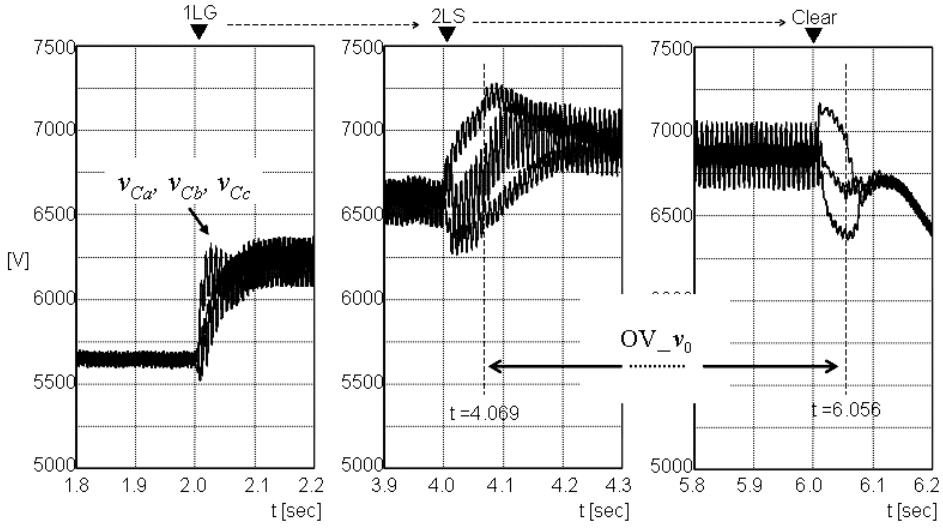


図 5.19　零相電圧＋逆相電流制御使用時の系統電圧と DC 電圧



(a)1LG 発生時　　(b)1LG→2LS　　(c)2LS 除去

図 5.20　事故発生および除去時の DC 電圧

しても，不平衡が小さいため，図 5.15 の演算による OV_ v_0 は生じず，零相電圧制御が継続される。1LG 発生後，過渡的に v_{Ca}，v_{Cb}，v_{Cc} に誤差が生じるが，50msec 程度で収束する。零相電圧制御の制御ゲイン K_{0p} は，第 4 章の(4.48)式と同様に，数十 msec 程度で誤差を収束させるよう定めており，シミュレーション結果は良く一致している。

次に，t=4sec で 2LS が発生すると，t=4.069sec で OV_ v_0 が検出され，逆相電流制御に切り替えられる。2LS 発生後，v_{Ca}，v_{Cb}，v_{Cc} の誤差は，100msec 程度で収束する。制御ゲイン K_{np} と K_{ni} は，(5.28)式に基づき，100msec 程度で誤差を収束させるよう定めており，シミュレーション結果は良く一致している。そして，2LS が除去され，t=6.056sec で OV_ v_0 が消滅すると，再び零相電圧制御により，v_{Ca}，v_{Cb}，v_{Cc} は等しく保たれる。

事故発生中の STATCOM の出力電圧と出力電流を，図 5.21 に示す。また，比較のため，逆相電流制御または零相電圧制御のみを用いた場合の結果を，図 5.22 に示す。

図 5.21(a)において，不平衡が小さい 1LG の間は，零相電圧により各相の CLMC の DC 電圧が制御されるため，出力電流は三相平衡を保っている。このような場合に，逆相電流制御を用いると，図 5.22(a)に示すように，電力系統に対して三相不平衡な電流を出力することになる。

また，図 5.22(b)に示すように，不平衡が大きくなる 2LS 時に零相電圧制御を用いると，STATCOM の出力電流は三相平衡に制御できる。しかし，出力電圧の波高値は，6.6kV 系統の定格電圧の約 1.5 倍に相当する 8000V を超える。このように，零相電圧制御は，STATCOM の最大出力電圧に過大なマージンを必要とする場合がある。一方，零相電圧＋逆相電流制御においては，不平衡が大きい 2LS の間は逆相電流制御が働くため，図 5.21(b)に示すように，波高値が 7000V 以内の出力電圧で各相の CLMC の DC 電圧を制御できている。

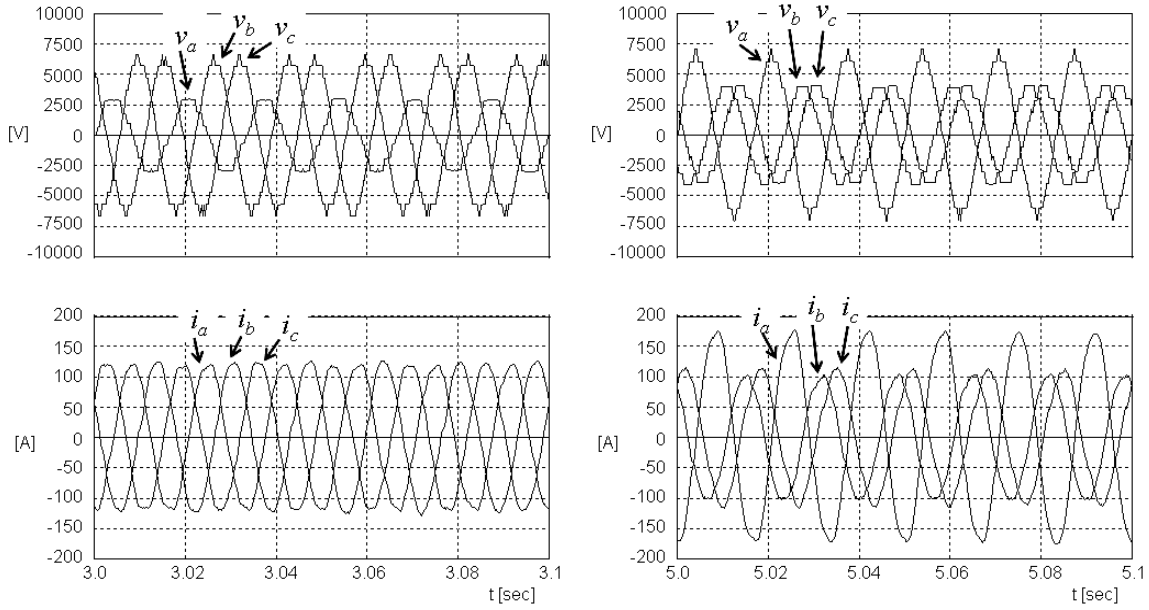
このように，零相電圧制御と逆相電流制御には，それぞれ長所と短所が存在するが，それらを組み合わせることにより，より効果的な制御手法の実現が可能となる。なお，本章では，系統の不平衡と DC 電圧の制約に応じて両者を切り替える方式を採用したが，次章では，これらを同時に働かせることも可能であることを示す。

5.5 結言

本章では，CLMC の三相トランスレス STATCOM への適用を目的に，系統電圧に不平衡が存在する場合にも，各相の CLMC の DC 電圧を制御するための手法について検討した。

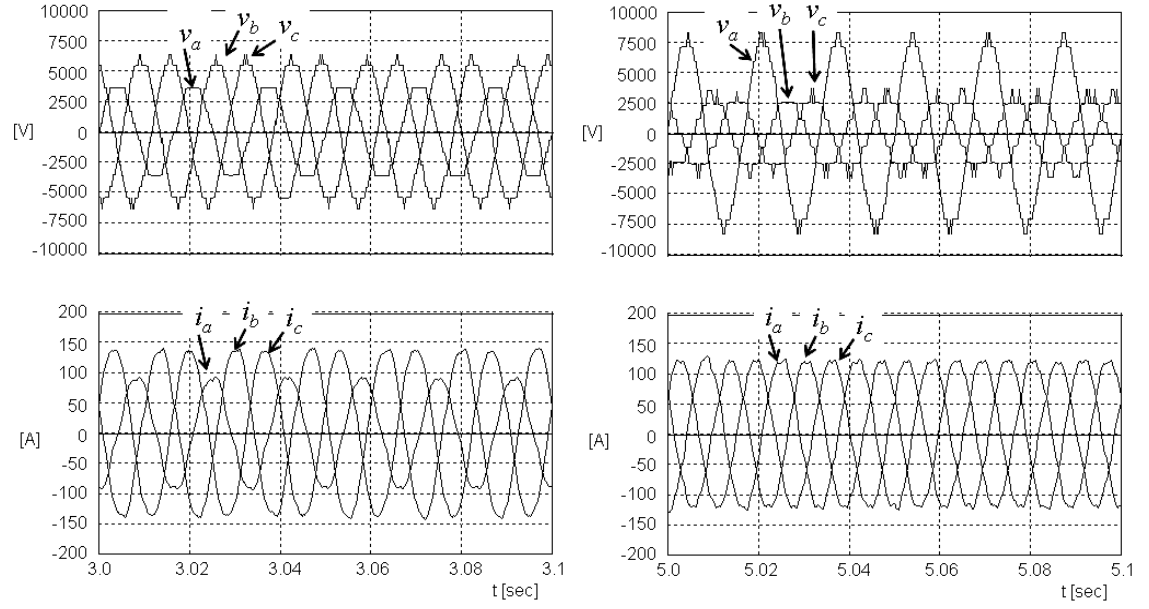
CLMC を用いた STATCOM において，系統電圧に不平衡が存在する場合にも，逆相電流により，各相の CLMC の DC 電圧を等しく制御する手法を示した。また，200V-10kVA 級の試験装置により実証した。この際には，高調波補償に関しても，高い制御性を有することを確認できた。

そして，CLMC を用いた 6.6kV-1MVA トランスレス STATCOM の試設計を行った。三相の出力制御にあたっては，逆相電流制御に伴う機能的な制約の解消を目的として，系統電圧の不平衡が小さい内は，零相電圧により三相の出力を制御し，系統事故のように大きな不平衡が発生した場合にのみ，逆相電流制御に切り替える方法を採用した。また，妥当性を，ディジタルシミュレーションにより検証した。



(a)零相電圧制御（a 相 1LG）　　(b)逆相電流制御（b-c 相 2LS）

図 5.21　零相電圧＋逆相電流制御使用時の STATCOM の出力電圧と出力電流



(a)逆相電流制御（a 相 1LG）　　(b)零相電圧制御（b-c 相 2LS）

図 5.22　逆相電流制御または零相電流制御使用時の STATCOM の出力電圧と出力電流

参考文献

[1] 長谷川泰三，別井孝司，大西修一，竹田正俊，瀬戸誠，村上昇太郎，光庵豊一：「系統安定化用大容量自励式無効電力補償装置の開発」，電気学会論文誌 D，Vol.111-D，No.10，pp.845-854（1991）

[2] 松野克彦，長澤隆士，大槻博司，大西修一，石黒不二雄，竹田正俊：「自励式インバータを用いた静止型無効電力補償装置による系統安定度の向上」，電気学会論文誌 B，Vol.112-B, No.1，pp.57-66（1992）

[3] T.Fujii，H.Chisyaki，H.Teramoto，T.Sato，Y.Matsusita，Y.Shinki，S.Funahashi, N.Morishima：”Performance of the ±80MVA GCT STATCOM under Commercial Operation”，電気学会論文誌 D，Vol. 128-D，No.4，pp.354-360（2008）

[4] 中斉孝文，室田勇，伊藤智道，清藤康弘，相原孝志，古関庄一郎，柏崎博：「フリッカ抑制用 20MVA 自励式無効電力補償装置の開発」，電気学会 電力技術・電力系統技術・半導体電力変換合同研究会，PE-07-12，PSE-07-27，SPC-07-52（2007）

[5]「電力系統の電圧･無効電力制御」，電気学会技術報告，第 743 号，p.56（1999）

[6]「静止型無効電力補償装置の現状と動向」，電気学会技術報告，第 874 号，p.67（2002）

[7] 芦崎裕介，森雅幸：「自励式 SVCS による電圧変動対策の各種応用事例」，電気学会 静止器研究会，SA-99-34（1999）

[8]「電力品質調整用パワーエレクトロニクスの適用動向」，電気学会技術報告，第 978 号, pp.19-21（2004）

[9] 大西徳生:「組み合わせ制御方式単相多重化PWMインバータ」, 電気学会論文誌D, Vol.115-D, No.1，pp. 63-69（1995）

[10] Madhav D.Manjrekar，Peter K.Steimer，Thomas A.Lipo：”Hybrid Multilevel Power Conversion System”，IEEE Transactions on Industry Applications，Vol.36，No.3，pp. 834-841（2000）

[11] 李東昇，福田昭治，久保佑允：「直列三多重ハイブリッド変換器」，電気学会論文誌 D, Vol.124-D，No.9，pp.924-929（2004）

[12] 吉井剣，井上重徳，赤木泰文：「6.6kV トランスレス・カスケード PWM STATCOM」，電気学会論文誌 D，Vol.127-D，No.8，pp.781-788（2007）

[13] O.Alizadeh，S.Farhangi：”Voltage balancing technique with low switching frequency for cascade multilevel active front-end”, The 7th Inter. Conf. on Power Electronics, WEE1-3（2007）

[14] R.E.Betz，T.J.Summers：”Using a Cascaded H-Bridge STATCOM for Rebalancing Unbalanced Voltages”，The 7th Inter. Conf. on Power Electronics，THE3-2，（2007）

[15] 羽田野伸彦，岸田行盛，岩田明彦：「階調制御型変換器を用いた自励式無効電力補償装置」，電気学会論文誌 D，Vol.127-D，No.8，pp.789-795（2007）

[16] N.Hatano，T.Ise：”A configuration and control method of cascade H-bridge STATCOM”, IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551（2008）

[17] 羽田野伸彦，伊瀬敏史：「チェーンリンク形マルチレベル変換器を用いたモジュラーPV システム」，電気学会 半導体電力変換研究会，SPC-09-13，（2009）

[18] 赤木泰文，金澤喜平，藤田光悦，難波江章：「瞬時無効電力の一般化理論とその応用」，電気学会論文誌 B，Vol.103-B，No.7，pp.483-490（1983）

第 6 章　チェーンリンク形マルチレベル変換器を用いた分散形電源の系統連系装置

6.1　緒言

地球環境問題やエネルギー資源問題の観点から，自然エネルギー発電に対する期待が高まっている。中でも，太陽光発電（Photovoltaic generation：PV）に関しては，1MW を超える設備の建設も，近年活発に進められている[1]-[3]。

1 枚の PV パネルの出力は，さほど大きいものではない。したがって，複数のパネルを接続して 1 台の DC 電源を構成することが，一般的であった[4]。ところが，それぞれのパネルへの日射量や I-V 特性の違い，パネルの汚れ，温度上昇などから最適動作点に差異が生じると，光電変換における損失が発生し，その量は 25%にも昇るという報告もある[5][6]。

効率低下の解決策として，モジュラーPV システム（Modular PV System：MPVS）が提案されている。MPVS は，PV パネルを複数のブロックに分割し，ブロックごとに最大電力追従制御（Maximum Power Point Tracking：MPPT）を行うことにより，光電変換効率の向上を図るものである。文献[7]では，複数のインバータを交流側で並列に接続する構成が，また文献[8][9]では，DC-DC コンバータを直列に接続する構成が報告されている。

本研究では，一つの回路構成として，チェーンリンク形マルチレベル変換器（Chain Link type Multilevel Converter：CLMC）の MPVS への適用を検討する。CLMC は，太陽光発電や燃料電池のような分散形電源に適した方式であり[10]，最近では，トランスレス化による小型・軽量化を目的とした二次電池システムへの応用も報告されている[11]。さらに，1MW を超える大規模な PV 発電設備では，PV パネルから系統連系点までの距離が数百 m に及ぶことも考えられる。したがって，200V 程度の低圧配線では，損失が非常に大きくなる。ここで CLMC を用いると，AC 側で高電圧化でき，損失低減が期待できる。ただし，MPVS では PV インバータセル（単位変換器）ごとに出力が異なり，AC 側に不平衡な電流を常時出力する可能性が高くなる。

以下本章では，CLMC を MPVS に適用するための技術を確立することを目的に，DC 電源の出力が不平衡な場合にも，電力系統へは三相平衡な電流を出力するための手法について検討する。

6.2 節では，零相電圧制御により，DC 電源の出力に不平衡が存在する場合にも，三相平衡な電流を出力できることを示す[12]。また，不平衡に応じて，DC 電圧を設定する必要性を示す。

6.3 節では，前節での検討結果に基づき，6.6kV-1MVA システムの試設計を行う。さらに，この際には，DC 電源の制約により計算通りの零相電圧を出力できない場合にも，逆相電流制御[13]の併用により，可能な限り出力電流を三相平衡に近づけるよう試みる[14]。そして，これらの妥当性を，ディジタルシミュレーションにより検証する。

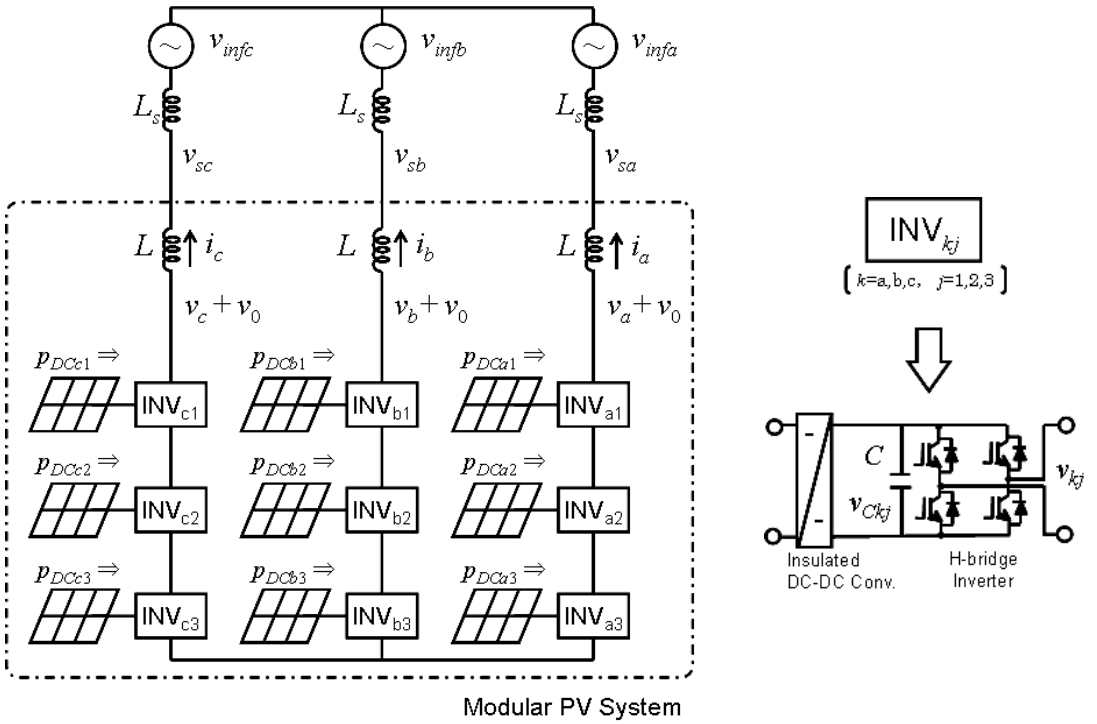
6.4 節では，本章の検討結果をまとめる。

6.2　モジュラーPV システムへの適用

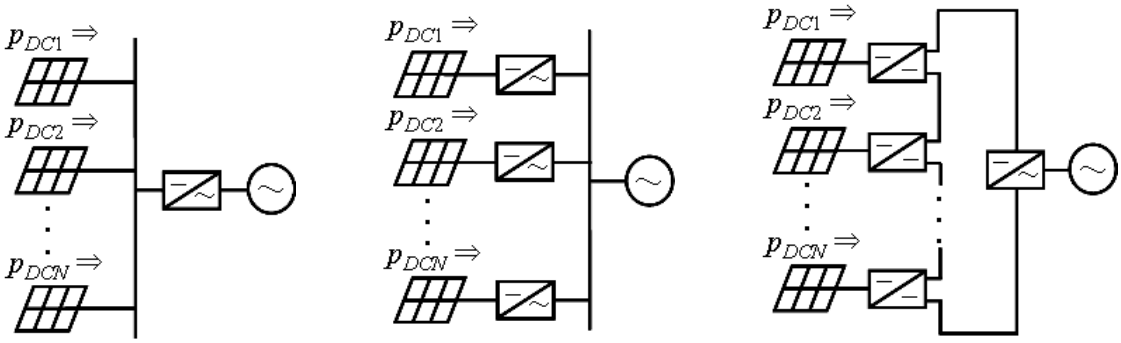
6.2.1　基本構成

CLMC を用いた MPVS の構成例を，図 6.1(a)に示す。システムは，PV パネルを連系するためのインバータセル INV_{kj}(k=a,b,c, j=1,2,3)と，連系リアクトル L から構成される。PV パネルとセルを直接接続すると，特に電源側のセル INV_{a1}，INV_{b1}，INV_{c1} に接続された PV パネルの対地絶縁への要求が厳しくなる。このため，PV パネルと PV インバータセルの DC 側の間は，高周波リンク方式の DC-DC コンバータなどにより絶縁する。この DC-DC コンバータは，MPPT 制御により動作し，出力側の H ブリッジ形インバータは，DC 電圧一定制御により動作するものとする。図 6.1(b)～(d)に示す各種の PV システムとの比較は，次の通りである。

図 6.1(b)に示す集中型システムでは，それぞれのパネルへの日射量や I-V 特性の違い，パネルの汚れ，温度上昇などから最適動作点に差異が生じると，光電変換における損失が発生する。図



(a)CLMC を用いたモジュラーPV システム



(b)集中型システム　(c)AC 接続型 MPVS　(d)DC 接続型 MPVS

図 6.1　各種の PV システム

6.1(c) に示す AC 接続型 MPVS [7]では，PV パネルの出力電圧により，DC 電圧，AC 電圧とも，数百 V 程度に制限される。これにより，配線長が数百 m に及ぶような大規模 PV システムでは，大きな配線損失が生じると考えられる。図 6.1(d)に示す DC 接続型 MPVS [8][9]では，DC-DC コンバータの直列接続により DC 側を高電圧化することは可能である。しかし，出力側の H ブリッジ形インバータの半導体スイッチに，HVIGBT（High Voltage Insulated Gate Bipolar Transistor）や GCT（Gate Commutated Thyristor）を用いて数 kHz 程度の高周波 PWM を行わせると，スイッチング損失が大幅に増加するため，高電圧化にも限度がある。

一方，図 6.1(a)に示した CLMC を用いた MPVS では，PV パネルごとに MPPT 制御を行え，最適動作点で運転できるメリットがある。また，DC 側と AC 側のいずれにおいても高電圧化が容易であり，配線損失の低減が期待できる。さらに，個々の PV インバータセルのスイッチング周波数は低くとも，CLMC 全体としては等価的なスイッチング周波数が高くなり，発生高調波の低減とスイッチング損失低減の両立が期待できる。

なお，CLMC を用いた MPVS システムには，いくつかのバリエーションが考えられる。例えば，セルの直列段数や変調方法に関しても制約はなく，システムの容量と定格電圧に適した方式を採用できる。また，PV パネルの対地絶縁に問題がなければ，PV インバータセルの入力側の DC-DC コンバータを省略することも考えられる。しかし，いずれにおいても，DC 電源不平衡時の課題としては同様であるため，以降では，図 6.1(a)に示した構成を基に検討を進める。

6.2.2 零相電圧による三相出力制御の適用

零相電圧制御[12]を適用すれば，DC 電源の出力に不平衡が存在する場合にも，CLMC に三相平衡な電流を出力させることが可能となる。図 6.1(a)のモデルにおいて，MPVS の出力電圧の零相成分 v_0 を次のように定めたとする。ここで，v_a，v_b，v_c は MPVS の出力電圧の正相成分と逆相成分の和，i_a，i_b，i_c は出力電流，p_{DCkj}(k=a,b,c，j=1,2,3)は PV パネルが出力する有効電力である。太字はフェーザ表示で，演算"･"はフェーザを複素ベクトルとして取扱った場合の内積である。

$$
\left.
\begin{aligned}
\mathbf{v}_0 &= \frac{\Delta P_a(\mathbf{i}_b\cdot\mathbf{i}_c)\mathbf{i}_a + \Delta P_b(\mathbf{i}_c\cdot\mathbf{i}_a)\mathbf{i}_b + \Delta P_c(\mathbf{i}_a\cdot\mathbf{i}_b)\mathbf{i}_c}{|\mathbf{i}_a|^2|\mathbf{i}_b|^2 - (\mathbf{i}_a\cdot\mathbf{i}_b)^2} \\
\Delta P_a &= \mathbf{v}_a\cdot\mathbf{i}_a - \frac{\sum_{j=1}^{3} p_{DCaj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2 - \left(\sum_{j=1}^{3} v_{Caj}\right)^2\right] \\
\Delta P_b &= \mathbf{v}_b\cdot\mathbf{i}_b - \frac{\sum_{j=1}^{3} p_{DCbj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2 - \left(\sum_{j=1}^{3} v_{Cbj}\right)^2\right] \\
\Delta P_c &= \mathbf{v}_c\cdot\mathbf{i}_c - \frac{\sum_{j=1}^{3} p_{DCcj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2 - \left(\sum_{j=1}^{3} v_{Ccj}\right)^2\right]
\end{aligned}
\right\} \quad \text{.....(6.1)}
$$

この時，MPVS の各相が出力する有効電力 P_a，P_b，P_c は，次の通りとなる。

$$\left.\begin{aligned}
P_a &= \left(\mathbf{v}_a + \mathbf{v}_0\right)\cdot\mathbf{i}_a = \mathbf{v}_a\cdot\mathbf{i}_a - \Delta P_a \\
&= \frac{\sum_{j=1}^{3} p_{DCaj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\sum_{j=1}^{3} v_{Caj}\right)^2 - \left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2\right] \\
P_b &= \left(\mathbf{v}_b + \mathbf{v}_0\right)\cdot\mathbf{i}_b = \mathbf{v}_b\cdot\mathbf{i}_b - \Delta P_b \\
&= \frac{\sum_{j=1}^{3} p_{DCbj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\sum_{j=1}^{3} v_{Cbj}\right)^2 - \left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2\right] \\
P_c &= \left(\mathbf{v}_c + \mathbf{v}_0\right)\cdot\mathbf{i}_c = \mathbf{v}_c\cdot\mathbf{i}_c - \Delta P_c \\
&= \frac{\sum_{j=1}^{3} p_{DCcj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \sum_{k=a,b,c}\mathbf{v}_k\cdot\mathbf{i}_k + K_{0p}\frac{1}{2}\frac{C}{3}\left[\left(\sum_{j=1}^{3} v_{Ccj}\right)^2 - \left(\frac{1}{3}\sum_{k=a,b,c}\sum_{j=1}^{3} v_{Ckj}\right)^2\right]
\end{aligned}\right\} \quad \cdots\cdots(6.2)$$

右辺第一項は，MPVS の三相出力を，各相の PV パネルの出力の比で按分したものある。第二項は，PV インバータセルの DC コンデンサの充電エネルギーの平均値との誤差に比例した成分であり，各相の CLMC の DC 電圧が等しくなるよう作用する。以上の関係は，MPVS の出力電圧の正相成分と逆相成分の和 v_a，v_b，v_c と，出力電流 i_a，i_b，i_c によらず成立する。したがって，電力系統に対しては三相平衡な電流を出力しつつ，MPVS の各相からは，DC 電源の出力に比例した有効電力を出力させることが可能となる。

次に，零相電圧制御を適用した場合の，DC 電源の不平衡と MPVS の出力電圧波高値の関係を把握する。MPVS は力率 1 運転を行い，出力電圧の正相成分と逆相成分の和と出力電流が，次の関係にあったとする。ただし，単位には，pu を用いる。

$$\left.\begin{aligned}
\mathbf{v}_a &= \mathbf{i}_a = 1 \\
\mathbf{v}_b &= \mathbf{i}_b = -\frac{1}{2} - j\frac{\sqrt{3}}{2} \\
\mathbf{v}_c &= \mathbf{i}_c = -\frac{1}{2} + j\frac{\sqrt{3}}{2}
\end{aligned}\right\} \quad \cdots\cdots(6.3)$$

この時，各相の CLMC の DC 電圧を等しく制御できているとして，(6.1)式の ΔP_a，ΔP_b，ΔP_c の右辺第三項を無視すると，v_0 は次のように計算される。

$$\mathbf{v}_0 = \frac{2\sum_{j=1}^{3} p_{DCaj} - \sum_{j=1}^{3} p_{DCbj} - \sum_{j=1}^{3} p_{DCcj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} + j\sqrt{3}\frac{\sum_{j=1}^{3} p_{DCcj} - \sum_{j=1}^{3} p_{DCbj}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \quad \cdots\cdots(6.4)$$

すると MPVS の出力電圧の波高値は，(6.3)式と(6.4)式より，次のように計算される。

$$\left.\begin{aligned}
\left|\mathbf{v}_a+\mathbf{v}_0\right| &= \frac{\sqrt{9\left(\sum_{j=1}^{3} p_{DCaj}\right)^2+3\left(\sum_{j=1}^{3} p_{DCcj}-\sum_{j=1}^{3} p_{DCbj}\right)^2}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \\
\left|\mathbf{v}_b+\mathbf{v}_0\right| &= \frac{\sqrt{9\left(\sum_{j=1}^{3} p_{DCbj}\right)^2+3\left(\sum_{j=1}^{3} p_{DCaj}-\sum_{j=1}^{3} p_{DCcj}\right)^2}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}} \\
\left|\mathbf{v}_c+\mathbf{v}_0\right| &= \frac{\sqrt{9\left(\sum_{j=1}^{3} p_{DCcj}\right)^2+3\left(\sum_{j=1}^{3} p_{DCbj}-\sum_{j=1}^{3} p_{DCaj}\right)^2}}{\sum_{k=a,b,c}\sum_{j=1}^{3} p_{DCkj}}
\end{aligned}\right\} \quad \cdots\cdots(6.5)$$

a 相の出力変化と，各相の出力電圧波高値の関係を，図 6.2 に示す。ただし，b 相と c 相の出力は等しいとしている。横軸は，三相出力に対する a 相の出力の比率を示す。縦軸は，三相それぞれの出力電圧の波高値を表す。

ここで例えば，横軸が 1/3pu，つまり DC 電源が平衡しているときは，出力電圧の波高値は三相とも 1pu となる。横軸が 1pu，つまり b 相と c 相の出力が 0pu の時は，a 相の出力電圧には 3pu もの波高値が必要になる。横軸が 0pu，つまり a 相の出力が 0pu の時は，b 相と c 相の出力電圧には$\sqrt{3}$ pu の波高値が必要になる。

また，システム設計においては，要求される出力制御範囲から DC 電源電圧を決定することになる。例えば，一相の出力変化として 0.1pu～0.5pu に対応できるシステムを設計する場合には，1.5pu の電圧波高値を出力できるよう，インバータセルの基準 DC 電圧 V_C^*を 0.5pu に設定する。

以上のように，零相電圧制御を適用すれば，DC 電源の出力に不平衡が存在する場合にも，電力系統へは三相平衡な電流を出力させることが可能となる。ただし，対応すべき不平衡に応じて DC 電圧を設定しなければならないことに，留意する必要がある。

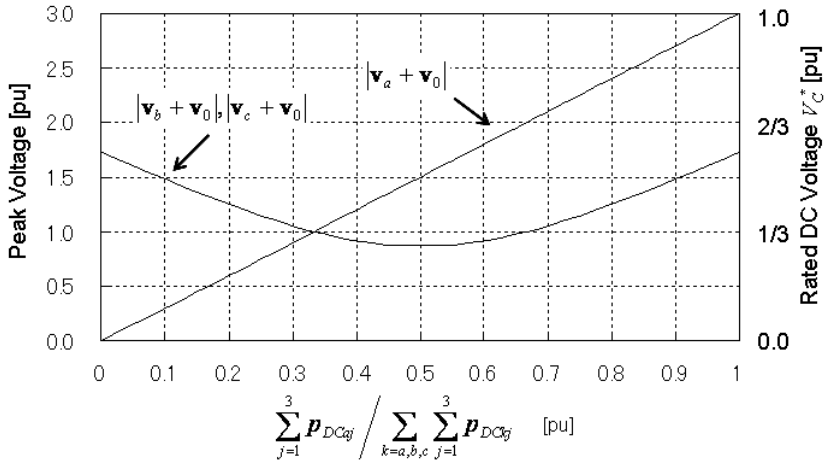


図 6.2　一相の出力変化と各相の出力電圧の波高値の関係

6.2.3　PV インバータセルの出力分担制御

同一相に設置された DC 電源の出力不平衡には，CLMC と個々の PV インバータセルの出力電圧の比率を，CLMC と個々の DC 電源の出力する有効電力の比率に，平均的に一致させることにより対応する。

CLMC の出力電圧目標値 v_{refa}^*に対する，各セルの動作イメージを図 6.3 に示す。PV インバータセル INV_{a1}，INV_{a2}，INV_{a3} は，3 直列構成であるため，電源側には 7 レベルの電圧を出力することができる。しかし，このままでは，系統連系時に要求される高調波レベルを満足することは困難であるため，1 台を高周波 PWM で動作させ，MPVS が出力する電圧波形の整形を行う。なお, 図 6.3 では, 2 種類の 1 パルス動作と高周波 PWM 動作をローテーションして INV_{a1}, INV_{a2}, INV_{a3} に割り当てている。しかし実際には，PV インバータセルの DC 電圧 v_{Ca1}，v_{Ca2}，v_{Ca3} の大小に応じて動作を割り当てることにより，DC 電圧が等しくなるよう制御する。

1 パルスで動作する PV インバータセルには，DC 電圧が高い方から 2 台を割り当てる。パルス幅は，出力電圧の合計が目標値 v_{refa}^*を下回らない範囲で，v_{refa}^*に最も近くなるよう決定する。これら 2 台のセルの間では，DC 電圧が高い順に，幅の広いパルスを割り当てる。

次に，DC 電源の不平衡を制御できる範囲を把握する。PV インバータセルの DC 電圧の大小関係が，$v_{Ca3} \geq v_{Ca2} \geq v_{Ca1}$ であったとする。また，(6.3)式のように，MPVS が力率 1 運転を行っているとすると，セルの有効出力 P_3，P_2，P_1 は，INV_{a3}，INV_{a2}，INV_{a1} の出力電圧の基本波波高値に比例し，およそ(6.6)式の通りとなる。ただし，3 台のセルの DC 電圧の誤差は僅かであるとして，v_{Ca3}，v_{Ca2}，v_{Ca1} は，いずれも基準 DC 電圧 V_C^*として近似している。また，単位は pu である。

$$\left.\begin{aligned} P_3 &= \frac{2}{\pi}\int_0^{\pi} V_C^* \sin\theta d\theta = \frac{4}{\pi} V_C^* \\ P_2 &= \frac{2}{\pi}\int_{\mathrm{Sin}^{-1}V_C^*}^{\pi-\mathrm{Sin}^{-1}V_C^*} V_C^* \sin\theta d\theta = \frac{4}{\pi} V_C^* \sqrt{1-V_C^{*2}} \\ P_1 &= 1 - P_2 - P_3 \end{aligned}\right\} \quad \cdots\cdots(6.6)$$

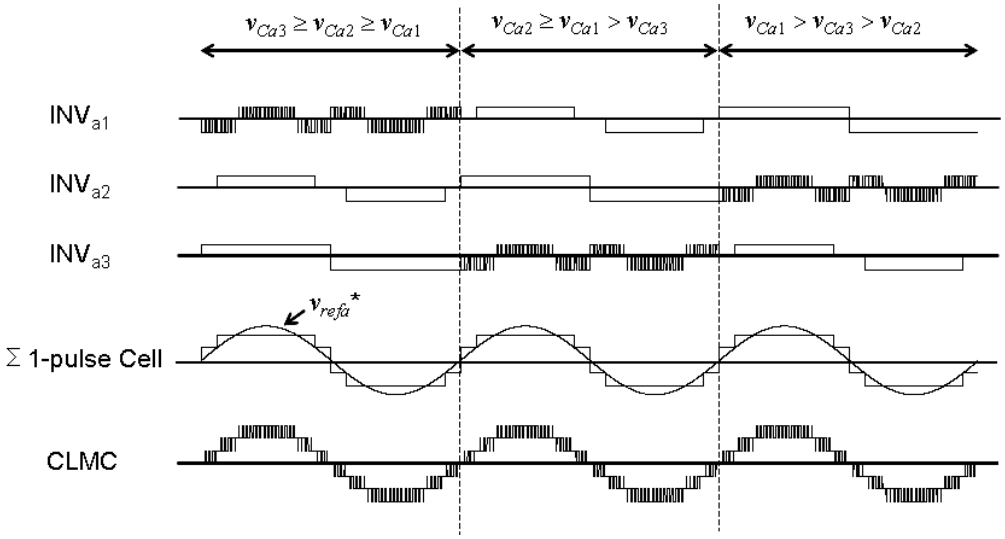


図 6.3　PV インバータセルの動作

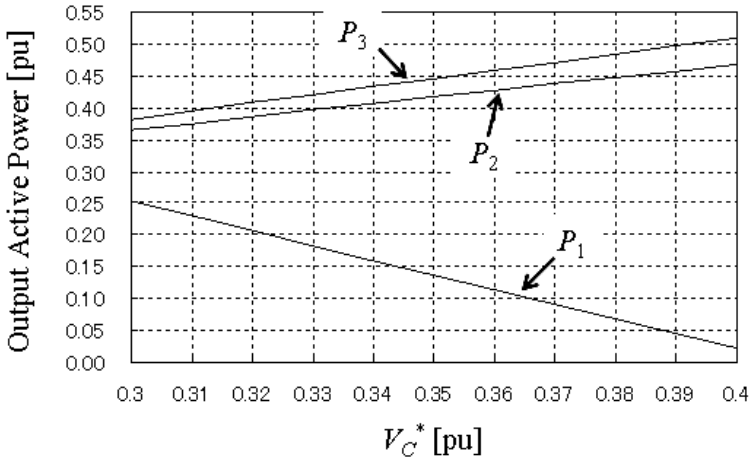


図 6.4　V_C^*と PV インバータセルの出力の関係

基準 DC 電圧 V_C^*と P_3，P_2，P_1の関係を，図 6.4 に示す。例えば，横軸 V_C^*が 1/3pu で，3 台のセルの DC 電圧の合計が出力電圧の波高値と一致しているときは，出力が最小である P_1 が約 0.18pu，最大である P_3が約 0.42pu となる。つまり，3 台の出力に対して，1 台のセルの出力が約 0.18pu～0.42pu で変動しても，対応できることになる。

また，図 6.4 からも分かるように，対応できる出力変動幅は，V_C^*に依存する。三相出力制御と同様に，DC 電源の不平衡に応じて V_C^*を設定しなければならないことに，留意する必要がある。

6.3　6.6kV-1MVA システムの試設計

前節までの検討を踏まえ，6.6kV-1MVA システムの試設計を行う。さらに，ここでは，DC 電圧の制約により(6.1)式による零相電圧が出力できない場合にも，可能な限り出力電流を三相平衡に近づけることを目的に，零相電圧制御と逆相電流制御を組み合わせた三相出力制御を試みる。そして，EMTP（Electro Magnetic Transients Program）を用いたディジタルシミュレーションにより検証する[14]。

6.3.1　回路構成

図 6.1 に示したシステムにおいて，回路定数を表 6.1 のように設定する。電力系統の定格電圧は三相 6600V，定格容量は 1MVA，基準周波数は 60Hz とする。系統側のインピーダンスは，インダクタンス L_s で表し，定格容量ベースで 4%とする。MPVS の連系リアクトル L は，定格容量ベースで 10%とする。PV インバータセルの DC コンデンサの容量は，定格出力時に充電電圧のリプルが 10%程度に収まるよう設定する。基準 DC 電圧 V_C^*は，CLMC の出力できる電圧波高値が，定格電圧の約 1 割増しとなるよう設定する。この V_C^*によれば，一相の出力変動については，図 6.2 より約 0.27pu～0.36pu，1 台のセルの出力変動については，図 6.4 より約 0.09pu～0.47pu が，対応できる範囲となる。

6.3.2　制御系の設計

MPVS の出力電流の制御方法を，図 6.5 に示す。d 軸電流の目標値 i_d^*は，CLMC の DC 電圧 v_{Ckj}(k=a,b,c，j=1,2,3)の平均値と基準値 $3V_C^*$の差より設定する。q 軸電流の目標値 i_q^*は，AVR（Automatic Voltage Regulation）機能を設け，系統電圧 V_sと定格電圧 V_{AC}の差より設定する。ここで，パラメータ K_{Vp}を 0 に設定すると，力率 1 運転となる。

各相の DC 電圧は，(6.1)式による零相電圧 v_0により制御される。しかし，DC 電圧の制限により，計算通りの v_0を出力できない場合に備え，逆相電流 i_{nd}^*，i_{nq}^*を併用する。これらの計算方法は，図 6.6 に示す通りである[13]。(6.1)式の v_0により各相の CLMC の DC 電圧が等しく制御されていれば，i_{nd}^*，i_{nq}^*は 0 となる。一方，計算通りの v_0を出力できない場合は，図 6.6 に示した誤差Δv_{Cd}，Δv_{Cq}に比例した i_{nd}^*，i_{nq}^*が電流目標値に加えられ，Δv_{Cd}，Δv_{Cq}を補正するよう作用する。

以上の i_d^*，i_q^*，i_{nd}^*，i_{nq}^*と測定値 i_d，i_qを用いて，出力電圧の正相成分と逆相成分の和 v_d^*，v_q^*を決定する。系統電圧 v_{sd}，v_{sq}と，その位相ωtおよび実効値 V_sの検出には，図 6.7 に示す手法を用いる[13][15]。零相電圧 v_0は，DC 電圧の制限を考慮して，一旦(6.1)式により計算し，さらに(6.7)式によるリミット処理を加えて決定する。ただし，v_a^*，v_b^*，v_c^*は，出力電圧目標値の正相成分と逆相成分の和である。

$$\left.\begin{aligned} -\sum_{j=1,2,3} v_{Caj} - v_a^* \le v_0 \le \sum_{j=1,2,3} v_{Caj} - v_a^* \\ -\sum_{j=1,2,3} v_{Cbj} - v_b^* \le v_0 \le \sum_{j=1,2,3} v_{Cbj} - v_b^* \\ -\sum_{j=1,2,3} v_{Ccj} - v_c^* \le v_0 \le \sum_{j=1,2,3} v_{Ccj} - v_c^* \end{aligned}\right\} \quad \cdots\cdots(6.7)$$

表 6.1　回路定数

Rated AC Voltage	V_{AC}	3ϕ AC 6600V	AC link Inductance	L	11.6mH (10%)
Rated AC Power	P	1MVA	DC Capacitance	C	2.0mF
Line angular frequency	ω_0	$2\pi \times 60$ rad/s	Rated DC Voltage	V_C^*	2000V (37%)
Line Inductance	L_s	4.64mH (4%)	Rated DC Power	P_{DC}	120kW

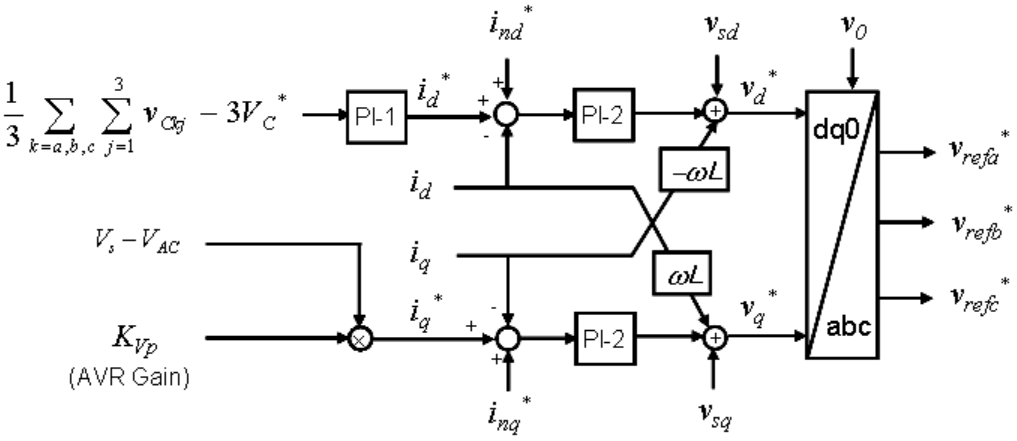


図 6.5　出力電流の制御方法

そして，v_d^*，v_q^*，v_0 を dq0 座標から abc 座標へ変換することにより，MPVS の出力電圧目標値 v_{refa}^*，v_{refb}^*，v_{refc}^*を決定する。

具体的な PV インバータセルの出力電圧の決定方法を，図 6.8 に示す。図では，a 相を例に取り，DC 電圧の関係が $v_{Ca3} \geq v_{Ca2} \geq v_{Ca1}$ の場合を示している。他相，および DC 電圧の関係が異なる場合も同様である。初めに，DC 電圧が最も高い INV_{a3} がオンする。次に，目標値 v_{refa}^*が DC 電圧の基準値 V_C^*を超えれば，DC 電圧が 2 番目に高い INV_{a2} がオンする。DC 電圧が最も低い INV_{a1} は，v_{refa}^*と INV_{a3} および INV_{a2} が出力する電圧の誤差を補正するよう動作する。PV インバータセルの出力は，INV_{a1}，INV_{a2}，INV_{a3} の順に大きくなるため，ここで示した動作の割当ては，DC 電圧の関係 $v_{Ca3} \geq v_{Ca2} \geq v_{Ca1}$ を補正するよう作用する。

制御定数は，表 6.2 に示す通りとする。

6.3.3　ディジタルシミュレーションによる検証

6.6kV-1MVA システムの試設計に対して，EMTP を用いたディジタルシミュレーションにより検証する。なお，図 6.9 に示すように，PV パネルと DC-DC コンバータは，予めパラメータとして定める有効電力 p_{DCkj}(k=a,b,c，j=1,2,3)を出力する電流源として模擬する。ここで，DC コンデンサの充電電圧は v_{Ckj} としている。H ブリッジ形の単相変換器に関しては，AC 側は，図 6.5～図 6.8 に示した演算による v_{refkj}^*を出力する電圧源として模擬する。また DC 側は，v_{refkj}^*と AC 電流 i_k の積からなる有効電力を入力する電流源として模擬する。なお，図示は省略するが，AC 側の出力電圧に関しては，DC 電圧による制限も模擬している。

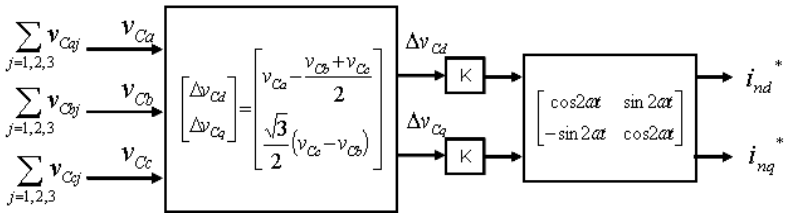


図 6.6　逆相電流の演算方法

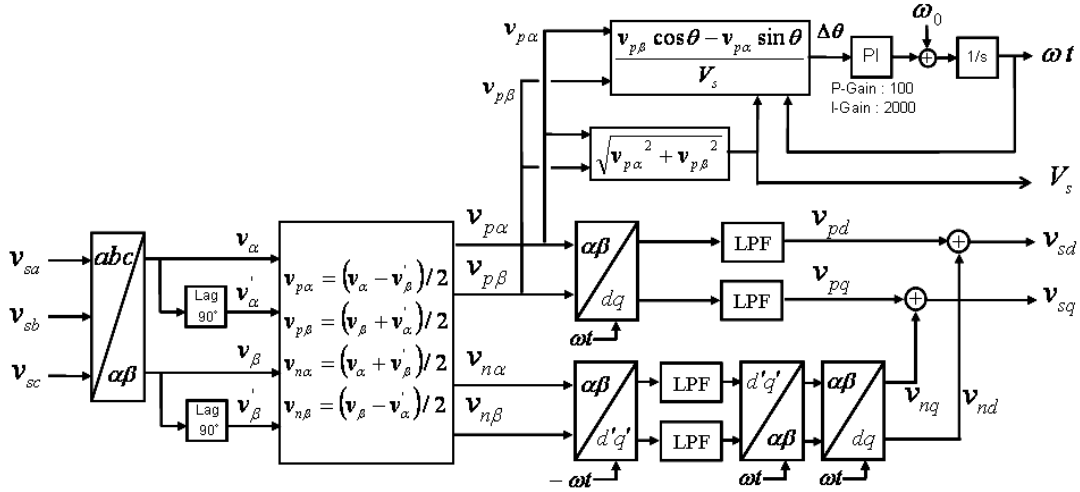


図 6.7　系統電圧の計測方法

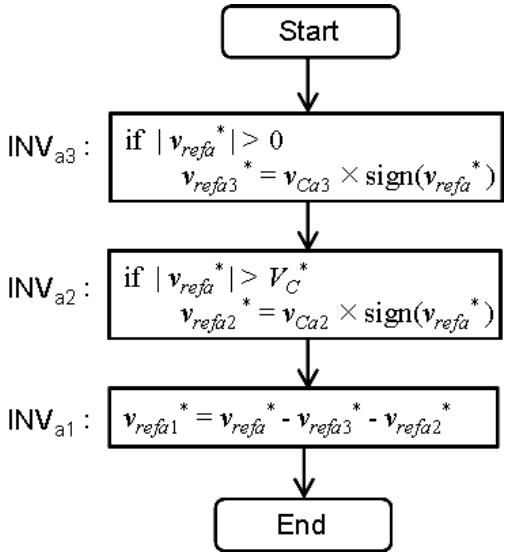


図 6.8　PV インバータセルへの動作の割当て

（$v_{Ca3} \geq v_{Ca2} \geq v_{Ca1}$ の場合）

表 6.2　制御定数

PI-1 :	Proportional gain	K_{Cp}	0.15
	Integral gain	K_{Ci}	0.5
PI-2 :	Proportional gain	K_p	25
	Integral gain	K_i	100
K:	Proportional gain	K	0.1
Eq.(6.1):	Proportional gain	K_{0p}	30
AVR:	Proportional gain	K_{Vp}	0 ~ 0.5
LPF:	Time Constant	T	0.001

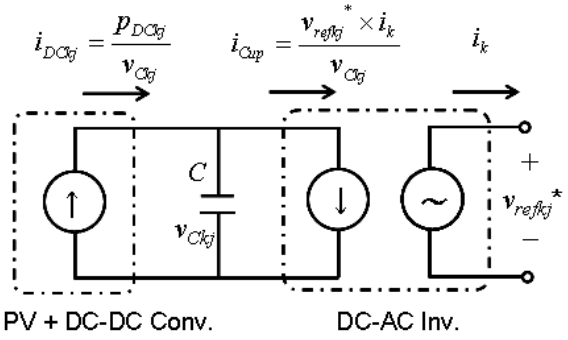


図 6.9　PV インバータセルのモデル化

表 6.3　DC 電源の出力パターン

	0～2sec	2～4sec	4～6sec	6～8sec	[kW]
p_{DCa1}	100	100	100	100	
p_{DCa2}	100	100	100	100	
p_{DCa3}	50	50	50	100	
[Sum]	[250]	[250]	[250]	[300]	
p_{DCb1}	100	100	100	100	
p_{DCb2}	100	50	50	50	
p_{DCb3}	50	50	50	50	
[Sum]	[250]	[200]	[200]	[200]	
p_{DCc1}	100	100	100	100	
p_{DCc2}	100	100	50	50	
p_{DCc3}	50	50	50	50	
[Sum]	[250]	[250]	[200]	[200]	

初めに，DC 電源の出力変化に対する応答を検証する。シミュレーションに用いた DC 電源の出力パターンを表 6.3 に示す。時刻 0～2sec においては，p_{DCa3}, p_{DCb3}, p_{DCc3} が 50kW，他は 100kW であり，MPVS は三相平衡な有効電力を出力している。次に，2～4sec においては p_{DCb2} を 50kW，4～6sec においては p_{DCc2} を 50kW に低下させ，三相出力に不平衡を発生させる。そして，6～8sec においては，p_{DCa3} を 100kW に増加させ，さらに大きな不平衡を発生させる。なお，本ケースでは，ゲイン K_{Vp} を 0 とし，AVR 機能はキャンセルしている。

図 6.10～図 6.13 に，シミュレーション結果を示す。図 6.10 からは，MPVS の三相出力が表 6.3 に従って制御されていることが確認できる。図 6.11 からは，DC 電源の出力が変化しても，MPVS は系統電圧に顕著な影響を与えていないことがわかる。図 6.12(a)からは，各相の CLMC の DC 電圧が安定に制御できていることが確認できる。図 6.12(b)には，5～8sec における DC 電圧を，1 サイクル窓の移動平均フィルタで処理した結果を示している。6sec 以降では，a 相と b,

c 相の乖離が大きくなっている。これは，三相出力の不平衡が大きく，DC 電圧の制約により，(6.1)式で計算した通りの v_0 を出力できなかったためである。しかし，v_0 の不足分については，図 6.5 と図 6.6 に示した逆相電流制御が働いており，DC 電圧の誤差は 1%程度に収まっている。

三相の出力電流を，図 6.13 に示す。PV インバータセルの出力変化が発生する 2sec，4sec，6sec のような過渡時においても，出力電流は安定に制御できている。さらに，計算した通りの v_0 を出力できなくなる 6sec 以降においては，もしも零相制御を断念して各相個別に出力を制御していれば，a 相（300kW）からは，b 相と c 相(200kW)の約 1.5 倍の電流が出力されるところであった。一方，図 6.13(c)では，電流波高値の不平衡は，三相平均値に対して 5%程度であった。

以上のように，DC 電源の出力が不平衡な場合にも，零相電圧制御により，三相平衡な電流を出力できることを検証できた。また不平衡が大幅な場合にも，逆相電流制御を併用することにより，可能な限り MPVS の出力電流を三相平衡に近づけるよう制御できることも確認できた。

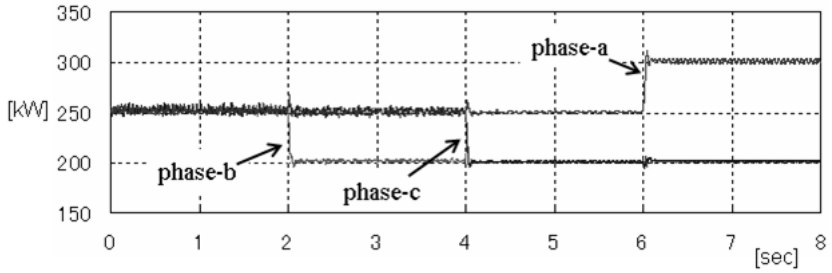


図 6.10　MPVS の出力

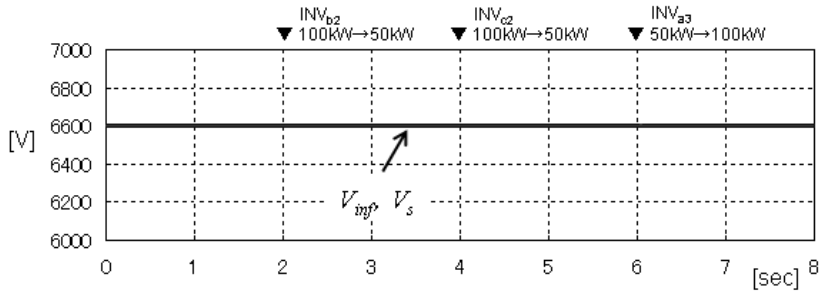
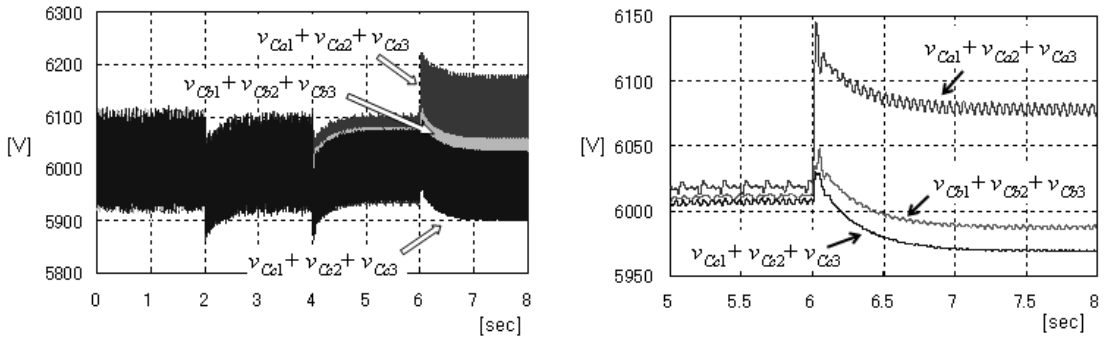
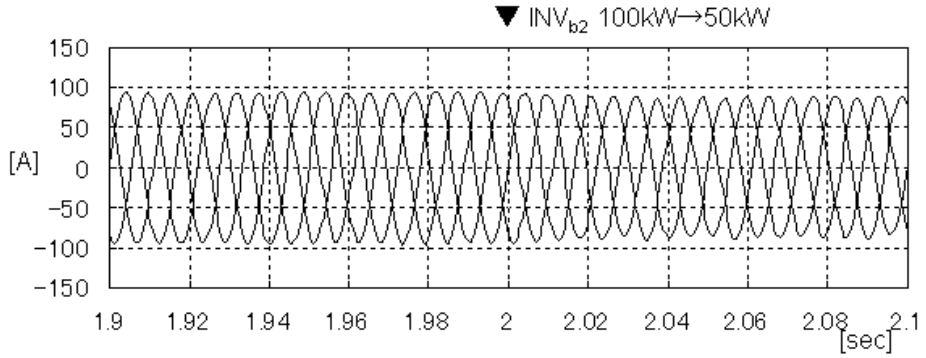


図 6.11　電源電圧 V_{inf} と連系点電圧 V_s

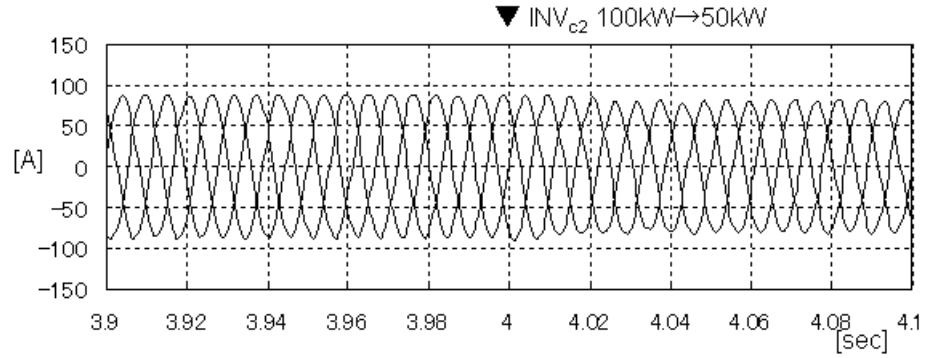


(a) 0～8sec（瞬時値）　　(b)拡大図（移動平均処理）

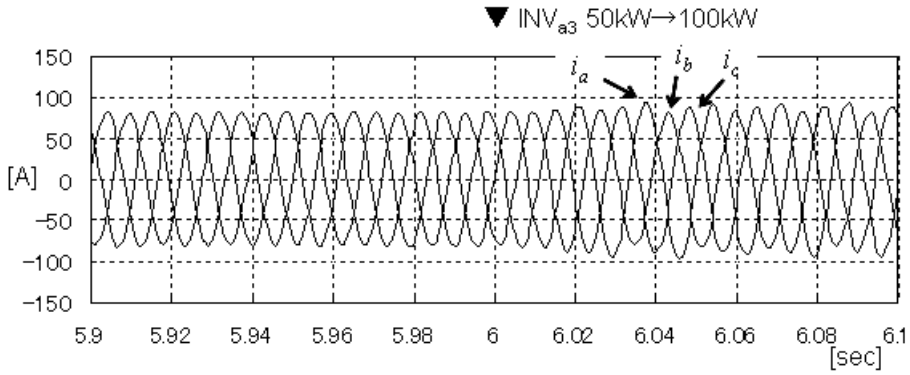
図 6.12　各相の CLMC の DC 電圧



(a)a 相 250kW，b 相 250kW，c 相 250kW → a 相 250kW，b 相 200kW，c 相 250kW



(b)a 相 250kW，b 相 200kW，c 相 250kW → a 相 250kW，b 相 200kW，c 相 200kW



(c)a 相 250kW，b 相 200kW，c 相 200kW → a 相 300kW，b 相 200kW，c 相 200kW

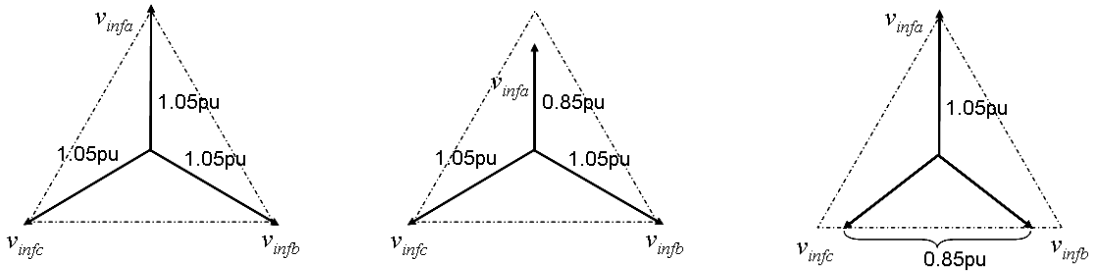
図 6.13　出力電流

次に，系統電圧の変動に対する応答を検証する。DC 電源の出力は，表 6.3 の 4～6sec の条件を採用し，a 相の出力を 250kW，b 相と c 相の出力を 200kW とする。系統電圧は，図 6.14 の通りである。0～2sec では，電源電圧 V_{inf}の振幅が 1.05pu に上昇していたとする。次に，2～4sec で a 相電圧が 0.85pu に低下する 1LG（一相地絡），続いて，4～6sec で b-c 相の線間電圧が 0.85pu に低下する 2LS（二相短絡）を発生させる。なお，本ケースでは，ゲイン K_{Vp} を 0.5 とし，AVR 機能を動作させている。

図 6.15～図 6.18 に，シミュレーション結果を示す。図 6.15 からは，MPVS の出力が，設定値通りに制御されていることが確認できる。一方，図 6.16 からは，電源電圧 V_{inf}の上昇および低下

に対して，MPVS の AVR 運転により，連系点電圧 V_s が，定格電圧である 6600V に近づくよう補償されていることが分かる。DC 電圧と出力電流は，図 6.17 と図 6.18 に示すように，事故発生による過渡時を含め，安定に制御できている。

以上のように，提案手法は，系統電圧の不平衡に対しても良好に応答し，また AVR 運転を行っても問題なく動作することを確認できた。



(a) 0～2sec　(b) 2～4sec　(c) 4～6sec

図 6.14　系統電圧

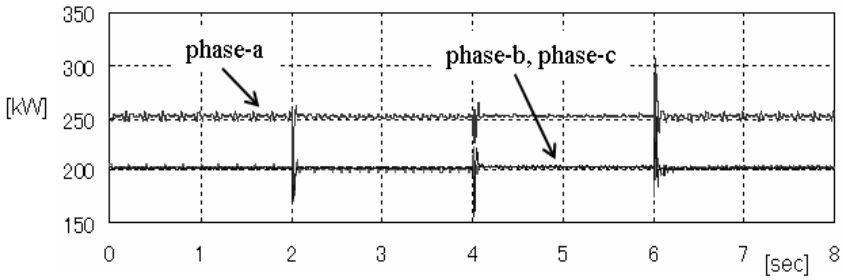


図 6.15　MPVS の出力

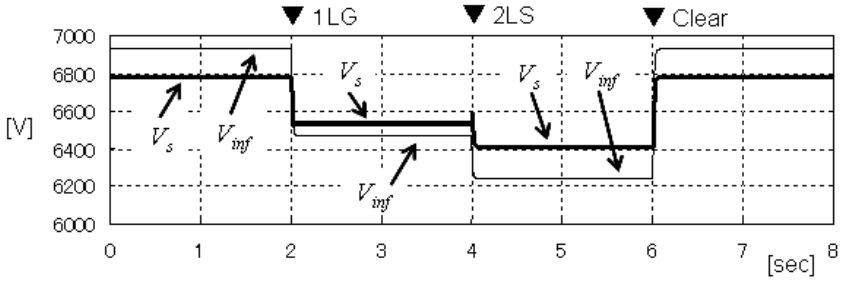
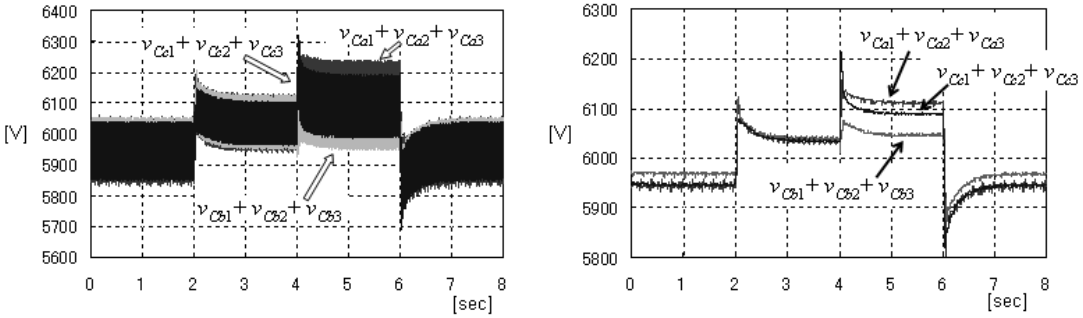
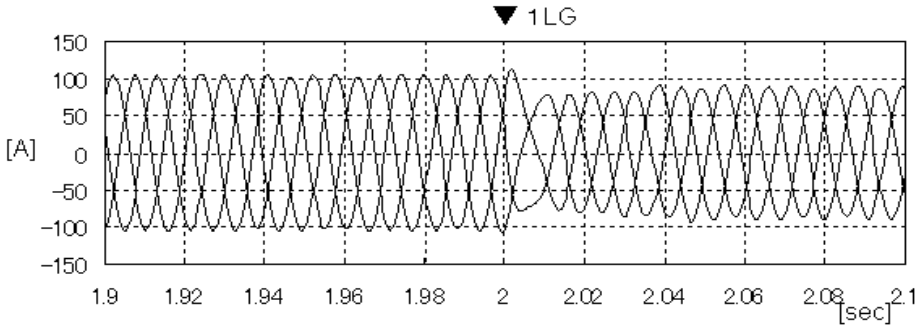


図 6.16　電源電圧 V_{inf} と連系点電圧 V_s

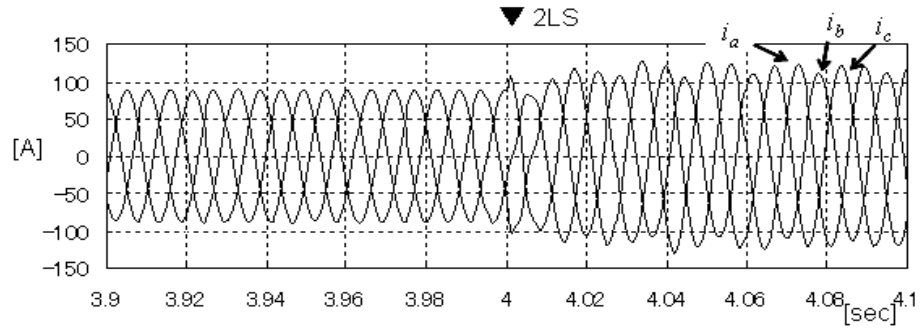


(a)0～8sec（瞬時値）　(b)拡大図（移動平均処理）

図 6.17　各相の CLMC の DC 電圧



(a)1LG 発生時



(b)2LS 発生時

図 6.18　出力電流

6.4　結言

本章では，CLMC の MPVS への適用を目的に，DC 電源の出力に不平衡が存在する場合にも，電力系統へは三相平衡な電流を出力するための制御手法について検討した。

まず，零相電圧制御により，DC 電源の出力に不平衡が存在する場合にも，三相平衡な電流を出力できることを示した。また，不平衡に応じて，DC 電圧を設定する必要性を示した。

次に，6.6kV-1MVA システムの試設計を行った。さらに，この際には，DC 電源の制約により計算通りの零相電圧を出力できない場合にも，逆相電流制御の併用により，可能な限り出力電流を三相平衡に近づけるよう試みた。そして最後に，提案手法の妥当性を，ディジタルシミュレーションにより検証した。

参考文献

[1] 三輪修也，伊藤孝充，北裕幸，原亮一，松岡 直基，平 幸治：「稚内メガソーラプロジェクト（１）～計画概要とこれまでの成果～」，平成 20 年電気学会全国大会，7-033（2008）

[2] 小西博雄，田中良，白木利幸：「大規模太陽光発電システム用 PCS の運転方式検討」，平成 20 年電気学会全国大会，7-037（2008）

[3] 関西電力株式会社　ホームページ：http://www.kepco.co.jp/pressre/2008/0623-1j.html

[4] Soeren Baekhoej Kjaer，Jhon K.Pedersen，Fred Blaabjerg：”A Review of Single-Phase Grid Connected Inverters for Photovoltaic Modules”, IEEE Trans. Industry Applications, Vol.41，No.5，pp.1292-1306（2005）

[5] K.Kurokawa，H.Sugiyama，D.Uchida : ”Sophisticated verification of simple monitored data for Japanese field program”，in Proc. 2nd World Conf. and Exhib. Photovolt. Solar Energy Convers.，Vienna，Austria，pp.1941-1946（1998）

[6] Analysis of Photovoltaic Systems，International Energy Agency-Photovoltaic Power Systems Program，Paris，France（2000）

[7] C.P.M.Dunselman，T.C.J.van der Weiden，S.W.H. de Haan，F.ter Heide，R.J.C.van Zolingen : ”Feasibility and development of PV modules with Integrated Inverter: AC modules”，in Proc. 12th European Photovoltaic Solar Energy Conf.，Amsterdam，The Netherlands，pp.313-315（1994）

[8] G.R.Walker，P.C.Sernia : ”Cascade DC-DC converter connection of photovoltaic modules”，IEEE Trans. Power Electronics，Vol.19，No.4，pp.1130-1139（2004）

[9] Eduardo Roman，Ricardo Alonso，Pedro Ibanez，Sabino Elorduizapatarietxe，Damian Goitia : ”Intelligent PV Module for Grid-Connected PV Systems”, IEEE Trans. Industrial Electronics，Vol.53，No.4，pp.1066-1073（2006）

[10] J.Arrillaga，Y.H.Liu，N.R.Watson : ”Flexible Power Transmission”，Wiley，p. 158（2007）

[11] 井上重徳，マハルジャン・ラクスマン，朝倉淳，赤木泰文 :「カスケード PWM 変換器と二次電池を使用した 6.6kV トランスレス電力貯蔵システム」, 電気学会論文誌 D, Vol.129-D, No.1，pp.67-76（2009）

[12] 羽田野伸彦:「三相トランスレスＤＶＲの一制御手法」, 電気学会論文誌 D, Vol.128-D, No.9, pp.1065-1074（2008）

[13] N.Hatano，T.Ise : ”A configuration and control method of cascade H-bridge STATCOM”，IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551，July（2008）

[14] 羽田野伸彦，伊瀬敏史 :「チェーンリンク形マルチレベル変換器を用いたモジュラーPV システム」，電気学会 半導体電力変換研究会，SPC-09-13，（2009）

[15] 羽田野伸彦，谷口雄二，胡内勝彦 :「瞬時電圧低下時における分散形電源用インバータの制御手法」，電気学会論文誌 D，Vol.128-D，No.1，pp.71-82（2008）

第 7 章　結論

本研究では，チェーンリンク形マルチレベル方式（Chain Link type Multilevel Converter : CLMC）による系統連系用電力変換器の高性能化を目的として，電圧やスイッチング周波数の異なるセル（単位変換器）を組み合わせるハイブリッド CLMC の導入と，それを系統連系するための制御手法について検討した。そして, 確立した要素技術を, DVR (Dynamic Voltage Restorer), STATCOM(STATic synchronous COMpensator)，および分散形電源の系統連系装置に適用し，実証試験およびディジタルシミュレーションにより検証した。得られた成果を, 以下に要約する。

・第 1 章では，本研究の背景として，電力系統分野に適用されるパワーエレクトロニクス技術の動向，系統連系用電力変換器の現状，および新たな回路技術としてのマルチレベル変換器について述べると共に, CLMC を系統連系用電力変換器に適用するための技術課題を示し，本研究の目的を明確に位置付けた。

・第 2 章では，CLMC の回路構成上の課題を示し，その解決策として，ハイブリッド CLMC の導入について検討した。まず，セルの直列接続によりレベル数を増加しても，反って損失が増加する場合があることを示した。また，DC 電源の分離が必要な理由と，それに伴いセルの出力分担制御が必要になることを示した。次に，セルの直列段数を抑制するために高周波 PWM を混じえたハイブリッド CLMC と，さらに，電圧が 2 倍ずつ異なるセルを組み合わせ，多レベル化を容易とする 2 進ハイブリッド CLMC について，基本的な回路構成と制御手法を示した。

・第 3 章では，三相電力系統に CLMC を適用するための，基本的な制御手法を示した。まず，電力系統の不平衡に対する課題を示した。次に，その解決策として，零相電圧もしくは逆相電流により，電力変換器の三相出力を制御する理論を示した。また，前者では DC 電源による適用限界が，後者では電流制御に制約が生じることを示した。さらに，理論の実現に不可欠な技術として，事故時に系統電圧が急変し，大幅な不平衡が発生しても，過電流に至ることなく，各相の出力電流を目標値通りに制御するための手法を提案し，実験結果を示した。

・第 4 章では，CLMC を，三相 DVR に適用するための技術を確立した。まず，一相もしくは二相事故による不平衡な瞬時電圧低下に対しても，零相電圧により，三相の補償エネルギーを制御できること示し，次に，400V-100kVA の試験装置で実証した。そして，瞬時値領域に拡張した零相電圧制御を用いた 6.6kV 三相トランスレス DVR を試設計し，ディジタルシミュレーションにより妥当性を検証した。また，この際には，負荷電流に大きな高調波成分を含む整流器負荷に対しても，良好な補償電圧を供給できており，高い制御性を有することも確認した。

・第 5 章では，CLMC を，三相 STATCOM に適用するための技術を確立した。まず，系統電圧に不平衡が生じても，逆相電流により，各相の DC 電圧を制御する手法を示し，次に，200V-10kVA の試験装置で実証した。また，この際には，高調波補償に関しても，高い制御性を有することを確認できた。そして，逆相電流制御に伴う機能的な制約の解消を目的として，不平衡の大小に応じて逆相電流制御と零相電圧制御を切り替えて各相の CLMC の DC 電圧制御を行う 6.6kV 三相トランスレス STATCOM を試設計し，ディジタルシミュレーションにより妥当性を検証した。

・第 6 章では，CLMC を分散形電源の系統連系装置に適用するための技術を確立した。まず，零相電圧制御により，DC 電源の出力に不平衡が存在する場合にも，電力系統へは三相平衡な電流を出力できることを示した。次に，6.6kV-1MVA システムの試設計を行った。この際には，DC 電源の制約により計算通りの零相電圧を出力できない場合にも，逆相電流制御の併用により，可能な限り出力電流を三相平衡に近づけるよう試みた。そして，ディジタルシミュレーションにより妥当性を検証した。

以上のように本研究では，CLMC の系統連系用電力変換器への適用において，導通損失の増加を抑制し，機器容量を有効に利用するための回路構成と制御手法を提案した。また，これらの技術を用いた DVR，STATCOM，および分散形電源の系統連系装置の実現可能性を示した。

本研究の成果により，DVR においては，トランスレスによる，大幅な小型・軽量化を可能とした。STATCOM では，多重変圧器を不要とすることに加えて，1 サイクル単位でスイッチング動作をパターン化する必要がなくなり，系統事故時の運転継続性の向上や，高調波補償のように高い制御性を要求される場合の補償性能と高効率化の両立を可能とした。分散形電源の系統連系装置においては，電力系統への不平衡出力を抑制した上で，個々の DC 電源の最適動作点での運転と，配線損失とスイッチング損失の低減による機器効率の改善を可能とした。

今後の課題を，以下にまとめる。

・本研究においては，主として 3 台のセルを用いた CLMC より，三相 6.6kV-1MVA 級の電力変換器を構成した。しかし，さらに電圧階級の高い電力系統に適用される装置であれば，通常は容量が 10MVA を超え，自然な形でセルの直列段数が増加することも考えられる。将来的に，このような大規模装置が必要となった場合にも対応できるよう，適切な回路構成と制御手法について検討を進めておく必要がある。

・CLMC の制御においては，スイッチング周波数の抑制を優先し，主として階段波変調を用い，出力電圧や出力電流には 5%程度の総合歪率を許容した形で，各装置の検討を進めた。しかし，スイッチング損失の増加を許容すれば，他の変調方法を採用することにより，出力の精度や品質を高める余地が，十分に残されている。制御性が効率よりも優先される場合にも対応できるよう，検討を進めておく必要がある。

・また近年では，ワイドバンドギャップ半導体などの，新型パワーデバイスを用いた電力変換器の開発が，活発に行われている。ハイブリッド CLMC であれば，それらと従来型のシリコンパワーデバイスによる電力変換器を組み合わせることも可能である。両者の長所を有効に活用するための回路構成，制御手法，そしてアプリケーションについても検討を進めておく必要がある。

謝辞

本研究の全過程を通じて，終始懇切な御指導と御鞭撻を賜りました，大阪大学大学院工学研究科・伊瀬敏史教授に謹んで深く感謝の意を表します。

本研究の遂行と論文をまとめるにあたり，日頃より適切な御指導と御指摘を頂きました，大阪大学大学院工学研究科・三浦友史准教授に厚く御礼申し上げます。

本論文をまとめるにあたり，適切な御指導と御指摘をいただきました大阪大学大学院工学研究科・舟木剛教授に深く感謝の意を表します。

本論文をまとめるにあたり，貴重な御指摘を頂きました大阪大学大学院工学研究科・谷野哲三教授，白神宏之教授，土居伸二准教授，宮本俊幸准教授，杉原英治准教授に厚く御礼申し上げます。

また，本研究の遂行と論文をまとめるにあたり，日頃より多くの御支援を頂き，学位論文執筆の苦楽も共にしました大阪大学大学院工学研究科・柿ヶ野浩明助教に心から感謝いたします。

そして，大阪大学大学院電気電子情報工学専攻・伊瀬研究室の皆様には，多くの有益な御教示を頂きました。ここに深く感謝いたします。

さらに，本研究成果の一部は，著者の属する関西電力株式会社において得られたものです。本研究に着手する機会と，御支援を頂きました長谷川泰三元総合技術研究所長に厚く御礼申し上げます。また，共同研究において御支援を頂きました三菱電機株式会社・菊永敏之氏，岩田明彦氏，岸田行盛氏，山田正樹氏に深く感謝いたします。

最後に，本研究の遂行と本論文の執筆にあたり，終始温かい励ましを貰った，妻・美香，長女・歩美，長男・裕貴，そして母・和子に，心から感謝いたします。

研究業績

・学会誌論文

1. 羽田野伸彦，山田正樹，岩田明彦，菊永敏之
「階調制御型瞬低補償装置における相間エネルギー流用制御」，電気学会論文誌 D，Vol.125，No.1，pp.38-45（2005 年 1 月）
2. 山田正樹，鈴木昭弘，岩田明彦，菊永敏之，吉安一，山本和生，羽田野伸彦
「階調制御型瞬低補償装置の提案」，電気学会論文誌 D，Vol.125，No.2，pp. 119-125（2005 年 2 月）
3. 山田正樹，鈴木昭弘，岩田明彦，菊永敏之，吉安一，山本和生，羽田野伸彦
「階調制御型瞬低補償装置におけるエネルギー流用制御」, 電気学会論文誌 D, Vol.125, No.2, pp. 126-132（2005 年 2 月）
4. 羽田野伸彦，岸田行盛，山田正樹，岩田明彦
「階調制御型瞬低補償装置における高速充電制御」，電気学会論文誌D，Vol.125，No.12，pp.1122-1128（2005 年 12 月）
5. 羽田野伸彦，岸田行盛，岩田明彦
「階調制御型変換器を用いた自励式無効電力補償装置」，電気学会論文誌 D，Vol.127，No.8，pp.789-795（2007 年 8 月）
6. 羽田野伸彦，谷口雄二，胡内勝彦
「瞬時電圧低下時における分散形電源用インバータの制御手法」, 電気学会論文誌 D, Vol.128, No.1，pp.71-82（2008 年 1 月）
7. 羽田野伸彦
「三相トランスレスＤＶＲの一制御手法」，電気学会論文誌D，Vol.128，No.9，pp.1065-1074（2008 年 9 月）

・国際会議論文（査読あり）

1. N.Gibo，K.Takenaka，K.Yukihira，K.Kouchi，N.Hatano，Y.Takeuchi，T.Ishiko
”Development of Control Scheme of A Line-Commutated SVC for Flicker Control”，The 8th International Power Engineering Conference，Meritus Mandarin（Singapore），December，2007
2. N.Hatano，T.Ise
”A configuration and control method of cascade H-bridge STATCOM”, IEEE PES General Meeting 2008，Pittsburgh（USA），08GM0551，July，2008

・その他論文（邦文誌の英語訳）

1. M.Yamada，A.Suzuki，A.Iwata，T.Kikunaga，H.Yoshiyasu，K.Yamamoto，N.Hatano
”Proposal of Voltage Transient Sag Compensator with Controlled Gradational Voltage”，
Wiley InterScience，Electrical Engineering in Japan，Vol.154，Issue 3，pp.65-72（2006）
2. M.Yamada，A.Suzuki，A.Iwata，T.Kikunaga，H.Yoshiyasu，K.Yamamoto，N.Hatano
”Effective Operation Method by Interdependent Use of Condenser Energy of the Voltage Transient Sag Compensator with Controlled Gradational Voltage”，Wiley InterScience，
Electrical Engineering in Japan，Vol.154，Issue 3，pp.56-64（2006）
3. N.Hatano，Y.Kishida，A.Iwata
”STATCOM using the New Concept of Inverter System with Controlled Gradational Voltage”，Wiley InterScience，Electrical Engineering in Japan（掲載決定）
4. N.Hatano，Y.Taniguchi，K.Kouchi
”A Control Method of Inverter used for Distributed Power Supply under Voltage Sag Condition”，Wiley InterScience，Electrical Engineering in Japan（掲載決定）

・国内大会

1. 鈴木昭弘，岩田明彦，山田正樹，羽田野伸彦，山本和生，笹尾博之，菊永敏之，小山健一，高橋貢
「階調制御電圧による瞬低補償装置（1）―方式提案および動作実証―」，平成 14 年 電気学会 全国大会，No.4-036，2002
2. 鈴木昭弘，岩田明彦，山田正樹，羽田野伸彦，山本和生，笹尾博之，菊永敏之，小山健一，高橋貢
「階調制御電圧による瞬低補償装置（2）―ビット間エネルギ流用制御―」，平成 14 年 電気学会 全国大会，No.4-037，2002
3. 羽田野伸彦，山本和生，鈴木昭弘，岩田明彦，山田正樹，笹尾博之，菊永敏之，小山健一，高橋貢
「階調制御電圧による瞬低補償装置（3）―相間エネルギ流用制御―」，平成 14 年 電気学会全国大会，No.4-038，2002
4. 山田正樹，鈴木昭弘，岩田明彦，菊永敏之，笹尾博之，小山健一，高橋貢，羽田野伸彦，山本和生
「階調制御型瞬低補償装置の提案」，平成 14 年 電気学会 産業応用部門大会，No.11，2002
5. 山田正樹，岩田明彦，鈴木昭弘，菊永敏之，羽田野伸彦，山本和生
「階調制御型瞬低補償装置におけるエネルギー流用制御」，平成 14 年 電気学会 産業応用部門大会，No.12，2002
6. 山本和生，羽田野伸彦，小野瀬貴之，相原孝志，遠藤政市，二見基生
「瞬時電圧低下防止用可変速フライホイールシステムの開発」，平成 14 年 電気学会 電力・エネルギー部門大会，No.224，2002

7. 羽田野伸彦，山田正樹，岩田明彦，菊永敏之
「階調制御型瞬低補償装置におけるエネルギー流用制御（２）」，平成 15 年 電気学会 産業応用部門大会，No.1-64，2003
8. 山田正樹，岩田明彦，菊永敏之，羽田野伸彦
「階調制御型瞬低補償装置における過電流抑制」, 平成 16 年 電気学会 全国大会, No.4-011, 2004
9. 羽田野伸彦，岸田行盛，山田正樹，岩田明彦
「階調制御型瞬低補償装置における高速充電制御」, 平成 16 年 電気学会 産業応用部門大会, No.1-33，2004
10. 羽田野伸彦，岸田行盛，山田正樹，岩田明彦
「階調制御型自励式無効電力補償装置の提案」，平成 17 年 電気学会 全国大会，No.6-033, 2005
11. 羽田野伸彦，岸田行盛，山田正樹，岩田明彦
「階調制御型変換器を用いた自励式無効電力補償装置」，平成 17 年 電気学会 産業応用部門大会，No.1-9，2005
12. 羽田野伸彦，岸田行盛，山田正樹，岩田明彦
「階調制御型変換器を用いた STATCOM の 3 相交流系統への適用」, 平成 18 年 電気学会 全国大会，No.6-011，2006
13. 羽田野伸彦，岸田行盛，岩田明彦
「階調制御型変換器を用いた自励式無効電力補償装置」，平成 18 年 電気学会 産業応用部門大会，No.1-55，2006
14. 羽田野伸彦
「分散型電源用インバータの瞬低時における運転継続性向上」，平成 19 年 電気学会 全国大会，No.4-077，2007
15. 羽田野伸彦
「三相トランスレスＤＶＲの一制御手法」, 平成 19 年 電気学会 産業応用部門大会, No.1-72, 2007
16. 宜保直樹，竹中清，雪平謙二，胡内勝彦，羽田野伸彦，武内保憲，石河孝明
「フリッカ抑制用他励式 SVC の制御手法の開発」，平成 19 年 電気学会 電力・エネルギー部門大会，No.403，2007
17. 羽田野伸彦，伊瀬敏史
「チェーンリンク形マルチレベル変換器を用いたモジュラーPV システム」，平成 21 年 電気学会 半導体電力変換研究会，SPC-09-13，2009

・表彰関連

1. 電気学会　学術振興賞（進歩賞），2007 年 5 月 25 日
「階調制御型瞬低補償装置の開発」
2. 電気学会　産業応用部門大会第 20 回記念論文賞，2007 年 8 月 21 日
「階調制御型変換器を用いた自励式無効電力補償装置」

・特許関連

1. 出願番号 特願 2002-067798，登録番号 3911175，「電圧変動補償装置」
2. 出願番号 特願 2002-091618，登録番号 3857167，「電圧変動補償装置」
3. 出願番号 特願 2002-082198，登録番号 3903421，「電圧変動補償装置」
4. 出願番号 特願 2003-300697，登録番号 4048161，「電圧補償装置」
5. 出願番号 特願 2003-299470，登録番号 4010999，「電圧変動補償装置」
6. 出願番号 特願 2003-287306，登録番号 4045218，「電圧変動補償装置」
7. 出願番号 特願 2003-287307，登録番号 4223886，「電圧変動検出装置」
8. 出願番号 特願 2003-287350，登録番号 4113070，「電圧変動補償装置」
9. 出願番号 特願 2003-287360，登録番号 4113071，「電圧変動補償装置」
10. 出願番号 特願 2004-117476，登録番号 4214078，「電圧変動補償装置」