The University of Osaka
Institutional Knowledge Archive

Title	高エネルギーイオンプローブを用いた絶縁膜上薄膜単結晶シリコン基板に形成された素子の信頼性評価
Author(s)	阿保, 智
Citation	大阪大学, 2004, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/871
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

工甲 9952

高エネルギーイオンプローブを用いた絶縁膜上薄膜単結晶シリコン基板に形成された素子の信頼性評価

2004年1月

阿保　智

大阪大学大学院　基礎工学研究科

高エネルギーイオンプローブを用いた絶縁膜上薄膜単結晶シリコン基板に形成された素子の信頼性評価

2004年１月

阿保　智

大阪大学大学院　基礎工学研究科

内容梗概

本論文は、筆者が大阪大学大学院基礎工学研究科在学中に行った「高エネルギーイオンプローブを用いた絶縁膜上薄膜単結晶シリコン (SOI: silicon-on-insulator)基板に形成された素子の信頼性評価」についてまとめたものであり、本文6章と謝辞から構成される。

第1章　序章

ユビキタスネットワーク社会の実現に向けて、半導体デバイスは更なる高速化と低消費電力化が求められている。現在までは、半導体デバイスの設計ルールを縮小することによってこれらの要求を満たしてきた。しかし、設計ルールの縮小は同時に半導体デバイス動作時のマージン低下にもつながり、放射線耐性に代表される半導体デバイスの信頼性の向上が急務となってきている。

SOI 基板に形成された素子は、放射線耐性が高く、また、高速でかつ低消費電力動作が可能であるなど従来のバルク半導体デバイスに比べ多くの利点を持つため、研究が重ねられてきている。

しかし、SOI デバイスは、これらの利点とともに従来のバルク半導体デバイスでは起こりえない基板浮遊効果と呼ばれる欠点を持っている。これは、SOI デバイスでは動作領域が埋込酸化膜によって基板より絶縁されているため動作領域の電位が安定せず動作不良を引き起こすものであり、基板浮遊効果によって引き起こされる現象の解明と抑制方法の確立が SOI デバイスの重要な課題となっている。

本論文では、SOI デバイスの基本素子である SOI-MOSFET と SOI-MOSFET を使用した半導体素子である SOI-SRAM について信頼性評価を行い、その結果をまとめた。

本章では、研究の背景、目的、意義を明確にした。

第2章　SOI 素子におけるソフトエラーの発生機構

従来のバルク半導体デバイスでは、高エネルギー荷電粒子が半導体素子内に進入する際、その経路に沿って電子—正孔対が生成され、その生成された過剰キャリアすべてが回路内に蓄積するためにソフトエラーを引き起こす。SOI デバイスでは、動作領域と基板が電気的に絶縁されているため、捕集される電荷量が減少し、バルクデバイスと同様のソフトエラーは起こりにくいとされている。しかし、基板浮遊効果により SOI デバイス特有のソフ

トエラーが起こるとされている。

本章では、ソフトエラーの発生要因、揮発性メモリでのソフトエラーの発生機構、SOIデバイスにおける基板浮遊効果、およびその抑制法（ボディ電位固定構造）について述べ、高エネルギーイオンプローブを使用したソフトエラー評価の利点など、本研究を行う上で前提となる基本的な内容について明らかにした。

第3章　イオンプローブを用いたSOI-MOSFETの信頼性評価実験

第3章では、並列接続のSOI-MOSFETに高エネルギーイオンプローブを照射し、基板浮遊効果を意図的に引き起こした際の異常ドレイン電流の動的挙動を実験によりミリ秒のオーダーで明らかにした。

ボディ電位固定構造により、基板浮遊効果による異常ドレイン電流を抑制できる事を明らかにした。

また、本手法での問題点として、高エネルギーイオンプローブによりSOI-MOSFETの埋込酸化層に電荷欠陥が発生し異常電流が流れる事とその解決法を明らかにした。

第4章　イオンプローブを用いたSOI-MOSFETの動作評価シミュレーション

第4章では、単体のSOI-MOSFETに高エネルギーイオンプローブを照射した際の動的挙動を3次元デバイスシミュレータによりピコ秒からマイクロ秒のオーダーで明らかにした。

ボディ電位固定構造により、基板浮遊効果による異常ドレイン電流を抑制する事が可能であるが、その効果は照射位置によって異なりボディ電極近傍に照射された際に最も効果があることを明らかにした。

また、従来は基板浮遊効果が起こらないとされてきた薄膜の完全空乏型SOI素子でも、基板浮遊効果が存在する事を明らかにした。

第5章　イオンプローブを用いたSOI-SRAMの信頼性評価

第5章では、SOI-MOSFETを使用したSOI-SRAMの信頼性評価の実験を行い、その結果を明らかにした。SOI-SRAMのソフトエラーの発生機構が従来のバルクSRAMとは異な

る事を明らかにし、SOI-SRAM ではソフトエラーの発生率が照射エネルギーではなくボディ領域で発生させる過剰キャリアと相関関係にある事を明らかにした。

第 6 章　結論

この章では、第 3 章から第 5 章までに得られた研究成果について総括し、本研究で得た結論をまとめた。

高エネルギーイオンプローブを用いた
絶縁膜上薄膜単結晶シリコン基板に
形成された素子の信頼性評価

目次

第１章　序章 1
1.1　研究の背景 1
1.2　SOI デバイスの登場 3
1.3　SOI デバイスの特徴 3
1.4　SOI デバイスの現状 4
1.5　本論文の目的 4
1.6　本論文の構成 5
第２章　SOI 素子におけるソフトエラーの発生機構 9
2.1　ソフトエラーの発生機構 9
2.1.1　ソフトエラー要因 9
2.1.2　電子―正孔対の生成 11
2.1.3　キャリア捕集 11
2.2　メモリ素子におけるソフトエラー 13
2.2.1　DRAM におけるソフトエラー 13
2.2.1.1　DRAM の動作原理 13
2.2.1.2　セルモードのソフトエラー 14
2.2.1.3　ビット線モードのソフトエラー 16
2.2.2　SRAM におけるソフトエラー 17
2.2.2.1　SRAM の動作原理 17
2.2.2.2　SRAM におけるソフトエラー発生機構 18
2.3　SOI 素子におけるソフトエラー 20
2.3.1　SOI 素子の優位点 20
2.3.2　SOI 基板の種類 21
2.3.1.1　SIMOX 基板 22
2.3.1.2　UNIBOND®基板 24
2.3.3　SOI 素子のソフトエラー耐性 26
2.3.4　基板浮遊効果 27
2.3.5　ボディ電位固定構造 28

2.3.6 完全空乏型 SOI 素子 29
2.4 ソフトエラーの評価技術 30
2.4.1 イオンと標的原子の衝突過程 30
2.4.1.1 核阻止能と照射損傷 31
2.4.1.2 電子阻止能と LET 31
2.4.1.3 飛程と分布 32
2.4.2 ソフトエラー評価 32
第 3 章 イオンプローブを用いた SOI-MOSFET の信頼性評価実験 35
3.1 実験条件 35
3.1.1 信頼性評価実験を行った SOI-MOSFET の構造 35
3.1.2 イオン照射によるドレイン電流計測系 40
3.2 実験結果と考察 41
3.2.1 ボディ電極の有無によるドレイン電流変化の比較 41
3.2.2 ボディ電位固定構造の SOI-MOSFET へのイオンビーム照射時間依存性 ... 42
3.2.3 埋込酸化膜に生成される電荷欠陥の抑制法 44
3.3 結言 46
第 4 章 イオンプローブを用いた SOI-MOSFET の動作評価シミュレーション 47
4.1 3 次元シミュレーション 47
4.1.1 3 次元デバイスシミュレーションで使用したデバイス構造 48
4.1.2 α粒子照射位置 48
4.2 シミュレーション結果と考察 49
4.2.1 α粒子照射量依存性 49
4.2.2 α粒子照射位置依存性 54
4.2.2.1 ゲート長方向依存性 54
4.2.2.2 ゲート幅方向依存性 56
4.2.3 SOI 膜厚依存性 59
4.3 結言 61
第 5 章 イオンプローブを用いた SOI-SRAM の信頼性評価 63
5.1 実験条件 63
5.1.1 SOI-SRAM のデバイス構造 63
5.1.2 SOI-SRAM ソフトエラー計測系 64
5.2 実験結果と考察 67
5.3 結言 71
第 6 章 結論 73

参考文献 75
謝辞 83
研究実績 85
発表論文 85
参考発表論文 85
国際学会発表 87
国内学会発表 89

第1章　序章

1.1　研究の背景

ユビキタスネットワーク社会の実現に向けて、ULSI (ultra large scale integration)に代表される半導体デバイスは更なる高速化・低消費電力化が必要とされている。図 1-1 に ITRS 2003 (International Technology Roadmap for Semiconductors 2003 editions)で要求されている現在から 2018 年までの MPU (micro processing unit)の動作周波数と動作電圧を示す[1]。

現在、パソコンで使用されている MPU の最高動作周波数は 2 – 3 GHz 程度であり、15 年の間に 20 倍近くまで向上させ動作速度を高速化すること、さらに、動作電圧を半分以下に減らすことによる消費電力の低減が要求されている。

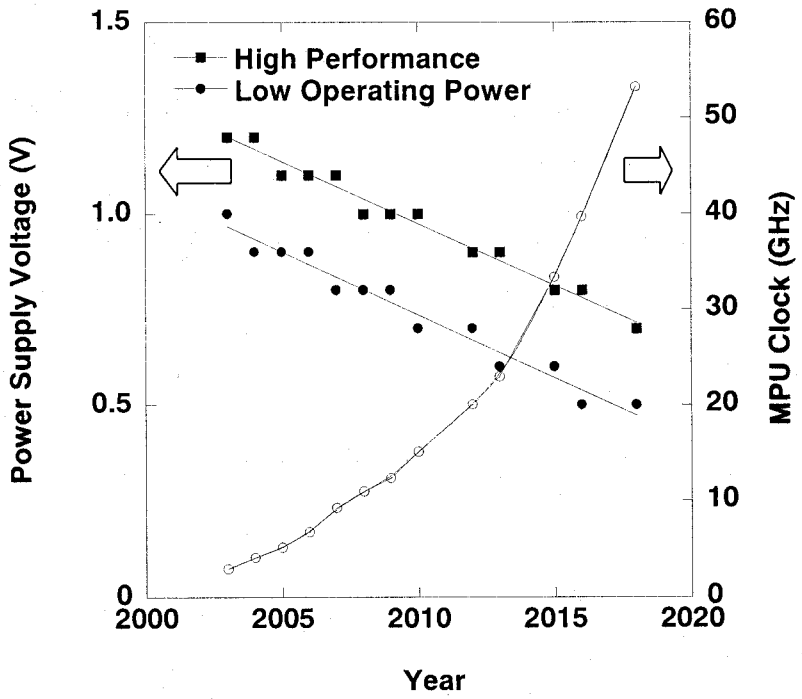


図 1-1　ITRS2003 で要求されている半導体デバイスの動作周波数と動作電圧の推移

現在までには、これらの要求は設計寸法を縮小することにより、寄生容量を減少させ実現してきた。図 1-2 に ITRS2003 で今後 15 年間に要求されている設計寸法、DRAM (dynamic random access memory)のハーフピッチ、MPU のゲート長、MPU/ASIC

(application specific integrated circuits)のハーフピッチを示す[1]。このように、今後 15 年かけて現在 0.13 μm の設計寸法を 22 nm まで、45 nm の物理ゲート長を 7 nm まで 縮小することが要求されている。

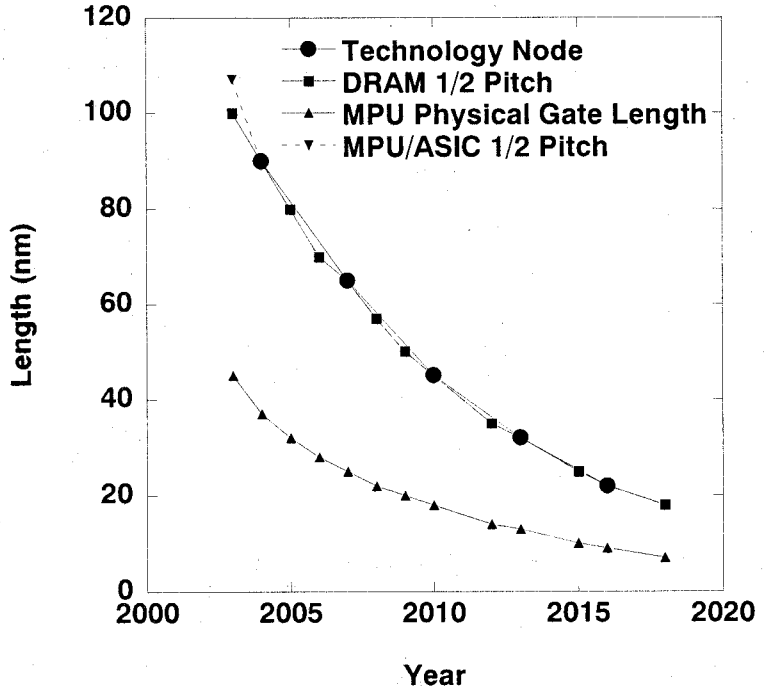


図 1-2　ITRS2003 で要求されている半導体デバイスの加工寸法の推移

しかし、ULSI の基本素子である MOSFET (metal oxide semiconductor field effect transistor)は設計寸法が 0.1 μm 以下になると、従来のスケーリング則に沿った不純物濃度の増加と共に、ショートチャネル効果を抑えるために不純物濃度で補償せざるを得ないため、更なる不純物濃度増加が避けられなくなる。この不純物濃度の増加により空乏層が減少し、不純物の分布の揺らぎによる閾値電圧の制御性に困難をもたらすほか、サブスレッショルド特性の劣化による閾値電圧増大がもたらす有効電源電圧の減少から動作速度向上が得られにくくなる。また、動作速度向上の限界が訪れるだけではなく、本来、低消費電力であった CMOS (complementary MOS)でも、高速化と大規模化によって消費電力が増加し、問題となってきた。

1.2　SOI デバイスの登場

このような MOSFET 微細化の流れの中で、図 1-3 に示すような絶縁体である SiO_2 層（埋込酸化膜層: BOX: buried oxide）の上に MOSFET を形成した絶縁膜上薄膜単結晶シリコン（SOI: silicon-on-insulator）MOSFET が低消費電力化と高速化に有効な手段として考えられている。SOI-MOSFET は、埋込酸化膜によって、動作領域である単結晶 Si 層が電気的に絶縁されているため基板からのキャリアの影響を受けず、寄生容量を減少させることができる。同じ設計寸法を使用した場合には、同じ消費電力であれば 25 %の高速化、同じ動作速度であれば 50 %の低消費電力化が可能とされている[2]。また、高速化、低消費電力化のみならず、基板効果、ショートチャネル効果、サブスレッショルド特性[3]、ラッチアップフリー、放射線耐性など従来のバルク半導体デバイスに比べて非常に優れており、各世代で従来のバルクデバイスの限界、課題を克服できる素子として期待されている[4]。

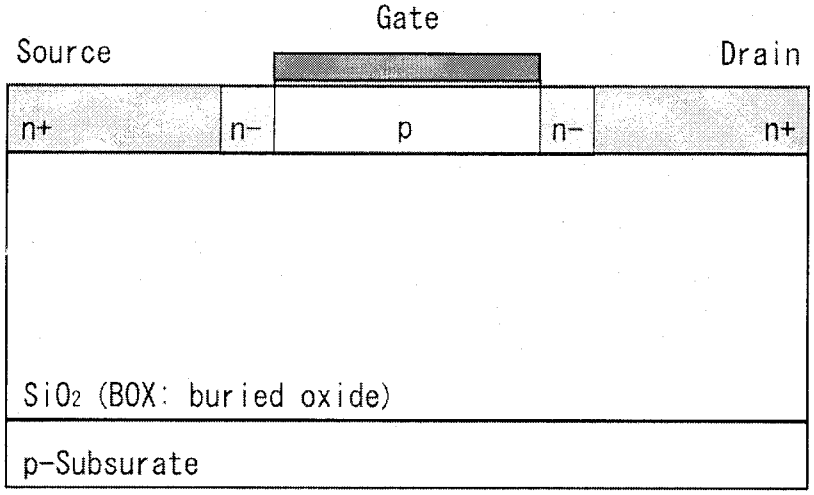


図 1-3　n チャネル SOI-MOSFET の概略図

1.3　SOI デバイスの特徴

バルクデバイスに比べ、数々の優れた特性を持つ SOI デバイスであるが、いくつかの短所があげられる。基板内部に埋込酸化膜を形成するためバルクデバイスに比べ結晶性が悪いこと、ボディと呼ばれる埋込酸化膜上の Si のチャネル部分と基板との間に埋込酸化膜があるためボディが電気的に浮遊状態であること、および高コストであることなどである。

SOI デバイスは、当初は SOS (silicon on sapphire)構造であったが、サファイアのコスト

の問題、Si との結晶性の問題などを抱えていた。しかし、Si 基板に絶縁膜を形成する手法として、SIMOX (separated by implanted oxygen)が登場して以来、SIMOX 基板が広く用いられるようになった。また、現在ではウエハ貼り付け研磨技術の向上により、貼り合わせによる高品質薄膜 SOI 基板もできており、SOI デバイスの実用化に向けて研究が進んでいる。

最後の問題であるボディが電気的に浮遊状態であることについては、基板（電位）浮遊効果として、SOI-MOSFET 特有の現象として知られている。このため、キンク現象や履歴効果、サブスレッショルド特性の悪化等、SOI 素子実現の上での重要な課題となっている。基板浮遊効果はボディ部分の完全空乏化 (FD: fully depleted)すれば解決するとされているが、この時の Si 層の厚さは 50 nm 以下と非常に薄いものであり、プロセス的に非常に難しいものである。そこで、完全空乏型だけでなく Si 層の膜厚が数 10 nm～数 100 nm であり、ボディ部分が部分的に空乏化 (PD: partially depleted)するデバイスについて盛んに研究されている。また、最近では完全空乏型の SOI 素子を使用した場合にでも、基板浮遊効果によるキンク現象などが発生するという報告もされている[5, 6]。

1.4 SOI デバイスの現状

以前までは、SOI 素子は高耐圧、高信頼性を要求される一部の用途のみに採用されるにとどまっていたが、近年、急速に最先端 ULSI への採用が始まっている[7]。

動作周波数の高い回路では基板浮遊効果による履歴効果の影響が少なく[8]、タイミング余裕の少ない SRAM 回路等に比べ実現が容易である。このため、1999 年、IBM のハイエンドサーバ向けプロセッサである Power4 に採用されるに始まり、2003 年には、パーソナルコンピュータ用の CPU として、AMD が Opteron、Athlon64 を市場に投入するなど、積極的な採用が始まっている。

1.5 本論文の目的

これまでに、半導体デバイスの高速化、低消費電力化の流れと SOI デバイスの有用性、問題点について述べてきた。今後、プロセッサ向けのみではなく、他の半導体デバイスでも高速化、低消費電力化を実現する上で SOI 素子の採用は必要不可欠な技術となってきている。

そこで、SOI デバイスの安定動作を実現する上で最大の問題となっている基板浮遊効果

を高エネルギーイオンプローブによって意図的に引き起こすことで、発生時の過渡現象を解明することとボディ電位固定構造の有用性を示すことを本論文での目的とする。

1.6　本論文の構成

本論文は、筆者が大阪大学大学院基礎工学研究科に在学中に行った研究成果をまとめたものである。図 1-4 に本論文の大まかな流れを示す。

以下に、各章について概略を説明する。

第 1 章　序章

第 1 章では、本研究の遂行に当たっての背景と現状および、今後の半導体デバイスに対する要求についてまとめ、本研究の目的と意義を明らかにした。

第 2 章　SOI 素子におけるソフトエラーの発生機構

第 2 章では、ソフトエラーの発生要因、不揮発性メモリにおけるソフトエラーの発生機構、SOI 素子の優位点と問題点、高エネルギーイオンプローブを用いてソフトエラーの検証を行う利点といった本論文での前提となる内容について明らかにした。

第 3 章　イオンプローブを用いた SOI-MOSFET の信頼性評価実験

第 3 章では、並列接続の SOI-MOSFET に高エネルギーイオンプローブを照射した際の異常ドレイン電流の動的挙動を実験によりミリ秒のオーダーで明らかにした。

ボディ電位固定構造を用いる事により、基板浮遊効果を抑制する事が可能で、異常ドレイン電流を低減できる事を明らかにした。

第 4 章　イオンプローブを用いた SOI-MOSFET の動作評価シミュレーション

第 4 章では、単体の SOI-MOSFET に高エネルギーイオンプローブを照射した際の動的挙動を 3 次元デバイスシミュレータを用いてピコ秒からマイクロ秒のオーダーで明らかにした。

第５章　イオンプローブを用いたSOI-SRAMの信頼性評価

前章までは、SOI-MOSFETについての動的挙動の解明を行ってきた。

第５章では、SOI-MOSFETを使用した半導体素子であるSOI-SRAMの信頼性評価の実験を行い、その結果を示している。従来のバルクSRAMでは、SER(single event upset rate)は照射エネルギーに依存して増加するが、SOI-SRAMでは、照射エネルギーではなくボディ領域で発生させる電荷量と相関関係にある事を示した。

第６章　結論

この章では、第３章から第５章までに得られた研究成果について総括し、本研究で得た結論をまとめた。

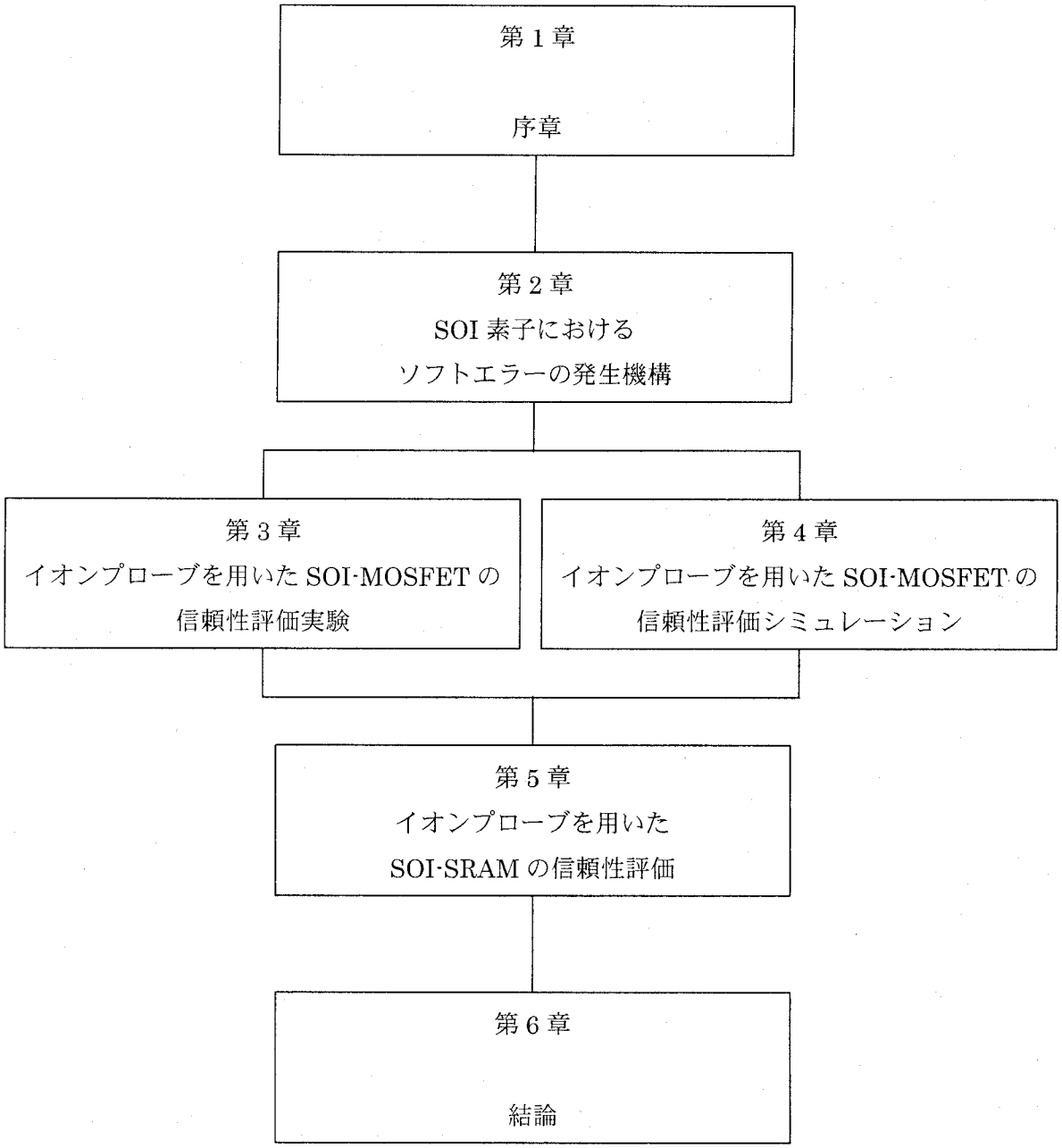

第 1 章
序章
第 2 章
SOI 素子における
ソフトエラーの発生機構
第 3 章
イオンプローブを用いた SOI-MOSFET の
信頼性評価実験
第 4 章
イオンプローブを用いた SOI-MOSFET の
信頼性評価シミュレーション
第 5 章
イオンプローブを用いた
SOI-SRAM の信頼性評価
第 6 章
結論

図 1-4　本論文の構成

第2章　SOI 素子におけるソフトエラーの発生機構

2.1　ソフトエラーの発生機構

ソフトエラーとはメモリ素子中の情報（[0]と[1]のビット状態）内容が外乱によって変化してしまう事であり、物理的な破壊は起こらず電源を入れなおすことによって修復可能である。また、物理的な破壊を伴うハードエラーとは一般的には区別して議論される。はじめに一般にソフトエラーといわれる SEU (single event upset)の発生機構を述べる。

2.1.1　ソフトエラー要因

ソフトエラーを起こす要因としてよく知られているのがα粒子に代表される高エネルギー粒子の半導体デバイスへの入射である。近年まで、半導体デバイスは樹脂封止した上でパッケージに収められているため、高エネルギーの粒子が半導体デバイスまで飛来することはまれとされていた。このため、通常環境における半導体デバイスの高エネルギー粒子による問題は、半導体デバイスのパッケージ材料に不純物として含まれる微量のウランやトリウム、ハンダ材料中のポロニウムなどが崩壊するときに発生するα粒子であるとされてきた。しかし、最近ではパッケージ材料の純度が向上しているため、これらによるソフトエラーはほとんど発生しないと考えられる。最近では、太陽のフレアに起因する高エネルギーの陽子が地球の大気と反応することにより発生する中性子によるソフトエラーが重大な問題であるとされている。

また、樹脂封止した半導体デバイスでもパッケージが威力を発揮しない条件がいくつかある。例えば、宇宙空間や原子力発電所などの厳しい放射線環境である。気象衛星や放送衛星などに代表されるように宇宙空間で半導体デバイスが使用される機会は近年とみに増加しており、より高機能でかつ長寿命の衛星用半導体デバイスの開発は必要不可欠である。宇宙空間では、パッケージや樹脂を容易に貫通するほどの大きなエネルギーを持った電子、陽子、重イオンなどの放射線が頻繁に飛来し、これらに対応できるように特別設計の半導体デバイスを使用している。しかしながら、同時に衛星用の特別設計の半導体デバイスは高価であるという問題もあり、民生用の安価な半導体デバイスが衛星用に転用され始めている。

宇宙線に起因する中性子が引き起こすソフトエラーは ULSI を構成する元素の原子核と入射した中性子との原子核反応を媒介として発生するため、現象が複雑で定量的評価が容

易ではない。このため、1979 年の IBM の Ziegler 等による報告[9 - 11]以来古い歴史を持つにもかかわらず、この問題の重要性は認識されず、同じ年に発見された LSI 中の放射線不純物元素に起因するα線ソフトエラーに対する対策が重要視されてきた。しかし、1994 年の O'Gorman によるフィールドテストを通して宇宙線ソフトエラー率の測定データの報告[12]以降、宇宙線の影響が予想以上に大きいことを示唆するデータが報告され始めた[13, 14]。また、IBM、TI のグループにより相次いで豊富な計測データが報告され、特に DRAM のソフトエラーに関しては、4 Mbit 以降の世代では宇宙線の影響が支配的であり、半導体材料からのα線の影響はそれに比べると無視できることが示された。以下では宇宙線に起因するソフトエラーについて述べる。[15 - 18]

太陽のフレアに起因し宇宙空間から進入してくる 1 次宇宙線と呼ばれる GeV の高エネルギーの陽子が大気と衝突し、p (プロトン:陽子)、π(パイオン)、μ(ミューオン)そして n (ニュートロン:中性子)などを発生させる。地球上に降り注ぐのは 1 次宇宙線により生成された、これらの 2 次宇宙線である。そのため、中性子の密度には高度依存性があり、地表では中性子の降り注ぐ密度は約 ～0.05 / $cm^2 \cdot sec$ であるが、飛行機の軌道である高さ(約 12 km)では、100 倍の～5/ $cm^2 \cdot sec$ である[19]。図 2-1 に 2 次宇宙線が発生する様子を示す。中性子が半導体デバイスに進入すると、パッケージ材料や半導体素子を構成する元素と核反応を起こし[19]、重イオンを含む様々な核子を放出する (noise burst)。この核子が重イオンであるほど、またエネルギーが高いほどその経路に沿って多くの電子—正孔対を生成する。重イオンが生成する電荷量は非常に多く、10^6 electrons/μm 以上である。この結果発生する電荷量はソフトエラーを起こすのに充分な値である。表 2-1 に中性子とデバイスを構成する元素との核反応を示す[9, 20, 21]。

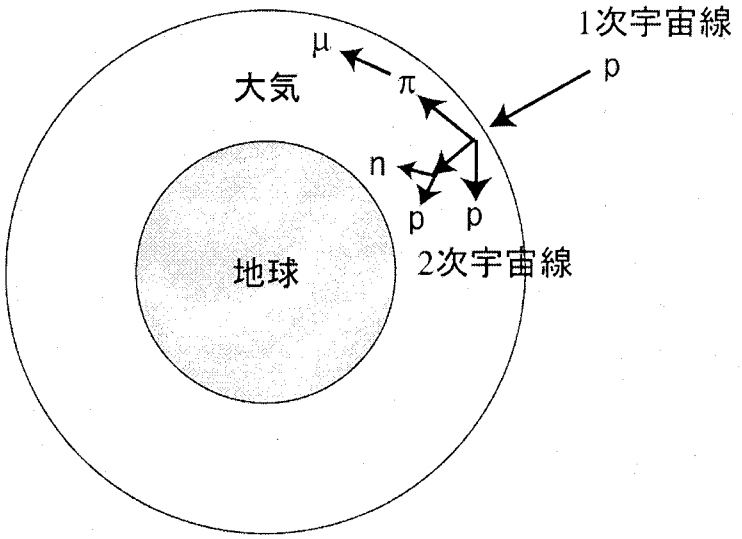


図 2-1　1 次宇宙放射線に起因する 2 次宇宙線の発生過程

表 2-1　中性子とデバイスを構成する元素との核反応

核反応		一次生成イオン		二次生成イオン
$^{10}B + ^{1}n$	→	$^{7}Li + \alpha + \gamma$		
$^{10}B + ^{1}n$	→	$^{7}Li + \alpha$		
$^{31}P + ^{1}n$	→	$^{32}P + \gamma$	→	$^{32}S + \beta$
$^{30}Si + ^{1}n$	→	$^{11}Si + \gamma$	→	$^{31}P + \beta$
$^{28}Si + ^{1}n$	→	$^{25}Mg + \alpha$		
$^{28}Si + ^{1}n$	→	$^{24}Mg + \alpha + ^{1}n$		
$^{75}As + ^{1}n$	→	$^{76}As + \gamma$	→	$^{72}Ga + \alpha$

2.1.2　電子—正孔対の生成

α線などの高エネルギー粒子が半導体デバイスに入射、または中性子の入射による核反応により基板内で重イオンが発生すると、それらはエネルギーを失いながら進入経路に沿って過剰な電子—正孔対を発生させる。その機構は、入射してきた高エネルギー粒子の非弾性散乱による価電子帯にある電子がエネルギーを得て導電帯に励起され、その結果電子と正孔のペアが形成されるものである。一対の電子—正孔対を生成するのに必要な平均エネルギーは Si 基板では、約 3.6 eV であり、5 MeV のエネルギーを持つα粒子が Si 基板に入射した場合には、約 1.4×10^{6} 個の電子—正孔対が生成されることになる[22, 23]。この全ての電荷が電荷蓄積部に捕集されるわけではないが、この電荷量（約 1.4×10^{6} 個: 224 fC)は最近の DRAM の蓄積電荷量（約 4×10^{5} 個: 64 fC)より充分に多いものである。

2.1.3　キャリア捕集

高エネルギー粒子の入射により電子—正孔対が生成される過程として次にあげる 3 種類が考えられている。空乏層内での少数キャリアのドリフト、ファネリング[24]、p 型基板内での少数キャリアの拡散である。これらの様子を図 2-2 に示す。

高エネルギー粒子が Si 基板内に進入すると、その飛程に沿って電子—正孔対が生成されるが、その電子－正孔対が空乏層に印可されている電界によって分離される。この分離した電子・正孔によってダイポール電界が生じる。ダイポール電界がそれまで空乏層に印可されていた電界を弱めるように働くため、空乏層に印可されていた電圧は元の空乏層だけでは支えられなくなり、その一部は基板内部深くにまで入り込んで電圧降下を生じるよう

になる。この現象をファネリングという。このうち、空乏層内に生成された少数キャリアが捕集されるのに必要な時間は数 10 ピコ秒程度と非常に短いため、空乏層中での再結合による影響はほとんど受けないと考えられる。これはファネリングについても同様である。それに対して、基板中性領域で生成された少数キャリアが拡散によって拡散層に捕集される時間は、ドリフトによる場合に比べて非常に遅く、そして長く続く。よって、この基板の中性領域内で生成されたキャリアの拡散層への捕集は、埋込ウェル等により抑制することが可能である。

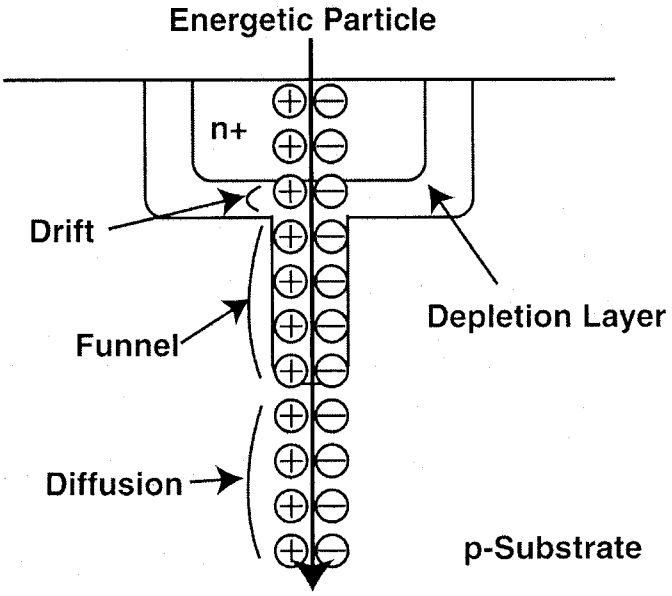


図 2-2　高エネルギー粒子入射による少数キャリアの生成過程

2.2　メモリ素子におけるソフトエラー

一般に使用されている揮発性メモリ素子としては、DRAM (dynamic random access memory)と SRAM (static random access memory)があげられる。次にこれらのメモリ素子内での、ソフトエラー発生過程について説明する。

2.2.1　DRAM におけるソフトエラー

2.2.1.1　DRAM の動作原理

図 2-3 に一般的な DRAM の回路構成を示し、以下に動作原理を示す[25, 27, 28]。

データ書き込みの手順

1) ワード線に電位をかけてトランジスタをオン状態にする。
2) 書き込むべきデータをビット線へと入力する。
   (”0”の時には[Low]、”1”の時には[High])
3) ビット線の電位にあわせてコンデンサに電荷が蓄えられる。
   (”0”の時には電荷が蓄積されず、”1”の時には電荷が蓄積される。)

データ読み出しの手順

1) ワード線に電位をかけてトランジスタをオン状態にする。
2) コンデンサに蓄えられている電荷がビット線に電流として流れる。
3) センスアンプ (sense amplifier)へ送られ、ダミーセルの持つ蓄積電荷量と比較。
4) コンデンサの電荷は開放されるため、再度データを書き込む。

DRAM は 1 トランジスタ、1 キャパシタで構成されているため、メモリセルではセル自身に増幅作用を持たず、リーク電流によって短時間でキャパシタの蓄積電荷が失われてしまい、[1]と[0]の識別ができなくなる。また、データの読み出し時にコンデンサの電荷が開放されてしまうために、読み出し後に再度、同じデータを書き込む必要がある。これらの問題のために、DRAM の動作時にはリフレッシュと呼ばれるメモリセルへの書き込み内容保持動作が必要となる。このため、後で述べる SRAM と比較すると、動作速度が遅くなる問題点もあるが、素子構成が単純であるため集積化が可能であり容易に安価に大容量のメモリを作成することが可能である。このため、パーソナルコンピュータ用の主記憶メモリ

として多く使用されている。

DRAM のソフトエラーについては主にセルモード(cell mode) [29]、ビット線モード(bit line mode) [29, 30]の 2 つのモードがある。次に 2 つのモードについてそれぞれ述べる。

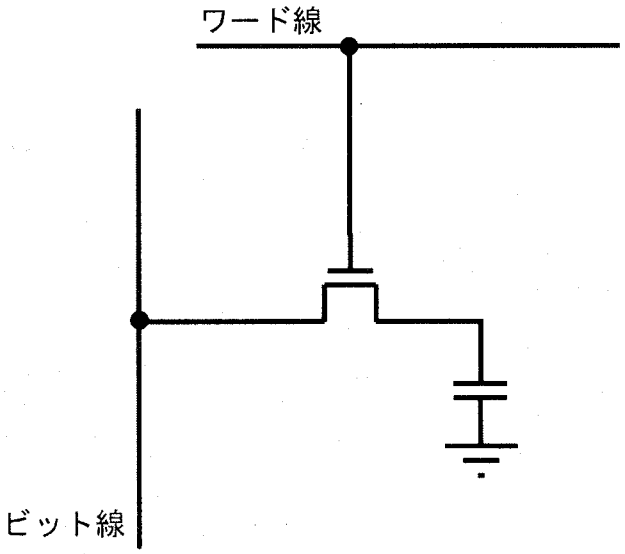
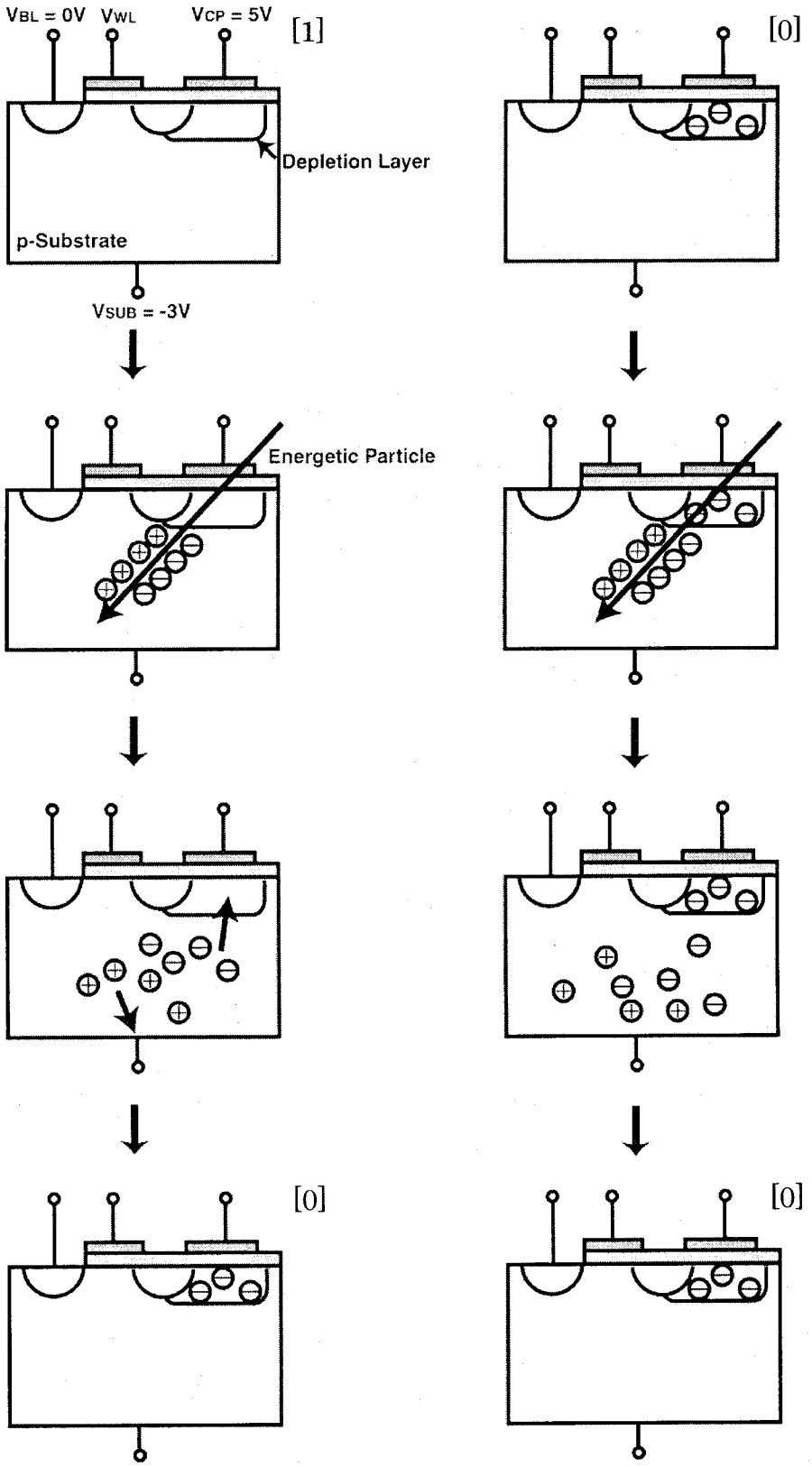


図 2-3　DRAM 1 bit の回路構成

2.2.1.2　セルモードのソフトエラー

図 2-4 に示すのはセルモードのソフトエラー発生の例である。例として、基板が p 型でメモリセルが n 型拡散層の DRAM を示す。電荷蓄積部に電荷が無い高電位[1]のビット状態の時（図 2-4 (a)）、高エネルギー粒子により生成された電子―正孔対のうち少数キャリアである電子が n 型拡散層に流れ込み、電荷蓄積部が電子で満たされ低電位[0]のビット状態となりソフトエラーが発生する。元が[0]のビット状態の時（図 2-4 (b)）には、最初から電荷蓄積部が電子で満たされているためソフトエラーは発生しない。つまり、セルモードでは[1]から[0]へのビット変化しか起こらない。



(a) 高電位 [1]の場合　　(b) 低電位 [0]の場合

図 2-4　セルモードでのソフトエラーの発生過程

2.2.1.3 ビット線モードのソフトエラー

DRAM の読み出しはメモリセルに保持されている電荷量とダミーセルに保持されている電荷量の比較によって記憶されている情報の判別を行っている。α線などの高エネルギー粒子がメモリセル側のビット線付近に照射された場合には、発生した電子がビット線へと流入し、ビット線の電位を低下させる。この時、ビット線の電位が基準電位よりも低くなると、センスアンプは情報を[1]から[0]へと誤って判別する。ダミーセル側のビット線付近に照射された場合には、発生した電子がダミーセルのビット線へと流入し、同様に基準電位を低下させてしまうため、この場合は[0]から[1]へのソフトエラーとなる。

このように、ビット線モードのソフトエラーでは、セルモードのソフトエラーと異なり、[0]から[1]、[1]から[0]いずれの場合のソフトエラーも発生する可能性がある。

2.2.2　SRAM におけるソフトエラー

2.2.2.1　SRAM の動作原理

図 2-5 に本実験で使用したものと同じ 4 個の n-MOSFET、2 個の p-MOSFET を使用した SRAM の回路構成を示し、以下に動作原理を示す[27][28]。

データ書き込みの手順

1) ワード線に電位をかけて Q3 および Q4 をオン状態にする。
2) 書き込むべきデータを 2 本のデータ線へと入力する。
   (例では、データ線に"1 [High]"、$\overline{\text{データ線}}$に"0 [Low]"を入力)
3) Q4 が導通しているため、A は$\overline{\text{データ線}}$の"0"と同電位[Low]となる。
4) A が[Low]なため、Q5 がオン状態、Q1 がオフ状態となる。
5) Q3 が導通しているため、B はデータ線の"1"と同電位[High]となる。
6) B が[High]なため、Q6 がオフ状態、Q2 がオン状態
7) Q2 がオン状態、Q6 がオフ状態なため、A はアース電位すなわち[Low]で固定
8) Q1 がオフ状態、Q5 がオン状態なため、B は Vcc 電位すなわち[High]に固定
9) ワード線の電位を下げて Q3 および Q4 をオフ状態にする。

データ読み出しの手順

1) ワード線に電位をかけて Q3 および Q4 をオン状態にする。
2) 2 本のデータ線の電位を比較

SRAM は、メモリセルがフィードバックのかかったフリップ・フロップで構成されているため、DRAM とは違いリフレッシュ動作が不要であり、高速に動作するという利点がある反面、1 bit の SRAM を 6 個のトランジスタで構成しているため素子面積が大きくなってしまう問題点がある。そのため、CPU 内部で利用される一次、二次キャッシュ等、比較的容量の小さい高速補助メモリとして使用されることが多い。

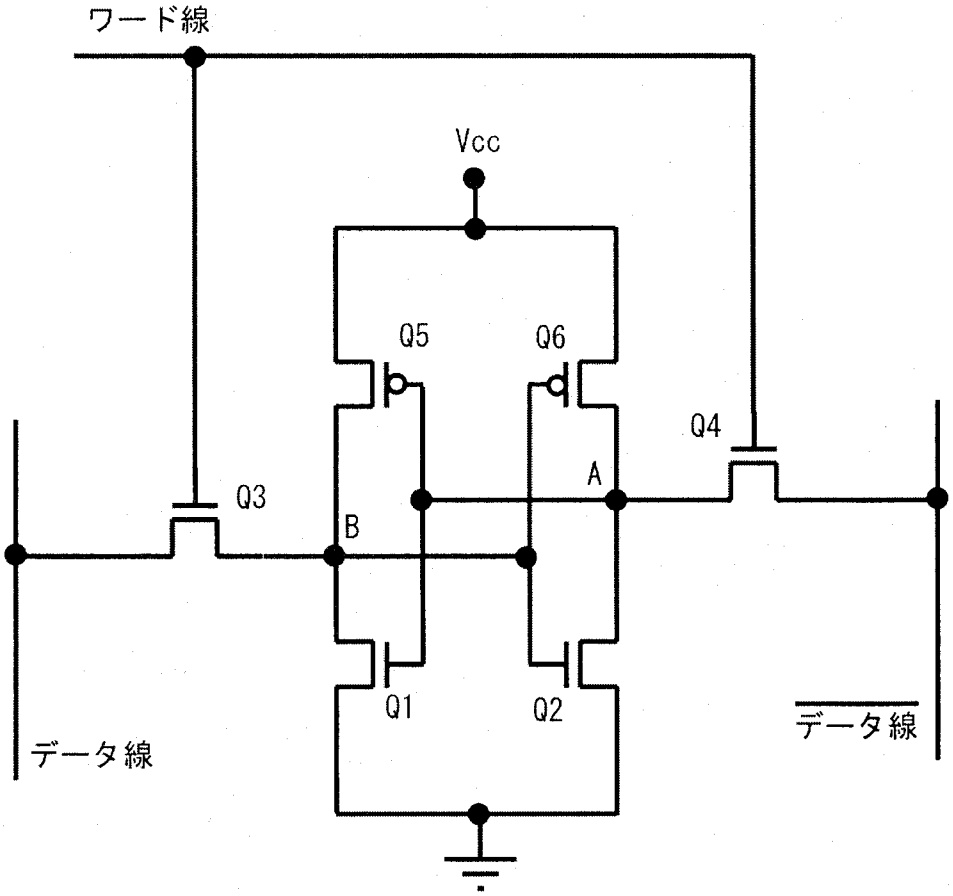


図 2-5　SRAM 1bit の回路構成

2.2.2.2　SRAM におけるソフトエラー発生機構

SRAM では、DRAM と異なり回路構成の中にコンデンサは存在しないため、コンデンサに電荷が蓄積したために発生するソフトエラーは起こりえない。

SRAM 特有のソフトエラーの発生機構について説明する。
先ほどの書き込み手順によるデータ書き込みが終わった後の状態を想定する。

1) Q1:オフ、Q2:オン、Q3:オフ、Q4:オフ、Q5:オン、 Q6:オフ
   A:[Low]、B:[High]となっている。
2) オフ状態の Q1 に高エネルギー粒子が入射
3) 電子―正孔対が生成され、オフ状態のトランジスタに電流が流れる。
4) B がアース電位と導通し、[Low]となる。
5) B が[Low]なため、Q6 がオン状態、Q2 がオフ状態

6) A が Vcc 電位と導通し、[High]となる。
7) A が[High]なため、Q5 がオフ状態、Q1 がオン状態。
8) Q1 がオン状態、Q5 がオフ状態なため、B はアース電位すなわち[Low]で固定
9) Q2 がオフ状態、Q6 がオン状態なため、A は Vcc 電位すなわち[High]に固定

つまり、SRAM では Q1 もしくは Q2 のいずれかが必ずオフ状態になっており、そのオフ状態のトランジスタへ高エネルギー粒子が入射する事によって、電位のバランスが崩れ、フリップ・フロップのフィードバック効果によって記憶内容が反転してしまう。

通常、バルク基板上に形成された SRAM の場合には、発生した電子―正孔対の多くが A もしくは B の配線へ流れ込む場合にソフトエラーが発生すると考えられている。つまり、Q1 もしくは Q2 のオフ側トランジスタのドレイン近傍にイオン入射が起こる場合が最もソフトエラーが発生しやすく、また、バルク基板上では基板を介して隣接するビットへ電流が流れることが可能なため、ドレインが隣接している付近にイオンが入射する場合には、隣接する二つ以上のビットがソフトエラーを起こす MBU(multi bit upset)も報告されている[31]。

2.3　SOI 素子におけるソフトエラー

これまでに、一般的な不揮発性メモリで起こるソフトエラーについて述べてきた。いずれの場合でも、高エネルギー粒子の入射によって発生した過剰キャリアが回路中に蓄積されることによってソフトエラーが発生している。

SOI 素子では、動作領域が埋込酸化膜によって基板より絶縁されているため、バルク半導体デバイスと同様のソフトエラーは起こりにくいとされているが、基板浮遊効果と呼ばれる SOI 素子特有の問題点によってバルク半導体デバイスとは異なるソフトエラーが発生することが知られている。以下では、SOI 素子について述べる。

2.3.1　SOI 素子の優位点

SOI 素子の優位点を述べるために、図 2-6 にバルクおよび SOI CMOS の断面概略図を示した。

以下に、ここから分かる優位点を列挙する。

- STI (shallow trench isolation)による素子の完全分離
  → ラッチアップフリー　（信頼性の向上）
  　最小寸法による素子分離が可能　（単位面積当たりの素子数が増加）
  　異なる素子（Power Device と MPU など）の混在が可能[32]
- 接合面減少による低寄生容量
  → 高速化　低消費電力化[33]

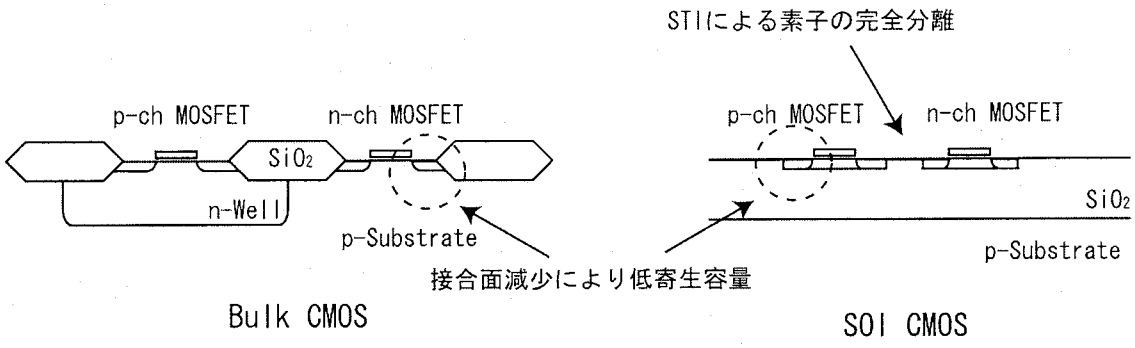


図 2-6　Bulk/SOI CMOS の断面概略図

次に、接合面減少による寄生容量の減少について、図 2-7 と表 2-2 にまとめる。このように従来のバルクシリコンデバイスに比べ、配線容量もしくは基板と動作領域間の接合容量が大きく減少していることが分かる。

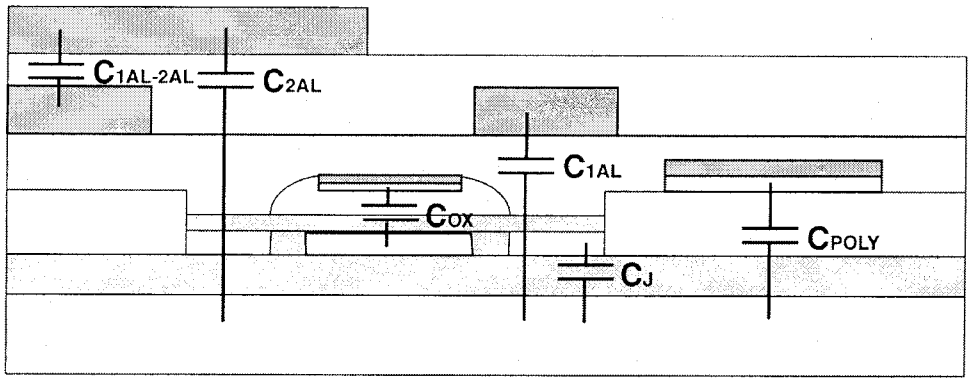


図 2-7　SOI-MOSFET の接合容量・配線容量[33]

表 2-2　SOI/Bulk MOSFET の接合容量・配線容量の比較[33]

		SOI [fF]	Bulk [fF]	SOI/bulk
Active gate (F.O. = 1)	C_{OX}	36.6	37.6	0.97
n^+ junction (1 drain)	$C_{J(N)}$	9.5	18.9	0.50
p^+ junction (1 drain)	$C_{J(P)}$	7.6	21.6	0.35
Polysilicon (10 μm^2)	C_{POLY}	0.43	0.98	0.44
1st aluminum (1 mm)	C_{1AL}	72.6	123.2	0.59
2nd aluminum (1 mm)	C_{2AL}	63.9	98.4	0.65

2.3.2　SOI 基板の種類

SOI 基板には大きく分けて酸素の高濃度イオン注入を用いた SIMOX 基板と基板同士の貼り合わせと薄膜化による貼り合わせ基板がある。Si 層の厚さが、数μm 程度の SOI 基板は厚膜 SOI 基板と呼ばれ、高耐圧デバイスなどではすでに採用されている。一方、Si 膜厚が 0.1～0.2 μm 程度の SOI 基板は薄膜 SOI 基板と呼ばれ MOS デバイスにおける低電圧化[34]および低消費電力化[35]が可能である。CMOS 用に用いる事ができる 1 μm 以下の薄膜 SOI 基板の一覧を図 2-8 に示す[36]。現在の CMOS 用の SOI 基板ではゲート酸化膜の信頼

性やリーク電流に影響するボディ領域の結晶品質、ボディ領域や埋込酸化膜層の膜厚均一性と制御性、金属汚染がない事と汚染のゲッタリング能力、SOI 表面の平坦性、埋込酸化膜のピンホールや耐圧などが必要とされている。以降では、本研究で使用した SOI デバイスで使用されている SOI 基板について述べる。

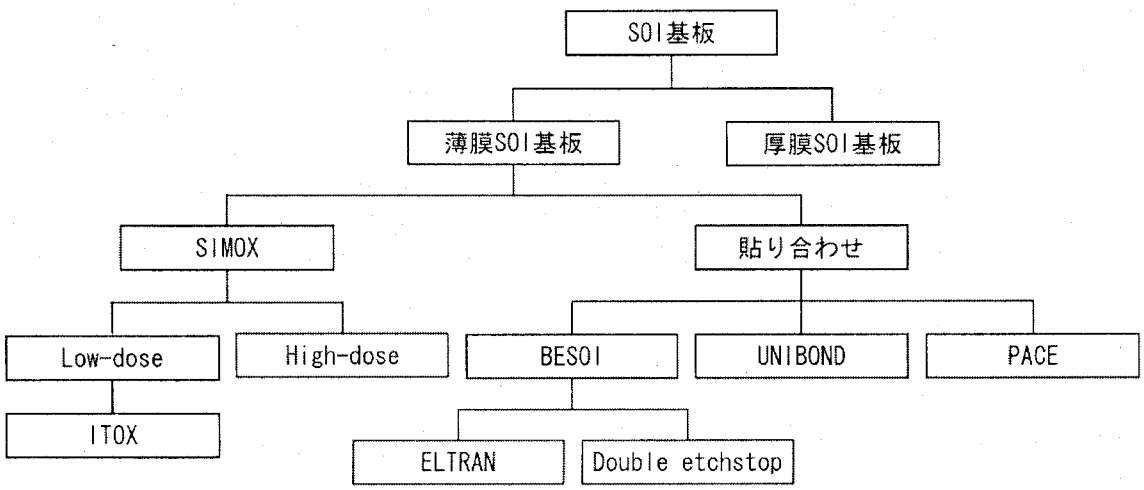


図 2-8　低消費電力・高速 CMOS 用薄膜 SOI 基板一覧[36]

2.3.1.1　SIMOX 基板

SIMOX 基板[37, 38]は 200 keV 程度のエネルギーで大量の酸素を Si 基板にイオン注入し、1300 ℃以上の高温で熱処理して埋込酸化膜を形成する。酸素注入量とエネルギーが電気的に精密に制御されるためボディ領域と埋込酸化膜厚は優れた均一性と制御性を有する。6 inch 径ウエハで、ボディ領域の膜厚均一性は±2 nm 以下であり、ロット間のばらつきは 5 nm 以下である。10^{18} cm^{-2} 台の高ドーズ酸素注入で得られる基板を High-dose SIMOX と呼ぶ。埋込酸化膜厚は 400～500 nm である。SOI ウエハとしての品質は安定しているものの、ボディ領域に 10^{8} cm^{-2} 以上の転移欠陥が存在する事、また高ドーズのイオン注入に長時間を要し、基板コストの面で課題がある。

注入量を 4 x 10^{17} cm^{-2} 程度に下げると転移が低減され、さらに埋込酸化膜の高耐圧が両立するドーズ領域がある事がわかっている[39]。この領域はドーズウィンドウと呼ばれ、これによりボディ領域の高品質化と基板の低コスト化がなされた。埋込酸化膜厚は 90 nm 程度である。この基板は Low-dose SIMOX と呼ばれる。ただし、埋込酸化膜のピンホール密度が高いという欠点がある。この改善法として、最近、高温熱処理後に高温酸化をする事

で、ボディ領域表面が酸化されると同時に、埋込酸化膜上にも熱酸化膜が形成される事が見いだされた。典型的には 40 nm 程度の埋込酸化膜厚の増加となる。この内部酸化処理を含む基板を ITOX (internal thermal oxidation) SIMOX と呼ぶ。これにより、酸素注入による SIMOX 基板でも、ボディ領域が高品質な熱酸化膜上に形成できるようになった。ITOX 処理は埋込酸化膜の耐圧向上や、ボディ領域と埋込酸化膜との界面モフォロジーの向上にも寄与している。しかし、Low-dose SIMOX がもつ埋込酸化膜がプロセスダメージに弱いという課題が依然として残っている。図 2-9 に ITOX-SIMOX 基板の作製プロセスを示す。

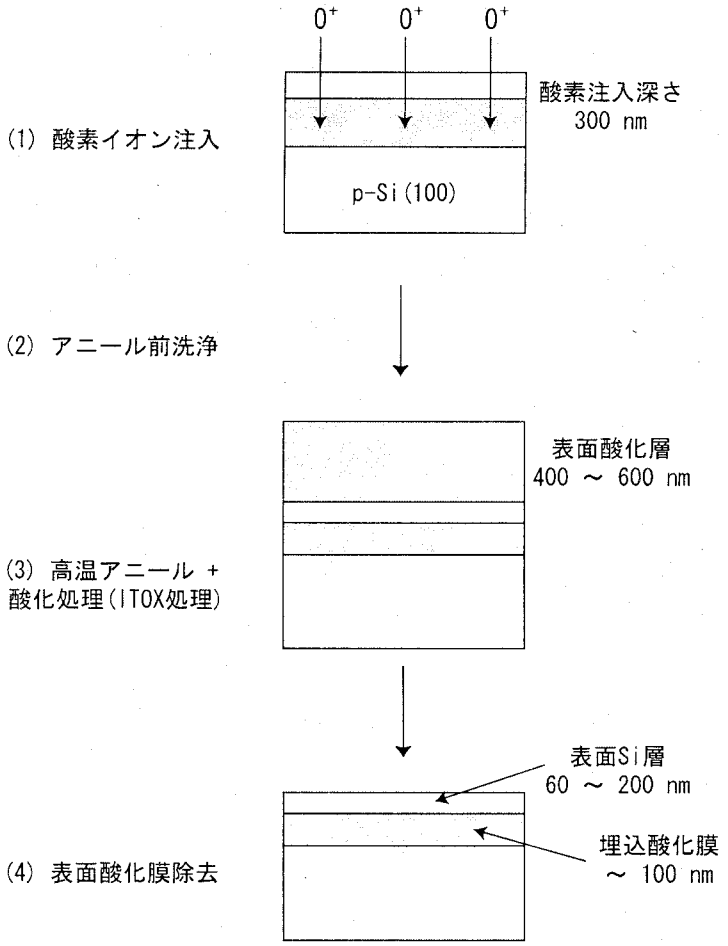


図 2-9　ITOX-SIMOX の作製プロセス

2.3.1.2 UNIBOND®基板

一方、貼り合わせ基板は基本的には、酸化膜を形成したSi基板(デバイスウエハ: DW)と別のもう一方の基板(ハンドルウエハ: HW)を貼り合わせて、DW を裏面から薄膜化、もしくは、剥離して所望のボディ領域を形成する。SIMOX 基板とは異なり、ボディ領域に O^+ イオン注入を行う必要がないため、ボディ領域の結晶性に優れている。研削、研磨の機械精度の向上により、±0.2～0.3 μm の膜厚精度が得られ、バイポーラやパワーデバイス用として必要な 1 μm 以上の SOI 膜の形成に適用できる。しかし、CMOS デバイス用として必要な 1 μm 以下のボディ領域を±5～10 %以下の制度で形成する必要があり、単純な研削、研磨では難しい。

そこで、UNIBOND®基板[40, 41, 42]では Smart-Cut®技術を使用し DW を剥離し、薄膜化を行っている。図 2-10 の UNIBOND®基板の作製プロセスを示す。

(1) 二枚のシリコンウエハを用意し、一方を熱酸化しておく(Si wafer-A)

(2) Si wafer-A に水素イオンを注入($2 \times 10^{16} - 1 \times 10^{17}$ cm^{-2})し、剥離面を作製する。注入エネルギーによって異なる膜厚の SOI ウエハを作成することが可能。

(3) 水素イオン注入を行ったウエハ(Si wafer-A)とシリコンウエハ(Si wafer-B)を貼り合わせる。

(4) 400 – 600 ℃の熱処理によって、水素注入を行った深さでの剥離を行う。
次に 1000 ℃以上の高温熱処理によって Si- wafer-A/B 界面の接合を強化する。

(5) 剥離後、Si wafer-A は再度 DW として使用する。

(6) SOI-wafer および Si wafer-A の研磨を行う。

通常の貼り合わせ基板技術では、DW を裏面より研磨することによってボディ領域を作製しているため、2 枚の Si ウエハより、一枚の SOI 基板しか作製できないが、Smart-Cut® 技術では剥離することによって作製しているため、剥離後、再度 DW として活用できるためにコストの面で優れている。

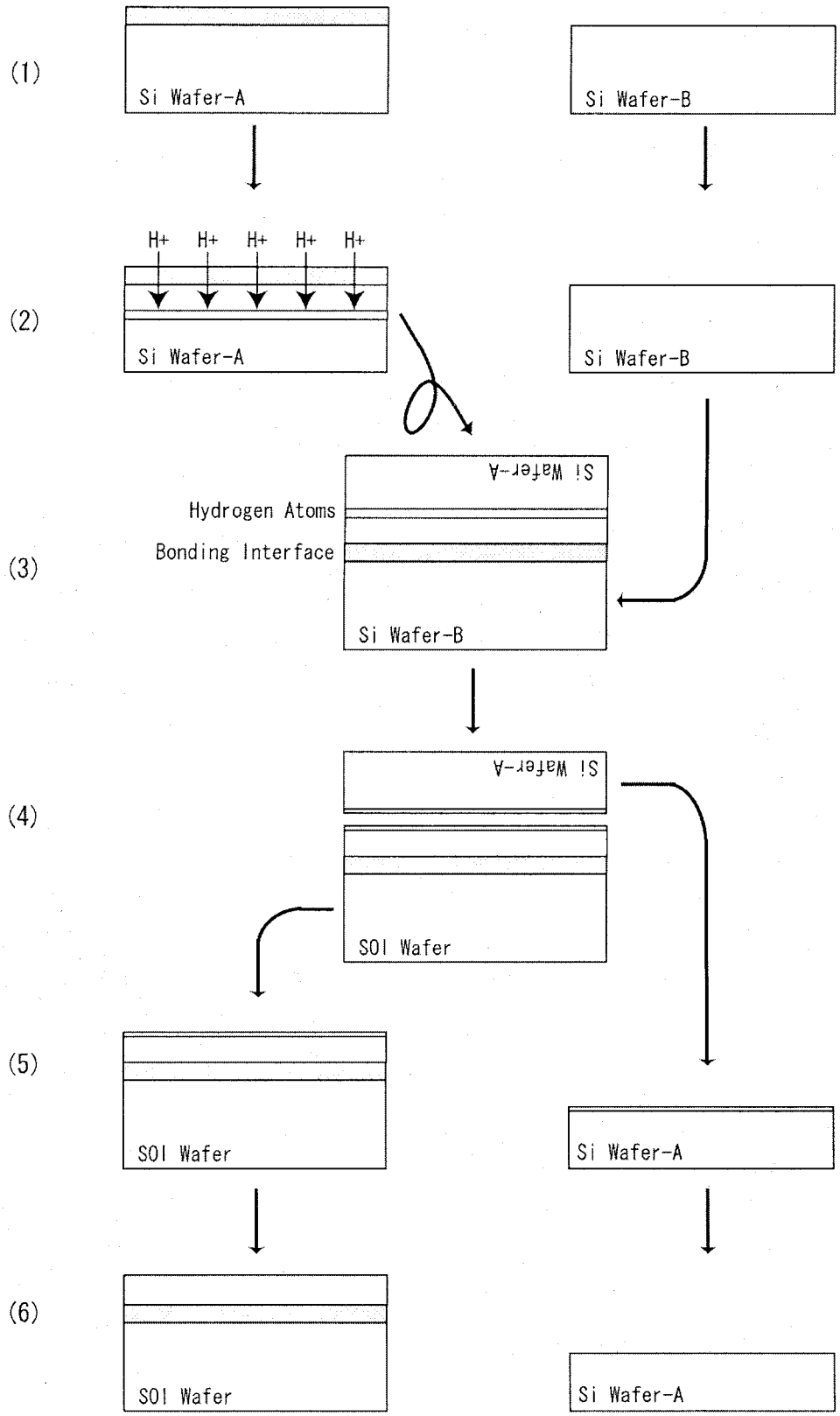
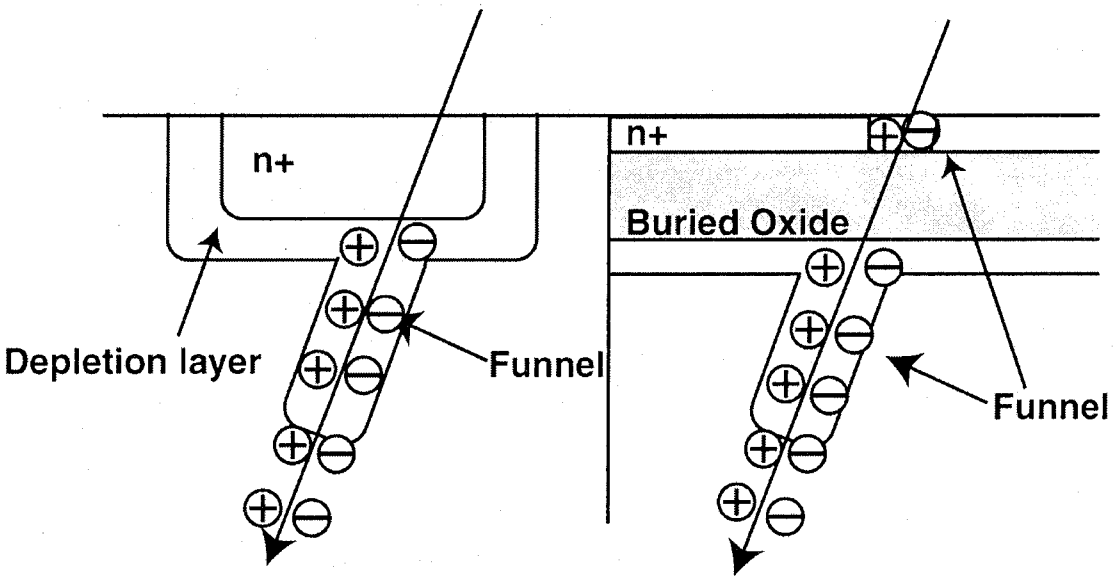


図 2-10　UNIBOND®基板の作製プロセス

2.3.3　SOI 素子のソフトエラー耐性

一般には SOI-MOSFET はソフトエラー耐性を持つとされているが、動作領域が埋込酸化膜によって基板より絶縁されているため、従来のバルク半導体デバイスでは起こりえない新たなソフトエラーが起こるとされている。以下に、SOI-MOSFET のソフトエラー耐性と特有のソフトエラー要因である基板浮遊効果について述べる。

バルクおよび SOI-MOSFET に高エネルギーイオンが入射した場合の電荷生成過程を図 2-11 に示す。5 MeV のα粒子が半導体デバイスに入射したとすると、生成される電子—正孔対は、1.4 x 10^6 個である。バルク MOSFET の場合には、空乏層のみではなくファネリングによって生成した電子－正孔対も捕集されるため、ソフトエラーを発生させる。しかし、SOI-MOSFET の場合には、埋込酸化膜によってボディの動作領域が基板より絶縁されており、ボディ領域で発生した電荷のみが捕集されるためバルク MOSFET に比べ捕集される電荷量が遙かに小さくなる[43]。Si 膜厚が 100 nm の時、生成される電子—正孔対の数は 5 x 10^3 個であり、その電荷量は約 0.8 fC である。この電荷量は最近の DRAM の蓄積電荷量 64 fC に比べると非常に少ないものであり、バルク SOI-MOSFET と比べて SOI-MOSFET ではソフトエラー耐性があるとされている。



(a) バルク MOSFET　　(b) SOI-MOSFET

図 2-11　イオン入射による MOSFET での少数キャリアの生成過程

2.3.4　基板浮遊効果

SOI 基板上に作製されたデバイスでは、バルク MOSFET とは異なり基板浮遊効果がある[44]。SOI デバイスは埋込酸化膜によって動作領域であるボディ領域が基板より電気的に絶縁されている。そのため、高エネルギー粒子の入射によって発生した正孔や、電界の急峻なドレイン近傍でのインパクトイオン化によって生成した正孔は、ボディ領域下部の中性領域に蓄積する（図 2-12）。これにより、ボディ領域の電位が上昇し、MOSFET のソース・ボディ・ドレインがバイポーラトランジスタのエミッタ・コレクタ・ベースとして機能してしまい異常な電流がベースからエミッタ、つまり、ドレインからソースへと流れる（寄生バイポーラ効果）[45]。このような、ボディ領域の電位が不安定であるために起こる現象を基板浮遊効果と呼び、Ids-Vds 特性でのキンク[46]やゲート電極からボディ電極へのトンネリング電流[47]などの異常な動作を引き起こす。

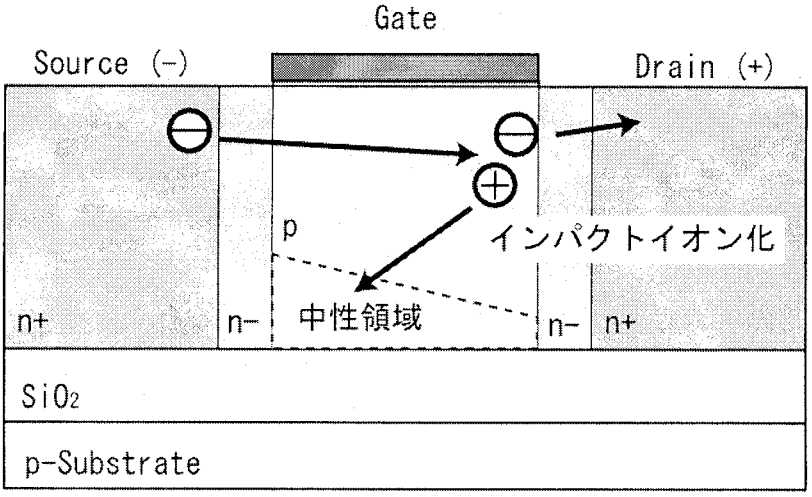


図 2-12　インパクトイオン化による正孔の蓄積過程

インパクトイオン化によって引き起こされる基板浮遊効果の検証には、インパクトイオン化が起こる頻度、位置を特定する必要があるが、これは非常に困難である。そこで、本研究では高エネルギーイオンプローブの照射により発生する過剰キャリアを用いて基板浮遊効果を引き起こし検証を行った。図 2-13 に高エネルギーイオン入射によって生じる基板浮遊効果の発生過程を示している。オフ状態のトランジスタ(a)に、高エネルギーイオンが入射するとその経路に沿って電子—正孔対が生成する(b)。生成した電子はソース・ドレインへと流れ(c)、中性領域に正孔が蓄積し基板浮遊効果（寄生バイポーラ効果）によって異常電流が流れる(d)。

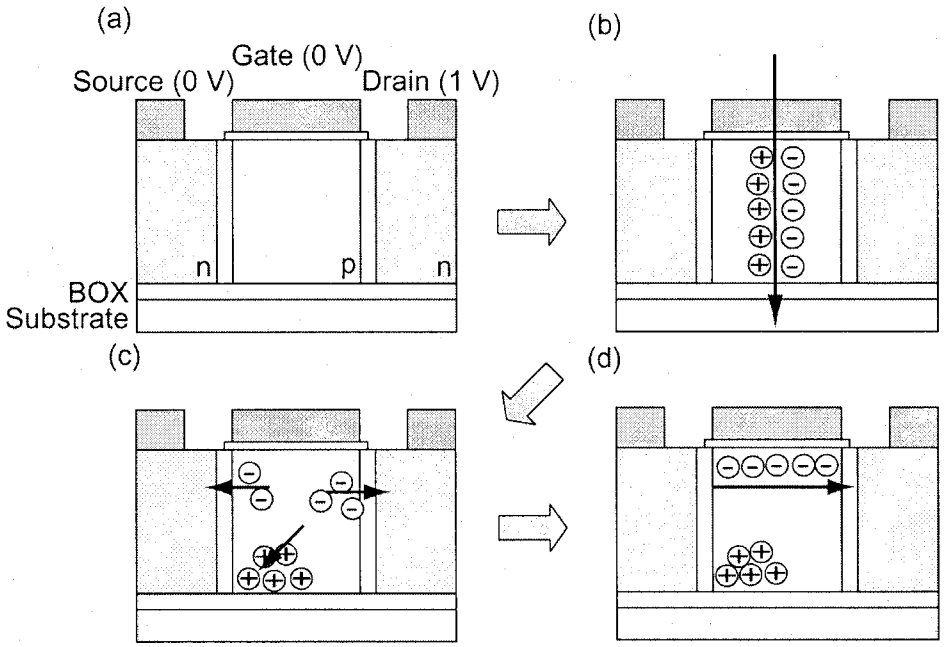


図 2-13　高エネルギーイオン入射によって生じる基板浮遊効果の発生過程

(a)　オフ状態の SOI-MOSFET

(b)　高エネルギーイオン入射により電子―正孔対の生成

(c)　生成した電子は、ソース・ドレインへ流れる。

(d)　中性領域に蓄積した正孔により、基板浮遊効果が発生しソースからドレインへ電流が流れる。

2.3.5　ボディ電位固定構造

部分空乏型 SOI-MOSFET での基板浮遊効果を抑制する手段の一つとしてボディ電位固定構造(Body-tie SOI-MOSFET)がある[48 - 50]。その構造の概略図を図 2-14 に示す。ボディ領域下部にボディ電極を形成しソースへ短絡することによって、基板浮遊効果の原因となる中性領域に蓄積した電荷を引き抜く。この構造を用いることによって基板浮遊効果を抑制することが可能である。しかし、ULSI のチップ面積が増大するという問題を抱えているために実際のデバイスで使用されることはほとんど無い。本研究では、ボディ電極を有する SOI-MOSFET の構造として 2 種類の構造を用いており、それらの構造については各章で説明する。以降、ボディ電極を有しない通常の SOI-MOSFET の構造をボディ電位フローティング構造(Floating SOI-MOSFET)と呼ぶ。

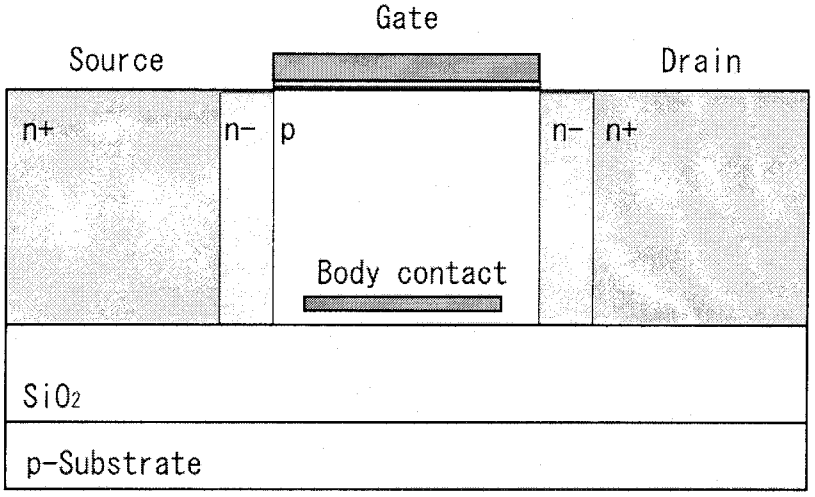


図 2-14　ボディ電極を有したボディ電位固定構造の SOI-MOSFET 概略図

2.3.6　完全空乏型 SOI 素子

SOI 素子での基板浮遊効果は、ボディ領域下部の中性領域とソース、ドレインの n 領域の間に電位障壁が生じているために、正孔が逃げ場を失い中性領域へ蓄積するために発生する。そこで、ボディ領域を極薄膜化し、不純物濃度を下げることによってボディ領域を完全に空乏化し、中性領域を取り除いた完全空乏型 SOI 素子 (FD-SOI: fully depleted SOI) が考えられている。完全空乏型 SOI 素子では、SOI ボディ層を薄膜化するため、部分空乏型 SOI 素子 (PD-SOI: partially depleted SOI)よりもさらに寄生容量を減少させることが可能となる。そのため、さらに高速動作が可能となり、また、基板浮遊効果もなくなるとされているなどさらに高速な半導体素子を作製する上で必要となる技術とされている。しかし、ボディ領域の極薄膜化や不純物濃度を下げる製造プロセスの問題点があげられている。さらに、基板浮遊効果が完全空乏型 SOI 素子でも発生するといった内容が学会でも報告され始めており[5, 6]、部分空乏型 SOI 素子に対する優位点は減少している。

表 2-3 に部分空乏型 SOI-MOSFET と完全空乏型 SOI-MOSFET の利点と欠点の比較を示す。

表 2-3　PD/FD-SOI-MOSFET の利点と欠点の比較

	PD-SOI-MOSFET	FD-SOI-MOSFET
利点	従来のバルク半導体デバイス作製技術が使用可能	基板浮遊効果が起こりにくい 理想的なサブスレッショルド特性
欠点	基板浮遊効果	極薄膜 SOI 基板の作製が困難 FD-SOI 素子用の作製プロセス

2.4　ソフトエラーの評価技術

ここまでで、ソフトエラーの発生機構と SOI 特有の問題点である基板浮遊効果、さらに、基板浮遊効果の抑制技術について述べた。これ以降で、ソフトエラーを評価する技術について述べる。

ソフトエラーはパッケージ材料に含まれている放射性不純物元素や宇宙から降り注ぐ宇宙線に起因して発生している。しかし、放射性不純物元素の崩壊や宇宙線の飛来する頻度を外部より制御することは非常に困難である。そこで、加速器や放射線同位体から発生する高エネルギー粒子を半導体に照射することによって、意図的にソフトエラーを引き起こす加速試験が行われている。本研究では、加速器を用いて高エネルギーイオンプローブを SOI デバイスに照射することによって加速試験を行った。高エネルギーイオンプローブを用いることにより、照射核子、照射量、照射エネルギー、照射位置などを制御することが可能となるため放射線耐性の評価には非常に有用である。ここから、高エネルギーイオンプローブを照射した際の半導体内部での挙動について述べる[52, 54, 55]。

2.4.1　イオンと標的原子の衝突過程

半導体にイオン照射を行うと、入射したイオンは半導体内部で原子および電子と衝突を繰り返し（衝突カスケード、collision cascade）、エネルギーを失い最後に静止する。原子との衝突では、エネルギーを失うと同時に散乱され運動方向も変わる。また、衝突された原子は、結合を破るのに必要な変位エネルギー（displacement energy）以上のエネルギーを与えられると格子点を飛び出し（反跳原子: displacement atom）、充分なエネルギーを持っていれば、さらに次の反跳原子を生成する。反跳原子は、格子点よりずれて静止し、変位原子（displaced atom）、すなわち格子間原子（intestinal atom）と呼ばれ格子欠陥になる。反跳原子が飛び出した後の格子点には空孔（vacancy）と呼ばれる点欠陥が生じる。衝

突時に格子点の原子と置換し、格子位置を占めることもある。これを置換衝突（replacement collision）と言う。表面近傍の反跳原子の一部は、表面より飛び出し、表面がエッチングされる（sputtering）。

一方、電子との衝突では電子の質量がイオンに比べ、2,000 分の 1 以下で軽いため、イオンは電子を励起してエネルギーは失うが、散乱されずに直進する。

2.4.1.1 核阻止能と照射損傷

核阻止能（nuclear stopping power)は、入射イオンがターゲット原子との衝突によって単位飛距離当たりに失う平均エネルギーである。これによって、先程述べた格子欠陥などの照射損傷が発生する。原子との散乱断面積は、低エネルギーであるほど大きく、核阻止能は、あるエネルギーで最大値を示し、高エネルギーでは減少する。また、重いイオンほど高エネルギーまで核阻止能が大きい。核阻止能が大きな状況では、素子に格子欠陥が発生するなど物理的な破壊を伴う可能性が高い。

2.4.1.2 電子阻止能と LET

イオンは電子とも衝突するが、イオンの質量は電子に比べて～2000M_1倍も大きいため運動方向はほとんど曲げられずに直進しエネルギーのみ失う。すなわち、イオンは電子と被弾性衝突によってターゲット原子の内部励起、電離や外殻電子によるプラズマ振動などを励起してエネルギーを失う。このようなイオンの電子との衝突による単位距離当たりのエネルギー損失割合を電子阻止能（electronic stopping power)と呼ぶ。入射エネルギーが高い場合、また、軽いイオンほど電子阻止能は大きくなる。

荷電粒子が物質に入射した際の単位距離あたりに周囲の物質に与えるエネルギーを LET (linear energy transfer)と呼ぶ[56]。高エネルギー軽イオンでは、核阻止能はほとんどないため、LET は電子阻止能によってのみ決定する。LET により消費されるエネルギーによって半導体内では電子―正孔対を生成し Si 基板では、約 3.6 eV で一対の電子―正孔対を生成することが可能である[22, 23]。

2.4.1.3 飛程と分布

As^+やSb^+のような質量の大きいイオンは、入射して最後に静止するまでの全エネルギー域で核衝突の寄与が大きいため、ターゲットに入射直後より、原子との衝突によって高密度に衝突を繰り返す。このためSiではイオンの飛程に沿って非晶質となる。H^+、He^+、B^+のように比較的軽いイオンもしくは、高エネルギーイオンの場合は、はじめは原子との衝突が少ないため電子との衝突を繰り返しほとんど直進し、エネルギーを失った後、核衝突の確率が増え散乱が大きくなる。

2.4.2 ソフトエラー評価

ソフトエラーの評価手法として次の三つの手法があげられる。

1. 放射線源を使用する方法。
   α線源としてアメリシウム(Am) 241がよく利用される。5.4 MeVのα粒子を生成し崩壊する。
2. 重イオン（C^+, Cu^+, Ar^+, Fe^+など）プローブを使用する方法。
3. H^+, He^+（α粒子）イオンプローブを使用する方法。

1の放射線源を使用する方法ではα崩壊の発生は半減期によって決まり、半導体への任意のタイミングや特定領域へのα粒子照射は難しい。2, 3のイオンプローブを用いる方法では、照射核子・照射エネルギーを選択することでLETを制御可能な上、マイクロプローブで使用することにより照射位置・照射量も制御可能であるためソフトエラーの評価方法として適している。

2の重イオンプローブを用いたバルクDRAM、SRAMのソフトエラー評価は宇宙空間での高エネルギー重イオン入射をシミュレートするため他の研究機関より多く報告されている。しかし、重イオンプローブを用いると半導体素子への照射損傷が多く発生し、エネルギーの制御性が低い[53]。3のH^+, He^+（α粒子）イオンプローブを使用する方法では、軽イオンであるため核阻止能は電子阻止能に比べ無視できる程度に小さく半導体素子への照射損傷は小さい。

以上の理由により、本研究では3のH^+, He^+（α粒子）イオンプローブを使用してソフトエラー評価を行った。

さらに、本研究ではイオン照射を行いたい局所領域の表面保護層を集束イオンビームを用いたスパッタリングによって剥離した。この加工により、剥離領域のみでボディ領域までの膜厚が小さくなるため、エネルギーを選択したフラッドビームでのイオンプローブ照射を行った場合でも、加工を行った箇所以外ではイオンプローブは保護層により遮蔽され動作領域までは届かない。この手法では、イオンプローブの照射位置はソフトエラー評価に使用するイオンプローブのビーム径や位置の制御性ではなく、イオンスパッタリング加工装置の局所加工性能によって決まる。このため、集束イオンビームを局所加工に用いれば数 nm の局所域への高エネルギープローブの照射も可能である。

第3章　イオンプローブを用いたSOI-MOSFETの信頼性評価実験

3.1　実験条件

SOIデバイスの信頼性の基礎評価として、ULSIを構成する基本素子であるMOSFETをイオン注入型SOI基板であるSIMOX基板に作製した試料にイオン照射を行い、動的挙動の解析を行った。

3.1.1　信頼性評価実験を行ったSOI-MOSFETの構造と評価条件

本研究で使用したH型ゲート電極を用いたボディ電位固定構造のn-SOI-MOSFETの概略図を図 3-1 に示す。ボディ電極は、トランジスタの側面全体に形成されており、ソース電極、ドレイン電極との分離はpn接合を用いて行っている。しかし、ゲート電極をH型に形成する必要があるため、ゲート電極の寄生容量が大きくなり、動作速度が遅くなる問題点も抱えている。フローティング構造のSOI-MOSFETはSTI(shallow trench isolation)を用いた完全分離技術で作製している。

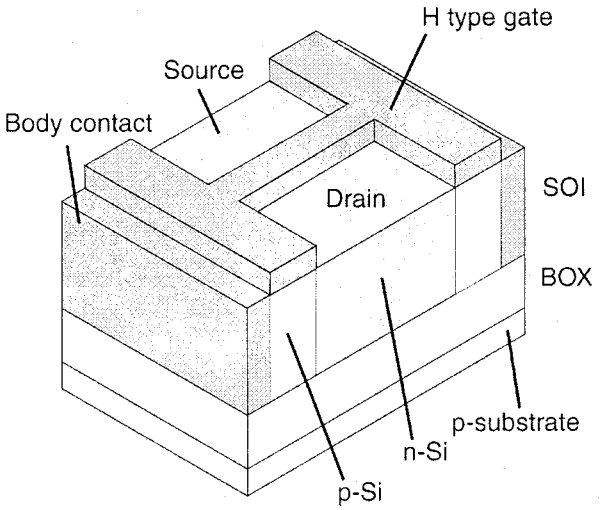


図 3-1　H型ゲート電極を用いたボディ電位固定構造のn-SOI-MOSFETの概略図

評価を行う SOI-MOSFET の各種パラメータおよび評価条件を表 3-1 にまとめた。イオン照射量は 8.8 x 10^3 particles / μm^2 sec (8.8 x 10^{11} particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 13 桁多い量となっている。また、単体のトランジスタでは、イオン照射による電流値の変化が小さいため 10,000 個の SOI-MOSFET を並列に接続した試料を使用している。

表 3-1　評価を行う SOI-MOSFET の各種パラメータおよび評価条件

Passivation Layer	Si_3N_4	1.4 μm
	SiO_2	2.5 μm
MOSFET	Gate Oxide	7 nm
	SOI Body	100 nm
	BOX Layer	400 nm
	Gate Length	0.6 μm
	Gate Width	10 μm
	Number of Transistor	10,000
Applied Bias	V_{ds}	1 V
	V_{gs}	0 V
	V_{Back}	0 ~ -20 V
Ion Probe	400 keV	Proton
	Dose Rate	8.8 x 10^3 particles / μm^2 sec
	Electronic Stopping Power	6.64 eV/Å
	Nuclear Stopping Power	6.64 x 10^{-3} eV/Å

図 3-2 に使用した試料の断面 SEM 像を示す。SOI-MOSFET の保護膜(Si_3N_4、SiO_2)を 30 keV の Ga^+ イオンスパッタリングにより除去し、約 100 個の SOI-MOSFET のみにイオン照射を行えるように加工を行った。

加工後の上面 SEM 画像を図 3-3 に示す。この加工により、フラッドビーム照射を行った場合でも加工を行った箇所以外ではイオンプローブは保護層により遮蔽され動作領域までは届かないため、フラッドビームを使用しての局所分析が可能となる。

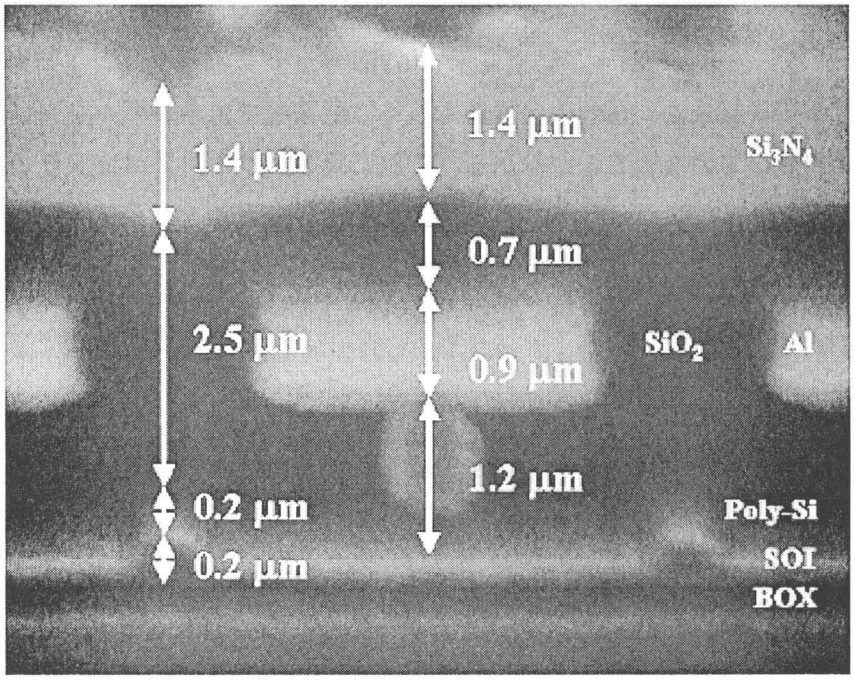


図 3-2　SOI-MOSFET の断面 SEM 像

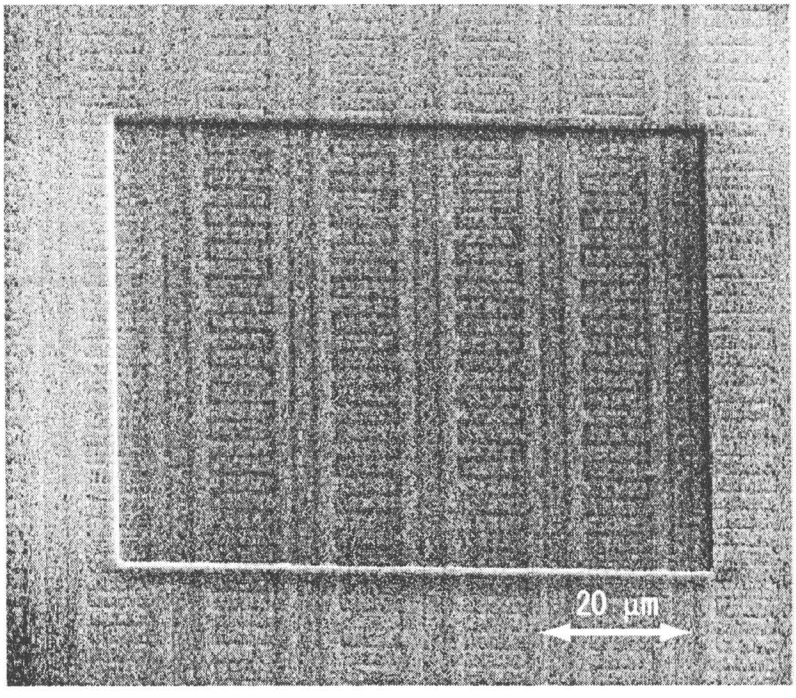


図 3-3　加工後の SOI-MOSFET の上面 SEM 像

図 3-4 に、イオンスパッタリング前後での、400 keV H^+プローブの到達位置の SRIM Code によるシミュレーション結果を示す[57]。イオンスパッタリング前には、プロトンプローブはボディ領域に到達前の保護層もしくは配線層でエネルギーを失い停止し、ボディ領域へは到達していないことが分かる。これに対し、イオンスパッタリング後であれば、プロトンプローブのほとんどがボディ領域を通過後 Si 基板まで到達していることが分かる。

このことから、フラッドビームを使用してのイオン照射で、加工領域のみへのイオン照射が可能であることが分かる。

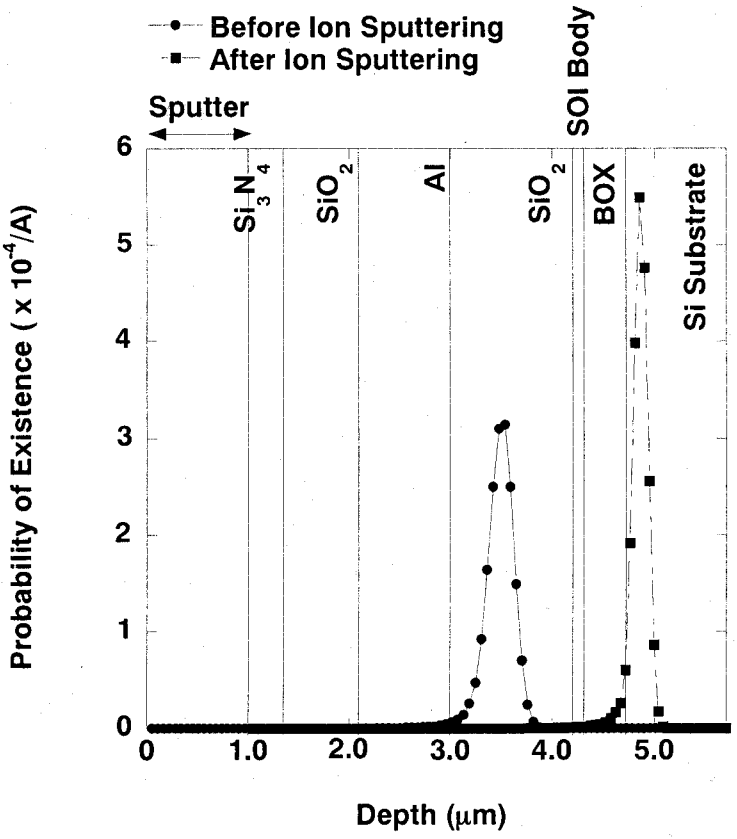


図 3-4　保護層剥離前後での 400 keV H^+プローブの到達位置と深さの関係

次に、イオンスパッタリング前後でのエネルギー消費量の深さ依存性の SRIM Code によるシミュレーション結果を示す[57]。スパッタリング前には保護層もしくは、配線層でエネルギーのほとんどを失い停止するが、スパッタリング後ではボディ領域まで到達し、ボディ領域で約 3,400 個の電子－正孔対を生成していることが分かる。

また、本研究で使用したイオンプローブによってボディ領域に発生する電子—正孔対のすべての電荷が回路上を流れると考えると、2.9 nA の電流となる。

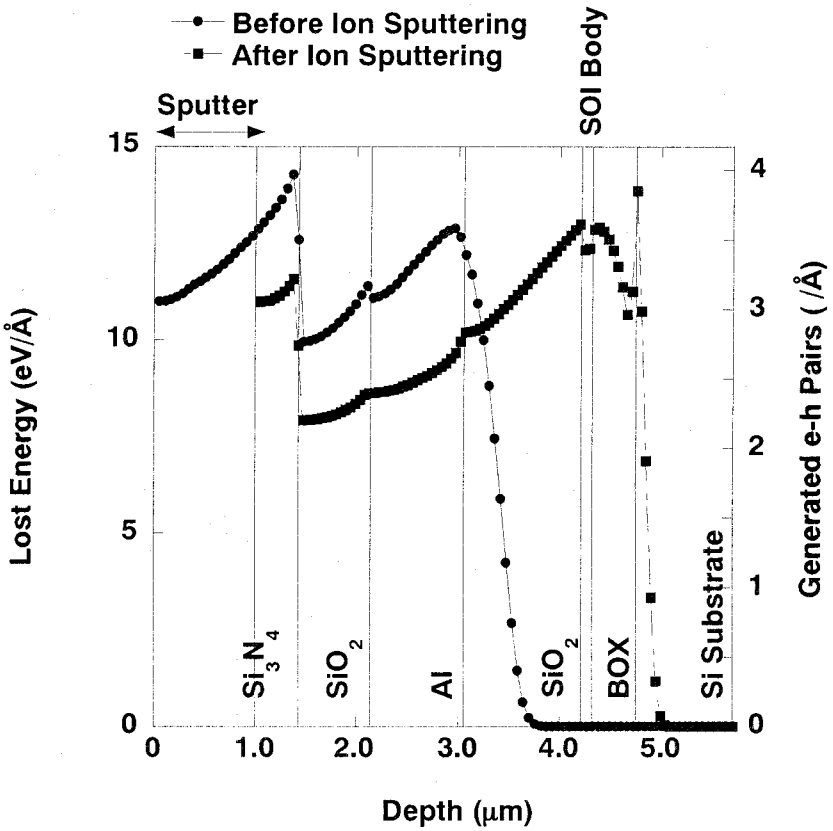


図 3-5　保護層剥離前後での 400 keV H^+プローブの消費エネルギーと深さの関係

3.1.2　イオン照射によるドレイン電流計測系

イオン照射による SOI-MOSFET の評価実験では、動作状態の SOI-MOSFET にイオン照射を行うため真空チャンバーへ信号線を導入する必要がある。そこで図 3-6 に示す計測回路を使用して実験を行った。この回路を使用することにより任意の電圧を試料に印可することが可能となり、また、異常ドレイン電流を電流としてではなく電圧として計測することが可能となる。以下の実験結果では、電圧としてオシロスコープで得られた信号を電流に換算し表記している。

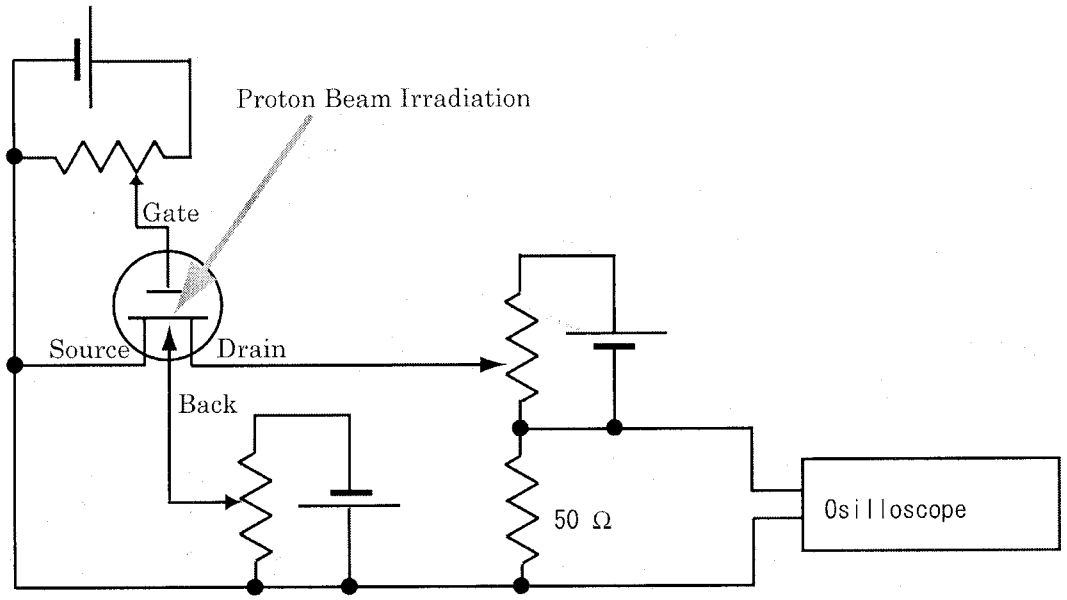


図 3-6　イオンプローブ入射時の異常ドレイン電流計測回路

3.2　実験結果と考察

以下に、結果をまとめる。3.2.3 で述べる埋込酸化膜に発生する電荷欠陥による実験への影響を抑えるために、3.2.1 および 3.2.2 の実験では基板電位として-20 V を印可している。

3.2.1　ボディ電極の有無によるドレイン電流変化の比較

図 3-7 に 10,000 個並列の SOI-MOSFET のうち、約 100 個に 400 keV の H^+イオンビームを照射した場合のドレイン電流の変化を示す。ボディ電位フローティング構造の SOI-MOSFET にイオンビームを照射した際には、ビーム照射開始と同時に急激に電流値が増加し、ビーム照射後の約 300 ms に 9 mA 程度で飽和している。これは、3.1.1 で述べたイオンプローブによって発生する電流（2.9 nA）に比べ遙かに大きい。この電流は、基板浮遊効果による電流増幅によって、発生する電荷量よりも多くの電流が流れてしまっているためと考えられる。これに対して、ボディ電位固定構造の SOI-MOSFET にイオンビームを照射した際には、電流値がほとんど増加していない。このことより、ボディ電位固定構造が SOI-MOSFET の基板浮遊効果抑制に効果的であることが分かる。

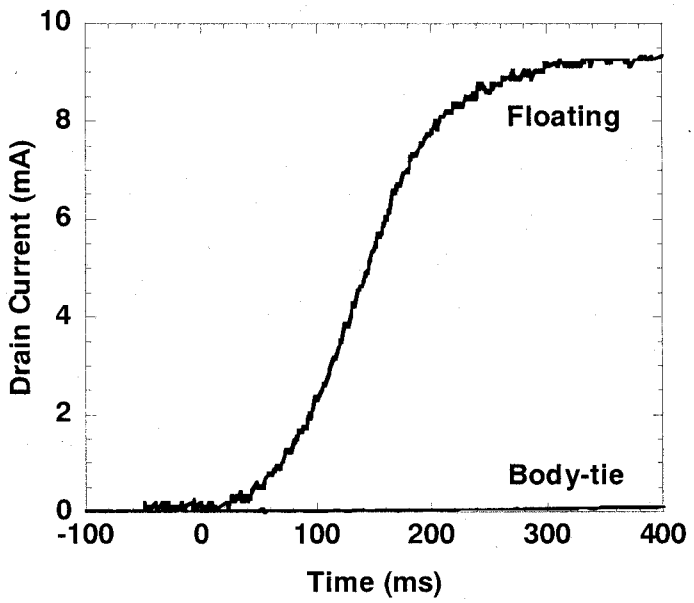


図 3-7　SOI-MOSFET への 1 秒のイオン照射時のドレイン電流時間応答

次に、図 3-7 のボディ電位固定構造の SOI-MOSFET にイオン照射を行った際の電流値を拡大した図を図 3-8 に示す。ボディ電位固定構造の SOI-MOSFET にイオン照射を行った場合、イオン照射と同時にドレイン電流が徐々に増加を始め、イオン照射が終了と同時にドレイン電流が徐々に減っていく様子が分かる。しかし、この電流も 3.1.1 で述べたイオンプローブによって発生する電流 (2.9 nA)に比べ大きな値となっている。ボディ電位固定構造を使用した場合のドレイン電流微増の原因について次に説明する。

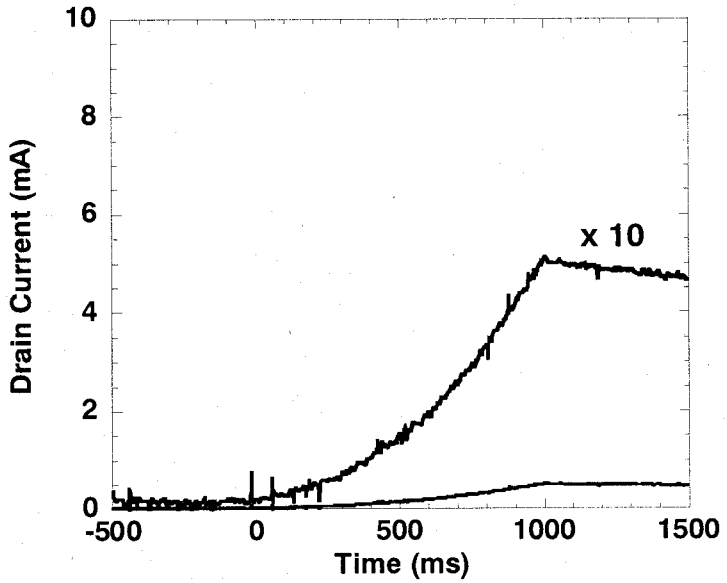


図 3-8　Body-tie SOI-MOSFET への 1 秒のイオン照射時のドレイン電流時間応答

3.2.2　ボディ電位固定構造の SOI-MOSFET へのイオンビーム照射時間依存性

図 3-9 にボディ電位固定構造の SOI-MOSFET へのイオンビーム照射を様々な時間で行い、その際のドレイン電流の変化を示す。図 3-8 と同様に、ビーム照射と同時に電流量が増加し、イオンビーム照射終了と同時に電流値が減少している。また、20 秒照射の場合、ボディ電位フローティング構造の SOI-MOSFET への 1 秒照射の場合と同じように、9 mA 程度で飽和しようとしている。

これについて、図 3-10 に示すように次の a)～d)の過程となっていると考えられる。

a)　オフ状態の SOI-MOSFET

b)　イオン照射により電子―正孔対を生成

c) 発生した電子は、ソース・ドレインへ流れ、中性領域の正孔はボディ電極が引き抜く

d) 埋込酸化膜層に発生した電荷欠陥が、バックゲートとして働き異常ドレイン電流を誘起

この現象は、高エネルギーイオンプローブを用いて信頼性評価を行うために発生する問題であり、通常の使用環境では起こりえない現象であるため評価には影響を与えない。しかし、加速試験をする上で問題となるため以下のような基板に負のバイアスを印可する解決策を考えた。また、これまでの実験は解決策を実施した上での結果を示している。

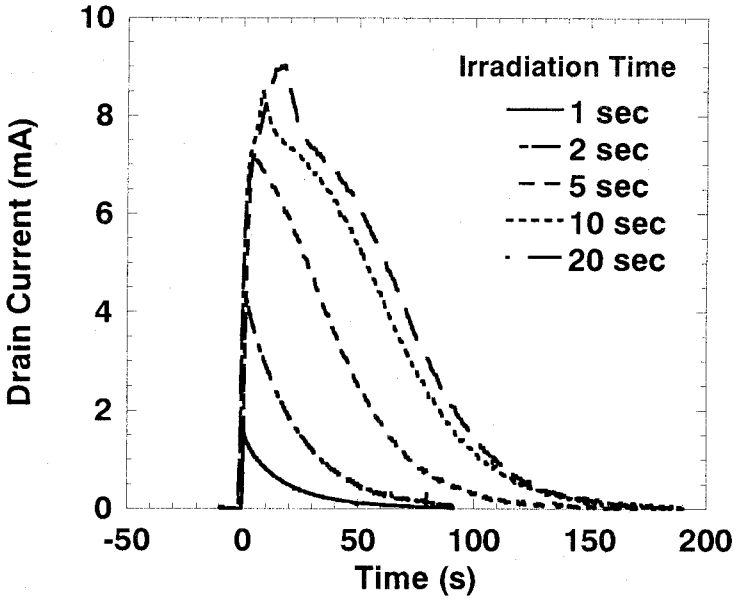


図 3-9 様々なイオン照射時間での Body-tie SOI-MOSFET のドレイン電流時間応答

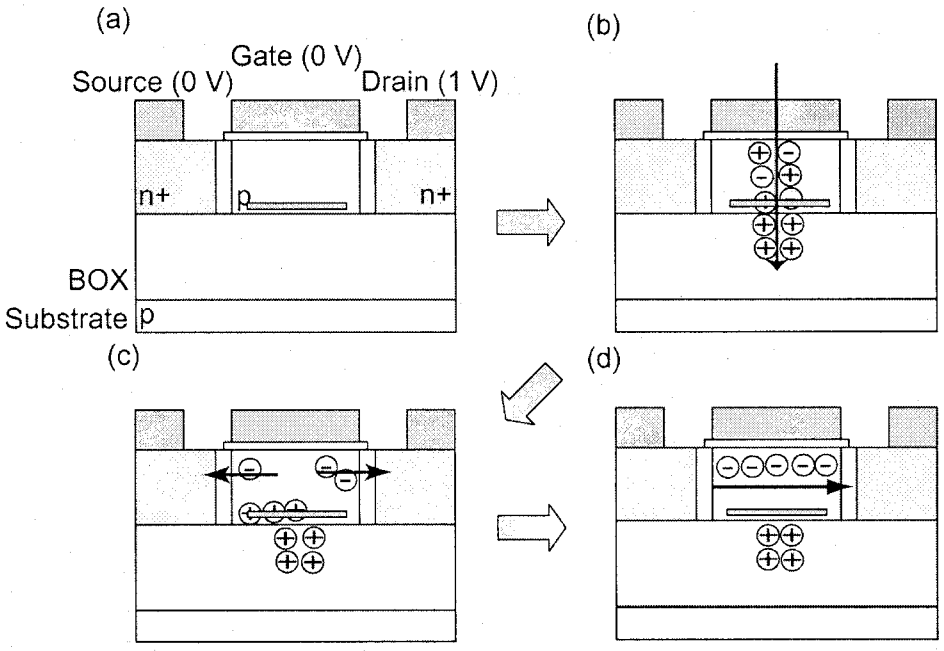


図 3-10　ボディ電位固定構造での異常ドレイン電流の発生過程

(a)　オフ状態の SOI-MOSFET

(b)　イオン照射により電子—正孔対の生成

(c)　発生した電子は、ソース・ドレインへ流れ、中性領域の正孔はボディ電極が引き抜く

(d)　埋込酸化膜層に発生した電荷欠陥が、バックゲートとなって異常ドレイン電流を誘起

3.2.3　埋込酸化膜に生成される電荷欠陥の抑制法

高エネルギーイオンプローブを用いた実験では、埋込酸化膜に発生する電荷欠陥によって、異常ドレイン電流が流れてしまう。これは、動作領域に正孔が蓄積しているわけではないためボディ電位固定構造を用いても抑制することはできない。そこで、基板に負の電位を印可し図 3-11 のように発生した電荷欠陥を SOI-BOX 界面から引き離し、ボディ領域に与える影響を低減することを考えた。その結果を図 3-12 に示す。基板電位を印可しない場合に比べ、負の電位を与えることによって、埋込酸化膜に発生する電荷欠陥の影響が大きく低減できることが分かる。しかし、基板電位を与えても、埋込酸化膜に生成される電荷欠陥による異常電流を完全に無くすことはできない。この結果より、基板電位を-20 V と

定め、これまでの実験を行った。

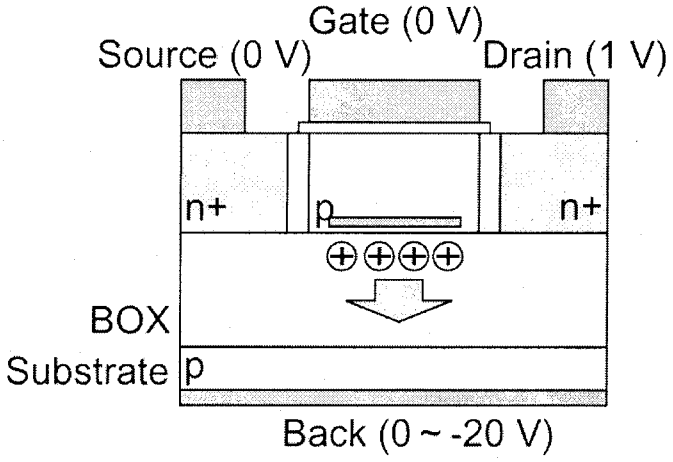


図 3-11　埋込酸化膜に発生する電荷欠陥の抑制法

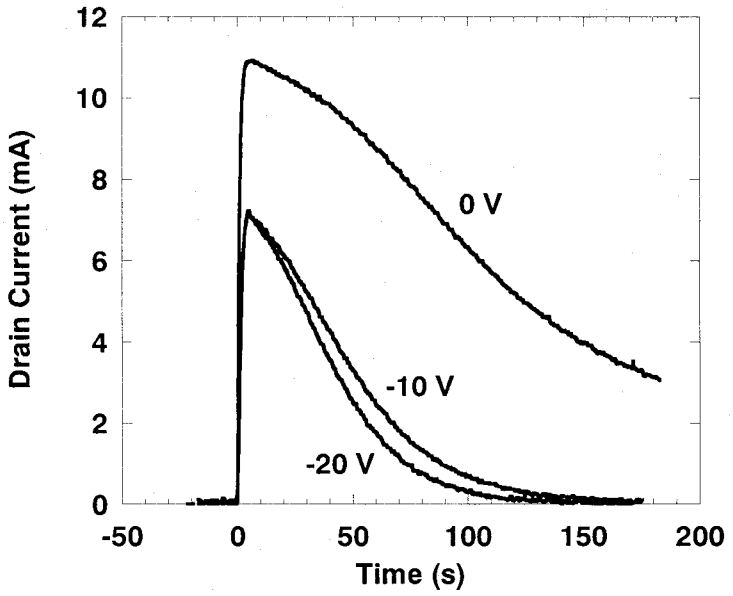


図 3-12　基板電位を変化させた際の Body-tie SOI-MOSFET のドレイン電流時間応答

3.3　結言

並列接続の SOI-MOSFET に、高エネルギーイオンプローブを照射し素子の動的挙動を観測した結果、以下の点を明らかにした。イオン照射量は 8.8 x 10^3 particles / μm^2 sec (8.8 x 10^{11} particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 13 桁多い量となっている。

1. ボディ電位固定構造を用いることにより基板浮遊効果による異常ドレイン電流を抑制できる。本研究に用いた素子では、約 1/18 に低減可能であった。

2. ボディ電位フローティング構造の SOI-MOSFET では、基板浮遊効果によりボディ領域で発生する電荷による電流よりも 6 桁以上も多くの電流が流れる。

3. ボディ電位固定構造ではイオンプローブにより BOX 層に電荷を持った欠陥が発生し、異常電流が流れる。これは、本研究ではイオン照射量が自然界中性子の飛来量の 13 桁多い加速試験の結果のために生じており、自然界では生じない。

4. BOX 層の電荷欠陥による異常電流は、基板に負の電位を与えることによって低減できる。本研究に用いた素子では、-20 V を基板電位として与えることにより、異常電流を約 2/3 に低減可能であった。

第4章　イオンプローブを用いたSOI-MOSFETの動作評価シミュレーション

前章では、並列接続の SOI-MOSFET での基板浮遊効果の抑制にボディ電位固定構造の有用性を明らかにした。そこで、本章ではさらに詳細な結果を得るために 3 次元デバイスシミュレーションを行った。

4.1　3次元シミュレーション

3 次元デバイスシミュレータ(ISE-TCAD)を用いて、SOI-MOSFET へのα粒子照射時の各電極への電荷捕集による電流値を計算した。デバイスシミュレーションでは、半導体内のキャリア（電子、正孔）の輸送現象を解析する。その為には、キャリア輸送を記述する方程式とキャリアの働く電磁界を記述する方程式が必要である。デバイスシミュレーションでは基本方程式 Bolzmann 輸送方程式と Poisson 方程式を使用する。

Bolzmann 方程式の解法には、式(4-1)のドリフト拡散モデルを用いている。

$$
\begin{aligned}
&\nabla \cdot (\varepsilon \nabla \varphi) = -\rho \\
&\frac{\delta n}{\delta t} = \frac{1}{e} \nabla \cdot J_n - R \\
&\frac{\delta p}{\delta t} = \frac{1}{e} \nabla \cdot J_p - R
\end{aligned}
\qquad (4\text{-}1)
$$

ここで、R は単位体積当たりに発生するキャリアの数、ε は誘電率、φ は電位、n は電子密度、p は正孔密度、t は時間、e は素電荷量を表す。この時、電荷密度ρ、電子および正孔の電流密度、J_n, J_p は式(4-2)で与えられる。

$$
\begin{aligned}
&\rho = e(-n + p + N_D - N_A) \\
&J_n = e\mu_n n \nabla \varphi + eD_n \nabla n \\
&J_p = -e\mu_p p \nabla \varphi - eD_p \nabla p
\end{aligned}
\qquad (4\text{-}2)
$$

ここで、ドナー密度 N_D、アクセプタ密度 N_A を用いた。基本方程式を 3 次元領域内の直方対角格子に有限差分法で離散化して数値計算を行い、電位φ、電子および正孔密度 n、p を求める。捕集効率を計算するために、入射粒子によって生成された電子と正孔の分布を初期条件として 3 次元空間内で有限要素法を用いて過渡解析を行い、各電極に捕集される電荷による電流値を求めた。[58]

4.1.1　3 次元デバイスシミュレーションで使用したデバイス構造

SOI-MOSFET の寄生バイポーラ効果を調べるために、基板浮遊効果を受けるボディ電位フローティング構造と、基板浮遊効果を抑えるためのボディ電極をつけたボディ電位固定構造の 2 つの SOI-MOSFET を考えた。それぞれの 3 次元構造概略図を図 4-1 に示す。ゲート長 0.6 μm、ゲート幅 10 μm、ボディ領域の膜厚 20, 40, 100 nm は BOX 層の膜厚 400 nm となっている。ボディ領域の膜厚 20, 40 nm の構造は、完全空乏型 SOI-MOSFET を想定したものである。不純物濃度は n^+のソース・ドレイン領域で 10×10^{20} cm^{-2}、LDD 領域で 10×10^{18} cm^{-2}、p 領域では 5×10^{17} cm^{-2} となっている。また、$V_{ds} = 1$ V、$V_{gs} = 0$ V のバイアスをかけている。このような構造の SOI-MOSFET に対して垂直に 5 MeV のα粒子を照射しそれによって発生する電子—正孔対によって基板浮遊効果を引き起こし検証した。5 MeV のα粒子の電子阻止能は、14.14 eV/Å であり前章で用いた 400 keV H^+(表 3-1)の約 2 倍となっている。

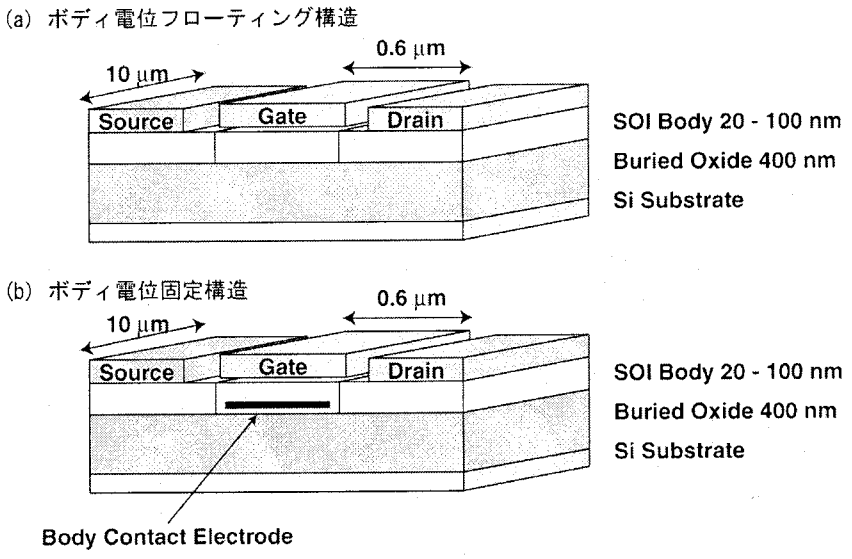


図 4-1　シミュレーションに使用した SOI-MOSFET の 3 次元構造概略図

4.1.2　α粒子照射位置

ボディ電極の基板浮遊効果の抑制能力を検証するために、SOI-MOSFET の様々な位置へα粒子照射のシミュレーションを行った。その照射位置を図 4-2 に示す。現在、半導体デバ

イスでは設計寸法が 0.18 μm 以下と非常に小さくなっており、実際のデバイスの局所領域へのイオン照射は非常に困難であり、本シミュレーションは非常に有用である。

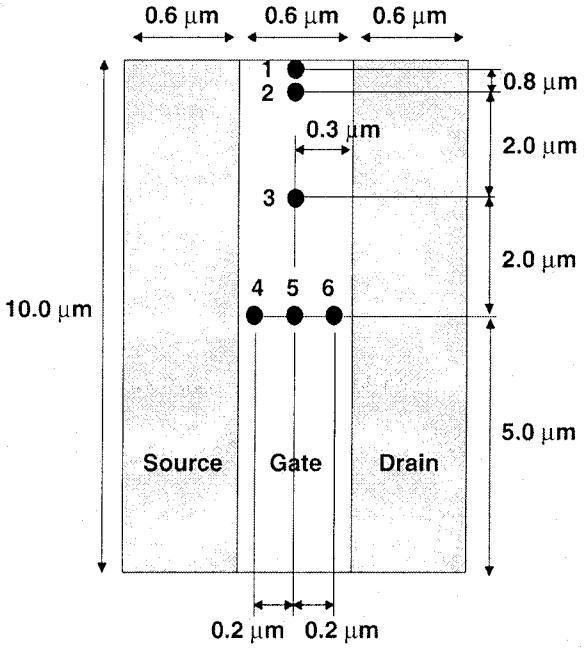


図 4-2　α粒子照射位置

4.2　シミュレーション結果と考察

4.2.1　α粒子照射量依存性

α粒子の照射量を変化させ、それによって生じる基板浮遊効果の過渡解析シミュレーションを行った。図 4-3 にボディ電位フローティング構造、図 4-4 にボディ電位固定構造の SOI-MOSFET に対して、ゲート中心にα粒子の照射量を 1 – 1000 個と変化させて照射を行った場合に生じるドレイン電流の変化を示す。1 個のα粒子の入射は、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射に対応しており、10～1000 個のα粒子の入射は、宇宙空間での高エネルギー重イオンの入射に対応している。

ボディ電位フローティング構造では、1, 10 個の照射に対して電流が速やかに減少しているのに対して、100, 1000 個の照射では、電流の減少が緩やかであることが確認できる。また、ボディ電位固定構造ではいずれの場合でも電流が速やかに減少していることが分かる。

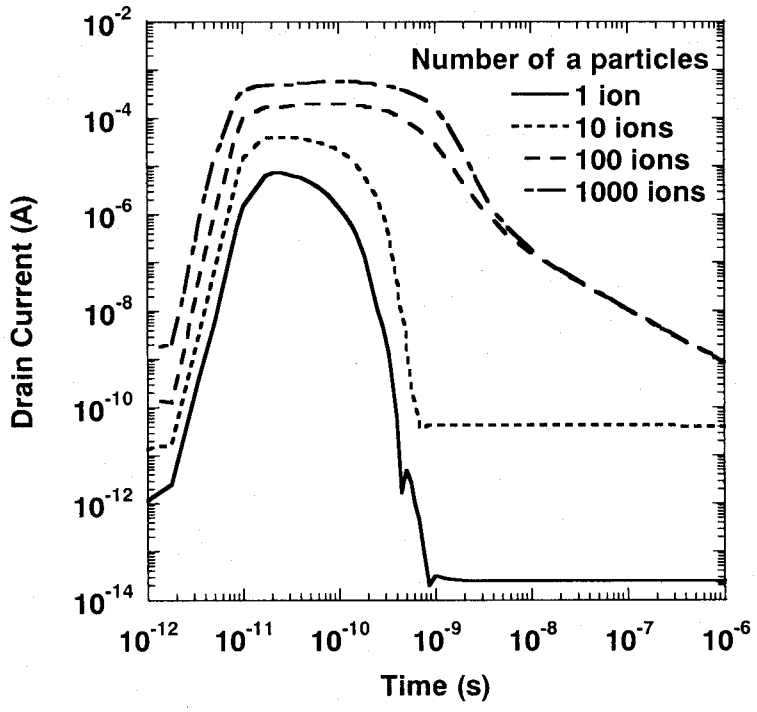


図 4-3　α粒子入射時の Floating SOI-MOSFET のドレイン電流時間応答

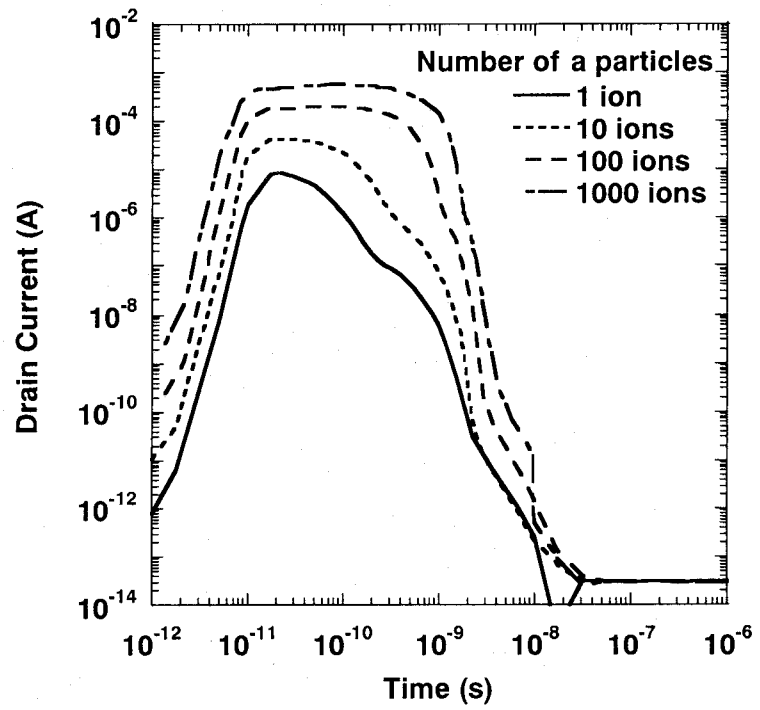


図 4-4　α粒子入射時の Body-tie SOI-MOSFET のドレイン電流時間応答

次に、これらの結果を比較するために、1, 1000 個のα粒子照射時の各電極に流れる電流を図 4-5 から図 4-8 に示す。ボディ電位フローティング構造、ボディ電位固定構造いずれの場合でも、1 個のα粒子照射（図 4-5、図 4-6）では、ソース電流が常に逆方向に流れているのに対し、1000 個の場合（図 4-7、図 4-8）では、一度逆方向に電流が流れた後、順方向に大きな電流が流れている。これは、P. 28 の図 2-13 に示すように、イオン照射によって生じる電子―正孔対のうち電子が、ソース、ドレインに流れることによって、電子と対になっていた正孔によりボディ領域のポテンシャルが上昇するために基板浮遊効果が起こる結果である。逆方向のソース電流（図 4-5～図 4-8）は発生した電子が流れ出ることによって生じるものであり、順方向のソース電流（図 4-7、図 4-8）は、基板浮遊効果によって寄生バイポーラ効果が起こったことによって生じるものである。このことより、基板浮遊効果はソース電流が逆方向から順方向に変化することを調べることによって判定できる。

つまり、1 個のイオン照射時（図 4-5、図 4-6）では、ソース電流は常に逆方向であり、イオン照射によって生じた電子が流れ出て行くのみでありボディ電位フローティング、固定構造いずれの場合でも基板浮遊効果は起こっていない。これは、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射によるソフトエラーに対応しており、SOI 構造の有用性を示している。

しかし、1000 個のイオン照射時（図 4-7、図 4-8）では、ボディ電位フローティング構造、固定構造いずれの場合でもソース電流の逆方向から順方向への反転が起こっている。このことよりゲート中心に高エネルギー重イオンが入射した場合にはボディ電極の有無にかかわらず基板浮遊効果は起こると分かる。さらに、ボディ電位フローティング構造の場合にはボディ電位固定構造の場合に比べドレイン電流のピーク値がわずかに大きく、異常電流が収束する段階でわずかに尾を引いていることが分かる。このことを考慮すると、ボディ電極の有無にかかわらず基板浮遊効果は起こるが、わずかにボディ電位固定構造を取ることにより抑制できることが分かる。

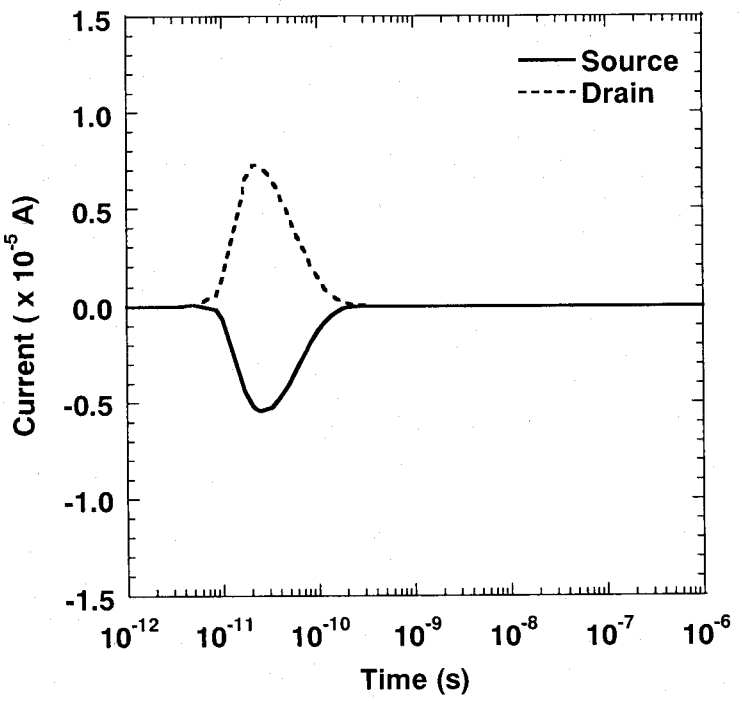


図 4-5　1個のα粒子入射時の Floating SOI-MOSFET の電流時間応答

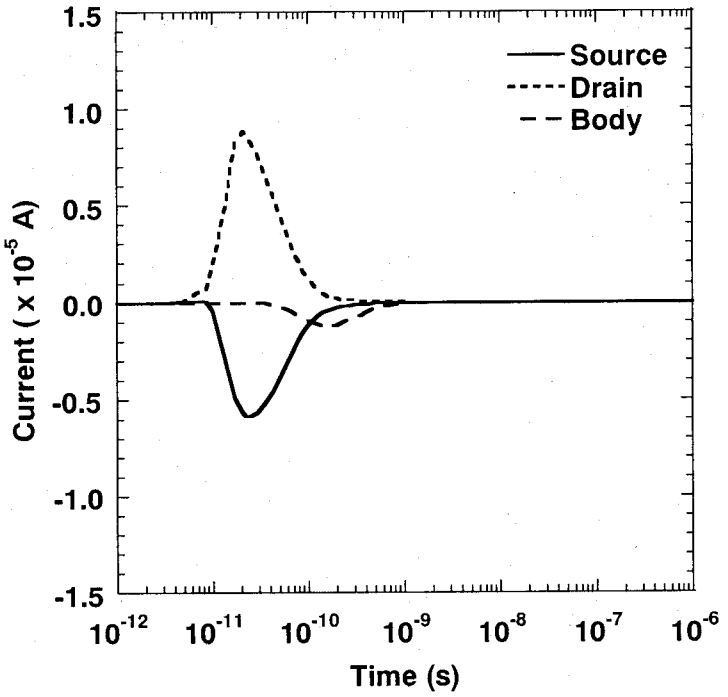


図 4-6　1個のα粒子入射時の Body-tie SOI-MOSFET の電流時間応答

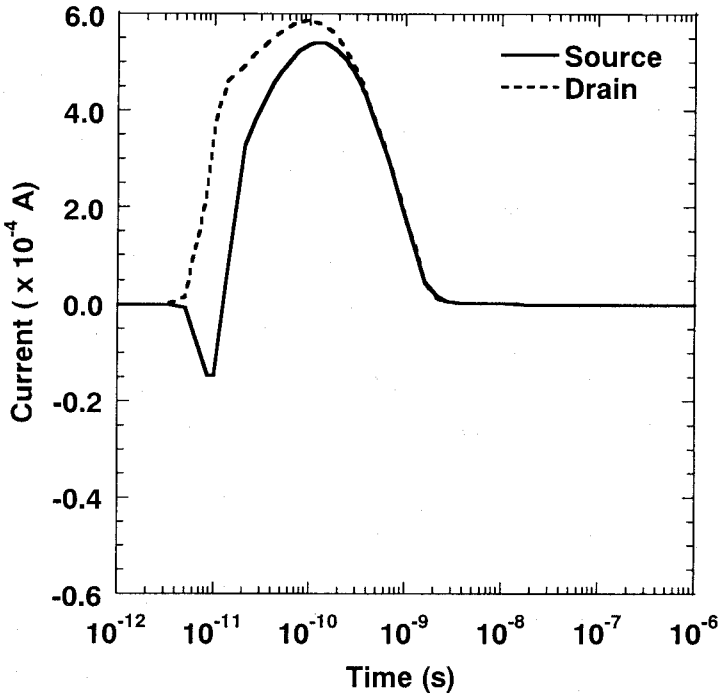


図 4-7　1,000 個のα粒子入射時の Floating SOI-MOSFET の電流時間応答

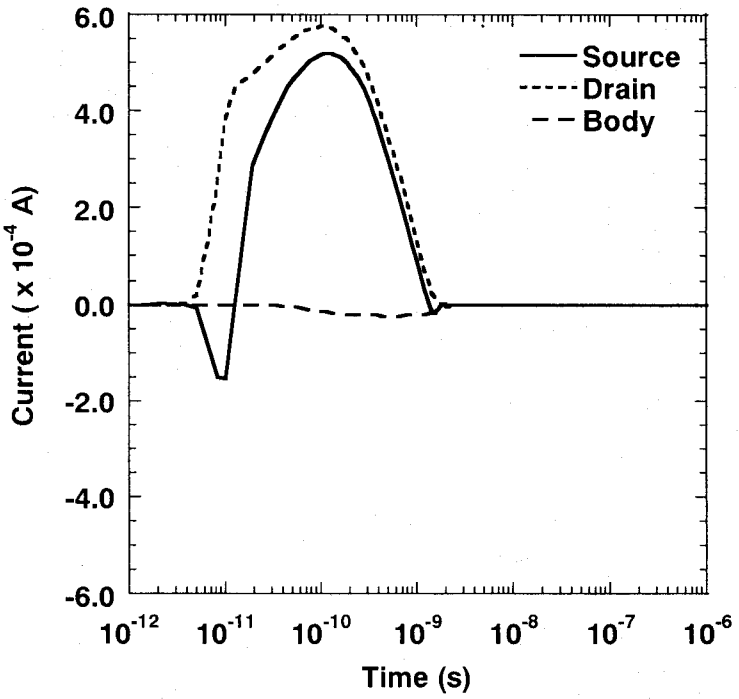


図 4-8　1,000 個のα粒子入射時の Body-tie SOI-MOSFET の電流時間応答

4.2.2　α粒子照射位置依存性

次に、α粒子照射位置依存性についてのシミュレーションを行った結果を示す。α粒子の照射位置は図 4-2 に示したようになっており、Spot 4, 5, 6 によってゲート長方向依存性、Spot 1, 2, 3, 5 によってゲート幅方向依存性についての検証を行った。また、イオンの照射量は照射量依存性より 1, 10 個の少量のイオン照射ではボディ電極の有無に関わらず基板浮遊効果が起こらないことが分かっているため、いずれの場合でも基板浮遊効果を引き出すことが可能な 1000 個のイオン照射が同時に同じ位置に行われたとしてシミュレーションを行っている。

4.2.2.1　ゲート長方向依存性

α粒子の照射位置を図 4-2 の Spot 4, 5, 6 の様に変化させ、それに伴う各電極に流れる電流の変化をシミュレーションした。図 4-9 にボディ電位フローティング構造の SOI-MOSFET に対して、1000 個のα粒子の照射位置を変えながら入射した場合のドレイン電流の変化を示す。図 4-10 にボディ電位固定構造の SOI-MOSFET に対して、1000 個のα粒子の照射位置を変えながら入射した場合のドレイン電流の変化を示す。先ほどのα粒子照射量依存性シミュレーションの場合と同じように、全ての位置についてボディ電位固定構造を用いると基板浮遊効果を抑えることができることが分かる。しかし、ボディ電位フローティング構造、ボディ電位固定構造いずれの場合でも、ゲート長方向に照射位置を変化させてもドレイン電流にはほとんど変化が現れない。つまり、照射位置をゲート長方向に変化させても、基板浮遊効果の起こり方に大きな変化はなく、ボディ電極の効果も変化が無いことが分かる。

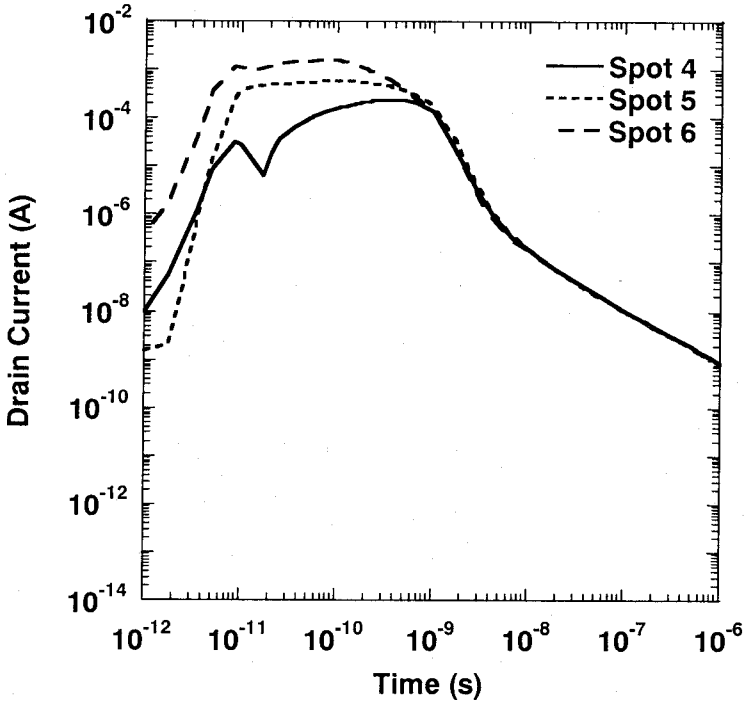


図 4-9　Spot 4, 5, 6 へのα粒子入射時の Floating SOI-MOSFET のドレイン電流時間応答

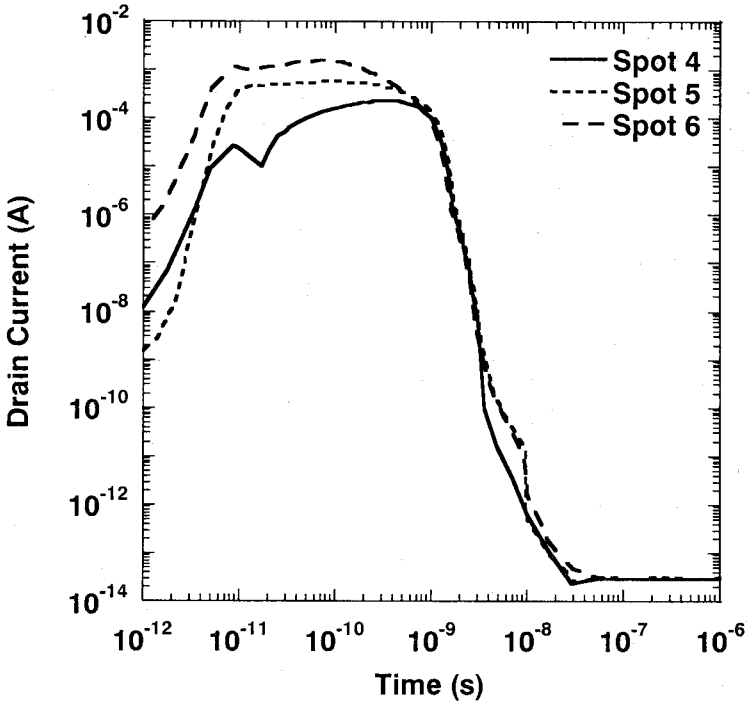


図 4-10　Spot 4, 5, 6 へのα粒子入射時の Body-tie SOI-MOSFET のドレイン電流時間応答

4.2.2.2 ゲート幅方向依存性

次にα粒子の照射位置を図 4-2 の Spot 1, 2, 3, 5 の様に変化させ、それに伴う各電極に流れる電流の変化をシミュレーションした。図 4-11 にボディ電位フローティング構造の SOI-MOSFET に対して 1000 個のα粒子をゲート幅方向に変化させながら入射した場合のドレイン電流の変化を示す。図 4-12 ボディ電位固定構造の SOI-MOSFET に対して 1000 個のα粒子をゲート幅方向に変化させながら入射した場合のドレイン電流の変化を示す。先ほどのα粒子照射量依存性シミュレーションの場合と同じように全ての位置に置いてボディ電位固定構造を用いると基板浮遊効果を抑えることができることが分かる。

また、ゲート幅方向に照射位置を変化させた場合、最もボディ電極に近い場合（Spot 1）でのみ、ドレイン電流が急速に減少する。

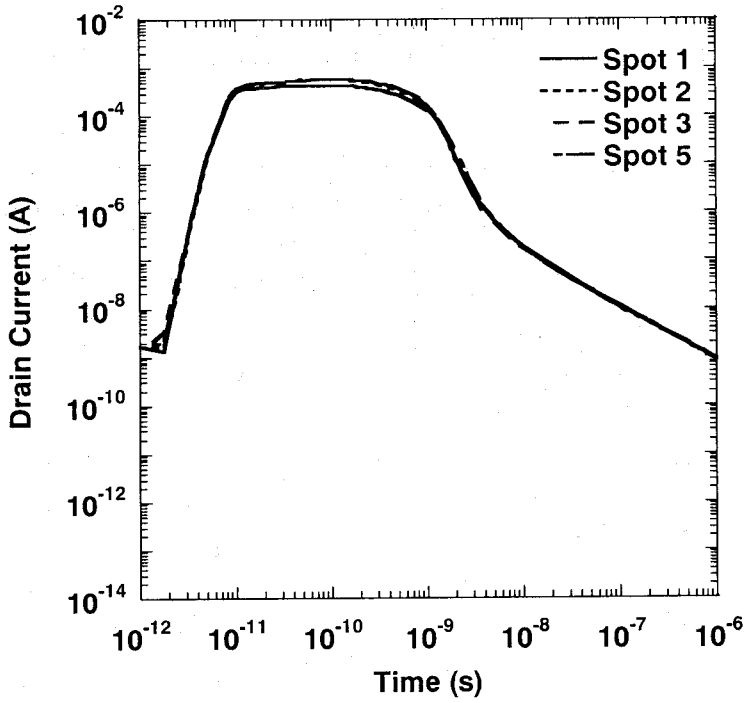


図 4-11　Spot 1, 2, 3, 5 へのα粒子入射時の Floating SOI-MOSFET のドレイン電流時間応答

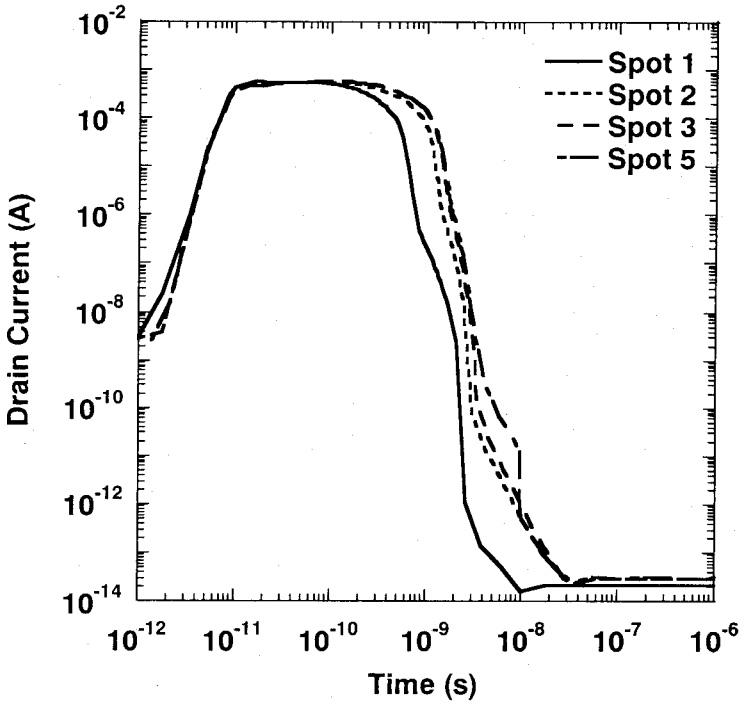


図 4-12　Spot 1, 2, 3, 5 へのα粒子入射時の Body-tie SOI-MOSFET のドレイン電流時間応答

ゲート電極中心にイオンが入射した場合と、ボディ電極近傍にイオンが入射した場合の基板浮遊効果の発生を比較するために、ボディ電位固定構造の SOI-MOSFET の Spot 5 (ゲート電極中心)、Spot 1 (ボディ電極近傍)にイオンが入射した場合の各電極に発生する電流を図 4-13、図 4-14 に示す。ゲート電極中心にイオンが入射した場合（図 4-13）には、ソース電流の逆方向から順方向への反転が起こっていることから基板浮遊効果が起こっていることが分かる。それに対して、ボディ電極近傍にイオン照射が起こった場合（図 4-14）には、ソース電流が常に逆方向であり、順方向に変化しないことから流れている電流は全てイオン照射によって発生した電子の流れのみであって、基板浮遊効果による電流が存在しないことが分かる。以上より、ボディ電位固定構造の SOI-MOSFET では、ボディ電極近傍にイオン照射が起こった場合に最もボディ電極が効率良く機能し、それ以外の箇所へのイオン入射に関しては、ボディ電極の効果はあるが基板浮遊効果を完全には抑制することができないことが分かる。

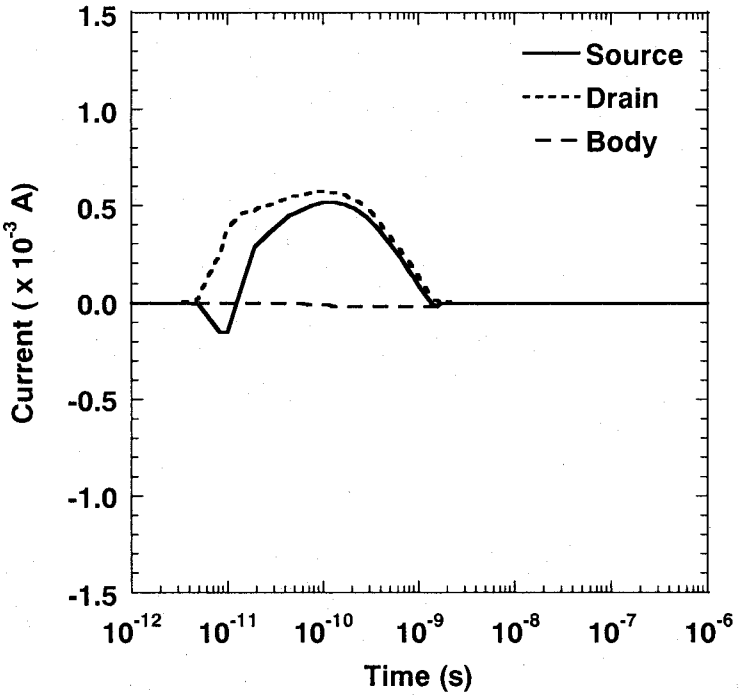


図 4-13　Spot 5 への 1,000 個のα粒子入射時の Body-tie SOI-MOSFET の電流時間応答

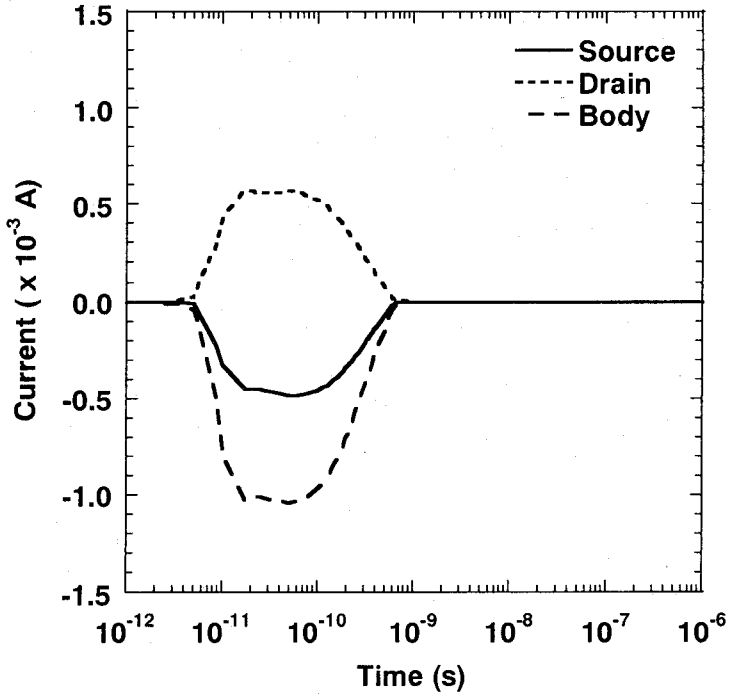


図 4-14　Spot 1 への 1,000 個のα粒子入射時の Body-tie SOI-MOSFET の電流時間応答

4.2.3　SOI 膜厚依存性

次に完全空乏型 SOI デバイスを使用した場合の基板浮遊効果によるドレイン電流の振る舞いについてのシミュレーションを行った。完全空乏型の SOI デバイスでは中性領域が無くなるため、ボディ部に正孔が蓄積せず基板浮遊効果は起こらないとされている。図 4-15 と図 4-16 に SOI 膜厚の異なるボディ電位フローティング構造およびボディ電位固定構造の SOI-MOSFET のゲート中心に 1000 個のα粒子が入射した際のドレイン電流の振る舞いを示す。

いずれの膜厚でも、部分空乏型 SOI-MOSFET の場合と同様に基板浮遊効果が起こっており、ボディ電極により抑制が可能であることが分かる。

また、ボディ電位固定構造を使用しても、20 nm という非常に薄い SOI 基板を使用した場合には、中性領域が全く存在しないためボディ電極が効率的に働かず、ドレイン電流の収束に時間がかかることが分かる。

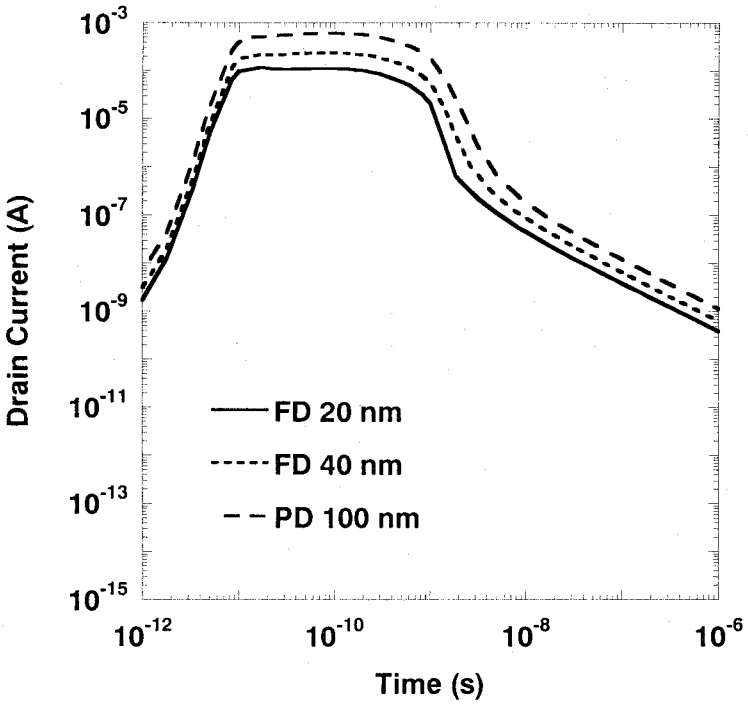


図 4-15　膜厚の異なる Floating SOI-MOSFET へのα粒子入射時のドレイン電流時間応答

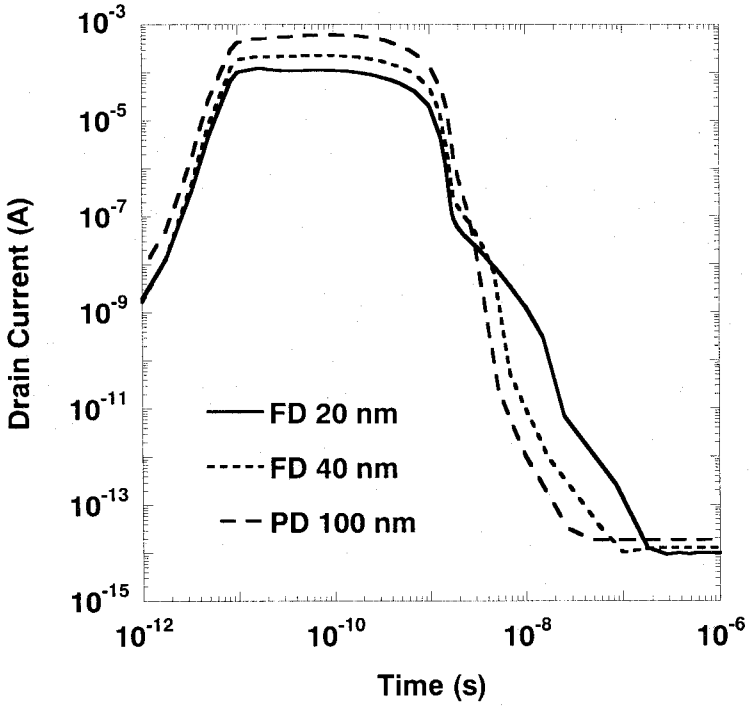


図 4-16　膜厚の異なる Body-tie SOI-MOSFET へのα粒子入射時のドレイン電流時間応答

4.3　結言

単体の SOI-MOSFET に、高エネルギーイオンプローブを照射した際の素子の動的挙動をシミュレーションした。

1. ボディ電位フローティング構造、ボディ電位固定構造いずれの場合でも、少量（1, 10 個のα粒子の照射)のイオン入射では、基板浮遊効果が起こらない。これは、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射によるソフトエラーに対応しており、SOI 構造の有用性を示している。

2. 100 個以上のα粒子の照射では基板浮遊効果が発生し、ボディ電位固定構造を用いることにより異常ドレイン電流を抑制できるが、完全に抑制することはできない。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

3. 1000 個のα粒子の照射では、ボディ電極の効果は、高エネルギーイオンプローブの照射位置によって異なり、ボディ電極近傍にイオンが入射する場合には効果が大きい。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

4. 1000 個のα粒子の照射では完全空乏型 SOI であっても、基板浮遊効果があることを明らかにした。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

以上のシミュレーションでは、1 個のα粒子の入射は、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射に対応しており、SOI-MOSFET のソフトエラー耐性の高さを明らかにしている。10～1000 個のα粒子の入射は、宇宙空間での高エネルギー重イオンの入射に対応しているため、宇宙空間での素子では耐性強化が必要である。

第5章　イオンプローブを用いたSOI-SRAMの信頼性評価

前章までは、ULSI 基本構成素子の MOSFET について検証を行ってきた。本章では、MOSFET を使用したデバイスの SRAM について信頼性評価実験を行った。

5.1　実験条件

5.1.1　SOI-SRAM のデバイス構造

本研究で使用した SRAM で使用されている SOI-MOSFET の概略図を図 5-1 に示す。第 3 章で使用した H 型ゲート電極を用いたボディ電位固定構造の SOI-MOSFET とは異なり、PTI (partial trench isolation)を使用してボディ電極を形成している。トランジスタ側面全体にボディ電極を形成した H 型ゲート電極を用いたボディ電位固定構造に比べゲートの寄生容量がバルクデバイスの場合と同程度に抑えられている。また、ソース電極、ドレイン電極との分離には同様に pn 接合を用いている。PTI を用いたボディ電位固定構造、H 型ゲートを用いたボディ電位固定構造のいずれでも、通常の STI を用いた完全分離構造とは異なり、ボディ固定構造をとれるため有用である。

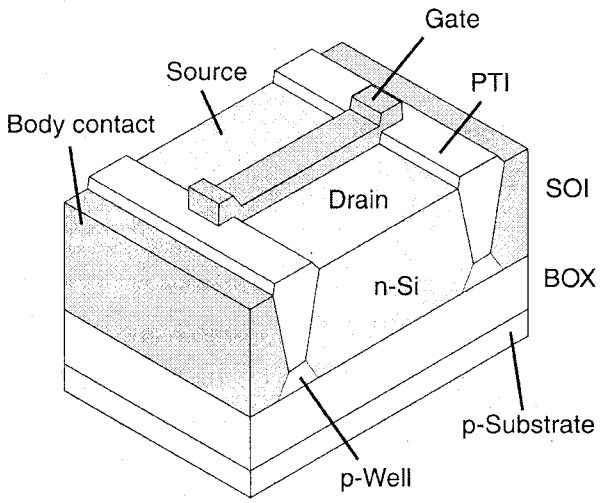


図 5-1　PTI を用いたボディ電位固定構造の SOI-MOSFET

ソフトエラー評価を行う SOI-SRAM の各種パラメータおよび評価条件を表 5-1 に示す。設計寸法が 0.18 μm のボディ電位固定構造の SOI-MOSFET を使用した 4 Mbit SRAM を実験に使用した。使用したプロトンプローブのイオン照射量は 19.2 particles / μm^2 sec (1.92 x 10^9 particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 11 桁多い量となっている。

表 5-1　ソフトエラー評価を行う SOI-SRAM の各種パラメータおよび評価条件

Passivation Layer	Si_3N_4	0.6 μm
	SiO_2	2.0 μm
MOSFET	Gate Oxide	3.5 nm
	SOI Layer	100 nm
	BOX Layer	400 nm
	Process Rule	0.18 μm
Memory Cell	4	n-MOSFET
	2	p-MOSFET
	Cell Size	5.4 μm^2
Probe	300 – 800 keV	Proton
	Irradiation Time	10 sec
	Dose Rate	19.2 particles / μm^2 sec

5.1.2　SOI-SRAM ソフトエラー計測系

図 5-2 に本実験で使用したビットモニタリングシステムの概略図を示す。SOI-SRAM をソフトエラーモニタリングボードに接続し、初期化ならびにデータの書き込みを行う。その後、プロトンプローブ照射を行い、ビーム照射を終了してから、読み込まれるデータが初期化時に書き込んだデータと異なっている箇所と数を調べた。

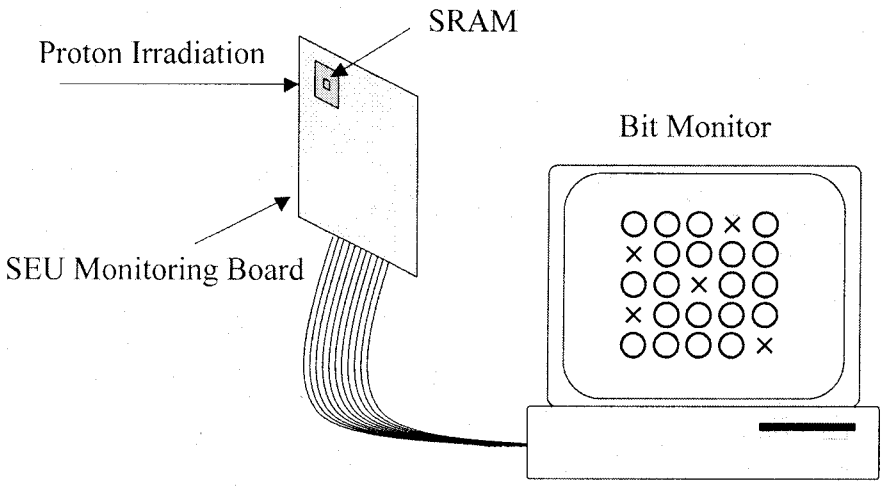


図 5-2　ビットモニタリングシステム概略図

イオンプローブを用いたSOI-SRAMの信頼性評価実験は、第3章のSOI-MOSFETの信頼性評価実験とは異なり、SOI-SRAMのビットモニタリングシステムへの多数の配線が必要となる。しかし、イオンプローブ照射実験は真空チャンバー内で行う必要があり、ビットモニタリングシステムの物理的な大きさと多数の配線が問題となる。そこで、図 5-3 に示す写真のようにビットモニタリングシステムの設置を行い真空内への配線を回避した。図 5-4にビットモニタリングボード周辺の拡大写真を示す。写真に示すようにSRAMのパッケージの外周を真空チャンバーの一部とするフランジを作製し、SRAM の動作領域のみを真空内へ導入した。

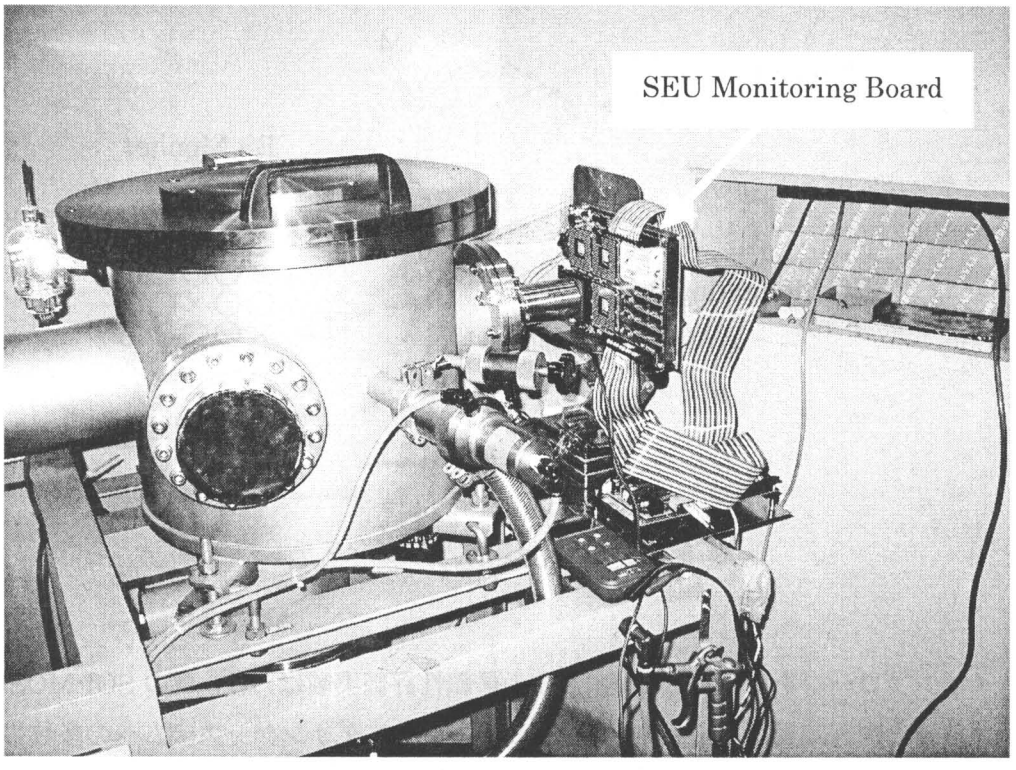


図 5-3　SEU Monitoring Board 設置写真

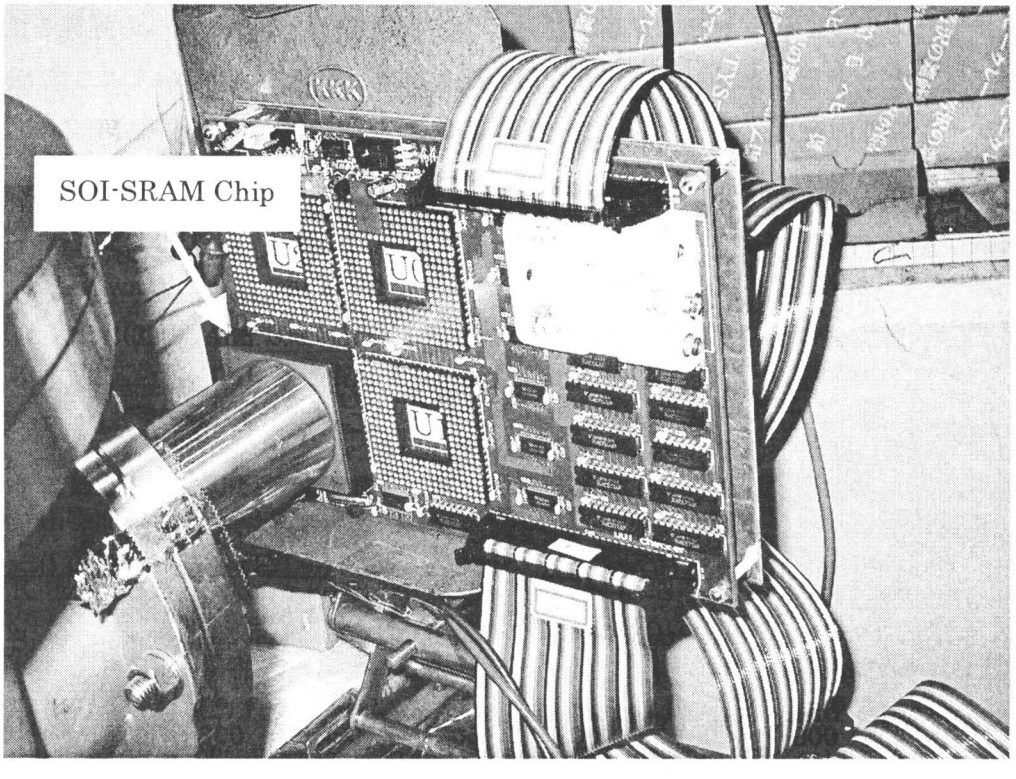


図 5-4　SEU Monitoring Board 設置写真(拡大図)

5.2　実験結果と考察

イオンプローブ照射後のSOI-SRAM上面から見たソフトエラー発生位置（ソフトエラーマッピング）を図 5-5 に示す。表示するエネルギーは使用したプロトンプローブのエネルギーを表す。

300 keV を除いて、いずれのエネルギーのプロトンプローブであってもソフトエラーが発生しており、その発生箇所はSOI-SRAM上で均一に発生していることから、制御回路上でのソフトエラーではなく、個々の記憶素子のソフトエラーであることが分かる。また、プロトンプローブによってソフトエラーが発生した記憶素子も照射後には書き込み、読み込み処理が正常に行えることから物理的な半導体素子の破壊であるハードエラーではないことが分かる。

同様の実験をバルクSRAMについても行ったが、照射エネルギーには依存せず、照射時間に依存して、ラッチアップによる素子破壊を確認した。この結果については、さらに追加実験を行う必要があるため、本論文では議論しない。

図 5-5 よりソフトエラーの発生個数を調べ、450 keV のイオンプローブを用いた場合のソフトエラーの発生個数を基準としたSER(single event upset ratio)のイオンプローブの照射エネルギー依存性を図 5-6 に示す

通常、バルクデバイスでは、SER はエネルギーの増加とともに数を増していく[59, 60]とされているが、SOI デバイスではあるエネルギーで最大値を示し、その後、減少して収束している。

300 keV のプローブエネルギーでSEUが発生していない原因としては、今回の実験に使用したSOI-SRAMが3層の配線層の上にSi_3N_4の保護層をもつ構造をしており、300 keV の低いエネルギーのプローブイオンが動作領域に達していないためと考えられる。450 keV より高エネルギーのプローブイオンを照射した際にSERが減少している原因としては、次のように考えた。

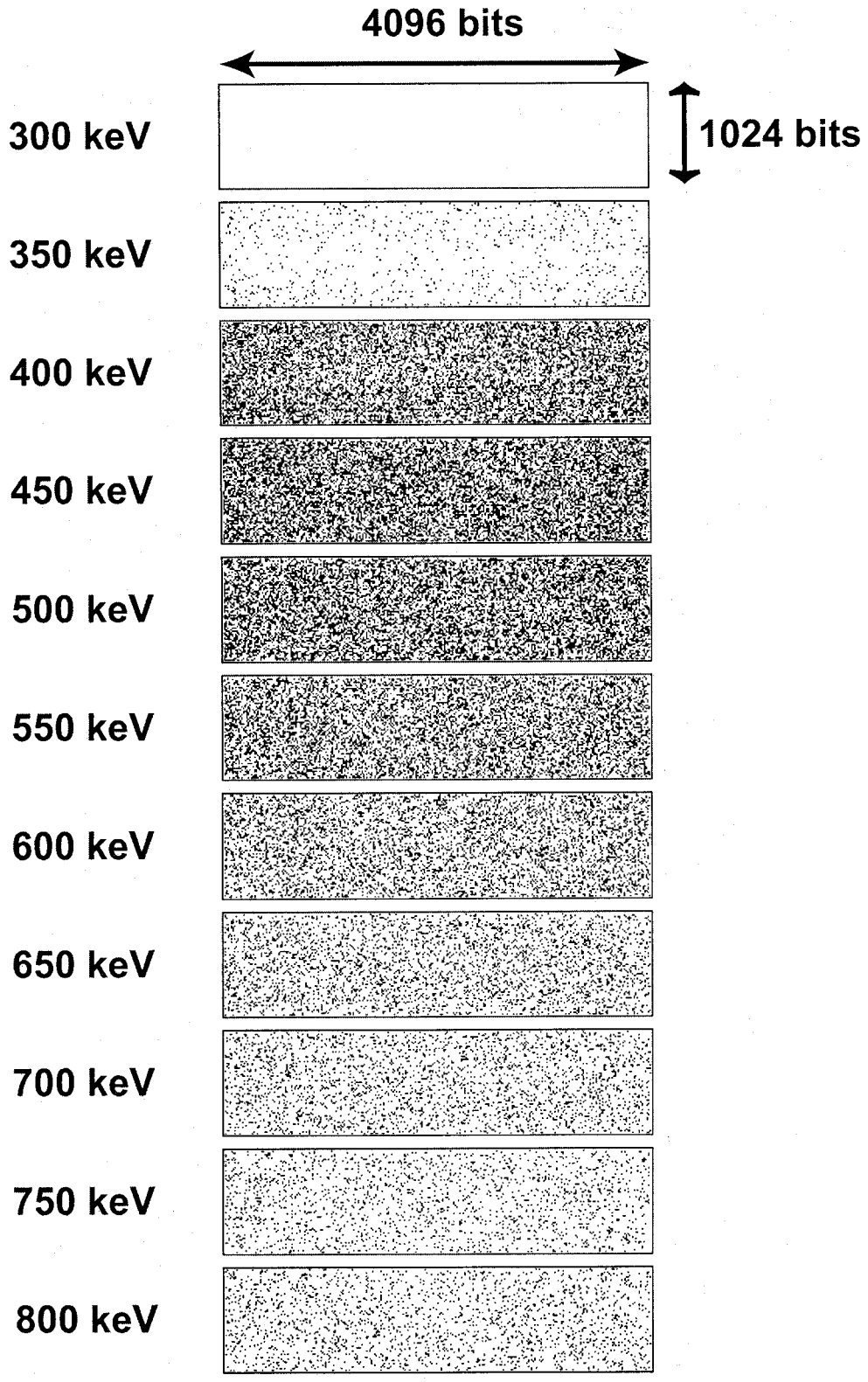


図 5-5　イオンプローブ照射後の SOI-SRAM 上面から見たソフトエラー発生位置

（縦:1024 x 横: 4096 = 4 Mbits）

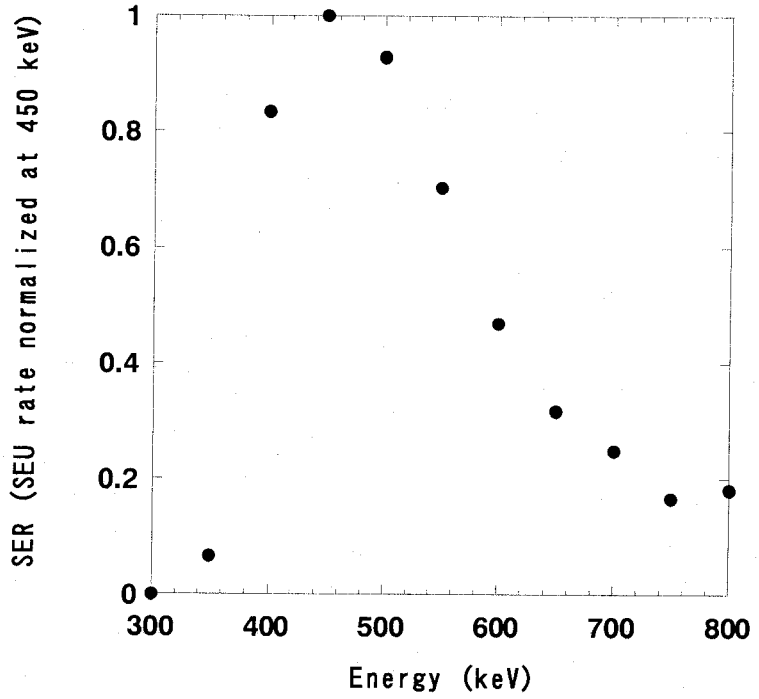


図 5-6　SER のイオンプローブ照射エネルギー依存性

図 5-7 に入射したプローブイオンが、ある深さで単位長さ当たり平均的にどれだけのエネルギーを消費するかを SRIM Code を使ってシミュレートした結果を示す[57]。消費エネルギーが 0 となった深さでイオンは停止する。通常、イオンが固体内に入射した場合、入射したイオンはエネルギーを失いながら固体の奥深くへと進入する。その際、単位長さ当たりに消費するエネルギーは、イオンがエネルギーの大部分を失い停止する直前に最大となる。逆に、高エネルギーを残した状態で突き抜けるように進入する際には、単位長さ当たりに消費するエネルギーは少なくなる。以上をふまえた上で図 5-7 を考えると、300 keV や 350 keV の低エネルギーのイオン照射では、ボディ領域に到達する前に入射エネルギーのほとんど全てのエネルギーを失ってしまい、ボディ領域へ到達できない、もしくは、到達してもほとんどエネルギーを持っていない状態となるため SEU は起こりにくくその発生量は少ない。400 keV 以上の高エネルギーイオン照射では、450 keV の時に、ボディ領域で単位長さ当たりに消費するエネルギーが最大となり、その後エネルギーの増加とともに減少する。Si 内では約 3.6 eV のエネルギーで一つの電子—正孔対を生成されるため、図 5-7 で示されるボディ領域で消費するエネルギーより図 5-8 のボディ領域で発生する電子—正孔対の個数および電荷量が求まる。図 5-8 より、ボディ領域で発生する電子—正孔対の数は、450 keV で最大となりそれより高いエネルギーでは減少する事が分かり、この結果は図 5-6 と良い一致を示している。

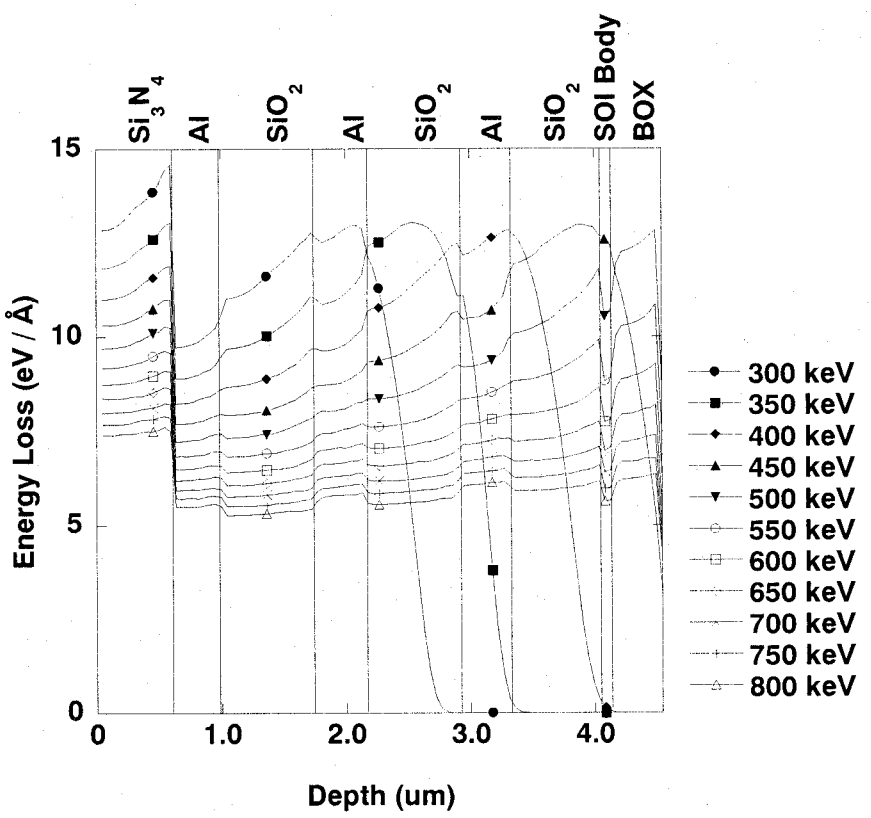


図 5-7　イオンプローブが消費するエネルギーと深さの関係

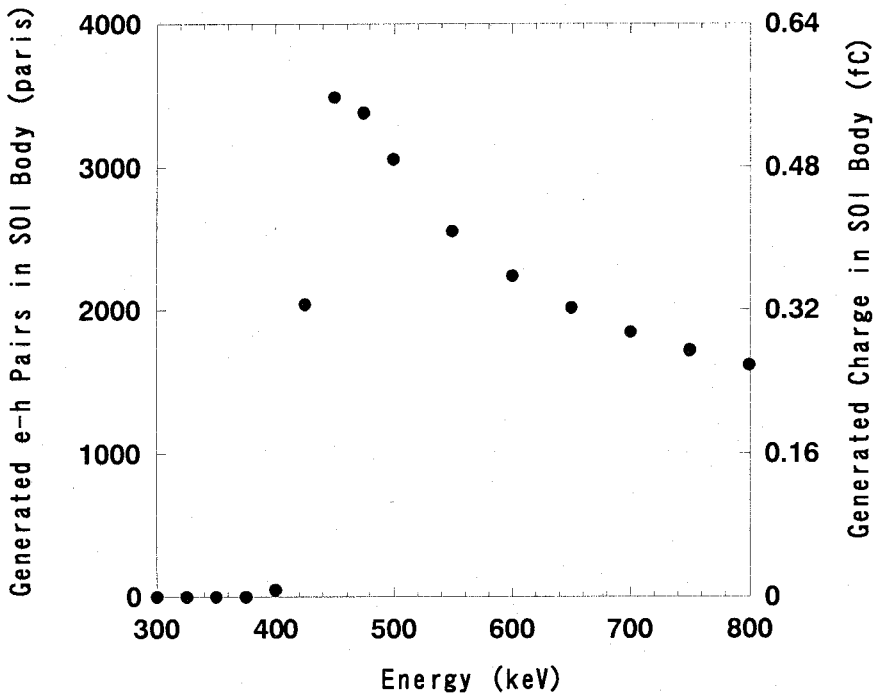


図 5-8　イオンプローブ照射エネルギーとボディ領域で発生する電子―正孔対の関係

5.3 結言

SOI-SRAM の加速耐性試験として、高エネルギーイオンプローブを照射した際の SER (single event upset rate)の測定を行い、以下の点を明らかにした。イオン照射量は 19.2 particles / μm^2 sec (1.92 x 10^9 particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 11 桁多い量となっている。

1. SOI-SRAM では、19.2 particles/μm^2 sec のプロトンプローブを用いた加速耐性試験でソフトエラーが発生する。

2. SOI-SRAM の SER は、高エネルギーイオンプローブがボディ領域で発生させる電荷量と相関関係にある。

第6章　結論

SOI 素子へ高エネルギーイオンプローブを照射し、SOI-MOSFET の基板浮遊効果発生時の動的挙動の観測と、SOI-SRAM の信頼性評価試験を行った結果、以下の結論を得た。

並列接続の SOI-MOSFET に、高エネルギーイオンプローブを照射し素子の動的挙動を観測した。イオン照射量は 8.8 x 10^3 particles / μm^2 sec (8.8 x 10^{11} particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 13 桁多い量となっている。

1. ボディ電位固定構造を用いることにより基板浮遊効果による異常ドレイン電流を抑制できる。本研究に用いた素子では、約 1/18 に低減可能であった。

2. ボディ電位フローティング構造の SOI-MOSFET では、基板浮遊効果によりボディ領域で発生する電荷による電流よりも 6 桁以上も多くの電流が流れる。

3. ボディ電位固定構造ではイオンプローブにより BOX 層に電荷を持った欠陥が発生し、異常電流が流れる。これは、本研究ではイオン照射量が自然界中性子の飛来量の 13 桁多い加速試験の結果のために生じており、自然界では生じない。

4. BOX 層の電荷欠陥による異常電流は、基板に負の電位を与えることによって低減できる。本研究に用いた素子では、-20 V を基板電位として与えることにより、異常電流を約 2/3 に低減可能であった。

単体の SOI-MOSFET に、高エネルギーイオンプローブを照射した際の素子の動的挙動をシミュレーションした。1 個のα粒子の入射は、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射に対応しており、10～1000 個のα粒子の入射は、宇宙空間での高エネルギー重イオンの入射に対応している。

1. ボディ電位フローティング構造、ボディ電位固定構造いずれの場合でも、少量 (1, 10 個のα粒子の照射)のイオン入射では、基板浮遊効果が起こらない。

これは、自然界中性子やパッケージ材料に混入した放射性不純物からのα粒子の入射でのソフトエラーに対応しており、SOI 構造の有用性を示している。

2. 100 個以上のα粒子の照射では基板浮遊効果が発生し、ボディ電位固定構造を用いることにより異常ドレイン電流を抑制できるが、完全に抑制することはできない。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

3. 1000 個のα粒子の照射では、ボディ電極の効果は、高エネルギーイオンプローブの照射位置によって異なり、ボディ電極近傍にイオン照射される場合には効果が大きい。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

4. 1000 個のα粒子の照射では完全空乏型 SOI であっても、基板浮遊効果があることを明らかにした。これは、宇宙空間での高エネルギー重イオン飛来によるソフトエラーに対応している。

SOI-SRAM の加速耐性試験として、高エネルギーイオンプローブを照射した際の SER (single event upset rate)の測定を行った。イオン照射量は 19.2 particles / μm^2 sec (1.92 x 10^9 particles / cm^2 sec)であり、自然界中性子の飛来量 (0.05 particles / cm^2 sec)の 11 桁多い量となっている。

1. SOI-SRAM では、19.2 particles/μm^2 sec のプロトンプローブを用いた加速耐性試験でソフトエラーが発生する。

2. SOI-SRAM の SER は、高エネルギーイオンプローブがボディ領域で発生させる電荷量と相関関係にある。

参考文献

[1] International SEMATECH, The International Technology Roadmap for semiconductors 2003 Edition, Semiconductor Industry Associate (2003)

[2] E. Leobandung, M. Sherony, J. Sleight, R. Bolam, F. Assaderaghi, S. Wu, D. Schepis, A. Ajmera, W. Rausch, B. Davari, G. Shahidi, "Scalability of SOI technology into 0.13 μm 1.2 V CMOS generation", Electron Devices Meeting, 1998. IEDM '98 Technical Digest IEDM, pp. 403 – 406 (1998)

[3] 石内秀美, 21 世紀の ULSI 製造技術の概観, 応用物理 第 66 巻 第 11 号, p 1168 - 1169 (1997)

[4] Jean-Pierre Colinge, "Subthreshold Slope pf Thin-Film SOI MOSFET's", IEEE Electron Device Letters, EDL-7, pp. 244 - 246 (1986)

[5] D. De Veunto, M. J. Ohletz, "Floating body effects model for fault simulation of fully depleted CMOS/SOI circuits", Microelectronics Journal, 34, pp. 889 – 895 (2003)

[6] Sara Bolouki, Mahnaz Maddah, Ali Afzali-Kusha, Mahmoud El Nokali, "A unified I-V model for PD/FD SOI MOSFETs with a compact model for floating body effects", Solid-State Electronics, 47, pp. 1909 – 1915 (2003)

[7] 日経マイクロデバイス, 2004 年 2 月号, pp. 58 – 69, 日経 BP 社 (2004)

[8] G. G. Shahidi, "SOI technology for the GHz era", IBM Journal of Research and Development, 46, pp. 12 - 13 (2002)

[9] J. F. Ziegler and W. A. Lanford, "Effect of Cosmic Rays on Computer Memories", Science, 206, pp. 776 - 788 (1979)

[10] J. F. Ziegler and W. A. Lanford, "The effect of sea level cosmic rays on electronic devices", Journal of Applied Physics, 52, pp. 4305 – 4312 (1981)

[11] James F. Ziegler, "The Effect of Concrete Shielding on Cosmic Ray Induced Soft Fails in Electronic Systems", IEEE Transaction on Electron Devices, ED-28, pp. 560 - 565 (1981)

[12] Timothy J. O'Gorman, "The effect of cosmic rays on the soft error rate of a DRAM at ground level", IEEE Transaction on Electron Devices, 41, pp. 553 – 557 (1994)

[13] Peter J. McNulty, "Single-Event Effects Experienced by Astronauts and Microelectronic Circuits Flown in Space", IEEE Transaction on Nuclear Science, 43, pp. 475 – 482 (1996)

[14] K. A. LaBel, P. W. Marshall, J. L. Barth, R. B. Katz, R. A. Reed, H. W. Leidecker, H. S. Kim, C. J. Marshall, "Anatomy of an In-flight Anomaly: Investigation of Proton-Induced SEE Test Results for Stacked IBM DRAMs", IEEE Transactions on Nuclear Science, 45, pp. 2898 – 2903 (1998)

[15] J. F. Ziegler, "Terrestrial cosmic rays ", IBM Journal of Research and Development, 40, pp. 19 – 39 (1996)

[16] T. J. O'Gorman, J. M. Ross, A.H. Taber, J. F. Ziegler, H. P. Muhlfeld, C. J. Montrose, H. W. Curtis, J. L. Walsh, "Field testing for cosmic ray soft errors in semiconductor memories", IBM Journal of Research and Development, 40, pp. 41 - 50 (1996)

[17] T. J. O'Gorman et al., "メモリ LSI のソフトエラー, 宇宙線の影響を実際に測定", 日経エレクトロニクス 672, pp. 145 – 155 (1996)

[18] 戸坂義春, 佐藤成生, 板倉徹, " 宇宙線中性子ソフトエラー解析用シミュレータとその応用", 電子通信学会技術報告, VLD96-46, ED96-92, SDM96-102, p. 37 (1996)

[19] J. F. Ziegler, H. W. Curtis, F. P. Muhlfeld, C. J. Montrose, B. Chin, M. Nicewicz, C. A. Russell, W. Y. Wang, L. B. Freeman, P. Hosier, L. E. LaFave, J. L. Walsh, J. M. Orro, G. J. Unger, J. M. Ross, T. J. O'Gorman, B. Messina T. D. Sullivan, A. J.

Sykes, H. Yourke, T. A. Enger, V. Tolat, T. S. Scott, A. H. Taber, R. J. Sussman, W. A. Klein, C. W. Wahaus, "IBM experiments in soft fails in computer electronics (1978 – 1994)", IBM Journal of Research and Development, 40, pp. 3 - 18 (1996)

[20] K. B. Wolfstirn, "Survey analysis of impurities in gallium arsenide by instrumental neutron activation", Journal of physics and chemistry of solids, 31, p601 - 612 (1970)

[21] H. H. K. Tang, "Nuclear physics of cosmic ray interaction with semiconductor materials: Particle-induced soft errors from a physicist's perspective", IBM Journal of Research and Development, 40, pp. 91 - 108 (1996)

[22] Glenn F. Knoll, Radiation Detection and Measurement Second Edition, John Wiley & Sons (1989)

[23] Marc Cuzin, "Some new developments in the filed of high atomic number materials", Nuclear Instruments and Methods in physics Research A 253, pp. 407 - 417 (1987)

[24] C. M. Hsieh, P. C. Murley and R. R. O'Brien, "A Filed-funneling Effect on the Collection of Alpha-Particle-Generated Carriers in Silicon Devices", IEEE Electron Device Letters, EDL-2, pp. 103 - 105 (1981)

[25] 石原宏, 半導体デバイス工学, コロナ社 (1990)

[26] Paul E. Dodd, "Device Simulation of Charge Collection and Single-Event Upset", IEEE Transaction of Nuclear Science, 43, pp. 561 - 575 (1996)

[27] 末松安晴, 片岡照栄, マイクロエレクトロニクス素子 II, 岩波書店 (1985)

[28] 榎本忠儀, CMOS 集積回路　入門から実用まで, 培風館 (1996)

[29] 安食恒雄, 半導体デバイスの信頼性技術, 日科技連 (1988)

[30] Davis S. Yaney, J. T. Nelson, Lowell, L. Vanskike, "Alpha-Particle Tracks in Silicon and their Effect on Dynamic MOS RAM Reliability", IEEE Transactions on Electron Devices, ED-26, pp. 10 –16 (1979)

[31] Jie Liu, Feng Ma, Mingdong Hou, Youmei Sun, Jinming Quan, Yanpin Zhou, Yujin Zhong, Jinde Fan, Zhaoyun Chen, Fuyin Feng, "Heavy ion induced single event effects in semiconductor device", Nuclear Instruments and Methods in Physics Research B 135, pp. 239 – 243 (1998)

[32] Ulrich Heinle, Lars Vestling, Jorgen Olsson, "Modeling and characterization of capacitive coupling in trench-isolated structures on SOI substrates", Solid-State Electronics, 48, pp. 43 – 49 (2004)

[33] Y. Yamaguchi, A. Ishibashi, M. Shimizu, T. Nishimura, K. Tsukamoto, K. Horie and Y. Akasaka, "A high speed 0.6 μm 16 K CMOS gate array on a thin SIMOX film", IEEE Transaction of Electron Devices, 40, pp. 179 – 186 (1993)

[34] G. G. Shahidi, C. A. Anderson, B. A. Chap8pell, T. I. Chappell, J. H. Comfort, B. Davari, R. H. Dennard, R. L. Franch, P. A. McFarland, J. S. Neely, T. H. Ning, M. R. Polcari and J. D. Warnock, "A room temperature 0.1 μm CMOS on SOI", IEEE Transactions on Electron Devices, 41, pp. 2405 - 2412 (1994)

[35] B. Y. Hwang, M. Racanelli, M. Huang, J. Forestners, S. Wikson, T. Werreroth, S. Wald, J. Rugg and S. Cheng, Extended Abstracts of the 1994 Int. Conf. On Solid State Devices and Materials, p 268 (1994)

[36] 土屋敏章, "SOI デバイスの展望", 応用物理 第 66 巻 第 11 号, p 1191 – 1198 (1997)

[37] K. Izumi, M. Doken and H. Ariyoshi, "C. M. O. S. Devices fabricated on buried SiO2 layers formed by oxygen implantation into silicon", Electron Letters, 14, pp. 593 - 594 (1978)

[38] 松村篤樹, 藤井智, 車田克彦, "低消費電力 LSI 向けの 8 インチ SIMOX ウェハ", 電子材料 1998 年 6 月号, pp. 28 - 34 (1998)

[39] 山本秀和, 小山浩, "次世代半導体デバイスにおけるシリコン基板の課題と展望", 応用物理 第66巻 第7号, pp. 662 – 672 (1997)

[40] A. J. Auberton-Herve, Michel Bruel, Bernard Aspar, Christophe Maleville Hubert Moriceau, "SMART-CUT®: The Basic Fabrication Process for UNIBOND® SOI Wafers", IEICE Transaction on Electronics, E80-C, pp. 358 – 363 (1997)

[41] M. Bruel, "Silicon on insulator material technology", Electron Letters, 31, pp. 1201 - 1202 (1995)

[42] Michel Bruel, "Application of hydrogen ion beams to Silicon On Insulator material technology", Nuclear Instruments and Methods in Physics Research B 108, pp. 313 – 319 (1996)

[43] T. Aton, J. Seitchik, K. Joyner, T. Houston and H. Shichijo, 1996 Symp. On VLSI Tech. Dig. Of Technical Papers, p 98 (1996)

[44] Jeno Tihanyi and Heinrich Schlotterer, "Properties of ESFI MOS Transistors Due to the Floating Substrate and the Finite Volume", IEEE Transactions on Electron Devices, 22, pp. 1017 - 1022 (1975)

[45] M. Gritsh, H. Kosina, T. Grasser, S. Selberherr, "Influence of generation/recombination effects in simulations of partially depleted SOI MOSFETs", Solid-State Electronics, 45, p 621 - 627 (2001)

[46] Jacques Gautier, Mari M. Pelella, Jerry G. Fossum, the Proc. of 1997 IEEE International Electron Device Meeting (IEDM 1997), p 407 (1997)

[47] Ji-Woon Yang, Jerry G. Fossum, Glenn O. Workman, Cheng-Liang Huang, "A physical model for gate-to-body tunneling current and its effects on floating-body PD/SOI CMOS devices and circuits", Solid-State Electronics, 48, pp. 259 – 270 (2004)

[48] M. Takai, K. Nakayama, H. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura, Y. Horino, "Reliability testing for the next generation of ULSI with SOI MOSFETs", Nuclear Instruments and Methods in Physics Research B 158, pp. 432 – 436 (1999)

[49] S. Abo, M. Mizutani, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura, Y. Horino and M. Takai, "Suppression of floating body effects in SOI-MOSFET studied using nuclear microprobes", Nuclear Instruments and Methods in Physics Research B 181, pp. 320 – 323 (2001)

[50] S. Abo, M. Mizutani, K. Ikeda, A. Kinomura, T. Iwamatsu, S. Maegawa, M. Takai, "Investigation of floating body effects in PD-SOI-MOSFET using proton microprobe", Nuclear Instruments and Methods in Physics Research B 210, pp. 216 – 220 (2003)

[51] David. S. Walsh, P. E. Dodd, M. R. Shaneyfelt, J. R. Schwank, "Investigation of body-tie effects on ion beam induced charge collection in silicon-on-insulator FETs using the Sandia nuclear microprobe", Nuclear Instruments and Methods in Physics Research B 181, pp. 305 – 310 (2001)

[52] 蒲生健次, 半導体イオン注入技術, 産業図書 (1996)

[53] J. Liu, M. D. Hou, B. Q. Li, C. L. Liu, Z. G. Wang, S. Cheng, Y. M. Sun, Y. F. Jin, Y. L. Lin, J. R. Cai, S. J. Wang, Z. H. Ye, G. W. Zhu, H. Du, Q. Y. Ren, W. Wu, X. M. Mao, Y. Q. Sun, R. Guo, "Experimental studies of single-event effects induced by heavy ions", Nuclear Instruments and Methods in Physics Research B 164 - 165, pp. 973 - 978 (2000)

[54] H. H. Anderson, J. F. Ziegler, HYDROGEN Stopping Powers and Ranges in All Elements, Pergamon Press (1977)

[55] J. F. Ziegler, HELIUM Stopping Powers and Ranges in All Elements, Pergamon Press (1977)

[56] 山県登, 新・放射線取扱主任者必携, 産業図書 (1978)

[57] J. F. Ziegler, SRIM Code 2003 (2003)
http://www.srim.org

[58] 加川幸雄, 電気・電子のための有限要素法の実際, オーム社 (1982)

[59] Lloyd W. Massengill, "Cosmic and Terrestrial Single-Event Radiation Effects in Dynamic Random Access Memories", IEEE Transactions on Nuclear Science, 43, pp. 576 - 593 (1996)

[60] Q. X. Zhang, M. D. Hou, J. Liu, Z. G. Wang, Y. F. Jin, Z. Y. Zhu, Y. M. Sun, "The impact of incident angle on multiple-bit upset in SRAMs", Nuclear Instruments and Methods in Physics Research B 209, pp. 367 – 370 (2003)

謝辞

本論文は筆者が大阪大学大学院基礎工学研究科に在学中に研究した成果をまとめたものである。本研究を遂行するにあたり直接御指導、御鞭撻を賜りました大阪大学極限科学研究センター　高井　幹夫教授に心から感謝の意を表します。

大阪大学大学院基礎工学研究科　赤坂　洋一教授、占部　伸二教授、岡村　康行教授、岡本　博明教授、奥山　雅則教授、小林　猛教授、小林　哲郎教授、北川　勝浩教授、西原　功修教授には、本論文作成において有益な御教示を頂きました。ここに感謝いたします。

本研究は株式会社ルネサステクノロジとの共同研究として行いました。その機会を与えて頂き、試料の提供や技術的な討論などさまざまな協力を頂きました株式会社ルネサステクロノジ　一法師　隆志博士、岩松　俊明博士、前川　繁登博士、西村　正博士に感謝の意を表します。

本研究において、高エネルギーイオン照射実験のために独立行政法人産業技術総合研究所関西センターの高エネルギー加速器を使用させて頂きました。加速器の運転から有意義な討論までいただきました光技術研究部門　木野村　淳博士、ダイヤモンド研究センター堀野　裕次博士に感謝の意を表します。

本研究を通じて適切なる御助言、御指導を頂きました大阪大学極限科学研究センター故 有留　宏明助教授、若家　冨士男助教授　ならびに　大阪大学大学院基礎工学研究科弓場　愛彦助教授、柳沢　淳一助教授に感謝の意を表します。

実験装置について基礎から御指導頂きました大阪大学極限科学研究センター技官　原村一等氏、美濃　邦夫氏　ならびに　大阪大学大学院基礎工学研究科　河崎　清氏に感謝の意を表します。

本研究におきまして同じ研究グループとして御協力を頂きました　水谷　斉治氏、池田幸司氏、兼藤　大志氏、山際　優人氏に深く感謝いたします。

本研究におきまして、有意義な討論と助言を頂きました高井研究室　朴　陽根博士、Oguz Yavas 博士、Ferenc Paszti 博士、Tivadar Lohner 博士、Christ Angelov 博士に感謝の意を表します。

本研究の過程では、高井研究室の数多くの先輩方、同級生、後輩達に後協力を頂きました。以下に御名を列挙し、感謝いたします。

有田　豊氏、三村　良博士、門　想子氏、高沢　義生氏、阿部　周子氏、中山　順平氏、岩崎　賢吾氏、澤田　明宏氏、藤田　充宏氏、則安　洋志氏、入口　雅夫氏、高山　裕介氏、中川　享俊氏、Jarupoonphol Werapong 氏、趙　維江氏、市原　聡氏、榎並　顕氏、金澤　泰徳氏、川上　範朗氏、坂田　一朗氏、林　啓氏、村上　勝久氏、Goragot

Wongpaisarnsin 氏、若林　直樹氏、石川　勝朗氏、尾山　毅氏、竪　勇也氏、塚谷　陽介氏、新田　真人氏、山崎　直紀氏、Rochanachirapar Wasu 氏、竹内　貴洋氏、平野泰三氏、前原　宏昭氏、山崎　愛乃氏。

また、陰ながらご支援を賜った秘書の増永　淑子さん、中山　彰子さん、極限事務の由良　利子さん、崎口　理香さん、森　宏子さん、電気事務の山下　晴代さん、依岡　亜希さんにお礼を申し上げます。

筆者に研究者としての道に進むきっかけを与えてくれた親友　故 尾崎　成郎氏に心より感謝いたします。

最後に、長期にわたり学業に専念させてくれた両親と家族に深い感謝を表します。

阿保　智

研究実績

発表論文

1) "Suppression of floating body effects in SOI–MOSFET studied using nuclear microprobes",

S. Abo, M. Mizutani, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura, Y. Horino, and M. Takai, Nuclear Instruments and Methods in Physics Research B 181 (2001) 320 - 323.

2) "Study for instability of a partially depleted SOI MOSFET due to floating effect tested using high energy nuclear microprobes",

S. Abo, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura and Y. Horino, M. Takai, the Proceedings of the 13th International Conference on Ion Implantation Technology (IIT 2000), pp. 285 - 288

3) "Evaluation of Soft Errors in DRAM and SRAM Using Nuclear Microprobe and Neutron Source",

M. Takai, Y. Arita, S. Abo, T. Iwamatsu, S. Maegawa, H. Sayama, Y. Yamaguchi, M. Inuishi, and T. Nishimura, the Proc. of the 31st European Solid-State Device Research Conference (ESSDERC 2001), September 11 – 13, Nurenberg, Germany, pp. 17 - 24

4) "Investigation of floating body effects in PD-SOI-MOSFET using proton microprobe",

S. Abo, M. Mizutani, K. Ikeda, A. Kinomura, T. Iwamatsu, S. Maegawa and M. Takai, Nuclear Instruments and Methods in Physics Research B 210 (2003) 216-220

参考発表論文

1) "Development of Enhanced Depth-Resolution Technique for Shallow Dopant Profile",

M. Fujita, J. Tajima, T. Nakagawa, S. Abo, A. Kinomura, F. Paszti, M. Takai, R. Schork, L. Frey, and H. Ryssel, Nuclear Instruments and Methods in Physics Research B 190, 26 - 33 (2002)

2) "Shallow Arsenic Profiling using Medium Energy Ion Scattering (MEIS) ",

T. Nakagawa, M. Fujita, S. Ichihara, S. Abo, A. Kinomura, Y. Inoue and M. Takai, the proceedings of the 14th International Conference on Ion Implantation Technology (IIT2002), pp. 264 – 267

3) "Characterization of dopant profiles produced by ultra-shallow As implantation and spike annealing using Medium Energy Ion Scattering (MEIS) ",
S. Ichihara, T. Nakagawa, M. Nitta, S. Abo, T. Lohner, C. Angelov, K. Ohta, and M. Takai, Nuclear Instruments and Methods in Physics Research B (掲載決定)

4) "TOF-RBS with medium energy heavy ion probe for semiconductor process analysis",
K. Hayashi, H. Takayama, M. Ishikawa, S. Abo, T. Lohner and M. Takai, Nuclear Instruments and Methods in Physics Research B (掲載決定)

国際学会発表

1) "Suppression of floating body effects in SOI–MOSFET studied using nuclear microprobes",

S. Abo, M. Mizutani, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura, Y. Horino, and M. Takai, 7th International Conference on Nuclear Microprobe Technology and Applications (ICNMTA2000), September 10 – 15, 2000, Bordeaux, France

2) "Study for instability of a partially depleted SOI MOSFET due to floating effect tested using high energy nuclear microprobes",

S. Abo, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura and Y. Horino, M. Takai, the 13th International Conference on Ion Implantation Technology (IIT 2000), September 17 – 22, 2000, Alpbach, Austria

3) "Development of enhanced Depth-Resolution Technique for Shallow Dopant Profile",

M. Fujita, J. Tajima, T. Nakagawa, S. Abo, A. Kinomura, F. Paszti, M. Takai, R. Schork, L. Frey, and H. Ryssel, the 15th International Conference on Ion Beam Analysis (IBA2001), July 15 – 20, 2001, Cairns, Australia

4) "Evaluation of Soft Errors in DRAM and SRAM Using Nuclear Microprobe and Neutron Source",

M. Takai, Y. Arita, S. Abo, T. Iwamatsu, S. Maegawa, H. Sayama, Y. Yamaguchi, M. Inuishi and T. Nishimura, the 31st European Solid-State Device Research Conference (ESSDERC 2001), September 11 – 13, Nurenberg, Germany

5) "Inspection for critical issue of floating body effects in SOI-MOSFET using nuclear particles",

S. Abo, M. Mizutani, K. Nakayama, T. Takaoka, T. Iwamatsu, Y. Yamaguchi, S. Maegawa, T. Nishimura, A. Kinomura, Y. Horino, and M. Takai, 2001 International Microprocesses and Nanotechnology Conference, October 31 – November 2, 2001, Matsue, Shimane, Japan

6) "Investigation of floating body effects in PD-SOI-MOSFET using proton microprobe",

S. Abo, M. Mizutani, K. Ikeda, A. Kinomura, T. Iwamatsu, S. Maegawa and M. Takai, 8th International Conference on Nuclear Microprobe Technology and Applications (ICNMTA2002), September 8 – 13, 2002, Takasaki, Gunma, Japan

7) "Shallow Arsenic Profiling using Medium Energy Ion Scattering (MEIS) ",

T. Nakagawa, M. Fujita, N. Wakabayashi, S. Abo, A. Kinomura, Y. Inoue and M. Takai, the 14th International Conference on Ion Implantation Technology (IIT2002), September 23 – 27, 2002, Taos, New Mexico, USA

8) "Inspection of floating body effects in SOI devices using high energy nuclear microprobes",

S. Abo, T. Iwamatsu, S. Maegawa, Y. Arita, A. Kinomura, T. Lohner and M. Takai, the 16th International Conference on Ion Beam Analysis (IBA2003), June 29 –July 4, 2003, Albuquerque, NM, USA

9) "Characterization of dopant profiles produced by ultra-shallow As implantation and spike annealing using Medium Energy Ion Scattering (MEIS) ",

S. Ichihara, T. Nakagawa, M. Nitta, S. Abo, T. Lohner, C. Angelov, K. Ohta, and M. Takai, the 16th International Conference on Ion Beam Analysis (IBA2003), June 29 –July 4, 2003, Albuquerque, NM, USA

10) "Medium energy heavy ion probe with TOF-RBS for semiconductor process analysis",

K. Hayashi, H. Takayama, M. Ishikawa, S. Abo, T. Lohner and M. Takai, the 16th International Conference on Ion Beam Analysis (IBA2003), June 29 –July 4, 2003, Albuquerque, NM, USA

国内学会発表

1)　平成 12 年春期 第 47 回応用物理学関係連合講演会
（青山学院大学　2000 年 3 月 28 日～3 月 31 日）
イオンプローブを用いた SOI MOSFET の基板浮遊効果の制御に関する研究
阿保　智、高井幹夫、前川繁登、岩松俊明、犬石昌秀、西村　正

2)　応用物理学会分科会シリコンテクノロジー 第 4 回ミニ学術講演会
（大阪大学　2000 年 5 月 29 日）
イオンプローブを用いた部分空乏型 SOI-MOSFET の基板浮遊効果の抑制に関する研究
阿保　智、水谷斉治、岩松俊明、前川繁登、犬石昌秀、西村　正、高井幹夫

3)　平成 12 年度秋期 第 61 回応用物理学会学術講演会
（北海道工業大学　2000 年 9 月 28 日～9 月 31 日）
部分空乏型 SOI MOSFET の信頼性に関する研究
水谷斉治、阿保　智、高井幹夫、前川繁登、岩松俊明、犬石昌秀、西村　正

4)　平成 13 年春期 第 48 回応用物理学関係連合講演会
（明治大学　2001 年 3 月 28 日～3 月 31 日）
部分空乏型 SOI-MOSFET の基板浮遊効果による不安定性に関する研究
阿保　智、水谷斉治、高井幹夫、前川繁登、岩松俊明、犬石昌秀、西村　正

5)　平成 13 年春期 第 48 回応用物理学関係連合講演会
（明治大学　2001 年 3 月 28 日～3 月 31 日）
イオンプローブを用いた SOI MOSFET の信頼性に関する研究
水谷斉治、阿保　智、高井幹夫、前川繁登、岩松俊明、犬石昌秀、西村　正

6)　平成 13 年秋期 第 62 回応用物理学会学術講演会
（愛知工業大学　2001 年 9 月 11 日～9 月 14 日）
SOI-MOSFET の基板浮遊効果による不安定性に関する研究
阿保　智、水谷斉治、高井幹夫、前川繁登、岩松俊明、犬石昌秀、西村　正

7)　平成 14 年春期 第 49 回応用物理学関係連合講演会
（東海大学　2002 年 3 月 27 日～3 月 30 日）

SOI-MOSFETにおける基板浮遊効果の抑制に関する研究
阿保　智、水谷斉治、池田幸司、前川繁登、岩松俊明、犬石昌秀、西村　正、高井幹夫

8)　平成14年秋期 第63回応用物理学会学術講演会
（新潟大学　2002年9月24日～9月27日）
プロトンマイクロプローブを用いたPD-SOI-MOSFETの基板浮遊効果による不安定性に関する研究
阿保　智、水谷斉治、池田幸司、前川繁登、岩松俊明、西村　正、高井幹夫

9)　平成15年秋期 第64回応用物理学会学術講演会
（福岡大学　2003年8月30日～9月2日）
高エネルギーイオンプローブを用いたSOIデバイスの基板浮遊効果に関する研究
阿保　智、岩松俊明、前川繁登、木野村淳、高井幹夫