



Title	数値制御プラズマCVMによる次世代超薄膜SOIウエハの製作
Author(s)	佐野, 泰久; 山村, 和也; 遠藤, 勝義 他
Citation	大阪大学低温センターだより. 2004, 125, p. 11-15
Version Type	VoR
URL	https://hdl.handle.net/11094/8970
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

数値制御プラズマ CVM による 次世代超薄膜 SOI ウエハの製作

超精密科学研究センター 精密科学専攻

佐野泰久、山村和也、遠藤勝義、

森 勇藏 (内線7286)

E-mail: sano@prec.eng.osaka-u.ac.jp

1. はじめに

次世代半導体集積回路用の基板として、SOI (Silicon on Insulator) ウエハが注目されている。SOI ウエハの構造は、図 1(a)に示すように、基板となるシリコン上に埋込み酸化膜 (Buried Oxide ; BOX) 層を介して薄いシリコン層を有しているものである。この薄いシリコン層に、図 1(b)のようにデバイス (MOSFET) を構築する。このような構造にすることで、寄生容量の低減等のメリットが生まれ、より少ない電荷でデバイスを動作させることが可能になるため、高速・低消費電力デバイスが実現できる。既に IBM は SOI ウエハを用いた高性能 MPU を量産しており、自社のサーバーや、最新の Apple 製パーソナルコンピュータ等に搭載されている。また、“低消費電力”に注目した沖電気は SOI ウエハを用いて時計用 LSI を量産しており、カシオ製の多くの時計に搭載されている。

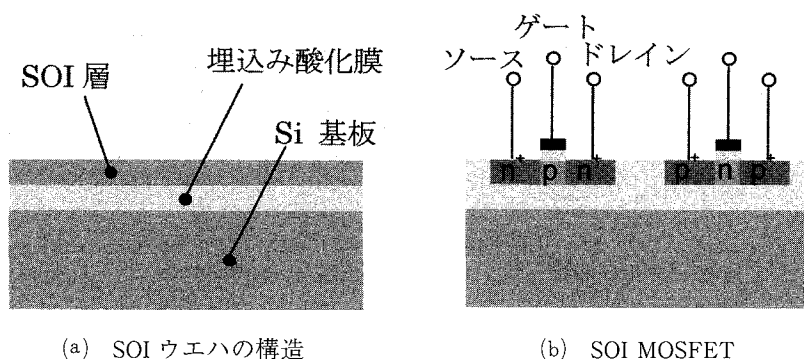


図1 SOI ウエハと SOI MOSFET

さて、半導体集積回路は、誕生した時から停滞することなく高速化・高集積化が行われてきたが、これは、一つ一つのトランジスタを絶えず微細化してきたことによる。そして今後も、半導体技術ロードマップ (International Technology Roadmap for Semiconductors ; ITRS) に従い、物理的な限界に達するまで、トランジスタは微細化されてゆく。トランジスタの微細化に伴い、デバイスを形成する SOI 層は、より薄いものが必要とされており、近い将来、10 nm オーダの超薄膜 SOI ウエハが要求されている。また、ウエハ面内でのトランジスタの特性ばらつきを抑えるため、SOI 層

の厚さ分布が均一であることも要求されている。このような超薄膜 SOI ウェハを従来の方法で製作することは、極めて困難である。そこで我々は、数値制御プラズマ CVM^[1-2]によって SOI の薄膜化を行うことを提案し、超薄膜 SOI の作製を試みた。また、薄膜化した SOI ウェハにデバイスを形成し、その特性を評価した。

2. 薄膜化の手順および加工装置

プラズマ CVM は大気圧プラズマを用いたプラズマエッチングであり、化学的な加工法でありながら、機械加工に匹敵する加工能率と空間制御性を有している。プラズマ CVM で用いる大気圧プラズマは、低圧力プラズマに比べてガス分子の平均自由行程が小さいため、プラズマが広がりにくい。そのため、プラズマの発生領域を容易に局在化でき、ウェハの大きさに対して十分小さいプラズマを発生できる。また、試料表面上のプラズマに触れている領域ではプラズマの滞在時間に比例して加工が進行する。従って、ウェハ上の各場所におけるプラズマの滞在時間を制御することで、数値制御加工が可能になる。図 2 に SOI の数値制御薄膜化プロセスの流れ図を示す。まず、加工前 SOI ウェハの SOI 層厚さ分布を測定する。本研究では測定手法として分光エリプソメトリを用いた。測定した SOI 層厚さ分布から目標とする SOI 層厚さを引くことで設定加工量分布を算出する。次に、予備実験によって取得済みの単位加工痕形状に基づき各場所での滞在時間分布を決定し、送り速度分布を算出する。そして、求めた送り速度分布に従ってテーブルを動かすことで、数値制御加工を行う。

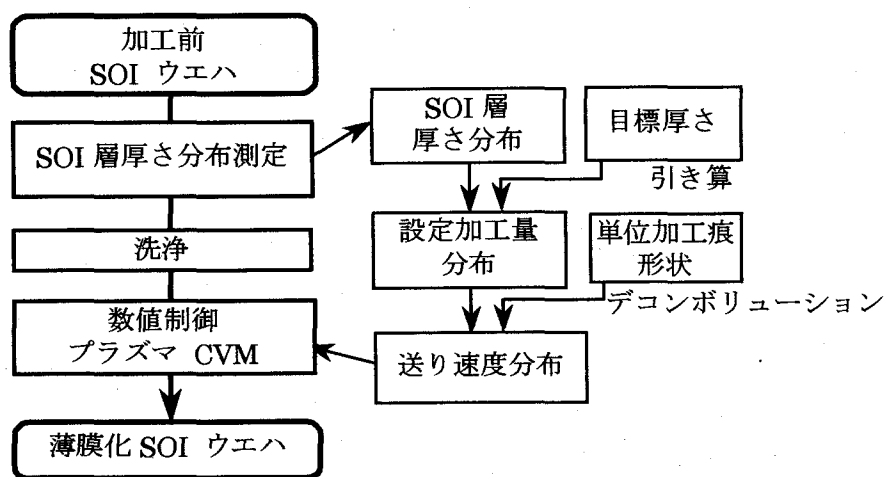


図 2 数値制御プラズマ CVM 加工手順

図 3、4 に開発した加工装置の概略図および外観写真を示す。装置は主に、プラズマ発生用回転電極、送り速度制御可能な XY テーブル、および雰囲気ガスを置換するためのチャンバーから成る。XY テーブルのストロークは±150 mmであり、回転電極は直径200 mmの球の中央部50 mmを切り出した形状である。加工装置はクラス 1 のクリーンルーム内に設置されており、超高純度ガスの供給が可能になっている。

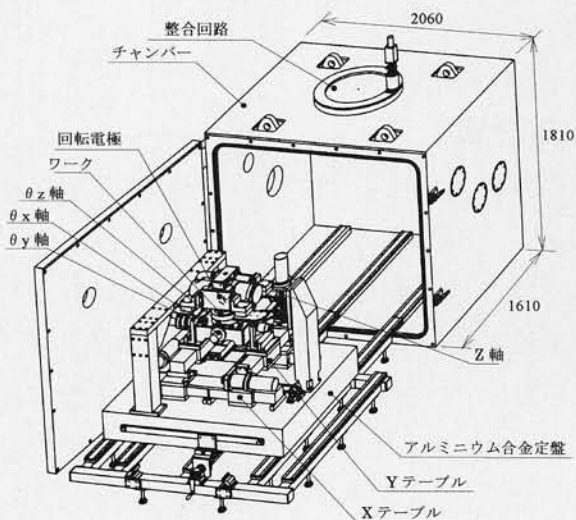


図3 数値制御プラズマ CVM 加工装置の概略図

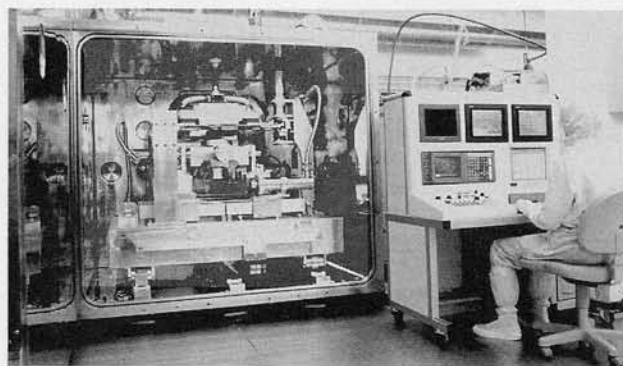


図4 数値制御プラズマ CVM 加工装置の概観

3. 超薄膜 SOI ウエハの試作^[3]

市販 SOI ウエハの数値制御薄膜化を試みた。前加工 SOI ウエハとして、SOI 層厚さ 200 nm の 6 インチ UNIBOND ウエハを用い、SOI 層厚さを 10 nm オーダまで薄膜化することを試みた。前加工 SOI の厚さ分布計測結果を図 5 に、数値制御薄膜化後の SOI 厚さ分布を図 6 に示す。なお膜厚は分光エリプソメトリにより 5 mm ピッチで測定した。中心より直径 120 mm の領域に注目すると、初期厚さ約 200 nm の SOI を約 13 nm に薄膜化できており、膜厚のばらつきも ± 4.2 nm から ± 2.0 nm へと改善できている。図 7 は図 5、6 における AA 断面を示したものである。これを見

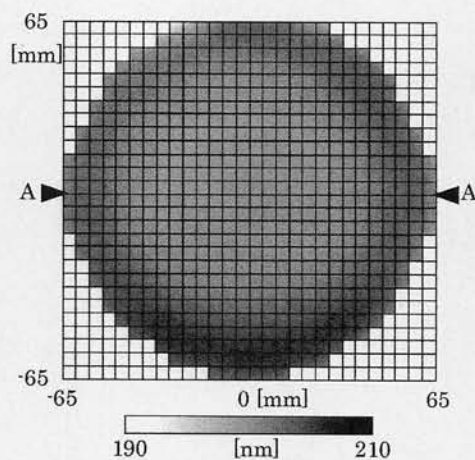


図5 加工前の SOI 層厚さ分布

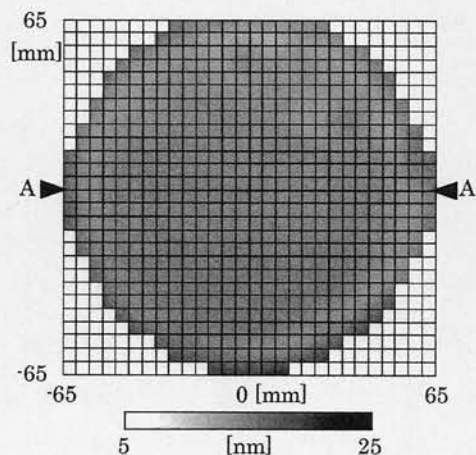


図6 加工後の SOI 層厚さ分布

観察したところ、500 nm \times 500 nm の測定領域において 1.45 nm PV、0.12 nm Ra であった。これは、市販のシリコンウエハ表面と同等な粗さであり、プラズマ CVM に

ても薄膜化と同時に膜厚のばらつきが改善されており、数値制御プラズマ CVM によって SOI 層厚さを 10 nm オーダまで薄膜化できることを実証した。また、薄膜化した SOI ウエハの表面粗さを AFM によって

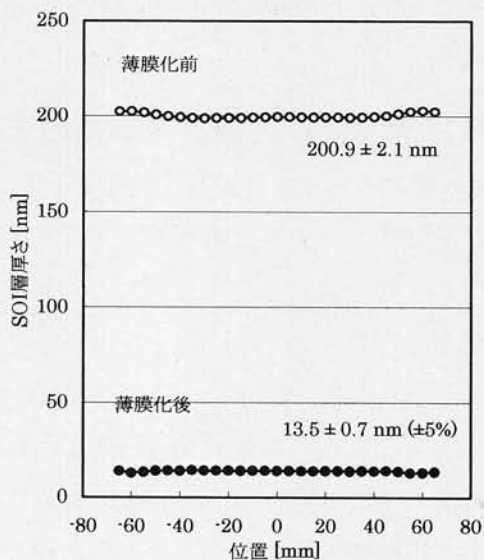


図7 図5、6における AA 断面の厚さ分布

よって表面粗さは劣化しないことが分かった。

4. プラズマ CVM 加工後ウエハ表面の清浄度評価^[4]

金属汚染はデバイスを形成する上で最も悪影響を及ぼす。デバイスそのものに対してだけでなく、デバイスを製造するための熱処理装置等も汚染する。デバイス作製に先立ち、プラズマ CVM 加工ウエハ表面の金属汚染評価を行った。測定には全反射蛍光 X 線分析装置を用いた。測定は各ウエハに対して面内13箇所について行った。試料Aとして参照用ウエハ、試料Bとしてガス置換を行いプラズマ発生直前に装置より取り出したウエハ、試料Cとして全面加工を行ったウエハ、そして試料Dとして加工後に洗浄を行ったものを用意した。表1に試料A、B、C、Dにおける各場所でのFe 元素の測定結果を示す。なお、汚染が顕著な場所は枠囲いを行っている。試料Bにおいて約半数の場所で金属汚染が見られる。同場所にてクロムやニッケルも多く検出されていたことから、装置を構成している金属であるステンレスの微粉がガス置換の際に舞い上がり、ウエハ表面に付着したと考えられる。試料Bの状態から加工を開始しているため、プラズマの熱によって金属汚染がウエハ全面に広がることが懸念された。しかし、加工後の結果である試料Cを見ても試料Bの結果と変わりなく、汚染の見られない場所も存在している。この結果は、本研究で用いている大気圧プラズマは金属の拡散を促進する熱源とはならないことを示している。試料Dは加工後に洗浄を行ったウエハの測定結果であるが、洗浄を行うことで金属汚染は参照用ウエハレベルとなり、デバイス作製に問題無いことが確認できた。

表1 金属汚染測定結果 (×10¹⁰atoms/cm²)

	1	2	3	4	5	6	7	8	9	10	11	12	13
X[mm]	0	0	0	0	0	-20	-40	20	40	-30	30	-30	30
Y[mm]	20	-20	0	40	-40	0	0	0	0	30	30	-30	-30
試料A	1.3	0.5	1.2	0.3	0.4	0.4	0.5	0.2	0.3	5.0	1.9	0.0	0.1
試料B	0.2	0.1	27	1.0	24	0.9	6.1	34	3.0	0.7	8.7	0.4	1.1
試料C	11	43	0.2	0.3	1.5	0.3	9.3	0.2	9.0	0.5	0.2	0.3	0.5
試料D	0.3	0.5	0.1	0.6	0.2	0.4	0.2	0.6	0.0	0.1	1.3	0.2	0.5

5. 薄膜化した SOI ウエハのデバイス評価

プラズマ CVM によって約60 nm まで薄膜化した8インチ SOI ウエハ、および参照用 SOI ウエハの全面にデバイス (MOSFET や抵抗素子) を作製し、両者の特性を比較することでプラズマ CVM によって薄膜化した SOI ウエハの性能を評価した。参照用 SOI ウエハは、SOI 層表面の熱酸化と酸化膜のエッチングによって SOI 層を薄膜化し、その厚さの平均値が約60 nm になるように調整したものである。図8に、作製した MOSFET におけるドレイン電流のゲート電圧依存性の一例を示す。リーク電流、立ち上がりの急峻さとも、両者で差は見られず、共に良好な特性が得られた。また、抵抗素子の抵抗値の面内分布を測定したところ、プラズマ CVM によって薄膜化した SOI ウエハの方が抵抗値のばらつきが小さいという結果を得た。これはプラズマ CVM によって薄膜化した SOI ウエハの方が SOI 層厚さ分布が均一であることによる。以上、プラズマ CVM は、加工面の結晶性

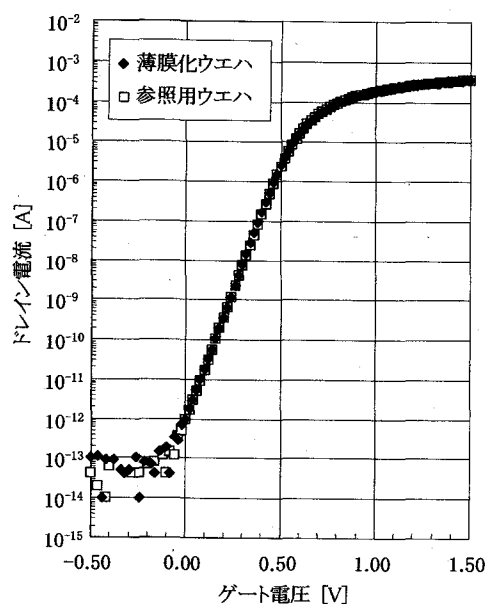


図8 作製した nMOSFET のドレイン電流－ゲート電圧特性（ゲート幅／ゲート長＝10／0.35 μm 、ドレイン電圧＝0.1V）

や清浄度を損なわない、優れた加工法であり、加工したウエハは半導体集積回路用基板として十分使用可能であることが分かった。

6. まとめ

数値制御プラズマ CVM によって市販薄膜 SOI ウエハを加工し、SOI 層が10 nm 程度である超薄膜 SOI ウエハを製作することが可能であることを示した。また、本加工法によって薄膜化した SOI ウエハは、半導体集積回路用基板として十分使用可能であることを実証した。現在、SOI 層厚さが10 nm 程度である超薄膜 SOI ウエハ上にデバイス形成する技術は種々の要素技術を開発中の段階である。本研究によって作製可能となった超薄膜 SOI ウエハが、その性能を十分に発揮できる時が早期に到来することを願って止まない。

参考文献

- [1] Y. Mori, K. Yamamura, K. Yamauchi, K. Yoshii, T. Kataoka, K. Endo, K. Inagaki and H. Kakiuchi: Plasma CVM (Chemical Vaporization Machining) : An Ultra Precision Machining Technique Using High-pressure Reactive Plasma, Nanotechnology, 4 (1993) 225.
- [2] 森 勇藏、山内和人、山村和也、佐野泰久：プラズマ CVM の開発, 精密工学会誌, 66 (2000) 1280-1285.
- [3] 森 勇藏、山村和也、佐野泰久：数値制御プラズマ CVM (Chemical Vaporization Machining) による SOI の薄膜化 ―加工装置の開発と超薄膜 SOI ウエハの試作―、精密工学会誌, 68 (2002) 1590-1594.
- [4] 森 勇藏、佐野泰久、山村和也、森田論、森田瑞穂、大嶋一郎、斉藤祐司、須川成利、大見忠弘：数値制御プラズマ CVM (Chemical Vaporization Machining) による SOI の薄膜化 ―デバイス用基板としての加工面の評価―、精密工学会誌, 69 (2003) 721-725.