The University of Osaka
Institutional Knowledge Archive

Title	パワーデバイスの高信頼・低損失駆動に関する研究
Author(s)	鈴木, 弘
Citation	大阪大学, 2023, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/91937
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

様式３

論　文　内　容　の　要　旨

氏　名　（　鈴木　弘　）	
論文題名	パワーデバイスの高信頼・低損失駆動に関する研究

論文内容の要旨

脱炭素社会の早期実現に向けて省エネルギー化や電動化を担う電力変換器の普及促進が不可欠であり，その高効率化と高信頼化が求められている。電力変換器のキーコンポーネントであるパワーデバイスの高効率化と高信頼化を実現するには，パワーデバイス自体の低損失化・高破壊耐量化に加えて，パワーデバイスの性能を引き出し，使いこなすゲート駆動技術が重要となる。電力変換器の中でゲート駆動回路は，制御論理部（低圧部）とパワーデバイス（高圧部）のインターフェースに位置するため，パワーデバイスの動作状態のセンシングに応じたゲート駆動制御を通して，電力変換器の高効率化や高信頼化に寄与できる。

本研究では，パワーデバイスの低損失・高破壊耐量・低ノイズ性能を，デバイス解析技術やゲート駆動技術を用いて引き出すことを目的とした。パワーデバイスの高破壊耐量化については，半導体デバイスシミュレーションを用いた破壊耐量の大きいデバイス設計指針や，チップ間の電流アンバランスの小さいパワーモジュールの設計指針を議論した。低損失化と高破壊耐量化，低損失化と低ノイズ化の両立については，新しいゲート駆動方式とゲート駆動回路を提案し，その有効性を実証した。

本論文は，パワーデバイスの高信頼・低損失駆動に関する一連の研究から得られた成果を纏めたものであり，以下の全6章から構成され，各章の詳細は下記に記載する通りである。

第1章では，本研究の背景に続いて，パワーデバイスに要求される性能指標として，低損失化・高破壊耐量化・低損失化のトレードオフ関係を示し，パワーデバイスの駆動技術からのアプローチとして本研究の位置づけと本論文の構成を示した。

第2章では，破壊耐量の高いパワーデバイスの設計を目的に，短絡時のSi-IGBTのチップ内部のセル間の電流集中（電流フィラメント）の現象を解析した。短絡中と短絡遮断時における電流フィラメントの挙動や発生メカニズムの相違を明らかにし，短絡時における電流フィラメントの発生を抑制するパワーデバイスの設計指針として，コレクタ（裏面）からのホール注入効率の増加により裏面電界を低減し，電流フィラメントの発生が抑制することを示した。

第3章では，パワーモジュール内のチップ間の電流アンバランスを抑制した高信頼なパワーモジュールの設計を目的に，短絡時のチップ間の電流アンバランスを解析した。パワーモジュールの構造に起因する寄生パラメータ（エミッタ側の寄生インダクタンス）のばらつきが，個々のチップに印加されるゲート印加電圧（VGE）を変動させることにより，短絡時のパワーモジュール内部のIGBTチップ間の電流アンバランスが発生することを明らかにした。

第4章では，パワーモジュール内のチップ間の電流アンバランスを許容できる短絡保護方式を検討し，高速な短絡検知方式とゲート駆動回路を提案し，Si-IGBTに比べて短絡耐量が厳しくなるSiC-MOSFETを対象にその有用性を実証した。エミッタ側の寄生インダクタンス（Le）に発生する電圧の積分値を用いた「di/dt積分回路」により，従来の電圧検知ではなくドレイン電流に変換して検知するため，並列接続されたSiC-MOSFETの数に関係なく，短絡検知の電流レベルを任意の値に設計でき，必要十分な誤検知マージンを確保しながら，電流アンバランス条件下でも高速に短絡保護できることを実証した。

第5章では，パワーデバイスの低ノイズ化（リンギング振動やサージ電圧の抑制）と低損失化の両立する駆動方式およびゲート駆動回路を提案し，一般にSi-IGBTに比べてリンギング振動が大きいSiC-MOSFETを対象にその有用性を実証した。提案方式では，SiC-MOSFET内にチャネルリーク電流を誘起することにより寄生LCに蓄えられているエネルギーを減衰させリンギング振動のダンピング効果を高めた。SiC-MOSFETのスイッチングの開始を自律的に検知する「タイミング検知回路」により，SiC-MOSFETの動作条件が幅広く変動しても回路パラメータの変更なく，スイッチング損失の増大を防ぎながら最適なタイミングでリンギング振動を抑制できることを実証した。

第6章では，第1章から第5章までの結論を纏めて本論文を総括し，今後の展望を示した。

様式 7

論文審査の結果の要旨及び担当者

氏　名　（ 鈴木　弘 ）	
論文審査担当者	（職）　氏　名 主 査　教授　舟木　剛 副 査　教授　牛尾　知雄 副 査　教授　高井　重昌

論文審査の結果の要旨

本論文は，パワーデバイスの高信頼・低損失駆動に関する一連の研究から得られた成果を纏めたものであり，以下の全 6 章から構成され，各章の詳細は下記に記載する通りである。

第 1 章では，本研究の背景に続いて，パワーデバイスに要求される性能指標として，低損失化・高破壊耐量化・低ノイズ化のトレードオフ関係を示し，パワーデバイスの駆動技術からのアプローチとして本研究の位置づけと本論文の構成を示している。

第 2 章では，破壊耐量の高いパワーデバイスの設計を目的に，短絡時の Si-IGBT のチップ内部のセル間の電流集中現象を解析している。短絡中と短絡遮断時における電流フィラメントの挙動や発生メカニズムの相違を明らかにし，短絡時における電流フィラメントの発生を抑制するパワーデバイスの設計指針として，コレクタ（裏面）からのホール注入効率の増加により裏面電界を低減し，電流フィラメントの発生が抑制することを示している。

第 3 章では，パワーモジュール内のチップ間の電流アンバランスを抑制した高信頼なパワーモジュールの設計を目的に，短絡時のチップ間の電流アンバランスを解析している。パワーモジュールの構造に起因する寄生パラメータ（エミッタ側の寄生インダクタンス:Le）のばらつきが，個々のチップに印加されるゲート電圧を変動させることにより，短絡時のパワーモジュール内部の IGBT チップ間の電流アンバランスが発生することを明らかにしている。

第 4 章では，パワーモジュール内のチップ間の電流アンバランスを許容できる短絡保護方式を検討し，高速な短絡検知方式とゲート駆動回路を提案し，Si-IGBT に比べて短絡耐量が厳しくなる SiC-MOSFET を対象にその有用性を実証している。Le に発生する電圧の積分値を用いた「di/dt 積分回路」により，従来の電圧検知ではなくドレイン電流に変換して検知するため，並列接続された SiC-MOSFET の数に関係なく，短絡検知の電流レベルを任意の値に設計でき，必要十分な誤検知マージンを確保しながら，電流アンバランス条件下でも高速に短絡保護できることを実証している。

第 5 章では，パワーデバイスの低ノイズ化（リンギング振動やサージ電圧の抑制）と低損失化の両立する駆動方式およびゲート駆動回路を提案し，一般に Si-IGBT に比べてリンギング振動が大きい SiC-MOSFET を対象にその有用性を実証している。提案方式では，SiC-MOSFET 内にチャネルリーク電流を誘起することにより寄生 LC に蓄えられているエネルギーを減衰させリンギング振動のダンピング効果を高めている。SiC-MOSFET のスイッチングの開始を自律的に検知する「タイミング検知回路」により，SiC-MOSFET の動作条件が幅広く変動しても回路パラメータの変更なく，スイッチング損失の増大を防ぎながら最適なタイミングでリンギング振動を抑制できることを実証している。

第 6 章では，第 1 章から第 5 章までの結論を纏めて本論文を総括し，今後の展望を示している。

以上のように、本論文はパワーデバイスの高信頼・低損失な性能を引き出す駆動技術を開発しており，今後の高信頼・高効率な電力変換器の発展を支える基盤技術に相当する結果となっている。

よって本論文は博士論文として価値あるものと認める。