

Title	パワーデバイスの高信頼・低損失駆動に関する研究
Author(s)	鈴木, 弘
Citation	大阪大学, 2023, 博士論文
Version Type	VoR
URL	<a href="https://doi.org/10.18910/91937">https://doi.org/10.18910/91937</a>
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

博士学位論文

パワーデバイスの高信頼・  
低損失駆動に関する研究

鈴木 弘

2023年1月

大阪大学大学院工学研究科

## 概要

脱炭素社会の早期実現に向けて省エネルギー化や電動化を担う電力変換器の普及の促進が必要であり、その高効率化と高信頼化が求められている。電力変換器の信頼性を確保しつつ、パワーデバイスの性能を十分に引き出すためには、パワーデバイス自体の低損失化・高耐量化に加えて、パワーデバイスの性能を引き出し、使いこなす駆動技術が重要となる。電力変換器の中でゲート駆動回路は、制御論理部（低圧部）とパワーデバイス（高圧部）のインターフェースに位置し、パワーデバイスのセンシングや制御を通して、電力変換器の高効率化や高信頼化に寄与できる。

本研究では、半導体デバイスシミュレーションやパワーデバイスの等価回路モデルの電気・熱連成解析により、破壊耐量の高いパワーデバイスの設計やパワーデバイス間の電流アンバランスを抑制した高信頼なパワーモジュールの設計に資する知見を得た。また、パワーデバイス（SiC-MOSFET）の短絡を高速に検知・保護するとともに、リングング振動を抑制する駆動方式およびゲート駆動回路を提案し、パワーデバイスの低損失化と高破壊耐量化、低ノイズ化が両立可能であることを示した。

本論文は「パワーデバイスの高信頼・低損失駆動」に関する研究成果をまとめたものであり、以下の6章で構成されている。

第1章では、パワーデバイスに要求される性能指標として低損失化、高破壊耐量化、低ノイズ化のトレードオフ関係を示し、パワーデバイスの駆動技術からのアプローチとして本研究の位置づけを示した。

第2章では、破壊耐量の高いパワーデバイスの設計を目的に、短絡時のSi-IGBTのチップ内部のセル間の電流集中（電流フィラメント）の現象を解析し、裏面からのホール注入効率の制御により電流フィラメントの発生を抑制できることを示した。

第3章では、チップ間の電流アンバランスを抑制した高信頼なパワーモジュールの設計を目的に、短絡時のパワーモジュール内のチップ間の電流アンバランスを解析し、パワーモジュールの構造に起因する寄生パラメータとパワーデバイスのゲート電圧との相互作用や、パワーデバイスの自己発熱の影響を明らかにした。

第4章では、チップ間の電流アンバランスを許容できる短絡保護方式を検討し、必要十分な誤検知マージンを確保しながら、電流アンバランス条件下でも高速に短絡を検知・保護できる駆動方式およびゲート駆動回路を提案し、Si-IGBT に比べて短絡耐量が厳しくなる SiC-MOSFET を対象にその有用性を実証した。

第5章では、パワーデバイスの低ノイズ化と低損失化の両立を目的に、スイッチング損失を抑制しながらリングング振動とサージ電圧を低減する駆動方式およびゲート駆動回路を提案し、一般に Si-IGBT に比べてリングング振動が大きい SiC-MOSFET を対象にその有用性を実証した。

第6章では、第1章から第5章までの結論をまとめて本研究を総括し、今後の展望を示した。

# 目次

概要	ii
<b>第1章 序論</b>	<b>1</b>
1.1 研究の背景	1
1.2 電力変換器の高性能化の課題	3
1.3 本研究の目的	8
1.4 本論文の構成	9
<b>第2章 短絡時のIGBTチップ内部の電流集中現象の解析</b>	<b>10</b>
2.1 緒論	10
2.2 先行研究と課題	10
2.3 IGBTの短絡中の電流フィラメントの解析	14
2.4 IGBTの短絡遮断時の電流フィラメントの解析	23
2.5 結論	30
<b>第3章 パワーモジュール内における電流アンバランス現象の解析</b>	<b>31</b>
3.1 緒論	31
3.2 先行研究に対する本研究の位置づけ	31
3.3 パワーモジュールの構造に起因するパラメータの検討	33
3.3.1 電流出力端子と半導体チップとの配置関係	33
3.3.2 ボンディングワイヤ間の相互インダクタンス	37
3.4 パワーモジュールの解析モデル	42
3.5 短絡時のチップ間の電流アンバランス解析	46
3.5.1 アーム短絡の発生状況	46
3.5.2 等温条件での解析	47
3.5.3 電気・熱連成条件での解析	50

3.6	結論	56
<b>第4章</b>	<b>電流アンバランス条件下でも高速遮断可能な短絡保護技術</b>	<b>57</b>
4.1	緒論	57
4.2	先行研究と課題	57
4.3	提案方式	59
4.3.1	短絡検知における電流アンバランスの影響	61
4.3.2	提案回路と動作原理	68
4.4	実測検証	73
4.4.1	試験回路	73
4.4.2	1並列での検証	75
4.4.3	多並列での検証	79
4.5	結論	86
<b>第5章</b>	<b>低ノイズ化と低損失化を両立する駆動技術</b>	<b>87</b>
5.1	緒論	87
5.2	先行研究と課題	88
5.3	提案する駆動方式の原理	89
5.3.1	ゲート駆動のコンセプト	89
5.3.2	SPICE 過渡解析による検証	93
5.3.3	TCAD 過渡解析による検証	96
5.4	駆動回路の設計	101
5.4.1	タイミング検知回路	103
5.4.2	$V_{\text{keep}}$ 生成回路	105
5.5	実測検証	107
5.5.1	ボディダイオードのスイッチングリカバリーにおけるリング ング振動の減衰	107
5.5.2	SiC-MOSFET のターンオフ動作におけるリングング振動の 減衰	114
5.5.3	ゲート駆動回路の電力損失	117
5.6	結論	118

<b>第6章 結言</b>	<b>120</b>
6.1 本研究の結論 . . . . .	120
6.2 今後の課題 . . . . .	122
<b>参考文献</b>	<b>124</b>
研究成果 . . . . .	140
謝辞 . . . . .	143

# 第1章 序論

## 1.1 研究の背景

近年、地球温暖化問題が世界共通の重要な課題となっている。大気や海洋の温度上昇、雪氷面積の減少や生物圏への影響が、広範囲かつ急速に現れており、人間活動の影響が大気や海洋および陸域を温暖化させてきたことには疑う余地がないとされている。気候変動に関する政府間パネル（IPCC：Intergovernmental Panel on Climate Change）の第6次評価報告書（2021年）によると、「気候変動の人為的な駆動要因として文献で確認できる範囲で将来起こりうる展開を網羅した5つの例示的なシナリオに対する気候の応答を評価した結果、全ての排出シナリオにおいて、少なくとも今世紀半ばまでは上昇を続ける。向こう数十年の間にCO<sub>2</sub>及びその他の温室効果ガスの排出が大幅に減少しない限り、21世紀中に、1.5℃及び2℃の地球温暖化を超える。」と予測しており[1]、大幅なCO<sub>2</sub>の排出削減が喫緊の課題となっている。

2015年に採択された「パリ協定」にはじまり、2021年に英国グラスゴーで開催された国連気候変動枠組条約の第26回締約国会議（COP26）では「世界の平均気温の上昇を、産業革命前から1.5℃に抑える努力を追求することを決意する」と明記した成果文書も合意され、世界各国で再生可能エネルギーの導入をはじめとする脱炭素社会の実現に向けた取り組みが加速している。日本政府も2050年までに温室効果ガスの排出を全体としてゼロにするカーボンニュートラルを目指すことを2020年10月に宣言した。

国際エネルギー機関（IEA：International Energy Agency）のエネルギー技術展望（2020年）によれば、2070年までにCO<sub>2</sub>排出を実質ゼロにする「持続可能シナリオ」を達成するためには、電動化技術、二酸化炭素の回収・貯留・利用技術（CCUS：Carbon dioxide Capture, Utilization and Storage）、水素燃料、バイオ



エネルギーなどの分野での技術革新が不可欠であり、なかでも電動化技術によるCO<sub>2</sub>削減効果は「持続可能シナリオ」の排出削減量のうちで最大の20%を占めると報告されている [2]。

電動化を実現するために、直流交流変換、電圧変換、周波数変換、電動機の加減速制御などを担う電力変換器が不可欠であり、コンバータ、インバータ、SST (Solid State Transformer) などがある。電力変換器の開発の社会的価値は、高効率化・高信頼化・低コスト化により、従来は費用対効果で導入が難しかった国・地域でも省エネルギー化や電動化が進み、より低炭素な社会を実現することといえる。

パワー半導体デバイス（以下、パワーデバイス）は電力変換器のキーコンポーネントであり、交流・直流を電力変換してモータ等の負荷に安定的に効率よく電力を供給する役割をもつ。パワーデバイスは1947年のトランジスタの発明に端を発し、1950年代に半導体材料としてシリコン (Si) の有用性が見いだされると、GE (General Electric) 社が電力変換向けにSCR (Silicon Controlled Rectifier) を開発した。1970年代には、ゲートのオン・オフによって電流を通流・遮断できる自己消弧型のGTOサイリスタ (Gate Turn-Off Thyristor) や高耐圧で大電流が流せるSiのパワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が開発されると、電力変換効率が向上した。1980年代には、MOSゲートの充放電により電圧駆動でオン・オフが可能なパワーデバイスとしてIGBT (Insulated Gate Bipolar Transistor) が実用化され、小さな駆動電力で高速にスイッチング制御できるとともに、伝導度変調による低損失性を特長とするIGBTは急速に普及した。

現在は図1.1に示すように、IGBTをはじめとするパワーデバイスが、定格容量に応じて家電から産業、自動車、鉄道、電力送配電まで幅広い分野で使われており、多様なニーズがある。小容量/高速スイッチング向けの低耐圧デバイス ( $\leq 600$  V) には、Si-パワーMOSFETやワイドバンドギャップ半導体のGaN (Gallium Nitride) デバイスが適用されることが多い。一方、大容量向けの中高耐圧デバイス ( $\geq 1.2$  kV) には高出力化が求められ、Si-IGBTやワイドバンドギャップ半導体のSiC (Silicon Carbide) を適用したパワーMOSFETが多く用いられている。

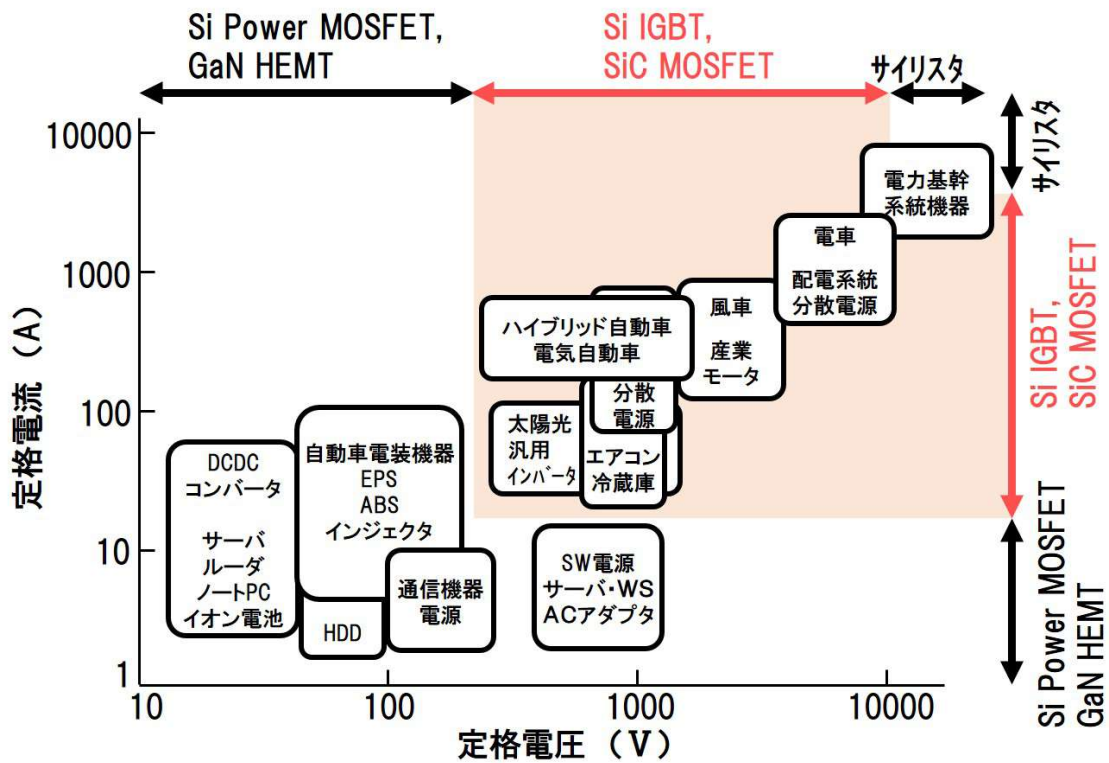


図 1.1: パワーデバイスの定格容量と応用分野

## 1.2 電力変換器の高性能化の課題

図 1.2 は、電力変換器として鉄道車両用のインバータを例にその構成要素を示す。主な構成要素として、DC リンクキャパシタ、パワーデバイス（IGBT と還流ダイオードを実装したパワーモジュール）、パワーデバイスの駆動制御回路、パワーデバイスの冷却系がある。電力変換器の普及を促進するには、インバータの高効率化・高信頼化・低コスト化を実現することが求められ、キーコンポーネントであるパワーデバイスの高性能化（低損失化・高破壊耐量化・低ノイズ化）が課題になる。

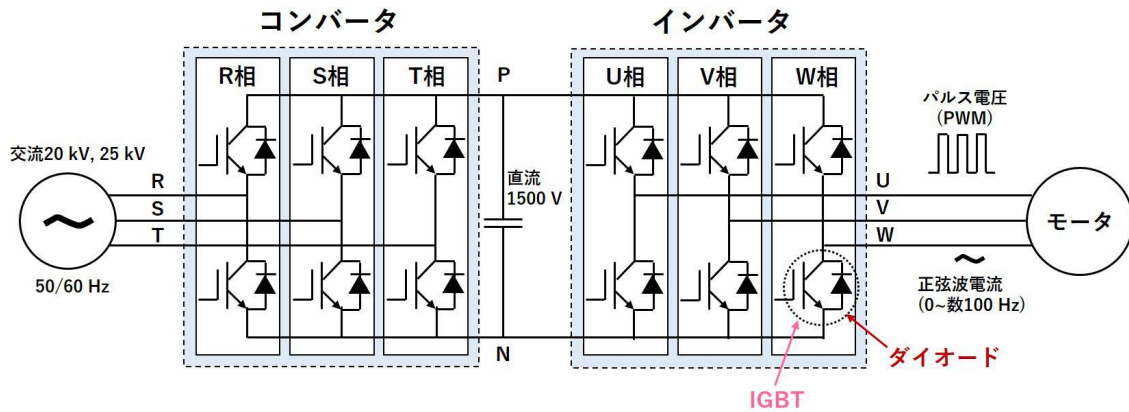


図 1.2: 電力変換器（インバータ）の構成要素

表 1.1 は、パワーデバイスの高性能化の課題を示す。本研究では、幅広い分野の電力変換器への適用が進んでいる Si-IGBT または SiC-MOSFET を対象とする。パワーデバイスの低損失化と高破壊耐量化に向けて、デバイス技術、実装技術、駆動技術による複数のアプローチで開発が進められている。

パワーデバイスの低損失化には、導通損失とスイッチング損失をともに低減することが重要になる。導通損失の低減によりジャンクション温度が低くなるため、その分だけパワーデバイスの出力電流密度をあげたり、チップサイズを削減して電力変換器を小型化（低コスト化）することができる。一方で、飽和電流が増大することにより短絡耐量が低下し、パワーデバイスの破壊耐量を低下させる要因になる。また、スイッチング損失の低減によりスイッチング周波数を高くできるため、受動部品の小型化・低コスト化に繋がる [3]。一方で、高速スイッチング化や高周波化によりパワーデバイスから発せられる EMI ノイズが増大するため、周辺機器の誤動作のリスクが大きくなる。このように、パワーデバイスの低損失化と高破壊耐量化や低ノイズ化の間にはトレードオフの関係があり、その解決を図る技術が重要である。また、パワーデバイスの高破壊耐量化には、TCAD（半導体プロセス・デバイスシミュレータ）等によるデバイス物理に基づいた解析設計が不可欠であり、パワーデバイスの破壊原因の解明や破壊耐量の高いデバイス設計に有効である。

実装技術としては、パワーモジュールの放熱性を向上するほど大きな電流をパ

ワーデバイスに流すことができ、電力変換器の高出力化や低コスト化（冷却系の小型化）につながるため、放熱性の高い実装材料の研究開発がなされている。また、パワーデバイスと実装材料の線膨張係数の差による熱応力が、パワーデバイスや実装基板の接合部のはんだ寿命を縮める要因となるため、熱伝導性と耐久性（パワーサイクル耐量）に優れたはんだに代わる接合材料の研究も活発に行われている [4][5]。電力変換器の出力電流を増大するため、複数のパワーデバイス（半導体チップ）がパワーモジュール内に並列に実装されて使用されることが一般的である。半導体チップ間の電流のアンバランスが大きくなると特定のチップへの電流集中が起これ、ディレーティングによる電力変換器の出力電流の低下や、短絡時の破壊耐量の低下に繋がる。したがって、電流のアンバランスを抑制するために、パワーモジュール内部の配線インダクタンスを均一化（等長・対称配線）したり、特性の揃ったパワーデバイスを選別して実装するなどの対策が考えられるが、前者は電力変換器のバスバーやパワーモジュールの実装レイアウトによる制約を受け、後者はパワーデバイスの選別工数やコストの増大に繋がるため、パワーモジュール内のチップ間の電流アンバランスを設計段階から解析できることが重要になる。

パワーデバイスの性能を引き出すとともに電力変換器の信頼性を向上するには、パワーデバイス単体の低損失化・高破壊耐量化だけでは限界があり、パワーデバイスを使いこなすゲート駆動技術が重要となる。図 1.3 は、Si-IGBT や SiC-MOSFET 等の電圧駆動型のパワーデバイスを駆動するためのゲート駆動回路の例を模式的に示す [6]。ゲート抵抗  $R_G$  により制御されるゲートの充放電速度を大きくすると、パワーデバイスのスイッチング速度 ( $dv/dt$ ,  $di/dt$ ) を高速化してスイッチング損失を低減できるが、一方で、電圧・電流波形のリングング振動やサージ電圧・電流が増大するというトレードオフの関係がある [7]。そのため、駆動するパワーデバイスの特性に応じて、スイッチング損失とノイズの抑制を両立できる駆動方式を検討することが重要になる。また、電力変換器の中でゲート駆動回路は、制御論理部（低圧部）とパワーデバイス・電源・負荷（高圧部）のインターフェースに位置する機器であり、センシング回路や制御回路をゲート駆動回路に集積化することができる。したがって、パワーデバイスが故障したり、過熱・過電圧・過電流など異常状態で動作している場合には、ゲート駆動回路が故障や異常を検知し、

パワーデバイスを保護（遮断）することにより、電力変換器の破壊規模を最小化したり、機能停止を未然に防ぐことができる。このように、ゲート駆動技術により電力変換器の信頼性を向上できる一方で、駆動回路の複雑化やコスト増の課題があるため、費用対効果の検討も重要である。

以上のように、パワーデバイスの高性能化については、低損失化と高破壊耐量化の両立や低損失化と低ノイズ化の両立の間にトレードオフの関係があり、デバイス技術や実装技術だけでなく、パワーデバイスの性能を引き出すゲート駆動技術による寄与も大きい。

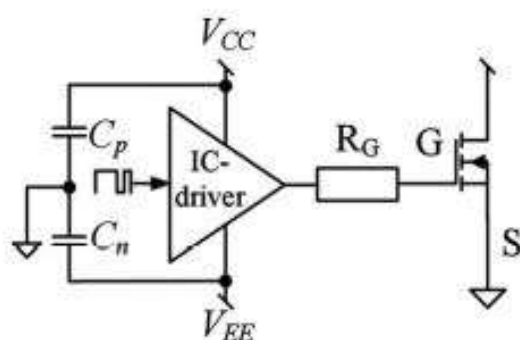


図 1.3: 抵抗型のゲート駆動回路の例 [6] D. Pefitsis: "Gate and Base Drivers for Silicon Carbide Power Transistors An Overview," *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 7194-7213, 2016.

表 1.1: パワーデバイスの高性能化の課題

技術分野	開発アプローチ		利点 (価値)	課題 (副作用)	本論文
デバイス	低損失化	導通損失の低減	出力電流密度の向上・低コスト化 (チップサイズの削減)	短絡耐量の低下	第4章
		スイッチング損失の低減 (高速スイッチング化)	受動部品の小型・低コスト化		
	高破壊耐量化	デバイス物理に基づいた解析設計	短絡耐量の向上		第2章
実装	低熱抵抗化	放熱性の向上	出力電流密度の向上, 低コスト化 (冷却系の小型化)		
	実装レイアウトの最適化	電流アンバランスの解析設計	出力電流密度や短絡耐量の向上		第3章
	チップ選別	チップ間の性能の均一化		選別コストの増大	
駆動	低ノイズ駆動	ゲート駆動速度の最適化	ノイズ (リングング振動・サージ) の抑制	スイッチング損失の増大	第5章
	高信頼駆動	保護技術 (過熱/過電圧/過電流)	電力変換器の破壊規模の最小化	駆動回路の複雑化やコスト増	第4章

### 1.3 本研究の目的

本研究の目的は、電力変換器の高効率化・高信頼化・低コスト化のために、パワーデバイスの高性能化（低損失化、高破壊耐量化、低ノイズ化）を実現することである。

パワーデバイスの高破壊耐量化については、デバイス物理に基づいた解析設計により、破壊耐量の大きいデバイス設計やチップ間の電流アンバランスが小さいパワーモジュールの設計指針を得ることを目標とする。また、低損失化と高破壊耐量化の両立や、低損失化と低ノイズ化の両立については、新しい駆動方式とゲート駆動回路を提案し、その有効性を実証することを目標とする。

本研究の概要を図1.4に示す。下記のパワーデバイスの高信頼・低損失駆動に関する提案技術の有用性を実証することにより、電力変換器の高効率化や高信頼化の一助となることができると考える。

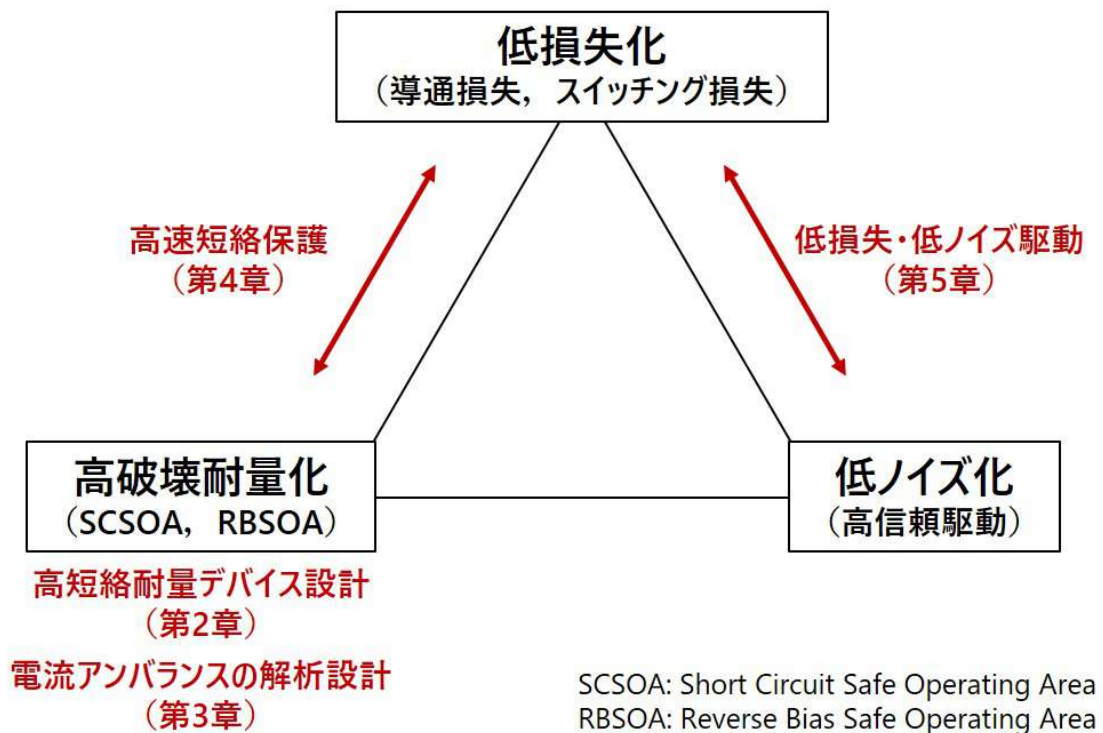


図 1.4: 本研究の概要

## 1.4 本論文の構成

本論文は6章から構成されている。各章の内容は以下の通りである。

第1章では、パワーデバイスに要求される性能指標として低損失、高破壊耐量、低ノイズのトレードオフ関係を示し、パワーデバイスの駆動技術によるアプローチとして本研究の位置づけを示した。

第2章では、破壊耐量の高いパワーデバイス設計を目的に、短絡時のSi-IGBTのチップ内部のセル間の電流集中（電流フィラメント）の現象を解析する。

第3章では、パワーモジュール内のチップ間の電流アンバランスを抑制した高信頼なパワーモジュール設計を目的に、パワーモジュールの構造パラメータとパワーデバイスとの相互作用の観点から、Si-IGBTの短絡時のチップ間の電流アンバランスを解析する。

第4章では、チップ間の電流アンバランスを許容した短絡保護方式を検討し、必要十分な誤検知マージンを確保しながら、電流アンバランス条件下でも高速に短絡を検知・保護できる駆動方式およびゲート駆動回路を提案し、Si-IGBTに比べて短絡耐量が厳しくなるSiC-MOSFETを対象にその有用性を実証する。

第5章では、低損失化と低ノイズ化を両立しパワーデバイスの性能を引き出すことを目的に、スイッチング損失を抑制しながらリング振動やサージ電圧を低減できる駆動方式およびゲート駆動回路を提案し、一般にSi-IGBTに比べてリング振動が大きいSiC-MOSFETを対象にその有用性を実証する。

第6章では、第1章から第5章までの結論をまとめて本研究を総括し、今後の検討課題について述べる。



## 第2章 短絡時のIGBTチップ内部の 電流集中現象の解析

### 2.1 緒論

本章ではまず、Si-IGBTの破壊耐量に関連するチップ内部の電流集中現象（電流フィラメント）に関する先行研究について述べる（2節）。それらを踏まえて本研究では、短絡中と短絡遮断時とで、電流フィラメントの発生メカニズムと発生場所の違いを調べ、電流フィラメントの発生を抑制するデバイス設計指針を検討する（3節、4節）。

### 2.2 先行研究と課題

IGBTモジュールは、伝導度変調による導通損失の低減や高速スイッチングによるスイッチング損失の低減により、大電流化・高周波化が可能となり、その適用領域が拡大している。大電流化に際して、IGBTモジュールは定格電流を超える（通常は、定格電流の2倍までの）電流遮断能力を有することが求められる。ターンオフ時にIGBTを遮断できる電流と電圧の領域はRBSOA（Reverse Bias Safe Operating Area）として定義され、IGBTの遮断耐量を示す指標のひとつである。また、IGBTの破壊耐量を示す指標として、負荷短絡やアーム短絡時の安全動作領域SCSOA（Short Circuit Safe Operating Area）や短絡耐量（Short Circuit Withstand Time）がある。短絡耐量は、IGBTに短絡電流が流れ始めてから破壊に至るまでの時間で定義する。パワーデバイスの適用システムに応じて適切な耐量を保証することが求められている。

このようなIGBTの高破壊耐量化の要求に関連して、近年IGBTの大電流遮断時や短絡時に発生するIGBTのチップ内部の局所的な電流集中（電流フィラメン

ト) の解析と IGBT の破壊現象との関係が議論されている。半導体デバイスが降伏 (ブレイクダウン) 電圧に達すると、電界強度が Si の臨界電界を超えた領域にてアバランシェ降伏が発生する。アバランシェにより生成した電子は IGBT のコレクタ側に移動し、コレクタからホールが注入する結果、アバランシェが促進される。この正帰還により電流フィラメントが発生することが報告されている [8]。このように電流フィラメントは、バイポーラデバイスの内部の電界分布やアバランシェ、少数キャリアの注入と深く関連した現象であり、本研究では Si-IGBT を解析対象とする。

パワーデバイスのアバランシェに対する破壊耐量は、破壊前にデバイスが吸収することのできるエネルギー量で定義することができる。UIS 試験 (Unclamped Inductive Switching Test) は、インダクタに蓄えられたエネルギーをパワーデバイスにて強制的に消費させることにより、アバランシェに対するデバイスの破壊耐量を評価する試験である。UIS 試験によってデバイスがブレイクダウンするときに消費されるエネルギー ( $E_{UIS}$ ) は式 (2.1) で定義される [9]。BV はデバイスのブレイクダウン電圧である。

$$E_{UIS} = \frac{1}{2} \times I_P \times T_{UIS} \times BV \quad (2.1)$$

文献 [9] では、UIS 試験の電流  $I_P$  を増加させるにつれて式 (2.1) の  $E_{UIS}$  で決まる破壊時間  $T_{UIS}$  よりも、かなり短い時間で IGBT が破壊に至る実験結果を報告している。本結果の説明として、全電流がチップ内の限られた領域に集中して電流フィラメントが発生し、極めて短い時間に局所的な温度上昇が起こる結果、UIS 試験の電流遮断時に IGBT がラッチアップ破壊を引き起こした可能性を示唆している。

このような電流フィラメントの存在を実験的に確認した報告がなされている。文献 [10] では、IR カメラを用いて UIS 試験時の IGBT チップ表面に局所的に温度が高い複数のホットスポットを観測している。文献 [11] では、空間分解能をあげた電流計測による方法で時間とともにチップ内部の電流分布が変化していくことを確認している。文献 [12] では、IGBT の短絡時におけるチップの表面温度を反射率の温度変化 (Thermo-reflectance microscopy) を用いて可視化し、電流フィラメントの直径が 40~140  $\mu\text{m}$  程度、電流フィラメント間の距離が 50~200  $\mu\text{m}$  程度離れ

ていることを観測している。文献 [13] では、IGBT チップから発せられる photon の動きを直接観測して、UIS 試験下の電流フィラメントが時間経過とともに移動することや電流が大きいほど移動速度が大きくなることを報告している。

しかしながら、このようなチップ表面の観測情報だけでは電流フィラメントの挙動や発生メカニズムを明らかにすることは難しく、半導体物理に基づいたデバイスシミュレーションが必要になる。これまでに半導体プロセス・デバイスシミュレータ (Technology Computer-aided Design: TCAD) を用いた解析報告が数多くなされており、電流フィラメントの挙動を解析するために、IGBT の単位セルを複数連結したマルチセル構造の TCAD モデルを用いた報告が多い。

文献 [14][15][16] では、マルチセル構造の中の特定の IGBT セルの特性 (ゲート酸化膜厚, ゲート抵抗, 裏面から注入されるホールの濃度) を意図的に変えて不均一な構造モデルで解析した結果, チップ内の電流分布が不均一になり電流フィラメントが発生することを示している。一方で, UIS 条件下での電流フィラメントを解析した文献 [17][18] では, 上記のような構造的な特異点がない均一なモデルで解析しても, 電流密度の大きい領域で電流フィラメントが不可避免的に発生することを報告しており, 電流フィラメントは必ずしもデバイス構造のばらつきに起因して発生するものではないことを示している。また, 解析モデルのサイズによっては, 電流フィラメントの挙動が実測と乖離することが知られている。文献 [19] では, マルチセル構造の並列セル数 (解析モデルのサイズ) を変えた計算を実施し, 解析モデルのサイズが概ね電流フィラメント間の距離よりも小さい場合は RBSOA を過大に評価することを指摘している。また, 電流フィラメントの解析では, 隣接するセル間の電気と熱のクロストークの影響を考慮に入れないと, 実測結果を説明するような現実的に意味のある結果を得ることができないことが知られている。高耐圧 IGBT の大電流遮断時にアバランシェによって発生する電子電流の値が, 温度一定条件 (isothermal) で計算した場合と電気・熱連成条件 (electrothermal) で計算した場合とで, 約 3 倍も異なることが示されている [20]。また, isothermal な計算条件では同じ場所に電流フィラメントがとどまったまま移動せず, 上述した電流フィラメントの観測結果とは矛盾することがわかっている [21]。これは IGBT のアバランシェ降伏 (インパクトイオン化率) が温度によって影響を受けるためであり, 電流フィラメントの現象解析では電気・熱の連成解析が必須である。

TCAD の解析速度の向上にともない、近年では奥行方向にもセルを拡張した 3 次元の IGBT マルチセル構造に電気・熱連成を適用して電流フィラメントの挙動を解析した報告がなされている [8][18][22]。これらの報告では、(1) 電流フィラメントには、アバランシェに起因して発生する電流フィラメント (ava フィラメント) と不可逆的に局所的な温度上昇を引き起こす電流フィラメント (temp フィラメント) の 2 種類があること、(2) 温度が高いほどインパクトイオン化率が低下するため ava フィラメントは低温部のセルに移動していくが、temp フィラメントはセルにとどまったまま移動しないため最終的に IGBT をラッチアップ破壊に至らしめることが示されている。

UIS 試験という限定された動作モードに限らず、IGBT のターンオフ [23][24] や負荷短絡 [25][26]、ダイオードの逆回復 (スイッチングリカバリー) [27] といった通常のインバータ動作で起こりうるパワーデバイスの動作モードでも電流フィラメントは発生することが解析によりわかっており、解析で得た知見を IGBT の破壊耐量 (RBSOA, SCSOA) を向上するためのデバイス設計に活用することができる。たとえば IGBT のターンオフの解析では、ターンオフ時の IGBT チップのターミネーション領域とアクティブ領域との境界領域に電流が集中して電流フィラメントが発生することを解明し、デバイスの裏面構造の工夫によって境界領域での電流集中と電界強度を緩和することで、RBSOA を向上した例が報告されている [24]。

IGBT の短絡時に関しては、(1) エミッタ電極の局所的な溶融 (2) コレクタ側の Si 基板の局所的な溶融 (3) エミッタ側のセルのラッチアップの破壊モードがあり、すべての破壊モードに電流フィラメントが関係していること、コレクタ側からのホールの注入効率を増加させるほど SCSOA が向上することが報告されている [22]。また文献 [25] では、IGBT の短絡遮断時における電流フィラメントの発生メカニズムを解析し、駆動技術 (アクティブクランプ技術の適用 [28] やオフ時のゲート抵抗  $R_{GOFF}$  の最適化) やデバイス設計 (IGBT の電流ゲインの制御) による SCSOA の向上が議論されている。しかしながら、短絡時および短絡遮断時において、電流フィラメントの挙動や発生メカニズムの相違については、十分な検討がされていない。また、短絡時における電流フィラメントの発生を抑制するようなデバイス設計手法の確立は IGBT の高破壊耐量化にとって重要な課題であるため、本研

究ではこれらの点について注力して解析する。

## 2.3 IGBTの短絡中の電流フィラメントの解析

短絡中に発生する電流フィラメントの挙動を調べるため、Synopsys の TCAD Sentaurus を用いてデバイスシミュレーションを行った。図 2.1 に、シミュレーションに用いた Si-IGBT (ハーフセル) の TCAD モデルと試験回路を示す。図 2.1 のハーフセル (幅=20  $\mu\text{m}$ ) を左端で鏡像反転して連結した単位セルを 8 セル分並列化したマルチセル構造で計算した (解析モデルのサイズ (幅) = 20  $\mu\text{m}$   $\times$  2  $\times$  8 セル = 320  $\mu\text{m}$ )。電流フィラメントを発生させやすくするために構造的に不均一な部分を故意に導入することはしておらず、各セルとも均一な構造とした。IGBT の定格耐圧は 3.3 kV で設計し、表面 (エミッタ側) はトレンチゲート構造で、裏面 (コレクタ側) はフィールドストップ (Field Stop) 層を有する FS-IGBT 構造 [29] とした (図 2.1 の n buffer 層)。その他の構造パラメータを表 2.1 に示す。IGBT の自己発熱を考慮するために Carrier transportation model は、Thermo-dynamic を適用した。熱境界条件は、コレクタ側の熱抵抗 = 0.3 K/W とし、エミッタ側および側面は断熱とした (短絡時ように極めて高い電气的ストレス条件下では、エミッタ側からの放熱も無視できないと考えられるため、本計算は実際よりもやや熱的に厳しい条件で実施していると考えられる)。アバランシェモデル (impact ionization model) は、デフォルトの van Overstraeten - de Man model を用いた。

表 2.1: IGBT の構造パラメータ

項目	数値
アクティブ面積	1.0 cm <sup>2</sup>
ハーフセルサイズ (幅)	20 μm
n drift 層の厚さ	370 μm
n drift 層の不純物濃度 ( $N_D$ )	$1.8 \times 10^{13}$ cm <sup>-3</sup>
n buffer 層の厚さ	2.0 μm
p emitter の厚さ	0.25 μm

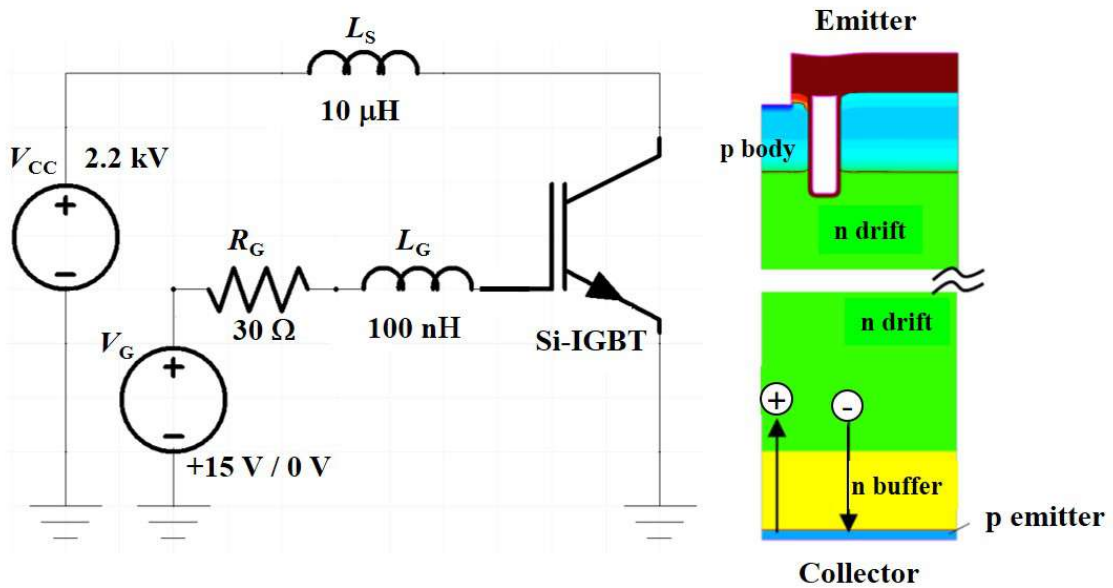


図 2.1: TCAD 解析モデルと試験回路

Si-IGBT モデルの静特性を以下に示す。図 2.2 は、IGBT の伝達特性を示す。閾値電圧  $V_{th}$  は 25 °C で  $V_{th} = 6.9$  V であり、高耐圧 Si-IGBT としては標準的な値である (定格電流密度 100 A/cm<sup>2</sup> の 1/1000 = 100 mA/cm<sup>2</sup> でのゲート-エミッタ間電圧で  $V_{th}$  を定義した)。

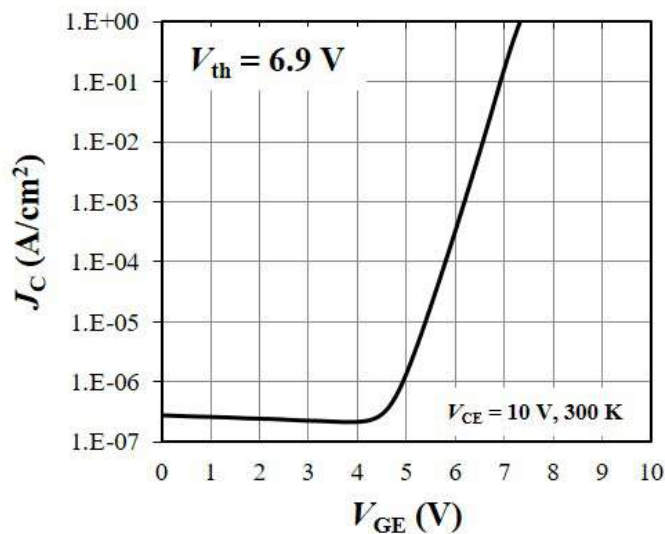


図 2.2: IGBT の伝達特性 ( $V_{th}$ )

図 2.3 は、IGBT の出力特性を示す。図 2.1 の p emitter のドーピング濃度を増大すると、IGBT 導通時に裏面の p emitter からのホールの拡散電流が増大して、コレクタ-エミッタ間飽和電圧（オン電圧:  $V_{CEsat}$ ）が減少し、IGBT の導通損失を低減することができる。定格電流密度 100 A/cm<sup>2</sup> 導通時のコレクタ-エミッタ間電圧で定義したオン電圧は、図 2.3 に示すように、p emitter のドーピング濃度が  $10^{17} \sim 10^{18}$  cm<sup>-3</sup> の範囲で  $V_{CEsat} = 2.0 \sim 3.0$  V であり、3.3 kV 耐圧のトレンチ IGBT としては標準的な値である [30]。

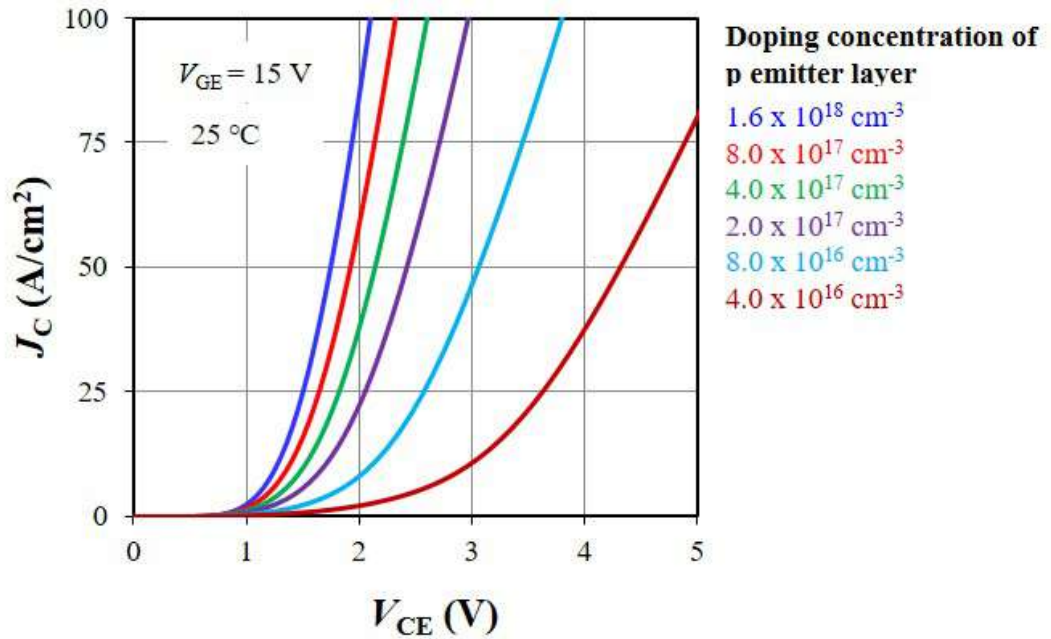
図 2.3: IGBT の出力特性 ( $V_{CEsat}$ )

図2.4は、IGBTのブレイクダウン特性（アバランシェ降伏波形）を示す。p emitterのドーピング濃度を増大するほどアバランシェ降伏電圧が低下することがわかる。FS-IGBTにおいてp emitterのドーピング濃度を増加させることは、図2.1のIGBT構造においてp body, n drift層（n buffer層）、p emitterからなるverticalなPNPトランジスタの電流ゲイン（ $\alpha_{PNP}$ ）を増加させることに対応する[31]。IGBTのブレイクダウン電圧 $BV$ （IGBTがブロッキング状態で保持可能な最大の $V_{CE}$ 電圧）は、式(2.2)で決まる。ここで $M$ はなだれ増倍係数であり、 $V_{CE}$ 電圧に依存する量である[10]。図2.4が示すように、p emitterのドーピング濃度を増加して裏面からのホールの注入効率を大きくすると、IGBTのブレイクダウン電圧 $BV$ は低下する。このことは式(2.2)や電流フィラメントを解析した文献[25][31][32]からも裏付けられており、本研究のIGBTモデルの妥当性を確認した。

$$M(V_{CE}) \times \alpha_{PNP} = 1 \quad (2.2)$$

また、図2.4に示したように、電流密度が $J_C = 1 \text{ A/cm}^2$ を超えると $I-V$ カーブが



負の抵抗値を示すようになる（セカンドブレイクダウン [33][34]）。このような負性微分抵抗（Negative Differential Resistance: NDR）が生じる動作領域では、IGBT 内部に電流密度のアンバランスが発生することが報告されている [10][25][27][32]。NDR 領域にてわずかな電流密度のアンバランスが発生すると、電流の流れが限られた領域に集中して電位が下がり、その部分に向かって軸方向の電界が発生してさらに電流集中を強化するように働き [33]、電流フィラメントを形成していく。

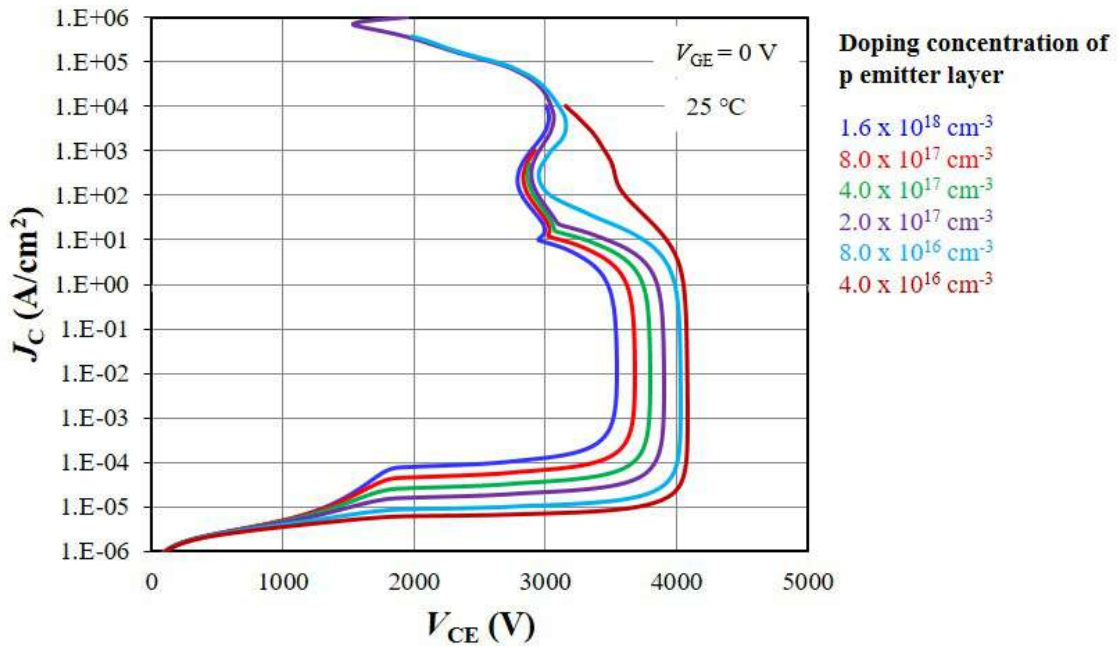


図 2.4: IGBT のブレイクダウン特性

式(2.3)は、キャリアの濃度 ( $p, n$ )、ドナーの不純物濃度  $N_D$  と IGBT 内部の電界強度  $E$  の関係（Gauss の法則）を示す。式(2.3)に従って電界強度の傾き ( $dE/dx$ ) は IGBT の裏面から注入するホールの濃度  $p$  に応じて変化する。ここで、 $x$  は IGBT のエミッタからコレクタに向かう深さ方向の距離、 $n$  は電子の濃度、 $q$  は電気素量、 $\epsilon$  は Si の誘電率である。式(2.3)では、エミッタからコレクタに向かって電界強度が増大するときに  $dE/dx \geq 0$  となるように定義した。式(2.3)より、裏面からのホールの注入効率が減少するほど、コレクタ側近傍のホール濃度  $p$  が低下するため  $dE/dx$  は増大する。したがって、裏面の電界強度（以下、 $E_{\text{collector}}$ ）はホールの注入効率に強く影響される [25][32][35]。

$$\frac{dE}{dx} = \frac{q}{\varepsilon}(n - p - N_D) \quad (2.3)$$

裏面からのホールの注入効率 ( $\gamma$ ) を, n drift 層と n buffer 層の接合部分において全電流密度に占めるホール電流密度の割合として式 (2.4) で定義した。 $j_{\text{Hole}}$  はホール電流密度,  $j_{\text{Electron}}$  は電子電流密度を示す。 $\gamma$  は p emitter におけるホールの注入効率 ( $\gamma_P$ ) と n buffer 層中の輸送効率 ( $\alpha_T$ ) との積であるため [25], p emitter または n buffer 層のドーピング濃度で調整することができる。本研究では, p emitter のドーピング濃度で  $\gamma$  を制御した。

$$\gamma \equiv \frac{j_{\text{Hole}}}{j_{\text{Hole}} + j_{\text{Electron}}} \quad (2.4)$$

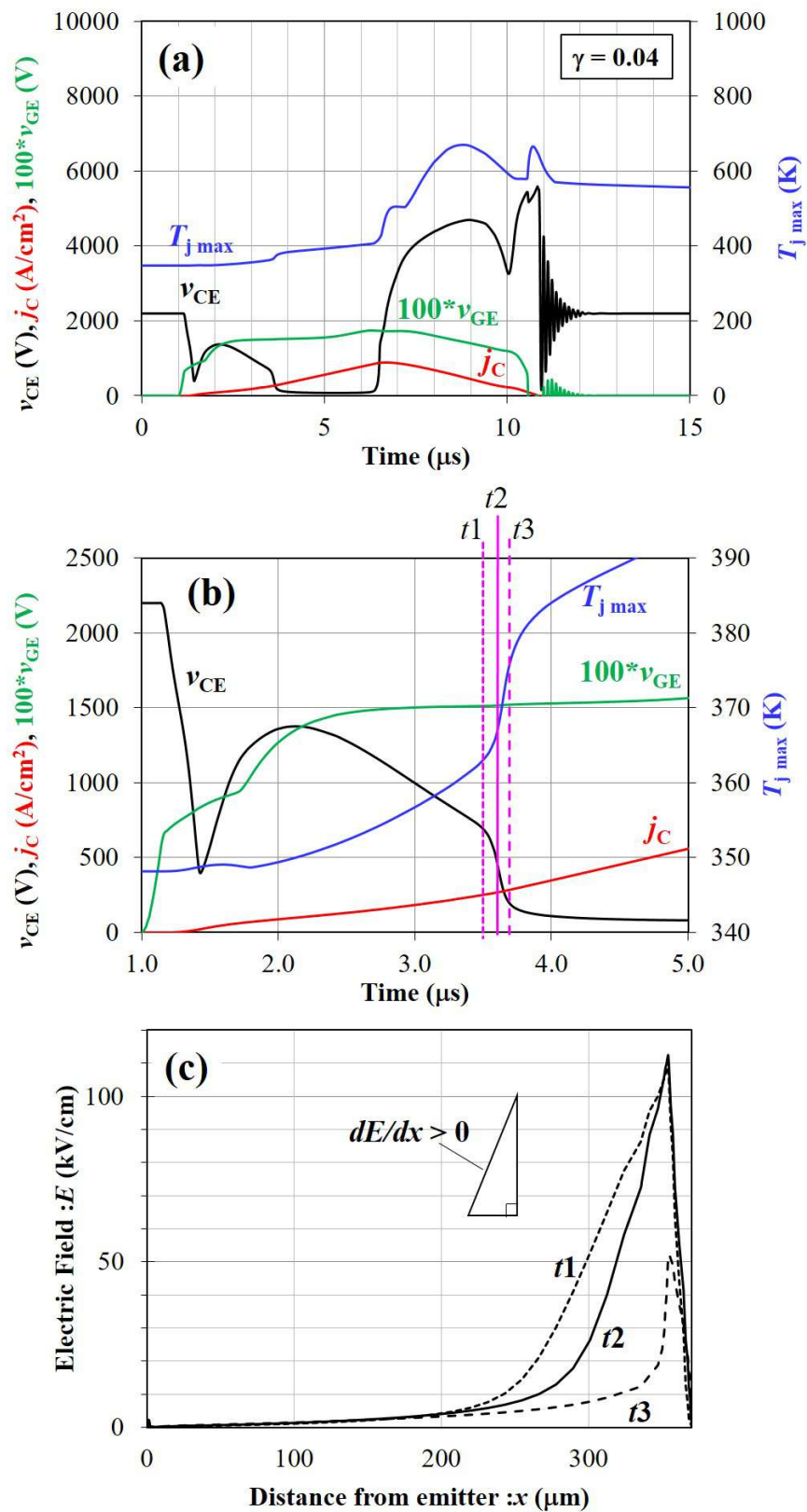


図 2.5: IGBT 短絡時のコレクタ-エミッタ間電圧 ( $V_{CE}$ ), コレクタ電流密度 ( $j_C$ ), ゲート-エミッタ間電圧 ( $V_{GE}$ ), 最大接合温度 ( $T_{jmax}$ )

図 2.5 は、IGBT 短絡時のコレクタ-エミッタ間電圧 ( $V_{CE}$ )、コレクタ電流密度 ( $j_C$ )、ゲート-エミッタ間電圧 ( $V_{GE}$ )、最大接合温度 ( $T_{jmax}$ ) を示す。ここで  $\gamma = 0.04$  と低い値に設定した。図 2.5(b) は、短絡開始直後の  $t = 1.0 \sim 5.0 \mu s$  における短絡波形を拡大して示す。 $t = 1.0 \mu s$  にて、 $V_{GE}$  に +15 V の電圧が印加され、IGBT は短絡状態に入る。 $t_1 = 3.5 \mu s$  から  $t_3 = 3.7 \mu s$  の間に着目すると、 $V_{CE}$  が突然減少し  $T_{jmax}$  が急激に上昇している。図 2.6 と図 2.7 はそれぞれ、時刻  $t_1$  から  $t_3$  までの各時刻における IGBT 内部の電流密度とインパクトイオン化率の分布を示す。図 2.6 に示すように、時刻  $t_2$  において最も左側のセルのコレクタ側に電流フィラメントが発生する。また図 2.7 に示すように、この電流フィラメントの発生に先立って、時刻  $t_1$  において同じ領域でインパクトイオン化率が増大しておりアバランシェが発生していることがわかる。よって、この電流フィラメントはアバランシェ起因で発生したと考えられる。図 2.5(c) は、時刻  $t_1$  から  $t_3$  までの各時刻において電流フィラメントが発生したセルに沿ったエミッタからコレクタまでの電界強度分布を示す。電流フィラメントが発生する直前の時刻  $t_1$  において、裏面の最大電界強度 ( $E_{collector}$ ) は約  $1.1 \times 10^5$  V/cm に達している。Si 半導体の臨界電界は、pn 片側階段接合でドーピング濃度  $N_D = 10^{13} \text{ cm}^{-3}$  の場合、約  $10^5$  V/cm 程度であるから [36]、この値はコレクタ側にアバランシェを引き起こすのに十分な電界強度である。時刻  $t_3$  において、電界強度の傾き ( $dE/dx$ ) および最大電界強度は急激に減少している。これはアバランシェで発生したホールにより裏面付近のホール濃度  $p$  が増大し、式 (2.3) が示すように  $dE/dx$  の大きさが減少するためである。

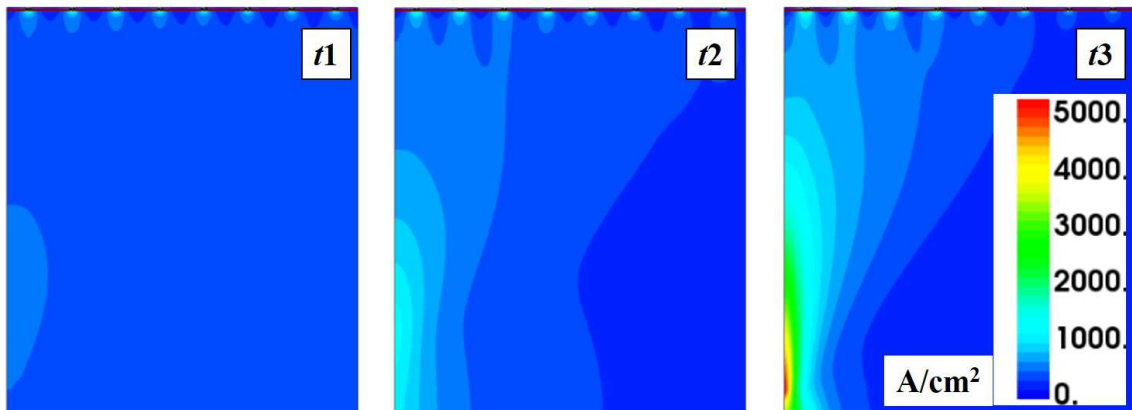


図 2.6: 時刻  $t_1$  から  $t_3$  までの各時刻における IGBT 内部の電流密度分布

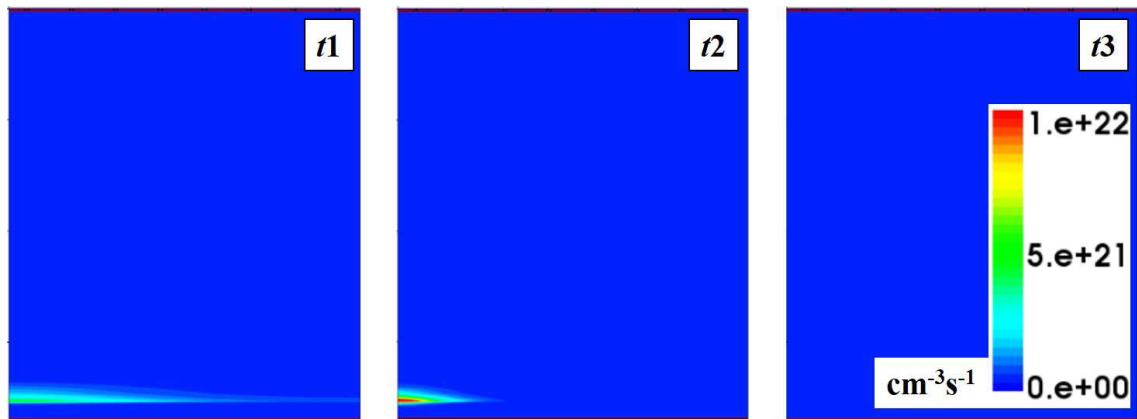


図 2.7: 時刻  $t_1$  から  $t_3$  までにおける IGBT 内部のインパクトイオン化率の分布

図 2.8 は、ホール注入効率 ( $\gamma$ ) と短絡開始時における裏面の電界強度 ( $E_{\text{collector}}$ ) との関係を示す。 $\gamma$  が 0.1 を超えると、短絡開始時には電流フィラメントは発生しなくなった。これは、ホール注入効率が十分に大きくなって裏面の電界強度が小さくなると、コレクタ側でのアバランシェの発生が抑制されるためであると考えられる。

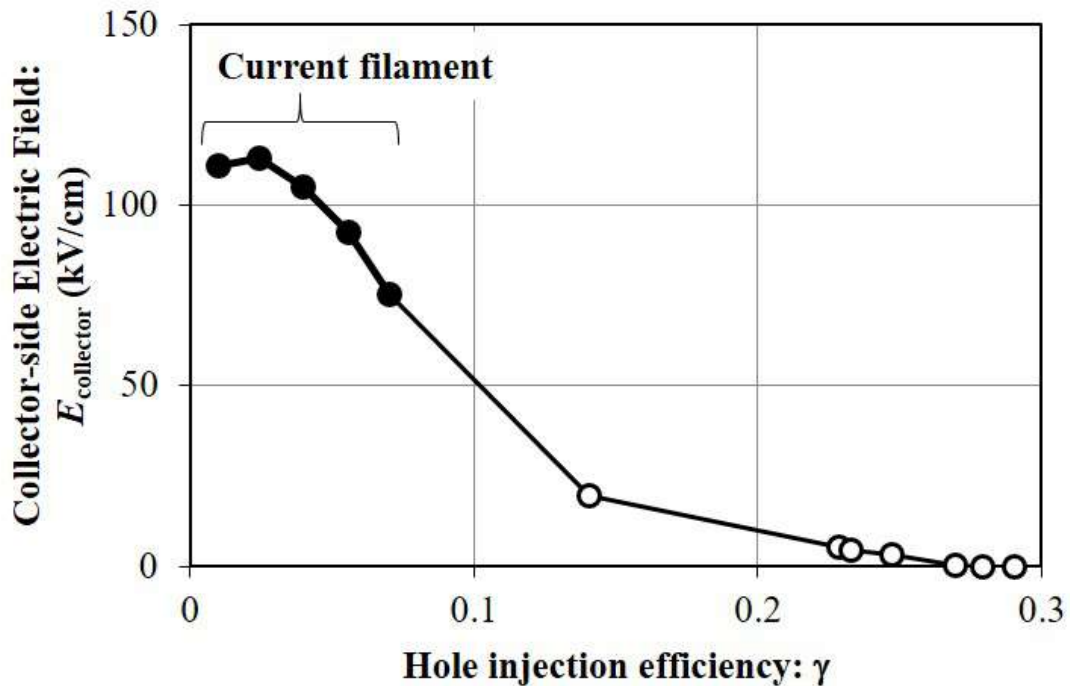


図 2.8: ホール注入効率 ( $\gamma$ ) と短絡開始時における裏面の電界強度 ( $E_{\text{collector}}$ ), 電流フィラメントの発生有無との関係

## 2.4 IGBT の短絡遮断時の電流フィラメントの解析

本節では、短絡遮断時の電流フィラメントを解析する。図 2.9 は、短絡遮断中のコレクタ-エミッタ間電圧 ( $V_{\text{CE}}$ )、コレクタ電流密度 ( $j_{\text{C}}$ )、ゲート-エミッタ間電圧 ( $V_{\text{GE}}$ )、最大接合温度 ( $T_{\text{jmax}}$ ) を示す。図 2.9(b) は、短絡遮断中に相当する時刻  $t = 10.0 \mu\text{s}$  から  $11.5 \mu\text{s}$  までの間の波形を拡大して示す。図 2.9(c) に番号 1~8 で示した箇所、すなわち IGBT の各単位セル 1~8 の裏面 (= n drift 層と n buffer 層の接合部) の電界強度 ( $E_{\text{collector}}$ ) も同時に示している。図 2.9(b) では左から 3 番目、7 番目および 8 番目のセルの  $E_{\text{collector}}$  について色付きで示した。時刻  $t = 10.0 \mu\text{s}$  において、 $V_{\text{GE}}$  が +15 V から 0 V にオフし、短絡状態にあった IGBT が遮断を開始する。ここでは  $\gamma = 0.14$  としており、図 2.8 で示したように、短絡開始時に電流フィラメントが発生しない条件 ( $\gamma \geq 0.1$ ) を満たすように p emitter

のドーピング濃度を設計している。

図 2.10 は、短絡遮断中における電流密度分布、温度分布、および IGBT 中を流れる電流の横方向成分を抽出して示している。時刻  $t = 10.8 \mu\text{s}$  における矢印は、電流の横方向成分の向きを示している。時刻  $t = 10.7 \mu\text{s}$  において、 $V_{\text{GE}}$  はほぼ閾値電圧 ( $V_{\text{th}}$ ) に等しい電圧まで低下している。この時点では、電流フィラメントは発生していない。時刻  $t = 10.8 \mu\text{s}$  から  $11.2 \mu\text{s}$  までの間、 $V_{\text{GE}}$  は  $V_{\text{th}}$  を下回っており、エミッタ側からの電子の注入が止まっている。この期間に IGBT 内部の電流の流れが不均一になっていることがわかる。また、この期間には  $V_{\text{CE}}$  波形の折れ曲がり（キンク）の発生と、局所的な電流集中の結果として  $T_{\text{jmax}}$  の急激な上昇がみられる。 $V_{\text{CE}}$  波形の折れ曲がり（キンク）は電流フィラメントの発生に伴ってみられることが報告されている [14][17][21][25][27]。

図 2.9(b) と図 2.10 の時刻  $t = 10.8 \mu\text{s}$  より、IGBT 内部の電流の流れが不均一になり電流フィラメントが発生するタイミングと、裏面の電界強度 ( $E_{\text{collector}}$ ) が不均一になるタイミングが同期しており、両者に因果関係があることが示唆された。また、ホールの注入効率 ( $\gamma$ ) を 0.1 よりも大きくしたにもかかわらず電流フィラメントが発生することから、短絡遮断中の電流フィラメントの発生メカニズムは、短絡開始時のようにホールの注入効率の不足による裏面電界の増大とは機構が異なると考えられる。



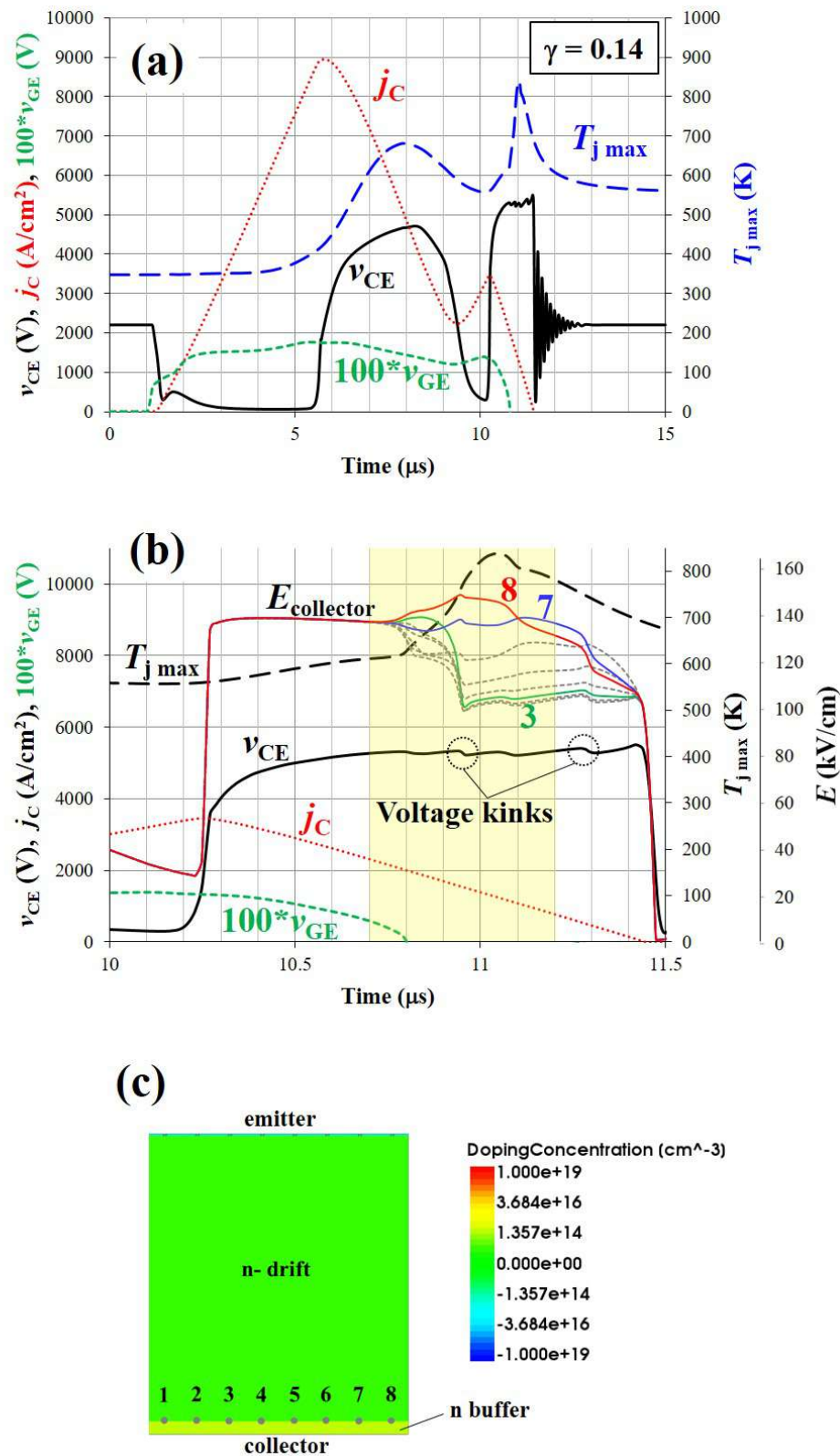


図 2.9: 短絡遮断時のコレクタ-エミッタ間電圧 ( $V_{CE}$ ), コレクタ電流密度 ( $j_C$ ), ゲート-エミッタ間電圧 ( $V_{GE}$ ), 最大接合温度 ( $T_{j\max}$ )



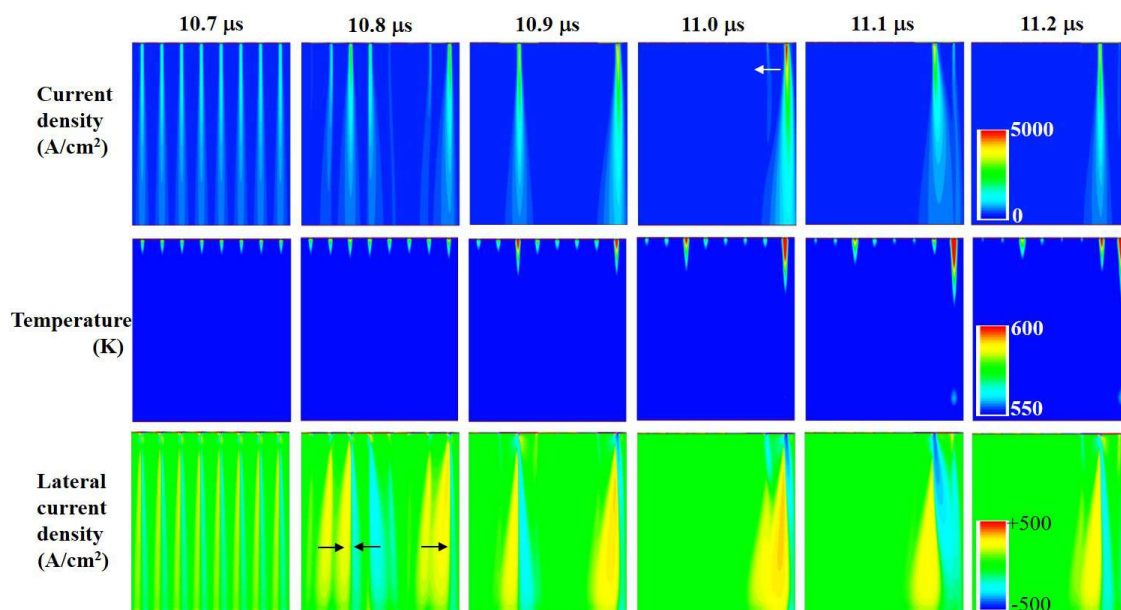


図 2.10: 短絡遮断中における電流密度分布，温度分布，および IGBT 中を流れる電流の横方向成分

短絡遮断中に  $V_{GE}$  が  $V_{th}$  を下回ると，裏面からのホールの流れを制御していた電子電流が止まるため，図 2.10 の時刻  $t = 10.8 \mu\text{s}$  に示すように，IGBT のセル間の電流分担はわずかではあるが不可避免的にアンバランスになり，複数の電流フィラメントが発生する。同時に，図 2.10 の時刻  $t = 10.8 \mu\text{s}$  の横方向電流の分布で示すように，電流フィラメントが横方向に移動している。図 2.11 は，図 2.10 の時刻  $t = 11.0 \mu\text{s}$  において，電流フィラメントが発生している 8 番目のセル（フィラメントセル）と発生していない 3 番目のセル（ノンフィラメントセル）について，エミッタからコレクタに向かう電位分布を示したものである。エミッタから離れた領域 ( $100 \mu\text{m} \leq x \leq 300 \mu\text{m}$ ) では，フィラメントセルの電位はノンフィラメントセルの電位よりも低い。一方，エミッタに近い領域 ( $0 \mu\text{m} \leq x \leq 50 \mu\text{m}$ ) では，フィラメントセルの電位の方が高くなっている。この電位差によりホールおよび電子がフィラメントセルに向かって横方向に移動し，その結果，フィラメントセルとノンフィラメントセルの電位差はさらに拡大する。この正帰還により，セル間の電流のアンバランスが起こると，電流の不均一性はより強化されて拡大していき，図 2.10 の時刻  $t = 11.0 \mu\text{s}$  の最も右側のセルのように，大部分の電流が単一

の電流フィラメントに収束して、エミッタ側に局所的に電流集中するようになる。この部分では局所的な自己発熱によって図 2.9(b) に示すように  $T_{jmax}$  が急激に上昇する。

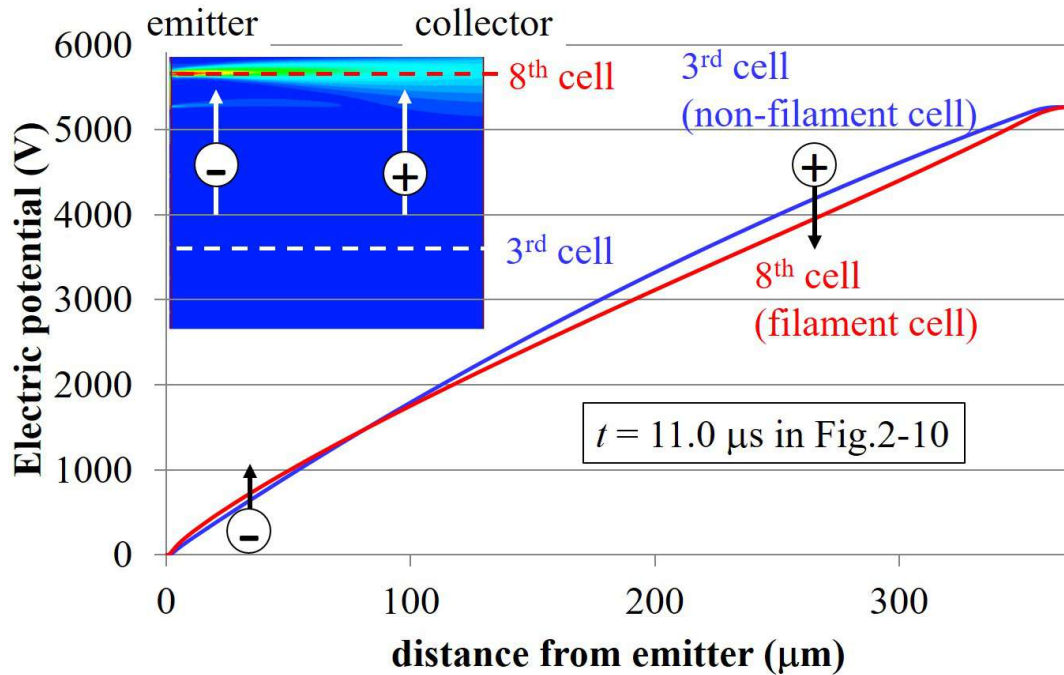


図 2.11: フィラメントセルとノンフィラメントセルの電位分布 (図 2.10 の時刻  $t = 11.0 \mu s$ )

図 2.12(a) は、図 2.10 の時刻  $t = 11.0 \mu s$  において、フィラメントセルとノンフィラメントセルについて、エミッタからコレクタに向かう電界強度分布を示したものである。図 2.12(b) は同時刻におけるインパクトイオン化率の分布を示している。フィラメントセルのエミッタ近傍での電界強度は  $350 \text{ kV/cm}$  と極めて大きく、フィラメントセルのこの領域ではアバランシェが発生している。その結果、図 2.12(c) に示すように、フィラメントセル内のキャリア濃度は、ノンフィラメントセル内のキャリア濃度よりも 2 桁以上も高くなっている。図 2.9(b) の  $E_{collector}$  と図 2.10 の電流密度分布とを比較すると、 $E_{collector}$  がセル間で不均一になる時刻と電流フィラメントが発生するタイミングが時刻  $t = 10.8 \mu s$  で一致している。特に、時刻  $t = 11.0 \mu s$  において最も電流が集中している 8 番目のセルでは、 $E_{collector}$  も最大になっ

ている。これは、図 2.12(b)(c) に示したように、エミッタ近傍（表面）のアバランシェによって発生した電子がコレクタ側（裏面）に供給される結果、裏面近傍の電子濃度  $n$  が増大し、式 (2.3) より裏面の電界強度が高まるためである。したがって、 $V_{CE}$  のキンクや  $T_{jmax}$  の急激な上昇に加え、 $E_{collector}$  の不均一化も電流フィルタメントの発生を示す指標になっている。

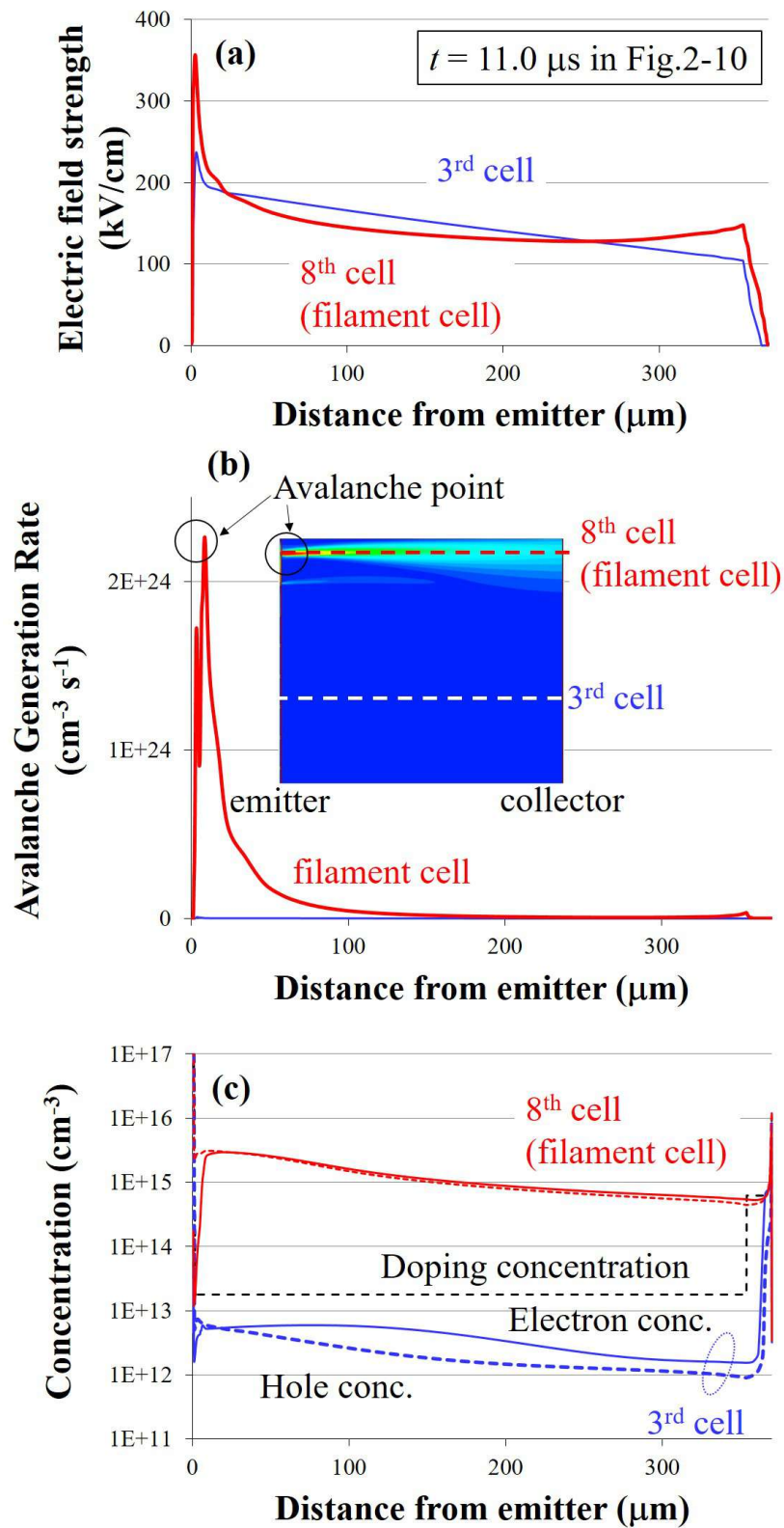


図 2.12: フィラメントセルとノンフィラメントセルの (a) 電界強度分布 (b) インパクトイオン化率 (c) キャリア濃度 (図 2.10 の時刻  $t = 11.0 \mu\text{s}$ )

図2.10の時刻  $t = 11.0 \mu\text{s}$  から  $11.2 \mu\text{s}$  まで、白色矢印で示したように、電流フィラメントは8番目のセルから7番目のセルに再び移動している。アバランシェ生成率（インパクトイオン化率）は温度が高くなると減少する [17] ため、この現象は電流フィラメントによる局所的な温度上昇により、アバランシェポイントが8番目のセルからより低温の隣のセルに移動した結果である。

## 2.5 結論

本章では、IGBTの電流フィラメント現象の先行研究を示した上で、特に(1)短絡中および(2)短絡遮断時において電流フィラメントの挙動や発生メカニズムの相違に注目してTCADで解析した結果、以下の結論を得た。

### (1) 短絡中の電流フィラメント現象

- 裏面からのホールの注入効率 ( $\gamma$ ) が小さい場合は強い裏面電界 ( $E_{\text{collector}}$ ) により、コレクタ側のアバランシェに起因した電流フィラメントが発生する。
- 短絡時における電流フィラメントの発生を抑制するデバイスの設計指針として、コレクタからのホールの注入効率 (p emitter のドーピング濃度) を増加させると裏面電界が低下し、電流フィラメントの発生を抑制する。

### (2) 短絡遮断時の電流フィラメント現象

- コレクタからのホールの注入効率 ( $\gamma$ ) には依存せず、短絡遮断中に  $V_{\text{GE}}$  が  $V_{\text{th}}$  を下回ると、裏面からのホールの流れを制御していた電子電流が止まるため、電流アンバランスが不可避的に発生する。この電流アンバランスは、フィラメントセルとノンフィラメントセルの電位差によって強化拡大される結果、電流フィラメントが発生する。
- 電流フィラメントが発生したセルのエミッタ側の電界強度は極めて大きくなりアバランシェを誘発、アバランシェによって発生した電子によって裏面の電界強度 ( $E_{\text{collector}}$ ) が増加する。その結果として  $E_{\text{collector}}$  がセル間で不均一化する。電流フィラメントによる局所的な温度上昇によりアバランシェポイントが低温部へ移動するため、電流フィラメントも Si-IGBT のチップの内部を移動していく。

## 第3章 パワーモジュール内における 電流アンバランス現象の解析

### 3.1 緒論

本章ではまず、パワーモジュール内に並列接続された半導体チップ間の電流バランスに関する先行研究について述べる（2節）。それらを踏まえて、パワーモジュールの実装レイアウトの観点から、パワーモジュールの構造に起因する寄生パラメータとチップ間の電流バランスとの関連に着目して解析する（3節）。また、Si-IGBTの短絡時において、パワーモジュールの寄生パラメータとIGBTのゲート電圧との相互作用やIGBTの自己発熱がチップ間の電流バランスに及ぼす影響を解析する（4節，5節）。

### 3.2 先行研究に対する本研究の位置づけ

電力変換に用いられるパワーモジュールでは、高出力化・大電流化の要求に応じて必要な電流定格を得るために、パワーモジュールの中で複数のパワーデバイス（チップ）が並列接続されて使用されるのが一般的である。電流定格が増大するにつれて、パワーモジュール内部の並列チップ間に生じる電氣的・熱的ストレスのアンバランスに注意深く対応する必要がある [37]。

また、チップ間の電流バランスは、デバイスの温度の影響を強く受けるため、特に大電流スイッチング条件下や短絡条件下での電流バランスを解析するには、電氣・熱の連成解析が必要になる。Si-IGBTやSiC-MOSFETは正の温度特性を持つため、導通時はチップ間の電流アンバランスが減少する方向に動作するが、パワーデバイスの特性ばらつきやパワーモジュールの寄生LC成分のばらつきによってスイッチング時など過渡時の電流アンバランスは避けがたい。チップ間の電流アン

バランスの抑制は、パワーモジュールの出力電流の向上や破壊耐量の向上につながるため、特性の揃ったデバイスの選別や電流アンバランスを抑制できるパワーモジュールの設計や実装レイアウトの最適化が重要になる。

文献 [38] では、SiC-MOSFET に関して、特性の揃ったチップを選別して実装する対策に関する提案がなされている。過渡的な電流アンバランスに影響する因子である閾値電圧 ( $V_{th}$ ) と伝達コンダクタンス ( $g_{fs}$ ) について、前者のばらつきの方が大きいことを実験的に示したうえで、 $V_{th}$  と  $g_{fs}$  がともに近いチップ同士を選別するように伝達特性カーブに基づいた新しいスクリーニング方法を提案し、従来の  $V_{th}$  のみによる方法と比較して電流アンバランスを 26 % から 3.5 % に低減できることを報告している。しかしながら、選別の工数やコストが増大しないように工夫しない限り、電力変換器のコスト低減を妨げる。

文献 [39]~[45] では、電流アンバランスを抑制できるパワーモジュールの設計や実装レイアウトの最適化に向けて、パワーデバイスおよびパワーモジュールの解析モデル (コンパクトモデル) を用いて、並列チップ間の電流や温度のアンバランスを検討した結果を報告している。パワーデバイスの自己発熱や  $V_{th}$  のばらつきの影響、パワーモジュール内の配線間の相互インダクタンスの影響を考慮した、Si-IGBT (6.5 kV 定格 [39][40][41], 4.5 kV 定格 [42], 3.3 kV 定格 [43]) や 1.2 kV 定格の SiC-MOSFET [44][45] の電気・熱連成のコンパクトモデルを提案し、スイッチング中や短絡中の並列チップ間の電流や温度のアンバランスを FEM 解析よりも短い時間で解析している。

文献 [42] では、圧接型の Si-IGBT モジュールを対象に、パワーモジュール内の寄生インダクタンスがスイッチング時のモジュール内のチップ間の電流や電力損失のアンバランスに及ぼす影響を等価回路法に基づいて解析し、パワーモジュールのレイアウト設計を最適化した結果を報告している。文献 [41] では、Si-IGBT モジュールの電気・熱連成の回路解析にて、RC モデルのような 1 次元の温度分布ではなく、チップ内の温度分布まで算出可能な 3 次元の熱モデルを提案している。文献 [43] では、上記モデルを用いた Si-IGBT のスイッチング計算により、大電流遮断時の IGBT チップの破壊原因解析への適用例を報告している。

文献 [45] では、SiC-MOSFET の出力特性と伝達特性に基づいた電気・熱連成の解析モデルを作成し、並列 2 チップ間の  $V_{th}$  の差が電流アンバランスに大きく影響する

ことを実測と計算で明らかにし、昇圧チョッパの下アームの2並列のSiC-MOSFETの $V_{th}$ に差がある場合に生じる温度差を解析している。

このようなチップ間の電流バランスは、パワーデバイスのアーム短絡のように短時間に大電流が流れ、デバイスの自己発熱が大きくなる状況で顕著になると考えられる。アーム短絡時の電流アンバランスを抑制できるパワーモジュールの設計指針が見いだせれば、電力変換器の高信頼化につながる。

そこで本研究では、パワーモジュールのチップ間の電流バランスに影響する因子について、アーム短絡時を対象にデバイスの自己発熱の影響を考慮して検討した。まず、パワーモジュールの実装レイアウトの観点から、パワーモジュールの構造に起因する寄生パラメータとチップ間の電流バランスとの関連に着目した。理想的にはチップの実装レイアウトは電流経路上の寄生パラメータが等しくなる設計が良いが、電力変換器のブスバーのレイアウト等の制約もあり、実際には難しい場合が多い。また先行研究では、パワーモジュールの寄生パラメータとパワーデバイスのゲート電圧( $V_{GE}$ )との相互作用については明確ではなかった。したがって本研究では、実際のパワーモジュールに近い実装レイアウトで、パワーモジュールの寄生パラメータがIGBTのゲート電圧( $V_{GE}$ )に及ぼす影響に着目してチップ間の電流アンバランスの発生メカニズムを検討する。

### 3.3 パワーモジュールの構造に起因するパラメータの検討

#### 3.3.1 電流出力端子と半導体チップとの配置関係

パワーモジュール内の個々のパワーデバイス(半導体チップ)を流れる電流は、各チップの電流経路での寄生インピーダンスに影響される[42]。そのため、パワーモジュールの電流出力端子の配置は、チップ間の電流バランスに影響する要因のひとつと考えられる。図3.1は、解析に用いた2種類の端子配置のレイアウトを示す。図3.1(a)は、ソース-シンク軸に対して対称にチップが配置された場合(以下、Symmetrical配置)であり、電流バランスの観点から理想的な配置である。図3.1(b)は、ソース端子およびシンク端子から個々の半導体チップまでのインピーダ



ンスがチップの位置によって異なる場合（以下、Asymmetrical 配置）であり、実際のパワーモジュールのレイアウトに近い。

チップ間の電流バランスを解析するために、図 3.1 に示した回路モデルを用いた。ここでは、チップと基板との接続部のはんだの抵抗やボンディングワイヤの抵抗は無視した。さらに、個々のチップを  $10\text{ m}\Omega$  の抵抗で単純化した。本回路モデルのソース端子とシンク端子の間に振幅  $100\text{ A}$ 、周波数  $1\text{ MHz}$  の正弦波電流を印加したときの回路解析の結果を図 3.2 に示す。図 3.2(a) に、チップを流れる電流が最大 ( $100\text{ A}$ ) となったときのソース側およびシンク側の電位を個々のチップ (#1 ~ #5) について示した。

Symmetrical 配置については、予期されるようにチップ間の電位がほぼ一様に分布している。Asymmetrical 配置については、チップ #1 のソース側の電位が最大で、チップ #5 のソース側の電位が最小になっている。これは、ソース端子またはシンク端子に近い部分の電流密度がより高く [46]、電流経路上の寄生抵抗や寄生インダクタンスを介した電圧降下が生じることに起因する。すなわち、電流出力端子に近い部分では電流変化率 ( $di/dt$ ) が大きくなり、電流経路に沿った配線の寄生インダクタンス ( $L_S$ ) による逆起電力 ( $L_S \times di/dt$ ) が発生する。Asymmetrical 配置については図 3.2(a) に示す電位分布の結果として、ソース側とシンク側の電位差、すなわち、個々のチップのコレクタ-エミッタ間に印加される  $V_{CE}$  電圧は、両端のチップ #1 およびチップ #5 では大きく、中央のチップ #3 では小さくなる。図 3.2(b) は、図 3.2(a) の電位分布のもとでの個々のチップ (#1 ~ #5) に流れる電流を示す。Asymmetrical 配置では、中央のチップ (#3) に流れる電流値は、両端のチップ (#1 または #5) に流れる電流の  $1/2 \sim 1/3$  程度になり、著しい電流アンバランスが生じている。

本計算では、半導体チップを抵抗で置き換えているため実際の電流分布を反映するものではないが、電流出力端子とチップとの配置関係により、寄生パラメータ（抵抗、インダクタンス）を介した電圧降下が生じる結果、個々のチップのコレクタ-エミッタ間に印加される  $V_{CE}$  電圧が不均一になることを確認した。

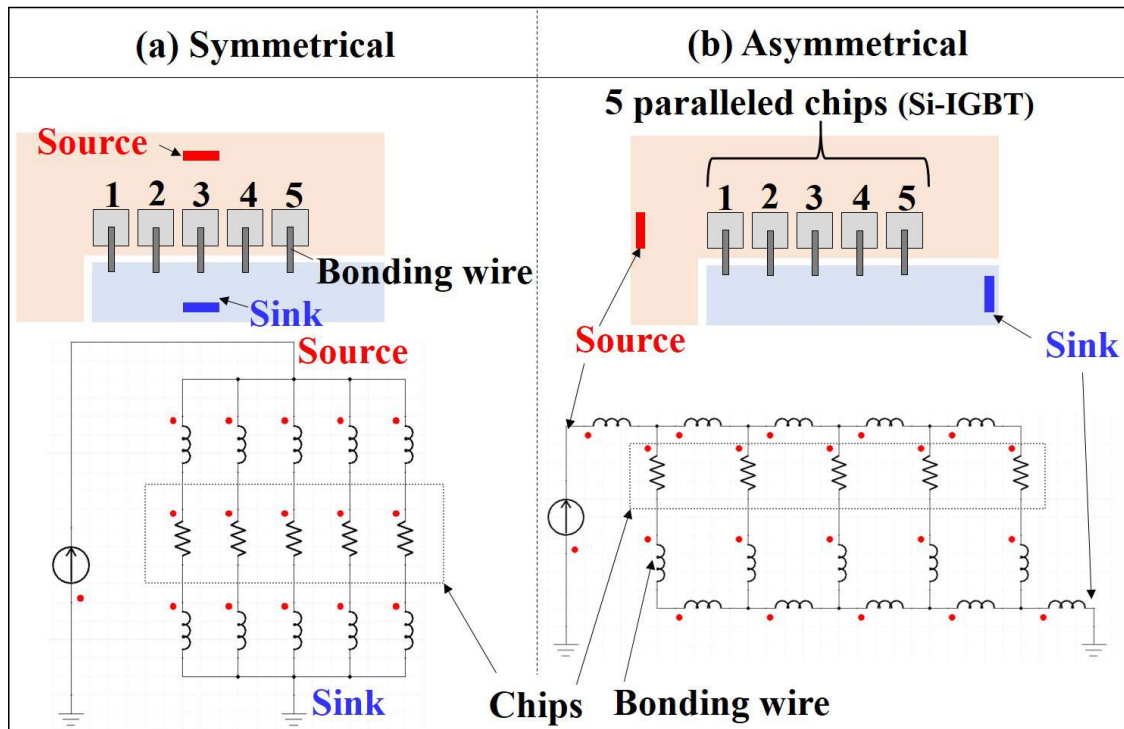


図 3.1: 電流出力端子の配置. (a)Symmetrical 配置, (b)Asymmetrical 配置.

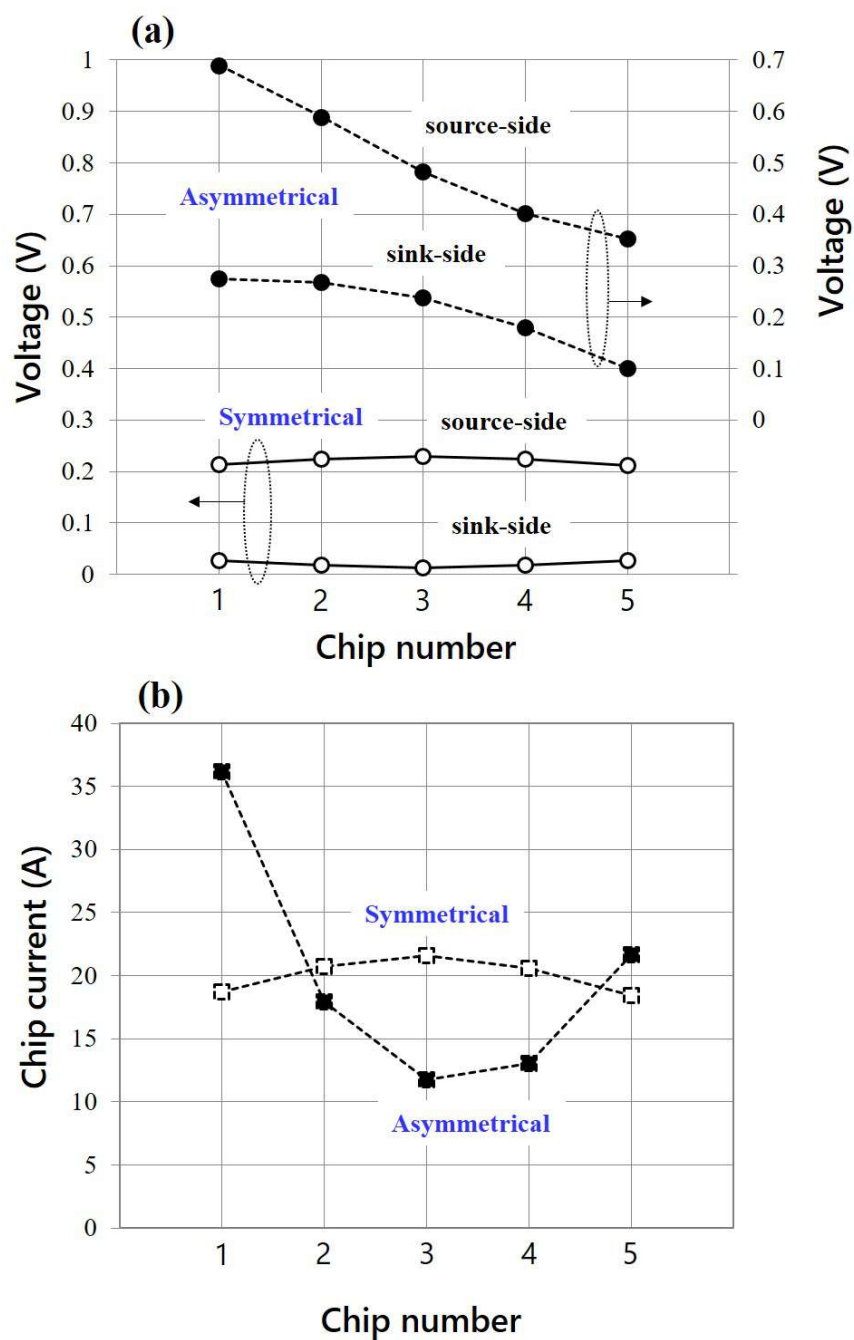


図 3.2: 電流出力端子の配置の効果. (a) パワーモジュールのソース-シンク端子間に正弦波 (100 A, 1 MHz) を印加した時の各半導体チップの電位分布. (b) 各半導体チップを流れる電流の分布.

### 3.3.2 ボンディングワイヤ間の相互インダクタンス

ここでは、チップとエミッタ電極を接続するボンディングワイヤの間の相互インダクタンス ( $M$ ) がチップ間の電流アンバランスに及ぼす影響を考察する。

相互インダクタンス  $M$  に関する Neumann の公式は式 (3.1) で表される [47]。ここで、 $ds_1$  および  $ds_2$  はそれぞれ回路  $C_1$  および  $C_2$  の線要素、 $r$  は線要素間の距離、 $\theta$  は線要素間の方向の間の角、 $\mu_0$  は真空の透磁率である。

$$\begin{aligned} M &= \frac{\mu_0}{4\pi} \oint_{C_1} \oint_{C_2} \frac{ds_1 \cdot ds_2}{r} \\ &= \frac{\mu_0}{4\pi} \oint_{C_1} \oint_{C_2} \frac{\cos \theta ds_1 ds_2}{r} \end{aligned} \quad (3.1)$$

ボンディングワイヤを長さ  $l$  の線状導体とみなし、互いに平行な2つの線状導体間の距離を  $d$  とすると、隣接する2つの線状導体間の相互インダクタンス  $M$  は、式 (3.1) で  $ds_1 = dx_1$ ,  $ds_2 = dx_2$ ,  $\theta = 0$  (平行),  $r = \sqrt{d^2 + (x_2 - x_1)^2}$  とおいて、式 (3.2) で表される。特に  $d \ll l$  のときは式 (3.3) となる。

$$\begin{aligned} M &= \frac{\mu_0}{4\pi} \int_0^l \int_0^l \frac{dx_1 dx_2}{\sqrt{d^2 + (x_2 - x_1)^2}} \\ &= \frac{\mu_0}{2\pi} \left\{ l \log \frac{\sqrt{d^2 + l^2} + l}{d} - \sqrt{d^2 + l^2} + d \right\} \end{aligned} \quad (3.2)$$

$$\begin{aligned} M &= \frac{\mu_0 l}{2\pi} \left\{ \log \frac{l(1 + \sqrt{1 + (d/l)^2})}{d} - \sqrt{1 + \left(\frac{d}{l}\right)^2} + \frac{d}{l} \right\} \\ &\simeq \frac{\mu_0 l}{2\pi} \left( \log \frac{2l}{d} - 1 \right) \end{aligned} \quad (3.3)$$

式 (3.2) 式 (3.3) について  $l = 1$  cm として、線状導体間の距離  $d$  に対する相互インダクタンス  $M$  の関係を図 3.3 に示す。ボンディングワイヤ間の距離  $d$  が短いほど、相互インダクタンス  $M$  が増大しており、結合係数  $k = M/L$  は大きくなると示唆される。ここで  $L$  は、ボンディングワイヤの自己インダクタンスである。

そこで、図3.4に示す解析モデルを用いて、ボンディングワイヤ間の距離  $d$  と結合係数  $k$  の関係を解析した結果を図3.5に示す ( $l = 8.5 \text{ mm}$ )。ボンディングワイヤ間の距離  $d$  が短いほど、結合係数  $k$  が大きくなることを確認した。

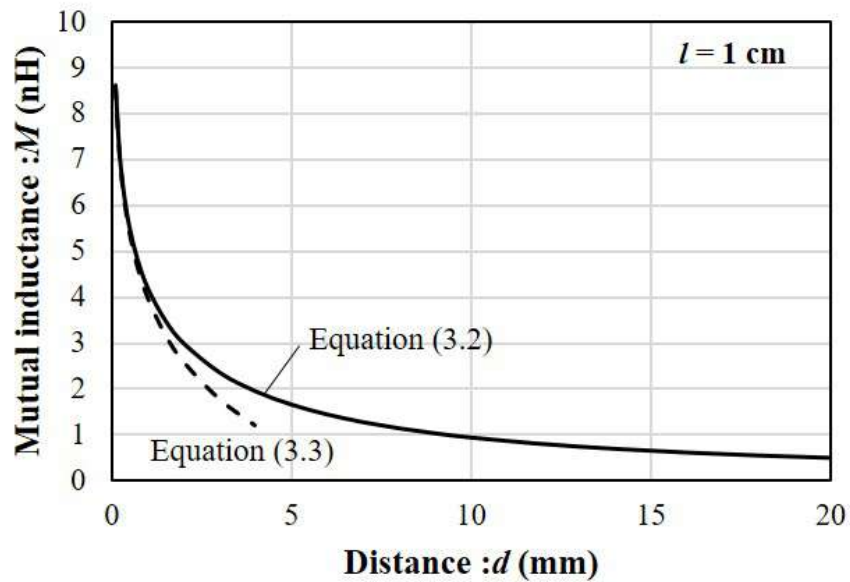


図 3.3: 線状導体間の距離  $d$  に対する相互インダクタンス  $M$  の関係

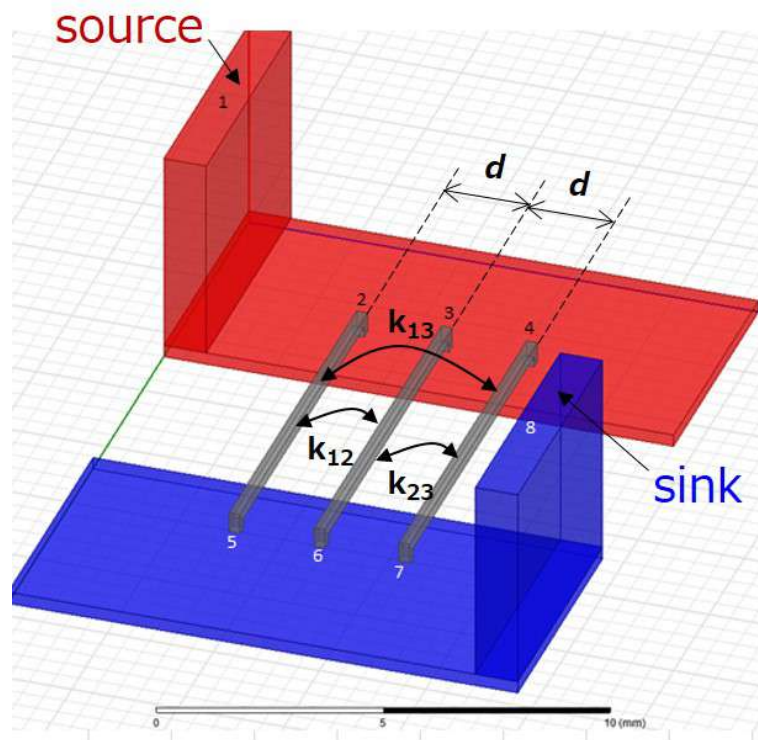
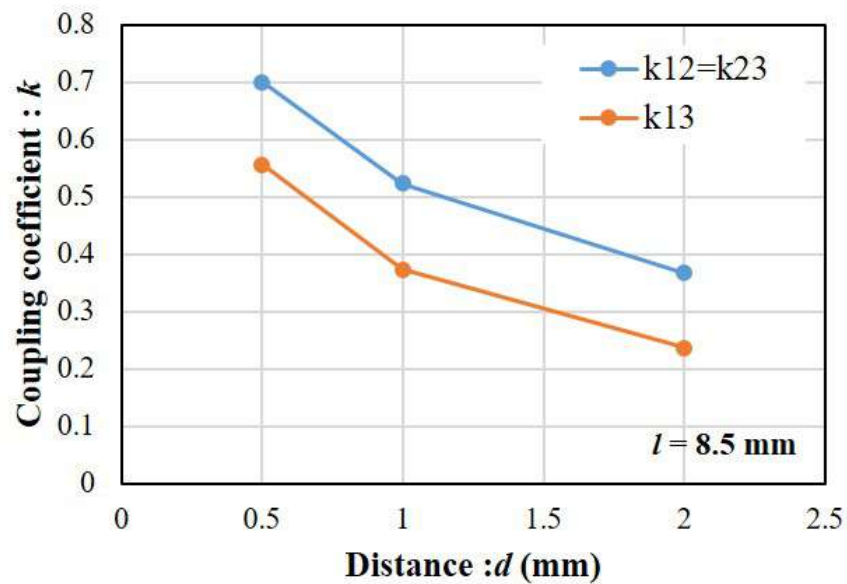
図 3.4: ボンディングワイヤ間の結合係数  $k$  の解析モデル図 3.5: ボンディングワイヤ間の距離  $d$  と結合係数  $k$  の関係

図3.6(a)は、図3.4に示した解析モデルの等価回路を示す。図3.6(b)は、図3.6(a)のソース-シンク端子間に振幅100 A、周波数1 MHzの正弦波電流を印加したときの電流アンバランス率  $K$  の計算結果を示す。ボンディングワイヤの本数を3本とし、ボンディングワイヤ間の距離  $d = 0.5 \text{ mm}$ ,  $1.0 \text{ mm}$ ,  $2.0 \text{ mm}$  に対する電流アンバランス率  $K$  を計算した。電流アンバランス率  $K$  は、ソース-シンク端子間にピーク電流 (100 A) が流れた時刻において、各ボンディングワイヤ (図3.6(a)のWB-L1, WB-L2, WB-L3) を流れる電流の最大値  $I_{\max}$  と最小値  $I_{\min}$ 、および各ボンディングワイヤを流れる電流の平均値  $I_{\mu}$  を用いて、式(3.4)で定義した。

$$K = \frac{I_{\max} - I_{\min}}{I_{\mu}} \quad (3.4)$$

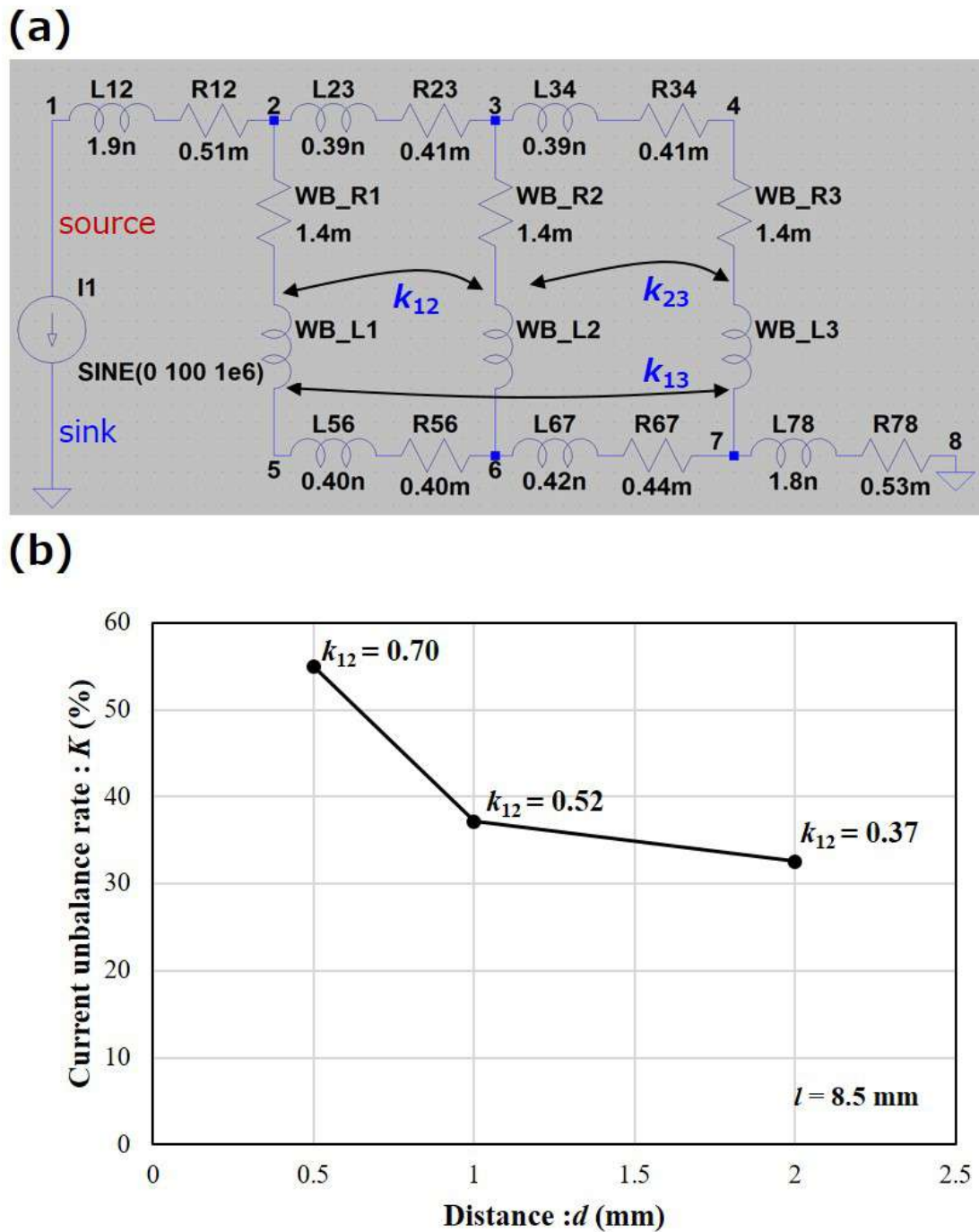


図 3.6: (a) 図 3.4 の解析モデルの等価回路 (パラメータは Ansys Q3D extractor を用いて抽出した) . (b) ボンディングワイヤ間の距離  $d$  と電流アンバランス率  $K$  の関係.



ボンディングワイヤ間の距離  $d$  が配線長  $l$  に対して短いほど、結合係数  $k$  が大きくなり、磁気結合の影響を強く受ける結果、電流アンバランス率  $K$  が大きくなることわかる。実際のパワーモジュールでは、ボンディングワイヤ間の距離  $d$  は、基板に並列接続するチップ同士の間の距離（数 mm～1 cm）よりも通常は大きくなるため、図 3.5 に示す解析結果ほどには結合係数は大きくなると考えられる。

本解析もチップの電気特性や熱特性をモデル化していないため実際の電流アンバランスを反映するものではないが、ボンディングワイヤの長さ  $l$  に対してワイヤ間の距離  $d$  が短い場合 ( $d/l < 0.1$ ) は、磁気結合の影響を強く受ける結果、電流アンバランス率  $K$  が大きくなることを確認した。

### 3.4 パワーモジュールの解析モデル

図 3.7 は、パワーモジュールの解析モデルを示す。5つのチップが並列接続されたパワーモジュールを解析対象とし、Ansys Design Modeler を用いてモデル化した。図 3.7 ではハイサイド側のみハイライトさせている。チップには 650V/300A 定格の Si-IGBT (Infineon, FF300R07ME4 B11) を想定した。図 3.7 のパワーモジュール内の寄生インダクタンスおよび寄生抵抗は、Ansys Q3D extractor を用いて抽出した。抽出した寄生成分から Ansys Twin builder を用いて図 3.8 に示す等価回路モデルを作成し、回路解析を実施した。本等価回路は、コレクタ端子から主エミッタ端子までにいたる主回路、ゲート駆動回路、および熱回路から構成される。ゲート駆動回路のエミッタ端子については、主エミッタ端子と共通化せず、Kelvin 端子（図 3.7 の補助エミッタ端子）を設けて別端子とした。ゲート駆動回路のエミッタ端子に Kelvin 端子を用いた場合は、主エミッタ端子と共通化した場合よりもスイッチング速度が速くなる結果、チップ間の電流アンバランスが大きくなる報告もあり [37][42]、本研究の解析モデルでも Kelvin 端子をゲート駆動回路に接続している。

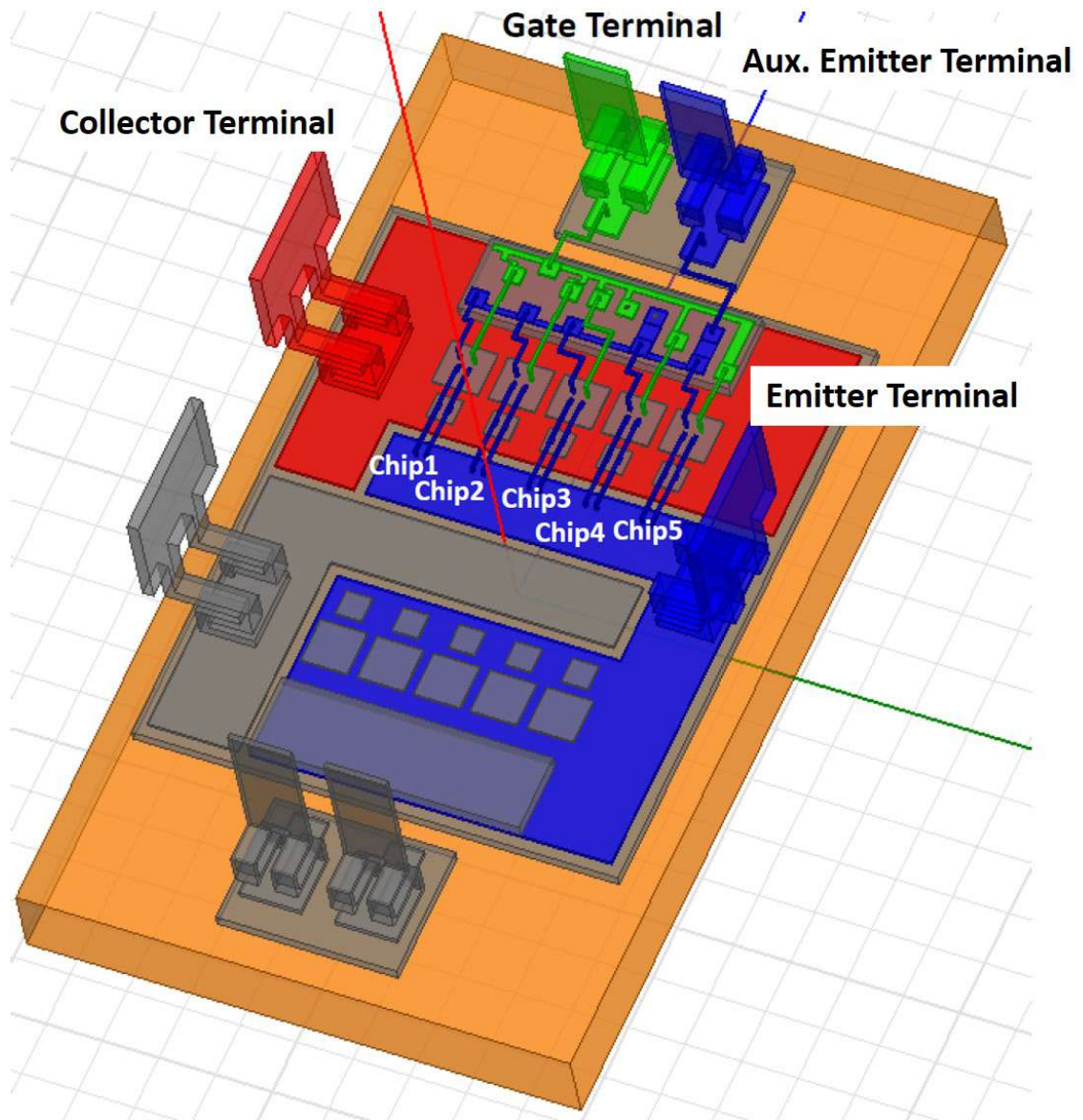


図 3.7: パワーモジュールの解析モデル.

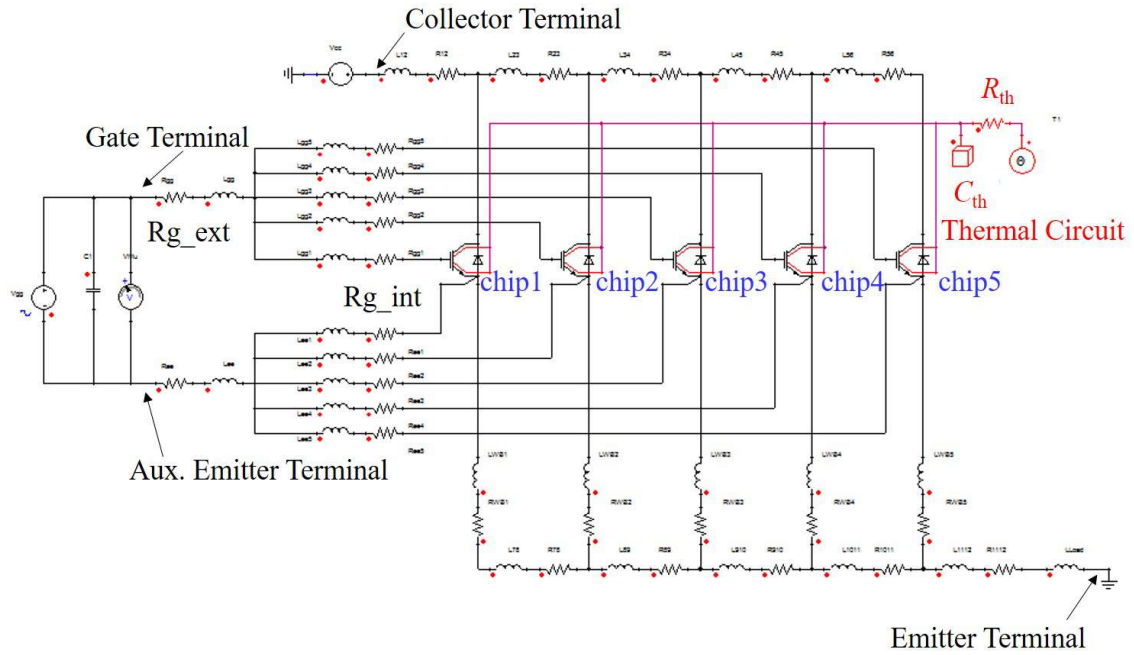


図 3.8: パワーモジュールの電気・熱連成 等価回路モデル

回路計算に用いるデバイスモデルには、過渡熱計算が可能な”Basic Dynamic Model”を用いた。Si-IGBT のデータシートに記載の電気特性および熱特性（出力特性、伝達特性、寄生容量 ( $C-V$ ) 特性、スイッチング損失の電流依存性、過渡熱抵抗）を用いて、モデル化した。熱特性については、junction-to-case の熱抵抗 ( $R_{j-c}$ ) をデバイスモデルに組み込んだ。なお、パワーモジュールの基板上でのチップの実装位置の違いによる各チップの熱抵抗の差異は考慮せず、すべてのチップについて同じ  $R_{j-c}$  を適用している。case-to-ambient の熱抵抗 ( $R_{th}$ ) および熱容量 ( $C_{th}$ ) も図 3.8 の等価回路モデルに組み込んでいる。図 3.9 および図 3.10 に示すように、作成したデバイスモデルが静特性および動特性の実測値をおおよそ模擬できることから、本デバイスモデルの妥当性を確認した。

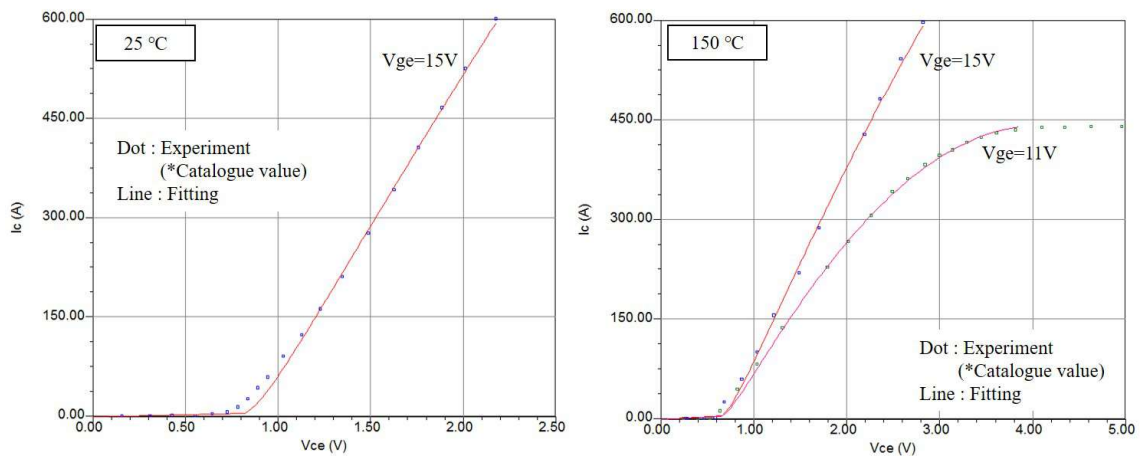


図 3.9: Si-IGBT の  $I_C$ - $V_{CE}$  特性 (a)25 °C. (b)150 °C.

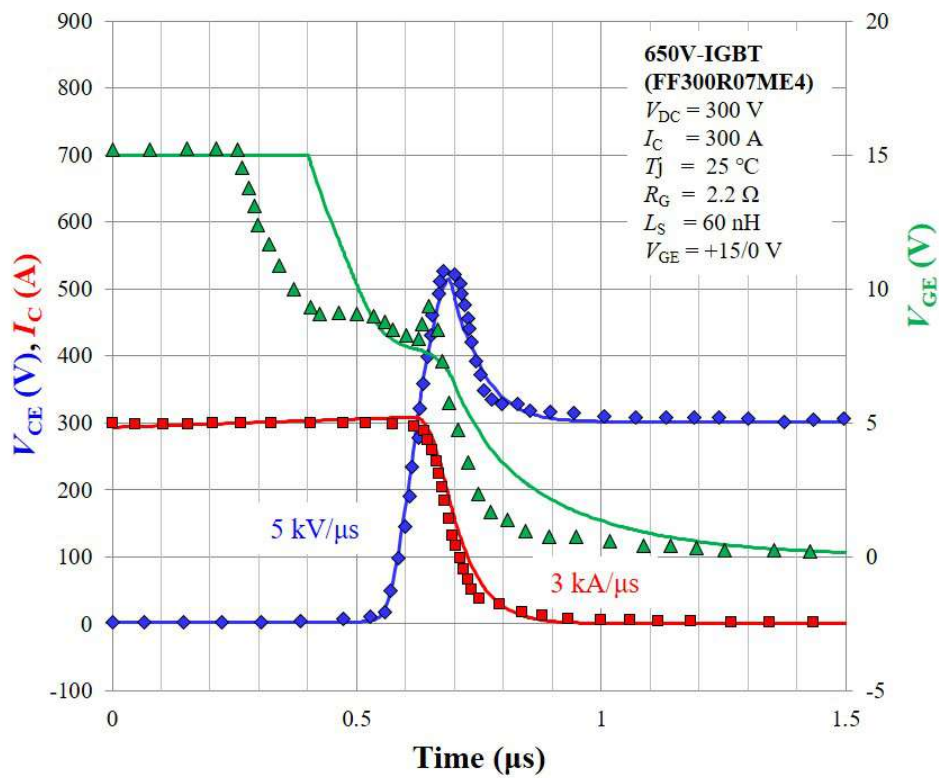


図 3.10: Si-IGBT のターンオフ波形 (実測: 点線, 計算: 実線)

## 3.5 短絡時のチップ間の電流アンバランス解析

3節では、半導体チップを抵抗に置き換えて、パワーモジュールの寄生パラメータに起因した電流アンバランスの効果を解析した。本節ではアーム短絡条件下の Asymmetrical 配置のパワーモジュールを対象に、パワーモジュールの寄生パラメータとパワーデバイスのゲート電圧との相互作用や、パワーデバイスの自己発熱がチップ間の電流バランスに及ぼす影響を解析する。半導体チップには4節で説明したデバイスモデルを適用するため、個々のチップを流れる電流は、ソース側とシンク側の電位差 ( $V_{CE}$ ) だけではなく、ゲート電圧 ( $V_{GE}$ ) やデバイス温度の影響を強く受けるようになるため、より実動作に近い解析となる。

### 3.5.1 アーム短絡の発生状況

チップ間の電流バランスは、アーム短絡のように短時間に大電流が流れ、パワーデバイスの自己発熱が大きい状況で顕著になると考えられる。そこで以下では、アーム短絡時の電流アンバランスを解析する。

ブリッジインバータのアーム短絡には、その発生状況に応じていくつかの短絡モードがあることが知られている [48][49][50][51]。図 3.11 は、アーム短絡 (Short Circuit: SC) の発生状況を模式的に示している。

図 3.11(a) に示す Type1 短絡は、反対側のアームが既に短絡している状況で DUT がオフからオンに移行するタイミングで発生する短絡モードである。上アームのパワーデバイスの×印は、DUT のターンオン前に既に短絡故障していることを示している。

Type2 短絡と Type3 短絡は、短絡発生時に DUT がオン状態で電流が流れている状況で発生する短絡モードである。図 3.11(b) に示す Type2 短絡の発生時には、DUT に順方向電流が流れている。図 3.11(c) に示す Type3 短絡の発生時には、DUT のボディダイオードまたは逆並列に接続された還流ダイオードに電流が流れている。Type2 短絡や Type3 短絡は、DUT の反対側アーム (図 3.11 では上アーム) のデバイスが破壊することによって発生する。この場合、短絡電流が負荷インダクタンスを経由しないので経路上のインダクタンス成分は主回路 (パワーループ) の寄生インダクタンス ( $L_S$ ) 程度と小さい。また、短絡発生時に DUT は既にオン状

態でありデバイス内部はキャリアで満たされて十分インピーダンスが小さい状態であるため、Type2短絡やType3短絡の発生時における電流増加率 ( $di/dt$ ) は式(3.5)で決まる [50]。ここで、 $V_{DC}$  はDCリンク電圧である。

$$\frac{di}{dt} \simeq \frac{V_{DC}}{L_S} \quad (3.5)$$

さらに、Type2短絡やType3短絡の発生時にはドレイン電圧の上昇とともに、帰還容量を介してDUTのゲート-ソース間電圧 ( $V_{GS}$ ) が上昇することにより [50][51][52][53],  $di/dt$  および短絡ピーク電流を増加させるため、短絡開始時に半導体チップに印加される電氣的ストレスは一般にType1短絡よりも大きい。

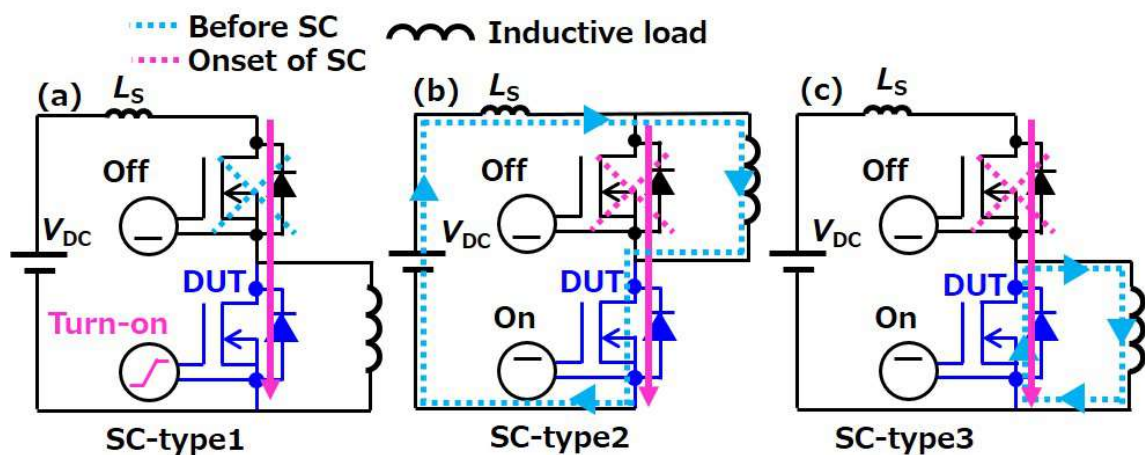


図 3.11: アーム短絡の発生状況 (a)Type1 短絡, (b)Type2 短絡, (c)Type3 短絡。

### 3.5.2 等温条件での解析

まずデバイスの自己発熱を考慮しない等温条件にて、並列接続された5つの半導体チップ (#1~#5) に流れる個々の電流を解析した。寄生の抵抗成分とインダクタンス成分は、Q3D extractor を用いて抽出した値を用い、図 3.8 に示す等価回路で計算した。外気温は  $T_a = 25^\circ\text{C}$  とした。

図 3.12 は、等温条件 (isothermal) における Type1 短絡時の解析結果を示す。個々のチップに流れる電流とチップ #1 のコレクタ-エミッタ間電圧 ( $V_{CE}$ ) を示す。

チップ間の電流アンバランスが発生しており、チップ#5を流れる電流が最大でチップ#1に向かって減少している。 $t = 20 \mu\text{s}$ におけるチップ#5を流れる電流値はチップ#1よりも10%ほど大きい。特に短絡開始時 ( $t = 11 \mu\text{s}$  付近) の過渡状態において、電流アンバランスが最大になっている。この結果は、図3.2(b)のAsymmetrical配置の電流バランスの解析結果とは明らかに異なっている。この乖離は、IGBTに流れる電流は $V_{\text{CE}}$ よりも、ゲート-エミッタ間電圧 ( $V_{\text{GE}}$ ) に強く影響を受けるためである。

図3.13は、短絡時の個々のチップの $V_{\text{GE}}$ の計算値を示す。 $V_{\text{GE}}$ 電圧がチップ#1からチップ#5にかけて上昇している。この理由は、図3.8に示すように各チップから主エミッタ端子までのエミッタ側の配線長がチップ#1で最大、チップ#5で最小になるので、 $L \times di/dt$ によるエミッタ側の電位の上昇量が、図3.2(a)で示したようにチップ#1からチップ#5にかけて小さくなるためである(図3.2(a)ではシンク側の電位に相当する)。

本解析より、IGBTに流れる電流はゲート-エミッタ間電圧 ( $V_{\text{GE}}$ ) に強く影響を受けるため、コレクタ側の寄生インダクタンスよりもエミッタ側の寄生インダクタンス ( $L_e$ ) のばらつきの方が電流アンバランスにより大きく寄与すると考えられる。エミッタ側の寄生インダクタンス ( $L_e$ ) のばらつきが、短絡時において半導体チップ間の電流アンバランスに及ぼす影響については、第4章で詳しく解析、実証する。



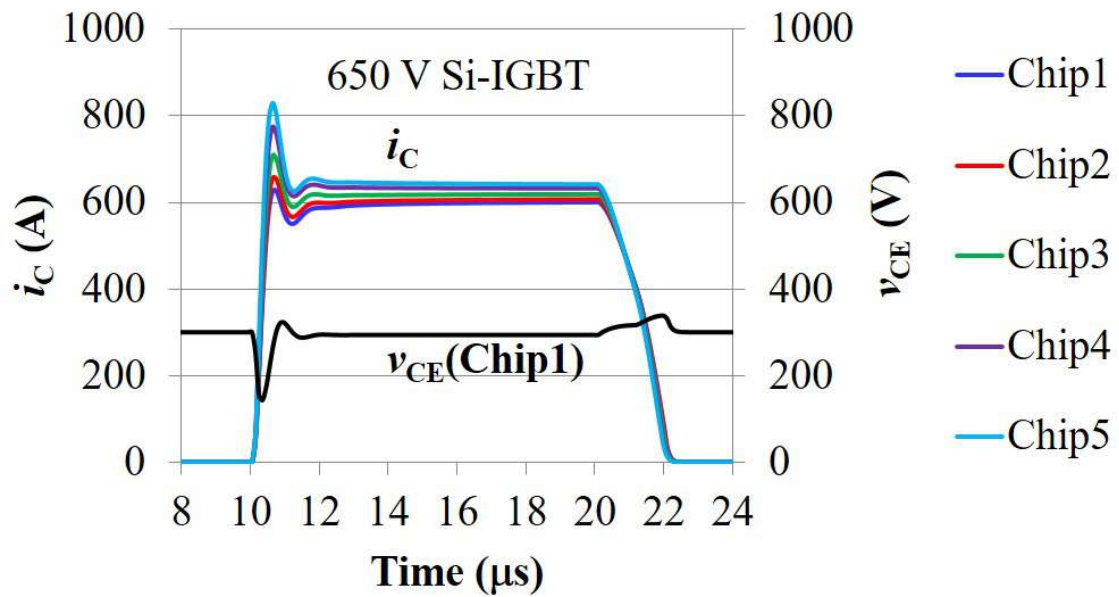


図 3.12: 等温条件 (isothermal) における Type1 短絡時の個々のチップに流れる電流の解析結果. ( $V_{DC} = 300$  V,  $V_{GE} = 15$  V,  $T_j = 298$  K,  $R_{GON} = 0.5$   $\Omega$ ,  $R_{GOFF} = 100$   $\Omega$ ,  $L_S = 27$  nH)

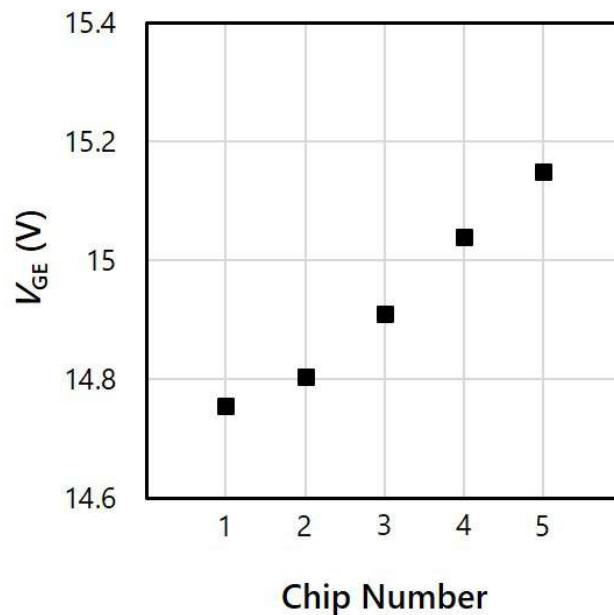


図 3.13: Si-IGBT の Type1 短絡中 (図 3.12 の  $t = 20$   $\mu\text{s}$ ) の  $V_{GE}$  の解析結果.



### 3.5.3 電気・熱連成条件での解析

図3.14は、Type1短絡時の個々のチップを流れる電流について、(a)等温条件と(b)電気・熱連成条件とで比較した解析波形を示す。等温条件とは異なり、電気・熱連成条件における短絡電流は時間とともに減少している。これは、短絡によるIGBTの自己発熱でデバイス温度が上昇し、温度とともにキャリアの移動度が減少したことに起因する[54]。IGBTは正の温度係数を示すため、短絡時の自己発熱がチップ同士の電流アンバランスを抑制する方向に作用することが示唆される。

図3.15は、図3.14においてチップ#1を流れる電流で規格化した個々のチップを流れる電流を示す。等温条件での個々のチップ(#1~#5)の間の電流アンバランスは最大7%であるのに対し、電気・熱連成条件では4%に低減した。チップ#5では、流れる電流が最大で電力損失が最も大きいため温度が高く、自己発熱による電流抑制効果が最も大きいことが確認できる。

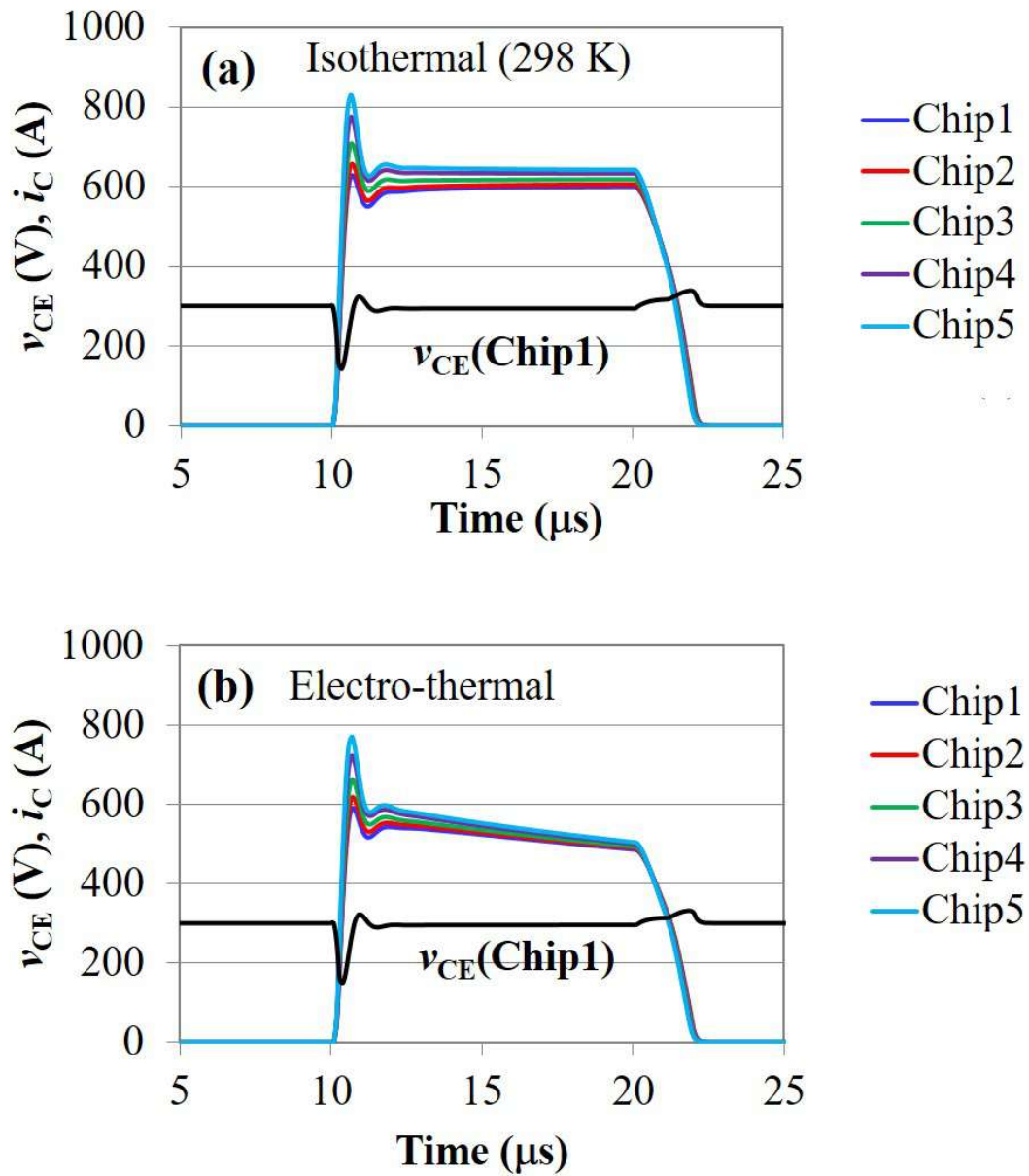


図 3.14: Type1 短絡時の個々のチップに流れる電流の解析結果 (a) 等温条件. (b) 電気・熱連成条件. ( $V_{DC} = 300$  V,  $V_{GE} = 15$  V,  $R_{GON} = 0.5$   $\Omega$ ,  $R_{GOFF} = 100$   $\Omega$ ,  $L_S = 27$  nH)

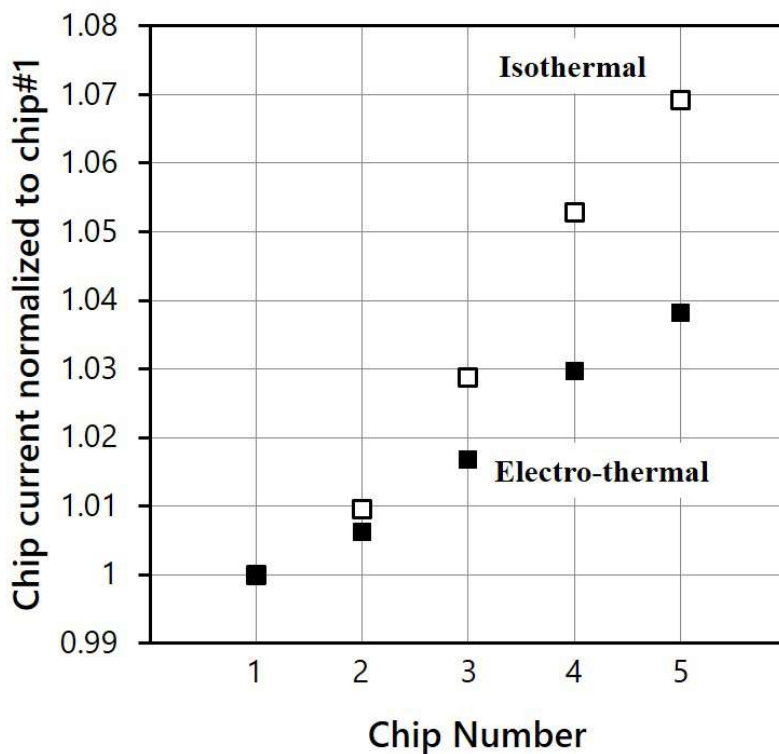


図 3.15: Si-IGBT の Type1 短絡中 (図 3.14 の  $t = 20 \mu\text{s}$ ) の個々のチップを流れる電流の解析結果.

これまで解析してきた短絡モードである Type1 短絡と、IGBT のオン中の短絡モードである Type2 短絡について、Si-IGBT モジュール内の個々のチップに流れる電流を電気・熱連成条件で解析した結果を図 3.16 に示す。Type1 短絡では、短絡発生時には DC リンク電圧が IGBT に印加しており、電流増加率 ( $di/dt$ ) はゲート駆動回路のパラメータ (ゲート抵抗  $R_{GON}$ ) や IGBT の寄生容量で決まる。一方、Type2 短絡では、短絡発生時にはすでに IGBT がオン状態であり、 $di/dt$  は DC リンク電圧 ( $V_{DC}$ ) と主回路の寄生インダクタンス ( $L_S$ ) で決まる ( $di/dt \simeq V_{DC}/L_S$ )。このため一般に Type2 短絡は Type1 短絡よりも  $di/dt$  が大きく [50]、短絡開始時にチップに印加される電氣的ストレスが大きい。

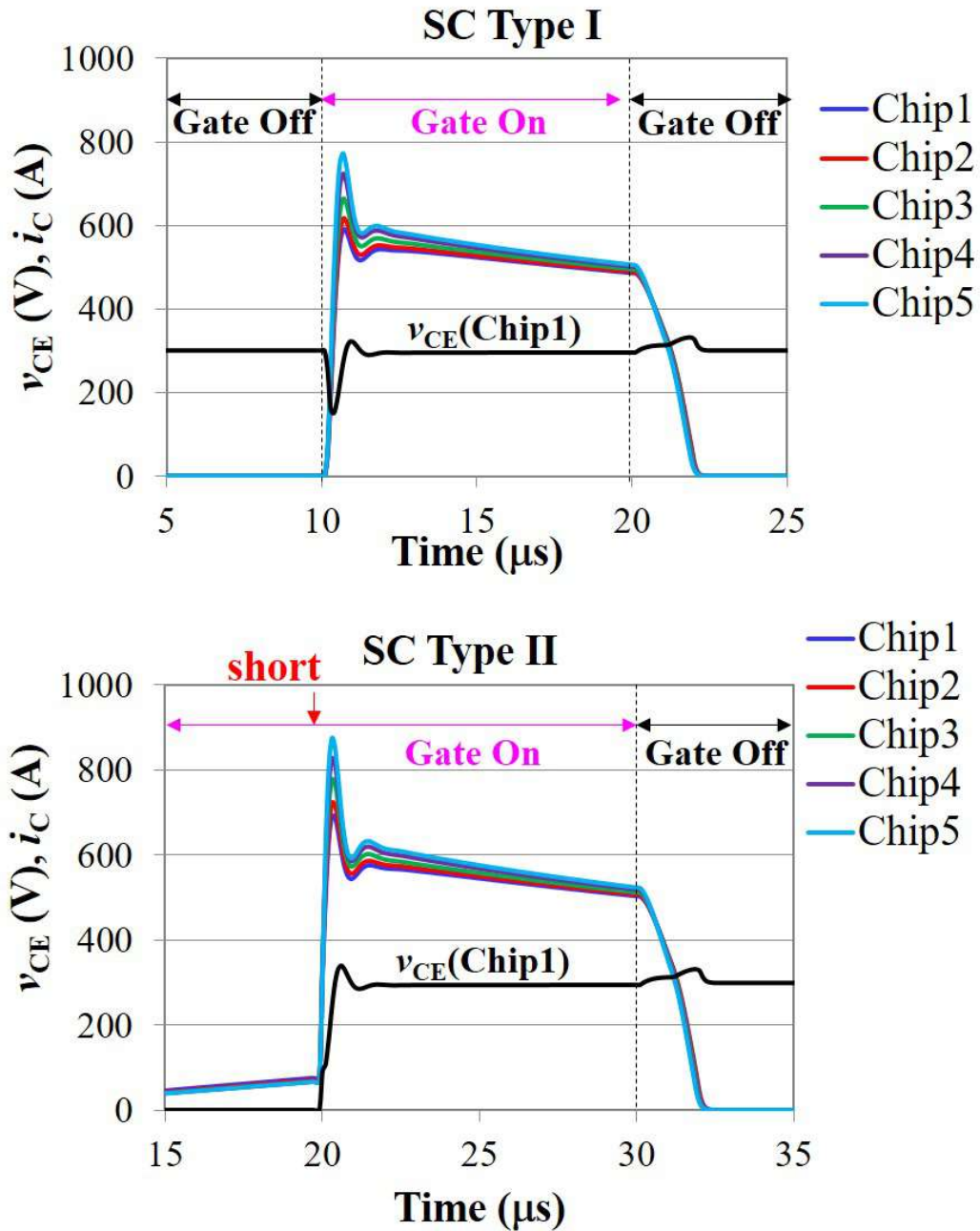


図 3.16: 電気・熱連成条件 (electro-thermal) における個々のチップに流れる電流の解析結果. (上) Type1 短絡. (下) Type2 短絡. ( $V_{DC} = 300 \text{ V}$ ,  $V_{GE} = 15 \text{ V}$ ,  $R_{GON} = 0.5 \Omega$ ,  $R_{GOFF} = 100 \Omega$ ,  $L_S = 27 \text{ nH}$ )

図 3.16 に示した Type1 短絡時および Type2 短絡時において, 個々のチップに流れる (a) ピーク電流および (b)  $V_{GE}$  電圧の最大値を図 3.17 に示す. 図 3.17(a)(b) の

右軸は、それぞれチップ#1を流れるピーク電流およびチップ#1の $V_{GE}$ 電圧の最大値で規格化している。図3.17(a)より、Type2短絡時のピーク電流はType1短絡よりも大きい。また、チップ#1で規格化した個々のチップの電流アンバランスを見ると、チップ#1からチップ#3はType1短絡とType2短絡とで差がないが、チップ#4とチップ#5ではType2短絡の電流アンバランスはType1短絡よりも大きい。これは図3.17(b)に示すように、Type2短絡時の大きなピーク電流によってチップ#4とチップ#5では、IGBTの帰還容量( $C_{res}$ )を介してゲート電圧( $V_{GE}$ )がより大きく上昇することに起因している[50]。

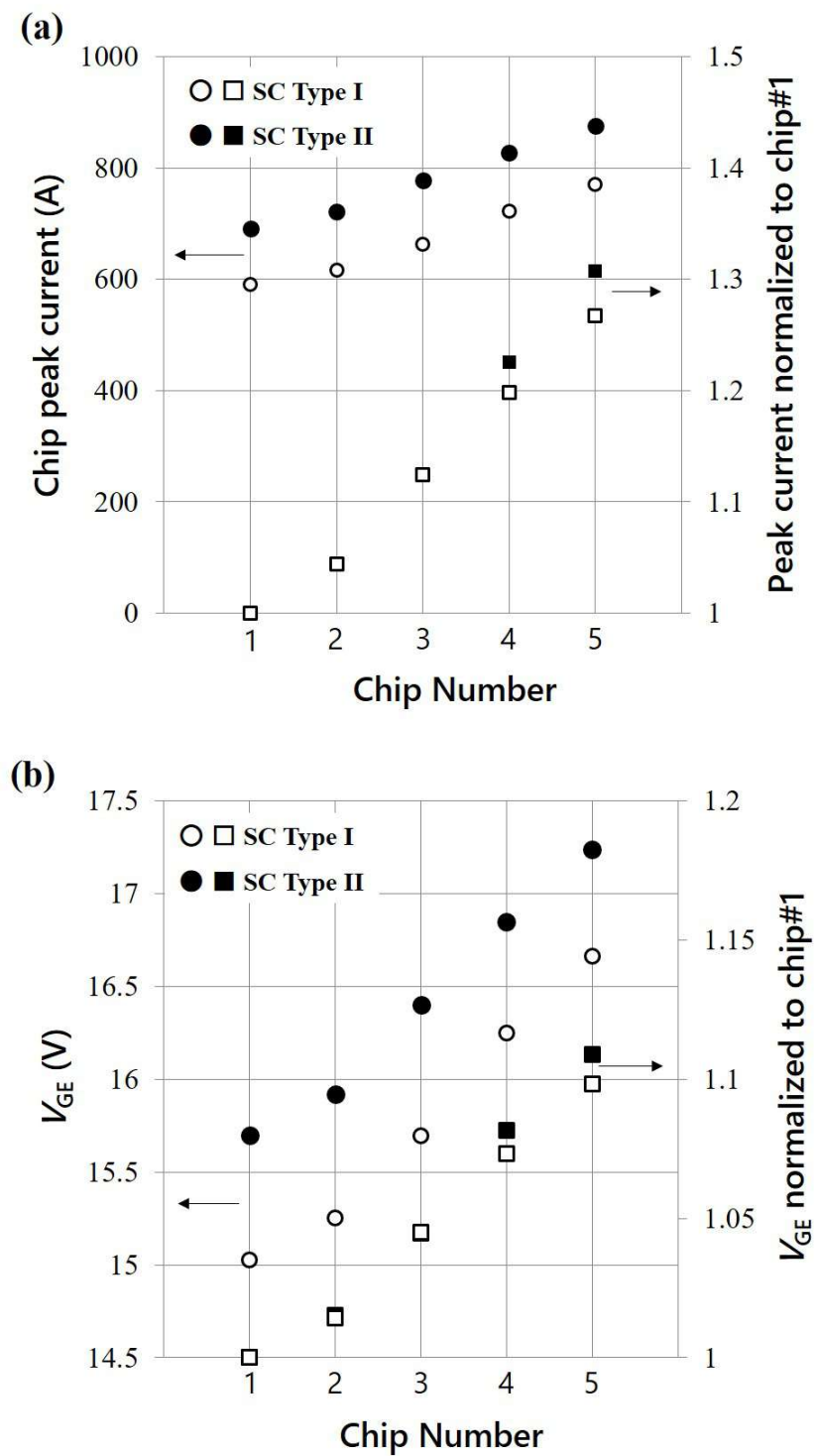


図 3.17: 電気・熱連成条件 (electro-thermal) における個々の半導体チップの (a) 短絡時のピーク電流. (b) ピーク電流におけるゲート電圧 ( $V_{GE}$ )

### 3.6 結論

本章では、(1) パワーモジュールの構造に起因する寄生パラメータ、(2) パワーモジュールの寄生パラメータとパワーデバイスのゲート電圧 ( $V_{GE}$ ) との相互作用、(3) パワーデバイスの自己発熱を考慮して、パワーモジュール内部の Si-IGBT のチップ間の電流アンバランスを解析し、以下の結論を得た。

1. パワーモジュールの電流出力端子の配置については、実際のレイアウトに近い Asymmetrical 配置では、電流出力端子とチップとの配置関係により、寄生抵抗や配線インダクタンスを介した電圧降下が生じる結果、個々のチップのコレクタ-エミッタ間の印加電圧 ( $V_{CE}$ ) が不均一になることを確認した。また、ボンディングワイヤ間の距離  $d$  が配線長  $l$  に対して十分に短いレイアウトでは ( $d/l < 0.1$ )、結合係数  $k$  が大きくなり磁気結合の影響を強く受ける結果、電流アンバランス率  $K$  が大きくなる解析結果を得た。
2. Si-IGBT の電気特性と熱特性を考慮した等価回路モデルを用いた電気・熱連成解析により、短絡条件下のチップ間の電流アンバランスを解析した。電流アンバランスに大きく影響する因子のひとつは、エミッタ側の電位の変動による個々のチップのゲート-エミッタ間の印加電圧 ( $V_{GE}$ ) の差であることがわかった。
3. 大電流が流れるアーム短絡の条件下では、 $V_{GE}$  変動による電流アンバランスや IGBT の自己発熱が顕著になるため、Type1 および Type2 の各短絡モードに対し、電気・熱連成条件で電流アンバランスを解析した。その結果、IGBT の正の温度特性により短絡時の自己発熱がチップ間の電流アンバランスを抑制する方向に作用することを確認した。

一方で、上記のような電流アンバランスは、パワーデバイスやパワーモジュールの製造ばらつきがあるため避けがたく、チップ間の電流アンバランスを許容した駆動方式という視点も重要と考える。そこで第4章では、電流アンバランス条件下での短絡保護技術を検討する。

## 第4章 電流アンバランス条件下でも 高速遮断可能な短絡保護技術

### 4.1 緒論

一般にパワーモジュール内では複数のパワーデバイスが並列接続されており、前章で解析したようにパワーデバイス間の電流アンバランスが発生する。本章では例として、SiC-MOSFETの並列接続を検討する。まずSiC-MOSFETの短絡検知の先行技術と課題を整理し(2節)、並列接続されたSiC-MOSFETの間で電流アンバランスが発生している条件下でも、即座に短絡を検知するゲート駆動回路を提案する(3節)。提案する回路は短絡時の $di/dt$ を検知して、Type1短絡よりも高速な保護が要求されるType2短絡やType3短絡にも対応することができる。提案する手法では、検知した $di/dt$ の積分値を用いて短絡電流を検知する。短絡電流の検知レベルは並列接続されたMOSFETの数に関係なく、任意の値に調整することが可能である。最後に、並列接続された4つのSiC-MOSFETの間に過大な電流アンバランスがある条件下で、提案手法の有効性を実測で検証する(4節)。

### 4.2 先行研究と課題

SiC-MOSFETは、低損失・高速スイッチングデバイスとしてパワーエレクトロニクスへの応用が進んでいる。SiC-MOSFETはオン抵抗を低減するためにSi-IGBTに対して一般に飽和電流が大きいため短絡耐量(短絡許容時間)が短く、オン時のゲートバイアス電圧が大きいため保護が難しくなる[55]。したがって高速な短絡検知が必要になるが、同時に誤検知を防止することが重要である。誤検知の防止と短絡検知の高速化はトレードオフの関係にあり、適切な誤検知マーヅンを確保して高速に短絡保護できる技術が要求される[55][56][57]。



また Si-IGBT に対して高温動作が可能でチップコストが高い SiC-MOSFET は、電流密度を高くするためにチップ面積が小さく、必要な電流定格を確保するようにパワーモジュール内で複数のチップが並列接続されている。したがって短絡保護回路には、チップ間の電流アンバランスが発生しても確実に保護できることが求められる。SiC-MOSFET に適用できる高速な短絡保護技術に関して、多くの先行研究がある [58][59][60][61][62]。しかしながら、電流アンバランスの条件下における短絡保護について議論した報告は少ない。

チップの並列数やチップ間の電流アンバランスの有無によらず、誤検知の防止と短絡検知の高速化を両立可能な保護回路を実現するためには、短絡検知レベルを定量的に設計できる回路技術が望ましい。広く用いられている電圧による短絡検知 (desaturation 検知) では、短絡と通常ターンオンを区別するために (SiC-MOSFET のターンオン時の電圧降下にかかる時間以上の) blanking time を  $1 \mu\text{s}$  程度設ける必要があり [60]、検知遅延の原因となる。文献 [63][64] では、短絡電流の流れ始め ( $di/dt$  の発生時) に図 4.1(c) に示すゲート駆動回路のソース制御端子 (ケルビンソース) とドレイン電流が流れる主端子 (パワーソース) の間の寄生インダクタンス ( $L_e$ ) に発生する電圧  $V_{et}$  ( $=L_e \times di/dt$ ) を用いた短絡検知の手法を報告している。blanking time が不要なため検知遅延を小さくできるが、電圧ノイズ等による誤検知のリスクが懸念される。

そこで本研究では、電圧  $V_{et}$  の積分値を検知に用いて適切な誤検知マージンを確保しながら高速に短絡を検知・保護できる技術を提案した。この提案回路では、SiC-MOSFET の並列数が変化しても短絡電流の検知レベルを所望の値に設計することができる。またチップ間の電流アンバランスが発生している条件下でも即座に短絡を検知・保護できる。

本章では、電圧  $V_{et}$  を用いた短絡検知におけるパワーモジュール内のチップ間の電流アンバランスの影響を明らかにし、提案する短絡保護回路の動作原理を述べる。さらに提案回路を 1.2 kV 耐圧の SiC-MOSFET の短絡試験に適用して、並列数に応じて短絡検知レベルを設計できることと、電流アンバランスが発生している条件下でも全短絡モード (Type1, Type2, Type3) に対して保護が可能であることを実証する。

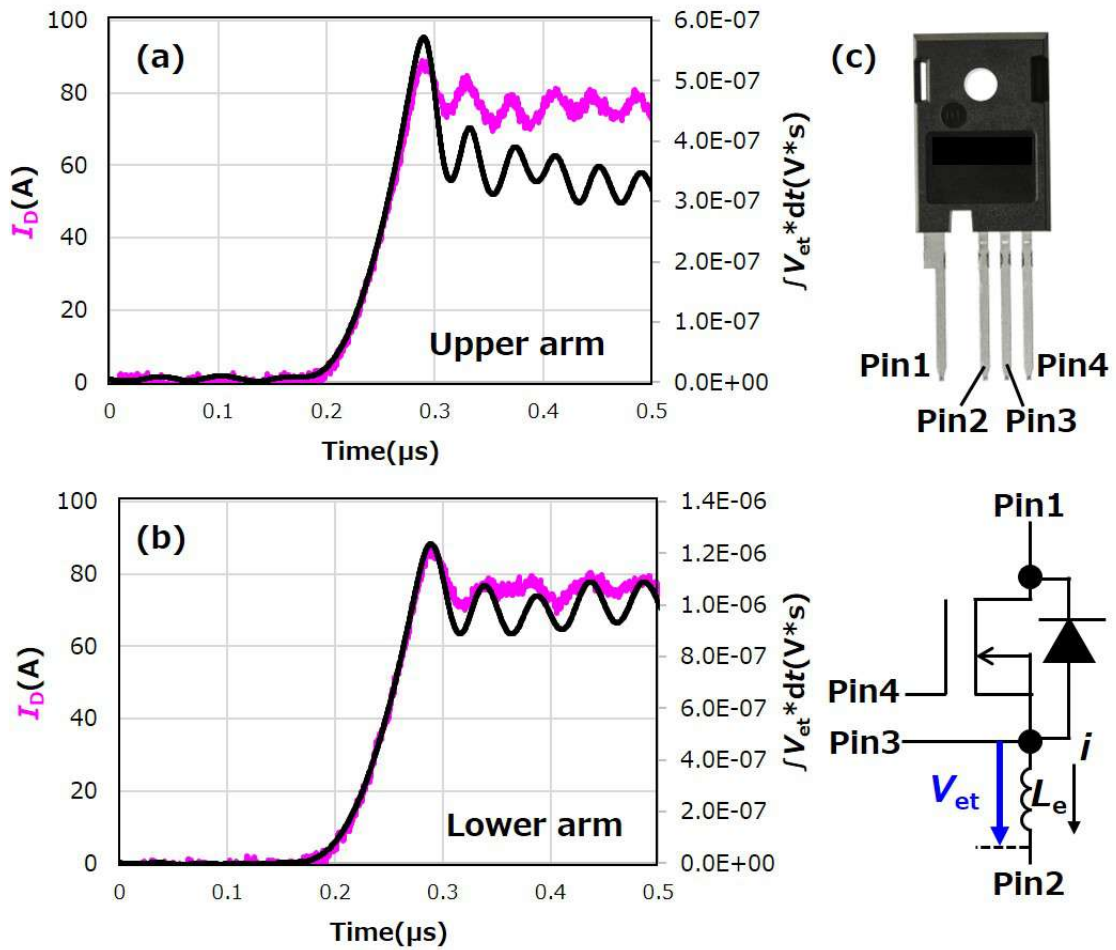


図 4.1: (a)(b)SiC-MOSFET のターンオン時のドレイン電流 ( $I_D$ ) と電圧  $V_{et}$  の積分値. (c) 本研究に用いた SiC-MOSFET (TO-274-4 パッケージ) .

### 4.3 提案方式

式 (4.1) は図 4.1(c) に示す電圧  $V_{et}$  と短絡発生時の  $di/dt$  の関係を示す。ここで  $L_e$  は、SiC-MOSFET のチップのソースパッドとパワーソースとの間の寄生インダクタンスを表している。たとえば、チップのソースパッドと TO-274-4 パッケージのパワーソース端子（図 4.1(c) の Pin2）とを接続しているボンディングワイヤが有する寄生インダクタンスが相当する。

$$V_{\text{et}} = -L_e \frac{di}{dt} \quad (4.1)$$

本研究では、電圧  $V_{\text{et}}$  の積分値を用いて短絡電流を検出することを試みた。図 4.1(a)(b) のマゼンタ線は、それぞれハーフブリッジの上アームと下アームにおける SiC-MOSFET のターンオン動作におけるドレイン電流 ( $I_D$ ) である。 $I_D$  はロゴスキーコイル (PEM CWT1B, 300 A, 30 MHz) で測定した。図 4.1(a)(b) の黒線は、差動プローブ (Yokogawa 700924, 100:1, 100 MHz) で測定した電圧  $V_{\text{et}}$  を時間積分した波形を示す。電流が増加 ( $di/dt$  が発生) している  $0.2\mu\text{s}$  から  $0.3\mu\text{s}$  の期間では、 $V_{\text{et}}$  の積分波形と  $I_D$  波形とは上下アームとも良い一致を示している。したがって電圧  $V_{\text{et}}$  の積分値による検知手法は、パワーデバイスの電流検知に適用可能であると言える。

ここで、パワーモジュールの  $L_e$  は一般にモジュールメーカーからは提供されないが、ソース制御端子 (ケルビンソース) と主端子 (パワーソース) の端子間の電圧  $V_{\text{et}}$  を用いて以下の手順で  $L_e$  を求めることができる。図 4.1(a)(b) に示す  $0.2\sim 0.3\mu\text{s}$  の  $di/dt$  が発生している期間において  $I_D$  と電圧  $V_{\text{et}}$  の積分値との比率から式 (4.2) より、ソース側の寄生インダクタンス ( $L_e$ ) が得られる。

$$L_e = \frac{\int -V_{\text{et}} dt}{I_D} \quad (4.2)$$

しかしながら本手法は、複数の SiC-MOSFET のチップが並列接続されチップ間に電流アンバランスが発生している条件下でも有効かどうかは明確ではない。またパワーモジュールの構造として、内部の複数のチップはボンディングワイヤ等の配線接続によって束ねられてパワーモジュールの主端子 (パワーソース) に接続されている。したがって、パワーモジュールの内部の個々のチップの電圧  $V_{\text{et}}$  を直接検知することはできず、パワーモジュールの主端子で検知することになる。そこで本研究では、並列接続された SiC-MOSFET に対する短絡検知を対象に下記を検討した。

- 並列接続された SiC-MOSFET の数 ( $N_{\text{para}}$ ) とパワーモジュールの主端子で

の電圧  $V_{et}$  との関係

- SiC-MOSFET のチップ間に電流アンバランスを引き起こす要因
- チップ間の電流アンバランスが電圧  $V_{et}$  に与える影響

#### 4.3.1 短絡検知における電流アンバランスの影響

$N_{para}$  と電圧  $V_{et}$  の関係

図 4.2(a) は、本章で検討したパワーモジュールの内部構造を示す。4 個の SiC-MOSFET (DUT#1~#4) が並列に、パワーモジュールのドレイン端子とパワーソース端子にそれぞれ接続されている。個々の SiC-MOSFET のソース側にボンディングワイヤによる寄生インダクタンス ( $L_e$ ) が与えられている。パワーモジュールのゲート端子は、チップ直近のゲート抵抗 ( $R_{gint}$ ) を介して個々の SiC-MOSFET に接続されている。図 4.2(b) に、Type1 短絡のシミュレーションに用いた等価回路を示す。図に示すように、ケルビンソース端子に対する主端子 (パワーソース端子) の電圧  $V_{et}$  を計算した。並列接続される SiC-MOSFET の数 ( $N_{para}$ ) を 1 から 4 まで変えて計算した。SiC-MOSFET の  $I-V$  特性はデータシートに基づいて ANSYS Twin builder を用いてモデル化した。本計算の目的は、式 (4.1) に示した短絡開始時の  $di/dt$  によって引き起こされる電圧  $V_{et}$  を評価することである。SiC-MOSFET の飽和電流はモデル化していないため、短絡中のピーク電流値は評価対象ではない。

図 4.2(c) は、短絡開始時における電圧  $V_{et}$  の計算・実測結果を示す。同一の印加電圧 ( $V_{DC} = 600$  V) のもとで、異なる  $N_{para}$  に対して計算した電圧  $V_{et}$  を比較した。 $N_{para}$  が増えるにつれて、より多くのボンディングワイヤが並列化されて実効的な  $L_e$  が小さくなる結果、電圧  $V_{et}$  の振幅の最大値 ( $V_{etMAX}$ ) は図 4.2(c) に示すように減少することがわかった。電圧  $V_{et}$  の振幅に基づいて  $di/dt$  を検知するための参照電圧を  $V_{ref1}$  とすると、 $V_{etMAX}$  が大きいほど短絡開始から電圧  $V_{et}$  が  $V_{ref1}$  に到達するまでの時間が短くなっている。これは、 $V_{etMAX}$  が大きいほど短絡開始時に  $di/dt$  をより早く検知できることを示唆している。この現象は図 4.2(c) に示したように実測でも確認された。本解析結果より、短絡検知回路が検知する電圧  $V_{et}$

は、 $N_{\text{para}}$  に応じて参照電圧 ( $V_{\text{ref1}}$ ) を調整できることが望ましい ( $N_{\text{para}}$  に応じた短絡検知電流の調整について、4節にて実測検証結果を述べる)。

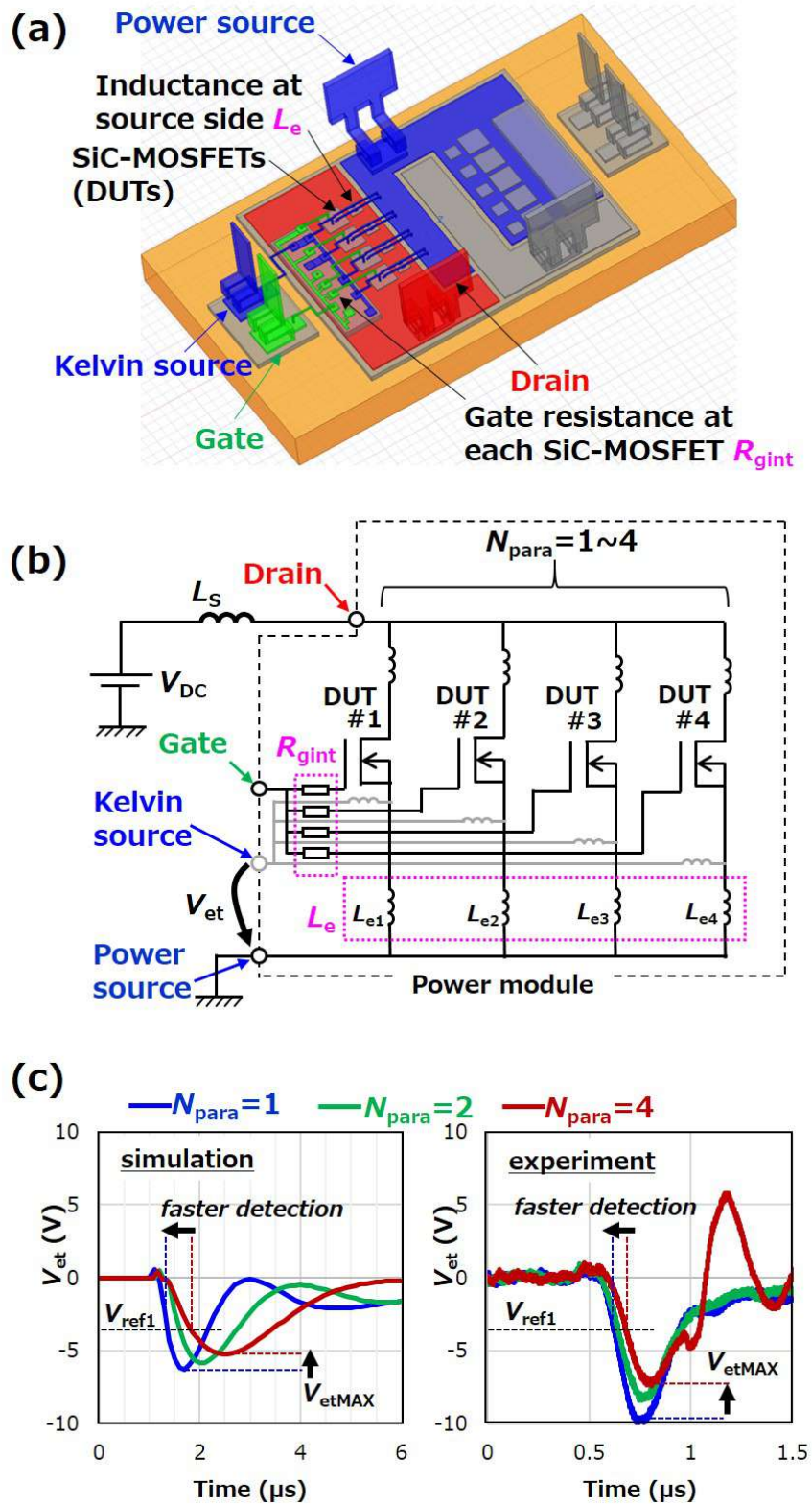


図 4.2: (a) 解析したパワーモジュールの内部構造. (b) 解析に用いた等価回路. (c) SiC-MOSFET の並列数 ( $N_{para}$ ) と短絡開始時の電圧  $V_{et}$  の関係.

### 電流アンバランスを引き起こす要因

図4.2(b)に示したチップ直近のモジュール内蔵ゲート抵抗 ( $R_{\text{gint}}$ ) と SiC-MOSFET のソース側のボンディングワイヤの寄生インダクタンス ( $L_e$ ), および SiC-MOSFET の閾値電圧 ( $V_{\text{th}}$ ) をパラメータとして, 短絡条件下の SiC-MOSFET 間の電流アンバランスを解析した。 $L_e$  の差は, パワーモジュール内の個々の SiC-MOSFET のソース側の配線長の違いを想定している。図4.3は, 短絡が発生した直後において, 4並列の SiC-MOSFET 間の電流分担の計算結果を示す。電流アンバランスを誘発する回路パラメータとして, 図4.3(a)では同一の  $R_{\text{gint}}$  に対して, 対象デバイス (DUT) の#1から#4までの  $L_e$  をそれぞれ 3.7 nH, 5.4 nH, 7.1 nH, 8.8 nH と異なる値に設定した。同様に図4.3(b)では同一の  $L_e$  に対して, DUT の#1から#4までの  $R_{\text{gint}}$  をそれぞれ 0.5  $\Omega$ , 1.0  $\Omega$ , 1.5  $\Omega$ , 2.0  $\Omega$  と設定した。図4.3(c)では, 閾値電圧 ( $V_{\text{th}}$ ) がジャンクション温度 ( $T_j$ ) とともに減少する本 SiC-MOSFET のデータシートの特性に基づいて SiC-MOSFET の伝達特性の  $T_j$  依存性をモデル化し,  $T_j = 25, 75, 125, 175$   $^{\circ}\text{C}$  に相当する  $V_{\text{th}} = 4.4, 4.0, 3.6, 3.3$  V に設定した。

図4.3(a)が示すように,  $L_e$  が大きいほど短絡電流の増加率 ( $di/dt$ ) は減少する。図4.3(b)では,  $R_{\text{gint}}$  が大きいほど短絡の開始が遅延していることがわかる。図4.3(c)では,  $V_{\text{th}}$  が大きい低温条件ほど短絡の開始が遅延するが,  $di/dt$  の温度依存性は小さいことがわかる。デバイスに起因する  $V_{\text{th}}$  のばらつきを除けば, 短絡時の SiC-MOSFET のチップ間の電流アンバランスは,  $L_e$  と  $R_{\text{gint}}$  が両方ともばらついていた場合に, より悪化すると考えられる。 $L_e$  と  $R_{\text{gint}}$  の差によるチップ間の電流アンバランスは, 4節にて実測検証する。

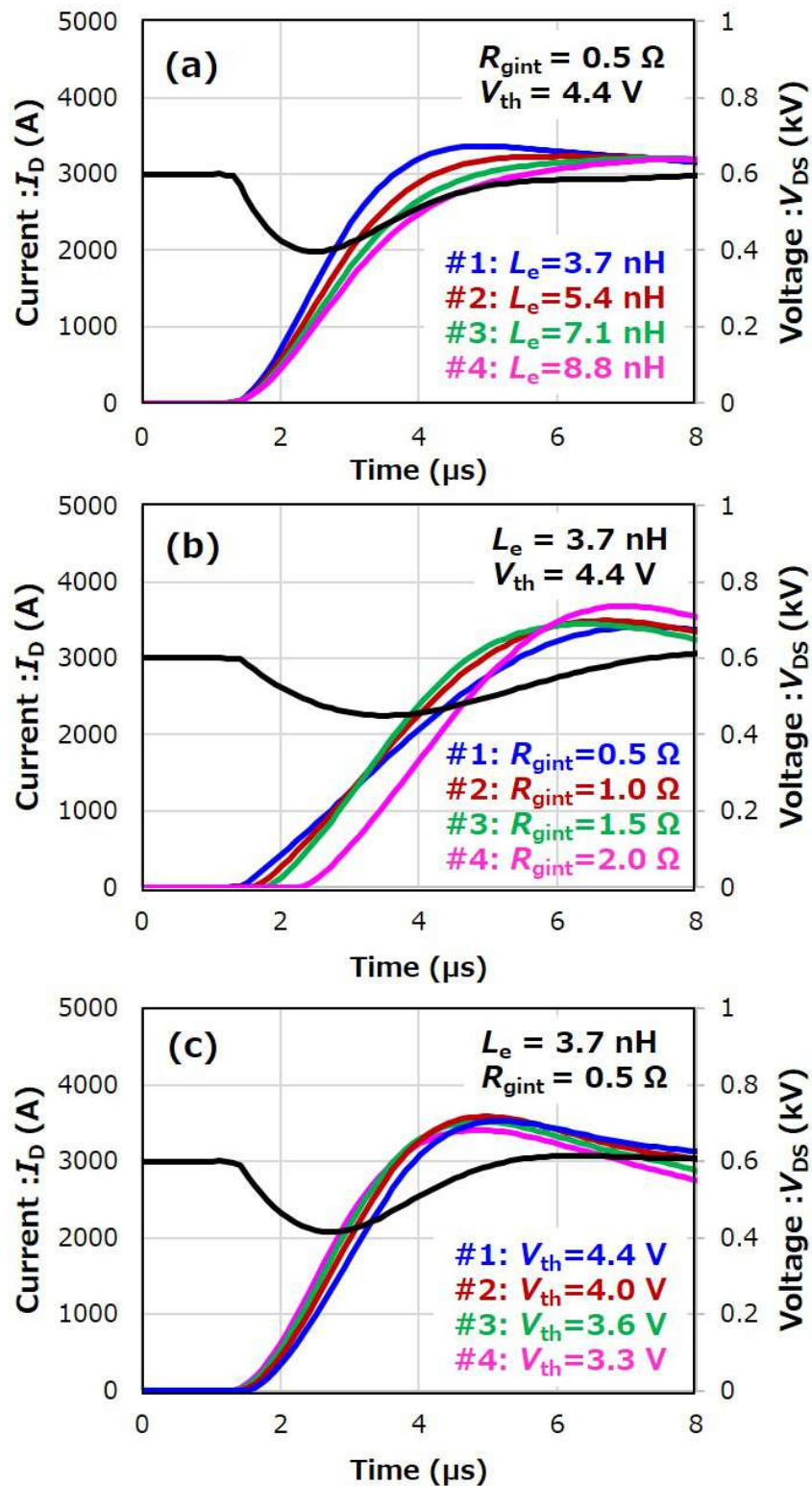


図 4.3: 短絡開始時における並列接続された 4 個の SiC-MOSFET の電流の解析結果. (a)  $L_e$  依存性. (b)  $R_{gint}$  依存性. (c)  $V_{th}$  依存性.



電流アンバランス条件下における電圧  $V_{et}$ 

$L_e$  が異なる 2 個の SiC-MOSFET が並列接続された状況 ( $L_{e1} \neq L_{e2}$ ) を対象に、電流アンバランスが電圧  $V_{et}$  に与える影響を考察する。図 4.4(a) は、2 個の SiC-MOSFET に流れる電流がバランスした状態 ( $L = L_{e1} = L_{e2}$ ,  $i = i_1 = i_2$ ) での簡易モデルを示している。このとき検知される電圧  $V_{et}$  ( $V_{balance}$ ) は、式 (4.3) で表される。ここで  $L$  は個々の SiC-MOSFET のソース側の配線の自己インダクタンス、 $M$  は  $L_{e1}$  と  $L_{e2}$  の間の相互インダクタンス、 $L_0 = L + M$  である。

$$\begin{aligned} V_{balance} &= L \frac{di_1}{dt} + M \frac{di_2}{dt} \\ &= L_0 \frac{di}{dt} \end{aligned} \quad (4.3)$$

図 4.4(b) は、2 個の SiC-MOSFET の間の  $L_e$  に差がある場合の簡易モデルを示す。2 個の SiC-MOSFET は 1 つの電流源として単純化している。図 4.4(b) に示すように、ここでは  $L_{e1}$  は  $L_{e2}$  よりも  $\Delta L$  だけ大きいとする。このときの  $L_{e1}$  と  $L_{e2}$  の間の相互インダクタンスを  $M'$  とする。前節の図 4.3(a) で解析したように、DUT を流れる短絡電流は  $L_e$  が大きいほど小さくなる。図 4.4(b) で 2 個の SiC-MOSFET を流れる短絡電流の合計 ( $I_{SC}$ ) は、図 4.4(a) の電流バランス条件時と同一と仮定する ( $I_{SC} = i_1 + i_2 = 2 \times i$ )。よって、電流アンバランス条件 ( $\Delta L > 0$ ,  $L_{e1} > L_{e2}$ ,  $i_1 < i_2$ ) では、 $i_1$  は  $i$  から  $i - \Delta i$  に減少し、 $i_2$  は  $i$  から  $i + \Delta i$  に増加すると考えられる ( $i > \Delta i > 0$ )。したがって、電流アンバランス条件で検知される電圧  $V_{et}$  ( $V_{unbalance}$ ) は、式 (4.4) または式 (4.5) のように導出される。

$$\begin{aligned} V_{unbalance1} &= (L + \Delta L) \frac{di_1}{dt} + M' \frac{di_2}{dt} \\ &= (L + \Delta L) \frac{d(i - \Delta i)}{dt} + M' \frac{d(i + \Delta i)}{dt} \end{aligned} \quad (4.4)$$

$$\begin{aligned}
V_{\text{unbalance2}} &= L \frac{di_2}{dt} + M' \frac{di_1}{dt} \\
&= L \frac{d(i + \Delta i)}{dt} + M' \frac{d(i - \Delta i)}{dt}
\end{aligned} \tag{4.5}$$

$V_{\text{unbalance}} = V_{\text{unbalance1}} = V_{\text{unbalance2}}$  より, 式 (4.4) と式 (4.5) から式 (4.6) を得る。ここで  $k$  は結合係数である ( $k = M' / \sqrt{L(L + \Delta L)}$ )。

$$\Delta L \frac{d(i - \Delta i)}{dt} = 2(L - M') \frac{d(\Delta i)}{dt} \tag{4.6}$$

式 (4.3) 式 (4.4) 式 (4.6) を用いて,  $V_{\text{unbalance}}$  は式 (4.7) で表される。式 (4.7) は, 電流アンバランス条件で検知される電圧  $V_{\text{et}}$  の大きさは, 電流がバランスした条件での電圧  $V_{\text{et}}$  よりも大きくなることを示している ( $V_{\text{unbalance}} > V_{\text{balance}}$ )。

$$\begin{aligned}
V_{\text{unbalance}} &= V_{\text{balance}} + k \left( \sqrt{1 + \frac{\Delta L}{L}} - 1 \right) L \frac{di}{dt} \\
&+ (1 - k \sqrt{1 + \frac{\Delta L}{L}}) L \frac{d(\Delta i)}{dt}
\end{aligned} \tag{4.7}$$

図 4.2(c) の解析結果と  $V_{\text{unbalance}} > V_{\text{balance}}$  より, 電流アンバランス条件では短絡開始時の  $di/dt$  を電流バランス条件よりも早く検知できることを示唆している。このようにパワーモジュールの主端子にて電圧  $V_{\text{et}}$  を検知すれば, パワーモジュール内の個々の SiC-MOSFET チップの間に電流アンバランスが発生していても, 短絡の発生を確実に検知することができる。

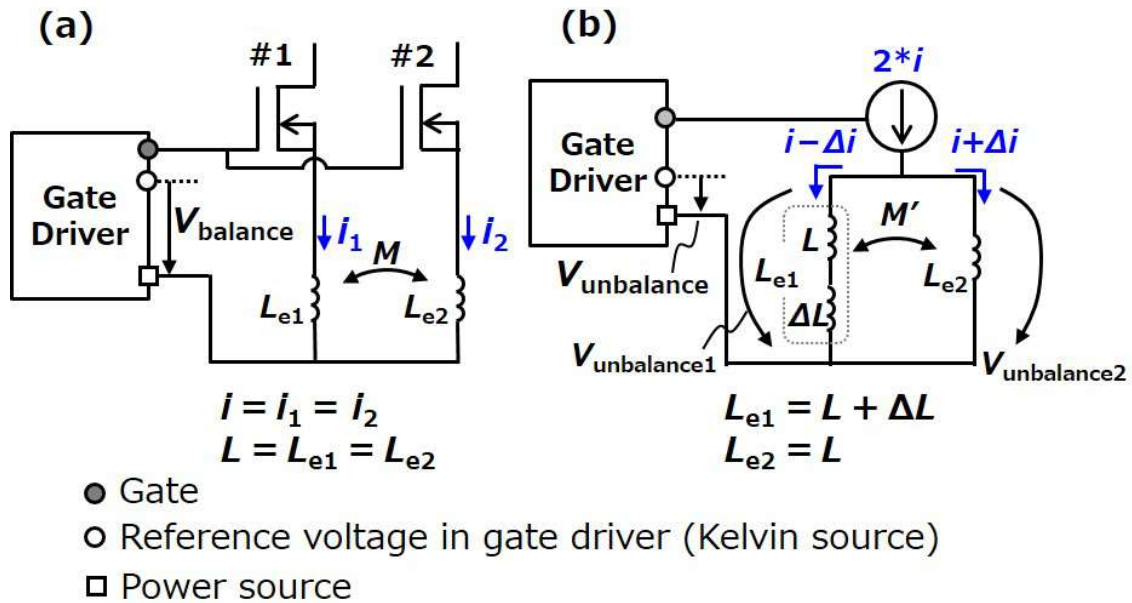


図 4.4: (a)2 並列の SiC-MOSFET に流れる電流がバランスした状態での簡易モデル. (b)2 並列の SiC-MOSFET の間の  $L_e$  に差がある場合の簡易モデル.

### 4.3.2 提案回路と動作原理

前節までの議論に基づいて、図 4.5 に示すような短絡検知・保護回路を提案した。本回路は、低圧側と絶縁されたフォトカプラと電源、および PMOSFET と NMOSFET とからなる基本的なゲート駆動回路に、「サプレス回路」「 $di/dt$  積分回路」「遮断回路」が加わった構成になっている。 $R_{GON}$  と  $R_{GOFF}$  はそれぞれ DUT のターンオン時とターンオフ時のゲート抵抗を示す。

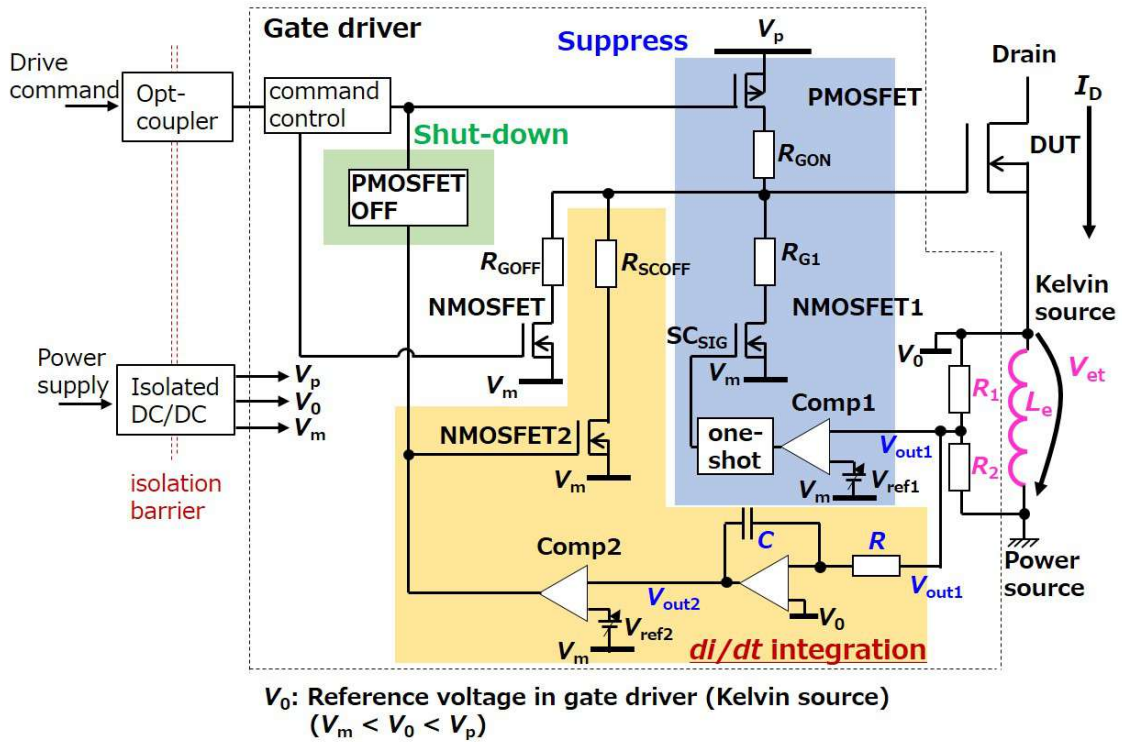


図 4.5: 提案回路.

「サプレス回路」は、 $di/dt$  の大きな短絡の発生を検知した場合に短絡電流を抑制する機能を持つ。すなわち、図 4.5 のコンパレータ (Comp1) があらかじめ規定した参照値 ( $V_{ref1}$ ) よりも大きな電圧  $V_{et}$  を検知した場合は検知信号 ( $SC_{SIG}$ ) を出力し、NMOSFET1 を一定時間オン状態にすることにより、DUT のゲート-ソース間電圧 ( $V_{GS}$ ) を即座に減少させる。これにより、DUT の短絡電流を素早く減少させることができる。 $V_{GS}$  の抑制時間はワンショット IC によって任意に設定することができる。その結果、Type2 短絡や Type3 短絡のように短絡開始時に DUT に急峻な電流上昇 ( $di/dt$ ) を引き起こす短絡が発生した場合にピーク電流を瞬時に抑制し、保護マージンを確保することができる。短絡発生時の  $di/dt$  は式 (4.8) に示す電圧  $V_{out1}$  により検知できる。ここで  $\alpha$  は抵抗分圧比で  $\alpha = R_1 / (R_1 + R_2)$  である。

$$\begin{aligned}
 V_{\text{out1}} &= -\alpha V_{\text{et}} \\
 &= -\alpha L_e \frac{di}{dt}
 \end{aligned} \tag{4.8}$$

「サプレス回路」が作動すると、NMOSFET1をターンオンするため、図4.5のPMOSFETとNMOSFET1が同時オン状態になる。したがって、「サプレス回路」が作動した場合のゲート制御電圧 ( $V_{\text{sup1}}$ ) は、式(4.9)に示すように  $R_{\text{GON}}$  と  $R_{\text{G1}}$  との抵抗比で決まる。ここで  $V_p$  と  $V_m$  はそれぞれゲート駆動回路の正側および負側の電源電圧である。

$$V_{\text{sup1}} = (V_p - V_m) \times \frac{R_{\text{G1}}}{R_{\text{G1}} + R_{\text{GON}}} + V_m \tag{4.9}$$

「 $di/dt$  積分回路」は、電圧  $V_{\text{et}}$  に基づいて短絡電流を検出する機能を持ち、本提案手法に特長的な構成である。オペアンプによる積分器であり、図4.5に示した  $V_{\text{et}}$  検知部分 ( $V_{\text{out1}}$ ) とコンパレータ (Comp2) との間に挿入されている。 $di/dt$  積分回路の出力電圧 ( $V_{\text{out2}}$ ) は式(4.10)で表される。ここで、 $R$  と  $C$  はそれぞれ  $di/dt$  積分回路内の抵抗値と容量値であり、本研究では  $R = 1.2 \text{ k}\Omega$ ,  $C = 470 \text{ pF}$  とした。

$$\begin{aligned}
 V_{\text{out2}} &= -\frac{1}{CR} \int V_{\text{out1}} dt \\
 &= \frac{\alpha L_e}{CR} \times I_D
 \end{aligned} \tag{4.10}$$

式(4.10)より  $V_{\text{out2}}$  はドレイン電流 ( $I_D$ ) に比例するので、短絡電流の検知レベル ( $I_{\text{Dsc}}$ ) は、図4.5に示したComp2の参照電圧 ( $V_{\text{ref2}}$ ) を調整することによって任意の値に設計することができる。これは、 $N_{\text{para}}$  が変化して図4.2(c)に示すように電圧  $V_{\text{et}}$  が変化しても、(抵抗分圧比  $\alpha$  または参照電圧  $V_{\text{ref2}}$  を調整することにより)  $I_{\text{Dsc}}$  を所望の値に設計可能であることを意味している。またオペアンプによる積分器は、反転増幅器の帰還側の抵抗をコンデンサに置き換えた回路構成のため入

出力間に RC 時定数が介在せず，積分回路による電流検出の遅延の影響を少なくすることができる。

「 $di/dt$  積分回路」が作動すると，ゲート駆動回路の出力部に抵抗 ( $R_{SCOFF}$ ) を介して繋がった NMOSFET2 がターンオンするとともに，「遮断回路」が作動して図 4.5 で示した PMOSFET がターンオフする。その結果，ゲート制御電圧は閾値電圧 ( $V_{th}$ ) よりも低い  $V_m$  まで減少して DUT を遮断する。

図 4.6 は，提案回路のゲート電圧制御を模式的に示す。 $di/dt$  が規定値よりも大きい場合は ( $di/dt > di/dt_{crit}$ )，「サプレス回路」が作動して  $V_{GS}$  が  $V_{sup1}$  に抑制される。SiC-MOSFET の飽和電流は  $(V_{GS} - V_{th})^2$  に比例する [36][65] ため，「サプレス回路」が作動すると， $di/dt$  が大きい状況において瞬時に短絡電流を抑制することができる。 $di/dt$  が規定値よりも小さい場合は ( $di/dt < di/dt_{crit}$ )，「 $di/dt$  積分回路」のみが作動して遮断される。

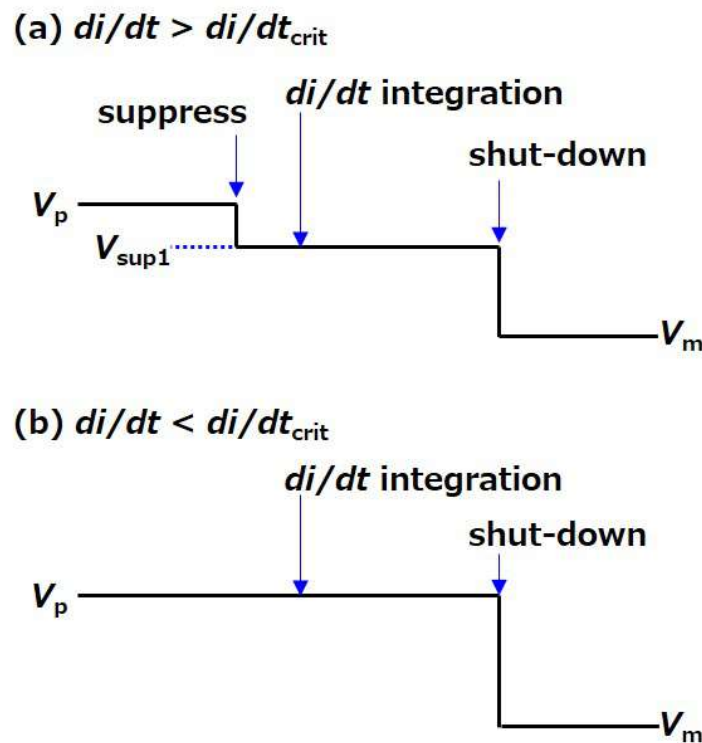


図 4.6: 提案回路のゲート電圧制御の模式図.

本提案手法は，先行研究に対して次の利点がある。

1. 「電圧  $V_{et}$  を用いた検知」により、SiC-MOSFET のチップ間に電流アンバランスが発生していても短絡を高速に検知することができる。また「サブレス回路」により、規定値よりも大きい  $di/dt$  に対しては瞬時に短絡電流を抑制できるため、高速な検知・保護が要求される場合に保護マージンを確保できる。
2. 従来のドレイン-ソース電圧 ( $V_{DS}$ ) を用いる手法 [66][67], ゲート-ソース電圧 ( $V_{GS}$ ) を用いる手法 [68], ゲート電荷 ( $Q_G$ ) を用いる手法 [69] では、これらの物理量とドレイン電流 (短絡電流) とが1対1に対応しないため、短絡発生時の電流検知レベル ( $I_{Dsc}$ ) を定量的に設計するのは困難である。本方式では「 $di/dt$  積分回路」により、 $I_{Dsc}$  を任意の値に設計できる。そのため、図 4.7 に示すように通常ターンオン動作における最大電流と即時遮断が必要な電流値 (短絡検知レベル  $I_{Dsc}$ ) との間に必要十分なマージンを確保でき、誤検知を防止しつつ検知遅延を最小化できる。また、積分回路の適用により電圧  $V_{et}$  に重畳するノイズの影響を軽減できる。

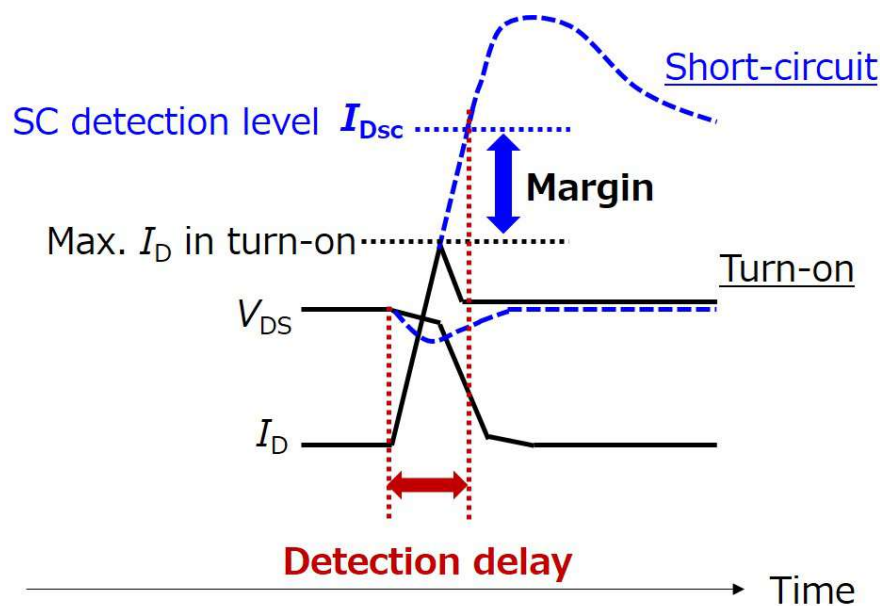


図 4.7: 提案手法による誤検知マージンの確保.

## 4.4 実測検証

### 4.4.1 試験回路

前節で提案したゲート駆動回路を最新の 1.2 kV 耐圧の SiC-MOSFET に適用して実験による検証を行った。図 4.8(a) は、試験回路を示す。最大で 4 個の SiC-MOSFET (DUT#1~#4) を下アームに接続することができる。ゲート駆動回路 2 から個々の DUT のゲート端子までの配線長は可能な限り等しくしている。また、ゲート抵抗 ( $R_{gint1} \sim R_{gint4}$ ) が個々の DUT のゲート端子の直近に配置されている。ソース側の配線の寄生インダクタンス ( $L_{e1} \sim L_{e4}$ ) は、追加のワイヤ配線 ( $\Delta L$ ) を挿入することにより増加させることができる。DC リンクキャパシタの容量は  $120 \mu\text{F}$ ,  $V_{\text{DC}} = 600 \text{ V}$  または  $800 \text{ V}$  で試験を実施した。負荷インダクタンスは  $L_{\text{load}} = 150 \mu\text{H}$  であり、接続スイッチ S1 または S2 の開閉によって試験回路への接続箇所を変えることができる。DUT の温度は  $25 \sim 175 \text{ }^\circ\text{C}$  で実施した。大電流容量 (DUT の定格電流の約 20 倍) の IGBT モジュールを上アームに設置した。IGBT モジュールをゲート駆動回路 1 によって高速にターンオンすることにより、図 3.11(b) および図 3.11(c) に示したように、上アームの半導体デバイスの破壊によって Type2 短絡および Type3 短絡が発生する状況を模擬した。

図 4.8(b) は、Type1 短絡から Type3 短絡までの各短絡モードを模擬するための負荷インダクタンスの回路接続およびゲートの駆動シーケンスを示す。IGBT モジュール側のゲート駆動回路 1 の出力電圧を  $V_{\text{GSHigh}}$  で、DUT 側のゲート駆動回路 2 の出力電圧を  $V_{\text{GS}}$  で示す。Type1 短絡は、DUT のターンオンで開始される。ここで負荷インダクタンスは S1 にも S2 にも接続されていない。Type2 短絡の場合は、負荷インダクタンスは上アームの IGBT モジュールに並列に接続されており (S1: 閉, S2: 開), DUT がオンしている状態で上アームの IGBT モジュールのターンオンによって短絡が開始する。Type3 短絡の場合は、負荷インダクタンスは下アームの DUT に並列に接続されており (S1: 開, S2: 閉), 短絡開始前の電流は図 3.11(c) に示したように SiC-MOSFET のボディダイオード中を還流している。そして、ダイオードの還流期間中に上アームの IGBT モジュールをターンオンすることにより短絡が開始する。



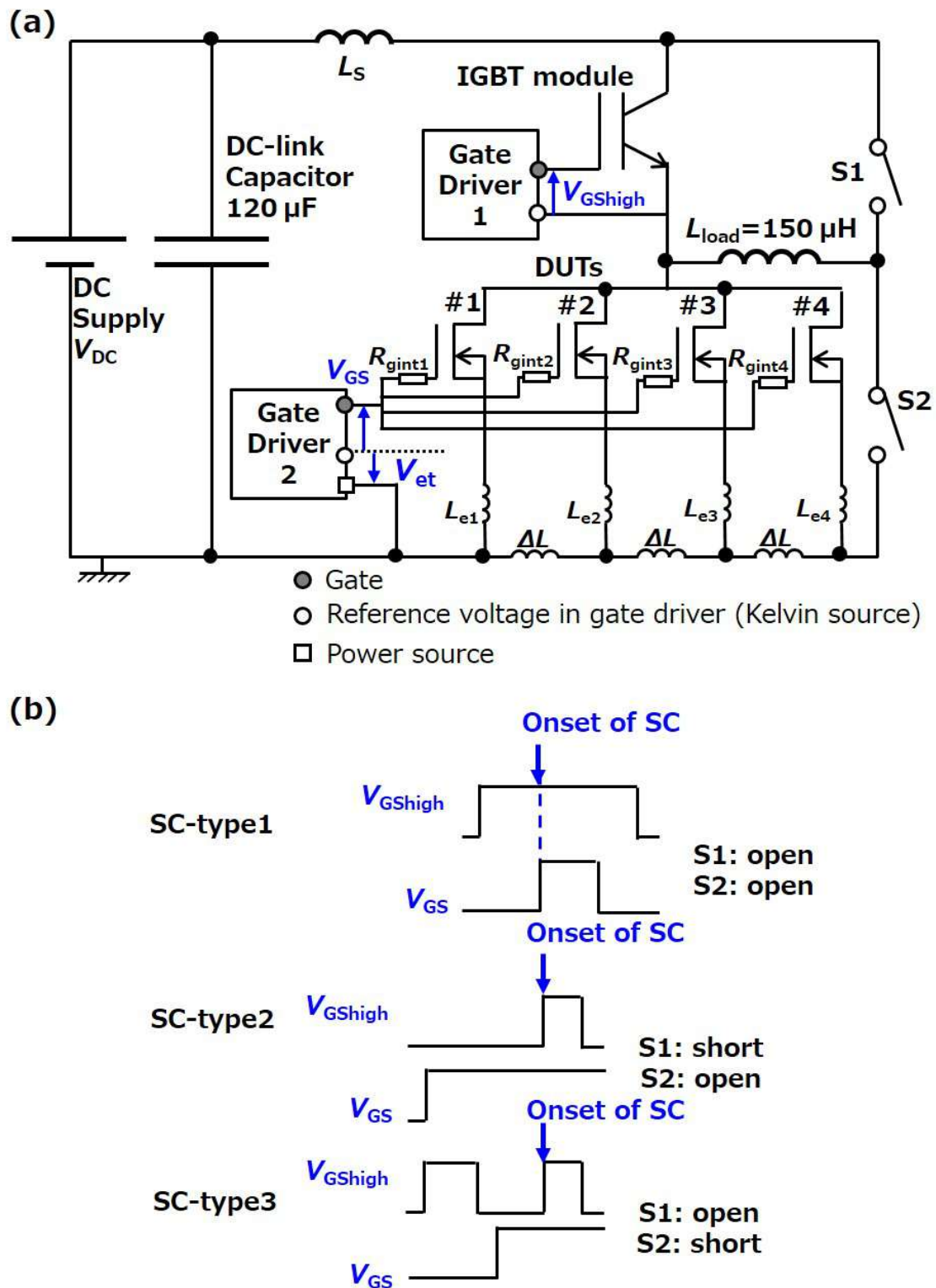


図 4.8: (a) 試験回路. (b) 各短絡モードを模擬するための負荷インダクタンスの回路接続およびゲートの駆動シーケンス.

#### 4.4.2 1 並列での検証

はじめに、図 4.8(a) の DUT#4 の位置に SiC-MOSFET を接続、#1 から#3 の位置には DUT を接続しない開放状態にて短絡試験を実施した。本評価系の寄生インダクタンス ( $L_S$ ) は 33 nH である。ここで DUT は、Cree 社製の 1.2 kV/63 A 定格の SiC-MOSFET (C3M0032120K) を用いた。本デバイスのソース側の寄生インダクタンスの実測値は  $L_{e4} = 3.7$  nH である。また図 4.8(a) において追加のワイヤ配線は挿入していない ( $\Delta L = 0$ )。図 4.5 のゲート駆動電圧  $V_p$  および  $V_m$  はそれぞれ +15 V および -4 V とした。式 (4.10) に従って、短絡電流の検知レベルは  $I_{Dsc} = 240$  A (DUT の定格電流の 3.8 倍) に設計した。このとき、 $\alpha = 0.24$ ,  $V_{out2} = 0.38$  V である。また、図 4.5 に示した「サプレス回路」を作動させる  $di/dt$  の検知レベルは式 (4.8) に従って  $di/dt_{crit} = 2.8$  kA/ $\mu$ s に設定した。このとき  $V_{out1} = -2.5$  V である。「サプレス回路」が作動した時のゲート制御電圧 ( $V_{sup1}$ ) は式 (4.9) に従って  $V_{sup1} = 11.7$  V に設計した。

図 4.9 は、短絡保護波形を示す。Type1~Type3 の全短絡モードにおいて短絡破壊することなく DUT を保護できることを確認した。図 4.9 の  $SC_{SIG}$  は、「サプレス回路」が作動したタイミングを示している。図 4.9(b)(c) において各々(4.8) 式に従って規定した値の  $di/dt_{crit} = 2.8$  kA/ $\mu$ s を超える 6.5 kA/ $\mu$ s および 8.8 kA/ $\mu$ s で「サプレス回路」が作動しており、ゲート-ソース間電圧が  $V_p$  から (4.9) 式に従って設計した  $V_{sup1} = 11.7$  V まで減少することを確認した。その結果 Type2 および Type3 短絡の条件下で、 $t = 1.0$   $\mu$ s 付近から短絡電流が抑制されている。Type2 および Type3 短絡の発生から約 200 ns で短絡を検知し、1.0  $\mu$ s 以内に DUT に流れる電流を遮断できることを実証した。

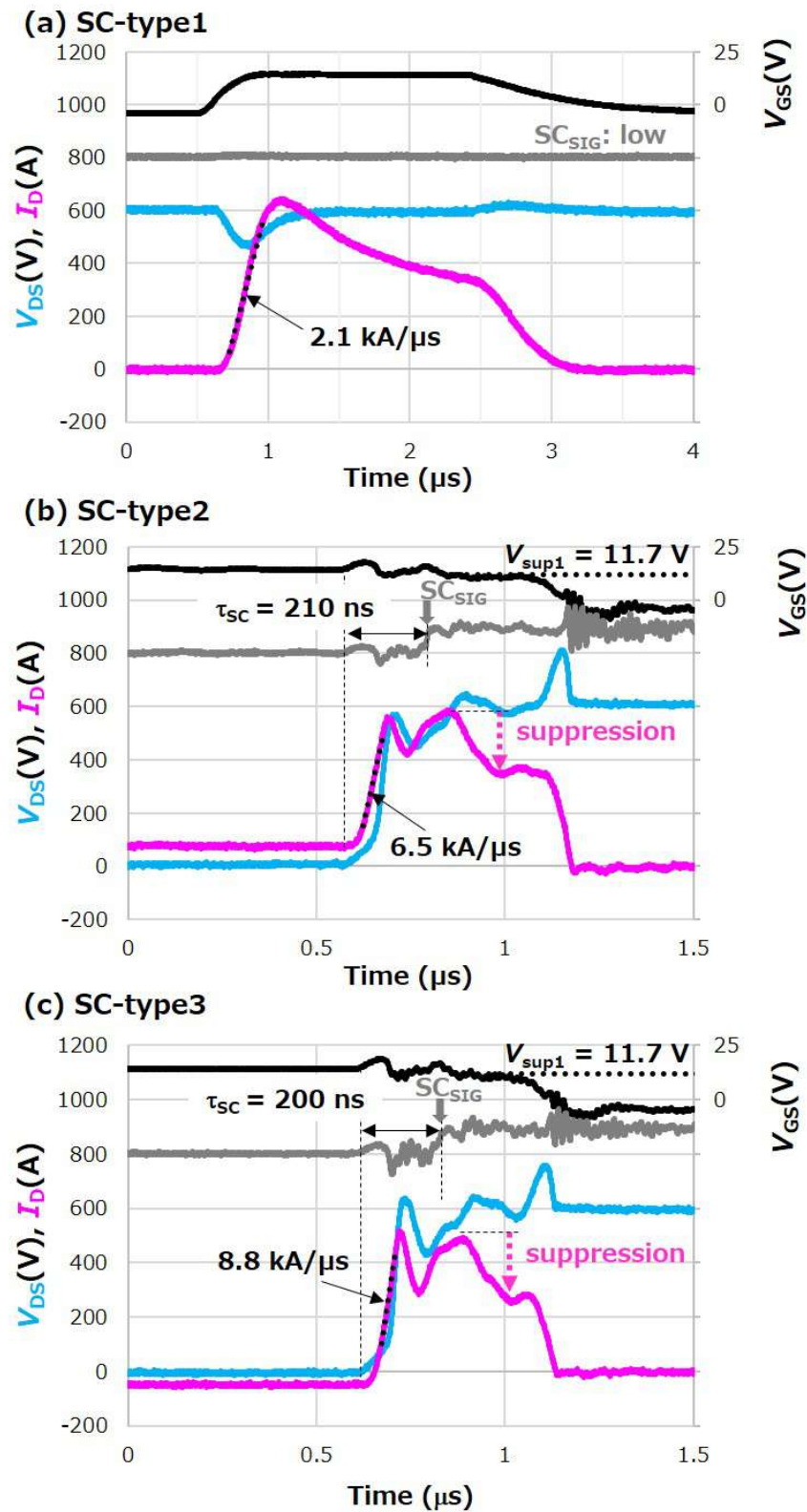


図 4.9: 1 並列の SiC-MOSFET の短絡保護波形 ( $V_{DC} = 600 \text{ V}$ ,  $25 \text{ }^\circ\text{C}$ ) .

図 4.10(a)(b) は、短絡時の  $di/dt$  に対する短絡検出時間 (図 4.9(b)(c) の  $\tau_{SC}$ ) の実測結果を示す。図 4.8(a) のゲート駆動回路 1 のゲート抵抗を調整することにより、Type2, Type3 の短絡モードを模擬するための IGBT モジュールのターンオンの  $di/dt$  を変化させた。本 DUT の定格電流ターンオン時の  $di/dt$  は  $di/dt_{rated} = 2.25 \text{ kA}/\mu\text{s}$  であるが、図 4.10(a) より、 $di/dt_{rated}$  の 3.8 倍の  $di/dt = 8.6 \text{ kA}/\mu\text{s}$  まで大きくしても、短絡開始後  $\tau_{SC} = 200 \text{ ns}$  で  $di/dt$  を検出し、DUT を破壊することなく遮断できることを確認した。(4.8) 式および図 4.10(a) が示すように、 $di/dt$  が大きくなると図 4.5 の Comp1 の検知電圧 ( $V_{out1}$ ) が増大して短絡検出時間 ( $\tau_{SC}$ ) が短くなるため、Type2 や Type3 のような  $di/dt$  が大きなアーム短絡に対して提案手法が有効であることを確認した。

さらに、図 4.8(a) の IGBT モジュールと DUT#4 の上下アームの配置を入れ替えることにより、提案手法の耐ノイズ性を検証した。DUT の電位が変動する上アーム側にて短絡開始時の  $di/dt$  に対する  $\tau_{SC}$  を実測した結果を図 4.10(a) に追記した。また同一  $di/dt$  における短絡保護波形の比較を図 4.10(b) に示す。DUT を上アームに配置した場合も下アームに配置した場合と同程度の  $\tau_{SC}$  にて  $di/dt$  を検出し、DUT を遮断できることを確認した。

図 4.10(c) は、DUT の温度 ( $T$ ) に対する短絡検出時間 ( $\tau_{SC}$ ) の実測結果を示す。DUT にヒーターを密着させて加熱し、 $T = 25 \sim 175 \text{ }^\circ\text{C}$  に対する Type2 短絡時の  $\tau_{SC}$  を  $V_{DC} = 600 \text{ V}$  および  $800 \text{ V}$  にて測定した。短絡開始時の  $di/dt$  は  $V_{DC}$  の上昇により増加するが温度依存性は小さく、 $di/dt = 6.1 \sim 7.3 \text{ kA}/\mu\text{s}$  の範囲に収まっている。その結果、短絡開始後  $\tau_{SC} = 200 \sim 210 \text{ ns}$  で  $di/dt$  を検出でき、一般に短絡保護がより厳しくなる高温状況下でも DUT を高速に遮断できることを確認した。文献 [56] では、SiC-MOSFET のケース温度の増加に対して短絡時の飽和電流は減少するが、短絡開始時の  $di/dt$  の温度依存性は小さい結果が報告されており、本評価結果と符合している。したがって  $di/dt$  が大きなアーム短絡が高温状況下で発生した場合でも、提案手法は有効であると考えられる。

最新の  $1.2 \text{ kV}$  定格の SiC-MOSFET デバイスの短絡時の安全動作領域 (Short Circuit Safe Operating Area: SCSOA) は、 $600 \text{ V}$ ,  $25 \text{ }^\circ\text{C}$  でおよそ  $2 \mu\text{s} \sim 6 \mu\text{s}$  と報告されている [55]。提案したゲート駆動回路は、1 並列の SiC-MOSFET に対しては十分なマージンをもって短絡からデバイスを保護できることが実証された。

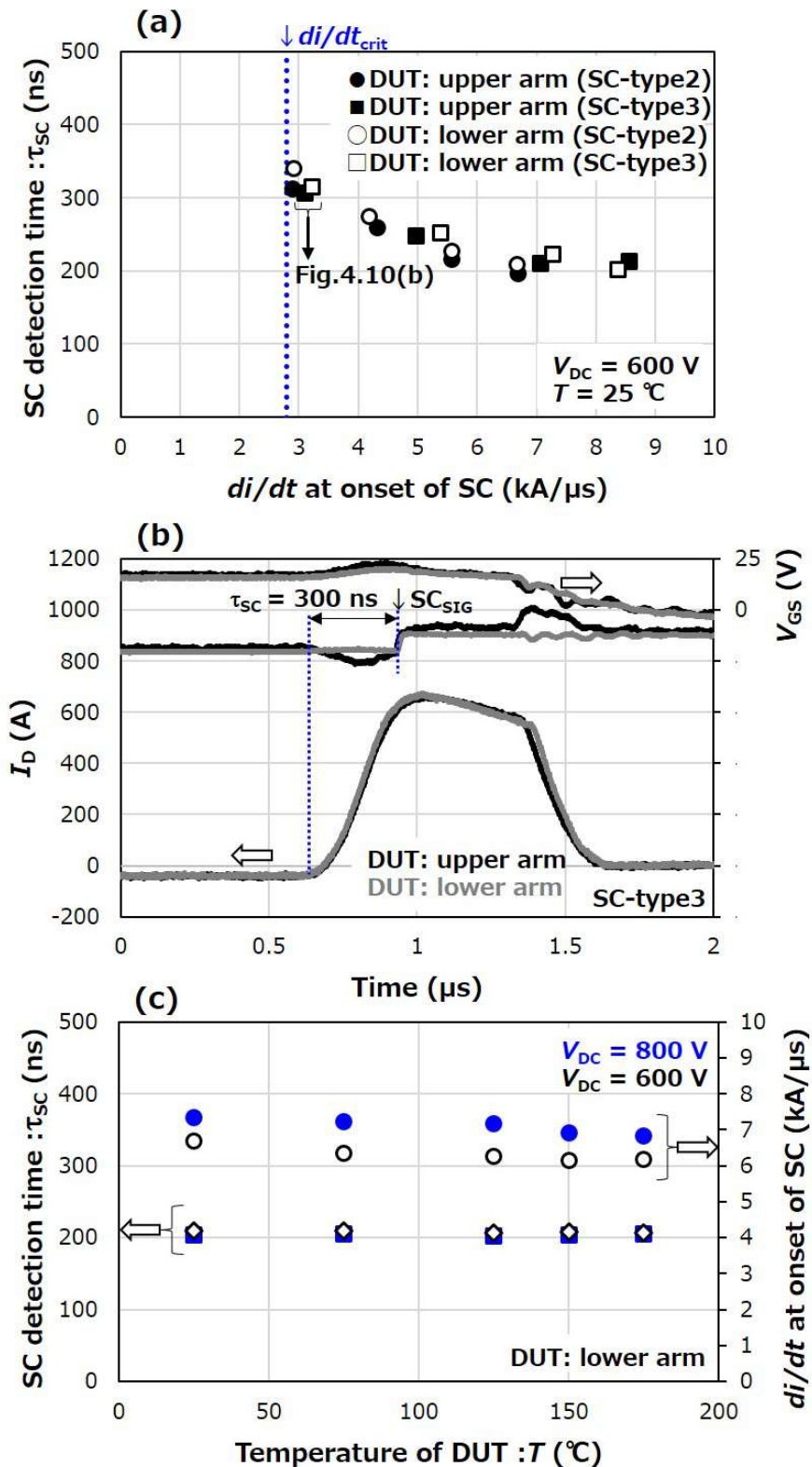


図 4.10: (a) 短絡検出時間 ( $\tau_{SC}$ ) と短絡時の  $di/dt$  の関係. (b) DUT を上アームと下アームに配置した場合の短絡保護波形. (c)  $\tau_{SC}$  と短絡時の  $di/dt$  の温度依存性.

### 4.4.3 多並列での検証

複数の SiC-MOSFET が並列接続された状況で短絡保護を検証した。以下では Rohm 社製の 1.2 kV/55 A 定格の SiC-MOSFET (SCT3040KR) に提案回路を適用した。本デバイスのソース側の寄生インダクタンスの実測値は  $L_e = 4.2$  nH である。ゲート駆動電圧は、 $V_p = +18$  V および  $V_m = -4$  V で実施した。

図 4.8(a) に示した試験回路で DUT に流れる電流にアンバランスが発生しない条件下で実験を行った結果を以下に示す。図 4.8(a) において追加のワイヤ配線は挿入せず ( $\Delta L = 0$ )、ソース側の配線の寄生インダクタンス ( $L_{e1} \sim L_{e4}$ ) は同一の  $L_e = 4.2$  nH になるように設定した。また、ゲート端子の直近のゲート抵抗 ( $R_{gint1} \sim R_{gint4}$ ) も同一の  $R_{gint} = 10$   $\Omega$  に設定した。上記の回路パラメータのもとで図 4.8(a) の DUT の #1~#4 の位置に SiC-MOSFET を実装し、並列数を  $N_{para} = 1$  から  $N_{para} = 4$  まで変更した。短絡電流の検知レベルは DUT の定格電流の 3.8 倍の  $I_{Dsc} = 210$  A に設定した。SiC-MOSFET の並列数 ( $N_{para}$ ) に関係なく同じ短絡電流レベル ( $I_{Dsc} = 210$  A) で短絡を検知できるように、式 (4.10) に従って抵抗分圧比  $\alpha$  と参照電圧  $V_{ref2}$  を調整している。具体的には、図 4.2(c) に示したように  $N_{para}$  が増えるにつれて電圧  $V_{et}$  の振幅が減少するので、 $V_{et}$  検知電圧 (図 4.5 の  $V_{out1}$ ) の調整パラメータである  $\alpha$  は増大させている。

Type1 短絡の条件下で個々の DUT を流れる短絡電流 ( $I_D$ ) および「 $di/dt$  積分回路」の出力電圧 (図 4.5 の  $V_{out2}$ ) を測定して図 4.11 に示した。黒線は、複数並列化した個々の SiC-MOSFET を流れる短絡電流の平均値 (average  $I_D$ ) を示す。図 4.11(b)(c)(d) より、個々の SiC-MOSFET を流れる短絡電流はほぼバランスしていることが確認できる。並列数  $N_{para}$  に関係なく図 4.5 の Comp2 によって  $t = t_1$  ( $I_{Dsc} = 210$  A) で短絡を検知できていることがわかる。したがって、 $N_{para}$  が変化してもあらかじめ規定した  $I_{Dsc}$  で短絡を検知できることが実証できた。また図 4.11 より、 $V_{out2} = V_{ref2}$  となって図 4.5 の Comp2 が短絡を検知するタイミング ( $t_1$ ) は、平均電流 (average  $I_D$ ) が検知レベル  $I_{Dsc}$  に到達するタイミング ( $t_2$ ) とほぼ一致していることから「 $di/dt$  積分回路」の動作を検証できた ( $t_1 \simeq t_2$ )。また、積分回路の遅延は、SiC-MOSFET の短絡耐量 (短絡許容時間) に対して十分に小さく無視できる程度であることを確認できた。

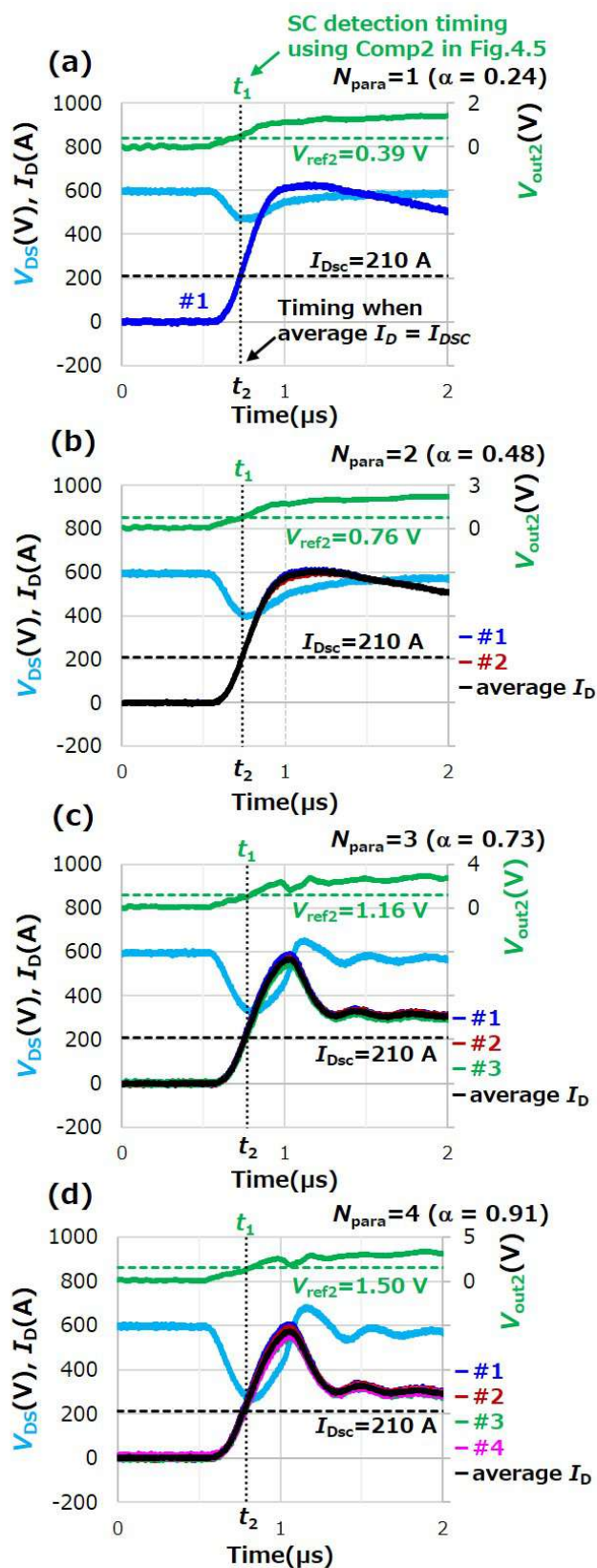


図 4.11: SiC-MOSFET の並列数 ( $N_{para}$ ) に応じた短絡検知回路のパラメータ ( $\alpha$ ,  $V_{ref2}$ ) の調整.



表 4.1: 電流アンバランスを誘起させる回路パラメータ ( $L_e$ ,  $R_{\text{gint}}$ )

DUT	$L_e$ (nH)	$R_{\text{gint}}$ ( $\Omega$ )
#1	$L_{e1} = 4.2$	10.0
#2	$L_{e2} + \Delta L \simeq 14$	7.5
#3	$L_{e3} + 2 \times \Delta L \simeq 24$	5.1
#4	$L_{e4} + 3 \times \Delta L \simeq 34$	2.4

以下では、図 4.8(a) に示した試験回路で DUT を流れる電流にアンバランスが発生する条件下で実験を行った結果を示す。図 4.8(a) の DUT の #1 から DUT #4 の位置に 4 個の SiC-MOSFET を接続して短絡試験を実施した。

短絡電流の検知レベルは図 4.11(d) の  $N_{\text{para}} = 4$  の場合と同じである ( $I_{\text{Dsc}} = 210$  A,  $\alpha = 0.91$ ,  $V_{\text{out}2} = 1.50$  V)。図 4.5 に示した「サプレス回路」を作動させる  $di/dt$  の検知レベルは  $di/dt_{\text{crit}} = 0.75$  kA/ $\mu$ s に設定した。

DUT #1 を流れるドレイン電流 ( $I_D$ ) を最大化し DUT #4 を流れる  $I_D$  を最小化するように DUT 間の電流アンバランスを増大させた。表 4.1 は、図 4.8(a) に示した DUT 間に大きな電流アンバランスを故意に誘起するための回路パラメータを示す。各 DUT のソース側の寄生インダクタンスを変化させるために、約 10 nH のワイヤ配線 ( $\Delta L \simeq 10$  nH) を DUT の #1-#2 間, #2-#3 間, および #3-#4 間にそれぞれ挿入した。また、DUT の #1 から #4 のゲート端子の直近のゲート抵抗を表 4.1 に示すように変更した。

図 4.12 は、上記の回路パラメータにおける 4 並列の SiC-MOSFET の短絡保護波形を示す ( $V_{\text{DC}} = 600$  V)。Type1 短絡, Type2 短絡, Type3 短絡の発生からそれぞれ 440 ns, 320 ns, 410 ns で短絡を検知した。また、すべての短絡モードにおいて短絡開始から最大でも 2.2  $\mu$ s 以内に DUT を保護 (遮断) できることを確認した。したがって提案回路は、電流アンバランスを故意に増大させた条件下においても、すべての短絡モードに対応して SiC-MOSFET を破壊することなく保護で



きることを確認した。また図 4.12 より、 $V_{out2} = V_{ref2}$  となって図 4.5 の Comp2 が短絡を検知するタイミング ( $t_1$ ) と、平均電流 (average  $I_D$ ) が検知レベル  $I_{Dsc}$  に到達するタイミング ( $t_2$ ) とを比較すると、average  $I_D$  が  $I_{Dsc}$  に到達するタイミングよりも数十 ns 程度早く短絡を検知していることが確認できる ( $t_1 < t_2$ )。一方、電流アンバランスがほとんどない図 4.11 の実測結果では、両者のタイミングはほぼ一致した ( $t_1 \simeq t_2$ )。これらの実測結果は、4.3.1 で検討した「電流アンバランス条件では短絡開始時の  $di/dt$  を電流バランス条件よりも早く検知できる」という結論の妥当性を示している。

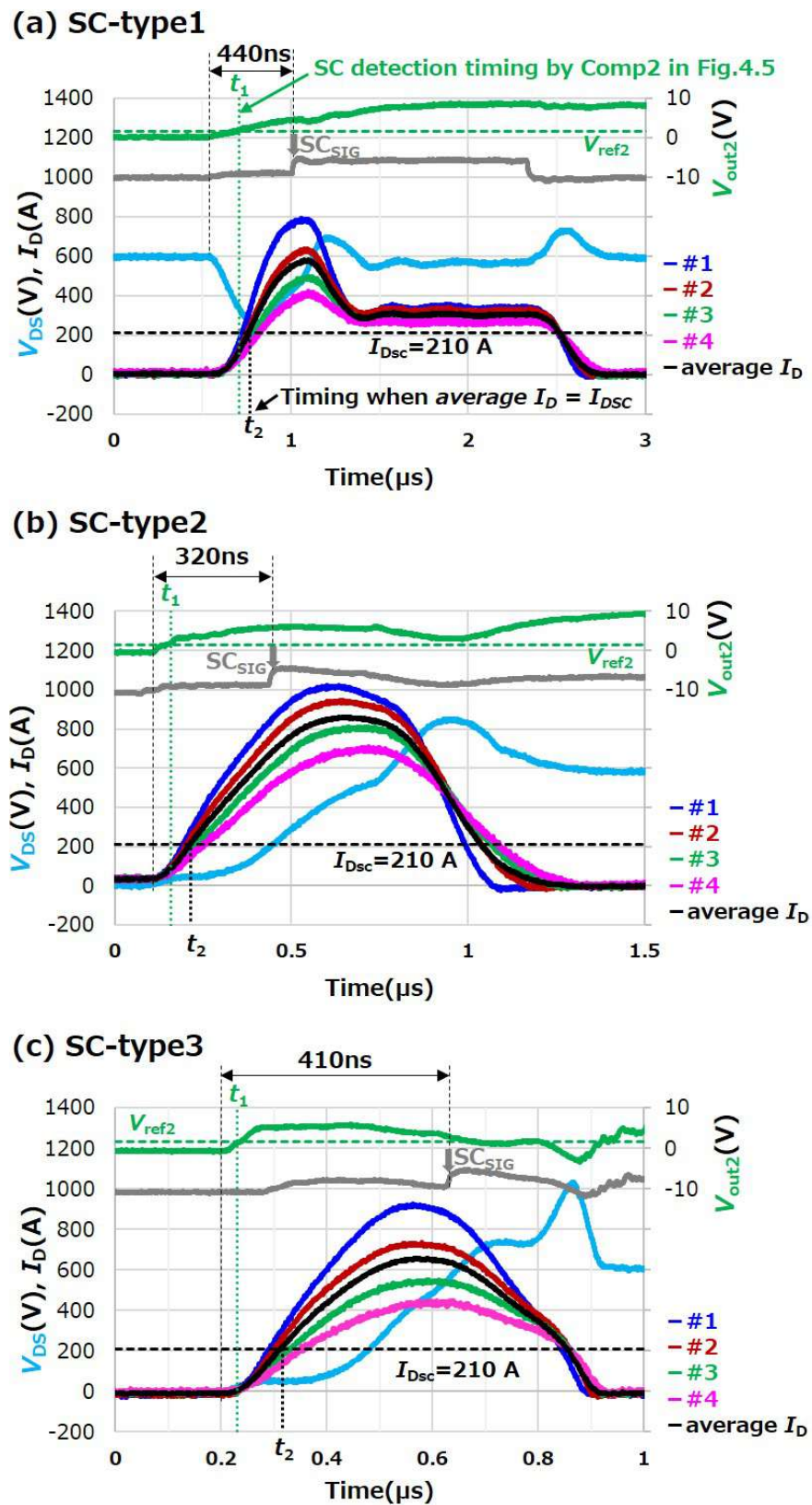


図 4.12: 電流アンバランス条件下の 4 並列の SiC-MOSFET の短絡保護波形 ( $V_{DC} = 600 \text{ V}$ ,  $25 \text{ }^\circ\text{C}$ ) .

表 4.2: 4 並列の SiC-MOSFET の電流アンバランス率と短絡遮断時間の実測結果.

SC	Current imbalance: $K$ (%)	Shut down time: $t_{\text{cut off}}$ ( $\mu\text{s}$ )
Type1	62	2.2
Type2	40	1.2
Type3	44	1.2

さらに、図 4.13 に  $V_{\text{DC}} = 800 \text{ V}$  に対する短絡保護波形を示す。Type1, Type2, Type3 のすべての短絡モードで DUT を破壊することなく保護できることを確認した。短絡ピーク電流の最大値  $I_1$  と最小値  $I_4$ 、および #1 から #4 の短絡ピーク電流の平均値  $I_\mu$  を用いて、4 並列の DUT 間の電流アンバランス率  $K$  を式 (4.11) で定義して、短絡遮断時間とともに表 4.2 に示す。

$$K = \frac{I_1 - I_4}{I_\mu} \quad (4.11)$$

短絡遮断時間 ( $t_{\text{cut off}}$ ) は図 4.13 に示すように、DUT に短絡電流が流れ始めた時点からすべての DUT の電流が遮断されるまでの経過時間で定義した。4 並列の SiC-MOSFET の間に 40~62 % という過大な電流アンバランスがある条件下でも、Type1,2,3 のすべての短絡モードにおいて短絡発生から最大で  $2.2\mu\text{s}$  以内ですべての SiC-MOSFET を破壊なく保護できることを実証した。

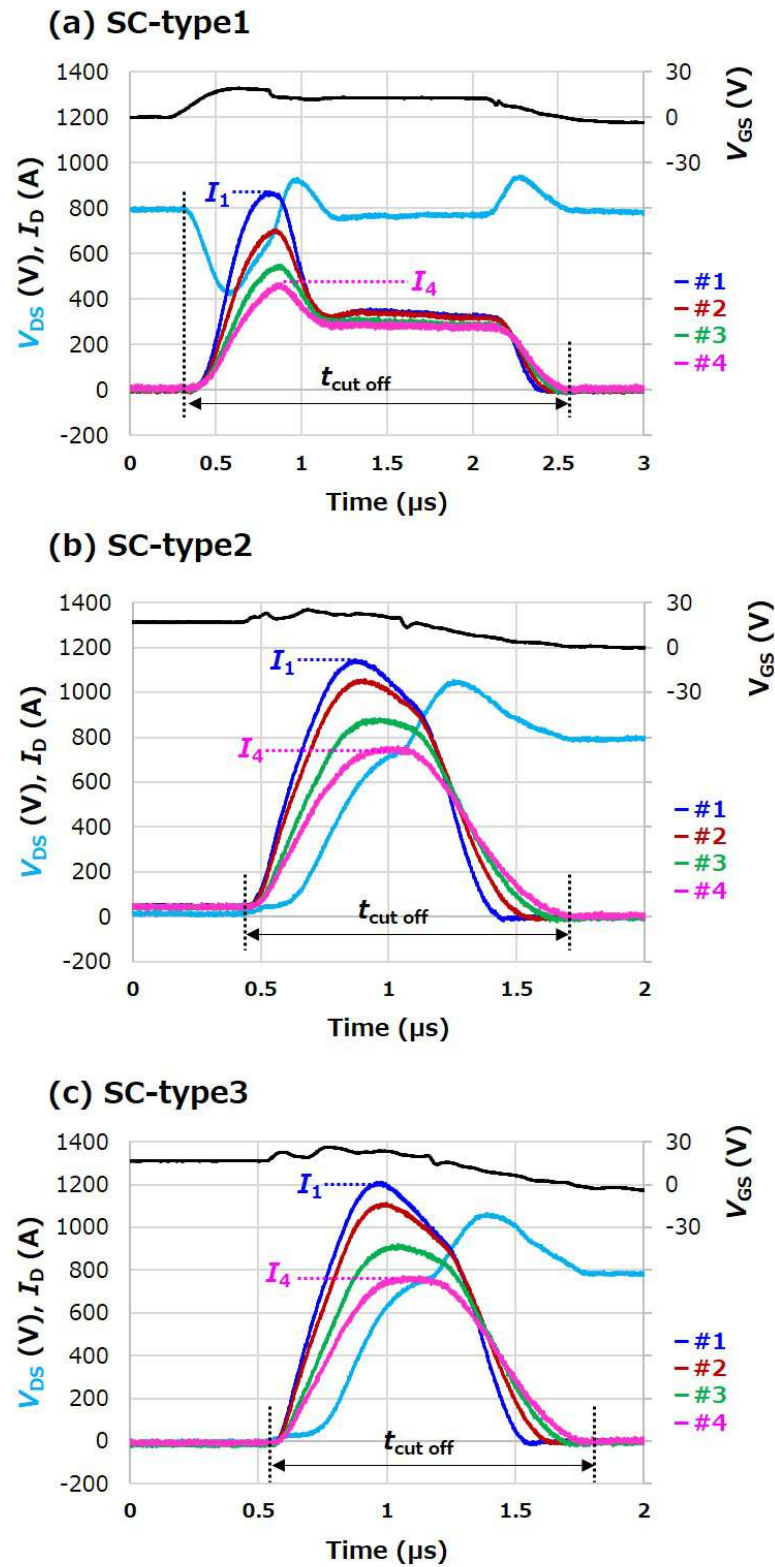


図 4.13: 電流アンバランス条件下の 4 並列の SiC-MOSFET の短絡保護波形 ( $V_{DC} = 800 \text{ V}$ ,  $25 \text{ }^\circ\text{C}$ ) .

## 4.5 結論

本報告では、並列接続された SiC-MOSFET 間で電流アンバランスが発生している条件下でも高速に短絡を検知・保護できる手法およびゲート駆動回路を提案した。

提案した回路は「 $di/dt$  積分回路」によりドレイン電流 ( $I_D$ ) に変換して検知するため、並列接続された SiC-MOSFET の数に関係なく、短絡を検知する電流レベル ( $I_{Dsc}$ ) を任意の値に設計することができ、必要十分なマージンを確保しながら高速に短絡を保護できる。また提案回路は、高速な保護が要求される Type2 短絡や Type3 短絡にも対応できる。これは、「サプレス回路」により短絡開始時の  $di/dt$  が大きい場合に短絡電流を即座に抑制できるためである。

最後に提案手法の有効性を実測で検証した。4 並列の SiC-MOSFET の間に過大な電流アンバランスがある条件下で、Type1,2,3 のすべての短絡モードにおいて短絡発生から  $0.5 \mu s$  以内に短絡を検知し、最大で  $2.2 \mu s$  以内ですべての SiC-MOSFET を破壊なく保護できることを実証した。

# 第5章 低ノイズ化と低損失化を両立 する駆動技術

## 5.1 緒論

SiC-MOSFETは高速スイッチングで低損失なパワーデバイスとして、近年多くのパワーエレクトロニクス機器に適用されている。一方で、 $dv/dt$ や $di/dt$ が大きいためEMIノイズを増大させる懸念がある。本章では、SiC-MOSFETのボディダイオードのスイッチングリカバリー（逆回復動作）時に起こるリングング振動やサージ電圧を抑制できる、シンプルでロバストなゲート駆動回路を提案し、その効果を実証する。

パワーデバイスのアクティブゲート駆動の先行研究と課題を述べ（2節）、低ノイズ化と低損失化を両立する提案駆動方式の原理を述べる（3節）。提案するゲート駆動回路は、ゲート-ソース間電圧（ $V_{GS}$ ）を上昇させてデバイス内部にチャネルリーク電流を誘起することによりリングング振動の減衰効果を高める方式（CLC方式）を用いている。本ゲート駆動回路は、パワーデバイスのスイッチング損失を増加させることなくCLC動作を開始する最適なタイミングを自己調整することが可能である。さらに、 $V_{GS}$ を上昇させるための回路は、駆動条件に応じて出力電圧を調整するようないわゆるアクティブ制御を必要としない。したがって、駆動回路の構成が簡単になり、駆動条件が変わっても回路パラメータを変更することなく、スイッチング損失を増加させずにリングング振動を容易に減衰させることができる。提案したゲート駆動回路の詳細を説明し（4節）、幅広い範囲のSiC-MOSFETの駆動条件に対して提案回路の有効性を実証した結果を示す（5節）。

## 5.2 先行研究と課題

SiC-MOSFETは高速スイッチングで低損失なパワーデバイスとして、近年多くのパワーエレクトロニクス機器に適用されている。高速スイッチング化によりスイッチング損失が低減できるが、 $dv/dt$ や $di/dt$ が増大するためEMIノイズが増加してしまうことが指摘されている[70][71][72]。したがって、SiC-MOSFETの適用においてスイッチング動作にともなうサージ電圧やリングング振動を抑制することが極めて重要である。

文献[73][74][75]では、SiC-MOSFETのリングング振動が電力変換回路の寄生LCパラメータに関連していることが報告されている。文献[75]では、回路の寄生インダクタンスを低減することにより、SiC-MOSFETのリングング振動を減衰する解析が詳細に報告されている。しかしながら、回路の寄生インダクタンスの低減は、電力変換器のレイアウト設計による制約をしばしば受けるため[76]、その低減量には限界がある。

パワーデバイスのゲート駆動によりリングング振動やサージ電圧を抑制する手法として、アクティブゲート駆動(Active Gate Drive: AGD)があり、文献[77]~[102]に示したようなさまざまな方式が報告されている。AGDでは、スイッチング期間を複数のセグメントに分割して各セグメントにおけるゲート駆動速度を適切に変化させる。その結果、互いにトレードオフの関係にあるスイッチング損失の低減とリングング振動やサージ電圧の抑制を両立することができる。

AGDの方式は、open-loop型(文献[77]~[84])とclosed-loop型(文献[85]~[101])に大別することができる。open-loop型では、AGD動作を開始するタイミングがあらかじめ適切なタイミングに調整されていることが必要である。しかしながら、パワーデバイスのスイッチング速度は電圧や電流や温度などの駆動条件に応じて非線形に変化するため、あらかじめ適切なタイミングに調整しても駆動条件が変わるとAGD動作の開始タイミングが最適点からずれるということがしばしば起こる。そのため、限られた駆動条件でしかAGDの効果を発揮できないことがあり、駆動条件に対するロバスト性の向上が課題になる。

closed-loop型では、パワーデバイスのスイッチングの振る舞いがゲート駆動回路にフィードバックされる。そのため、駆動条件の変化によるタイミングのずれを補

償するように、AGD動作の開始タイミングを決めることができる。駆動条件の変化に対するAGDのロバスト性を検証した報告がいくつかあり、文献[86][87][88]ではインバータの出力電流、文献[87]ではDCリンク電圧、文献[89]ではデバイス温度の変化に対して検討されている。また、AGDではパワーデバイスのスイッチング速度を変化させる手段として、ゲート抵抗( $R_G$ )、ゲート電圧( $V_{GE}$ )、ゲート電流( $I_G$ )を変化させる3つのタイプがある。closed-loop型のAGD回路では、駆動条件に応じてスイッチング速度を最適化することが可能であり、スイッチング動作の中で $R_G$ [90, 76, 91, 92, 93]、 $V_{GE}$ [85, 87, 94, 95, 96]、 $I_G$ [86, 89, 97, 98, 99, 100, 101]を調整した報告例がある。しかしながら、これらの方式は、回路構成や制御スキームが複雑であり高価になることが多い。

近年ではAGDをSiC-MOSFETに適用し、電圧や電流のオーバーシュートやリングング振動を抑制する効果を実証した報告がなされている[79, 80, 82, 76, 92, 93, 94, 95, 96, 98, 99, 100, 101, 102]。しかしながら、SiC-MOSFETのボディダイオードのスイッチングリカバリー時に起こるリングング振動やサージ電圧の抑制に関する報告例はほとんどない。また、パワーデバイスのスイッチング損失を増大せずにリングング振動を抑制するためには、AGD動作を開始するタイミングを適切に検知できることが重要である。

## 5.3 提案する駆動方式の原理

本節では、SiC-MOSFETのボディダイオードのスイッチングリカバリー時に起こるリングング振動やサージ電圧をスイッチング損失を増大せずに抑制できるゲート駆動回路を提案する。提案するゲート駆動回路はシンプルであり、SiC-MOSFETの駆動条件の変化に対してゲート駆動回路のパラメータを変更することなく対応できる。

### 5.3.1 ゲート駆動のコンセプト

図5.1はSiC-MOSFETのスイッチング評価装置(ダブルパルス試験装置)を示す。本試験回路は、2つのSiC-MOSFETを有するハーフブリッジ回路、DCリン



クキャパシタおよび負荷インダクタンスから構成される。DC リンクキャパシタの容量は  $120 \mu\text{F}$ 、負荷インダクタンスは  $165 \mu\text{H}$  である。図 5.1 において、2つの SiC-MOSFET と DC リンクキャパシタで構成される回路ループを、以下パワーラープと称する。図 5.1 の  $L_S$  は、パワーラープの寄生インダクタンスである。図 5.1(a) は、SiC-MOSFET のボディダイオード (DUT1) のスイッチングリカバリー (逆回復) 時のリングング振動の抑制効果を評価するための回路構成である。図 5.1(b) は、SiC-MOSFET (DUT2) のターンオフ時のリングング振動の抑制効果を評価するための回路構成である。

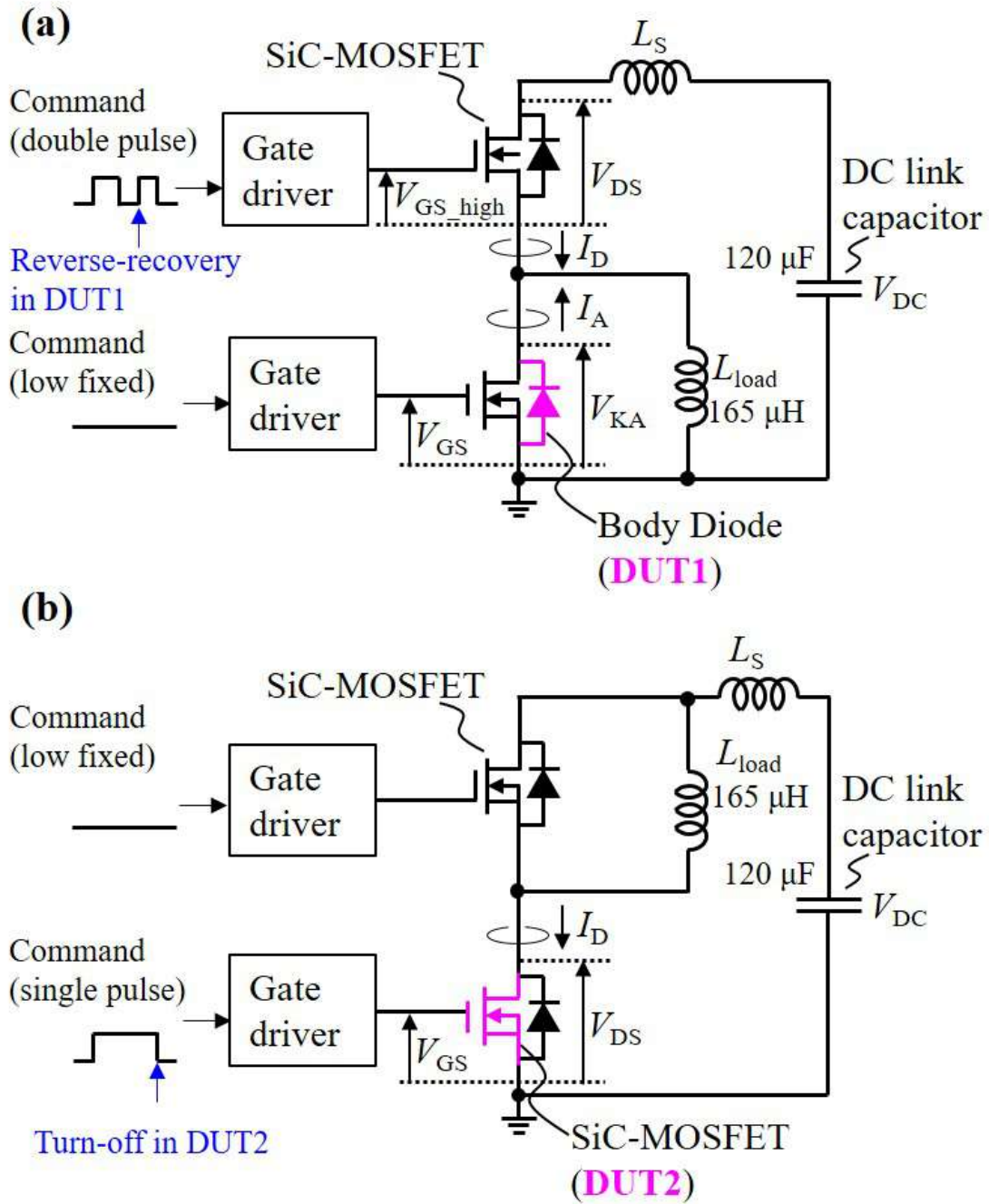


図 5.1: (a) SiC-MOSFET のボディダイオード (DUT1) のスイッチングリカバリーを評価するためのダブルパルス試験回路 (b) SiC-MOSFET (DUT2) のターンオフスイッチングを評価するためのシングルパルス試験回路

本研究では、リングング振動抑制の指標を SiC-MOSFET のスイッチング波形か

ら評価した。各指標は、ダンピング時間 ( $T_{OSC}$ )、最大振動振幅 ( $V_{OSC}$ )、サージピーク電圧 ( $V_{surge}$ ) である。図 5.2(a) に各指標の定義を示す。青線と赤線は、それぞれ SiC-MOSFET のボディダイオードのカソード-アノード間電圧 ( $V_{KA}$ ) およびアノード電流 ( $I_A$ ) を示す。 $T_{OSC}$  は、 $V_{KA}$  がピークを迎える時刻  $t_1$  と振動振幅が DC リンク電圧の 1% ( $0.01 \times V_{DC}$ ) に減衰するまでの時刻  $t_e$  との間の時間差で定義される。 $V_{OSC}$  は、 $V_{KA}$  のリングング振動の振幅の最大値で定義される。 $T_{OSC}$  が短いほど振動の減衰効果が大きいことを意味する。チャンネルリーク電流が流れると、図 5.2(a) で示した逆回復電流の  $di/dt$  は小さくなる (ソフトリカバリー)。その結果、パワーロウプの寄生インダクタンス ( $L_S$ ) と  $di/dt$  で決まる  $V_{KA}$  のサージ電圧 ( $V_{surge}$ ) は抑制される。同時に  $V_{OSC}$  も減少する。したがって本研究では、 $V_{surge}$  および  $V_{OSC}$  もノイズ抑制に関係する指標として検討した。

本節では、SiC-MOSFET のターンオフ動作時にゲート-ソース間電圧 ( $V_{GS}$ ) を上昇させて短時間だけチャンネルリーク電流を流すことにより、リングング振動とサージピーク電圧を抑制する手法を提案する。提案するゲート駆動方式を図 5.2(b) に模式的に示す。ここで  $V_m$  は、オフ時の負のゲートバイアス電圧である。従来の駆動方式では、スイッチングリカバリー中の  $V_{GS}$  は図 5.2(b) の破線に示すように  $V_m$  に保持されている。提案方式では、 $V_{GS}$  の上昇電圧を  $V_{int}$ 、上昇を開始するタイミングを  $t_{start}$ 、 $V_{GS}$  が閾値電圧 ( $V_{th}$ ) よりも大きくなる期間を  $T_{int}$  と定義する (図 5.2(b) 参照)。ここで  $V_{keep}$  と  $T_{keep}$  は、それぞれ提案するゲート駆動回路にて設計する  $V_{GS}$  の保持電圧と保持期間を示す。本ゲート駆動回路は、その出力電圧を  $V_m$  から  $V_{keep}$  に上昇させて  $T_{keep}$  の時間だけ保持する機能をもつ。このときデバイスがスイッチングリカバリー動作中であれば、カソード-アノード間電圧 ( $V_{KA}$ ) の電圧変化 ( $dv/dt$ ) にともないパワーデバイスの帰還容量 ( $C_{rss}$ ) を通してゲート駆動回路に流れ込む電流 ( $C_{rss} \times dv/dt$ ) によって、 $V_{GS}$  は  $dv/dt$  が印加しているごく短時間 ( $T_{int}$ ) だけ過渡的に上昇し  $V_{keep}$  に重畳する。その結果、 $V_{GS}$  は  $V_{th}$  よりもわずかに大きくなってチャンネルリーク電流がデバイス内に流れる。上記動作を実現するゲート駆動回路は、4 節にて詳述する。

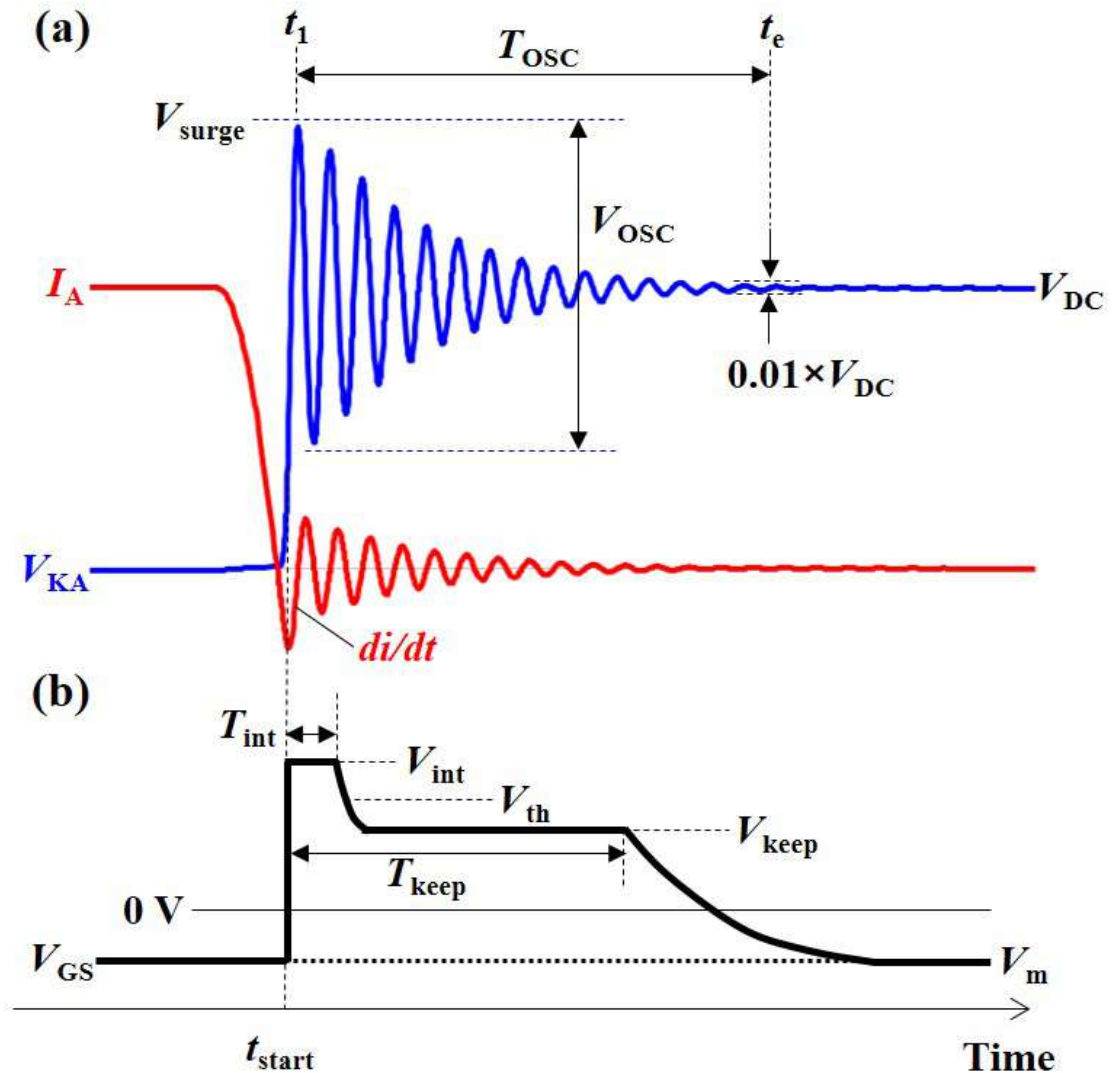


図 5.2: (a)SiC-MOSFET のリングング振動抑制の指標 (b) 提案するゲート駆動方式

### 5.3.2 SPICE 過渡解析による検証

スイッチングリカバリ時に起こるリングング振動は、パワーループの寄生インダクタンス ( $L_S$ ) とボディダイオードの出力容量 ( $C_{oss}$ ) との間の共振である [74][75]。提案方式では、SiC-MOSFET 内にチャネルリーク電流を誘起することによりパワーループの寄生 LC に蓄えられているエネルギーを減衰させ、リングング振動のダンピング効果を高めている。ここでは、 $V_{GS}$  に依存する SiC-MOSFET

のチャネルリーク電流が、リングング振動の減衰にどのように影響を及ぼすかを議論する。すなわち、電力損失の増加を最小限に抑制しながらリングング振動やサージピーク電圧を抑制するための  $V_{GS}$  を制御範囲を検討する。

$V_{GS}$  を上昇させることによるリングング振動の抑制効果を、SiC-MOSFET の SPICE モデルを用いて検討した。図 5.1(a) に示した試験回路を模擬した回路シミュレーションに 1.2 kV/115 A 定格の SiC-MOSFET (Cree, C3M0016120K) の SPICE モデルを適用した。解析条件は、電源電圧  $V_{DC} = 800$  V, ドレイン電流  $I_D = 80$  A, デバイス温度  $T_j = 25$  °C である。

図 5.3(a) は、ハイサイドの MOSFET のターンオン時のゲート-ソース間電圧 ( $V_{GS\ high}$ ), ドレイン-ソース間電圧 ( $V_{DS}$ ), およびドレイン電流 ( $I_D$ ) を示す。図 5.3(b) は、同じタイミングにおけるボディダイオード (DUT1) のスイッチングリカバリー時のゲート-ソース間電圧 ( $V_{GS}$ ), カソード-アノード間電圧 ( $V_{KA}$ ), およびアノード電流 ( $I_A$ ) を示す。黒線は従来方式の、マゼンタ線は提案方式の駆動波形を示す。チャネルリーク電流を誘起するために、図 5.2(b) に示した  $V_{int}$  は DUT1 の閾値電圧 ( $V_{th} = 2.5$  V) よりもわずかに大きい 3.0 V に設定した。 $T_{int}$  は 140 ns に設定した。 $V_{KA}$  が上昇する前にチャネルリーク電流を誘起するために、 $t_{start}$  は逆回復電流ピークのタイミング (図 5.3(b) の  $t = t_0$ ) よりも 60 ns 前になるように設定した ( $t_{start} = t_0 - 60$  ns)。図 5.3(b) に示すように、ボディダイオードのスイッチングリカバリー中に  $V_{GS}$  を上昇させると、リングング振動を減衰させることができる。

図 5.3(c) は、 $T_{OSC}$ ,  $V_{OSC}$  および  $V_{surge}$  の  $V_{int}$  に対する依存性の計算結果を示す。 $V_{int}$  が増加するほど減衰時間 ( $T_{OSC}$ ) は短くなり、振動の振幅 ( $V_{OSC}$ ) は小さくなり、サージピーク電圧 ( $V_{surge}$ ) は低くなる。これらの結果は、提案手法がリングング振動の減衰に有効であることを示している。以下本論文では、チャネルリーク電流を誘起させる本駆動方式を CLC (Channel Leakage Current) 方式と呼ぶ。また、固定のゲート抵抗値による従来の駆動方式を以下 Fixed  $R_G$  方式と呼ぶことにする。以下では、半導体デバイスモデル (TCAD モデル) を用いて、リングング振動の減衰時にデバイス中にチャネルリーク電流が形成されることを確認する。また、スイッチング損失の増大を最小限に抑えながらリングング振動を減衰させるために、CLC 動作の最適な開始タイミングを解析する。

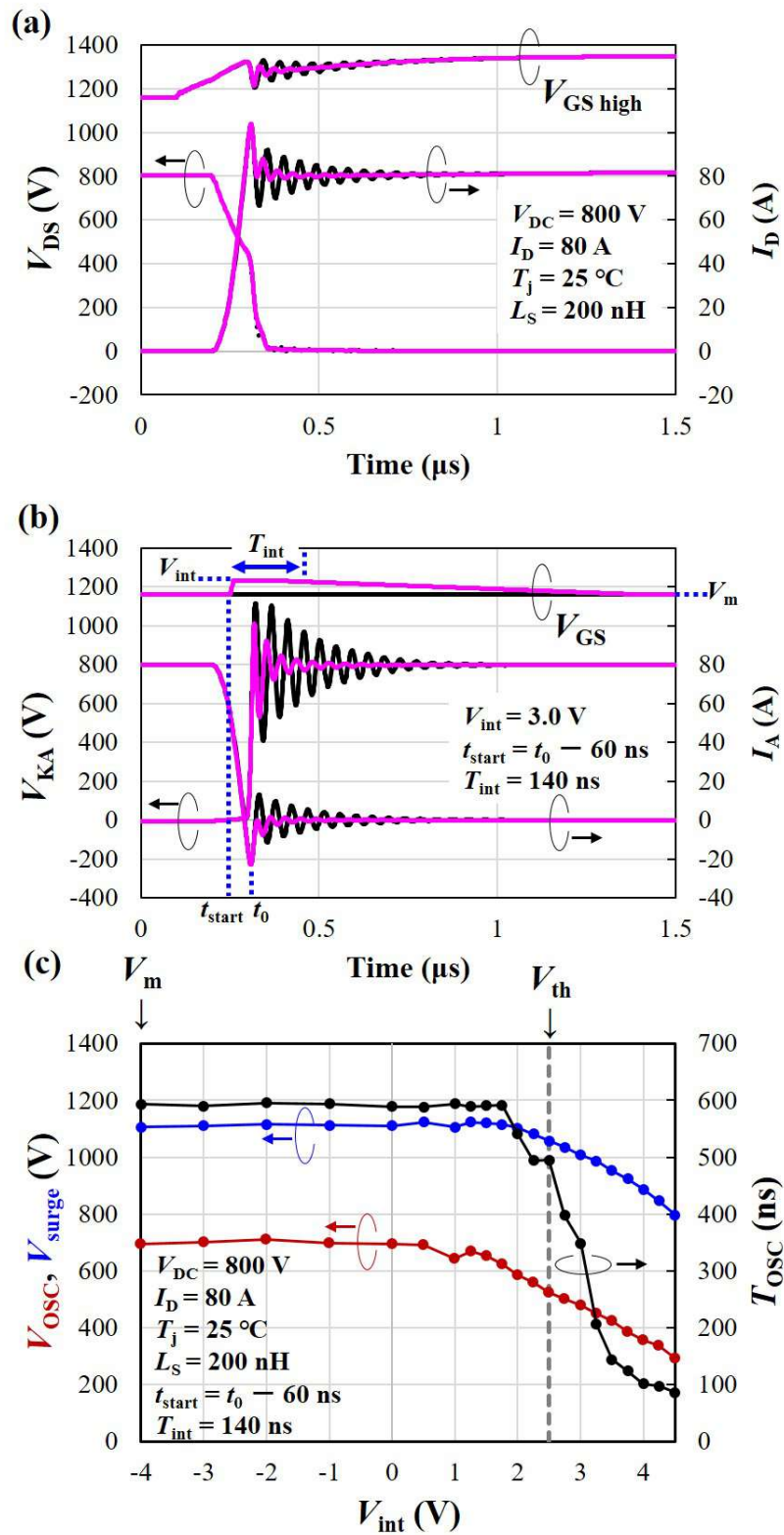


図 5.3: ターンオン動作時の SPICE モデル解析による SiC-MOSFET の電圧電流波形 (a)High-side の SiC-MOSFET, (b)Low-side のボディダイオード (DUT1) , (c) $T_{osc}$ ,  $V_{osc}$  および  $V_{surge}$  の  $V_{int}$  依存

### 5.3.3 TCAD 過渡解析による検証

CLC方式によるリングング振動の減衰について、半導体プロセス・デバイスシミュレータ(TCAD)を用いて検証を行った。図5.4(a)は、本研究で検討したSiC-MOSFETセルの断面構造を示す。デバイス構造は1.2 kV定格耐圧のプレーナ型のSiC-MOSFETである。SiC-MOSFETの構造パラメータを表5.1に示す。閾値電圧( $V_{th}$ )およびゲート-ドレイン電荷量( $Q_{GD}$ )は、前述のSPICE解析に用いたデバイスと同じCree社製1.2 kV/115 A定格のSiC-MOSFET(C3M0016120K)のデータシートの数値に合うように調整した。図5.1(a)に示した試験回路にて、SiC-MOSFETのボディダイオードのスイッチングリカバリー時のデバイスの内部状態(電子電流密度)を解析した。以下に示すシミュレーションは、DCリンク電圧 $V_{DC} = 800$  V、ドレイン電流 $I_D = 80$  A、デバイス温度 $T_j = 25$  °Cの下で実施した。

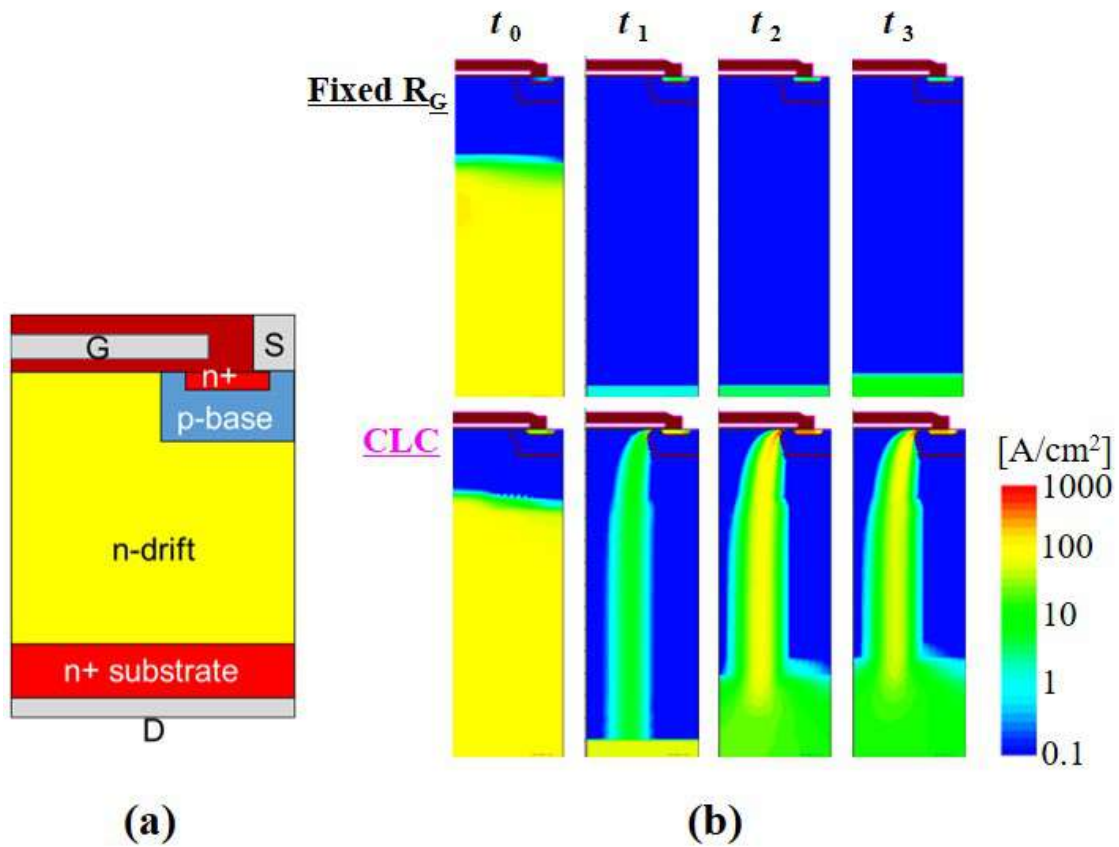


図 5.4: (a) 本研究で検討した SiC-MOSFET セルの断面構造 (b) スイッチングリカバリ中の DUT 内部の電子電流密度分布

図 5.5 は、SiC-MOSFET のターンオン動作中の電圧・電流の TCAD シミュレーション波形を示す。ボディダイオードのスイッチングリカバリによって引き起こされるリングング振動を解析した。スイッチングリカバリーのはじめ (図 5.5(b) の  $t = t_0$ ) において、CLC 方式では DUT1 の  $V_{GS}$  を  $V_m = -4.0$  V から  $V_{int} = +2.1$  V に持ち上げている。図 5.2(b) に示すように、 $V_{GS}$  の上昇を開始するタイミングを  $t_{start}$  と定義する。ここで  $t_{start} = t_0$  である。図 5.5(b) に示したスイッチングリカバリーのはじめ ( $t = t_0$ )、逆回復サージ電圧のピーク時 ( $t = t_1$ )、2 回目のリングング振動のピーク時 ( $t = t_2$ )、および 3 回目のリングング振動のピーク時 ( $t = t_3$ ) の各時刻における DUT1 内部の電子電流密度の分布を図 5.4(b) に示す。CLC 方式では  $V_{GS}$  を  $V_{int}$  まで持ち上げることで、DUT 内部にチャネルリーク電流



表 5.1: SiC-MOSFET の構造パラメータ

項目	数値
結晶多形 (Crystal polymorphism)	4H-SiC
n-ドリフト層のドーピング濃度	$6.0 \times 10^{15} \text{ cm}^{-3}$
n-ドリフト層の厚さ	14 $\mu\text{m}$
ゲート酸化膜 (SiO <sub>2</sub> ) の厚さ	70 nm
セルサイズ	5.0 $\mu\text{m}$
チャンネルの移動度	12 $\text{cm}^2/\text{V}\cdot\text{s}$
チャンネルの長さ	0.35 $\mu\text{m}$
アクティブ面積	0.18 $\text{cm}^2$

が流れていることが確認できる。一方、Fixed R<sub>G</sub> 方式ではチャンネルリーク電流は流れていない。図 5.5(b) に示すように、CLC 方式では、 $V_{\text{GS}} = V_{\text{int}} = +2.1 \text{ V}$  に上昇させた後 Fixed R<sub>G</sub> 方式に比較して急速にリングング振動が減衰することを確認した。

CLC 方式では、DUT1 に高電圧 ( $V_{\text{DC}} = 800 \text{ V}$ ) が印加している状態でチャンネルリーク電流を流すため、パワーデバイスの電力損失の増加に繋がらう。 $V_{\text{GS}}$  が過剰に上昇した場合、チャンネルリーク電流が増加するためスイッチング損失も増大する。したがって、CLC 方式ではゲート電圧の上昇量 ( $V_{\text{int}}$ ) を適切に設計することが必要である。すなわち、リングング振動時にパワーループの寄生 LC 成分に蓄積されたエネルギーよりもスイッチング損失が増加しない範囲で、リングング振動の減衰効果が得られように  $V_{\text{int}}$  を設計することが必要である。図 5.5(d) は、 $V_{\text{int}}$  をパラメータとして、リングング振動の振幅 ( $V_{\text{OSC}}$ ) とスイッチング損失との関係の計算結果を示す。ここで、スイッチング損失は DUT1 のスイッチングリカバリー損失 ( $E_{\text{rr}}$ ) と反対側のアーム (上アーム) の SiC-MOSFET のターンオン損失 ( $E_{\text{on}}$ ) との合計である。 $E_{\text{rr}}$  と  $E_{\text{on}}$  は、上アームの SiC-MOSFET の  $V_{\text{GS}}$  が上昇を開始する時点から  $V_{\text{p}} = +15 \text{ V}$  に達する時点までスイッチング時間全体にわ

たって電圧と電流の積を時間積分して計算した。ここで  $V_p$  は、DUT のオン状態における正のゲートバイアス電圧である。図 5.5(d) で CLC 方式に対する  $V_{OSC}$  およびスイッチング損失 ( $E_{on} + E_{rr}$ ) は、Fixed  $R_G$  方式に対してそれぞれ規格化している。 $V_{int}$  が +1.6 V から +2.1 V の範囲では、Fixed  $R_G$  方式に対してスイッチング損失の増加を 5 % 以下に抑制しながら、リングング振動の振幅 ( $V_{OSC}$ ) を低減することが可能である。これは CLC 方式が  $V_{GS}$  電圧の変動に対してある程度ロバストであり、実現可能な駆動方式であることを示している。

Fixed  $R_G$  方式に対して規格化した CLC 方式によるスイッチング損失 ( $E_{on} + E_{rr}$ ) および  $V_{OSC}$  について、 $t_{start}$  に対する依存性を図 5.5(e) に示す。CLC 動作の開始タイミングが DUT1 のスイッチングリカバリーの開始タイミングよりも早い場合 ( $t_{start} < t_0$ )、チャンネルリーク電流は DUT1 を流れる電流に重畳する。このとき、逆回復電流のピーク値 (図 5.5(b) の  $I_{rp}$ ) が増加するためスイッチング損失の増加を引き起こす。また  $t_{start}$  が  $t_0$  に対して遅れるほど ( $t_{start} > t_0$ )、CLC によるリングング減衰の開始タイミングも遅延するため  $V_{OSC}$  は増大する。したがって、CLC 動作を開始する最適なタイミングはスイッチングリカバリーの開始時である ( $t_{start} = t_0$ )。この動作を実現するためのゲート駆動回路の構成について、次節で説明する。なお、CLC 方式による振動減衰効果は、パワーデバイス内部に流れるチャンネルリーク電流によって、パワーループの寄生 LC に蓄積したエネルギーが消費されることに起因している。したがって、CLC 方式は SiC-MOSFET のデバイス構造 (プレーナ型, トレンチ型) には依存せずに成立すると考えてよい。

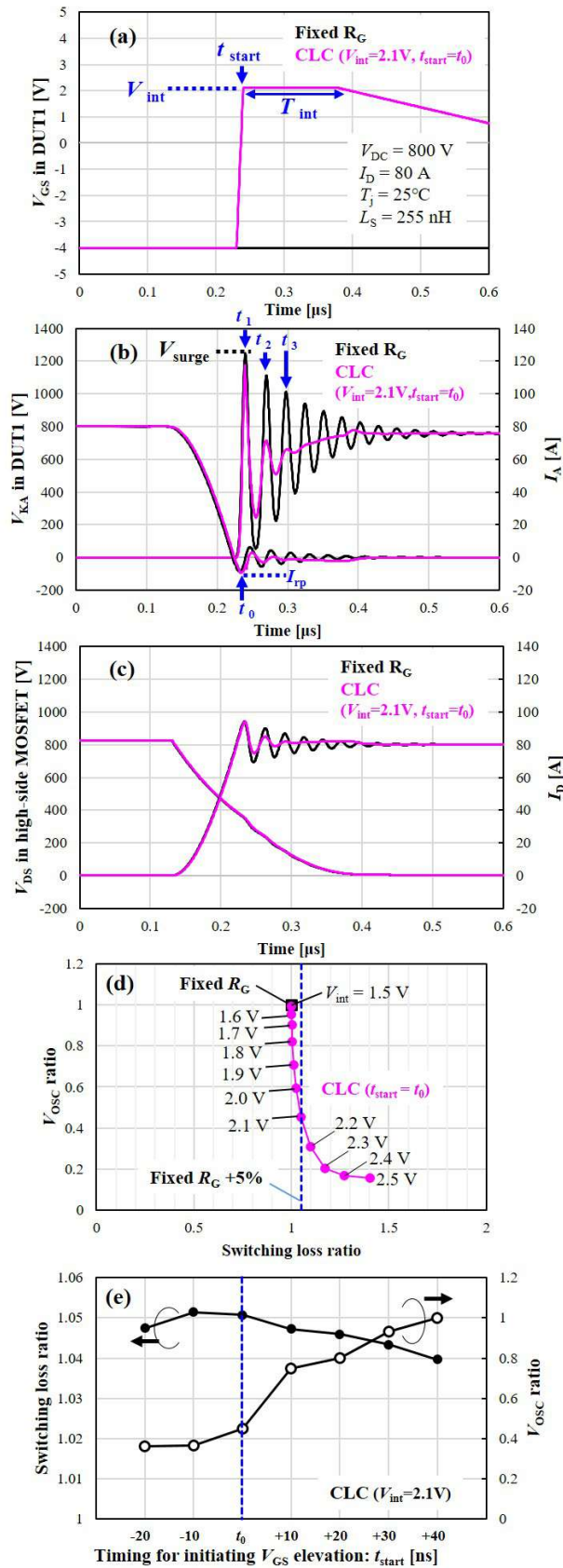


図 5.5: ボディダイオードのスイッチングリカバリ時のリングング振動の TCAD 解析結果

## 5.4 駆動回路の設計

本研究で提案するゲート駆動回路はシンプルな回路構成と動作により、SiC-MOSFETのボディーダイオードのスイッチングリカバリー時のリングング振動を抑制することができる。CLC方式を実現するには、ボディーダイオードのスイッチングリカバリーの期間中、駆動回路が $V_{GS}$ を $V_{th}$ よりもわずかに大きい値( $V_{int}$ )まで上昇させて一定時間( $T_{int}$ )保持することが必要である。図5.6(a)は、提案するCLC回路を含むゲート駆動回路の構成を示す。ゲートドライバIC(Driver IC)とCLC回路から構成されている。CLC回路は、CLC動作を開始する「タイミング検知回路」とデバイス内部にチャネルリーク電流を誘起する「 $V_{keep}$ 生成回路」から構成される。

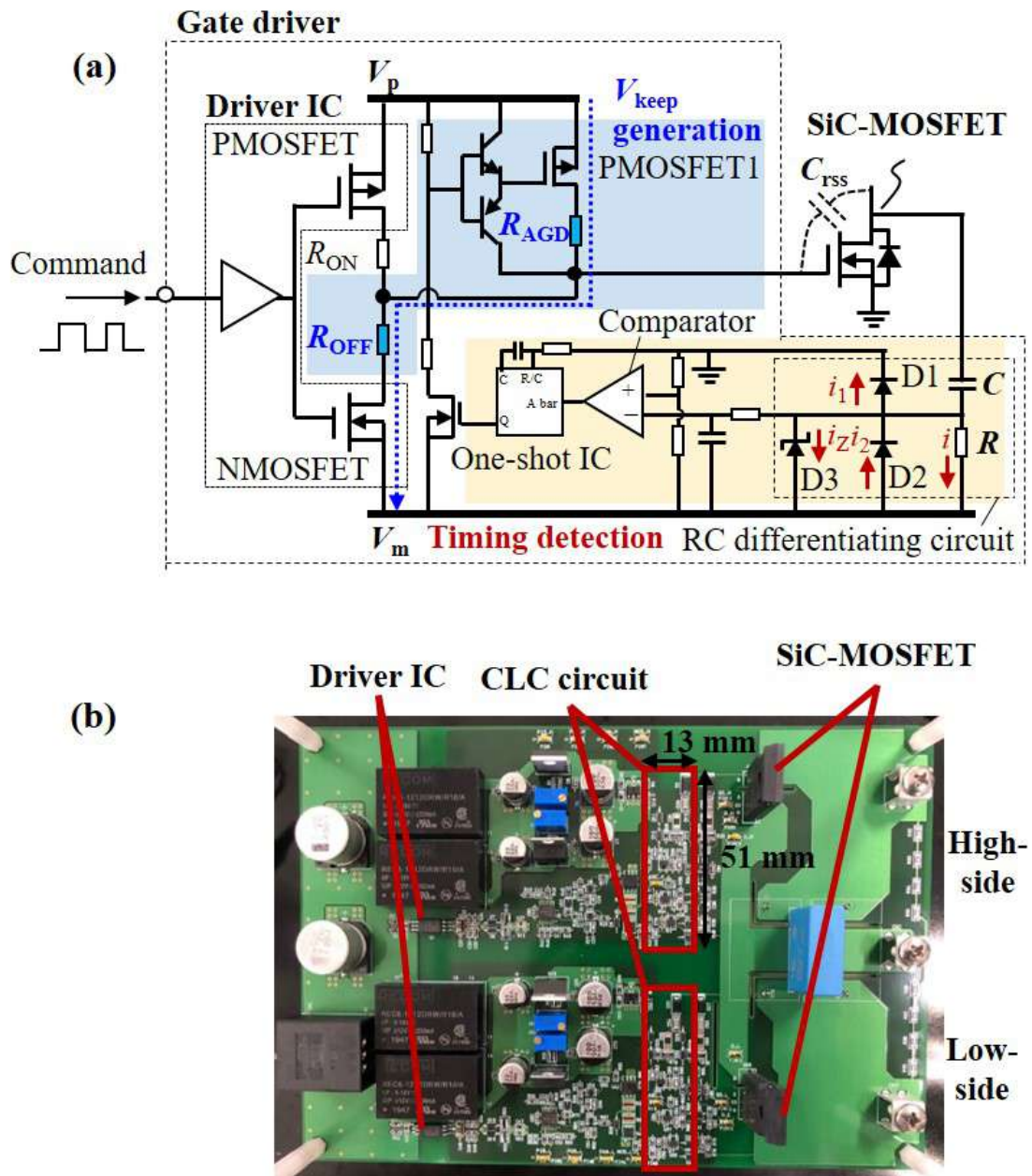


図 5.6: (a)CLC 動作を実現するゲート駆動回路の構成. (b)CLC 回路を実装した試験回路基板の外観.

### 5.4.1 タイミング検知回路

CLC動作を開始するタイミングは、スイッチング損失とリンギング振動を最小化するために重要である。前述したように、CLC動作はダイオードのスイッチングリカバリーの開始タイミングに合わせて開始(図5.5(b)では $t_{\text{start}} = t_0$ )するのが理想的である。図5.5(b)のTCAD解析が示すように、スイッチングリカバリーの開始( $t = t_0$ )は、ボディダイオードのカソード-アノード間電圧( $V_{\text{KA}}$ )が増加を開始するタイミング( $V_{\text{KA}}$ の立ち上がり)に一致している。提案したゲート駆動回路は、図5.6(a)に示すRC微分回路により $V_{\text{KA}}$ の立ち上がりを検知する。 $V_{\text{KA}}$ の立ち上がりのタイミングは、パワーデバイスの駆動条件によらずに、 $I_{\text{rp}}$ のタイミング( $t = t_0$ )に一致している。そのため、駆動条件に応じてタイミング検知回路のパラメータを調整する必要はない。したがって、適切に設計されたRC微分回路を用いれば、本提案回路ではCLC動作を開始する理想的なタイミングに自己調整することが可能である。RC微分回路を通して図5.6(a)のコンパレータが $V_{\text{KA}}$ の立ち上がりを検知する。コンパレータにトリガされたワンショットICがPMOSFET 1をターンオンし、DUT1のスイッチングリカバリーが完了するまでオン状態を維持する。またコンパレータの入力電圧が定格値を超えないように、ショットキーバリアダイオード(D1, D2)とツェナーダイオード(D3)が挿入されている。

図5.7(a)は、図5.6(a)に示すRC微分回路のSPICEシミュレーション回路を示す。図5.7(b)は、RC微分回路の抵抗( $R$ )と容量( $C$ )に対する $t_{\text{start}}$ の計算結果を示す。ここでの $t_{\text{start}}$ は、スイッチングリカバリーの開始( $t = t_0$ )からの図5.6(a)のワンショットICのターンオンのディレイ時間で定義している。 $t_{\text{start}}$ は $R$ に対しては鈍感であるが、 $C > 15$  pFでは $C$ に対して急激に減少する( $C > 15$  pFでは $t_{\text{start}} < t_0$ となりスイッチングリカバリーの開始よりも早いタイミングでCLC動作が開始する)。計測やシミュレーションモデルの誤差によるいくらかの乖離はあるものの、図5.7(b)に示す $C$ を変えた場合の $t_{\text{start}}$ の実測結果より、シミュレーション結果が妥当であることが示された。本論文では、コンデンサの容量ばらつきを $\pm 20\%$ と仮定して $C$ の最適値を10 pFとし、 $R = 390 \Omega$ ,  $C = 10$  pFにてRC微分回路を設計した。別の型式のSiC-MOSFETがDUTとなる場合でも、RC微分回路が $t_{\text{start}} = t_0$ を検出するように、同じ手順に従って最適な $C$ を決定することができる。

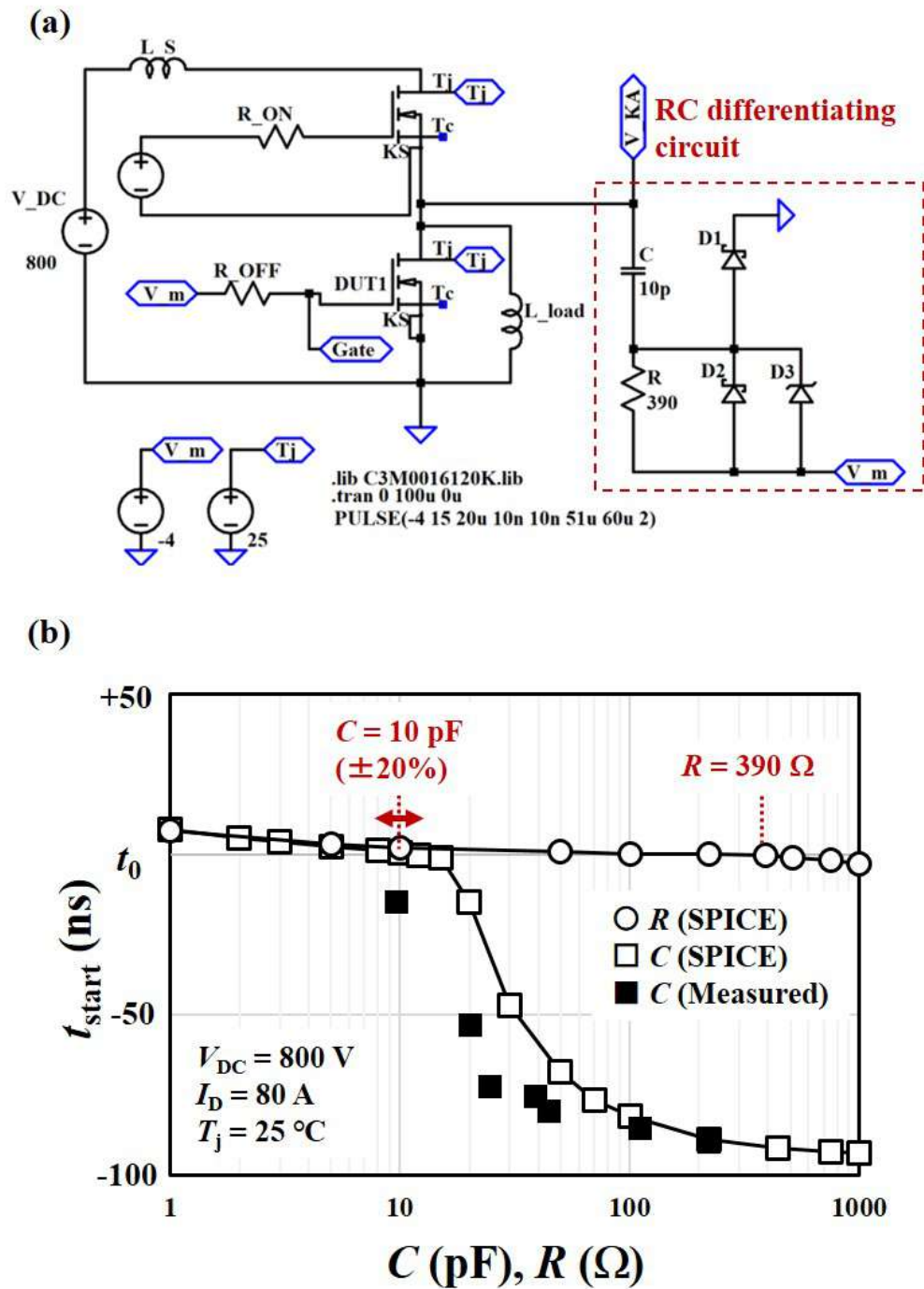


図 5.7: (a)RC 微分回路の SPICE シミュレーション回路. (b)RC 微分回路の抵抗 ( $R$ ) と容量 ( $C$ ) に対する  $t_{start}$  の計算および実測結果.

### 5.4.2 $V_{\text{keep}}$ 生成回路

図 5.2(b) に示した  $T_{\text{keep}}$  は、DUT1 のターンオフ動作時に CLC 回路が出力電圧を上昇させる保持時間に相当する。 $T_{\text{keep}}$  は図 5.6(a) の PMOSFET1 のオン状態の持続時間として、ワンショット IC で設定することができる。 $T_{\text{keep}}$  は DUT のスイッチングが完了する時間よりも長くする必要があるので、本論文では  $0.8 \mu\text{s}$  に設定した。このようにして、図 5.6(a) の PMOSFET1 と NMOSFET がスイッチングリカバリーの動作中（図 5.5(a) では  $t_{\text{start}}$ ）からともにオン状態になり、CLC 回路は出力電圧を  $V_{\text{keep}}$  に維持する。ここで  $V_{\text{keep}}$  は、図 5.6(a) の  $R_{\text{AGD}}$  と  $R_{\text{OFF}}$  の抵抗比により式 (5.1) で決まる。

$$V_{\text{keep}} = (V_p - V_m) \times \frac{R_{\text{OFF}}}{R_{\text{OFF}} + R_{\text{AGD}}} + V_m \quad (5.1)$$

ここで  $V_p$  と  $V_m$  は、それぞれゲート駆動回路の正側および負側の電源電圧である。本論文では、 $V_p = +15 \text{ V}$ 、 $V_m = -4 \text{ V}$  である。 $R_{\text{ON}}$  と  $R_{\text{OFF}}$  は、それぞれターンオンおよびターンオフ時のゲート抵抗である。 $R_{\text{AGD}}$  の抵抗値により、CLC 動作時の  $V_{\text{keep}}$  を式 (5.1) に従って調整することができる。PMOSFET1 と NMOSFET のオン抵抗は  $R_{\text{OFF}}$  や  $R_{\text{AGD}}$  に対して十分に小さいため、式 (5.1) では無視している。図 5.6(b) は、CLC 回路を実装した試験回路基板の外観写真を示す。DC リンクキャパシタと、上・下アームそれぞれに DUT (SiC-MOSFET) と絶縁型 DC 電源を備えたゲート駆動回路とから構成される。CLC 回路のサイズは  $13 \text{ mm} \times 51 \text{ mm}$  であり、ゲート駆動回路全体のサイズに対して小さい面積で実装できている。

上述したように、CLC 回路は  $V_{\text{KA}}$  電圧の上昇（立ち上がり）を検知し、 $R_{\text{OFF}}$  と  $R_{\text{AGD}}$  を介して出力電圧を  $V_{\text{keep}}$  とする。 $V_{\text{KA}}$  電圧が上昇 ( $dv/dt$ ) すると、図 5.6(a) に示す DUT1 の帰還容量 ( $C_{\text{rss}}$ ) を介して、パワーレールからゲート駆動回路に向かった電流が流れる。ゲート駆動回路に入った電流は、ともにオン状態にある PMOSFET1 および NMOSFET の中を流れていく。したがってこのとき、DUT1 の  $V_{\text{GS}}$  は、 $V_{\text{keep}}$  に  $R_{\text{comb}} \times C_{\text{rss}} \times dv/dt$  が重畳した電圧 ( $V_{\text{int}}$ ) まで過渡的に上昇する。ここで  $R_{\text{comb}}$  は、 $R_{\text{OFF}}$  と  $R_{\text{AGD}}$  の並列合成抵抗である。この回路動作より、DUT1 に誘起されるチャネルリーク電流 ( $I_{\text{CLC}}$ ) は式 (5.2) で表される [36]。ここ



で  $g_m$  は、SiC-MOSFET の伝達コンダクタンスである。

$$I_{CLC} = g_m \times (V_{keep} + R_{comb} \times C_{rss} \times dv/dt - V_{th}) \quad (5.2)$$

式 (5.1) 式 (5.2) に従って、抵抗  $R_{AGD}$  で制御することができる電圧  $V_{keep}$  を調整することにより、チャンネルリーク電流  $I_{CLC}$  を制御することができる。したがって、図 5.6(a) に示した  $R_{AGD}$  の抵抗値によりリング振動の減衰を制御することが可能である。ここで  $V_{keep}$  は、駆動する SiC-MOSFET の閾値電圧 ( $V_{th}$ ) と帰還容量 ( $C_{rss}$ ) に応じて式 (5.3) を満たすように設計する必要がある。式 (5.3) の右辺 ( $V_{th} < V_{int}$ ) は、DUT1 にチャンネルリーク電流を誘起するために必要な条件である。式 (5.3) の左辺 ( $V_{keep} < V_{th}$ ) は、スイッチング損失の増加を最小限に抑制するために必要な条件である。ゲート電圧 ( $V_{GS}$ ) が  $V_{th}$  よりも大きくなる期間 (図 5.2(b) の  $T_{int}$ ) は、式 (5.3) に示すように DUT1 に  $dv/dt$  が印加する期間に限定されるため、スイッチング損失の増加を最小限に抑制することができる。

$$V_{keep} < V_{th} < V_{int} (= V_{keep} + R_{comb} \times C_{rss} \times dv/dt) \quad (5.3)$$

具体的な  $V_{keep}$  の設計値は次節で述べる。本回路では  $V_{keep}$  の電圧値を駆動条件に応じて調整する必要はない。CLC 方式では図 5.5(d) に示したように、Fixed  $R_G$  方式に対してスイッチング損失を増加させることなくリング振動を抑制可能な  $V_{int}$  の範囲に幅があるためである。したがって、文献 [94][95][96] に示すようにゲート駆動電圧を高分解能でレベル制御する必要がないため、提案する回路は回路構成を簡易化することができる。

## 5.5 実測検証

### 5.5.1 ボディダイオードのスイッチングリカバリーにおけるリングング振動の減衰

本節では、図 5.1(a) に示したダブルパルス試験回路にて、CLC 方式の効果を実測検証する。DUT1 には、Cree 社製 1.2 kV/115 A 定格の SiC-MOSFET (C3M0016120K) を用いた。DC リンク電圧は  $V_{DC} = 800$  V、ドレイン電流は  $I_D = 80$  A、デバイス温度は  $T_j = 25$  °C で評価した。電流および電圧の測定には、表 5.2 に示す測定器を用いた。図 5.8(a)(b) は、Fixed  $R_G$  方式と CLC 方式 ( $V_{keep} = 0$  V) による DUT1 のスイッチングリカバリー時の電圧 ( $V_{KA}$ ,  $V_{GS}$ )、電流 ( $I_A$ ) の実測波形を示す。図 5.8(c) は、同じタイミングにおける上アームの SiC-MOSFET のターンオン波形を示す。CLC 方式では、スイッチングリカバリー時に  $V_{GS}$  を  $V_{keep}$  まで上昇維持させて、チャンネルリーク電流を誘起することが確認できた。チャンネルリーク電流が流れる結果、アノード電流 ( $I_A$ ) がテールを引く。これによりダイオードのスイッチングリカバリーがソフトリカバリーになりサージピーク電圧 ( $V_{surge}$ ) が減少した。図 5.8(b) に示すように、CLC 方式では効果的にリングング振動の振幅 ( $V_{OSC}$ ) を減衰させることができた。

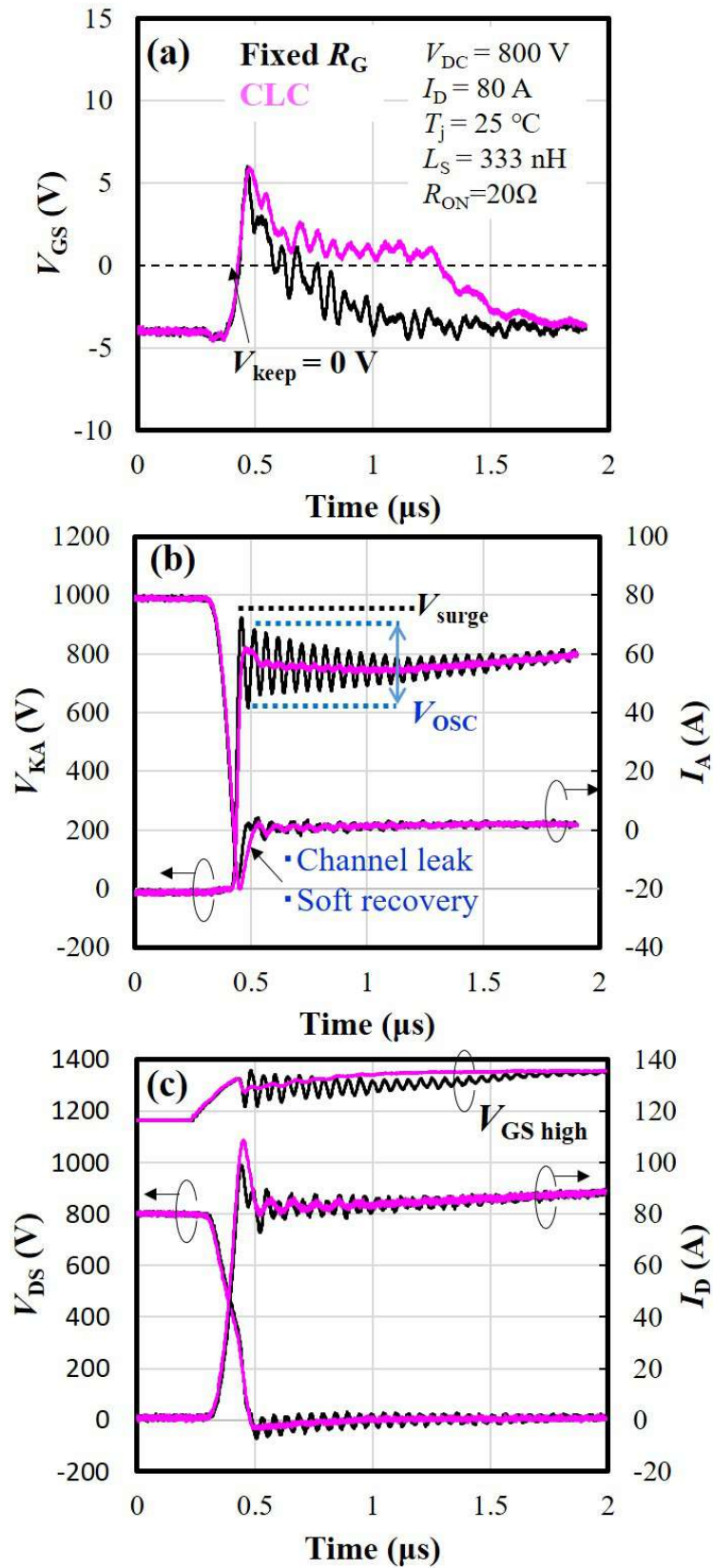


図 5.8: (a)(b)DUT1 のスイッチングリカバリーの電圧 ( $V_{KA}$ ,  $V_{GS}$ ), 電流 ( $I_A$ ) 波形 (c) 同じタイミングにおける上アームの SiC-MOSFET のターンオン波形

表 5.2: 測定箇所および測定器

測定箇所	測定器
Cathode-anode voltage in DUT1: $V_{KA}$	Passive probe (100:1, 400 MHz, Lecroy PPE4kV)
Gate-source voltage in DUT1: $V_{GS}$	Passive probe (10:1, 500 MHz, Lecroy PP026-1)
Drain-source voltage in high-side SiC-MOSFET: $V_{DS}$	Differential probe (1000:1, 100 MHz, Yokogawa 700924)
Current in DUT1: $I_A$	Rogowski coil (300A, 30 MHz, PEM CWT1B)
Current in high-side SiC-MOSFET: $I_D$	Rogowski coil (300A, 30 MHz, PEM CWT1B)

図 5.9(a) は、スイッチング損失 ( $E_{on} + E_{rr}$ ) とリングング振動の振幅 ( $V_{OSC}$ ) の関係を示す。Fixed  $R_G$  方式では、 $R_{ON}$  を  $75 \Omega$  以上に大きくしないと、 $V_{OSC}$  を  $V_{DC}$  の 10 % に相当する 80 V 未満に抑制することができず、スイッチング損失の大幅な増大を招く。CLC 方式では  $V_{keep}$  を大きくするほど  $V_{OSC}$  を低減させることができることを確認した。 $V_{keep}$  を  $-1.4 \text{ V}$  から  $0 \text{ V}$  まで変化させたとき、スイッチング損失の増加は僅かな量に抑えられており、図 5.5(d) で示した TCAD の計算結果と対応している。 $V_{keep} = 0 \text{ V}$  において、スイッチング損失を増加させることなく Fixed  $R_G$  方式に対し  $V_{OSC}$  を 65 % 低減できることを確認した。図 5.9(b) はスイッチング損失とサージピーク電圧 ( $V_{surge}$ ) との関係を示す。Fixed  $R_G$  方式に対し  $V_{surge}$  を 74 V 低減できることを確認した。

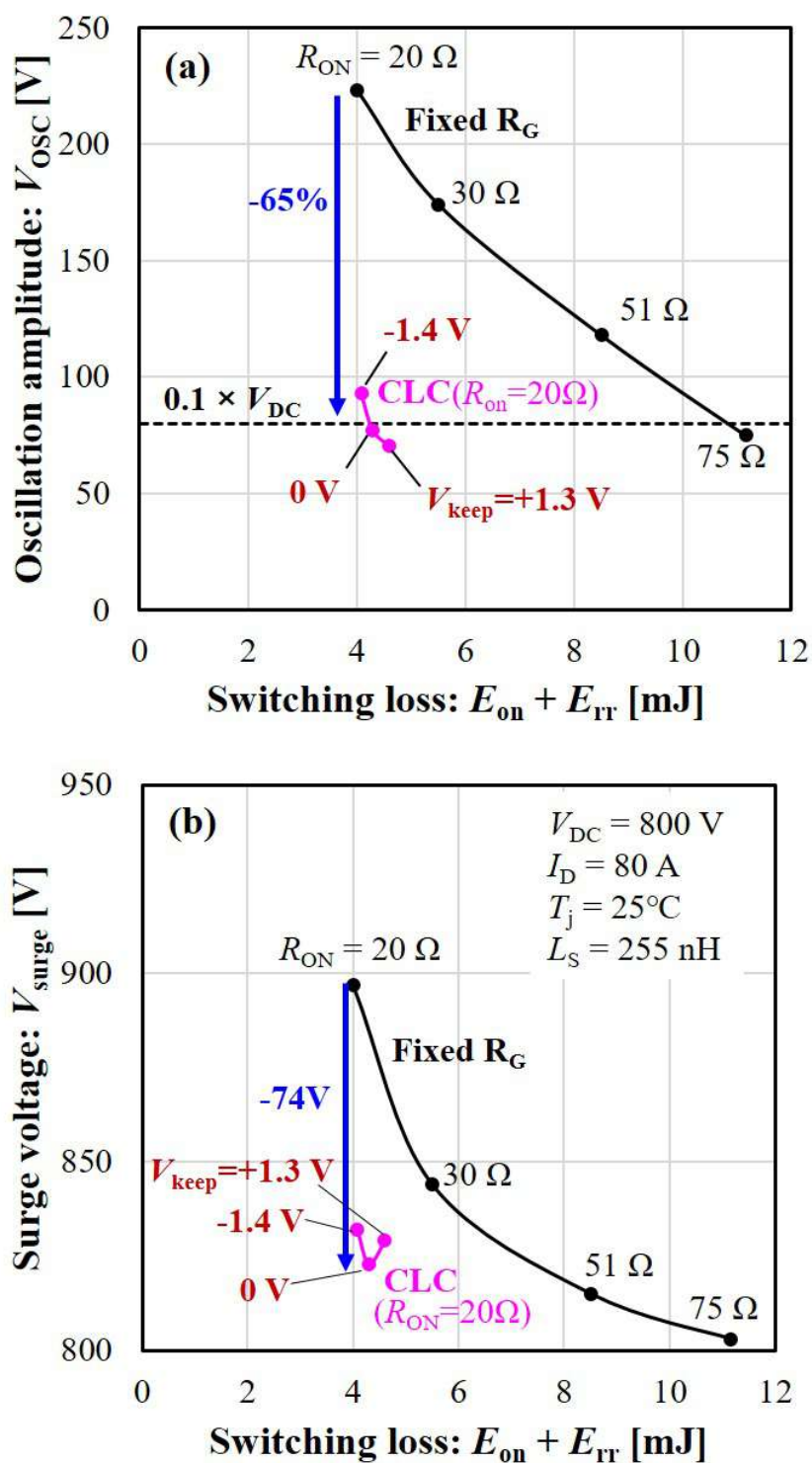


図 5.9: (a) スイッチング損失 ( $E_{on} + E_{rr}$ ) とリングング振動の振幅 ( $V_{osc}$ ) の関係 (b)  $E_{on} + E_{rr}$  とサージピーク電圧 ( $V_{surge}$ ) の関係

図5.10は、さまざまな駆動条件に対するサージピーク電圧 ( $V_{\text{surge}}$ ) とリングング振動の振幅 ( $V_{\text{osc}}$ ) の測定結果を示す。図5.10(a)~(d)において、CLC回路のパラメータは図5.8と同じである ( $V_{\text{keep}} = 0 \text{ V}$ )。DCリンク電圧 ( $V_{\text{DC}}$ ) は100 V~800 V, ドレイン電流 ( $I_{\text{D}}$ ) は15 A~80 A, デバイス温度 ( $T_{\text{j}}$ ) は25 °C~175 °Cで変化させた。これらに加えて、パワーロープの寄生インダクタンス ( $L_{\text{S}}$ ) とSiC-MOSFETのスイッチング速度もリングング振動に影響を及ぼす主要な因子である。そこで、 $L_{\text{S}}$  は180 nH~333 nHで変化させた。DUT1のスイッチング速度(図5.1(a)の上アームのSiC-MOSFETのターンオン速度)は、図5.1(a)の上アームのゲート駆動回路のゲート抵抗 ( $R_{\text{ON}}$ ) を2.5  $\Omega$ ~20  $\Omega$ の範囲で変化させることにより調整した。図5.10(e)においてスイッチング速度は、上アームのSiC-MOSFETのターンオン動作にて $V_{\text{DS}}$ が $V_{\text{DC}}$ の90%から10%まで降下する時間 ( $t_{\text{r}}$ ) で定義した。図5.10に示したように、極めて広い範囲にわたってSiC-MOSFETの駆動条件が変化しても、CLC方式ではFixed  $R_{\text{G}}$ 方式に比較して $V_{\text{surge}}$ と $V_{\text{osc}}$ を両方とも低減できることを実証した。

図5.11は、さまざまな駆動条件に対するCLC方式によるスイッチング損失 ( $E_{\text{on}} + E_{\text{rr}}$ ) の測定結果を示す (Fixed  $R_{\text{G}}$ 方式によるスイッチング損失で規格化している)。パワーロープの寄生インダクタンスが極めて大きい場合 ( $L_{\text{S}} = 333 \text{ nH}$ ) と、DCリンク電圧が極めて小さい場合 ( $V_{\text{DC}} = 100 \text{ V}$ ) を除いて、CLC方式によるスイッチング損失は、駆動条件が変化しても、Fixed  $R_{\text{G}}$ 方式によるスイッチング損失の $\pm 5\%$ 以内に収まっていることを確認した。DUT1のスイッチングリカバリーにおける $V_{\text{KA}}$ 電圧の上昇が、駆動条件に依存することなく図5.5(b)の $t = t_0$ のタイミングで確実に検知され、CLC回路が作動していることを示している。このCLC回路の動作により、チャンネルリーク電流がアノード電流 ( $I_{\text{A}}$ ) に重畳するタイミングが $t = t_0$ 以降となるため、逆回復電流のピーク値(図5.5(b)の $I_{\text{rp}}$ )の増加が抑制される。したがって、前節で述べたように適切に設計されたRC微分回路と $V_{\text{keep}}$ 電圧を用いたCLC方式では、スイッチング損失 ( $E_{\text{on}} + E_{\text{rr}}$ ) の増加を最小限に抑制することができる。

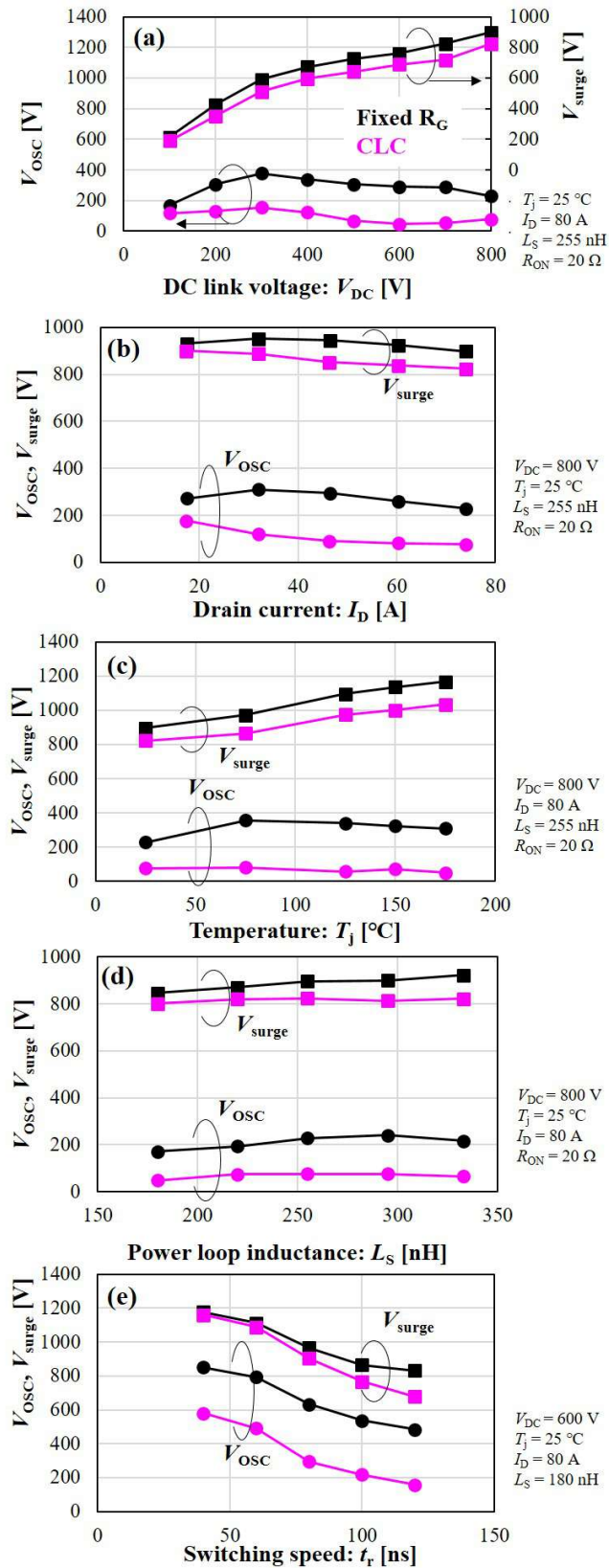


図 5.10: さまざまな駆動条件に対するサージピーク電圧 ( $V_{surge}$ ) とリングング振動の振幅 ( $V_{osc}$ ) の測定結果

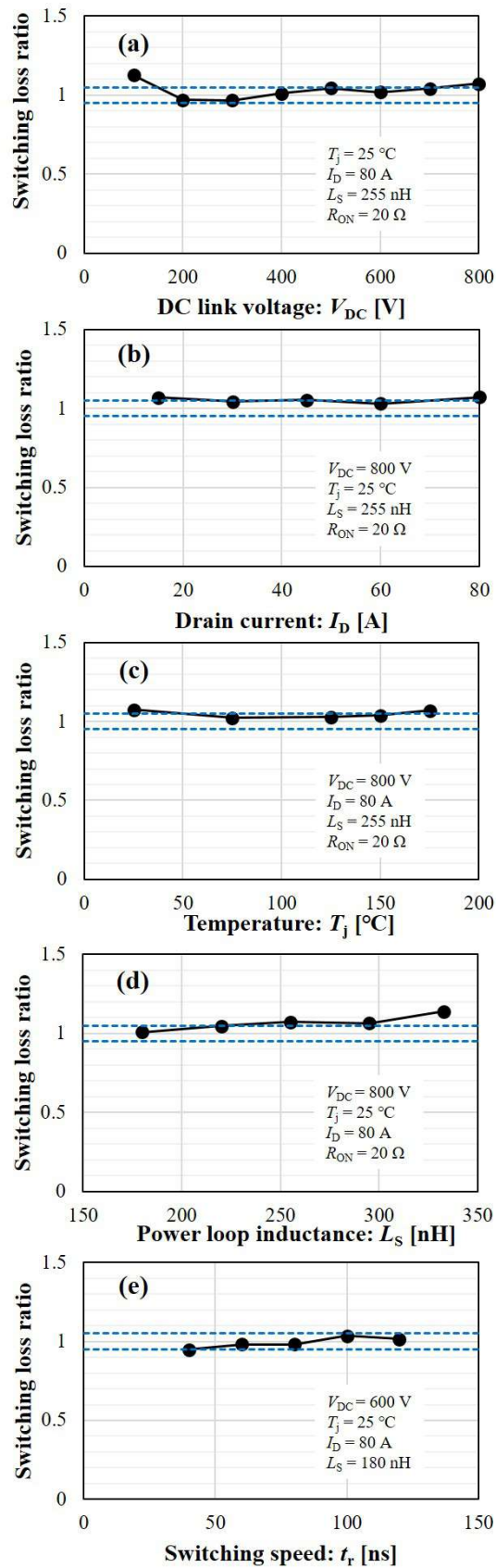


図 5.11: さまざまな駆動条件に対するスイッチング損失 ( $E_{on} + E_{rr}$ ) の測定結果



### 5.5.2 SiC-MOSFET のターンオフ動作におけるリングング振動の減衰

本節では、図 5.1(b) に示した試験回路にて、SiC-MOSFET (図 5.1(b) の DUT2) のターンオフ動作におけるリングング振動の抑制効果を実測検証する。図 5.12 は、Fixed  $R_G$  方式と CLC 方式 ( $V_{keep} = 0V$ ) による DUT2 のターンオフ時の電圧 ( $V_{DS}$ ,  $V_{GS}$ )、電流 ( $I_D$ ) の実測波形を示す。図 5.12 において、CLC 回路の  $V_{keep}$  電圧は、図 5.8 に示した DUT1 のスイッチングリカバリーの場合と同じである ( $V_{keep} = 0V$ )。ターンオフ動作中に  $V_{GS}$  を上昇させてチャネルリーク電流を誘起することにより、リングング振動を低減できることを確認した。また、ターンオフ時のサージピーク電圧 ( $V_{surge}$ ) も減少することを確認した。これは  $V_{GS}$  の上昇によってチャネルリーク電流が流れることにより、ターンオフ時の SiC-MOSFET 内部のドリフト層の空乏化が阻害されてターンオフ動作が遅くなるためである。図 5.12 に示すように、CLC 方式でターンオフ時のゲート抵抗 ( $R_{OFF}$ ) を Fixed  $R_G$  方式よりも小さくすることにより ( $R_{OFF} = 24 \Omega \rightarrow 15 \Omega$ )、 $V_{DS}$  の上昇速度 ( $dv/dt$ ) を急峻にすることができ、スイッチング損失 ( $E_{off}$ ) の低減に寄与する。また CLC 方式では、パワーループの寄生インダクタンスが適度な場合 ( $L_S = 180 \text{ nH}$ , 図 5.12(a)) と極端に大きい場合 ( $L_S = 333 \text{ nH}$ , 図 5.12(b)) とで、ともにターンオフ時のリングング振動の抑制に有効であることが確認できた。

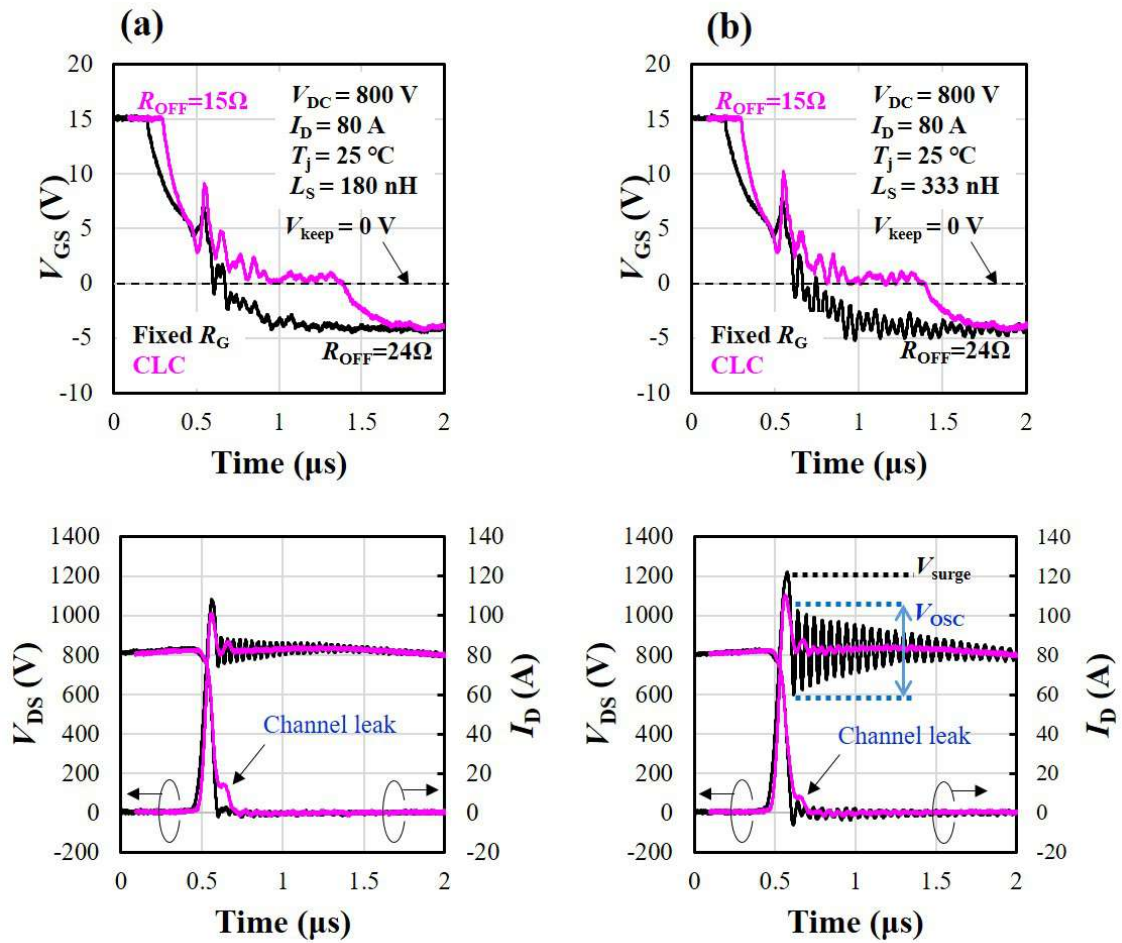


図 5.12: SiC-MOSFET のターンオフ時の電圧 ( $V_{DS}$ ,  $V_{GS}$ ), 電流 ( $I_D$ ) の実測波形. (a)  $L_S = 180 \text{ nH}$ , (b)  $L_S = 333 \text{ nH}$ .

図 5.13(a) はスイッチング損失 ( $E_{off}$ ) とリングング振動の振幅 ( $V_{OSC}$ ) の関係を、図 5.13(b) は  $E_{off}$  とターンオフ時のサージピーク電圧 ( $V_{surge}$ ) の関係を示す。Fixed  $R_G$  方式では、 $V_{OSC}$  を  $80 \text{ V}$  ( $V_{DC}$  の  $10\%$ ) 以下に抑制するためには  $R_{OFF}$  を  $51 \Omega$  以上に増加させる必要があり、スイッチング損失の増加を招いている。CLC 方式ではスイッチング損失を増加せずに、Fixed  $R_G$  方式に対して  $V_{OSC}$  を  $79\%$ ,  $V_{surge}$  を  $75 \text{ V}$  低減することができることを実証した。 $V_{keep} = 0 \text{ V}$  での CLC 方式に対する  $V_{surge}$ ,  $V_{OSC}$  と  $E_{off}$  との間のトレードオフ関係を図 5.13 のマゼンタ線で示している。ターンオフ時のゲート駆動速度の幅広い範囲 ( $R_{OFF} = 12 \Omega \sim 20 \Omega$ ) にわたって、 $V_{surge}$  と  $E_{off}$  および  $V_{OSC}$  と  $E_{off}$  との間のトレードオフ関係が Fixed

$R_G$  方式に対して改善し、低ノイズ化と低損失化を両立できることを確認した。

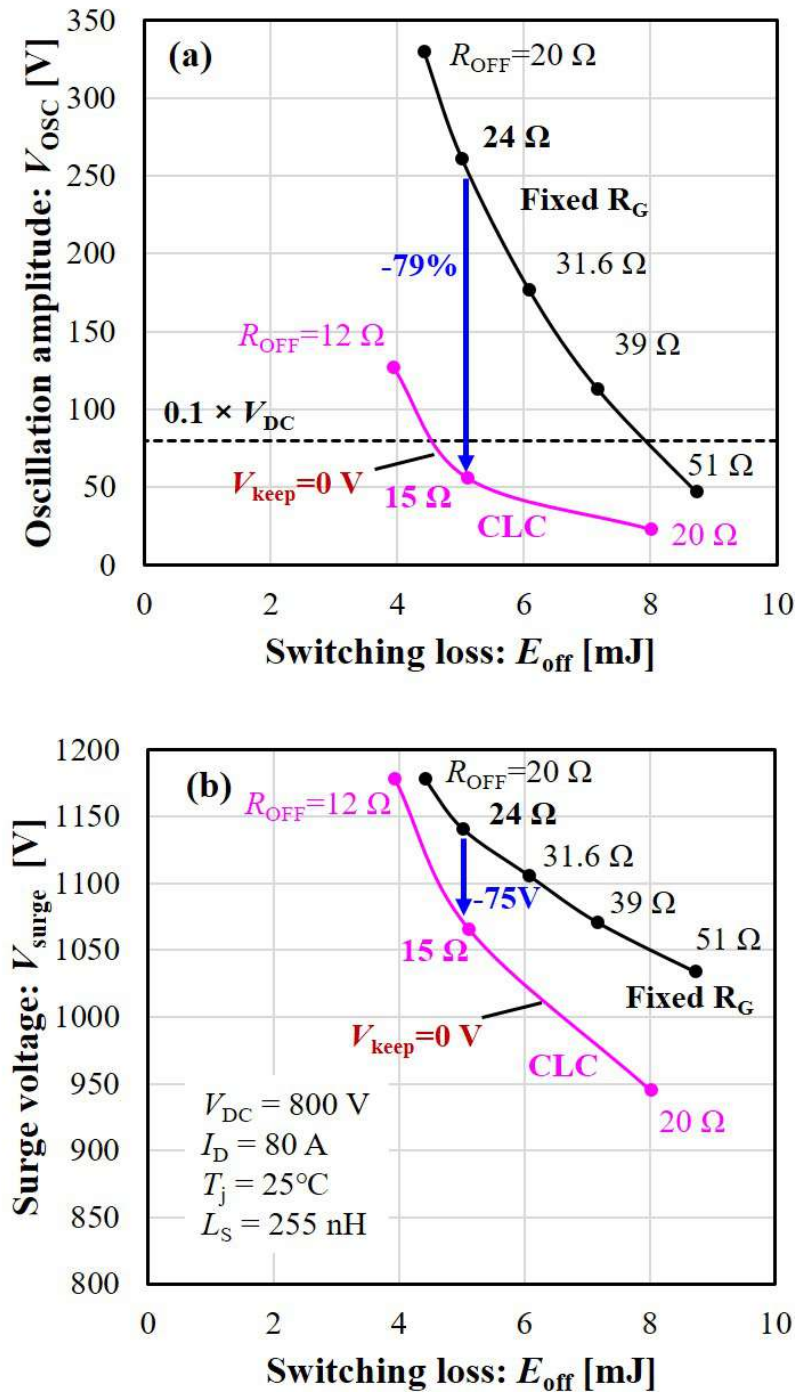


図 5.13: (a) スイッチング損失 ( $E_{off}$ ) とリングング振動の振幅 ( $V_{osc}$ ) の関係, (b)  $E_{off}$  とターンオフ時のサージ電圧 ( $V_{surge}$ ) の関係

### 5.5.3 ゲート駆動回路の電力損失

ここでは、ゲート駆動回路の電力損失が、CLC回路が作動することによって Fixed  $R_G$  方式に対してどの程度増加するかを見積もる。そのために、図 5.6(a) に示した CLC 回路での消費電力をスイッチング 1 回あたりの時間で積分して CLC 動作によるゲート駆動回路の電力損失の増加分 ( $\Delta E_{\text{drive}}$ ) を算出することにする。 $\Delta E_{\text{drive}}$  を「タイミング検知回路」での電力損失 ( $E_1$ ) と「 $V_{\text{keep}}$  生成回路」での電力損失 ( $E_2$ ) に分けて考える。Fixed  $R_G$  方式によるスイッチング 1 回あたりの電力損失 ( $E_{\text{Fixed}}$ )、CLC 方式によるスイッチング 1 回あたりの電力損失 ( $E_{\text{CLC}}$ ) は、それぞれ式 (5.4) および式 (5.5) で表される。ここで  $E_{\text{SW}}$  は、SiC-MOSFET のターンオン損失 ( $E_{\text{on}}$ ) とターンオフ損失 ( $E_{\text{off}}$ ) およびボディダイオードのスイッチングリカバリー損失 ( $E_{\text{rr}}$ ) の合計である。

$$E_{\text{Fixed}} = E_{\text{SW}} \quad (5.4)$$

$$\begin{aligned} E_{\text{CLC}} &= E_{\text{SW}} + \Delta E_{\text{drive}} \\ &= E_{\text{SW}} + E_1 + E_2 \end{aligned} \quad (5.5)$$

タイミング検知回路での電力損失  $E_1$  は、図 5.7(a) における RC 微分回路の消費エネルギーで定義し、SPICE シミュレーションにより求めた。図 5.6(a) の抵抗 ( $R$ ) とダイオード (D1, D2, D3) を流れる電流によって発生するジュール熱をスイッチング 1 回あたりの時間 ( $T_{\text{sw}}$ ) で積分して式 (5.6) に示すように  $E_1$  を計算した。

$$E_1 = \int_0^{T_{\text{sw}}} (R_1 i_1^2 + R_2 i_2^2 + R_Z i_Z^2 + R i^2) dt \quad (5.6)$$

図 5.6(a) に示すように、 $i$ ,  $i_1$ ,  $i_2$  および  $i_Z$  は、それぞれ  $R$ , D1, D2, D3 を流れる電流を示す。 $R_1$  および  $R_2$  は、ショットキーバリアダイオード (D1, D2) の  $I-V$  特性の傾きから、順方向に 1 A の電流が流れる時の等価抵抗として  $R_1 = R_2 = 75$

mΩとした。また  $R_Z$  は、ツェナーダイオード (D3) のデータシートに記載の動作抵抗より  $R_Z = 80 \Omega$  とした。本論文の RC 微分回路の設計値 ( $C = 10 \text{ pF}$ ,  $R = 390 \Omega$ ) の条件下で、式 (5.6) に従って  $E_1 = 9.7 \text{ nJ}$  と算出した。

$V_{\text{keep}}$  生成回路では、CLC回路が動作している間 ( $T_{\text{keep}}$ ) だけ、図5.6(a)のPMOS-FET1とNMOSFETが同時にオンするため、図5.6(a)に矢印で示したように貫通電流が流れる。したがって、 $V_{\text{keep}}$  生成回路での電力損失  $E_2$  は、式 (5.7) によって計算できる。

$$E_2 = \frac{(V_p - V_m)^2}{(R_{\text{OFF}} + R_{\text{AGD}})} \times T_{\text{keep}} \quad (5.7)$$

上述した本論文での回路パラメータ ( $V_p = +15 \text{ V}$ ,  $V_m = -4 \text{ V}$ ,  $T_{\text{keep}} = 0.8 \mu\text{s}$ ,  $V_{\text{keep}} = 0 \text{ V}$ ,  $R_{\text{OFF}} = 15 \Omega$ ,  $R_{\text{AGD}} = 56 \Omega$ ) に対して、式 (5.7) に従って  $E_2 = 4.1 \mu\text{J}$  と算出した。

表5.3は、Fixed  $R_G$  方式およびCLC方式によるスイッチング1回あたりの電力損失の比較を示す。CLC動作によるゲート駆動回路の電力損失の増加分 ( $\Delta E_{\text{drive}}$ ) はスイッチング損失 ( $E_{\text{SW}}$ ) に対して無視できるほど小さい。したがって、ゲート駆動回路の損失も含めた電力損失の増加率をFixed  $R_G$  方式に対して+5%以下に抑制しながら、リングング振動の振幅 ( $V_{\text{OSC}}$ ) とサージ電圧 ( $V_{\text{surge}}$ ) を大きく低減することができ、CLC方式の適用によりSiC-MOSFETの低ノイズ化と低損失化を両立できることが実証された。

## 5.6 結論

本章では、SiC-MOSFETのボディダイオードのスイッチングリカバリーにおけるリングング振動とサージ電圧を抑制するゲート駆動方式 (CLC方式) および駆動回路を提案した。CLC方式の有効性をTCADで検証し、SiC-MOSFETの幅広い範囲の駆動条件に対してスイッチング試験にて実証した。CLC方式では、DUTにチャンネルリーク電流を誘起することによりパワーループの寄生LCに蓄えられているエネルギーを減衰させ、リングング振動のダンピング効果を高めている。DUTのスイッチングリカバリー時の  $V_{\text{KA}}$  の上昇を検知する「タイミング検知回路」によ

表 5.3: スイッチング1回あたりの電力損失, リンギング振動の振幅, およびサージ電圧の比較 ( $V_{DC} = 800 \text{ V}$ ,  $I_D = 80 \text{ A}$ ,  $T_j = 25 \text{ }^\circ\text{C}$ ,  $L_S = 255 \text{ nH}$ ,  $V_{keep} = 0 \text{ V}$ ,  $R_{ON} = 20 \text{ } \Omega$ , and  $R_{OFF} = 15 \text{ } \Omega$ ) .

Item	Fixed $R_G$	CLC	Rate of change
$E_{on}$	3.21 mJ	3.31 mJ	+3.3 %
$E_{rr}$	0.79 mJ	0.97 mJ	+23 %
$E_{off}$	5.02 mJ	5.11 mJ	+1.7 %
$E_{SW}$	9.02 mJ	9.40 mJ	+4.2 %
$\Delta E_{drive}$	—	4.1 $\mu\text{J}$	—
Total loss	9.02 mJ	9.40 mJ	+ 4.2 %
$T_{OSC}$ (body diode)	1470 ns	480 ns	-67 %
$V_{OSC}$ (body diode)	229 V	77 V	-65 %
$V_{surge}$ (body diode)	897 V	823 V	-8.2 %
$T_{OSC}$ (SiC-MOSFET)	1160 ns	260 ns	-77 %
$V_{OSC}$ (SiC-MOSFET)	261 V	56 V	-79 %
$V_{surge}$ (SiC-MOSFET)	1141 V	1066 V	-6.5 %

り, DUT の駆動条件が変化しても, スイッチング損失の増加を防ぎながら, CLC 動作を開始する最適なタイミングに自己調整することができる。また, ゲート電圧 ( $V_{GS}$ ) を閾値電圧 ( $V_{th}$ ) よりも大きい電圧 ( $V_{int}$ ) に上昇させチャネルリーク電流を誘起するための設計パラメータ ( $V_{keep}$  電圧) は, 駆動条件に応じて調整する必要がない。したがって, DUT の駆動条件にかかわらず固定の回路パラメータのままでよく, シンプルな回路構成でリンギング振動を容易に減衰することができることを実証した。

## 第6章 結言

### 6.1 本研究の結論

本研究では、電力変換器の高効率化と高信頼化を目的とし、パワーデバイスの性能を引き出す駆動技術の観点から、高信頼かつ低損失なパワーデバイスの駆動方式およびゲート駆動回路を提案した。本章では、第1章から第5章までの結論をまとめ、本研究の結論とする。

第1章では、パワーデバイスに要求される性能指標として、低損失化・高破壊耐量化・低ノイズ化のトレードオフ関係を示し、パワーデバイスの駆動技術からのアプローチとして本研究の位置づけを示した。

第2章では、破壊耐量の高いパワーデバイスの設計を目的に、短絡時のIGBTのチップ内部のセル間の電流集中（電流フィラメント）の現象を解析した。その結果、短絡中と短絡遮断時における電流フィラメントの挙動や発生メカニズムの相違を明らかにし、短絡時における電流フィラメントの発生を抑制するパワーデバイスの設計指針として、コレクタからのホールの注入効率（p emitterのドーピング濃度）を増加させることにより裏面電界を低減し、電流フィラメントの発生を抑制することを示した。

第3章では、パワーモジュール内のチップ間の電流アンバランスを抑制した高信頼なパワーモジュールの設計を目的に、短絡時のチップ間の電流アンバランスを解析した。その結果、パワーモジュールの構造に起因する寄生パラメータとチップ間の電流バランスとの関連において、電流出力端子の配置およびボンディングワイヤ間の距離の影響を明らかにした。また、(1) パワーモジュールのエミッタ側の寄生インダクタンス ( $L_e$ ) のばらつきが、個々のチップに印加されるゲート電圧 ( $V_{GE}$ ) を変動させることにより、短絡時のパワーモジュール内部のIGBTチップ間の電

流アンバランスが発生すること、(2) IGBT の正の温度特性により、短絡時の自己発熱がチップ間の電流アンバランスを抑制する方向に作用することを Si-IGBT の等価回路モデルと電気・熱連成解析を用いて明らかにした。

第4章では、パワーモジュール内のチップ間の電流アンバランスを許容した駆動方式という視点から、電流アンバランス条件下でも高速遮断が可能な短絡保護を目的に、パワーモジュールのソース制御端子（ケルビンソース）とドレイン電流が流れる主端子（パワーソース）の間の寄生インダクタンス（ $L_e$ ）に発生する電圧（ $V_{et}$ ）の積分値を検知に用いて、アーム短絡を高速に検知・保護できる駆動方式およびゲート駆動回路を提案した。Si-IGBT に比べて短絡耐量が厳しくなる SiC-MOSFET を対象に効果検証した結果、並列接続された4つの SiC-MOSFET の間に過大な電流アンバランスがある条件下で、Type1,2,3 のすべての短絡モードにおいて短絡発生から  $0.5 \mu\text{s}$  以内に短絡を検知し、最大で  $2.2 \mu\text{s}$  以内ですべての SiC-MOSFET を破壊なく保護できることを実証した。さらに、提案した回路は「 $di/dt$  積分回路」によりドレイン電流（ $I_D$ ）に変換して検知するため、並列接続された SiC-MOSFET の数に関係なく、短絡を検知する電流レベル（ $I_{Dsc}$ ）を任意の値に設計することができ、必要十分な誤検知マージンを確保しながら高速に短絡を保護できることを実証した。

第5章では、低ノイズ（リングング振動やサージ電圧の抑制）と低損失（スイッチング損失の抑制）を両立するパワーデバイスの駆動を目的に、リングング振動とサージ電圧を抑制する駆動方式（CLC方式）およびゲート駆動回路を提案し、一般に Si-IGBT に比べてリングング振動が大きい SiC-MOSFET を対象に効果検証した。その結果、CLC方式では、(1) SiC-MOSFET 内にチャンネルリーク電流を誘起することによりパワーロープの寄生 LC に蓄えられているエネルギーを減衰させリングング振動のダンピング効果を高めること、(2) ボディダイオードのスイッチングリカバリー時の電圧上昇を検知する「タイミング検知回路」により、SiC-MOSFET の駆動条件が変化しても、スイッチング損失の増加を防ぎながら最適なタイミングでチャンネルリーク電流を誘起するように自己調整できることを実証した。また、チャンネルリーク電流を誘起するための駆動回路の設計パラメータ（ $V_{keep}$  電圧）は、駆動条件に応じて調整する必要がなく、SiC-MOSFET の駆動条件にかかわらず固定の回路パラメータのままで、リングング振動を減衰できることを実証した。さ



らに、提案したゲート駆動回路の電力損失の増加分は、SiC-MOSFETのスイッチング損失に対して無視できるほど小さく、CLC方式の適用により従来の駆動方式に対して電力損失の増加を+5%以下に抑制しながら、リングング振動とサージ電圧を大きく低減できることを実証した。

本研究で用いた手法（第2章: TCAD解析, 第3章: パワーデバイスの等価回路モデルの電気・熱連成解析）により、破壊耐量の高いパワーデバイスおよびチップ間の電流アンバランスを抑制した高信頼なパワーモジュールの設計指針が得られるため、電力変換器の高信頼化に貢献できる。また、本研究で提案したパワーデバイスの駆動方式およびゲート駆動回路（第4章: 高速短絡保護, 第5章: SiC-MOSFETのリングング振動の抑制）により、オン時のゲートバイアス電圧の上昇によるオン抵抗の低減や、高速スイッチングによるスイッチング損失の低減といったパワーデバイスの低損失化を追求しながらも、その副作用としての短絡耐量の低下やリングング振動の増大といった課題を克服できるため、従来の駆動方式よりも高信頼かつ高効率なパワーデバイスの駆動を実現し、パワーデバイスの性能をさらに引き出すことができる。

## 6.2 今後の課題

今後さらに電動化が進み、さまざまな環境下で電力変換器が使用されると、パワーデバイスの状態センシングや最適駆動技術がますます重要になると考えられる。パワーデバイスの状態を検知するセンサやセンシングデータに基づいて最適な駆動方式を導出するデジタル回路を搭載したインテリジェントなゲート駆動回路 [103] を実現すれば、パワーデバイスの性能をさらに引き出すことができる。一方で、電力変換器の普及を促進する目的からすれば、(1) システムレベル（電力変換器）での効果、(2) 信頼性（部品点数の増加による故障率の影響、耐温度・耐ノイズ性）(3) 費用対効果が重要な指標になる。

本研究で検討したパワーデバイスの電流アンバランス抑制や低ノイズ・低損失駆動に対しては、上記(1)~(3)の観点で踏まえて以下のような課題が残されており、引き続き検討していく。

- 第3章で検討した並列チップ間の電流アンバランスに関しては、パワーデバイスの特性がばらついていてもスイッチング時の電流アンバランスを補正する技術 [104][105] が提案されている。このような技術を耐ノイズ環境でも実証し、低コストで実現できれば、特性の揃ったパワーデバイスを選別するコストが抑制でき、電力変換器の高信頼化と低コスト化に繋がる。
- 第5章で検討した SiC-MOSFET のスイッチング損失を抑制する駆動方式に関連して、導通損失を低減する駆動技術 [106] が報告されている。SiC-MOSFET はスイッチング周波数に応じて、スイッチング損失と導通損失の比率が変わるため、駆動条件に応じて電力変換器の損失低減効果が最大になるような駆動モードを選択できる技術を実現すれば、システムレベルでの省エネに寄与できる。
- パワーデバイスの性能を引き出すとともに電力変換器の信頼性を向上する機能集積型のゲート駆動の例として、電流計測回路とデジタル制御回路 (FPGA) をゲート駆動回路に集積した closed-loop 型のアクティブゲート制御 [107] や、ゲート駆動回路が収集するセンサデータとデバイス物理に基づいた電力変換器の状態監視や故障予兆診断 [108] がある。このような技術をユーザが使いこなすためには、デバイス物理に基づいてどのようなセンシングデータを取得し、どのような駆動アルゴリズムを FPGA に実装するかが重要であるが、報告数はまだ少なく、case study を充実させる必要がある。

## 参考文献

- [1] IPCC 第6次評価報告書 第1作業部会報告書 政策決定者向け要約 暫定訳（文部科学省及び気象庁）
- [2] 国際エネルギー機関（IEA）, ”Energy Technology Perspectives 2020.”
- [3] B. Lu, W. Dong, S. Wang, and F. C. Lee, ”High frequency investigation of single-switch CCM power factor correction converter,” in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, Anaheim, CA, USA, pp. 1481-1487, 2004. DOI: 10.1109/APEC.2004.1296060
- [4] K. Yasui, S. Hayakawa, M. Nakamura, D. Kawase, T. Ishigaki, K. Sasaki, T. Tabata, T. Morita, M. Sagawa, H. Matsushima, and T. Kobayashi, ”Improvement of Power Cycling Reliability of 3.3kV Full-SiC Power Modules with Sintered Copper Technology for  $T_{j,max}=175^{\circ}C$ ,” in *Proc. 2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Chicago, IL, USA, pp. 455-458, 2018. DOI: 10.1109/ISPSD.2018.8393701
- [5] T. Morita, and Y. Yasuda, ”New Bonding Technique Using Copper Oxide Materials,” *Materials Transactions*, vol. 56, no. 6, pp. 878-882, 2015. DOI: 10.2320/matertrans.M2014399
- [6] D. Peftitsis, and J. Rabkowski, ”Gate and Base Drivers for Silicon Carbide Power Transistors An Overview,” *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 7194-7213, 2016. DOI: 10.1109/TPEL.2015.2510425
- [7] S. Zhao, X. Zhao, Y. Wei, Y. Zhao, H. A. Mantooth, ”A Review on Switching Slew Rate Control for Silicon Carbide Devices using Active Gate Drivers,”

- IEEE J. Emerg. Sel. Topics Power Electron.*, vol.9, no. 4, pp. 4096-4114, 2021.  
DOI: 10.1109/JESTPE.2020.3008344
- [8] 田中雅浩, 阿部 直樹中川 明夫, "IGBT における UIS 動作中の電流フィラメント解析," 電気学会研究会資料 (電子デバイス/半導体電力変換合同研究会), vol. EDD-21-058, pp. 25-31, 2021.
- [9] M. Riccio, E. Napoli, A. Irace, G. Breglio, and P. Spirito, "Energy and current crowding limits in avalanche operation of IGBTs," in *Proc. Int. Symp. Power Semicond. Devices ICs*, vol. 2, no. 1, pp. 273-276, 2013. DOI: 10.1109/ISPSD.2013.6694439
- [10] M. Riccio, A. Irace, G. Breglio, P. Spirito, E. Napoli, and Y. Mizuno, "Electro-thermal instability in multi-cellular Trench-IGBTs in avalanche condition: Experiments and simulations," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 124-127, 2011. DOI: 10.1109/ISPSD.2011.5890806
- [11] M. Tsukuda, T. Arimoto, and I. Omura, "Current filament monitoring under unclamped inductive switching conditions on real IGBT interconnection," *CIPS 2018 - 10th Int. Conf. Integr. Power Electron. Syst.*, pp. 430-434, 2018.
- [12] R. Bhojani et al., "Observation of current filaments in IGBTs with thermoreflectance microscopy," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 164-167, 2018. DOI: 10.1109/ISPSD.2018.8393628
- [13] K. Endo et al., "Direct photo emission motion observation of current filaments in the IGBT under avalanche breakdown condition," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 367-370, 2016. DOI: 10.1109/ISPSD.2016.7520854
- [14] M. Yamaguchi, I. Omura, S. Urano, and T. Ogura, "High-speed 600V NPT-IGBT with unclamped inductive switching (UIS) capability," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 349-352, 2003. DOI: 10.1109/ispsd.2003.1225299

- [15] P. Rose, D. Silber, A. Porst, and F. Pfirsch, "Investigations on the stability of dynamic avalanche in IGBTs," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 165–168, 2002. DOI: 10.1109/ispsd.2002.1016197
- [16] Y. Mizuno, R. Tagami, and K. Nishiwaki, "Investigation of Inhomogeneous Operation of IGBTs under Unclamped Inductive Switching Condition," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 137–140, 2010.
- [17] T. Shoji, M. Ishiko, T. Fukami, T. Ueta, and K. Hamada, "Investigations on current filamentation of IGBTs under unclamped inductive switching conditions," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 227–230, 2005. DOI: 10.1109/ispsd.2005.1487992
- [18] M. Tanaka, N. Abe, and A. Nakagawa, "Impact of 3D simulation on the analysis of unclamped inductive switching," *Jpn. J. Appl. Phys.*, vol. 59, no. SG, 2020, DOI: 10.7567/1347-4065/ab5b3a
- [19] C. Toechterle, F. Pfirsch, C. Sandow, and G. Wachutka, "Evolution of current filaments limiting the safe-operating area of high-voltage trench-IGBTs," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 135–138, 2014. DOI: 10.1109/ISPSD.2014.6855994
- [20] C. Toechterle, F. Pfirsch, C. Sandow, and G. Wachutka, "Analysis of the latch-up process and current filamentation in high-voltage trench-IGBT cell arrays," in *Proc. Int. Conf. Simul. Semicond. Process. Devices (SISPAD)*, pp. 296–299, 2013. DOI: 10.1109/SISPAD.2013.6650633
- [21] D. Avalanche, E. Simulation, and T. Simulations, "Effects of current filaments during dynamic avalanche on the collector-emitter voltage of high voltage Trench-IGBTs," in *Proc. 17th Eur. Conf. Power Electron. Appl. (EPE' 15 ECCE-Europe)*, pp. 1–9, 2015.

- [22] M. Tanaka, and A. Nakagawa, "Simulation studies for short-circuit current crowding of MOSFET-Mode IGBT," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 119–122, 2014. DOI: 10.1109/ISPSD.2014.6855990
- [23] M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach, and S. Linder, "A study of Switching-Self-Clamping-Mode 'SSCM' as an over-voltage protection feature in high voltage IGBTs," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 67–70, 2005. DOI: 10.1109/ispsd.2005.1487952
- [24] Z. Chen, K. Nakamura, and T. Terashima, "LPT(II)-CSTBTM(III) for high voltage application with ultra robust turn-off capability utilizing novel edge termination design," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 25–28, 2012. DOI: 10.1109/ISPSD.2012.6229014
- [25] T. Basler, R. Bhojani, J. Lutz, and R. Jakob, "Dynamic Self-Clamping at Short-Circuit Turn-Off of High-Voltage IGBTs," in *Proc. Int. Symp. Power Semicond. Devices IC's*, pp. 277–280, 2013. DOI: 10.1109/ISPSD.2013.6694440
- [26] R. Baburske et al., "Comparison of critical current filaments in IGBT short circuit and during diode turn-off," in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 47–50, 2014. DOI: 10.1109/ISPSD.2014.6855972
- [27] R. Baburske, F. J. Niedernostheide, J. Lutz, H. J. Schulze, E. Falck, and J. G. Bauer, "Cathode-side current filaments in high-voltage power diodes beyond the SOA limit," *IEEE Trans. Electron Devices*, vol. 60, no. 7, pp. 2308–2317, 2013. DOI: 10.1109/TED.2013.2264839
- [28] S. Yin, Y. Wu, Y. Liu, and X. Pan, "Comparative design of gate drivers with short-circuit protection scheme for SiC MOSFET and Si IGBT," *Energies* 2019, 12, 4546. <https://doi.org/10.3390/en12234546>
- [29] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and T. Schmidt, "The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement

- potential,” in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 355–358, 2000. DOI: 10.1109/ISPSD.2000.856842
- [30] Y. Toyota, S. Watanabe, T. Arai, M. Wakagi, M. Mori, M. Shinagawa, K. Azuma, Y. Shima, T. Oda, Y. Toyota, and K. Saito, ”Novel 3.3-kV advanced trench HiGT with low loss and low  $dv/dt$  noise,” in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 29–32. DOI: 10.1109/ISPSD.2013.6694391
- [31] P. Spirito, G. Breglio, A. Irace, L. Maresca, E. Napoli, and M. Riccio, ”Physics of the negative resistance in the avalanche I-V curve of field stop IGBTs: Collector design rules for improved ruggedness,” *IEEE Trans. Electron Devices*, vol. 61, no. 5, pp. 1457–1463, 2014. DOI: 10.1109/TED.2014.2311169
- [32] J. Lutz, R. Baburske, M. Chen, B. Heinze, M. Domeij, H. P. Felsl, and H. J. Schulze, ”The  $nn^+$ -junction as the key to improved ruggedness and soft recovery of power diodes,” *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2825–2832, 2009. DOI: 10.1109/TED.2009.2031019
- [33] H. Egawa, ”Avalanche Characteristics and Failure Mechanism of High Voltage Diodes,” *IEEE Trans. Electron Devices*, vol. 13, no. 11, pp. 754–758, 1966. DOI: 10.1109/T-ED.1966.15838
- [34] P. L. Hower, and V. G. K. Reddi, ”Avalanche Injection and Second Breakdown in Transistors,” *IEEE Trans. Electron Devices*, vol. 17, no. 4, pp. 320–335, 1970. DOI: 10.1109/T-ED.1970.16976
- [35] K. Matsushita, I. Omura, A. Nakagawa, and H. Ohashi, ”Theoretical investigations on IGBT snubberless, self-clamped drain voltage switching-off operation under a large inductive load,” in *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 46–51, 1993. DOI: 10.1109/ispsd.1993.297105
- [36] S. M. Sze, ed., *Semiconductor Devices: Physics and Technology* 2nd Edition, John Wiley & Sons, USA, 2002.

- [37] Z. Zeng, X. Li, X. Zhang, and L. Cao, "Comparative Evaluation of Kelvin Connection for Current Sharing of Multi-Chip Power Modules," in *Proc. 2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, pp. 4664-4670, 2018. DOI: 10.1109/ECCE.2018.8558246
- [38] J. Ke, Z. Zhao, P. Sun, H. Huang, J. Abuogo, and X. Cui, "New Screening Method for Improving Transient Current sharing of Paralleled SiC MOS-FETs," in *Proc. 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*, Niigata, Japan, pp. 1125-1130, 2018. DOI: 10.23919/IPEC.2018.8507893
- [39] A. Castellazzi, "Comprehensive Compact Models for the Circuit Simulation of Multichip Power Modules," *IEEE Trans. Power Electron.*, vol. 25, no. 5, pp. 1251-1264, 2010. DOI: 10.1109/TPEL.2009.2036728
- [40] A. Castellazzi, M. Ciappa, W. Fichtner, E. Batista, J. M. Dienot, and M. M. Guyennet, "Electro-thermal model of a high-voltage IGBT module for realistic simulation of power converters," in *Proc. ESSDERC 2007 - 37th European Solid State Device Research Conference*, Munich, Germany, pp. 155-158, 2007. DOI: 10.1109/ESSDERC.2007.4430902
- [41] A. Castellazzi and M. Ciappa, "Multi-level electro-thermal modeling for circuit simulation of packaged power devices," in *Proc. 11th IEEE Work. Control Model. Power Electron. (COMPEL 2008)*, no. 1, 2008. DOI: 10.1109/COMPEL.2008.4634675
- [42] A. Müsing, G. Ortiz, and J. W. Kolar, "Optimization of the current distribution in press-pack high power IGBT modules," in *Proc. Int. Power Electron. Conf. - ECCE Asia - (IPEC 2010)*, pp. 1139-1146, 2010. DOI: 10.1109/IPEC.2010.5543573
- [43] A. Castellazzi, M. Ciappa, W. Fichtner, G. Lourdel, and M. M. Guyennet, "Comprehensive Electro-Thermal Compact Model of a 3.3kV-1200A IGBT-



- module,” in *Proc. 2007 Int. Conf. Power Eng. Energy Electr. Drives*, pp. 405–410, 2007. DOI: 10.1109/POWERENG.2007.4380225
- [44] L. Ceccarelli, P. D. Reigosa, A. S. Bahman, F. Iannuzzo, and F. Blaabjerg, ”Compact electro-thermal modeling of a SiC MOSFET power module under short-circuit conditions,” in *Proc. IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, Beijing, China, pp. 4879-4884, 2017. DOI: 10.1109/IECON.2017.8216842
- [45] Y. Mukunoki, T. Horiguchi, and A. Nishizawa, ”Electro-thermal co-simulation of two parallel-connected SiC-MOSFETs under thermally imbalanced conditions,” in *Proc. 2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, USA, pp. 2855-2860, 2018. DOI: 10.1109/APEC.2018.8341422
- [46] M. M. Guyennet, A. Castellazzi, J. Fabre, and P. Ladoux, ”Electrical Analysis and Packaging Solutions for High-Current Fast-Switching SiC Components,” in *Proc. 2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, Nuremberg, Germany, pp. 1-6, 2012.
- [47] 後藤憲一, 山崎修一郎「詳解 電磁気学演習」共立出版株式会社, pp. 272-277.
- [48] R. S. Chokhawala, J. Catt, and L. Kiraly, ”A discussion on IGBT short-circuit behavior and fault protection schemes”, *IEEE Trans. Ind. Appl.*, vol. 31, no. 2, pp. 256-263, 1995. DOI: 10.1109/28.370271
- [49] J. Fuhrmann, D. Hammes, and H. G. Eckel, ”Short-circuit behavior of high-voltage IGBTs”, in *Proc. 42nd Annual Conference of the IEEE Industrial Electronics Society (IECON)*, Florence, Italy, pp. 1165-1170, 2016. DOI: 10.1109/IECON.2016.7793796
- [50] J. Lutz, and R. Dobler, ”Short circuit III in high power IGBTs”, in *Proc. 13th European Conference on Power Electronics and Applications (EPE)*, Barcelona, Spain, pp. 1-8, 2009.

- [51] J. Schumann, S. Pierstorf, and H. G. Eckel, "Influence of the gate drive on the short-circuit type II and type III behaviour of HV-IGBT", in *Proc. Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy, Energy Manage. (PCIM Europe)*, Nuremberg, Germany, pp. 709-714, 2010.
- [52] J. Bohmer, J. Schumann, and H. G. Eckel, "Negative differential miller capacitance during switching transients of IGBTs", in *Proc. 14th European Conference on Power Electronics and Applications (EPE)*, Birmingham, UK, pp. 1-9, 2011.
- [53] J. Lutz, and T. Basler, "Short-circuit ruggedness of high-voltage IGBTs", in *Proc. 28th International Conference on Microelectronics*, Nis, Serbia, pp. 243-250, 2012. DOI: 10.1109/MIEL.2012.6222845
- [54] A. Castellazzi, M. Johnson, M. Piton, and M. M. Guyennet, "Experimental analysis and modeling of multi-chip IGBT modules short-circuit behavior," in *Proc. 2009 IEEE 6th International Power Electronics and Motion Control Conference*, Wuhan, China, pp. 285-290, 2009. DOI: 10.1109/IPEMC.2009.5157400
- [55] P. D. Reigosa, F. Iannuzzo, H. Luo, and F. Blaabjerg, "A short-circuit safe operation area identification criterion for SiC MOSFET power modules", *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2880-2887, 2017. DOI: 10.1109/TIA.2016.2628895
- [56] H. Du, P. D. Reigosa, L. Ceccarelli, and F. Iannuzzo, "Impact of repetitive short-circuit tests on the normal operation of SiC MOSFETs considering case temperature influence", *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 8, no. 1, pp. 195-205, 2020. DOI: 10.1109/JESTPE.2019.2942364
- [57] C. Unger, and M. Pfof, "Energy capability of SiC MOSFETs", in *Proc. 28th ISPSD*, Prague, Czech, pp. 275-278, 2016. DOI: 10.1109/ISPSD.2016.7520831
- [58] E. Velander, L. Kruse, S. Meier, A. Lofgren, T. Wiik, H. P. Nee, and D. P. Sadik, "Analysis of short circuit type II and III of high voltage SiC MOSFETs

- with fast current source gate drive principle”, in *Proc. 8th IPEMC-ECCE Asia*, Hefei, China, pp. 3392-3397, 2016. DOI: 10.1109/IPEMC.2016.7512839
- [59] X. Liao, Q. Shen, Y. Hu, C. Yang, X. Chen, and H. Lui, ”Fault protection for a SiC MOSFET based on gate voltage subjected to short circuit type II”, *Microelectronics Reliability*, vol. 107, pp. 1-5, 2020. DOI: 10.1016/j.microrel.2020.113624
- [60] T. Bertelshofer, A. Maerz, and M. M. Bakran, ”Design rules to adapt the desaturation detection for SiC MOSFET modules”, in *Proc. Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy, Energy Manage. (PCIM Europe)*, Nuremberg, Germany, pp. 182-189, 2017.
- [61] D. P. Sadik, J. Colmenares, G. Tolstoy, D. Peftitsis, M. Bakowski, J. Rabkowski, and H. P. Nee, ”Short-circuit protection circuits for silicon-carbide power transistors”, *IEEE Trans. Ind. Electron.*, vol. 63, no. 4, pp. 1995-2004, 2016. DOI: 10.1109/TIE.2015.2506628
- [62] Z. Wang, X. Shi, Y. Xue, L. M. Tolbert, F. Wang, and B. J. Blalock, ”Design and performance evaluation of overcurrent protection schemes for silicon carbide (SiC) power MOSFETs”, *IEEE Trans. Ind. Electron.*, vol. 61, no. 10, pp. 5570-5581, 2014. DOI: 10.1109/TIE.2013.2297304
- [63] Z. Wang, X. Shi, L. M. Tolbert, F. F. Wang, and B. J. Blalock, ”A  $di/dt$  feedback-based active gate driver for smart switching and fast overcurrent protection of IGBT modules”, *IEEE Trans. Power Electron.*, vol. 29, no. 7, pp. 3720-3732, 2014. DOI: 10.1109/TPEL.2013.2278794
- [64] F. Huang, and F. Flett, ”IGBT fault protection based on  $di/dt$  feedback control”, in *Proc. IEEE Power Electronics Specialists Conference*, Orlando, FL, USA, pp. 1478-1484, 2007. DOI: 10.1109/PESC.2007.4342213
- [65] H. Du, P. D. Reigosa, F. Iannuzzo, and L. Ceccarelli, ”Investigation on the degradation indicators of short-circuit tests in 1.2 kV SiC MOSFET power

- modules”, *Microelectronics Reliability*, vol. 88-90, pp. 661-665, 2018. DOI: 10.1016/j.microrel.2018.06.039
- [66] B. Huang, Y. Li, T. Q. Zheng, and Y. Zhang, ”Design of overcurrent protection circuit for GaN HEMT”, in *Proc. 6th Energy Conversion Congress and Exposition (ECCE)*, Pittsburgh, PA, USA, pp. 2844-2848, 2014. DOI: 10.1109/ECCE.2014.6953784
- [67] R. Hou, J. Lu, and D. Chen, ”An ultrafast discrete short-circuit protection circuit for GaN HEMTs”, in *Proc. 10th Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, pp. 1920-1925, 2018. DOI: 10.1109/ECCE.2018.8557677
- [68] X. Li, D. Xu, X. Cheng, Y. Yu, and W. T. Ng, ”Indirect IGBT overcurrent detection technique via gate voltage monitoring and analysis”, *IEEE Trans. Power Electron.*, vol. 34, no. 4, pp. 3615-3622, 2019. DOI: 10.1109/TPEL.2018.2856777
- [69] T. Horiguchi, S. Kinouchi, Y. Nakayama, T. Oi, H. Urushibara, S. Okamoto, S. Tominaga, and H. Akagi, ”Short-circuit protection method based on a gate charge characteristic”, *IEEJ Journal of Industry Applications*, vol. 4, no. 4, pp. 360-369, 2015. DOI: 10.1541/ieejia.4.360
- [70] N. Oswald, B. H. Stark, D. Holliday, C. Hargis, and B. Drury, ”Analysis of shaped pulse transitions in power electronic switching waveforms for reduced EMI generation,” *IEEE Trans. Ind. Appl.*, vol. 47, no. 5, pp. 2154-2165, 2011. DOI: 10.1109/TIA.2011.2161971
- [71] X. Yang, Y. Yuan, and P. R. Palmer, ”Shaping high-power IGBT switching transitions by active voltage control for reduced EMI generation,” *IEEE Trans. Ind. Appl.*, vol. 51, no. 2, pp. 1669-1677, 2015. DOI: 10.1109/TIA.2014.2347578
- [72] N. F. Oswald, P. Anthony, J. N. McNeill, and B. H. Stark, ”An experimental investigation of the tradeoff between switching losses and EMI gen-

- eration with hard-switched All-Si, Si-SiC, and All-SiC device combinations,” *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2393-2407, 2014. DOI: 10.1109/TPEL.2013.2278919
- [73] Y. Wu, H. Li, W. Ma, and D. Jin, ”Analytical modeling of the silicon carbide (SiC) MOSFET during switching transition for EMI investigation,” *IEICE Trans. Electron.*, vol. E102-C, no. 9, pp. 646-657, 2019. DOI: 10.1587/transele.2018ECP5079
- [74] C. Gu, K. Dong, B. Liu, L. Diao, and D. Meng: ”Switching ringing suppression of SiC MOSFET in a phase-leg configuration,” in *Proc. 2nd ICPEA*, Singapore, pp. 47-50, 2019. DOI: 10.1109/ICPEA.2019.8818551
- [75] P. Xue, L. Maresca, M. Riccio, G. Breglio, and A. Irace, ”Analysis on the self-sustained oscillation of SiC MOSFET body diode,” *IEEE Trans. on Electron devices*, vol. 66, no. 10, pp. 4287-4295, 2019. DOI: 10.1109/TED.2019.2937059
- [76] P. Nayak, and K. Hatua, ”Active gate driving technique for 1200 V SiC MOSFET to minimize detrimental effects of parasitic inductance in the converter layout,” *IEEE Trans. Ind. Appl.*, vol. 54, no. 2, pp. 1622-1633, 2017. DOI: 10.1109/TIA.2017.2780175
- [77] S. Yasuda, Y. Suzuki, and K. Wada, ”Estimation of switching loss and voltage overshoot of active gate driver by neural network,” *IEICE Trans. Electron.*, vol. E103-C, no. 11, pp. 609-612, 2020. DOI: 10.1587/transele.2019ESS0004
- [78] V. John, B. S. Suh, and T. A. Lipo, ”High-performance active gate drive for high-power IGBT’s,” *IEEE Trans. Ind. Appl.*, vol. 35, no. 5, pp. 1108-1117, 1999. DOI: 10.1109/28.793372
- [79] J. Henn, L. Heine, and R. W. De Doncker, ”A high bandwidth active SiC gate driver for dynamic adjustment of electromagnetic emissions in electric vehicles,” in *Proc. PCIM Europe*, Nuremberg, Germany, pp. 1695-1701, 2020.

- [80] N. Rouger, Y. Barazi, M. Cousineau, and F. Richardeau, "Modular multilevel SOI-CMOS active gate driver architecture for SiC MOSFETs," in *Proc. 32nd ISPSD*, Vienna, Austria, pp. 278-281, 2020. DOI: 10.1109/ISPSD46842.2020.9170181
- [81] Z. Zhang, J. Dix, F. B. B. Wang, D. Costinett, and L. Tolber, "Intelligent gate drive for fast switching and crosstalk suppression of SiC devices," *IEEE Trans. Power Electron.*, vol. 32, no. 12, pp. 9319-9332, 2017. DOI: 10.1109/TPEL.2017.2655496
- [82] C. P. Dymond, D. Liu, J. Wang, J. J. O. Dalton, and B. H. Stark, "Multi-level active gate driver for SiC-MOSFETs," in *Proc. IEEE Energy Conv. Congr. Expo. (ECCE)*, Cincinnati, OH, USA, pp. 5107-5112, 2017. DOI: 10.1109/ECCE.2017.8096860
- [83] H. C. P. Dymond, J. Wang, D. Liu, J. J. O. Dalton, N. McNeill, D. Pamnuwa, S. J. Hollis, and B. H. Stark., "A 6.7-GHz active gate driver for GaN FETs to combat overshoot, ringing, and EMI," *IEEE Trans. Power Electron.*, vol. 33, no. 1, pp. 581-594, 2018. DOI: 10.1109/TPEL.2017.2669879
- [84] Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, and D. J. Costinett, "Active gate driver for fast switching and cross-talk suppression of SiC devices in a phase-leg configuration," in *Proc. IEEE Appl. Power Electron. Conf. Expo. (APEC)*, Charlotte, NC, USA, pp. 774-781, 2015. DOI: 10.1109/APEC.2015.7104437
- [85] C. Li, K. Tan, B. Ji, and Z. Wang, "Optimal algorithm design based on a digitalized active voltage gate driver for IGBT turn-on transition," in *Proc. PCIM Europe*, Nuremberg, Germany, pp. 1558-1564, 2019.
- [86] Z. Wang, X. Shi, L. M. Tolbert, F. F. Wang, and B. J. Blalock, "A di/dt feedback-based active gate driver for smart switching and fast overcurrent protection of IGBT modules," *IEEE Trans. Power Electron.*, vol. 29, no. 7, pp. 3720-3732, 2014. DOI: 10.1109/TPEL.2013.2278794

- [87] N. Idir, R. Bausiere, and J. J. Franchaud, "Active gate voltage control of turn-on  $di/dt$  and turn-off  $dv/dt$  in insulated gate transistors," *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 849-855, 2006. DOI: 10.1109/TPEL.2007.876895
- [88] Y. Lobsiger and J. W. Kolar, "Closed-loop  $di/dt$  and  $dv/dt$  IGBT gate driver," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3402-3417, 2015. DOI: 10.1109/TPEL.2014.2332811
- [89] H. Ghorbani, V. Sala, A. P. Camacho, and J. L. R. Martinez, "A simple closed-loop active gate voltage driver for controlling  $di_C/dt$  and  $dv_{CE}/dt$  in IGBTs," *MDPI Electronics*, vol. 8, no. 144, pp. 1-18, 2019. DOI: 10.3390/electronics8020144
- [90] K. Onda, A. Konno, and J. Sakano, "New concept high-voltage IGBT gate driver with self-adjusting active gate control function for SiC-SBD hybrid module," in *Proc. 25th ISPSD*, Kanazawa, Japan, pp. 343-346, 2013. DOI: 10.1109/ISPSD.2013.6694418
- [91] H. Obara, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai, "Active gate control in half-bridge inverters using programmable gate driver ICs to improve both surge voltage and switching loss," in *Proc. APEC*, Tampa, FL, USA, pp. 1153-1159, 2017. DOI: 10.1109/APEC.2017.7930841
- [92] A. P. Camacho, V. Sala, H. Ghorbani, and J. L. R. Martinez, "A novel active gate driver for improving SiC MOSFET switching trajectory," *IEEE Trans. Ind. Electron.*, vol. 64, no. 11, pp. 9032-9042, 2017. DOI: 10.1109/TIE.2017.2719603
- [93] S. Acharya, X. She, F. Tao, T. Frangieh, M. H. Todorovic, and R. Datta, "Active gate driver for SiC-MOSFET-Based PV inverter with enhanced operating range," *IEEE Trans. Ind. Appl.*, vol. 55, no. 2, pp. 1677-1689, 2019. DOI: 10.1109/TIA.2018.2878764

- [94] Y. Yang, Y. Wen, and Y. Gao, "A novel active gate driver for improving switching performance of high-power SiC MOSFET modules," *IEEE Trans. Power Electron.*, vol. 34, no. 8, pp. 7775-7787, 2019. DOI: 10.1109/TPEL.2018.2878779
- [95] S. Zhao, A. Dearien, Y. Wu, C. Farnell, A. U. Rashid, F. Luo, and H. A. Mantooth, "Adaptive multi-level active gate drivers for SiC power devices," *IEEE Trans. Power Electron.*, vol. 35, no. 2, pp. 1882-1898, 2020. DOI: 10.1109/TPEL.2019.2922112
- [96] S. Zhao, X. Zhao, A. Dearien, Y. Wu, Y. Zhao, and H. A. Mantooth, "An intelligent versatile model-based trajectory optimized active gate driver for silicon carbide devices," *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 8, no. 1, pp. 429-441, 2020. DOI: 10.1109/JESTPE.2019.2922824
- [97] E. Mandelli, A. Mariconti, S. Ruzza, and A. Baschirotto, "Active dual level gate driver for dead time and switching losses reduction in drive systems," in *Proc. 32nd ISPSD*, Vienna, Austria, pp. 258-261, 2020. DOI: 10.1109/ISPSD46842.2020.9170069
- [98] C. Geng, D. Zhang, X. Wu, W. Shen, and R. Dong, "A novel active gate driver with auxiliary gate current control circuit for improving switching performance of high-power SiC MOSFET modules," *IEICE Trans. Electron.*, pp. 1-7, 2020. DOI: 10.1109/CIYCEE49808.2020.9332773
- [99] H. Huang, X. Yang, Y. Wen, and Z. Long: "A switching ringing suppression scheme of SiC MOSFET by active gate drive," in *Proc. 8th IPEMC-ECCE Asia*, Hefei, China, pp. 285-291, 2016. DOI: 10.1109/IPEMC.2016.7512300
- [100] Y. Sukhatme, V. K. Miryala, P. Ganesan, and K. Hatua, "Digitally controlled gate current source-based active gate driver for silicon carbide MOSFETs," *IEEE Trans. Ind. Electron.*, vol. 67, no. 12, pp. 10121-10133, 2020. DOI: 10.1109/TIE.2019.2958301



- [101] V. Krishna M, and K. Hatua, "Current controlled active gate driver for 1200V SiC MOSFET," in *Proc. PEDES.*, Trivandrum, India, pp. 1-6, 2016. DOI: 10.1109/PEDES.2016.7914328
- [102] K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya, and T. Sakurai, "General-purpose clocked gate driver IC with programmable 63-level drivability to optimize overshoot and energy loss in switching by a simulated annealing algorithm," *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2350-2357, 2017. DOI: 10.1109/TIA.2017.2674601
- [103] J. Henn, C. Ludecke, M. Laumen, S. Beushausen, S. Kalker, C. H. Broeck, G. Engelmann, and R. W. Donker, "Intelligent gate drivers for future power converters," *IEEE trans. Power Electron.*, vol. 37, no. 3, pp. 3484-3503, 2022.
- [104] Y. Wei, L. Du, X. Du, and A. Mantooth, "Multi-level Active Gate Driver for SiC MOSFETs with Paralleling Operation," in *Proc. IEEE 22nd Workshop on Control and Modelling of Power Electronics (COMPEL)*, Cartagena, Colombia, pp. 1-7, 2021. DOI: 10.1109/COMPEL52922.2021.9645994
- [105] Y. Wen, Y. Yang, and Y. Gao, "Active Gate Driver for Improving Current Sharing Performance of Paralleled High-Power SiC MOSFET Modules," *IEEE Trans. Power Electron.*, vol. 36, no. 2, pp. 1491-1505, 2021. DOI: 10.1109/TPEL.2020.3006071
- [106] S. Fahlbusch, F. Fisahn, M. Meissner, U. Muter, S. Klotzer, and K. F. Hoffmann, "Dual On-State Gate Driver Concept for Improved Drive of Silicon Carbide MOSFETs," in *Proc. PCIM Europe*, Nuremberg, Germany, pp. 880-887, 2017.
- [107] E. Velandar, L. Kruse, T. Wiik, A. Wiberg, J. Colmenares, and H. P. Nee, "An IGBT Turn-ON Concept Offering Low Losses Under Motor Drive  $dv/dt$  Constraints Based on Diode Current Adaption," *IEEE Trans. Power Electron.*, vol. 33, no. 2, pp. 1143-1153, 2018. DOI: 10.1109/TPEL.2017.2688474

- [108] J. Schuderer, C. Liu, T. Gloor, S. Rehm, A. Ruiz, G. Paques, A. Hilliard, S. M. Naidu, and R. Schewey, "Health Management of Power Electronics Systems," in *Proc. PCIM Europe*, Nuremberg, Germany, pp. 948-955, 2021.

# 研究成果

## 学術誌論文

1. H. Suzuki, and M. Ciappa, "TCAD simulation of current filamentation in adjacent IGBT cells under turn-on and turn-off short circuit condition," *Microelectronics Reliability*, vol. 55, pp. 1976-1980, 2015.
2. H. Suzuki, and M. Ciappa, "Electro-thermal simulation of current sharing in silicon and silicon carbide power modules under short circuit condition of types I and II," *Microelectronics Reliability*, vol. 58, pp.12-16, 2016.
3. H. Suzuki, and T. Funaki, "Fast Short-circuit Protection under Current Imbalance Condition for Multi-Paralleled SiC-MOSFETs," *IEEJ Trans. on Ind. Appl.*, vol. 143, no. 1, pp. 35-45, 2023.
4. H. Suzuki, and T. Funaki, "Noise suppression in SiC-MOSFET body diode turn-off operation with simple and robust gate driver," *IEICE Trans. Electron.*, vol. E105-C, no. 12, pp. 750-760, Dec., 2022.

## 国際学会

1. H. Suzuki, and M. Ciappa, "TCAD simulation of current filamentation in adjacent IGBT cells under turn-on and turn-off short circuit condition," *Proceedings of 26th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF)*, in Toulouse, France, 2015.
2. H. Suzuki, T. Miyoshi, T. Moritsuka, and T. Furukawa, "Integrated Time and Space Carrier Controllable HiGT (i-TASC) with Widely Designable

Backside Technology,” Proceedings of International Symposium on Power Semiconductor Devices and ICs (ISPSD), in Vancouver, Canada, pp. 281-284, 2022.

## 国内報告

1. 鈴木弘：「IGBTの短絡中および短絡遮断中に発生するカレントフィラメンテーションの解析」，電気学会「シリコンならびに新材料パワーデバイス・パワーIC」技術調査専門委員会 第19回ヒアリング報告 (2015年2月)
2. 鈴木弘, 三好智之, 森塚翼, 古川智康:「混載型デュアルゲート時空制御HiGT(i-TASC)の検討」，電気学会 電子デバイス/半導体電力変換 合同研究会「パワーデバイス・パワーエレクトロニクスとその実装技術」，札幌 (2022年12月)

## 特許

1. 鈴木弘, 白石正樹, 渡邊聡, 石丸哲也:特許第05932623号,「半導体装置およびそれを用いた電力変換装置」, 出願日 2012/12/05 (特開 2014-112578, 公開日 2014/06/19) .
2. 鈴木弘, 石川勝美, 栗原直樹:「ゲート駆動回路および電圧駆動型ワイドギャップ半導体の駆動方法」, 出願日 2018/08/29 (特開 2020-036424, 公開日 2020/03/05) .
3. 鈴木弘, 石川勝美, 栗原直樹:特許第07072497号,「電力変換装置およびその状態監視方法」, 出願日 2018/12/25 (特開 2020-102973, 公開日 2020/07/02) .
4. 鈴木弘, 白石正樹:「半導体装置の駆動装置および駆動方法、並びに電力変換装置」, 出願日 2019/11/05 (特開 2021-078166, 公開日 2021/05/20) .
5. 鈴木弘, 白石正樹, 八幡光一:「半導体素子駆動装置および電力変換装置」, 出願日 2020/02/03 (特開 2021-125908, 公開日 2021/08/30) .

6. 鈴木弘, 和田真一郎, 土肥昌宏, 水橋嘉章:「半導体スイッチング素子の駆動装置およびその駆動方法、電力変換装置」, 出願日 2021/04/30.

## 謝辞

本研究を進めるにあたり多大なるご指導，ご鞭撻を賜りました指導教員である舟木剛教授に心より感謝いたします。舟木先生には研究への取り組み方から論文指導に至るまで多くの有益なご助言を賜り，自身の検討不足や研究のさらなる改善点に気づき，研究を進める上で多くのことを学ばせて頂きました。特に査読論文の執筆にあたっては，独創性が伝わる書き方や論旨の一貫性など，ご指導を通して大いに学びになり，今後も積極的に論文投稿に挑戦して参りたいと決意しております。

ご多忙の中で論文審査をして頂いた高井重昌教授，牛尾知雄教授に厚く御礼申し上げます。博士論文の審査会でも本研究の有用性に関して前向きなご助言を多数頂き，大変励みになりました。

また，社会人博士課程として進学を支援してくださいました，日立製作所の島明生主幹研究長，豊田善章部長，古川智康主任研究員，白石正樹主任研究員に深く感謝いたします。今回の学位取得の経験を活かして，研究者としてさらなる貢献ができるよう精進して参ります。

最後に研究生生活を応援して下さった同僚，子育てが大変な時期にもかかわらず研究を応援し支えてくれた妻をはじめ家族に感謝申し上げます。