

Title	IoTエッジノードデバイスのための低電圧CMOS集積回 路技術に関する研究
Author(s)	松塚, 凌
Citation	大阪大学, 2023, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/92954
rights	
Note	

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

博士学位論文

IoTエッジノードデバイスのための 低電圧CMOS集積回路技術に関する研究

松塚 凌

2023年6月

大阪大学大学院工学研究科

内容梗概

本論文は、IoT(Internet of Things)エッジノードデバイスのメンテナンスフリー化に 向けて,低電圧 CMOS(Complementary Metal-Oxide-Semiconductor)集積回路技術に関 する研究内容をまとめたものである.

第1章では、研究の背景と目的を明らかにする.次世代の情報化社会では、我々の身体 や周囲の環境からあらゆるデータを収集するために超小型の IoT エッジノードデバイス を大量に配置する.IoT エッジノードデバイスは様々な環境に配置するため、電源の確保 が課題となる.バッテリの利用が一般的な電源供給方法であるが、無数のデバイスに対す る、人手による定期的な充電やバッテリ交換は非現実的である.そのため IoT エッジノー ドデバイスをメンテナンスフリー化する必要がある.解決策の1つは、デバイスを極限ま で低消費電力化し、一つのバッテリによる長期駆動を実現することである.さらに発展的 な解決策として、エナジーハーベスティング技術が注目されている.光、圧力、そして熱 等の周囲環境の微弱なエネルギーから発電を行う技術であり、継続的なアプリケーション 回路への電源供給やバッテリの充電が可能となる.そこで本論文では、IoT エッジノード デバイスにおける低消費電力化とエナジーハーベスティングの実現を目的として、低電圧 CMOS 集積回路技術に関する検討を行う.

第2章では、入力範囲を拡大した高効率SC(Switched-Capacitor)型降圧コンバータを 検討する.一般的な回路方式の降圧コンバータは、コイル・トランス等の外付け部品が必 要となる.一方、SC型降圧コンバータはキャパシタのみで構成する.そのためフルオン チップ実装が可能であり、小型デバイスに適している.従来のSC型降圧コンバータは降 圧比率が一定のため、バッテリの出力電圧の低下によってコンバータの出力電圧が低下す る.これにより、負荷回路の動作に悪影響を与える課題がある.また、外付け部品を用い た回路方式と比較して、電力変換効率が低い課題がある.提案するSC型降圧コンバータ は、入力電圧に応じた降圧比率のコントロールにより、広い入力電圧範囲に対して一定の 出力電圧を得ることを可能にする.また、負荷電流に応じた内部動作周波数のコントロー ルにより,広い負荷電流範囲に対する高い電力変換効率を実現する.チップ試作を行い, 性能評価を行うことで,提案回路は低電力な IoT エッジノードデバイス向けに有用である ことを示す.

第3章では,超低電圧信号変換のための低消費電力レベルシフタを検討する.レベルシフタはディジタル信号の電圧レベルを変換する回路である.異なる電源電圧を持つ回路ブロック間において,レベルシフタを用いた正確な信号伝達が必要となる.従来のレベルシフタは,入力信号がラッチ回路を駆動する構成である.そのため入力信号が極めて低電 圧な場合,出力信号の生成に時間を要し,消費電力の増加や動作不能を招く課題がある. 提案するレベルシフタ回路は,入力信号を増幅してラッチ回路を駆動する構成とすることで,極めて低電圧な入力信号に対する電圧レベル変換を可能にする.また,フィードバック制御によって増幅回路を必要時のみ動作させることで,低消費電力化を実現する.チッ プ試作を行い,性能評価を行うことで,提案回路は低電力なIoTエッジノードデバイス向けに有用であることを示す.

第4章では,超低電圧エナジーハーベスティングに向けたリング発振器を検討する.小型の IoT エッジノードデバイスにおけるエナジーハーベスティングでは,搭載可能な発電素子のサイズに限りがある.そのため生成できる電圧が極めて低い場合が多い.しかし,従来のリング発振器は低電圧下で発振不能に陥る課題がある.これは電源電圧の低下によってインバータの電圧利得が低下することが原因である.提案するリング発振器は,メインインバータとフィードバックインバータによって構成する自己バイアスインバータを使用する.提案する自己バイアスインバータでは,フィードバックインバータを用いてメインインバータの基板電位を制御する.基板バイアス効果によってメインインバータのしきい値電圧が増減し,インバータの入出力特性が変化する.これによって電圧利得の改善を実現する.チップ試作を行い,性能評価を行うことで,提案回路はエナジーハーベスティングによって極めて低い電圧を生成する IoT エッジノードデバイス向けに有用であることを示す.

第5章では、本研究の成果について総括を行う.第1章で述べた技術課題と、第2章から第4章で述べた解決策および評価結果を整理し、IoTエッジノードデバイスに向けた低 電圧 CMOS 集積回路技術を実現できることを述べる.

目 次

内容梗	我	i
第1章	序論	1
1.1	研究の背景	1
	1.1.1 次世代情報化社会	1
	1.1.2 IoT エッジノードデバイスへの活用技術	3
	1.1.3 システムアーキテクチャと技術課題	6
1.2	研究の目的	7
1.3	本論文の構成	8
第2章	入力範囲を拡大した高効率 SC 型降圧コンバータ	15
2.1	はじめに	15
2.2	従来回路の動作原理と技術課題	15
2.3	提案する SC 型降圧コンバータ	17
	2.3.1 回路構成	17
	2.3.2 降圧比率コントロール	19
	2.3.3 スイッチング周波数コントロール	21
2.4	シミュレーション評価	25
2.5	測定評価	27
2.6	まとめ	33
第3章	超低電圧信号変換のための低消費電力レベルシフタ	39
3.1	はじめに	39
3.2	従来回路の動作原理と技術課題	39
3.3	提案するレベルシフタ	42
	3.3.1 回路構成	42

		3.3.2 増幅回路の動作原理	43
		3.3.3 ラッチ回路の動作原理	45
		3.3.4 遅延時間の解析	46
3	.4	シミュレーション評価	48
3	.5	測定評価	54
3	.6	まとめ	61
箆⊿	音	招低電圧エナジーハーベスティングに向けたリング発振器	67
	- -		67
4	പ റ	公立回路の技術運動	67
4	:.∠ 2	低不回時の12個味感	69
4	4.3	リノスレッショルト領域におりるインバータの特性	08
4	4		70
4	.5		73
4	.6	測走評価	75
	. '7	まとめ	81
4	• •		
4 第5	章	結論	87
4 第5 付翁	章 录 录A	結論 社会実装に向けた新規事業検討	87 89
4 第5 付翁	〕 章 录A ∧.1	結論 社会実装に向けた新規事業検討 はじめに	87 89 89
4 第5 付翁 A	章 录A A.1 A.2	 結論 社会実装に向けた新規事業検討 はじめに	87 89 89
4 第5 付翁 A	章 录A A.1 A.2	 結論 社会実装に向けた新規事業検討 はじめに	87 89 89 89 89
4 第5 付翁 A	章 录A A.1 A.2	 結論 社会実装に向けた新規事業検討 はじめに 新規事業展開に向けた検討 A.2.1 ペット市場に向けた提案内容 A.2.2 畜産市場に向けた提案内容 	87 89 89 89 89 90
4 第5 付翁 A	章 录A A.1 A.2	 結論 社会実装に向けた新規事業検討 はじめに	 87 89 89 89 90 92
4 第5 付翁 A	章 录 A A.1 A.2	 結論 社会実装に向けた新規事業検討 はじめに	 87 89 89 89 90 92 93
4 第5 付 錢 A A	章 录 A A.1 A.2	結論 社会実装に向けた新規事業検討 はじめに 新規事業展開に向けた検討 A.2.1 ペット市場に向けた提案内容 A.2.2 畜産市場に向けた提案内容 A.2.3 畜産市場における事業拡大 A.2.4 将来的な事業構想 新規事業検討から得られた知見	 87 89 89 89 90 92 93 94
4 第5 付錄 A A A	章 录A A.1 A.2 A.3 A.4	結論 社会実装に向けた新規事業検討 はじめこ 新規事業展開に向けた検討 A.2.1 ペット市場に向けた提案内容 A.2.2 畜産市場に向けた提案内容 A.2.3 畜産市場における事業拡大 A.2.4 将来的な事業構想 新規事業検討から得られた知見 まとめ	 87 89 89 89 90 92 93 94 95
4 第5 台 A A A 台 録	章 录A A.1 A.2 A.3 A.4 录B	結論 社会実装に向けた新規事業検討 はじめに 新規事業展開に向けた検討 A.2.1 ペット市場に向けた提案内容 A.2.2 畜産市場に向けた提案内容 A.2.3 畜産市場における事業拡大 A.2.4 将来的な事業構想 新規事業検討から得られた知見 まとめ CMOS インバータの入出力特性に関する式の導出	 87 89 89 89 90 92 93 94 95 97
4 第 5 5 6 A 方 街 A 日 日 前 日 日 日 日	☆ A A.1 A.2 A.3 A.4 B	結論 社会実装に向けた新規事業検討 はじめに 新規事業展開に向けた検討 A.2.1 ペット市場に向けた提案内容 A.2.2 畜産市場に向けた提案内容 A.2.3 畜産市場に向けた提案内容 A.2.4 将来的な事業構想 新規事業検討から得られた知見 まとめ CMOS インバータの入出力特性に関する式の導出	 87 89 89 90 92 93 94 95 97 103

第1章 序論

1.1 研究の背景

1.1.1 次世代情報化社会

エレクトロニクス技術やIT(Information Technology)技術の急速な進化に伴い,我々 を取り巻く社会の新たな姿への変革機運が高まっている.図1.1に期待する将来の社会像を 示す.現実世界の我々の身体や周囲の環境からあらゆるデータを収集し,インターネット 上の仮想世界に集めた大量のデータ(=ビッグデータ)から,AI(Artificial Intelligence) 等を用いて横断的な処理・分析を行う.その結果に基づき,情報の提示や機器の最適制御



図 1.1: 期待する将来の社会像.

等を行うことで,現実世界に対してフィードバックする.このような次世代の情報化社会の仕組みを CPS (Cyber-Physical System)と呼ぶ.生活・医療・産業・農業・防災等の 多岐に渡る分野において, CPS による新たな価値の創出や社会課題の解決が期待されて いる [1].日本政府においては,同様の社会像を Society5.0 と名付けて提唱し,実現に向 けた施策を推進している [2].以下に想定事例の一部を示す.

- 生活スタイルや好みに合わせて、自宅の家電・設備を自動で制御する [3].

- 人間や動物の体温・脈拍等をリアルタイムで分析し、疾病を早期に発見する [4,5].

- 生産ラインの将来予測を行い,自動的に生産計画・人員計画を立てる [6].

- 作物の成熟情報と気象情報から、収穫時期やトラブルの予見結果を提示する [7].

- 山間部の土壌データを収集し、土砂崩れの発生を予測する [8].

CPSは、ビッグデータ・AI・ネットワーク等の複数の技術要素を組み合わせてはじめ て実現可能となる.その重要な技術要素の一つがIoT(Internet of Things)である.IoT とは、あらゆるモノをインターネットに接続する技術のことであり、継続的なデータ収集 とリアルタイムな機器制御に不可欠な基盤となる [9–11].

図 1.2に IoT エッジノードデバイスの概要を示す.超小型の IoT エッジノードデバイス を我々の身体や周囲の環境に大量に配置することで,CPS に必要なデータ収集を実現す る.IoT エッジノードデバイスには,センシング機能・データ処理機能・通信機能等を搭 載する.その数は近年急速に増加しており,2025 年には 640 億個を上回るとの予測があ る [12].



図 1.2: IoT エッジノードデバイスの概要.

1.1.2 IoT エッジノードデバイスへの活用技術

IoT エッジノードデバイスは様々な環境に配置することから,電源の確保が課題となる. 図1.3に IoT エッジノードデバイスに対する電源供給手段を示す.図1.3(a) にバッテリに よる電源供給を示す.バッテリの利用が一般的な電源供給方法であるが,無数のデバイス に対する,人手による定期的な充電やバッテリ交換は非現実的である.そのため IoT エッ ジノードデバイスをメンテナンスフリー化する必要がある.解決策の1つは,デバイスを 極限まで低消費電力化し,一つのバッテリによる長期駆動を実現することである [13,14]. さらに発展的な解決策として,エナジーハーベスティング技術が注目されている.図1.3 (b) にエナジーハーベスティングによる電源供給を示す.光,圧力,そして熱等の周囲環 境の微弱なエネルギーから発電を行う技術であり,継続的なアプリケーション回路への電 源供給やバッテリの充電が可能となる [15,16].そこで,IoT エッジノードデバイスにおけ る低消費電力化とエナジーハーベスティングを実現するために活用すべき技術について, 以下で述べる.

IoT エッジノードデバイスの低消費電力化には,搭載する集積回路における電源電圧の低 減が効果的である.特に,MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) のしきい値電圧以下の電源電圧で回路システムを動作させることで消費電力を数桁以上 削減できる [17].回路を構成する MOSFET がしきい値電圧よりも低い電圧で動作する状 態をサブスレッショルド領域動作と呼び,超低消費電力化技術として注目されている.し かし,センサ・データ処理・通信機能等を持つアプリケーション回路を低電圧 (例: 1.2 V)で動作させる一方で,電源リソースとなるバッテリの出力電圧は比較的高い (例: 2.6



図 1.3: IoT エッジノードデバイスに対する電源供給手段. (a) バッテリ駆動. (b) エナジー ハーベスティング.



図 1.4: 降圧コンバータによる電源電圧の低減.



図 1.5: マルチ電源電圧設計.

V [18]). そのため,電源電圧を低減する降圧コンバータ回路が必要となる.図1.4に降圧 コンバータによる電源電圧の低減を示す.一般的な回路方式の降圧コンバータはコイル・ トランス等の外付け部品が必要であり,デバイスの小型化を妨げていた.一方,スイッチ ドキャパシタ (SC: Switched-Capacitor)方式の降圧コンバータはキャパシタのみで構成す る.そのためフルオンチップ実装が可能であり,小型デバイスに適している [19,20].

前述の通り,集積回路の低消費電力化には電源電圧の低減が効果的である.電源電圧を 低減すると動作速度が劣化するため,低消費電力化と動作速度確保の両立を図る必要が ある.そこで回路ブロックごとの要求速度に合わせて電源電圧を供給するマルチ電源電圧 設計が広く普及している [21,22].図1.5 にマルチ電源電圧設計のイメージ図を示す.マ ルチ電源電圧設計を適用したシステムでは,異なる電源電圧を持つ回路ブロックごとで, 扱うディジタル信号レベルが異なる.そのため,低電圧回路の出力信号をそのまま高電圧 回路に入力しても,正しく情報が伝わらない問題がある.そこでレベルシフタを用いた回 路ブロック間における正確な信号伝達が必要となる [23].レベルシフタはディジタル信号



図 1.6: レベルシフタによるディジタル信号の電圧レベル変換.



図 1.7: 昇圧コンバータによる発電電圧の昇圧.

の電圧レベルを変換する回路である.図1.6 にレベルシフタによるディジタル信号の電圧 レベル変換を示す.低電圧回路が出力する低電圧信号をレベルシフタが高電圧信号にレベ ル変換することで,高電圧回路への正確な信号伝達が可能になる.

小型の IoT エッジノードデバイスにおけるエナジーハーベスティングでは,搭載可能な 発電素子のサイズに限りがある.そのため生成できる電圧が極めて低い場合が多い.例 を挙げると,発電素子のサイズが1 cm² の場合,室内光 (200 lux)による光発電の出力 電圧が 0.45 V,体温と外気温の温度差 (2℃)による熱発電の出力電圧が 0.15 V との報 告がある [24].このため昇圧コンバータによって,発電電圧をバッテリに充電可能な電 圧まで昇圧する必要がある [25].図 1.7 に昇圧コンバータによる発電電圧の昇圧を示す. 昇圧コンバータの起動にはクロック信号が必要なため,発振器によるクロック信号の生 成が併せて必要になる.発振器には複数の方式が存在するが,CMOS (Complementary Metal-Oxide-Semiconductor)集積回路のみで構成するリング発振器が小型デバイス用途 に適している [26].

1.1.3 システムアーキテクチャと技術課題

図1.8に、IoT エッジノードデバイスに適したシステムアーキテクチャを示す.前節で 述べた各技術を活用する.電源リソースにはバッテリを使用する.降圧コンバータを用い てバッテリの出力電圧を降圧し、アプリケーション回路の電源電圧を生成する.降圧コン バータの回路方式は、フルオンチップ実装可能なSC型降圧コンバータを用いる.アプリ ケーション回路は要求速度に合わせてブロック分けし、それぞれに適した電源電圧を与え るマルチ電源電圧設計とする.要求速度が比較的低い回路ブロックの電源電圧低減によ り消費電力を大幅に削減する.アプリケーション回路ブロック間の信号伝達は、レベルシ フタを用いた信号の電圧レベル変換によって実現する.また、発電素子を用いたエナジー ハーベスティングによってバッテリを継続的に充電する.発電素子から得られる電圧は極 めて低いため、昇圧コンバータによってバッテリに充電可能な電圧まで昇圧する.昇圧コ ンバータは発振器が生成するクロック信号によって起動する.発振器の方式はフルオン チップ実装可能なリング発振器を用いる.

図1.8のアーキテクチャを実現するために,解決すべき技術課題が3点ある.表1.1に, 前節で述べた活用技術と各技術課題の対応を示す.第一に,SC型降圧コンバータの入力 電圧範囲の拡大および電力変換効率の向上である.SC型降圧コンバータは入力可能な電 圧範囲が狭いため,バッテリの出力電圧低下に対応できない課題がある.また,動作時



図 1.8: IoT エッジノードデバイスに適したシステムアーキテクチャ.

目的	活用技術	技術課題		
低消費電力化	・電源電圧の低減	SC 型降圧コンバータの		
	・SC 型降圧コンバータ	入力範囲拡大および高効率化		
	・マルチ電源電圧設計	レベルシフタの		
	・レベルシフタ	低電圧化および低消費電力化		
	(回路ブロック間の信号伝達)			
エナジー	・発電電圧の昇圧	リング発振器の低電圧化		
ハーベスティング	・昇圧コンバータ			
	・リング発振器			
	(昇圧コンバータの起動)			

表 1.1: 活用技術と技術課題.

の電力損失が大きく,バッテリの消耗速度が早まるため,電力変換効率を改善する必要が ある [27].第二の課題は,レベルシフタの低電圧化および低消費電力化である.従来の レベルシフタはサブスレッショルド領域動作に適していない.入力信号の電圧レベルが MOSFET のしきい値電圧以下(例: 0.5 V以下)となる場合に消費電力が増大する課題 がある.さらに極めて低電圧(例: 0.2 V以下)となる場合に動作不能に陥る課題があ る [23].そこで低電圧化において動作可能かつ消費電力を抑制できるレベルシフタを考案 する必要がある.第三の課題は,リング発振器の低電圧化である.エナジーハーベストの 発電条件によっては,極めて低い電圧が出力される場合がある.しかし,リング発振器は 極めて低い電源電圧(例: 100 mV以下)で動作不能に陥る課題がある.そこでリング発 振器を極低電圧下での動作に対応させる必要がある [26].

1.2 研究の目的

本研究の目的は, IoT エッジノードデバイスに向けた低電圧 CMOS 集積回路技術を構 築することにある.フルオンチップ実装可能な SC 型降圧コンバータについて,入力電圧 範囲の拡大および電力変換効率の向上を実現することで,デバイスの長期動作を可能にす る.レベルシフタの低電圧化および低消費電力化を実現することで,サブスレッショルド 領域を含めたマルチ電源電圧設計による,デバイスの大幅な低消費電力化を可能にする. リング発振器の超低電圧化を実現することで,極めて低い電圧からのエナジーハーベス ティングによる,デバイスの継続的な動作を可能にする.以上の技術を構築することで, IoT エッジノードデバイスのメンテナンスフリー化に貢献する.

1.3 本論文の構成

図 1.9 に本論文の構成を示す.本論文は以下の章から構成される.

第2章: 入力範囲を拡大した高効率SC型降圧コンバータ

本章では、SC型降圧コンバータについて、入力範囲の拡大および電力変換効率の向上 を検討した.従来のSC型降圧コンバータは降圧比率が一定のため、バッテリの出力電圧 の低下によってコンバータの出力電圧が低下する.これにより、負荷回路の動作に悪影響 を与える課題があった.また、外付け部品を用いた回路方式と比較して、電力変換効率が 低い課題があった.提案するSC型降圧コンバータは、入力電圧に応じた降圧比率のコン

第1章: 序論	
低消費電力化・ システムアーキ	・エナジーハーベスティングのための活用技術 ・テクチャと技術課題
	第2章:入力範囲を拡大した高効率SC型降圧コンバータ
	入力電圧に応じた降圧比率コントロールによる入力範囲拡大 負荷電流に応じた周波数コントロールによる高効率化
	第3早: 超低電圧信亏変換のに000低用貨電力レベルシンタ
	増幅信号を用いたラッチ回路駆動による低電圧化 増幅回路のフィードバック制御による低消費電力化
	第4章:超低電圧エナジーハーベスティングに向けたリング発振器
	基板バイアス効果によるMOSFETのしきい値制御 自己バイアスインバータを用いた低電圧化
第5章: 結論	

図 1.9: 本論文の構成.

トロールにより,広い入力電圧に対して一定の出力電圧を得ることを可能にした.また, 負荷電流に応じた内部動作周波数のコントロールにより,広い負荷電流範囲に対する高い 電力変換効率を実現した.提案回路のチップ試作を行い,性能評価を行った.提案回路は, 1.3 – 2.6 V の幅広い入力電圧範囲と 69%の最大電力変換効率を実現した.

第3章: 超低電圧信号変換のための低消費電力レベルシフタ

本章では、レベルシフタの低電圧化および低消費電力化を検討した.従来のレベルシフ タは、入力信号がラッチ回路を駆動する構成であった.そのため入力信号が極めて低電圧 な場合、出力信号の生成に時間を要し、消費電力の増加や動作不能を招く課題があった. 提案するレベルシフタ回路は、入力信号を増幅してラッチ回路を駆動する構成とすること で、極めて低電圧な入力信号に対する電圧レベル変換を可能にした.また、フィードバッ ク制御によって増幅回路を必要時のみ動作させることで、低消費電力化を実現した.提案 回路のチップ試作を行い、性能評価を行った.提案回路は、80 mV の極めて低い電圧で レベル変換動作可能であることを確認した.提案回路は低消費エネルギーでの動作を実現 し、従来回路から 88%のエネルギー削減を達成した.

第4章: 超低電圧エナジーハーベスティングに向けたリング発振器

本章では、超低電圧で動作可能なリング発振器を検討した.従来のリング発振器は、低 電圧化によってインバータの電圧利得が低下し、発振不能に陥る課題があった.提案する リング発振器は、メインインバータとフィードバックインバータによって構成する自己バ イアスインバータを使用した.提案する自己バイアスインバータでは、フィードバックイ ンバータを用いてメインインバータの基板電位を制御する.基板バイアス効果によってメ インインバータのしきい値電圧が増減し、インバータの入出力特性が変化する.これに よって電圧利得の改善を実現した.提案回路のチップ試作を行い、性能評価を行った.提 案回路は42 mVの極めて低い電源電圧で動作する結果を得た.

第5章: 結論

本章では、本研究の成果について総括を行った.

本研究で得られた研究成果を社会実装に繋げるためには、その応用先や事業展開構想を あらかじめ十分に検討しておく必要がある.新規事業展開について検討した内容を付録に てまとめる.

参考文献

- M. Wollschlaeger, T. Sauter, and J. Jasperneite, "The future of industrial communication: Automation networks in the era of the internet of things and industry 4.0," *IEEE Industrial Electronics Magazine*, vol. 11, no. 1, pp. 17-27, 2017.
- [2] Y. Shiroishi, K. Uchiyama, and N. Suzuki, "Society 5.0: For human security and well-being," *Computer*, vol. 51, no. 7, pp. 91-95, 2018.
- [3] P. Franco, J. M. Martinez, Y.-C. Kim, and M. A. Ahmed, "IoT based approach for load monitoring and activity recognition in smart homes," *IEEE Access*, vol. 9, pp. 45325-45339, 2021.
- [4] Y. Zhang, M. Qiu, C.-W. Tsai, M. M. Hassan, and A. Alamri, "Health-CPS: Healthcare cyber-physical system assisted by cloud and big data," *IEEE Systems Journal*, vol. 11, no. 1, pp. 88-95, 2021.
- [5] D.-N. Tran, T. N. Nguyen, P. C. P. Khanh, and D.-T. Tran, "An IoT-based design using accelerometers in animal behavior recognition systems," *IEEE Sensors Journal*, vol. 22, no. 18, pp. 17515-17528, 2022.
- [6] Z. Nie and K.-C. Chen, "Hypergraphical real-time multirobot task allocation in a smart factory," *IEEE Transactions on Industrial Informatics*, vol. 18, no. 9, pp. 6047-6056, 2022.
- [7] F. K. Shaikh, S. Karim, S. Zeadally, and J. Nebhen, "Recent trends in internet-ofthings-enabled sensor technologies for smart agriculture," *IEEE Internet of Things Journal*, vol. 9, no. 23, pp. 23583-23598, 2022.
- [8] C. Zet, C. Fosalau, and D. Petrisor, "Pore water pressure sensor for landslide prediction," in *Proc. IEEE SENSORS*, 2015, pp. 1-4.

- [9] L. D. Xu, W. He, and S. Li, "Internet of things in industries: A survey," IEEE Transactions on Industrial Informatics, vol. 10, no. 4, pp. 2233-2243, 2014.
- [10] A. A.-Fuqaha, M. Guizani, M. Mohammadi, M. Aledhari, and M. Ayyash, "Internet of things: A survey on enabling technologies, protocols, and applications," *IEEE Communications Surveys & Tutorials*, vol.17, no. 4, pp. 2347-2376, 2015.
- [11] J. Lin, W. Yu, N. Zhang, X. Yang, H. Zhang, and W. Zhao, "A survey on internet of things: Architecture, enabling technologies, security and privacy, and applications," *IEEE Internet of Things Journal*, vol. 4, no. 5, pp. 1125-1142, 2017.
- [12] M. Vaezi, A. Azari, S. R. Khosravirad, M. Shirvanimoghaddam, M. M. Azari, D. Chasaki, and P. Popovski, "Cellular, wide-area, and non-terrestrial IoT: A survey on 5G advances and the road toward 6G," *IEEE Communications Surveys & Tutorials*, vol. 24, no. 2, pp. 1117-1174, 2022.
- [13] M. Aliot, "Ultra-low power VLSI circuit design demystified and explained: A tutorial," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59, no. 1, pp. 3-29, 2012.
- [14] T. Jang, G. Kim, B. Kempke, M. B. Henry, N. Chiotellis, C. Pfeiffer, D. Kim, Y. Kim, Z. Foo, H. Kim, A. Grbic, D. Sylvester, H.-S. Kim, D. D. Wentzloff, and D. Blaauw, "Circuit and system designs of ultra-low power sensor nodes with illustration in a miniturized GNSS logger for position tracking: Part I—analog circuit techniques," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 9, pp. 2237-2249, 2017.
- [15] A. P. Chandrakasan, D. C. Daly, J. Kwong, and Y. K. Ramadass, "Next generation micro-power systems," in *Proc. IEEE Symposium on VLSI Circuits*, 2008, pp. 2-5.
- [16] R. J. M. Vullers, R. V. Schaijk, H. J. Visser, J. Penders, and C. V. Hoof, "Energy harvesting for autonomous wireless sensor networks," *IEEE Solid-State Circuits Magazine*, vol. 2, no.2, pp. 29-38, 2010.
- [17] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer, 2006.

- [18] Seiko CPM3225A double Instruments Inc., chip type electric 10, 2023.[Online]. Available: layer capacitor, accessed on June https://www3.sii.co.jp/en/me/datasheets/micro-battery-2/cpm3225a/
- [19] Y. K. Ramadass, A. A. Fayed, and A. P. Chandrakasan, "A fully-integrated switchedcapacitor step-down DC-DC converter with digital capacitance modulation in 45 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 12, pp. 2557-2565, 2010.
- [20] H.-P. Le, S. R. Sanders, and E. Alon, "Design techniques for fully integrated switchedcapacitor DC-DC converters," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120-2131, 2011.
- [21] M. Lanuzza, P. Corsonello, and S. Pirri, "Low-power level shifter for multi-supply voltage designs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 12, pp. 922-926, 2012.
- [22] W. Zhao, A.-B. Alvarez, and Y. Ha, "A 65-nm 25.1-ns 30.7-fJ robust subthreshould level shifter with wide conversion range," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 7, pp. 671-675, 2015.
- [23] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1776-1783, 2012.
- [24] J. Kim, P. K. T. Mok, and C. Kim, "A 0.15 V input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 2, pp. 414-425, 2015.
- [25] T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "Fully-integrated highconversion-ratio dual-output voltage boost converter with MPPT for low-voltage energy harvesting," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 10, pp. 2398-2407, 2016.
- [26] S. Bose, T. Anand, and M. L. Johnston, "Integrated cold start of a boost converter at 57 mV using cross-coupled complementary charge pumps and ultra-low-voltage

ring oscillator," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 10, pp. 2867-2878, 2019.

[27] J. Jiang, W.-H. Ki, and Y. Lu, "Digital 2-/3-phase switched-capacitor converter with ripple reduction and efficiency improvement," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 7, pp. 1836-1848, 2017.

第2章 入力範囲を拡大した高効率SC型降圧コンバータ

2.1 はじめに

降圧コンバータは電圧を効率的に降圧し,負荷回路に適切な電圧を供給する電源回路 である. IoT エッジノードデバイスにおいて,バッテリの出力電圧から各アプリケーショ ン回路の電源電圧を生成するために必要となる [1–3]. 一般的な回路方式の降圧コンバー タはコイル・トランス等の外付け部品が必要であり,デバイスの小型化を妨げている. 一 方,スイッチドキャパシタ (SC: Switched-Capacitor)型の降圧コンバータは,キャパシ タのみで構成する. そのためフルオンチップ実装が可能であり,小型デバイス用途に適し ている [4–21]. しかし,SC型降圧コンバータには,(i)入力可能な電圧範囲が狭いために バッテリの出力低下に対応できない点 [16,17] と,(ii)オンチップのキャパシタでは容量 値に限りがあるため広範囲の負荷電流を効率的に供給できない点 [13,22] に課題がある.

そこで本章では、入力電圧範囲の拡大および広範囲の負荷電流に対する高効率化を実現 する SC 型降圧コンバータを提案する.

2.2 従来回路の動作原理と技術課題

図 2.1 に最も基本的な SC 型降圧コンバータの回路図を示す.図 2.1 (a) に充電動作を, 図 2.1 (b) に放電動作を示す.キャパシタ $C_{\rm F}$,4つのスイッチ,そしてスイッチング制御回 路(図中には未記載)で構成し、2つの入力電圧 $V_{\rm HIGH}$, $V_{\rm LOW}$ から出力電圧 $V_{\rm OUT}$ を生成 する.充電動作時は、図 2.1 (a) に示す通りにスイッチが ON/OFF し、電圧 $V_{\rm HIGH}$ - $V_{\rm OUT}$ で $C_{\rm F}$ を充電する.その後の放電動作時は、図 2.1 (b) に示す通り全てのスイッチが切り 替わり、電圧が $V_{\rm OUT}$ - $V_{\rm LOW}$ となるまで $C_{\rm F}$ を放電する.以上の動作と電荷保存則より、 以下の式が成り立つ.

$$C_{\rm F} \left(V_{\rm HIGH} - V_{\rm OUT} \right) = C_{\rm F} \left(V_{\rm OUT} - V_{\rm LOW} \right). \tag{2.1}$$



図 2.1: 最も基本的な SC 型降圧コンバータ(1/2 倍 SC 型降圧コンバータ). (a) 充電動作. (b) 放電動作.



図 2.2: 従来回路の課題. (a) 狭い入力電圧範囲. (b) 広範囲の負荷電流に対する効率低下. 式 (2.1) より, VOUT は以下の式で表せる.

$$V_{\rm OUT} = \frac{1}{2} \left(V_{\rm HIGH} + V_{\rm LOW} \right).$$
 (2.2)

式 (2.2) より、この降圧コンバータは2つの入力電圧の中間値を出力する(以降、1/2倍 SC型降圧コンバータと呼ぶ).また,複数段の1/2倍SC型降圧コンバータを利用するこ とで、1/2 倍以外の降圧比率を実現できる. n 段のコンバータを用いると、2ⁿ 通りの降圧 比率を得ることができる(例: $V_{\text{OUT}}/V_{\text{IN}} = 1/2^n, 2/2^n, 3/2^n, \dots, 2^n/2^n$) [16,17].

従来のSC型降圧コンバータには2つの課題がある.図2.2に従来回路の課題の模式図 を示す.第一に、降圧比率が固定であるため、入力可能な電圧範囲が狭い点である.図2.2 (a) にこの課題の模式図を示す.降圧比率が固定であるため,入力電圧に対する出力電圧 の特性が線形となり、所望の出力電圧を得ることができる入力電圧範囲が限定的になる. 図 2.3 にその例を示す.バッテリの電圧が 2.4 V,アプリ回路の電源電圧が 1.5 V の場合,



図 2.3: バッテリ電圧低下に伴う SC 型降圧コンバータの出力電圧低下.

コンバータの降圧比率は5/8倍に設計する.ここで長期動作によりバッテリ電圧が低下す ると、コンバータの出力電圧も同様に低下する.アプリケーション回路の動作電圧以下ま で低下すると回路が動作不能に陥る.第二の課題は、電荷供給能力がキャパシタとスイッ チング周波数に依存する点である.図 2.2 (b) にこの課題の模式図を示す.オンチップの キャパシタは面積が限定的なため、広範囲の負荷電流を効率的に供給することが難しい. スイッチング周波数が低い場合、負荷電流が小さい条件において効率が低下する.スイッ チング周波数が高い場合、負荷電流が大きい条件において効率が低下する.そこで本研究 では、入力電圧範囲の拡大および広範囲の負荷電流に対する高効率化を実現する SC 型降 圧コンバータを提案する.

2.3 提案する SC 型降圧コンバータ

2.3.1 回路構成

前節で述べた技術課題を踏まえ,入力電圧範囲を拡大し,広範囲の負荷電流に対応する 高効率 SC 型降圧コンバータを提案する.図2.4 に回路構成を示す.提案回路は,電源電 圧生成回路,降圧比率コントローラ,周波数コントローラ,可変比率 SC 型降圧コンバー タ,負荷電流モニタ回路,そして出力電圧モニタ回路で構成する.可変比率 SC 型降圧コ ンバータは,複数の1/2倍 SC 型降圧コンバータで構成する.各段の接続を切り替えるこ とで複数の降圧比率を得ることができる.図2.5 に技術課題に対する解決策を示す.図2.5 (a) に入力電圧に応じた降圧比率コントロールを示す.降圧比率コントローラが入力電圧 V_{IN}を監視し,V_{IN}に応じて可変比率 SC 型降圧コンバータの降圧比率を切り替える.これ により広い入力電圧範囲を実現することができる.図2.5 (b) に負荷電流に応じたスイッ



図 2.4: 提案する SC 型降圧コンバータ.



図 2.5: 技術課題に対する解決策. (a) 入力電圧に応じた降圧比率コントロール. (b) 負荷 電流に応じたスイッチング周波数コントロール.

チング周波数コントロールを示す.負荷電流モニタ回路が負荷電流 *I*_{OUT} を監視し,周波 数コントローラが *I*_{OUT} に応じて可変比率 SC 型降圧コンバータのスイッチング周波数を 切り替える.負荷電流が小さい場合は,高い電荷供給能力が不要のため,周波数を低く制 御して電力消費を抑制する.一方で負荷電流が大きい場合は,スイッチング周波数を高く 制御して電荷供給能力を高める.これにより,広い負荷電流範囲に対する高い電力変換効 率を実現する.出力電圧モニタ回路は,コンバータの出力が十分に充電された際に,周 波数コントローラによるスイッチングクロックの生成を停止する.電源電圧生成回路は, 低い電源電圧 *V*_{DDL} を生成することで,周波数コントローラの消費電力を削減する.本研



図 2.6: 提案回路における入力電圧と出力電圧の関係.

究では,制御信号 Clock, Reset は MCU (Micro Controller Unit) が供給し,電圧 V_{DD}, V_{REF} は他の参照回路が供給するものとする.

2.3.2 降圧比率コントロール

本研究では入力電圧範囲を拡大するため,図2.1に示す1/2倍SC型降圧コンバータを 3段使用する.各段の接続を切り替えることで8通りの異なる降圧比率を得ることができ る.図2.6に入力電圧と出力電圧の関係を示す.要求する出力電圧範囲を1.3-1.6Vに設 定した場合,降圧比率が5/8倍固定のコンバータを使用すると,入力電圧の下限値が2.1 Vとなる.これに対して提案する可変比率SC型降圧コンバータは,8つの実現可能な降 圧比率の内,5/8倍,6/8倍,7/8倍,そして8/8倍の4つを使用することで,入力電圧の 下限値を1.3Vまで拡大できる.

図 2.7 に可変比率 SC 型降圧コンバータの構成図を示す.3つの 1/2 倍 SC 型降圧コン バータ,負荷容量,スイッチとして用いる MOSFET,そしてトランスミッションゲート で構成する.スイッチによって接続構成を切り替えることで,5/8 倍,6/8 倍,7/8 倍,そ して 8/8 倍の 4 つの降圧比率を得ることができる.図 2.8 に各降圧比率における接続の簡 略図を示す.図 2.8 (a) に 5/8 倍の場合の接続を示す.1/2 倍 SC 型降圧コンバータを 3 段 全て使用する.図 2.8 (b) に 6/8 倍の場合の接続を示す.1 段目と 3 段目のコンバータのみ



図 2.7: 可変比率 SC 型降圧コンバータの構成図.



図 2.8: 各降圧比率における可変比率 SC 型降圧コンバータの接続図. (a)5/8 倍. (b)6/8 倍. (c)7/8 倍. (d)8/8 倍.

を使用する. 図 2.8 (c) に 7/8 倍の場合の接続を示す. 1/2 倍 SC 型降圧コンバータを 3 段 全て使用する. 5/8 倍の場合と比べて, 2 段目のコンバータの入力側の接続に差異がある. 図 2.8 (d) に 8/8 倍の場合の接続を示す. いずれのコンバータも使用せず, 入力電圧をそ のまま出力する. 表 2.1 に入力電圧,降圧比率,そして制御信号 S<3:0> の関係を示す.

制御信号 S<3:0> は降圧比率コントローラによって生成する. 図 2.9 に降圧比率コント ローラの構成図を示す.フラッシュADC(Analog-to-Digital Converter)をベースとし, 分圧抵抗, コンパレータ, そしてエンコーダで構成する.分圧抵抗によって電圧 $\alpha \cdot V_{IN}$

V _{IN}	降圧比率	S<3>	S<2>	S<1>	S<0>
2.1 - 2.6 V	5/8	Low	Low	Low	Low
1.8 - 2.1 V	6/8	Low	Low	High	High
1.5 - 1.8 V	7/8	Low	High	High	Low
1.3 - 1.5 V	8/8	High	High	High	Low

表 2.1: 入力電圧,降圧比率,そして制御信号の関係.



図 2.9: 降圧比率コントローラの構成図.

(α : 1未満の係数)と、3つの異なる参照電圧 V_{REF1} , V_{REF2} , そして V_{REF3} ($V_{\text{REF1}} > V_{\text{REF2}} > V_{\text{REF3}}$)を生成する. コンパレータはこれらの電圧から、 $\alpha \cdot V_{\text{IN}}$ を3ビットのディ ジタル信号 A<2:0> に変換する. さらにエンコーダが信号 A<2:0> から4ビットの制御 信号 S<3:0> を生成する. 図 2.10 にエンコーダの回路図を示す. エンコーダは論理回路で あり、NOT ゲートと NAND ゲートで構成する. 表 2.2 にエンコーダの入力信号 A<2:0> と出力信号 S<3:0> の関係を示す.

2.3.3 スイッチング周波数コントロール

2.2 節で述べた通り、フルオンチップで実装する SC 型降圧コンバータの電荷供給能力 は低い. さらに、出力電圧が所望の値に達した際や、アプリケーション回路の間欠動作に よって無負荷状態となった際に、無駄な電力損失が発生する. これらの課題はスイッチン グ周波数の制御によって解決できる. 図 2.11 (a) に周波数コントローラの構成図を、図

$lpha \cdot V_{ m IN}$	A<2>	A<1>	A<0>	S<3>	S<2>	S<1>	S<0>
$\alpha \cdot V_{\rm IN} > V_{\rm REF1}$	High	High	High	Low	Low	Low	Low
$V_{\text{REF1}} > \alpha \cdot V_{\text{IN}} > V_{\text{REF2}}$	High	High	Low	Low	Low	High	High
$V_{\rm REF2} > \alpha \cdot V_{\rm IN} > V_{\rm REF3}$	High	Low	Low	Low	High	High	Low
$V_{\rm REF3} > \alpha \cdot V_{\rm IN}$	Low	Low	Low	High	High	High	Low

表 2.2: エンコーダの入力信号と出力信号の関係.







図 2.11: 周波数コントローラ. (a) 構成図. (b) 動作の模式図.



図 2.12: 負荷電流モニタ回路の回路図 [23].

2.11 (b) に周波数コントローラの動作の模式図を示す。周波数コントローラは負荷電流モニタ回路,電流制御型発振器,そして出力電圧モニタ回路で構成する。負荷電流モニタ回路は負荷電流 *I*_{OUT} に比例する電流 *I*_{CCO} を生成する。*I*_{CCO} を受け取った電流制御型発振器は *I*_{OUT} に比例する周波数のクロック信号を生成し、コンバータを駆動する。また、出力電圧モニタ回路はコンバータの出力電圧 *V*_{SC} を監視し、*V*_{SC} が所望の値に達した際に、制御信号 DIS の生成によって発振器を停止させる。

図 2.12 に負荷電流モニタ回路の回路図を示す [23]. pMOSFET のカレントミラー回路, nMOSFET のカレントミラー回路, オペアンプ, そしてフィードバック用の nMOSFET で構成する. 図中に示す通り, pMOSFET のカレントミラー回路のミラー比は $I: K_1$, nMOSFET のカレントミラー回路のミラー比は $K_2: 1$ に設定する. オペアンプとフィードバック用の nMOSFET は, pMOSFET のカレントミラー回路を高精度化するために使用する. I_{CCO} は以下の式で表され, I_{OUT} に比例する.

$$I_{\rm CCO} = \frac{1}{K_1} I_{\rm SENSE} = \frac{1}{K_1 K_2} I_{\rm OUT}.$$
 (2.3)

ここで *I*_{SENSE} は pMOSFET のカレントミラー回路が生成する電流である.なお,負荷電流モニタ回路は DIS 信号によって停止させることができる.

図 2.13 に電流制御型発振器の回路図を示す.リング発振器をベースとし、インバータ 回路,NAND ゲート,pMOSFET のカレントミラー回路,そして nMOSFET のカレント



図 2.13: 電流制御型発振器の回路図.

ミラーで構成する.カレントミラー回路によってインバータ回路とNANDゲートの駆動 電流を制限することで,発振周波数を制御する.インバータ回路の遅延時間は以下の式で 表すことができる.

$$\tau \simeq \frac{C_{\rm INV} V_{\rm DDL}}{I_{\rm CCO}}.$$
(2.4)

ここで, *C*_{INV} はインバータ回路の容量値である.式(2.4)より,*n*段のインバータ回路で 構成するリング発振器の発振周波数は以下の式で表すことができる.

$$f \simeq \frac{I_{\rm CCO}}{2nC_{\rm INV}V_{\rm DDL}}.$$
(2.5)

式 (2.5) より,スイッチング周波数は I_{CCO} によって制御できることがわかる. 駆動電流を 制限するとインバータ回路のスルーレートが低下する. 出力バッファ部分にシュミットト リガ・インバータを利用することで,出力信号のスルーレートを向上させる [24].また, リング発振器の1段目に NAND ゲートを用いることで,制御信号 DIS によって発振動作 を停止させることができる.

図 2.14 に出力電圧モニタ回路の回路図を示す.分圧抵抗とヒステリシス・コンパレー タで構成する [25].コンパレータが分圧抵抗の生成電圧 V_{CMP} と参照電圧 V_{REF} を比較し, 制御信号 DIS を生成する.信号 DIS を用いて他の回路ブロックの動作を停止させること で,不要な電力損失を抑制できる.



図 2.14: 出力電圧モニタ回路の回路図.

2.4 シミュレーション評価

65 nm CMOS プロセスを用いて提案する SC 型降圧コンバータを設計し、シミュレーションによる性能評価を行った。総容量値は 900 pF とし、各変数は $V_{\text{DDL}} = V_{\text{IN}}/4$ 、 $V_{\text{REF1}} = 1.1$ V、 $V_{\text{REF2}} = 0.9$ V、 $V_{\text{REF3}} = 0.8$ V、 $\alpha = 1/2$ 、 $K_1 = 200$ 、そして $K_2 = 5$ に設定した.

図 2.15 に入力電圧 $V_{\rm IN}$ に対する出力電圧 $V_{\rm OUT}$ のシミュレーション結果を示す.2種類 の負荷電流条件 ($I_{\rm OUT} = 0$, 50 μ A) にて評価を行った.入力電圧に応じて降圧比率を切 り替えられることを確認した.また,負荷電流の増加に伴い出力電圧が低下した.これは コンバータが出力インピーダンスを持つためである.8/8 倍以外の降圧比率において,比 率の増加に伴い電圧低下が顕著となった.これは 1/2 倍 SC 型降圧コンバータの複数段利 用によって出力インピーダンスが増加するためである [22].

図 2.16 に入力電圧 V_{IN} に対する電力変換効率特性のシミュレーション結果を示す.負荷電流は $I_{\text{OUT}} = 25$, 50 μ A に設定した.降圧比率 7/8 倍の場合において効率が大きく低下した.これは前述した通りコンバータの出力インピーダンスが最も大きくなるためである.また,降圧比率 6/8 倍の場合において,7/8 倍と 5/8 倍の場合と比較して高い効率を得た.これは図 2.8 (b) に示した通り,可変比率 SC 型降圧コンバータの 2 段目を使用せず,その分の電力損失を抑制できるためである.

図 2.17 に負荷電流 I_{OUT} に対する電力変換効率特性のシミュレーション結果を示す.2 種類の入力電圧条件($V_{IN} = 2.0$, 2.4 V)にて評価を行った. $V_{IN} = 2.0$ Vの場合の降圧 比率は 6/8 倍, $V_{IN} = 2.4$ Vの場合の降圧比率は 5/8 倍となる.提案する SC 型降圧コン バータが周波数コントロールによって,広い負荷電流範囲 $I_{OUT} = 0 - 200\mu$ A に対する高



図 2.15: 入力電圧 V_{IN} に対する出力電圧 V_{OUT} のシミュレーション結果.



図 2.16: 入力電圧 VIN に対する電力変換効率特性のシミュレーション結果.



図 2.17: 負荷電流 I_{OUT} に対する電力変換効率特性のシミュレーション結果. い効率を得ることを確認した. $V_{IN} = 2.0$ V, $I_{OUT} = 10 \ \mu$ A の条件において,最大効率 81.3%を達成した.

2.5 測定評価

65 nm CMOS プロセスを用いて提案回路のチップ試作を行った.総容量値は 360 pFと した.シミュレーション条件より小さい値であるが,これはチップ面積に限りがあり,大 きな容量値を搭載できなかったためである.図2.18に試作チップの顕微鏡写真を示す.回 路面積は 0.365 mm² であった.試作チップの測定によって,提案回路の性能を評価した. 出力波形の測定にはオシロスコープ(Keysight MSO9254A)を使用し,その他の測定に は半導体デバイスアナライザ(Keysight B1500A)を使用した.

図 2.19 に測定波形を示す.入力電圧は $V_{\rm IN} = 2.4$ V に設定した.測定波形より,出力電 $E V_{\rm OUT}$ は 1.24 V,出力波形のリプル電圧 $\Delta V_{\rm Ripple}$ は 0.25 V,そしてスイッチングクロッ クの周波数は 4.3 kHz であった.出力電圧が目標の 1.5 V より低いが,これは受動プロー ブ(入力インピーダンス: 2.2 MΩ)を用いて測定したためである.また,リプル電圧が 比較的大きいが,これは軽負荷条件であることによって,周波数コントローラがクロック 周波数を低く設定するためである.



図 2.18: 試作チップの顕微鏡写真.



図 2.19: 入力電圧 V_{IN} = 2.4 V,降圧比率 5/8 倍のときの出力電圧 V_{OUT} とクロック信号 f_{CLK} の測定波形.



図 2.20: 入力電圧 V_{IN} に対する出力電圧 V_{OUT} の測定結果.

図 2.20 に入力電圧 V_{IN} に対する出力電圧 V_{OUT} の測定結果を示す.測定は無負荷条件に て行った.比較のため,可変比率の場合と固定比率(5/8倍)の場合の測定を行った.測 定結果より,提案回路が入力電圧に応じて降圧比率を切り替えることを確認した.提案回 路は広い入力電圧範囲に対して 1.3 V 以上の高い出力電圧を生成できることを確認した.

図 2.21 に負荷電流 I_{OUT} に対するクロック周波数特性の測定結果を示す.測定結果より, 負荷電流に比例して周波数が 4.3 kHz から 1.84 MHz まで増加することを確認した.図 2.22 に負荷電流 I_{OUT} に対するリプル電圧 ΔV_{Ripple} を示す.測定結果より,負荷電流の増加に よってリプル電圧が低下することを確認した.これは図 2.21 に示した通り,負荷電流を 増加させるとクロック周波数が増加するためである. $I_{OUT} = 25 \ \mu A$ に設定した場合にお いて,クロック周波数は 380 kHz,リプル電圧は 3.0 mV であった.

図 2.23 に負荷電流 I_{OUT} に対する電力変換効率特性の測定結果を示す.入力電圧は V_{IN} = 2.4 V に設定した.比較のため,固定周波数(1 MHz)の場合のシミュレーション結果 を併せてプロットしている.提案回路は,広い負荷電流範囲 $I_{OUT} = 0 - 200 \ \mu A$ において 高い電力変換効率を達成した. $I_{OUT} = 10 \ \mu A$ の条件において,最大効率 69%と最大電力 密度 427 $\mu W/mm^2$ を実現した.


図 2.21: 負荷電流 I_{OUT} に対するクロック周波数特性の測定結果.



図 2.22: 負荷電流 I_{OUT} に対するリプル電圧 ΔV_{Ripple} の測定結果.



図 2.23: 負荷電流 I_{OUT} に対する電力変換効率特性の測定結果.

表 2.3 に,提案回路とその他の SC 型降圧コンバータ [14-21] の性能比較を示す.公平 に比較するため,フルオンチップ実装かつ降圧比率コントロール機能を持つ SC 型降圧コ ンバータ [16,17,19] との比較を行った.提案回路は最も広い入力電圧範囲 1.3 – 2.6 V を 持つことを確認した.また,本研究がターゲットとする負荷条件である *I*_{OUT} = 100 μA において,提案回路は高い電力変換効率 63.1%を達成した.以上の結果より,提案回路は 低電力な IoT エッジノードデバイス向けに有用であることを示した.

参照	提案	[14]	$\left[15 \right]$	[16]	[17]	[18]	[19]	[20]	[21]
プロセス [nm]	65	130	130	180	250	65	28	65	65
面積 [mm ²]	0.365	0.218	1.82	1.69	4.645	0.3	1.05	3.18	2.42
総容量値 [nF]	0.36	0.336	0.8	2.24	3.0	3.0	9.5	400	14
フルオンチップ	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No	Yes
降圧比率コントロール	Yes	No *	No	Yes	Yes	No *	Yes	No *	No *
周波数 コントロール	Yes	No	Yes	Yes	Yes	No	No	No	No
降圧比率の数	4	က	1	20	15	4	44	4	24
入力電圧 [V]	1.3 - 2.6	1.0	2.7 - 3.3	3.4 - 4.3	2.5	2.0 - 2.5	2.0	1.5	0.22 - 2.4
出力電圧 [V]	1.3 - 1.6	0.3 - 0.6	1.05	0.9 - 1.5	0.1 - 2.2	0.6 - 1.8	0 - 2.22	0.18 - 1.19	0.85 - 1.2
最大負荷電流 [A]	$200 \ \mu$	$80 \ \mu$	$100 \ \mu$	$300 \ \mu$	8.0 m	$4.0 \mathrm{m}$	$3.1 \mathrm{m}$	$400 \mathrm{m}$	80.1 m
効率 [%] $@I_{OUT} = 100 \ \mu A$	63.1	動作 不能	61	59	85	N/A	46	N/A	N/A
*降圧比率の制御機	能は持たず	,外部信号	レよって切	1り替えるの	J.				

表 2.3: SC 型降圧コンバータの性能比較.

第2章 入力範囲を拡大した高効率SC型降圧コンバータ

2.6 まとめ

本章では、入力電圧範囲の拡大および広範囲の負荷電流に対する高効率化を実現する SC型降圧コンバータを提案した.提案する SC型降圧コンバータは、入力電圧に応じた 降圧比率のコントロールにより、広い入力電圧範囲に対して一定の出力電圧を得ることを 可能にした.また、負荷電流に応じたスイッチング周波数のコントロールにより、広い負 荷電流範囲に対する高い電力変換効率を実現した.65 nm CMOS プロセスを用いて提案 回路のチップ試作を行った.測定評価によって提案回路が広い入力電圧範囲 1.3 – 2.6 V と、広い負荷電流範囲に対する高い効率(最大 69%)を持つことを確認した.以上の結果 より、提案する SC 型降圧コンバータは低電力な IoT エッジノードデバイス向けに有用で あることを示した.

参考文献

- A. P. Chandrakasan, D. C. Daly, J. Kwong, and Y. K. Ramadass, "Next generation micro-power systems," in *Proc. IEEE Symposium on VLSI Circuits*, 2008, pp. 2-5.
- [2] A. Wang, J. Kwong, and A. P. Chandrakasan, "Out of thin air: Energy scavenging and the path to ultralow-voltage operation," *IEEE Solid-State Circuits Magazine*, vol. 4, no.2, pp. 38-42, 2012.
- [3] E. Dallago, A. L. Barnabei, A. Liberale, G. Torelli, and G. Venchi, "A 300-mV lowpower management system for energy harvesting applications," *IEEE Transactions* on Power Electronics, vol. 31, no. 3, pp. 2273-2281, 2016.
- [4] J. Kwong, Y. K. Ramadass, N. Verma, and A. P. Chandrakasan, "A 65 nm sub-V_t microcontroller with integrated SRAM and switched capacitor DC-DC converter," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 1, pp. 115-126, 2009.
- [5] M. Wieckowski, G. K. Chen, M. Seok, D. Blaauw, and D. Sylvester, "A hybrid DC-DC converter for sub-microwatt sub-1V implantable applications," in *Proc. IEEE Symposium on VLSI Circuits*, 2009, pp. 166-167.
- [6] Y. K. Ramadass, A. A. Fayed, and A. P. Chandrakasan, "A fully-integrated switchedcapacitor step-down DC-DC converter with digital capacitance modulation in 45 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 12, pp. 2557-2565, 2010.
- [7] H.-P. Le, S. R. Sanders, and E. Alon, "Design techniques for fully integrated switchedcapacitor DC-DC converters," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120-2131, 2011.

- [8] S. R. Sanders, E. Alon, H.-P. Le, M. D. Seeman, M. John, and V. W. Ng, "The road to fully integrated DC–DC conversion via the switched-capacitor approach," *IEEE Transactions on Power Electronics*, vol. 28, no. 9, pp. 4146-4155, 2013.
- [9] V. W. Ng and S. R. Sanders, "A high-efficiency wide-input-voltage range switched capacitor point-of-load DC–DC converter," *IEEE Transactions on Power Electronics*, vol. 28, no. 9, pp. 4335-4341, 2013.
- [10] D. E.-Damak, S. Bandyopadhyay, and A. P. Chandrakasan, "A 93% efficiency reconfigurable switched-capacitor DC-DC converter using on-chip ferroelectric capacitor," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, 2013, pp. 374-375.
- [11] Y. Kojima, T. Hirose, K. Tsubaki, T. Ozaki, H. Asano, N. Kuroki, and M. Numa, "On-chip 3-terminal switched capacitor DC-DC converter for low-voltage CMOS LSIs," *Japanese Journal of Applied Physics*, vol. 55, no. 4S, 04EF09, 2016.
- [12] C. K. Teh and A. Suzuki, "A 2-output step-up/step-down switched-capacitor DC-DC converter with 95.8% peak efficiency and 0.85-to-3.6V input voltage range," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, 2016, pp. 222-224.
- [13] J. Jiang, W.-H. Ki, and Y. Lu, "Digital 2-/3-phase switched-capacitor converter with ripple reduction and efficiency improvement," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 7, pp. 1836-1848, 2017.
- [14] S. A. A. Shah, S. Arslan, J.-J. Lee, B.-S. Seo, and H. Kim, "A switched capacitor voltage converter with exponentially sized capacitor banks for wide load range," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 10, pp. 2049-2053, 2020.
- [15] H. Asano, T. Hirose, Y. Kojima, N. Kuroki, and M. Numa, "A fully integrated, wide-load-range, high-power-conversion-efficiency switched capacitor DC–DC converter with adaptive bias comparator for ultra-low-power power management integrated circuit," *Japanese Journal of Applied Physics*, vol. 57, no. 4S, 04FF03, 2018.

- [16] S. Bang, A. Wang, B. Giridhar, D. Blaauw, and D. Sylvester, "A fully integrated successive-approximation switched-capacitor DC-DC converter with 31mV output voltage resolution," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, 2013, pp. 370-371.
- [17] L. G. Salem and P. P. Mercier, "A recursive switched-capacitor DC-DC converter achieving 2^N - 1 ratios with high efficiency over a wide output voltage range," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2773-2787, 2014.
- [18] J. Jiang, X. Liu, C. Huang, W.-H. Ki, P. K. T. Mok, and Y. Lu, "Subtraction-mode switched-capacitor converters with parasitic loss reduction," *IEEE Transactions on Power Electronics*, vol. 35, no. 2, pp. 1200-1204, 2020.
- [19] N. Butzen and M. Steyaert, "Design of single-topology continuously scalableconversion-ratio switched-capacitor DC–DC converters," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 4, pp. 1039-1047, 2019.
- [20] Y. Jiang, M.-K. Law, P.-I. Mak, and R. P. Martins, "Arithmetic progression switchedcapacitor DC–DC converter topology with soft VCR transitions and quasi-symmetric two-phase charge delivery," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 10, pp. 2919-2933, 2022.
- [21] Y. Jiang, M.-K. Law, P.-I. Mak, and R. P. Martins, "Algorithmic voltage-feedin topology for fully integrated fine-grained rational buck-boost switched-capacitor DC-DC converters," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 12, pp. 3455-3469, 2018.
- [22] T. Hirose and Y. Nakazawa, "Design of switched-capacitor voltage boost converter for low-voltage and low-power energy harvesting systems," *IEICE Transactions on Electronics*, vol. E103-C, no. 10, pp. 446-457, 2020.
- [23] I. Vaisband, M. Saadat, and B. Murmann, "A closed-loop reconfigurable switchedcapacitor DC-DC converter for sub-mW energy harvesting applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 385-394, 2015.

- [24] N. Lotze and Y. Manoli, "A 62 mV 0.13 μm CMOS standard-cell-based design technique using Schmitt-Trigger logic," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 1, pp. 47-60, 2012.
- [25] P. E. Allen, CMOS Analog Circuits Design, 3rd ed., Oxford University Press, 2011.

第3章 超低電圧信号変換のための低消費 電力レベルシフタ

3.1 はじめに

集積回路の低消費電力化には電源電圧の低減が効果的である [1–3]. 電源電圧を低減す ると動作速度が劣化するため,低消費電力化と動作速度確保の両立を図る必要がある. そ こで回路ブロックごとの要求速度に合わせて電源電圧を供給するマルチ電源電圧設計が 広く普及している [4,5]. IoT エッジノードデバイスのアプリケーション回路においても, マルチ電源電圧設計を適用した低消費電力化が進んでいる [6]. さらに,近年注目を集め ているエナジーハーベスティング向けの昇圧回路を考えると,発電素子から得る低電圧と 昇圧後の高電圧を扱うため,マルチ電源電圧設計となる [7–10]. このようなマルチ電源電 圧設計において,回路ブロック間の正確な信号伝達を実現するためにレベルシフタを用い る.レベルシフタはディジタル信号の電圧レベルを変換する回路である.電源電圧が異な る回路ブロックでは扱うディジタル信号レベルが異なる.そのため,低電圧回路の出力信 号をそのまま高電圧回路に入力しても,正しく情報が伝わらない場合がある.そこでレベ ルシフタを用いた正確な信号伝達が必要となる.しかし,従来のレベルシフタは入力信号 の電圧レベルが MOSFET のしきい値電圧以下(例:0.5 V以下)となる場合に消費電力 が増大する課題がある.さらに極めて低電圧(例:0.2 V以下)となる場合に動作不能に 陥る課題がある [11].

そこで本章では,増幅信号を用いたラッチ回路駆動による超低電圧化と,フィードバック制御による低消費電力化を実現するレベルシフタを提案する.

3.2 従来回路の動作原理と技術課題

図 3.1 にラッチ型レベルシフタを示す [12]. この回路は、クロスカップル接続した2つの pMOSFET (MP1, MP2)と、低電圧信号 IN, INB を入力する2つの nMOSFET (MN1,



図 3.1: ラッチ型レベルシフタ.

2) で構成する. なお, INB はインバータが生成する IN の相補信号である.入力信号 IN の論理レベルが Low から High へと遷移した場合, MN1 が ON 状態になり電流量が増加す ることで,ノード OUTB が High から Low へと遷移する. それによって MP2 が ON 状態 になり電流量が増加する.また, INB が Low に遷移することで MN2 が OFF 状態になる. MP2 が ON 状態, MN2 が OFF 状態となることで,出力 OUT が Low から High へと遷移 し,レベルシフト動作が完了する.一方で, IN が High から Low へと遷移した場合, INB が Low から High へと遷移する. MN2 が ON 状態になり電流量が増加することで,OUT が High から Low へと遷移する.それによって MP1 が ON 状態になり電流量が増加する. また, IN が Low に遷移することで MN1 が OFF 状態になる. MP1 が ON 状態, MN1 が OFF 状態となることで,OUTB が Low から High へと遷移し,レベルシフト動作が完了 する.以上の動作によって,この回路はディジタル信号の電圧レベルを変換する.

しかしラッチ型レベルシフタには、低電圧 V_{DDL} と高電圧 V_{DDH} の電圧差が拡大すると動 作不能に陥る課題がある.これは、pMOSFET のゲート・ソース間電圧が V_{DDH} となる一 方で、nMOSFET のゲート・ソース間電圧が V_{DDL} となることに起因する. V_{DDL} が V_{DDH} より非常に小さい場合(例: $V_{\text{DDL}} < 0.5$ V、 $V_{\text{DDH}} = 1.8$ V または 3.3 V)、nMOSFET の 駆動電流が pMOSFET の駆動電流と比べて極めて小さくなる.これにより出力ノードが High から Low へと遷移できず、レベルシフト動作が不能になる.特に V_{DDL} が nMOSFET のしきい値電圧を下回る場合、nMOSFET の駆動電流が nA オーダまで大幅に減少するた め課題が顕著となる.

この課題の解決に向けた,様々なレベルシフタが存在する [13-22]. 図 3.2 に, Osaki らの提案する LECC (Logic Error Correction Circuit) 型レベルシフタを示す [15]. この回



図 3.2: Osaki らの提案する LECC 型レベルシフタ [15].



図 3.3: Hosseini らの提案するレベルシフタ [22].

路は論理誤り補正回路(LECC)とコンパレータで構成する.LECCは入力信号 IN, INB と出力信号 OUT の電圧を監視し、入力信号と出力信号の論理レベルが不一致の時のみ、 コンパレータに動作電流を供給する.コンパレータは入力信号 IN, INB の電圧値を比較 し、IN > INB であれば High, IN < INB であれば Low を出力する.論理レベルが不一 致の時のみ動作させることで、低電力化を実現する.しかし、この回路は2段構成のコン パレータを使用するため、入力信号が High から Low に遷移する際に MP6 の駆動電流と MN8 の駆動電流が競合する.これにより、出力信号 OUT の遷移に時間を要する.また、 ラッチ構造を持たないため、出力信号の駆動力と保持力が乏しい.これらの要因により、 出力信号のスルーレートが低下し、レベルシフタの負荷回路となる論理ゲートにおいて消 費電力が増大する課題がある.

図 3.3 に, Hesseini らの提案するレベルシフタを示す [22]. この回路はラッチ型レベル シフタと LECC を組み合わせた構成となっている. クロスカップル接続した pMOSFET (MP3, MP5)の駆動電流を LECC によって制御し, nMOSFET の駆動電流が微小な場 合の出力遷移を補助する.しかし、ラッチ回路のnMOSFET(MN3, MN4)を依然として低電圧な入力信号 IN, INB で駆動する.そのため、V_{DDL} がnMOSFET のしきい値電 圧を下回る場合に、ラッチ型レベルシフタと同様の課題が発生する.

以上の課題を解決するために,フィードバック制御により入力信号の増幅を行うレベル シフタを提案する.

3.3 提案するレベルシフタ

3.3.1 回路構成

前節で述べた従来回路の技術課題より、レベルシフタにはラッチ構造が必須である.こ れは、負荷回路となる論理ゲートに対する駆動力と出力信号の保持力を確保するためであ る.しかし、低電圧な入力信号でラッチ回路を駆動することは困難である.図3.4に技術 課題に対する解決策を示す.増幅回路によって入力信号を中間電圧に増幅し、増幅信号に よってラッチ回路を駆動することで課題を解決する.なお、回路追加による消費電力増加 を抑制するため、増幅回路は低電力で動作する必要がある.

図 3.5 に提案するレベルシフタの構成図を示す.提案回路は,2つの増幅回路とラッチ 回路で構成する.増幅回路は入力信号 IN, INB を増幅して中間電圧信号 V_R, V_F を生成 する.ラッチ回路を増幅信号 V_R, V_F で駆動することで,極めて低い入力電圧下において も出力信号 Q,QBを生成できる.また,出力をフィードバックして増幅回路を必要な時 のみ動作させることで消費電力を抑制できる.

図 3.6 に提案するレベルシフタの具体的な回路図を示す. 増幅回路は LECC を基に構成しており, MOSFET を直列接続することで,入力信号と出力信号の論理レベルが不一



図 3.4: 技術課題に対する解決策.



図 3.5: 提案するレベルシフタの構成図.



図 3.6: 提案するレベルシフタの回路図.

致の時のみ入力信号を増幅する.これにより最低限の電力での増幅動作を実現している. ラッチ回路において,従来のラッチ型レベルシフタに2つのpMOSFET(MP6,MP8)を 追加している.これは出力遷移時に発生する短絡電流を抑制するためであり,スムーズな 出力遷移と消費電力の低減に寄与する.また,提案回路には1.8 V耐圧と3.3 V耐圧の2 種類のMOSFETを使用する.これは出力電圧範囲の拡大と,リーク電流の削減のためで ある.提案回路の動作原理について,次節以降で詳細に説明する.

3.3.2 増幅回路の動作原理

提案レベルシフタにおける増幅回路の動作原理を説明する. 図 3.7 (a) に IN が Low から High に遷移する場合の動作,図 3.7 (b) に IN が High から Low に遷移する場合の動作,そして図 3.7 (c) に動作波形の模式図を示す. 図 3.7 (a) と図 3.7 (b) において,ON 状態の MOSFET と電流が流れるパスを黒色で,OFF 状態の MOSFET と電流が流れないパス



図 3.7: 増幅回路の動作原理. (a)IN が Low から High に遷移する場合の動作. (b)IN が High から Low に遷移する場合の動作. (c) 動作波形の模式図.

を灰色で記載している. 図 3.7 (a) より, IN が Low から High に遷移する場合は, IN = High, OUT = Low, そして OUTB = QB = High となるため, MN1 と MN2 が ON 状態になり電流 $I_{\rm R}$ を生成する. $I_{\rm R}$ によって中間電圧信号 $V_{\rm R}$ が上昇すると同時に, MN6 が ON 状態になることで $V_{\rm F}$ が 0 V へと低下する. これらの $V_{\rm R}$, $V_{\rm F}$ によって後段のラッチ回路を駆動し,出力信号 OUT が Low から High に遷移する. その結果 OUTB = QB = Low となるため, MN2 が OFF 状態になり増幅回路における電流 $I_{\rm R}$ の生成は停止する.

一方,図 3.7 (b) より,IN が High から Low に遷移する場合は,IN = Low,INB = High, そして OUT = Q = High となるため,MN4 と MN5 が ON 状態になり電流 I_F を生成する. I_F によって中間電圧信号 V_F が上昇すると同時に,MN3 が ON 状態になることで V_R が O V へと低下する.これらの V_R , V_F によって後段のラッチ回路を駆動し,出力信号 OUT が High から Low に遷移する.その結果 OUT = Q = Low となるため,MN5 が OFF 状 態になり増幅回路における電流 *I*_Fの生成は停止する.以上の動作により,増幅回路は入力信号 IN, INB から相補な中間電圧信号 *V*_R, *V*_Fを生成する.

3.3.3 ラッチ回路の動作原理

提案レベルシフタにおけるラッチ回路の動作原理を説明する. 図 3.8 (a) に IN が Low から High に遷移する場合の動作,図 3.8 (b) に IN が High から Low に遷移する場合の動 作,そして図 3.8 (c) に動作波形の模式図を示す.図 3.8 (a) と図 3.8 (b) において,ON 状態の MOSFET と電流が流れるパスを黒色で,OFF 状態の MOSFET と電流が流れないパ



図 3.8: ラッチ回路の動作原理. (a)IN が Low から High に遷移する場合の動作. (b)IN が High から Low に遷移する場合の動作. (c) 動作波形の模式図.

スを灰色で記載している.図 3.8 (a) より, IN が Low から High に遷移する場合は,前段 の増幅回路が信号 $V_{\rm R}$ を立ち上げることで,ラッチ回路では MN8 が ON 状態となりノー ド QB の電位を引き下げる.このとき,MP8 が OFF 状態となり MP7 から流れ込む電流 を抑制することで,ノード QB の遷移時間を短縮する.また,増幅回路が信号 $V_{\rm F}$ を立ち 下げるため,MP5,MP6 に電流が流れてノード Q が High へと遷移する.Q = High とな ることで,MP7 が OFF 状態となりノード QB に流れ込む電流は停止する.

一方,図 3.8 (b) より, IN が High から Low に遷移する場合は,前段の増幅回路が信号 $V_{\rm F}$ を立ち上げることで,ラッチ回路では MN7 が ON 状態となりノード Q の電位を引き下 げる.このとき,MP6 が OFF 状態となり MP5 から流れ込む電流を抑制することで,ノー ド Q の遷移時間を短縮する.また,増幅回路が信号 $V_{\rm R}$ を立ち下げるため,MP7,MP8 に 電流が流れてノード QB が High へと遷移する.QB = High となることで,MP5 が OFF 状態となりノード Q に流れ込む電流は停止する.以上の動作により,ラッチ回路は増幅 信号 $V_{\rm R}$, $V_{\rm F}$ から出力信号 Q,QB を遷移させる.

3.3.4 遅延時間の解析

提案するレベルシフタの遅延時間は、増幅回路、ラッチ回路、そして出力インバータの 遅延時間によって決定する.これらの中でも、V_{DDL}で駆動される増幅回路の遅延時間が 支配的な要素である.以下では、提案するレベルシフタの遅延時間が主に増幅回路の遅延 時間に依存すると仮定する.

図 3.9 に増幅回路の簡略図を示す. C_{P1} は pMOSFET のゲートノードにおける寄生容量 である. C_{P2} は出力ノード V_{R} における寄生容量である. 入力信号 IN が Low から High に 遷移する場合, MN1 に電流 I_{IN} が流れる. I_{IN} は以下の式で表すことができる.

$$I_{\rm IN} = I_0 \exp\left(\frac{V_{\rm DDL} - V_{\rm THN}}{\eta V_{\rm T}}\right).$$
(3.1)

ここで I_0 (= $\mu C_{OX}(W/L)(\eta - 1)V_T^2$) はサブスレッショルド電流の前置係数, μ はキャリ ア移動度, C_{OX} (= ε_{OX}/t_{OX}) は単位面積あたりのゲート酸化膜容量, ε_{OX} は酸化膜の誘電 率, t_{OX} は酸化膜厚, W/L はチャネル長 L とチャネル幅 W のアスペクト比, η はサブス レッショルドスロープ係数, V_T (= k_BT/q) は熱電圧, k_B はボルツマン係数, T は絶対温 度, q は電気素量, そして V_{THN} は nMOSFET のしきい値電圧である [23]. pMOSFET の カレントミラー回路は, I_{IN} を受けて出力電流 I_R を生成する. pMOSFET のカレントミ



図 3.9: 増幅回路の簡略図.

ラー回路は1次の伝達関数を持ち、以下の式で表すことができる.

$$\frac{I_{\rm R}(s)}{I_{\rm IN}(s)} = \frac{g_{\rm mp2}}{g_{\rm mp1}} \frac{1}{1 + sC_{\rm P1}/g_{\rm mp1}} \\
= \frac{g_{\rm mp2}}{g_{\rm mp1}} \frac{1}{1 + s\tau_{\rm p}}.$$
(3.2)

ここで $g_{mp1} \ge g_{mp2}$ は,それぞれ MP1 と MP2 の相互コンダクタンスである. τ_p は pMOS-FET のカレントミラー回路の時定数である ($\tau_p = C_{P1}/g_{mp1}$).式 (3.2)より,出力電流 I_R のステップ応答を以下の通り導出できる.

$$I_{\rm R}(t) = \frac{g_{\rm mp2}}{g_{\rm mp1}} \left(1 - e^{-t/\tau_p}\right) I_{\rm IN}.$$
(3.3)

また、 $I_{\rm R}$ は $C_{\rm P2}$ に流れ込むため、 $I_{\rm R}$ を以下の式で表すことができる.

$$I_{\rm R}\left(t\right) = C_{\rm P2} \frac{dV_{\rm R}}{dt}.\tag{3.4}$$

式 (3.3) と式 (3.4) より、 $V_{\rm R}$ を以下の通り導出できる.

$$V_{\rm R}(t) = \frac{g_{\rm mp2}}{C_{\rm P2} g_{\rm mp1}} \left(t + \tau_{\rm p} \left(e^{-t/\tau_p} - 1 \right) \right) I_{\rm IN}.$$
(3.5)

式 (3.5) に示す通り、増幅回路の出力電圧 $V_{\rm R}$ は時間とともに増加する. $t = t_1$ において $V_{\rm R}$ がラッチ回路のしきい値電圧に達すると、ラッチ回路は内部論理を切り替える. この ことから、以下の式を得ることができる.

$$V_{\rm R,TH} = V_{\rm R}(t_1)$$

= $\frac{I_0 g_{\rm mp2}}{C_{\rm P2} g_{\rm mp1}} \left(t_1 + \tau_{\rm p} \left(e^{-t/\tau_p} - 1 \right) \right) e^{(V_{\rm DDL} - V_{\rm THN})/\eta V_{\rm T}}.$ (3.6)

ここで V_{R,TH} はラッチ回路のしきい値電圧である.式 (3.6) は以下の通り変形できる.

$$t_1 = \frac{C_{\rm P2} V_{\rm R,TH} \ g_{\rm mp1}}{I_0 \ g_{\rm mp2}} \ e^{(V_{\rm THN} - V_{\rm DDL})/\eta V_{\rm T}} + \tau_{\rm p} \left(1 - e^{-t/\tau_p}\right). \tag{3.7}$$

式 (3.7) より、 V_{DDL} が低下すると遅延時間 t_1 が指数関数的に増加することがわかる.また、式 (3.7) の第2項は時定数 τ_p に対して単調増加する.したがって、 τ_p を小さくすることで、 V_{R} の立ち上がり速度を高めることができる.

3.4 シミュレーション評価

提案するレベルシフタを 0.18 μ m CMOS プロセスを用いて設計し,シミュレーション による性能評価を行った.設計に用いた MOSFET のサイズを表 3.1 に示す.比較のため, 従来のレベルシフタについても同様のプロセスで設計して評価を行った [15,21,22].また, レベルシフタの負荷回路としてインバータを接続した. $V_{\text{DDH}} = 1.8$ V,入力信号の周波 数 $f_{\text{IN}} = 10$ kHz とし, V_{DDL} は可変とした.評価項目は,動作波形,遅延時間,そして消 費エネルギーとした.ただし,回路や配線に付加される寄生抵抗と寄生容量は考慮してい ない.

図 3.10 に、入力信号 IN の立ち上がり時と立ち下がり時の動作波形を示す. $V_{DDL} = 0.3$ V, $V_{DDH} = 1.8$ V に設定し、入力信号は Low = 0 V, High = V_{DDL} , そして $f_{IN} = 100$ kHz のクロック信号とした.提案回路の入力信号 IN,出力信号 OUT,増幅信号 V_{R} ,そし て増幅信号 V_{F} を示す.比較のため、従来のレベルシフタ [15,21,22] の出力信号を併せて 示す.図 3.10 (a) より、IN が立ち上がると V_{R} を約 0.8 V まで増幅した後に、提案回路の 出力 OUT が Low から High に遷移する.一方、図 3.10 (b) より、IN が立ち下がると V_{F} を約 0.8 V まで増幅した後に、OUT が High から Low に遷移する.以上の結果から、提 案回路が増幅信号を用いた電圧レベル変換動作を実現していることを確認した.提案回

MOSFET	W/L (μm)	MOSFET	W/L (μm)
MN1	0.22 / 0.18	MP1	0.66 / 0.30
MN2	0.22 / 0.35	MP2	0.22 / 0.30
MN3	0.22 / 0.18	MP3	0.66 / 0.30
MN4	0.22 / 0.18	MP4	0.22 / 0.30
MN5	0.22 / 0.35	MP5	0.22 / 0.30
MN6	0.22 / 0.18	MP6	0.22 / 0.30
MN7	0.44 / 0.35	MP7	0.22 / 0.30
MN8	0.44 / 0.35	MP8	0.22 / 0.30

表 3.1: 提案するレベルシフタの MOSFET サイズ.



図 3.10: シミュレーション波形. (a) 入力信号 IN の立ち上がり時. (b) 入力信号 IN の立下 り時.

路と従来回路の動作波形を比較し,入力信号 IN の立ち上がり時と立ち下がり時のいずれ においても,提案回路が最も高いスルーレートで出力を遷移することを確認した.これは 増幅信号を用いてラッチ回路を駆動したためである.提案回路は高い駆動力を持つため, 後段の論理ゲートにおける消費電力の削減が期待できる.

図 3.11 に V_{DDL} に対する遅延時間特性のシミュレーション結果を示す. $V_{\text{DDH}} = 1.8$ V, $f_{\text{IN}} = 10$ kHz に設定し, V_{DDL} を 0.2 V から 1.0 V の範囲で変化させ,出力が Low から High に遷移する際の遅延時間を評価した.提案回路と従来回路の結果を比較すると, $V_{\text{DDL}} =$ 0.4 V 以下の領域において,各回路が同様の遅延特性を示した.一方, $V_{\text{DDL}} = 0.4$ V 以上 の領域においては,提案回路が最も大きい遅延時間となった.これは提案回路が増幅回路



図 3.11: V_{DDL} に対する遅延時間特性のシミュレーション結果.



図 3.12: V_{DDL} に対する消費エネルギー特性のシミュレーション結果.

とラッチ回路の2段構成のため、従来回路より信号伝播に時間を要するためである.

図 3.12 に V_{DDL} に対する 1 周期あたりの消費エネルギーのシミュレーション結果を示す. $V_{\text{DDH}} = 1.8 \text{ V}, f_{\text{IN}} = 10 \text{ kHz}$ に設定し, V_{DDL} を 0.2 V から 1.0 V の範囲で変化させた. 提案回路と従来回路の結果を比較すると, $V_{\text{DDL}} = 0.5 \text{ V}$ 以上の領域においては,各回路 が同様の消費エネルギーで動作した.一方, $V_{\text{DDL}} = 0.5 \text{ V}$ 以下の領域においては,提案 回路が最も少ないエネルギーで動作することを確認した.特に $V_{\text{DDL}} = 0.3 \text{ V}$ 時において, 従来回路 [22] と比較して 86%のエネルギー削減を達成した.これは提案回路が増幅信号 を用いてラッチ回路を駆動することで,出力が即座に遷移して短絡電流を抑制するためで



図 3.13: モンテカルロ・シミュレーション波形. (a) 入力信号 IN の立ち上がり時. (b) 入 力信号 IN の立下り時.

ある.

提案レベルシフタのプロセス変動に対する影響を評価するため、グローバルばらつきと ランダムばらつきを考慮したモンテカルロ・シミュレーションを行った. $V_{\text{DDL}} = 0.3 \text{ V}$, $V_{\text{DDH}} = 1.8 \text{ V}$, そして $f_{\text{IN}} = 10 \text{ kHz}$ に設定し、10,000 回のシミュレーションを試行した. 図 3.13 にモンテカルロ・シミュレーションによる動作波形を示す. 図 3.13 (a) に、IN が Low から High へと遷移した際の波形を示す. タイミングのばらつきはあるものの、いず れの場合においても V_{R} は立ち上がり、 V_{F} は立ち下がり、それによって出力 OUT が High に遷移した. 図 3.13 (b) に、IN が High から Low へと遷移した際の動作波形を示す. こ ちらもタイミングのばらつきはあるが、いずれの場合においても、 V_{R} は立ち下がり、 V_{F} は立ち上がり、それによって OUT が Low に遷移した. これらの結果より、提案レベルシ フタがプロセス変動に対して頑健であることを確認した.

モンテカルロ・シミュレーション(10,000 回)を行い,提案回路と従来回路の消費エネ ルギーに関する比較評価を行った. $V_{\text{DDL}} = 0.3 \text{ V}, V_{\text{DDH}} = 1.8 \text{ V}, そして f_{\text{IN}} = 10 \text{ kHz}$ に設定した.図 3.14 に,1周期あたりの消費エネルギーの評価結果のヒストグラムを示 す.ばらつきを考慮した場合においても,従来回路と比較して提案回路が最も低電力で動



図 3.14: モンテカルロ・シミュレーションによる消費エネルギーの評価結果(10,000回).

	し、ベルホ協動作	Ì	消費エネル:	ギー
参照	成功率 (%)	平均値 _{μ_E} (pJ)	標準偏差 $\sigma_{\rm E}$ (pJ)	変動係数 $\sigma_{\rm E}/\mu_{\rm E}$ (%)
		7 12 (1)		
Osaki [15]	100	2.44	1.26	51.79
Shao [21]	100	6.83	4.45	65.19
Hosseini [22]	100	2.55	1.54	60.29
提案	100	0.36	0.11	31.86

表 3.2: モンテカルロ・シミュレーションによる評価結果(10,000回)のまとめ.

作することを確認した.表 3.2 にモンテカルロ・シミュレーションによる評価結果をまと める.レベル変換の動作成功率,消費エネルギーの平均値 ($\mu_{\rm E}$),標準偏差 ($\sigma_{\rm E}$),そし て変動係数 ($\sigma_{\rm E}/\mu_{\rm E}$)を示す.平均値,標準偏差,そして変動係数のいずれの指標におい ても,提案回路が最も低い値を示しており,低電力かつ低ばらつきで動作することを確認 した.

提案レベルシフタのレイアウト設計を行った.図 3.15 にレイアウト図を示す.回路面 積は 95.6 µm² となった.寄生抵抗と寄生容量を考慮したポストレイアウト・シミュレー



図 3.15: 提案レベルシフタのレイアウト図.



図 3.16: 最低動作電圧 ($V_{\text{DDL}} = 60 \text{ mV}$) におけるシミュレーション波形.

ションを行ったところ、 $V_{\text{DDH}} = 1.8 \text{ V}$ の場合において、最低動作電圧 $V_{\text{DDL}} = 60 \text{ mV}$ で動作することを確認した。図 3.16 に最低動作電圧 ($V_{\text{DDL}} = 60 \text{ mV}$) におけるシミュレーション波形を示す。また、 $V_{\text{DDL}} = 0.4 \text{ V}$ 、 $V_{\text{DDH}} = 1.8 \text{ V}$ 、そして $f_{\text{IN}} = 100 \text{ kHz}$ の場合の消費エネルギー、待機電力、そして遅延時間は、それぞれ 0.24 pJ、0.15 nW、そして 21.4 ns であった。

3.5 測定評価

0.18 µm CMOS プロセスを用いて提案レベルシフタのチップ試作を行った.図 3.17 に 試作チップの顕微鏡写真を示す.回路面積はレイアウト(図 3.15)と同じく 95.6 µm² で ある.10 個の試作チップに対する測定評価を行い,提案回路の性能を評価した.また,レ ベルシフタの負荷回路としてインバータを搭載し,消費エネルギーの評価時にはインバー タの消費エネルギーを合計して評価した.これは,レベルシフタの駆動力を併せて評価す るためである.入力するクロック信号はファンクション・ジェネレータ(Agilent 33521A) によって生成し,波形の測定にはオシロスコープ(Keysight MSO9254A)を使用した.電 源電圧の供給および消費エネルギーの測定には半導体デバイスアナライザー(Keysight B1500A)を使用した.

図 3.18 に最低動作電圧の評価結果を示す. $V_{\text{DDH}} = 1.8 \text{ V}$ に設定し, V_{DDL} の最低動作電 圧を評価した. $10 \neq y \neq 5 \neq y \neq V_{\text{DDL}} = 60 \text{ mV}$ で動作し, 全てのチップが $V_{\text{DDL}} = 80 \text{ mV}$ で動作することを確認した. 図 3.19 (a), 図 3.19 (b) にそれぞれ $V_{\text{DDL}} = 60 \text{ mV}$, 80 mV における測定波形を示す. 図 3.19 (c) に, $V_{\text{DDH}} = 3.3 \text{ V}$ における測定波形を示す. 全てのチップが $V_{\text{DDL}} = 160 \text{ mV}$ で動作することを確認した.



図 3.17: 試作チップの顕微鏡写真.



図 3.18: 最低動作電圧の測定結果(10 チップ).





図 3.19: 測定波形. (a)V_{DDH} = 1.8 V, V_{DDL} = 60 mV. (b)V_{DDH} = 1.8 V, V_{DDL} = 80 mV. (c)V_{DDH} = 3.3 V, V_{DDL} = 160 mV.

図 3.20 に V_{DDL} , V_{DDH} に対する動作可能な最大周波数特性の測定結果を示す. 10 チッ プに対する測定結果の平均値をプロットした. V_{DDL} と V_{DDH} の増加により,最大周波数が 増加するを確認した.図 3.21 に V_{DDL} に対する最大周波数の測定結果を示す. V_{DDH} は 1.8 V に設定した.動作可能な最大周波数は V_{DDL} に対して指数関数的に依存することを確認 した.これは 3.3.4 節で解析した通り,サブスレッショルド領域におけるレベシフタの遅 延時間が V_{DDL} に対して指数関数的に依存するためである.提案レベルシフタは V_{DDL} が 0.1 V 以下の領域において最大周波数が急激に低下した.図 3.22 に V_{DDH} に対する最大周 波数の評価結果を示す. V_{DDL} は 0.2 V に設定した.提案レベルシフタは V_{DDH} が 0.5 V 以 下の領域においても動作するが,最大周波数が急激に低下した.これは 3.3.4 節で解析し た通り,サブスレッショルド領域においてレベシフタの遅延時間が V_{R} , V_{F} に指数関数的 に依存するためである.



図 3.20: V_{DDL}, V_{DDH} に対する動作可能な最大周波数特性の測定結果(10チップの平均値).



図 3.21: V_{DDL} に対する動作可能な最大周波数特性の測定結果(V_{DDH} = 1.8 V, 10 チップ).



図 3.22: V_{DDH} に対する動作可能な最大周波数特性の測定結果 ($V_{\text{DDL}} = 0.2$ V, 10 チップ).

図 3.23 に V_{DDL} , V_{DDH} に対する消費エネルギー特性の測定結果を示す。入力信号の周 波数は $f_{\text{IN}} = 10$ kHz に設定した。10 チップに対する測定結果の平均値をプロットした。 V_{DDL} の低下および V_{DDH} の増加に伴い,消費エネルギーが増加した。図 3.24 に V_{DDL} に 対する消費エネルギーの評価結果を示す。 V_{DDH} は 1.8 V に設定した。サブスレッショル ド領域において、 V_{DDL} の低下によって消費エネルギーが増加した。これはリーク電流が 原因であり、従来のレベルシフタ [19,21] や提案レベルシフタのシミュレーション結果と 同様の傾向である。図 3.25 に V_{DDH} に対する消費エネルギーの評価結果を示す。 V_{DDL} は 0.2 V に設定した。 V_{DDH} が増加するにつれて消費エネルギーが増加した。これはラッチ 回路の消費エネルギーが V_{DDH} の 2 乗に比例するためである。



図 3.23: V_{DDL}, V_{DDH} に対する消費エネルギー特性の測定結果(10 チップの平均値).



図 3.24: V_{DDL} に対する消費エネルギー特性の測定結果(V_{DDH} = 1.8 V, 10 チップ).



図 3.25: V_{DDH} に対する消費エネルギー特性の測定結果(V_{DDL} = 0.2 V, 10 チップ).

比較評価を行うため、従来回路を試作チップに併せて搭載した [22].また、1.8 V耐圧 MOSFET のみで構成した提案回路を試作チップに併せて搭載した.図 3.26 に、これらの 搭載回路に対する測定結果を示す.図 3.26 (a) に V_{DDL} に対する動作可能な最大周波数特 性の測定結果を示す. V_{DDH} は 1.8 V に設定した.提案回路が従来回路より低い電圧にて レベル変換動作可能であることを確認した. 1.8 V耐圧 MOSFET のみで構成した提案回 路について、最大動作周波数が2種の MOSFET を用いた場合と同等であることを確認し た.提案レベルシフタの応答速度は、主に増幅回路の MN1 と MN4 (図 3.6) によって決 まる.最大動作周波数に大きな差が生じなかったのは、これらには共通して 1.8 V耐圧 MOSFET を使用したためである.図 3.26 (b) に V_{DDL} に対する消費エネルギー特性の測 定結果を示す. V_{DDH} は 1.8 V、 f_{IN} は 10 kHz に設定した.提案回路は従来回路より低い 消費エネルギーで動作した。特に $V_{\text{DDL}} = 0.2$ V時において、従来回路と比較して 88%の エネルギー削減を達成した。これは増幅信号を用いることで、ラッチ回路の出力が速やか に遷移可能となったためである.1.8 V耐圧 MOSFET のみで構成した提案回路について、 2種の MOSFET を用いた場合と比較して消費エネルギーが増加した。これは 3.3 V耐圧 MOSFET と比較して、1.8 V耐圧 MOSFET のリーク電流が大きいためである.ただし、



図 3.26: 提案回路と従来回路 [22] における測定結果の比較. (a) V_{DDL} に対する動作可能な 最大周波数特性. (b) V_{DDL} に対する消費エネルギー特性.

1種の MOSFET で構成するとコストが抑制できる点にメリットがある.

表 3.3 に,提案回路と従来のレベルシフタ [15-22] の性能比較を示す.従来のレベルシ フタと比較して,提案回路が最も低い動作電圧 80 mV でレベル変換動作が可能であるこ とを確認した.同様のプロセスを使用したレベルシフタ [21,22] とシミュレーション結果 同士を比較することで,提案回路が最も低いエネルギーで動作することを確認した.以上 の結果より,提案するレベルシフタは低電力な IoT エッジノードデバイス向けに有用であ ることを示した.

3.6 まとめ

本章では,超低電圧信号変換のための低消費電力レベルシフタを提案した.提案回路は 2つの増幅回路とラッチ回路で構成した.増幅回路が入力信号を増幅して中間電圧信号を 生成した.この増幅信号によってラッチ回路を駆動することで,極めて低い入力電圧下に おけるレベル変換動作を実現した.また,出力信号を用いたフィードバック制御により, 増幅回路を必要な時のみ動作させることで低電力化を実現した.0.18 µm CMOS プロセ スを用いて提案レベルシフタのチップ試作を行い,測定による性能評価を行った.提案 回路は極めて低い電圧 80 mV でレベル変換動作可能であることを確認した.提案回路は 低い消費エネルギーでの動作を実現しており,特に V_{DDL} = 0.3 V 時において従来回路か ら 88%のエネルギー削減を達成した.以上の結果より,提案するレベルシフタは低電力な IoT エッジノードデバイス向けに有用であることを示した.

影	プロセス	面積 (µm ²)	MOSFET の種類数	最低動作電圧 VDDL (V)	V _{DDH} (V)	1 周期あたりの 消費エネルギー (pJ) (@ V _{DDL} , f _{IN})	待機電力 (nW)	遅延時間 (ns)
Osaki [15]	$0.35 \ \mu m$	1880	1	$0.23^{(1)}$	3.0	5.8 (@0.4V, 10kHz)	0.23	10^{4}
Kim [16]	$0.13 \ \mu m$	102.3	က	$0.30^{(1)}$	2.5	0.23 (@0.3V, N/A)	0.48	41.5
Lanuzza [17]*	90 nm	36.5	റ	$0.18^{(2)}$	1.0	0.074 (@0.2V, 1MHz)	6.4	21.8
Luo [18]*	65 nm	16.8	1	$0.165^{(1)}$	1.0 (Max. 1.2)	0.135 (@0.3V, 20kHz)	N/A	N/A
Zhao [19]	65 nm	17.6	3	$0.14^{(1)}$	1.2	0.031 (@0.3V, 1MHz)	2.5	25.1
Mohammadi [20]	65 nm	7.8	2	$0.12^{(1)}$	1.0 (Max. 1.2)	0.028 (@0.3V, 72MHz)	0.64	66.0
Shao $[21]^*$	$0.18~\mu{\rm m}$	N/A	1	$0.13^{(1)}$	1.8	1.7 (@0.4V, 100kHz)	N/A	53.0
Hosseini $[22]^*$	$0.18\ \mu{ m m}$	120.9	1	$0.10^{(3)}$	1.8	0.33 (@0.4V, 1MHz)	0.13	30.0
提案 (Sim.)*	$0.18~\mu{\rm m}$	95.6	2	$0.06^{(3)}$	1.8	$0.24 \ (@0.4V, 100kHz)$	0.15	21.4
提案 (測定 1)	$0.18~\mu{\rm m}$	95.6	2	0.08 ⁽¹⁾	1.8	0.35 (@0.4V, 10kHz)	0.12	N/A
提案 (測定 2)	$0.18 \ \mu \mathrm{m}$	95.6	2	$0.16^{(1)}$	3.3	7.19 (@0.4V, 10kHz)	1.5	N/A

表 3.3: レベルシフタの性能比較.

*: シミュレーション結果. ^: 低しきい値 MOSFET.

(1): 測定. (2): モンテカルロ・シミュレーション. (3): Typical 条件シミュレーション.

参考文献

- A. Wang and A. P. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 310-319, 2005.
- [2] B. Zhai, S. Pant, L. Nazhandali, S. Hanson, J. Olson, A. Reeves, M. Minuth, R. Helfand, T. Austin, D. Sylvester, and D. Blaauw, "Energy-efficient subthreshold processor design," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17, no. 8, pp. 1127-1137, 2009.
- [3] M. Aliot, "Ultra-low power VLSI circuit design demystified and explained: A tutorial," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59, no. 1, pp. 3-29, 2012.
- [4] M. Popovich, E. G. Friedman, M. Sotman, and A. Kolodny, "On-chip power distribution grids with multiple supply voltages for high-performance integrated circuits," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 16, no. 7, pp. 908-921, 2008.
- [5] S. N. Easwaran, S. Chellamuthu, S. K. Venugopal, and R. Weigel, "Voltage and current selector-based biasing topology for multiple supply voltage circuits," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 1, pp. 11-15, 2018.
- [6] T. Lin, K.-S. Chong, J. S. Chang, and B.-H. Gwee, "An ultra-low power asynchronous-logic in-situ self-adaptive V_{DD} system for wireless sensor networks," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 2, pp. 573-586, 2013.

- [7] W. Jung, S. Oh, S. Bang, Y. Lee, Z. Foo, G. Kim, Y. Zhang, D. Sylvester, and D. Blaauw, "An ultra-low power fully integrated energy harvester based on selfoscillating switched-capacitor voltage doubler," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2800-2811, 2014.
- [8] T. Ozaki, T. Hirose, H. Asano, N. Kuroki, and M. Numa, "Fully-integrated highconversion-ratio dual-output voltage boost converter with MPPT for low-voltage energy harvesting," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 10, pp. 2398-2407, 2016.
- [9] J. Kim, P. K. T. Mok, and C. Kim, "A 0.15 V input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 2, pp. 414-425, 2015.
- [10] O. P.-Rial, A. Cabrini, G. Torelli, P. Lopez, and J. M. Carrillo, "Ultra-low-power lowinput-voltage charge pump for micro-energy harvesting applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 1, pp. 154-165, 2023.
- [11] S. N. Wooters, B. H. Calhoun, and T. N. Blalock, "An energy-efficient subthreshold level converter in 130-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 4, pp. 290-294, 2010.
- [12] S. Lutkemeier and U. Ruckert, "A subthreshold to above-threshold level shifter comprising a Wilson current mirror," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 9, pp. 721-724, 2010.
- [13] Y. Moghe, T. Lehmann, and T. Piessens, "Nanosecond delay floating high voltage level shifters in a 0.35 μm HV-CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 2, pp. 485-497, 2011.
- [14] J. Zhou, C. Wang, X. Lin, X. Zhang, and M. Je, "A fast and energy-efficient level shifter with wide shifting range from sub-threshold up to I/O voltage," in *Proc. IEEE Asian Solid-State Circuits Conference*, 2013, pp. 137-140.

- [15] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A low-power level shifter with logic error correction for extremely low-voltage digital CMOS LSIs," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1776-1783, 2012.
- [16] Y. Kim, D. Sylvester, and D. Blaauw, "LC²: Limited contention level converter for robust wide-range voltage conversion," in *Symposium on VLSI Technology Dig. Tech. Papers*, 2011, pp. 188-189.
- [17] M. Lanuzza, P. Corsonello, and S. Pirri, "Low-power level shifter for multisupply voltage designs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 12, pp. 922-926, 2012.
- [18] S.-C. Luo, C.-J. Huang, and Y.-H. Chu, "A wide-range level shifter using a modified Wilson currnt mirror hybrid buffer," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 6, pp. 1656-1665, 2014.
- [19] W. Zhao, A.-B. Alvarez, and Y. Ha, "A 65-nm 25.1-ns 30.7-fJ robust subthreshould level shifter with wide conversion range," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 7, pp. 671-675, 2015.
- [20] B. Mohammadi and J. N. Rodrigues, "A 65 nm single stage 28 fJ/cycle 0.12 to 1.2 V level-shifter," in Proc. IEEE International Symposium on Circuits and Systems, 2014, pp. 990-993.
- [21] H. Shao and C.-Y. Tsui, "A robust, input voltage adaptive and low energy consumption level converter for sub-threshold logic," in *Proc. European Solid-State Circuits Conference*, 2007, pp. 312-315.
- [22] S. R. Hosseini, M. Saberi, and R. Lotfi, "A low-power subthreshold to above-threshold voltage level shifter," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 10, pp. 753-757, 2014.
- [23] Y. Taur and T. H. Ning, Fundamentals of Modern VLSI Devices, Cambridge Univ. Press, 1998.
第4章 超低電圧エナジーハーベスティン グに向けたリング発振器

4.1 はじめに

小型の IoT エッジノードデバイスにおけるエナジーハーベスティングでは,搭載可能な 発電素子のサイズに限りがある.そのため生成できる電圧が極めて低い場合が多い [1,2]. 特に熱電変換素子(TEG: Thermoelectric Generator)を用いた体温と外気温の温度差によ る発電では,極めて低い 100 mV 前後の電圧しか得ることができない [3-6].そこで昇圧コ ンバータによって,発電電圧をバッテリに充電可能な電圧まで昇圧する必要がある [6-10]. 昇圧コンバータの起動にはクロック信号が必要なため,発振器によるクロック信号の生 成が併せて必要になる.発振器には複数の方式が存在するが,CMOS 集積回路のみで構 成するリング発振器が小型デバイス用途に適している [11-16].しかし,リング発振器は 100 mV 以下の極めて低い電圧で動作不能に陥る課題があり,温度差から発電した電圧に よって安定的に動作することが困難である.

そこで本章では、基板バイアス効果を利用したインバータの電圧利得改善によって超低 電圧動作を実現するリング発振器を提案する.

4.2 従来回路の技術課題

図 4.1 にリング発振器の回路図を示す. 奇数個のインバータを直列に接続し,最終段の 出力を1段目の入力にフィードバックする.発振動作を開始する条件は,インバータの電 圧利得 ($A_{INV} = dV_{OUT}/dV_{IN}$))の絶対値が1以上となることである [17].

$$|A_{\rm INV}| \ge 1. \tag{4.1}$$

ここで VOUT はインバータの出力電圧, VIN はインバータの入力電圧である.

図 4.2 (a) に CMOS インバータの回路図を示す. 1 つの nMOSFET と 1 つの pMOSFET



図 4.1: リング発振器の回路図.



図 4.2: CMOS インバータの (a) 回路図, (b) 入力電圧 V_{IN} に対する出力電圧 V_{OUT} の特性.

で構成する.図 4.2 (b) にインバータの入力電圧 V_{IN} に対する出力電圧 V_{OUT} の特性を示 す.インバータは論理レベルを反転させる機能を持つ.入力電圧の論理レベルが Low の 場合は High を出力し,入力が High の場合は Low を出力する.電源電圧 V_{DD} が低下する と特性が緩やかになる.特に 100 mV を下回ると電圧利得の絶対値が1未満になり,リン グ発振器の発振条件を満たすことができない.

4.3 サブスレッショルド領域におけるインバータの特性

インバータの電源電圧 V_{DD} が MOSFET のしきい値電圧 V_{TH} 以下になる場合, MOSFET はサブスレッショルド領域で動作する.サブスレッショルド領域における MOSFET のド

レイン電流 I_D は以下の式で表すことができる.

$$I_{\rm D} = I_0 \exp\left(\frac{V_{\rm GS} - V_{\rm TH}}{\eta V_{\rm T}}\right) \left\{1 - \exp\left(-\frac{V_{\rm DS}}{V_{\rm T}}\right)\right\}.$$
(4.2)

ここで I_0 (= $\mu C_{OX}(W/L)(\eta - 1)V_T^2$) はサブスレッショルド電流の前置係数, μ はキャリ ア移動度, C_{OX} (= ε_{OX}/t_{OX}) は単位面積あたりのゲート酸化膜容量, ε_{OX} は酸化膜の誘電 率, t_{OX} は酸化膜厚, W/L はチャネル長 L とチャネル幅 W のアスペクト比, η はサブス レッショルドスロープ係数, V_T (= k_BT/q) は熱電圧, k_B はボルツマン係数, T は絶対温 度, q は電気素量, V_{GS} は MOSFET のゲート・ソース間電圧, そして V_{DS} は MOSFET の ドレイン・ソース間電圧である [17,18]. 式 (4.2) と, nMOSFET と pMOSFET に流れる 電流が等しくなる条件から, インバータの入力電圧 V_{IN} と出力電圧 V_{OUT} の関係は以下の 式で表すことができる.

$$V_{\rm IN} = \frac{V_{\rm DD} + (V_{\rm THN} - |V_{\rm THP}|)}{2} + \frac{\eta V_{\rm T}}{2} \ln \left[\frac{I_{0\rm P} \left\{ 1 - \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) \right\}}{I_{0\rm N} \left\{ 1 - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) \right\}} \right].$$
 (4.3)

ここで I_{0N} と I_{0P} はそれぞれ nMOSFET と pMOSFET のサブスレッショルド電流の前置 係数, V_{THN} と V_{THP} はそれぞれ nMOSFET と pMOSFET のしきい値電圧である.式 (4.3) からインバータの電圧利得 $A_{\text{INV}}(= dV_{\text{OUT}}/dV_{\text{IN}})$ は以下の式で表すことができる.

$$A_{\rm INV} = \frac{2}{\eta} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}.$$
 (4.4)

 A_{INV} の絶対値は $V_{\text{OUT}} = V_{\text{DD}}/2$ の条件において最大値 ($|A_{\text{INV}}|_{\text{MAX}}$)となり、以下の式で 表される.

$$|A_{\rm INV}|_{\rm MAX} = \frac{1}{\eta} \left\{ \exp\left(\frac{V_{\rm DD}}{2V_{\rm T}}\right) - 1 \right\}.$$
(4.5)

式 (4.5) に示す通り、V_{DD} の低下に伴いインバータの電圧利得は低下する.式 (4.3)、式 (4.4)、そして式 (4.5) の導出過程の詳細は付録 B に記載する.



図 4.3: (a) しきい値電圧の差分 ΔV_{TH} による入出力特性の変化. (b) 目標とする入出力 特性.

式 (4.3) より、インバータの入出力特性が nMOSFET と pMOSFET のしきい値電圧の 差分 $\Delta V_{\text{TH}} (= V_{\text{TH,N}} - |V_{\text{TH,P}}|)$ に依存することがわかる.図 4.3 (a) にしきい値電圧の差 分 ΔV_{TH} による入出力特性の変化を示す. ΔV_{TH} の増加および低下に伴い、入出力特性が 上下に平行移動する性質がある.本研究ではこの性質を利用してインバータの電圧利得 を改善する.図 4.3 (b) に目標とする入出力特性を示す.入力電圧が Low の場合において ΔV_{TH} を増加させ、入力電圧が High の場合において ΔV_{TH} を低下させる.これらによっ て電圧利得を改善する.

4.4 提案する自己バイアスインバータ

図4.4に提案する自己バイアスインバータの回路図を示す.提案回路は2つのインバー タで構成する.フィードバックインバータの出力をメインインバータの基板に入力し,メ インインバータの MOSFET のしきい値電圧 V_{TH} を制御する. MOSFET のしきい値電圧 が基板電位に応じて変化する性質を基板バイアス効果と呼ぶ.しきい値電圧は以下の式で 表すことができる.

$$V_{\rm TH} = V_{\rm TH0} + \gamma \left(\sqrt{2|\phi_{\rm F}| - V_{\rm BS}} - \sqrt{2|\phi_{\rm F}|} \right).$$
(4.6)



図 4.4: 提案する自己バイアスインバータの回路図.

ここで V_{BS} は基板・ソース間電圧, V_{TH0} は $V_{BS} = 0$ V の場合のしきい値電圧, γ は効果 係数,そして $\phi_{\rm F}$ は表面ポテンシャルである [19]. 図 4.5 (a) に $V_{\rm IN}$ = High 時における提 案回路の動作を示す. $V_{\rm OUT}$ は Low となり,フィードバックインバータの出力は High と なる.式(4.6) より $V_{\rm THN}$ の低下によって $\Delta V_{\rm TH}$ が低下する.図 4.5 (b) に $V_{\rm IN}$ = High 時 における提案回路の入出力特性を示す. $V_{\rm IN}$ が High の領域において, $\Delta V_{\rm TH}$ の低下によっ て出力電圧 $V_{\rm OUT}$ が低下した特性を得ることができる.一方,図 4.6 (a) に $V_{\rm IN}$ = Low 時 における提案回路の動作を示す. $V_{\rm OUT}$ は High となり,フィードバックインバータの出力 は Low となる.式(4.6) より $V_{\rm THP}$ の低下によって $\Delta V_{\rm TH}$ が増加する.図 4.6 (b) に $V_{\rm IN}$ = Low 時における提案回路の入出力特性を示す. $V_{\rm IN}$ が Low の領域において, $\Delta V_{\rm TH}$ の増加 によって出力電圧 $V_{\rm OUT}$ が増加した特性を得ることができる.以上の動作から,提案する 自己バイアスインバータは図 4.3 (b) に示した電圧利得の改善を実現できる.

提案回路における電圧利得の絶対値の最大値は、以下の式で表すことができる.

$$|A_{\rm INV}|_{\rm MAX} = \left|\frac{dV_{\rm OUT}}{dV_{\rm IN}}\right| = \left\{1 - \frac{1}{2} \frac{d\left(\Delta V_{\rm TH}\right)}{dV_{\rm IN}}\right\} \frac{1}{\eta} \left\{\exp\left(\frac{V_{\rm DD}}{2V_{\rm T}}\right) - 1\right\}.$$
 (4.7)

式 (4.7)の導出過程の詳細は付録 B に記載する.式 (4.7)を式 (4.5)と比較すると、提案回



図 4.5: V_{IN} = High 時における提案回路の (a) 動作, (b) 入出力特性.



図 4.6: V_{IN} = Low 時における提案回路の (a) 動作, (b) 入出力特性.

路の電圧利得は $\{1 - (1/2) \cdot d(\Delta V_{\text{TH}}) / dV_{\text{IN}}\}$ によって改善することがわかる. この項は

MOSFET	W / L		
pMOSFET	$10~\mu{\rm m}$ / $1.0~\mu{\rm m}$		
nMOSFET	$3.3~\mu{\rm m}$ / $1.0~\mu{\rm m}$		

表 4.1: 提案する自己バイアスインバータの MOSFET サイズ.

式 (4.6) を用いて以下の式で表すことができる.

$$\left\{1 - \frac{1}{2} \frac{d\left(\Delta V_{\rm TH}\right)}{dV_{\rm IN}}\right\} = 1 + \frac{\gamma}{4} \left(\frac{1}{\sqrt{2|\phi_{\rm F}| - V_{\rm B}}} + \frac{1}{\sqrt{2|\phi_{\rm F}| - V_{\rm B} + V_{\rm DD}}}\right) \frac{dV_{\rm B}}{dV_{\rm IN}}.$$
 (4.8)

ここで*V*_Bは基板電位である.*V*_Bはフィードバックインバータが生成するため,式(4.8)において*dV*_B/*dV*_{IN}は常に正の値となる.したがって式(4.8)は1より大きな値となり,提案する自己バイアスインバータは従来のインバータと比較して最大電圧利得を改善できる.

4.5 シミュレーション評価

提案する自己バイアスインバータを 0.18 µm CMOS プロセスを用いて設計し,シミュ レーションによる性能評価を行った.表4.1 に設計に用いた MOSFET のサイズを示す.比 較のため,従来のインバータ(図 4.2)と文献 [20] に記載の低電圧向けインバータについ て,同様のプロセスで設計して評価を行った.図 4.7 (a) に入力電圧 $V_{\rm IN}$ に対する出力電 $E V_{\rm OUT}$ のシミュレーション結果を示す. $V_{\rm DD}$ は 60 mV に設定した.提案回路が最も急峻 に High と Low を切り替えることを確認した.図 4.7 (b)に,図 4.7 (a)の結果から計算 した電圧利得を示す.電圧利得は $V_{\rm IN} = V_{\rm DD}/2 = 30$ mV において最大値に達する.提案 回路の最大電圧利得は 119 であり,従来のインバータの 15 倍,文献 [20] のインバータの 7.7 倍まで改善することを確認した.

提案する自己バイアスインバータを用いたリング発振器について,同様のプロセスを用いて設計し,シミュレーションによる性能評価を行った.比較のため,従来のインバータ(図4.2)を用いたリング発振器を同様のプロセスで設計して評価を行った.図4.8に評価対象の回路を示す.周波数が同等になるよう,提案回路には31段の提案インバータを使用し,従来回路には51段の従来インバータを使用した.図4.9に出力波形のシミュレーション結果を示す.図4.9(a)に従来回路の出力波形を,図4.9(b)に提案回路の出力波形を示す.V_{DD}は60 mVに設定した.従来回路の出力波形は振幅47.5 mV,周波数64 Hz



図 4.7: インバータのシミュレーション評価結果. (a) 入力電圧 *V*_{IN} に対する出力電圧 *V*_{OUT} の特性. (b) 入力電圧 *V*_{IN} に対する電圧利得 |*A*_{INV}| の特性.





図 4.8: シミュレーション評価の対象回路.



図 4.9: 電源電圧 V_{DD} = 60 mV のときのシミュレーション波形. (a) 提案回路. (b) 従来 回路.

であり,提案回路の出力波形は振幅 53.8 mV,周波数 59 Hz であった.提案回路は従来回路より高い振幅を持つことを確認した.図4.10 (a) に電源電圧 V_{DD} に対する振幅特性のシミュレーション結果を示す.提案回路は従来回路より高い振幅を持つことを確認した. また,提案回路は 40 mV の極めて低い電源電圧で動作した.図4.10 (b) に電源電圧 V_{DD} に対する周波数特性のシミュレーション結果を示す.提案回路と従来回路の周波数が設計通り同等であることを確認した.

4.6 測定評価

0.18 µm CMOS プロセスを用いて提案するリング発振器のチップ試作を行った.比較 のため,従来のリング発振器を同じチップに実装した.前節において,提案回路と従来回 路に使用するインバータの段数をそれぞれ31 段と51 段に設定した.図4.10 (b) のシミュ レーション結果にて周波数が同等になることを確認したため,チップ試作において同様の 段数のインバータを使用した.

図 4.11 (a) に試作回路の構成図を示す.提案回路,従来回路,そしてソースフォロワ 回路で構成した.測定時にオフチップ容量を十分に駆動できるよう,バッファ回路として ソースフォロワ回路を使用した.図 4.11 (b) にソースフォロワ回路の回路図を示す.ド レイン接地させた pMOSFET と, pMOSFET のカレントミラー回路で構成した.ソース



図 4.10: (a) 電源電圧 V_{DD} に対する振幅特性のシミュレーション結果. (b) 電源電圧 V_{DD} に対する周波数特性のシミュレーション結果.



図 4.11: (a) 試作回路の構成図. (b) ソースフォロワ回路の回路図.

フォロワ回路は入力信号を電圧利得1で増幅するため,信号の振幅を変化させずに駆動電 流を補うことができる.バイアス電流はpMOSFETのカレントミラー回路によって供給 した.バイアス電流は500 nA に設定した.

図 4.12 に試作チップの顕微鏡写真を示す.提案回路の面積は 0.015 mm²,従来回路の 面積は 0.0029 mm² であった.自己バイアスインバータはメインインバータの基板電位を 制御するため,メインインバータの基板部を他の基板から分離する必要がある.そのため 提案回路は従来回路より大きな面積になった.



図 4.12: 試作チップの顕微鏡写真.





(b)

図 4.13: 電源電圧 V_{DD} = 60 mV のときの測定波形. (a) 従来回路. (b) 提案回路.

図 4.13 (a) に従来回路の測定波形を,図 4.13 (b) に提案回路の測定波形をそれぞれ示 す.電源電圧 V_{DD} は 60 mV に設定した.従来回路の振幅は 41.9 mV,提案回路の振幅は 52.0 mV であり,提案回路は高い振幅を持つことを確認した.

図 4.14 (a) に電源電圧 V_{DD} に対する振幅特性の測定結果を示す.提案回路は従来回路 より高い振幅を持つことを確認した.最低動作電圧について,従来回路は 51 mV,提案 回路は 42 mV であり,提案回路は極めて低い電源電圧で動作した.

図 4.15 に,9 個の試作チップにおける電源電圧 V_{DD} に対する動作可能なチップ数を示 す.図 4.15 (a) に従来回路の結果を,図 4.15 (b) に提案回路の結果をそれぞれ示す.提案



図 4.14: 電源電圧 V_{DD} に対する振幅特性の測定結果.



図 4.15: 電源電圧 V_{DD} に対する動作可能なチップ数(全9チップ). (a) 従来回路. (b) 提案回路.

回路は $V_{\text{DD}} = 42 \text{ mV}$ において全てのチップが動作した.したがって,最低動作電圧を42 mVとした.一方で従来回路の最低動作電圧は52 mVであった.

図 4.16 に電源電圧 V_{DD} に対する振幅特性の温度別の測定結果を示す.温度は 0, 25, 50 ℃に設定した.温度が上昇すると,振幅が減少して最低動作電圧が増加した.これは OFF 状態の MOSFET においてリーク電流が増加し,電圧利得が劣化することが原因である.

図 4.17 に温度に対する最低動作電圧特性の測定結果を示す.提案回路と従来回路はいずれも,温度が上昇すると最低動作電圧が増加した.これは OFF 状態の MOSFET にお



図 4.16: 電源電圧 V_{DD} に対する振幅特性の測定結果(温度別).



図 4.17: 温度に対する最低動作電圧特性の測定結果.

いてリーク電流が増加し,電圧利得が劣化することが原因である.式(4.5)と式(4.7)より,温度上昇によって熱電圧 V_Tが増加すると,提案回路と従来回路の電圧利得はいずれも低下することがわかる.

図4.18 (a) に電源電圧 V_{DD} に対する周波数特性の測定結果を示す.図4.10 (b) のシミュ レーション結果と比較して,提案回路と従来回路の周波数はいずれも低下した.これは回 路や配線に付加される寄生容量が原因である.図4.18 (b) に電源電圧 V_{DD} に対する消費 電力特性の測定結果を示す.提案回路は従来回路と比較して消費電力が大きくなった.こ れは提案回路が従来回路より多くのインバータを使用したためである(従来回路:51個, 提案回路:62個 = 31段 × 2個/段).



図 4.18: (a) 電源電圧 V_{DD} に対する周波数特性の測定結果. (b) 電源電圧 V_{DD} に対する消 費電力特性の測定結果.



図 4.19: (a) 電源電圧 V_{DD} に対する周波数特性の測定結果(温度別). (b) 電源電圧 V_{DD} に 対する消費電力特性の測定結果(温度別).

図 4.19 (a) に電源電圧 V_{DD} に対する周波数特性の温度別の測定結果を,図 4.19 (b) に 電源電圧 V_{DD} に対する消費電力特性の温度別の測定結果をそれぞれ示す.温度が上昇す ると,周波数と消費電力がいずれも増加した.これは温度上昇によって電流が増加するた めである.

表 4.2 に提案するリング発振器と従来のリング発振器 [14–16] の性能比較を示す.従来 回路と比較して提案回路は最も低い電圧 42 mV で動作することを確認した.以上の結果 より,提案する自己バイアスインバータを用いたリング発振器は,エナジーハーベスティ

参照	提案	[14]	[15]	[16]
インバータタイプ	Self-bias	$V_{\rm TH}$ -tuned	Selective schmitt-trigger	Stacked
プロセス	$0.18 \ \mu { m m}$	65 nm	$0.13~\mu{ m m}$	$0.18~\mu{\rm m}$
最低動作電圧	42 mV	82mV	$70 \mathrm{mV}$	$57 \mathrm{mV}$
インバータの段数	31	15	9	21
面積	0.015 mm^2	0.011 mm^2	$0.15 \text{ mm}^2 *$	0.015 mm^2

表 4.2: リング発振器の性能比較.

*リング発振器を含むスタートアップ回路の面積.

ングによって極めて低い電圧を生成する IoT エッジノードデバイス向けに有用であること を示した.

4.7 まとめ

本章では,超低電圧動作を実現するリング発振器を提案した.提案回路は,メインイン バータとフィードバックインバータで構成する自己バイアスインバータを使用した.基 板バイアス効果を利用し,フィードバックインバータによってメインインバータの基板電 位を変化させることで,しきい値電圧を制御した.これにより電圧利得を改善した.0.18 µm CMOS プロセスを用いて提案回路のチップ試作を行い,測定評価によって提案回路が 極めて低い電圧 42 mV で動作することを確認した.以上の結果より,提案するリング発 振器は,エナジーハーベスティングによって極めて低い電圧を生成する IoT エッジノード デバイス向けに有用であることを示した.

参考文献

- R. J. M. Vullers, R. V. Schaijk, H. J. Visser, J. Penders, and C. V. Hoof, "Energy harvesting for autonomous wireless sensor networks," *IEEE Solid-State Circuits Magazine*, vol. 2, no.2, pp. 29-38, 2010.
- [2] W. Jung, S. Oh, S. Bang, Y. Lee, Z. Foo, G. Kim, Y. Zhang, D. Sylvester, and D. Blaauw, "An ultra-low power fully integrated energy harvester based on selfoscillating switched-capacitor voltage doubler," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2800-2811, 2014.
- [3] E. Carlson, K. Strunz, and B. Otis, "20mV input boost converter for thermoelectric energy harvesting," in *Symposium on VLSI Technology Dig. Tech. Papers*, 2009, pp. 17-23.
- [4] A. K. Sinha, "A self-starting 70 mV-1 V, 65% peak efficient, TEG energy harvesting chip with 5 ms startup time," *Journal of Circuits, Systems, and Computers*, vol. 26, no. 3, 1750040, 2017.
- [5] Y. Ma, Y. Zou, S. Zhang, and X. Fan, "A 50 mV fully-integrated self-startup circuit for thermal energy harvesting," *Journal of Circuits, Systems, and Computers*, vol. 26, no. 12, 1750196, 2017.
- [6] J. Kim, P. K. T. Mok, and C. Kim, "A 0.15 V input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 2, pp. 414-425, 2015.
- [7] I. Doms, P. Merken, R. P. Mertens, and C. V. Hoof, "Integrated capacitive powermanagement circuit for thermal harvesters with output power 10 to 1000μ W," in

IEEE International Solid-State Circuits Conference Dig. Tech. Papers, 2009, pp. 300-301.

- [8] Y. Zhang, F. Zhang, Y. Shakhsheer, J. D. Silver, A. Klinefelter, M. Nagaraju, J. Boley, J. Pandey, A. Shrivastava, E. J. Carlson, A. Wood, B. H. Calhoun, and B. P. Otis, "A batteryless 19 μW MICS/ISM-band energy harvesting body sensor node SoC for ExG applications," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 1, pp. 199-213, 2013.
- [9] A. P. Chandrakasan, D. C. Daly, J. Kwong, and Y. K. Ramadass, "Next generation micro-power systems," in *Symposium on VLSI Technology Dig. Tech. Papers*, 2008, pp. 2-5.
- [10] Y. K. Teh and P. K. T. Mok, "Design of transformer-based boost converter for high internal resistance energy harvesting sources with 21 mV self-startup voltage and 74% power efficiency," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 11, pp. 2694-2704, 2014.
- [11] X. Chen, E. Gong, H. Zhang, L. Ye, and R. Huang, "A 1μW-to-158μW output power pseudo open-loop boost DC-DC with 86.7% peak efficiency using frequencyprogrammable oscillator and hybrid zero current detection," in *Proc. IEEE International Symposium on Circuits and Systems*, 2020, pp. 1-4.
- [12] S.-I. Cho, J.-H. Lee, H.-J. Park, G.-H. Lim, and Y.-H. Kim, "Two-phase boosted voltage generator for low-voltage DRAMs," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1726-1729, 2003.
- [13] C. Lu, S. P. Park, V. Raghunathan, and K. Roy, "Efficient power conversion for ultra low voltage micro scale energy transducers," in *Proc. Design, Automation & Test in Europe Conference & Exhibition*, 2010, pp. 1602-1607.
- [14] P. H. Chen, K. Ishida, K. Ikeuchi, X. Zhang, K. Honda, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "A 95mV-startup step-up converter with V_{TH}-tuned oscillator by fixed-charge programming and capacitor pass-on scheme," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, 2011, pp. 216-217.

- [15] J. Goeppert and Y. Manoli, "Fully integrated startup at 70 mV of boost converters for thermoelectric energy harvesting," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 7, pp. 1716-1726, 2016.
- [16] S. Bose, T. Anand, and M. L. Johnston, "Fully-integrated 57 mV cold start of a thermoelectric energy harvester using a cross-coupled complementary charge pump," in *Proc. IEEE Custom Integrated Circuits Conference Dig. Tech. Papers*, 2018, pp. 216-217.
- [17] B. Razavi, CMOS Circuit Design, Layout, and Simulation, McGraw-Hill Companies, 2003.
- [18] Y. Taur and T. H. Ning, Fundamentals of Modern VLSI Devices, Cambridge Univ. Press, 1998.
- [19] R. J. Baker, CMOS Circuit Design, Layout, and Simulation, Wiley, 2010.
- [20] F. Assaderaghi, D. Sinitsky, S. A. Parke, J. Bokor, P. K. Ko, and C. Hu, "Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI," *IEEE Transactions on Electron Devices*, vol. 44, no. 3, pp. 414-422, 1997.

第5章 結論

本論文では、次世代の情報化社会における IoT エッジノードデバイスのメンテナンスフ リー化に向けて、入力範囲を拡大した高効率 SC 型降圧コンバータ、超低電圧信号変換の ための低消費電力レベルシフタ、そして超低電圧エナジーハーベスティングに向けたリン グ発振器の研究を行った.各章の内容をまとめると以下のようになる.

第1章では、IoT エッジノードデバイスに適した集積回路のシステムアーキテクチャと 技術課題を検討した. 無数に配置する IoT エッジノードデバイスはメンテナンスフリー 化する必要がある. そのため、極限までの低消費電力化による長期間動作,もしくはエナ ジーハーベスティングによる電力の自活化が必要となる. そこで IoT エッジノードデバイ スには、SC 型降圧コンバータによるバッテリ出力電圧の降圧、マルチ電源電圧設計によ る低消費電力化、そして昇圧コンバータによる発電電圧の昇圧を利用したシステムアーキ テクチャが適していることを議論した. また、このようなアーキテクチャの実現に向けた 技術課題が、SC 型降圧コンバータの入力電圧範囲の拡大および電力変換効率の向上、レ ベルシフタの低電圧化および低消費電力化、そしてリング発振器の低電圧化であることを 議論した.

第2章では、入力範囲を拡大した高効率 SC 型降圧コンバータを検討した.従来の SC 型降圧コンバータは降圧比率が一定のため、バッテリの出力電圧の低下によってコンバー タの出力電圧が低下する.これにより、負荷回路の動作に悪影響を与える課題があった. また、外付け部品を用いた回路方式と比較して、電力変換効率が低い課題があった.提案 する SC 型降圧コンバータは、入力電圧に応じた降圧比率のコントロールにより、広い入 力電圧に対して一定の出力電圧を得ることを可能にした.また、負荷電流に応じた内部 動作周波数のコントロールにより、広い負荷電流範囲に対する高い電力変換効率を実現し た.提案回路のチップ試作を行い、性能評価を行った.提案回路は、1.3 – 2.6 V の幅広い 入力電圧範囲と 69%の最大電力変換効率を実現した.実測により提案手法の有効性を確 認した.

第3章では,超低電圧信号変換のための低消費電力レベルシフタを検討した.従来のレ

ベルシフタは、入力信号がラッチ回路を駆動する構成であった.そのため入力信号が極め て低電圧な場合、出力信号の生成に時間を要し、消費電力の増加や動作不能を招く課題 があった.提案するレベルシフタ回路は、入力信号を増幅してラッチ回路を駆動する構 成とすることで、極めて低電圧な入力信号に対する電圧レベル変換を可能にした.また、 フィードバック制御によって増幅回路を必要時のみ動作させることで、低消費電力化を実 現した.提案回路のチップ試作を行い、性能評価を行った.提案回路は、80 mVの極め て低い電圧でレベル変換動作可能であることを確認した.提案回路は低消費エネルギーで の動作を実現し、従来回路から 88%のエネルギー削減を達成した.提案手法の有効性を 回路シミュレーションならびに実測により確認した.

第4章では,超低電圧エナジーハーベスティングに向けたリング発振器を検討した.小型のIoTエッジノードデバイスにおけるエナジーハーベスティングでは,搭載可能な発電素子のサイズに限りがある.そのため生成できる電圧が極めて低い場合が多い.しかし,従来のリング発振器は低電圧下で発振不能に陥る課題があった.これは電源電圧の低下によってインバータの電圧利得が低下することが原因であった.提案するリング発振器には,メインインバータとフィードバックインバータによって構成する自己バイアスインバータを使用した.提案する自己バイアスインバータでは,フィードバックインバータを用いてメインインバータの基板電位を制御する.基板バイアス効果によってメインインバータのしきい値電圧が増減し,インバータの入出力特性が変化する.これによって電圧利得の改善を実現した.提案回路のチップ試作を行い,性能評価を行った.提案回路は42 mVの極めて低い電源電圧で動作する結果を得た.実測により提案回路の有効性を確認した.

本論文の研究内容は、IoT エッジノードデバイスに向けた低電圧 CMOS 集積回路技術 の構築を目的として行ったものである. IoT エッジノードデバイスに適したシステムアー キテクチャを実現する上での技術課題を明らかにし、これらの課題を解決する手法を提案 した.シミュレーション評価ならびに試作チップによる測定評価から、極めて低電圧かつ 低消費電力で動作可能な集積回路技術を実現できることを示した.本研究における成果 が、次世代情報化社会の実現における重要な基盤技術の役割を担うことを期待する.

付 録 A 社会実装に向けた新規事業検討

A.1 はじめに

本論文では、次世代の情報化社会における IoT エッジノードデバイスの低電圧 CMOS 集積回路技術に関する研究を行った.解決すべき技術課題は山積しているが、得られた成 果をいち早く社会実装するためには、新規事業検討ならびに事業展開等をあらかじめ検討 する必要がある.本付録にて、その検討結果をまとめる.

A.2 新規事業展開に向けた検討

筆者の研究の最終的な目的は,エナジーハーベスティングによって,バッテリレス・メ ンテナンスフリーを実現する IoT エッジノードデバイスを構築することである. IoT エッ ジノードデバイスはセンシング応用に使用される.したがって,

• どのような市場にどのようなセンサデバイスを提供すると価値があるか

の観点で新規事業案を検討した.

以下の各項で具体的な検討内容について述べる.

A.2.1 ペット市場に向けた提案内容

検討の初期段階では,自身の経験や周囲の人たちの話を基に「安心なペットとの暮ら しを実現したい」との思いを持ったため,ペット向けの健康管理にセンサデバイスを適用 する案を模索した.少子化の続く日本では反比例するようにペットの数が増加(令和3年 度:1605万頭)している.将来もこの傾向が続くと予想し,ペット市場の事業性は高いと 考えた.図A.1に当初の提案内容の概略を示す.ペットの心拍・体温等の生体情報を計測 し,異常時に飼い主に直ちに知らせることで疾病の早期発見が可能となる.従来は,加速 度や気圧の計測情報からペットの活動量を見える化するセンサデバイスが実用化されてお り,活動量の低下から疾病の発見の一助とすることが可能であった.しかし,健康状態を



図 A.1: 当初の提案内容の概略図.

直接知ることができない点と,1週間ごとの充電もしくは4か月ごとの電池交換が必要で 手間がかかる点に課題があった.そこで提案内容では,生体データを取得する点と,体温 を利用したエナジーハーベスティングによって長期動作可能な点を訴求ポイントとした. エナジーハーベスティングについては,熱電変換素子を用いると動物の体温と外気温の温 度差による発電が可能となる.しかし,微小な温度差(例えば,3℃ = 犬・猫の体温 38 ℃ - 猛暑日の気温 35℃)では得られる電圧が非常に低い(100 mV 未満)ため,内部回 路を駆動できない課題があった.この課題に対して,研究成果として極低電圧 50 mV で 動作可能な電源管理回路を構築した.これにより体温によるエナジーハーベスティングが 可能となり,センサデバイスを 5~10 年程度の長期間に渡って動作させることができる.

A.2.2 畜産市場に向けた提案内容

前節の提案内容についてディスカッションを行ったところ,新規事業の立ち上げ時には 少量生産となり商品が高価となるため,一般の消費者からは受容されにくいとの助言を受 けた.そこで,資金力のある BtoB (Business to Business)の顧客が飼育する動物を最初 のターゲットとするよう方針を転換し,畜産動物,競走馬,そして希少動物(パンダ等) といった候補を挙げた.その中で,ターゲットとする産業として畜産業に着目した.畜産 業は日本における令和元年度の総産出額が3兆2107億円に上る巨大産業である.よって 設備投資も積極的に進んでいると考えられるため,畜産動物にターゲットを絞ることと した.

畜産動物向けの提案内容を検討するにあたり,現在の健康管理手段や不満を調査すべく, 専門家である農業・食品産業技術総合研究機構(農研機構)の畜産部門の研究員の方々に 協力いただき,ヒアリングを実施した.ヒアリングによって得られた多くの有用な情報の 中から,主要な内容を以下に列挙する.

- 牛は一頭あたりの価格が高価なためセンサを導入しやすい.
- 健康管理のニーズはあるが,種付け・分娩に関するニーズが圧倒的に強い.
- 種付けはタイミングを逃すと1ヶ月分の飼育費が経済損失になる。
- 分娩は事故が起きると1年分の飼育費が経済損失になる上に仔牛を失ってしまう.
- センサによる種付け、分娩のタイミング検知は導入が進んでいる。
- 種付けや分娩は加速度センサによる行動分析や体温変化で検知可能.
- 脚に装着する牛歩計が最も普及しており、バッテリの寿命は4ヵ月程度.
- 肉牛は人の接触に慣れておらず、センサ交換時に暴れて作業者が怪我をする問題がある. 交換不要になると、労働災害が避けられて非常にありがたい.
- 肉牛の育成期間は2年間であり、センサのバッテリがその間持てば望ましい。
- 乳牛は育成期間が6年間と長いため,健康管理のニーズが強まる.

以上のヒアリング結果を踏まえ,バッテリ交換不要なセンサデバイスによる畜産市場への 参入は可能性があるとの手応えを得た.

図A.2に畜産市場への提案内容を示す.「労働災害を回避したい」との明確なニーズが存在する肉牛を対象とし,繁殖管理を行うための種付け・分娩センサによって市場に参入する.研究成果であるエナジーハーベスティング技術と超低消費電力化技術を活用することで,訴求点であるバッテリ交換不要での長期動作が実現できる.牛の体温は約38℃の



図 A.2: 畜産市場への提案内容.

ため猛暑日(35℃)においても3℃の温度差が確保でき,熱電変換素子から約210µWの 電力が生成できる.従来品のセンサでは消費電力が約1mWのため,発電量以上の電力 を消費してしまう課題がある.そこで,本研究で構築した超低消費電力化技術を適用する ことで1/10倍の約100µWへと大幅に電力を削減できる.これによって体温発電によっ てカバーできる消費電力まで抑えられる.従来品はバッテリがボトルネックとなり4ヵ月 程度の寿命だったところ,提案品では電子部品の耐用年数である5~10年間に渡ってデバ イスが動作可能になる.これは肉牛の飼育期間である2年間を十分に満たす期間である.

A.2.3 畜産市場における事業拡大

市場参入後は,繁殖管理機能に健康管理機能を付加することで乳牛へのターゲット拡大 を狙う.乳牛は飼育期間が約6年間と長期に渡るため健康管理に対するニーズが強い.肉 牛向けの商品開発を通してノウハウ・技術を蓄積すれば,乳牛の飼育期間にも対応可能で ある.牛の健康管理向けに提案品の導入が進むと,日本国内だけでなく海外向けの新たな 展開が期待できる.特にイスラム圏においては牛の健康管理に加えて,「どのように飼育 されたか,どのように肉が処理されたか」といった牛肉に対する認証が重要な課題となっ ている.イスラム教では「ハラール」と呼ばれる規律があり,豚肉が禁止されていること は日本でも広く知られている.牛肉についてもルールが存在し,特定の飼料が与えられ, 特定の方法に則って屠殺された牛のみ食べることが許可されている.そのため,怪我や疾 病によって死亡した牛は食肉化せずに廃棄することとなる.そこで,提案するセンサデバ イスを用いて牛の怪我や疾病を早期発見・予防することで,廃棄頭数を大幅に削減でき る.それだけではなく,どのような肥料が与えられてきたか,どのような飼育がなされて きたか,どのような処理・流通過程で消費者のもとに届けられているか,等の情報をセン サデバイスに記憶・管理することができる.イスラム教徒の人は日々,ハラールに基づく 食の選択を行っている.その判断に関する十分な情報を提供することは,食の「安心」を 実現する新たな価値となり,「新しい物流・管理」の大きな市場創設に繋がる.

A.2.4 将来的な事業構想

畜産動物向けのみに留まらず,別の市場に対する将来的な事業拡大の構想についても検 討を行った.図A.3に事業拡大のイメージ図を示す.第2段階目としては,当初検討して いたペット向けへの展開を行いたい.近年はペット保険への加入者が増加している.保険 会社や医療機関会社との連携によって「センサによる健康管理が保険料の低減に繋がる仕 組み」を構築することで,センサの普及を急速に進めることができる.また,競走馬向け も事業拡大の第2段階目の候補である.競馬ファンはデータを非常に重視するため,競争 馬の生体情報を取得できるとデータ自体に金銭的価値が生じると考えられる.第3段階目 としては,ヒトに事業を展開していきたい.例えばペットと飼い主がいずれもセンサを装 着し,両者の生体情報を紐づけて分析することで,どちらにとっても望ましい散歩頻度・ 時間・コースが提案する等,新たな価値の創出に繋げたい.動物や人だけでなくモノに対 してセンサデバイスを適用できるようになると,食品の鮮度監視やビルの老朽監視等の多 岐に渡る分野に展開できる.いずれ社会にとって不可欠なインフラ基盤となることが期待 できる.



図 A.3: 事業拡大イメージ.

A.3 新規事業検討から得られた知見

新規事業の検討を通して多くの学びを得ることができた.その中でも特に重要な知見を 以下に述べる.

1点目は「自分の考えを他者に話し,様々な観点から議論すること」である.前節で述 べた検討内容は,大半が他者との議論をきっかけに生まれたものである.自身の中で考え るだけでは視野や思考に限界があり,自分の考えを他者に話して,繰り返し議論を行うこ とが重要であると学んだ.議論を通じて他者が持つ様々な視野や思考を吸収し,提案内容 の飛躍的な改善に繋げることができた.

2点目は「市場の声を聞くこと」である.筆者自身が過去に企業にて研究開発を行った 際は,顧客との接点はなく,提案内容と市場のニーズが乖離する課題があった.大学の研 究活動では自ら顧客へのヒアリングを行うことで,ニーズを捉えた提案内容を考案でき た.この経験から,現場の声がいかに強力であるかについて身をもって学ぶことができ た.現在筆者は企業にて新規事業の企画・開発を担当しているが,仮説を立てる度に必ず 顧客の声を聞く習慣が身に付き,事業・商品の向上へと繋げている.

以上の2点が、新規事業の検討から学んだ特に重要と考える知見である.

A.4 まとめ

本付録では,新規事業の検討結果と得られた知見について述べた.筆者の研究は,バッ テリレス・メンテナンスフリーを実現する IoT エッジノードデバイスを構築することを目 的としている.研究成果を基に,「どのような市場にどのようなセンサデバイスを提供す ると価値があるか」の観点で新規事業案を検討し,畜産市場の肉牛向けに繁殖管理を行う センサデバイスを提案した.従来品ではバッテリ交換時に牛が暴れることで労働災害が多 発している.提案品を用いると交換が不要になり課題を解決できるため,事業化の余地が あると考えている.新規事業を創出する上で「自分の考えを他者に話し,様々な観点から 議論すること」「市場の声を聞くこと」の2点が特に重要であると学ぶことができた.

付 録 B CMOSインバータの入出力特性に関する式の導出

式 (4.3), 式 (4.4), 式 (4.5), そして式 (4.7)を導出する.

図 4.2 (a) の CMOS インバータについて, pMOSFET と nMOSFET に流れる電流を $I_{\rm P}$, $I_{\rm N}$ とする.キルヒホッフの電流則より以下の式が成り立つ.

$$I_{\rm P} = I_{\rm N}.\tag{B.1}$$

式 (B.1) に式 (4.2) を適用し、以下の式を得る.

$$I_{0P} \exp\left(\frac{V_{DD} - V_{IN} - |V_{THP}|}{\eta V_{T}}\right) \left\{1 - \exp\left(-\frac{V_{DD} - V_{OUT}}{V_{T}}\right)\right\}$$
$$= I_{0N} \exp\left(\frac{V_{IN} - V_{THN}}{\eta V_{T}}\right) \left\{1 - \exp\left(-\frac{V_{OUT}}{V_{T}}\right)\right\}.$$
(B.2)

式 (B.2) を V_{IN} について解くことで,以下の式 (4.3) を導出できる.

$$V_{\rm IN} = \frac{V_{\rm DD} + (V_{\rm THN} - |V_{\rm THP}|)}{2} + \frac{\eta V_{\rm T}}{2} \ln \left[\frac{I_{\rm 0P} \left\{ 1 - \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) \right\}}{I_{\rm 0N} \left\{ 1 - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) \right\}} \right]$$

式(4.3)を変形し、以下の式を得る.

$$V_{\rm IN} = \frac{V_{\rm DD} + (V_{\rm THN} - |V_{\rm THP}|)}{2} + \frac{\eta V_{\rm T}}{2} \ln \frac{I_{\rm 0P}}{I_{\rm 0N}} + \frac{\eta V_{\rm T}}{2} \ln \left\{ \frac{1 - \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right)}{1 - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right)} \right\}.$$
 (B.3)

式 (B.3) を V_{OUT} で微分することで,以下の式を得る.

$$\frac{dV_{\rm IN}}{dV_{\rm OUT}} = \frac{\eta}{2} \left\{ -\frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right)}{1 - \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right)} - \frac{\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}{1 - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right)} \right\}$$
$$= \frac{\eta}{2} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}. (B.4)$$

また、インバータの電圧利得は以下の式で計算できる.

$$A_{\rm INV} = \frac{dV_{\rm OUT}}{dV_{\rm IN}}.$$
 (B.5)

式 (B.4) と式 (B.5) より、以下の式 (4.4) を導出できる.

$$A_{\rm INV} = \frac{2}{\eta} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}.$$

ここで,

$$f(V_{\rm OUT}) = \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1, \qquad (B.6)$$

$$g\left(V_{\rm OUT}\right) = \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right),\tag{B.7}$$

と置くことで,式(4.4)を以下の式で表すことができる.

$$A_{\rm INV} = \frac{2}{\eta} \times \frac{f\left(V_{\rm OUT}\right)}{g\left(V_{\rm OUT}\right)}.$$
 (B.8)

式 (B.8) を V_{OUT} で微分することで,以下の式を得る.

$$\frac{dA_{\rm INV}}{dV_{\rm OUT}} = \frac{2}{\eta} \times \frac{f'\left(V_{\rm OUT}\right) \cdot g\left(V_{\rm OUT}\right) - f\left(V_{\rm OUT}\right) \cdot g'\left(V_{\rm OUT}\right)}{\left\{g\left(V_{\rm OUT}\right)\right\}^2}.$$
(B.9)

また,式 (B.6) と式 (B.7) より, $f'(V_{OUT}) \ge g'(V_{OUT})$ は以下の式で計算できる.

$$f'(V_{\rm OUT}) = \frac{1}{V_{\rm T}} \left\{ \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) \right\},\tag{B.10}$$

$$g'(V_{\rm OUT}) = \frac{1}{V_{\rm T}} \left\{ \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) \right\}.$$
 (B.11)

式 (B.10) と式 (B.11) より f' (V_{OUT}) = g' (V_{OUT}) が成り立つ.よって式 (B.9) を以下の式 で表すことができる.

$$\frac{dA_{\rm INV}}{dV_{\rm OUT}} = \frac{2}{\eta} \times \frac{f'(V_{\rm OUT}) \cdot g(V_{\rm OUT}) - f(V_{\rm OUT}) \cdot f'(V_{\rm OUT})}{\{g(V_{\rm OUT})\}^2} \\
= \frac{2}{\eta} \times \frac{g(V_{\rm OUT}) - f(V_{\rm OUT})}{\{g(V_{\rm OUT})\}^2} f'(V_{\rm OUT}).$$
(B.12)

式 (B.12) に式 (B.6) と式 (B.7) を適用し、以下の式を得る.

$$\frac{dA_{\rm INV}}{dV_{\rm OUT}} = \frac{2}{\eta} \times \frac{1 - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}{\left\{g\left(V_{\rm OUT}\right)\right\}^2} f'\left(V_{\rm OUT}\right). \tag{B.13}$$

式 (B.13) より, $dA_{INV}/dV_{OUT} = 0$ となる条件は $f'(V_{OUT}) = 0$ である.これを式 (B.10) を 用いて解く.

$$\frac{1}{V_{\rm T}} \left\{ \exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) \right\} = 0$$
$$\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) = \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right)$$
$$V_{\rm OUT} - V_{\rm DD} = -V_{\rm OUT}$$
$$V_{\rm OUT} = \frac{1}{2}V_{\rm DD}. \tag{B.14}$$

よって $|A_{\text{INV}}|$ は $V_{\text{OUT}} = V_{\text{DD}}/2$ の条件において最大値 $|A_{\text{INV}}|_{\text{MAX}}$ となる.式(4.4) に $V_{\text{OUT}} = V_{\text{DD}}/2$ を代入することで、以下の式(4.5)を導出できる.

$$|A_{\text{INV}}|_{\text{MAX}} = \frac{1}{\eta} \left\{ \exp\left(\frac{V_{\text{DD}}}{2V_{\text{T}}}\right) - 1 \right\}.$$

図 4.4 の提案する自己バイアスインバータでは、しきい値電圧の差 $\Delta V_{\text{TH}}(=V_{\text{TH,N}} - |V_{\text{TH,P}}|)$ が V_{IN} の関数と考える.式 (4.3)を V_{OUT} で微分することで、以下の式を得る.

$$\frac{dV_{\rm IN}}{dV_{\rm OUT}} = \frac{1}{2} \frac{dV_{\rm IN}}{dV_{\rm OUT}} \frac{d(\Delta V_{\rm TH})}{dV_{\rm IN}} + \frac{\eta}{2} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1.$$
(B.15)

式 (B.15) を変形し,以下の式を得る.

$$\left(1 - \frac{1}{2} \frac{d(\Delta V_{\rm TH})}{dV_{\rm IN}}\right) \frac{dV_{\rm IN}}{dV_{\rm OUT}}$$
$$= \frac{\eta}{2} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1.$$
(B.16)

式 (B.5) と式 (B.16) より,以下の式を得る.

$$A_{\rm INV} = \left(1 - \frac{1}{2} \frac{d(\Delta V_{\rm TH})}{dV_{\rm IN}}\right) \\ \times \frac{2}{\eta} \times \frac{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - \exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right) - 1}{\exp\left(\frac{V_{\rm OUT} - V_{\rm DD}}{V_{\rm T}}\right) + \exp\left(-\frac{V_{\rm OUT}}{V_{\rm T}}\right) - 2\exp\left(-\frac{V_{\rm DD}}{V_{\rm T}}\right)}.$$
 (B.17)

式 (B.17) に $V_{\text{OUT}} = V_{\text{DD}}/2$ を代入し、絶対値を取ることで、以下の式 (4.7)を導出できる.

$$|A_{\rm INV}|_{\rm MAX} = \left(1 - \frac{1}{2} \frac{d \left(\Delta V_{\rm TH}\right)}{dV_{\rm IN}}\right) \frac{1}{\eta} \left\{ \exp\left(\frac{V_{\rm DD}}{2V_{\rm T}}\right) - 1 \right\}.$$
謝 辞

本研究は、大阪大学大学院工学研究科電気電子情報通信工学専攻 廣瀬哲也教授のご指 導の下に行われたものであり、本研究を遂行するにあたり、終始懇切な御指導、御鞭撻を 賜りました.心より感謝致します.

本研究を遂行するにあたり,貴重な御教示と御助言を頂きました,大阪大学大学院工学 研究科電気電子情報通信工学専攻森勇介教授,大阪大学大学院工学研究科電気電子情報 通信工学専攻兼本大輔准教授,大阪大学大学院工学研究科光井將一招聘教授に深く感謝 致します.

本論文に対して御検討と御助言を頂きました, 樺澤 哲博士(現 サンブリッジアクセラ レータ株式会社)に深く感謝致します.

日頃から暖かい励ましと貴重な御助言を頂きました,神戸大学大学院工学研究科電気電 子工学専攻 沼 昌宏教授,神戸大学大学院工学研究科電気電子工学専攻 黒木修隆准教授 に深く感謝致します.

研究室における環境の便宜を図って頂きました,大阪大学大学院工学研究科電気電子情報通信工学専攻渡邊恵子事務補佐員に深く感謝致します.

本研究を遂行するにあたり極めて重要な議論を交わしました,椿 啓志氏(現 ソニー株 式会社), 雫 譲氏(現 日清紡マイクロデバイス株式会社),尾崎年洋氏(現 旭化成株式 会社),大阪大学大学院工学研究科電気電子情報通信工学専攻 廣瀬研究室 松本 香氏,浅 野大樹氏(現 ルネサスエレクトロニクス株式会社)に深く感謝致します.

本研究を進める上で大変有意義な議論を交わしました,大阪大学大学院工学研究科電気 電子情報通信工学専攻廣瀬研究室 三井健司氏,上田僚太氏(現 アークレイ株式会社), 小國一道氏(現 旭化成株式会社),木村祐太氏(現 株式会社デンソー),三好太郎氏(現 四国電力株式会社),篠永恭平氏(現 タカラトミー株式会社),神崎脩斗氏(現 ルネサ スエレクトロニクス株式会社),寺田達矢氏(現 三菱電機株式会社),西雅也氏(現 株 式会社リクルート),大阪大学大学院工学研究科電気電子情報通信工学専攻廣瀬研究室 瀬部 光氏に深く感謝致します.

研究室での日常生活においてお世話になりました,浅野茂生氏(現株式会社島津製作所),古井秀弥氏(現パナソニック株式会社),大谷真也氏(現株式会社ABEJA)に深 く感謝致します.

最後に,いつも暖かく見守り励ましてくれた祖父母,両親,弟,そして妻 梨澄に心か ら感謝し,本論文の謝辞と致します.

研究業績

学術論文

- <u>R. Matsuzuka</u>, T. Hirose, Y. Shizuku, K. Shinonaga, N. Kuroki, and M. Numa, "An 80mV-to-1.8V conversion-range low-energy level shifter for extremely low-voltage VLSIs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no 8, pp. 2026-2035, 2017.
- <u>R. Matsuzuka</u>, T. Terada, K. Matsumoto, M. Kitamura, and T. Hirose, "A 42mV startup ring oscillator using gain-enhanced self-bias inverters for extremely low voltage energy harvesting," *Japanese Journal of Applied Physics*, vol. 59, SGGL01, 2020.
- M. Nishi, K. Matsumoto, N. Kuroki, M. Numa, H. Sebe, <u>R. Matsuzuka</u>, O. Maida, D. Kanemoto, and T. Hirose, "A 35-mV supply ring oscillator consisting of stacked body bias Inverters for extremely low-voltage LSIs," *IEICE Electronics Express*, vol. 18, issue 6, 20210065, 2021.
- H. Sebe, K. Matsumoto, <u>R. Matsuzuka</u>, O. Maida, D. Kanemoto, and T. Hirose, "A self-bias NAND gate and its application to non-overlapping clock generator for extremely low-voltage CMOS LSIs," *Japanese Journal of Applied Physics*, vol. 60, SBBL06, 2021.
- <u>R. Matsuzuka</u>, S. Kanzaki, K. Matsumoto, N. Kuroki, M. Numa, D. Kanemoto, and T. Hirose, "Switched-capacitor voltage buck converter with variable step-down and switching frequency controllers for low-power and high-efficiency IoT devices," *Japanese Journal of Applied Physics*, vol. 62, SC1082, 2023.

国際会議

- <u>R. Matsuzuka</u>, T. Hirose, Y. Shizuku, N. Kuroki, and M. Numa, "A 0.19-V minimum input low energy level shifter for extremely low-voltage VLSIs," in *Proceedings of* the 2015 IEEE International Symposium on Circuits and Systems (ISCAS 2015), pp. 2948-2951, Lisbon, Portugal, May 24-27, 2015.
- <u>R. Matsuzuka</u>, T. Terada, K. Matsumoto, M. Kitamura, and T. Hirose, "A 42mV startup ring oscillator using self-bias inverters for extremely low voltage energy harvesting," in *Extended abstract of the 2019 International Conference on Solid State Devices and Materials (SSDM 2019)*, M-5-03, pp. 537-538. Aichi, Japan, Sep. 2-5, 2019.
- M. Nishi, Y. Nakazawa, K. Matsumoto, N. Kuroki, M. Numa, <u>R. Matsuzuka</u>, O. Maida, D. Kanemoto, and T. Hirose, "Sub-0.1V input, low-voltage CMOS driver circuit for multi-stage switched capacitor voltage boost converter," in *Proceedings of the 26th IEEE International Conference on Electronics Circuits and Systems (ICECS 2019)*, pp. 530-533, Genova, Italy, Nov. 27-29, 2019.
- M. Nishi, K. Matsumoto, N. Kuroki, M. Numa, H. Sebe, <u>R. Matsuzuka</u>, O. Maida, D. Kanemoto, and T. Hirose, "A 34-mV startup ring oscillator using stacked body bias inverters for extremely low-voltage thermoelectric energy harvesting," in *Proceedings of the 18th IEEE International New Circuits and Systems Conference* (NEWCAS 2020), pp. 38-41, online Jun. 16-19, 2020.
- H. Sebe, K. Matsumoto, <u>R. Matsuzuka</u>, O. Maida, D. Kanemoto, and T. Hirose, "A Self-Bias NAND Gate and its Application to Non-Overlapping Clock Generator for Extremely Low-Voltage CMOS LSIs," in *Extended abstract of the 2020 International Conference on Solid State Devices and Materials (SSDM 2020)*, A-7-02, pp. 65-66, online, Sep. 27-30, 2020.
- <u>R. Matsuzuka</u>, S. Kanzaki, K. Matsumoto, N. Kuroki, M. Numa, D. Kanemoto, and T. Hirose, "Fully Integrated Switched-Capacitor Buck Converter with Variable Ratio and Frequency Controllers for Ultra-Low Power LSI Systems," in *Extended*

abstract of the 2022 International Conference on Solid State Devices and Materials (SSDM 2022), K-9-06, pp. 798-799, Chiba, Japan, Sep. 26-29, 2022.

国内会議

- 篠永恭平,廣瀬哲也, 雫 譲, 松塚 凌, 黒木修隆, 沼 昌宏, "サブスレッショルド領域 動作に適したスタンダードセルのサイジング手法," 第 28 回 回路とシステムワーク ショップ, pp. 88-93, (兵庫), 2015 年 8 月 3-4 日.
- 松塚 凌, 廣瀬 哲也, 雫 譲, 黒木 修隆, 沼 昌宏, "幅広い電圧レベル変換を実現する低 消費電力レベルシフタ," 平成 27 年度 VDEC デザイナーズフォーラム, (石川), 2015 年 8 月 28-29 日.

受賞

1. 松塚 凌, "幅広い電圧レベル変換を実現する低消費電力レベルシフタ," 平成 27 年度 VDEC デザイナーズフォーラム 敢闘賞, 2015 年 8 月 28 日.