

Title	ディジタル処理型高速変復調器と無線通信方式への適 用に関する研究
Author(s)	岡田, 隆
Citation	大阪大学, 2001, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/94
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

ディジタル処理型高速変復調器と無線通信方式

への適用に関する研究

平成13年9月

岡 田 隆



【謝 辞】

本論文をまとめるに当り、終始、御懇切かつ御熱心な御指導・御鞭撻を賜りました大阪 大学大学院 工学研究科通信工学専攻 小牧 省三教授に謹んで深謝の意を表します。

本論文をまとめるに際して有益な御討論・御助言を賜った大阪大学大学院 工学研究科 通信工学専攻 森永 規彦教授、並びに、工学研究科電子情報エネルギー工学専攻 原 晋介助教授に謹んで深謝の意を表します。

本論文に対して有益なる御助言を頂いた大阪大学大学院 工学研究科通信工学専攻故前 田 肇教授、塩澤 俊之教授、河崎 善一郎教授、大阪大学産業科学研究所 元田 浩教 授、大阪大学大学院 工学研究科電子情報エネルギー工学専攻 北山 研一教授に深謝の 意を表します。

本研究は著者がNTTワイヤレスシステム研究所に在籍した1989年から1998年までに 業務の一環として携わった研究成果をまとめたものであり、本研究を進めるに当ってご助 力頂いた方々に深く感謝致します。なかでも、本研究を進める機会を与えて頂いた慶応義 塾大学 環境情報学部 小檜山 賢二教授(元NTTワイヤレスシステム研究所長)、N TTアドバンステクノロジ(株) 森田 浩三技師長(元NTTワイヤレスシステム研究 所 無線方式研究部長)、日本ルーセントテクノロジ(株) 栗田 修取締役(元NTT ワイヤレスシステム研究所 無線方式研究部長)に深く感謝致します。また、本研究を進 める上での研究の方向性を示して頂き、まとめる機会までも与えて頂いたドコモテクノロ ジ(株) 村瀬 武弘代表取締役(元NTTワイヤレスシステム研究所 無線方式研究部 長)に深く感謝致します。さらに、本研究を進めるに当り、上司として密接に係わり装置 実現に向けて多大な御指導・御助言を頂いたドコモテクノロジ(株) 白土 正担当部長 (元NTTワイヤレスシステム研究所 主任研究員)に深く感謝致します。

本研究の途上において御指導・御鞭撻を賜った(株)NTTドコモ 橋本 明無線標準 化推進室長、中村 康久担当部長、大塚 裕幸担当部長、NTTアクセスサービスシステ ム研究所 松江 英明プロジェクトマネージャ、渡辺 和ニリーダ、相河 聡リーダ、 NTTアドバンステクノロジ(株) 荒木 浩二郎技術部長、ドコモテクノロジ(株) 鈴木 俊雄技術部長に感謝の意を表します。また、本研究を遂行するに当り重要な実験的 検証を担当し、御協力頂いた(株)NTTドコモ 高尾 俊明君、NTT西日本 梨木 裕之君に感謝致します。さらに、本研究の装置開発に際して、回路実現に対して著者から の無理な要求にも最大の努力で御協力頂いたNTTアドバンステクノロジ(株) 宮田 裕則君、ドコモテクノロジ(株) 浅野 賢一君、LSIの実現にご協力頂いたNTTエ レクトロニクス(株) 原田 義隆氏に感謝致します。

最後に、杯を酌み交わしながら研究について語り合い、励まし合った友人である(株) NTTドコモ 田野 哲主任技師に感謝致します。

【内容梗概】

近年、無線通信技術の進歩とディジタル通信需要の爆発的な増大を背景として、256QAMのような超多値変復調技術を用いた大容量化の研究が盛んに進められている。この場合、変復調器に対する要求条件は厳しく、デバイスの高精度化や様々な制御回路が必要となり、構成の複雑化およびコストの増大を招く。また、インターネットの普及に伴いマルチメディアトラヒックの特徴である急激なトラヒック変動にも柔軟に対応すべく、ディジタル無線方式の分野においては様々な高機能化方式が提案されている。その例として無線伝送路及びトラヒックの状況に合わせて変調多値数を可変させる可変容量伝送方式が挙げられる。

一方近年、急速なデバイス技術の進歩により、市販品として200MHzで動作するディジタル信号 処理プロセッサ、100Msps-12bit精度のA/D、D/A変換器等の100MHzを越える超高速ディジタ ル信号処理デバイス(動作速度:100MHz以上)が簡単に入手できるようになった。これに伴いディ ジタル信号処理技術(Digital Signal Processing: D S P)の適用領域が急速に拡大している。

ディジタル信号処理技術の通信分野への応用例としては、データモデムが挙げられる。ここでは、 DSPの変復調器への適用が盛んに進められており、LSI技術の進歩と相まってデータモデム の小型/無調整化が図られている。さらに最近、このようなDSP技術を無線通信分野へ応用す る顕著な事例として「ソフトウェア無線」というコンセプトが挙げられる。これは、DSP技術 を積極的に取入れ、物理層までを高速かつ大容量プログラマブルデバイスを用いて回路を構成す ることにより様々なサービスに柔軟に対応できる無線装置を実現しようとするものであり、 IMT-2000やITSなどの次世代移動通信の分野を中心に各方面でこの検討が進められている。

以上のように、大容量伝送が可能でかつ将来の無線方式に対する要求条件である小型/経済化、 無調整化、高機能化さらには高柔軟性を満足する変復調器を実現するためには、これまで主にベー スバンド帯信号処理に適用されているDSPをIF帯まで拡張することで変復調器を全てDSP 技術に基づいて実現するするディジタル信号処理型変復調器の開発が有効であると考える。

従来のDSP型データモデムは、アナログ処理を忠実にディジタル処理に置き換えたものであり、 信号処理プロセッサの高速化によって装置を実現させてきた。しかしながら、10MBaud以上の高 速信号伝送に関しては、データモデムでの信号処理技術を現状のディジタルデバイスを用いて高 速化を図ったとしても標本化速度および量子化精度等の動作パラメータが制限され、かつ高度な 信号処理アルゴリズムの適用が困難となるため、現状でもDSPによる装置実現は困難である。

-111-

本論文では、以上の背景から、アナログ信号処理の有利な点とディジタル信号処理の有利な点を 融合し、低いサンプリングレートで高精度な信号処理が要求される変調方式にも適用可能なディ ジタル処理型高速変復調器の実現を目的として研究を行った。始めに、DSPの有する劣化要因 の変復調特性に与える影響を明らかにするとともに、総合の等価CNR劣化量を定量的に与える。 次に、高速ディジタル処理型変調器の構成方法及び高速ディジタル信号処理型復調器の実現方法 を述べる。そして、これら基本技術を応用した高機能無線通信システムの実現に向けて容量可変機能を有 する速度可変型変復調器、変調方式可変型変復調器の実現方法述べるとともに、19GHz帯無線LANシステム を例として高効率回線制御方法についての議論を進めていく。

【目次】

第1章 緒 論	1
1.1 研究の背景	1
1.2 研究の目的と論文の概要	8
【参考文献】1	3
第 2 章 ディジタル信号処理における劣化要因解析1	7
2.1 はじめに 1	7
2.2 信号処理デバイスの動向・・・・・・1	8
2.2.1 乗算器1	8
2.2.2 A/D変換器 2.2.2 A	0
2.2.3 D/A変換器 2.2.3 D/A 2.2.	3
2.3 ディジタル処理型変復調器の構成と劣化要因 2.3 ディジタル処理型変復調器の構成と劣化要因 2.3	5
2.4 ディジタル処理型変復調系の誤り率特性 2.4 ディジタル処理型変復調系の誤り率特性	7
2.4.1 多値QAM方式の誤り率特性・・・・・2	8
2.4.2 量子化精度に対する符号間干渉量3	1
2.4.3 標本化速度と帯域内傾斜	3
2.4.4 クロックジッタによる影響 33	5
2.4.5 総合のCNR劣化特性3	6
2.5 実験結果 333 333 333 333 333 333 333 333 333 3	7
2.5.1 実験系の構成と動作確認 3333 3333 3333 3333 3333 3333 3333 3	;7
2.5.2 ディジタル処理型変復調系の特性	;9
2.6 むすび4	,1
【参考文献】	2

第 3 i	章 ディジタル信号処理型直交変調器の構成法	44
3.1	はじめに・・・・・	44
3.2	ディジタル処理型直交変調器の構成	46

3.2.1 従来の簡易構成法とその問題点	
3.2.2 F波形整形DSP直交変調器(IFWS-DMOD)	
3.2.3 0次ホールドDSP型直交変調器(ZH-DMOD)	
3.2.4 マルチキャリア方式用変調器の構成	
3.3 直交変調器の設計	
3.3.1 キャリア周波数設定方法	
3.3.2 ベースバンドフィルタの設計	58
3.4 変調器の回路実現	
3.4.1 ベースバンド論理処理回路	
3.4.2 直交変調処理回路 ·······	
3.4.3 ベースバンドフィルタ回路	
3.5 実験結果	73
3.6 むすび・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	77
【参考文献】	

第4章	ディジタル信号処理型直交復調器の構成法	- 83
4.1 は	:じめに・・・・・	· 83
4.2 7	*ィジタル処理型直交検波器の構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	· 86
4.2.1	ディジタル直交検波器の動作原理・・・・・	- 88
4.2.2	? タイミングフィルタの設計	· 93
4.3 復	[調制御系の構成法	- 97
4.3.1	キャリア位相同期制御	- 98
4.3.2	2 DCオフセット及び利得制御	102
4.3.3	3 クロック再生回路	105
4.4 テ	*ィジタル処理型直交復調器の実現 ······	107
4.4.1	復調処理回路	108
4.4.2	2 復調制御回路	112
4.4.3	8 誤差検出回路	114
4.5 実	■ 一、一、一、一、一、一、一、一、一、一、一、一、一、一、一、一、一、一、一、	114
4.6 む	うすび	124

-vi-

【参考文献】	 126
シックノル	120

第51	章	信号速度可変型変復調器への応用	8
5.1	はし	うめに12	8
5.2	速度	度可変型システムの適用サービスイメージ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・12	9
5.3	速度	⑤可変型変復調器の構成 ────────────────────────────13	2
5.	3.1	変調器の設計	3
5.	3.2	復調器の設計	6
5.	3.3	クロック再生回路の設計 13	9
5.4	実퇭	検結果 ⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯⋯	2
5.5	むっ	ナび14	5
【参	考文	献】14	5

第6章 変調方式可変型	⊍変復調器への応用 ───── 14	17
6.1 はじめに・・・・・		17
6.2 適用サービスイメージ		18
6.3 変調方式可変型伝送系	の設計・・・・・15	52
6.3.1 信号点配置	15	53
6.3.2 変調方式制御信号(伝送方法	57
6.4 変調方式可変型変復調	器の構成 16	50
6.4.1 変調器の構成		62
6.4.2 復調器の構成		63
6.5 実験結果	16	65
6.6 むすび・・・・・		71
【参考文献】	11	72

 章 19GHz帯高速無線LAN装置の実現	第
 . はじめに・・・・・	7
 ? システム設計	7
 7.2.1 回線制御方式	

-vii-

7.2.2 通信シーケンス
7.2.3 物理レイヤ・・・・・ 182
7.3 伝送特性の解析 182
7.3.1 フレーム利用効率
7.3.2 チャネル使用効率 184
7.3.3 伝送容量及び遅延時間 185
7.3.4 フレーム誤り率特性
7.4 無線LAN装置の実現······191
7.4.1 装置構成
7.4.2 プロトコルスタック・・・・・ 193
7.4.3 変復調器の構成 195
7.5 実験結果 199
7.6 むすび・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・201
【参考文献】202
第8章 結 言
英文略語一覧 209

本論文に関する原著論文 -------213

第1章 緒 論

1.1 研究の背景

電気通信は、ディジタル形式の電信からスタートしたが、グラハム・ベルによる電話の発明以後、 通信の基本である人間対人間の通信を実現でき、かつまた人間の音声をリアルタイムに伝えるこ とができる電話がその特徴を生かして急速に普及し、それにつれて電気通信網も音声というアナ ログ情報を送るのに適したアナログ通信網を中心に構築されてきた。

ところが、近年の技術の進歩が著しく、徐々に社会がディジタル情報社会へと変革しつつある。 特に、コンピュータの進歩は著しく、社会経済活動のあらゆる分野でコンピュータが広く使用さ れ、その小型化により、オフィスでは一人一台、家庭では一家一台までパーソナルコンピュータ が普及するようになってきた。また、本来、アナログ情報である音声、画像信号についてもディ ジタル化することにより、アナログ情報と同等以上の品質が保てるようになうになってきた。そ の結果として、近年ではデータ通信需要が急速に増加し、電話のトラヒックを越えるようになっ てきた。

このような状況をふまえ、電話、ファクシミリ、画像などの信号をより効果的、より経済的に伝 送するために、これらの通信網を総合して、豊富な電気通信サービスを安くしかも便利に使いや すい形で利用できるようにすることを目的に、電気通信サービスを包含するディジタル通信網の 構築が進められ、NTTでは1988年からISDN(Integrated Services Digital Network;サー ビス総合ディジタル通信網)の提供が開始された^[1]。また、オフィス内では、各種コンピュータや 端末機器を接続するために、限られた地域内で比較的高速なデータ通信を行え、かつまた同軸ケー ブルやより対線によって安価に構築できるLAN(Local Area Network)の需要が高まった。そ れに応じる形でIEEE(米国電気電子技術者協会)が1980年2月に設立した802委員会においてL ANの標準化が行われ、それを契機にIEEE802.3(イーサネット)^[2]は急速に浸透して行った。

基幹通信網において回線を多重化する階梯(Digital Hierarchy;ディジタルハイアラーキ)は、 従来、64kbps(音声)のみ世界共通であり、それ以外はヨーロッパ、アメリカ、日本でまちまち であった。このようなディジタル通信網への移行の中で、1989年にCCITTにおいて、 155.52Mbpsを基本とするハイアラーキが世界統一された^[3]。これはSDH(Synchronous Digital Hierarchy、同期ディジタルハイアラーキ)と呼ばれており、このSDHが決められたことにより、 世界標準規格の速度155.52Mbpsが得られるとともに、ディジタル通信網の世界的な普及の基盤 ができ上がった。

- 1 -

以上のような経緯でUNI(ユーザ・網インターフェイス)、NNI(ネットワーク・ノードイン ターフェイス)が規格化^[2]されたディジタル通信網が完備されていき、その結果として最近のイン ターネット(Internet)の爆発的な普及へとつながっていった。現在、このインターネット上で様々 な企業・ユーザが音声、図形、動画像、データ等の複数メディアを統合したマルチメディア通信 サービスの提供を考えている。現在の通信網においては、このようなトラヒックの量、質の時間 的・地域的変動を伴うマルチメディア情報を効率よく転送するためにATM(Asynchronous Transfer Mode;非同期転送モード)^[4]を始めとして各種通信プロトコルの提案・標準化が進めら れており、固定速度の通信回線を背景に網内の各ノードでは高度なトラヒック制御が行われてい る^[5]。しかしながら、このようなトラヒック制御だけに頼った網構築にも限界があり、今後、マル チメディアトラヒック負荷の変動に柔軟に対応できる伝送形態・通信回線の構築が望まれてくる ものと考える。

無線通信の分野において、日本で最初のディジタル無線方式が実用化されたのは昭和44年、熊谷-鴻巣(関東)、福岡-篠栗(九州)間においてであり、2GHz帯の周波数を使い、伝送容量は1 無線チャネル当り15.8Mbps(電話換算240回線)を伝送するものであった^[6]。この方式をきっかけに国内の基幹回線のディジタル化が急速に発展することになる。その後、昭和51年には20GHz帯の周波数を用いた1無線チャネル当り400Mbps(電話換算5760回線)の伝送容量を有する大容量無線方式"20L-P1"方式が実用化されるに至った。この方式は、高速パルスによる変復調および高周波半導体技術を確立した画期的な方式である。

さらに、電話サービスが充実してきた昭和58年には、ディジタル通信網の構想の早期実現に向 けて経済性に優れ、全国展開が可能な長距離ディジタル無線方式の導入が求められ、長距離幹線 伝送路に用いるディジタルマイクロ波方式"5L-D1"が実用化されるに至った^{[7][9]}。この方式は、 これまでの4相位相変調(QPSK)に代わり、初めて多値直交振幅変調技術16QAMを採用、かつ、 水平/垂直偏波共用により、当時、世界最高の周波数利用効率5bps/Hzを達成した。この5L-DI方 式には、高性能なスペースダイバーシチ、自動等化器が搭載され、マルチパスフェージングに対 する耐力を向上させ、回線品質の高信頼化も図られれた。

図1.1は、NTTにおけるディジタル無線方式の開発状況である。諸外国においては、16QAM の後の方式として64QAM方式の研究開発^{[10]⁻[12]}が進められる中で、NTTは、周波数利用効率及 び伝送容量の倍増を狙い、256QAM方式の開発を開始した。そして、256QAM変復調技術を中心 とした各種回路技術の開発とともにフェージング補償技術の一層の高性能化、高精度化の結果と

-2-



して1989年に1 無線システム当り400Mbps、周波数利用効率10bps/Hzの世界最高水準のディ ジタルマイクロ波方式(Digital Microwave Radio, DMR)を実用化した^{[13]-[16]}。

大容量ディジタル無線方式の研究開発は、光ファイバによる数Gbpsオーダの中継伝送方式の商 用導入^[17]に伴い、SDH対応ディジタルマイクロ波方式の開発^{[18],[19]}で終焉を迎えた。そして、 これまで大容量基幹中継回線を中心に研究開発が進められてきた固定ディジタル無線方式は、

(1) 基幹中継回線のより一層の高信頼化・経済化に向けた研究開発。

(2)網の柔軟性向上を目的とした高機能無線通信方式の研究開発。

へと方向変換が図られ、この固定ディジタル無線方式の研究開発の流れにおいて、様々な技術・ 方式の提案が行われている。

(1)の研究課題の一つである高信頼化関しては、送信電力制御技術^[20]、フェージング補償技 術^[21]、符号化変調技術^{[22]⁻[24]}、他方式干渉除去技術^{[25],[26]}の開発が進められ、一部の技術がディジ タルマイクロ波装置に機能追加を行う形で商用導入された。また、前述のような大容量化の流れ の中で採用された256QAMという超多値変復調技術は、変復調器に対する要求条件が非常に厳し く、デバイスに対して高い線形性が求められるとともに、回路を安定動作させるために様々な制 御回路が必要である。そのため、構成の複雑化および調整コストの増大を招き装置コストが高く なっている。このため、もう一方の伝送路コストの経済化に関しては、非再生中継方式による中 継段数の削減によって進められていった^{[27],[28]}。しかしながら、肝心の変復調装置については、装 置の更改により安定性は増してはいるが、未だにアナログ信号処理を基本に構成されているため、

-3-

大幅な装置コストの削減には至っていない。

(2)の研究課題に関しては、前述のようにマルチメディアトラヒックに柔軟に対応できる伝送 形態が嘱望されていることを契機にマルチメディア通信サービスに対応すべく地域伝送網・アク セス系伝送網、加入者宅内伝送網を取り込んだ統合システムとしての網の柔軟性向上を目的とし た高機能無線通信システムの提案がなされている^[29]。

その例として耐フェージング特性を向上させるスーパマルチキャリア伝送方式がある^[30]。マル チキャリア伝送^[31]は、マルチパスフェージングによる帯域傾斜の影響を軽減するために、1 無線 システムを4つのキャリアに分割することで帯域を小さくして伝送する方法であり、ディジタル マイクロ波方式の耐フェージング向上を図るために採用されている技術である。スーパマルチキャ リア方式は、従来のマルチキャリア方式のキャリア数を数倍以上に増やし、耐フェージング特性 の大幅な向上を狙った方式であるとともに、各キャリア当りの伝送速度をUNIの信号速度に近 づけ、IF帯のクロスコネクトと組み合わせることにより、柔軟性の高い回線収容を可能にする 方式でもある。この方式を実現するためには、キャリア数に応じて変復調装置が必要となってく るために、変復調装置の小型化・経済化が必須である。

もう一つの代表的な例として無線伝送路及びトラヒックの状況に合わせて信号伝送形式を可変さ せる容量可変伝送方式がある^[32]。従来の無線伝送路ではフェージングもしくは降雨等の厳しい伝 搬条件下で時の最繁時トラヒックを誤りなく伝送可能なように変調方式が選択され、常に一定条 件で伝送が行われている、このため、16QAMや256QAM信号が伝送可能な定常にでもQPSK信号 のままで伝送したり、逆に、16QAM信号のトラヒックに達しないような条件下でも無駄なパルス





を挿入して16QAMで伝送を行い、最悪条件下で瞬断を発生させている。可変容量伝送方式は、表 1.1に示すように変調方式^{[33]⁻[35]}、信号速度^{[36]⁻[38]}、あるいは符号化率^[39]等の信号伝送方式を無線 伝送路の状況及びトラヒックに応じて可変させて最適な伝送速度に調整する方式である。例えば、 変調方式可変型の場合、トラヒックピーク時には256QAMを用いて大容量伝送を行い、異常伝搬 時にはQPSKを用いて回線の瞬断を回避を図るものである。この方式を用いることで、マルチメ ディア通信におけるトラヒックピーク吸収するとともに、瞬断の発生確率を少なくすることが期

項目	変 調 方 式	信号速度	符号化率	
概要	16QAM 64QAM	f_{c}	Frame Frame	
チャネル効率 (ユーザ収容率)	固 定 (信号帯域幅は一定)	可 変 (信号帯域幅が変化)	ー 定 (信号帯域幅は一定)	
所要CNR	可 変 (選択変調方式のCNR特性)	ー 定 (耐フェージング特性は可変)	可 変 (符号化率大→符号化利得大)	
周波数利用効率	可 変 (選択変調方式の利用効率)	一 定(変調方式に依存)	可 変 (最大値は変調方式に依存)	

表1.1 信号伝送可変方法



待できる。この方式を実現するためには、信号伝送形式を瞬時に切り替えることができる高機能 変復調器の実現が要求される。

ー方、ディジタル無線方式の発展を支えてきた要素技術の一つであるディジタル信号処理は、 1950年代後半から主として信号のスペクトル、相関関数の計算等の信号解析の手段として第一段 階の発展を見た。第2段階は、信号のフィルタ技術を中心として、従来のアナログ技術で行われて た処理のディジタル化である。しかし、他方1960年ごろからディジタル信号処理技術が更に進展 して、上記のような単なる信号の計算処理技術の分野にとどまらず、システム自身がこの技術に 適合したシステムに変わっていった。これが第3段階の発展であり、通信技術に本質的なインパク トを与えている^[40]。PCM通信がその代表と言える。1961年からアメリカではTI方式、1965 年から我が国でPCM-24方式が使用され始めたが、これらは、フーリエ変換やディジタルフィル タなどの信号処理は行っていないが、情報がディジタルの形で実用通信回線上を流れ始めたとい う点で大きな意義を持っている。その背後には、各種の半導体素子の進歩はもちろんのことであ るが、信号処理技術としては、帰還符号器(feedback encoder)の発明、非線形符号化 (non-linear encoding)の技術などが特筆される。また近年では、比較的低速ではあるが、放送や 無線LANで使用される直交周波数分割多重 (Orthogonal Frequency Division Multiplexing, OFDM)にも必須の技術となっている。

さらに、画像処理技術、帯域圧縮技術、音声符号化技術^{[41],[42]}、暗号化技術など、ディジタル信 号処理を前提とした技術の進歩は目覚ましく、これらの技術が今日のマルチメディア通信サービ スや、移動通信の発展にもに大きな影響を与えている。また、等化器^{[43],[44]}などを備えたデータ伝 送方式などもディジタル信号処理技術を前提にせずに実現することは不可能であり、この意味か らも今日の通信機器の技術開発においては必須技術であると言える。

上記のディジタル信号処理技術の発展の背景には、急速なディジタルデバイス技術の進歩の大き く関与している、つまり、信号処理技術が発展しても実現手段がなければ、その技術の発展は止 まってしまうからである。そして現在では、市販品レベル(コンシューマ規格)で調査してみると、 200MHz で動作するディジタル信号処理プロセッサ(DSP, Digital Signal Processor)、 100Msps-12bit精度のA/D、D/A変換器があるように100MHzを越える超高速ディジタル信号処 理デバイス(動作速度:100MHz以上)がリリースされており、ディジタル信号処理技術の適用領域 が急速に拡大している^[45]。さらに、LSIの微細化技術も急速に向上しており、0.35 μmがすで に開発が完了しており、今後、0.25 μm、0.15 μmへと微細化のプロセス開発が進められている ^[46]。この微細化技術の進歩により集積度も向上しており、1 MG(=1000kGate)を超えるASICプ

-6-

ロセスも選択できるようになってきている。このため、これまで複数のチップで構成されていた 装置を、1チップ上に全て構成するシステムオンチップ(System on Chip)という概念が現れてき ており、Verilog-HDLやVHDLといったハードウェア記述言語を用いたトップダウン設計手法と融 合して今後の発展が注目されている。

DSPの変復調器への応用例としては、音声回線を利用してデータ伝送を行うデータモデム(伝送速度:数+bps)が挙げられる^{[47]-[49]}。ここでは、DSPの変復調器への適用が盛んに進められ ており、LSI技術の進歩と相まってデータモデムの小型化,無調整化が図られている。さらに 最近、このようなDSP技術を無線通信分野へ応用する顕著な例として"ソフトウェア無線"と いう概念が提案され、各方面で研究開発が進められている^{[50]-[52]}。このソフトウェア無線とは、物 理層までを、FPGA(Field Programmable Gate Array)、DSP、CPU等のプログラミングに より動作を変更できる各種デバイス(ここでは、総じて"プログラミングデバイス"と呼ぶ)を 用いて機器を構築することにより、ソフトウェアのダウンロード、装置の再構築により、様々な サービスに迅速に、かつ柔軟に対応できるシステムの構築を目指したものである。

無線通信は、光通信におけるファイバのような"閉空間"を作らずに、ある地点で電波を放射し、 ある地点で電波を受信する形で"開空間"を利用して通信を行う。このため、無線機器の入出力 は必ずアナログ信号となる。アナログ信号をディジタル処理する場合には、時間軸上も振幅軸上 も離散的な処理を行うことを前提として、要求される機能を数式に展開し、ディジタル数値の代 数的演算を行うこととなる。この場合、アルゴリズムの簡略化などの工夫されるとしても、数式 をそのまま忠実に実行することが基本となることから、演算回数(例えば、乗算回数)は膨大な ものとなる。従って、ハードウェアによる実時間処理を考えると、ディジタル信号処理では、ア ナログ信号処理と比較して、相当な素子数を必要とすることが推測できる。

最近のデバイス技術の進歩は、アナログデバイスにも十分な恩恵を与えており、移動通信の急速 な普及とそれに伴う携帯機器の開発競争によってアナログデバイスの性能も急速に向上している。 その結果として、アナログフィルタの小型化、増幅器の広帯域化・高効率化^[46]、シンセサイザの 低位相雑音、切替時間の短縮^[53]等が図られている。さらに、SPICE(Simulation Program with Integrated Circuit Emphasis)シミュレータ^[54]の浸透によりアナログ回路設計の効率化が図られ、 各デバイスメーカからもデータシートに加えてSPICEモデルが提供されるようになってきている。 この流れは、ディジタル回路とアナログ回路を混載したLSI設計を容易にし、システムオンチッ プの発展を加速させるものと考えられる。このようなアナログデバイスの進歩は無線通信用機器 を構成するうえで不可欠な要素であり、前述のようにディジタル処理による演算量の増大を招か

-7-

ないためにも、アナログ信号処理との融合は有効な手段であると考える。

1.2 研究の目的と論文の概要

前節において述べたように、ディジタル通信網の完備が誘発したインターネットの爆発的な普及 を背景として、ディジタル無線方式においては、

(1) 大容量伝送可能な変復調装置の小型経済化、無調整化

(2) 将来高機能無線方式に柔軟に対応できる変復調器の開発

が求められている。また、デバイス技術の急速な進歩を背景としてDSPの適用領域が拡大して いる。以上の観点から、上記の要求条件を満足させるために"ディジタル処理型高速変復調器" の開発が有効であると考え、研究を開始した。このディジタル処理型高速変復調器は、これまで 主にベースバンド帯信号処理に適用されているDSP技術をIF帯まで拡張することで全ての変 復調処理をDSPで実現することを前提としてアナログ処理と融合させることにより、10Mbps以 上の伝送容量を有し、かつまた容量可変機能(伝送速度、変調方式)の実装を可能にする変復調 器の実現を目指したものである(図1.4参照)。

従来のデータモデムのDSP化は、アナログ処理を忠実にディジタル処理に置き換えたものであ り、ディジタル化による演算量の増大は信号処理プロセッサの高速化によって装置実現を可能に してきた。しかしながら、ディジタル処理型高速変復調器における10MBaud以上の高速信号伝送 は、データモデムでの信号処理技術を現状のディジタルデバイスを用いて高速化を図ったとして も標本化速度および量子化精度等の動作パラメータが制限され、かつ高度な信号処理アルゴリズ ムの適用が困難となるため、未だに実現困難である。

以上の理由から、本研究の中心課題は、アナログ処理の利点を有効に活用しながら、低いサンプ リングレートで精度の高い変復調機能のディジタル信号処理方法と、その回路構成方法を確立す ることにある。さらに、本研究では、この結果であるディジタルデバイスの動作範囲内で大容量化を図っ た変復調器を実現することを目的とする。また、この変復調器を応用した高機能無線通信システムの実現に 向けて、信号速度、変調方式の可変機能を実装した高機能変復調器の構成法、及び高効率回線制御法を確立 することを第二の目的とする。

本研究での変復調器は、多値直交振幅変調(QAM, Quadrature Amplitude Modulation)方式を 用いた変復調器の構成を対象とする。これは、ディジタルマイクロ波方式に採用されている変調 方式であるとともに、移動通信^{[35],[55]}や高速無線LAN^[56]などの分野などでも容量増大の手法とし て採用が検討されている変調方式であるためである。また、無線回線制御方式としては、変復調

-8-



図1.4 本研究の位置付け

器の構成法を中心に議論を進める都合上、いちばん単純なSCPC(Single Channel per Carrier, i.e.FDMA/FDD)方式を前提とする。そして、最後の回線制御方式の議論においては、TDMA/TDD 方式を用いて議論する。また、信号速度可変方法のうちの符号化率可変は、変復調器へのデータ 入出力段において信号の伝送速度を調整する方法であり、変復調器の信号伝送条件は可変させな い。このため、変復調器の高機能化を目的とした本研究では、この方式は対象外とした。

本論文の構成を図1.5に示す。本論文では、まず始めに、DSPでの誤差要因の変復調系に与え る影響を解析的に求め、次に、その結果をもとディジタルデバイスの動作条件内で高精度かつ効 率的な変復調器の構成法・信号処理手法について検討を行い、最後に、構成した変復調器に基づ いた高機能化検討の順に論じていく。この流れにそって第2章では、DSPの有する劣化要因の 変復調特性に与える影響を明らかにするとともに、総合の等価CNR劣化量を定量的に与える。 第3章では、高速ディジタル処理型変調器の構成方法を。第4章では、高速ディジタル復調器の 実現方法を各々、述べる。第5章、第6章では、上記、高速ディジタル処理型変復調器の応用と

して速度可変型変復調器、変調方式可変型変復調器の実現方法について述べる。また、第7章で は、19GHz帯無線LANシステムを例として高機能無線通信システムの実現に向けた高効率回線制 御方法について議論する。最後に、第8章でまとめとして、本研究の主要な成果を要約するとと もに、今後の研究課題を簡潔に示す。第2章から第7章の各章には、実験による検証結果を最後 に示す。

第2章 ディジタル信号処理における劣化要因解析

ディジタル信号処理(DSP)における主要な劣化要因である量子化精度、アパーチャ効果、クロックジッタについて多値直交変復調系に与える影響について議論する。また、等価CNR劣化量の解析手法を提案し、変復調系の固定劣化量を定量的に算出する。そしてその結果として、現在市販されているデバイスを適用した場合の固定劣化量の見積もりを行い、256QAMで約2dBの固定劣化量となる見通しから、アナログ回路を基本とする従来構成とほぼ同等であることを示す。 さらに、多値数に応じて劣化要因の影響度が異なり、多値数の少ない場合には量子化精度が、また多値数の大きい場合には波形歪要因であるアパーチャ効果が支配的となることを明かにする。



図1.5 本論文の構成

最後に上記の計算結果を検証するためにディジタル処理型変復調系を試作し、解析手法の妥当性 を実験で確認する。

第3章 ディジタル信号処理型直交変調器の構成法

無線通信システムに適用可能なディジタル信号処理型直交変調器のの構成方法について議論する。 始めに、従来のディジタル処理型変調器の構成とその無線通信方式に適用した場合の問題点とし てアナログ処理段で不要波成分(折返し雑音、ローカルリーク)の除去が困難であることを示す。 そして、この観点と演算量削減の観点から0次データホールドとIF帯での波形整形を特徴とする 2つのディジタル処理型直交変調器の構成方法を提案する。次に、この構成の変調器を実現する ために、クロックに同期したキャリア周波数を設定する手法及び0次ホールド処理に伴うチャネル 間の位相差補正を加味したベースバンドフィルタの最適設計法を示し、さらには各構成回路の実 現方法を示す。最後に、提案構成の2つの変調器を室内試作し、実験により各種性能を確認する。

第4章 ディジタル信号処理型直交復調器の構成法

10Mbps 以上の大容量ディジタル無線通信方式に適用可能なディジタル信号処理型直交復調器の構成法に ついて議論する。始めに、最小のサンプリングレートでの高精度な直交検波処理を実現するために、デマル チプレクサを用いたディジタル処理型直交検波(DEMUX_DET)について議論する。そして、解析的手法によっ て様々な条件下での特性を明らかにすると共に、本手法におけるフィルタの設計方法を示す。次に、本ディ ジタル処理型高速復調器におけるキャリア同期回路、クロック再生回路の構成法、信号補償(AGC、 DC-offset)回路の構成法/動作原理について述べる。最後に、最大の変調多値数が256QAM、シンボル伝送 速度が14MBaud のディジタル処理型高速多値QAM復調器(最大伝送容量:112Mbps)の回路実現例を示し、 試作した復調器の特性評価実験結果を述べる。

第5章 信号速度可変型変復調器への応用

信号速度の異なる複数信号を伝送する無線通信システムに適用できる機能を有する信号速度可変 型変復調器について議論する。まず始めに、ワイヤレスアクセス回線を用いて効率良くマルチメ ディアサービスを提供することを目的とした速度可変型無線通信システムの概念を示す。次に、 マルチレートディジタル信号処理技術(Multirate Digital Signal Processing、MDSP)に基づいて 構成される信号速度可変型変復調器の構成方法を示す。本変復調器の特徴は、最大の伝送レート を基準にすべての速度モードに対して周波数の近いサンプリングクロックを用いるだけで、チャ

-11-

ネルフィルタを選択することをせずに安定した変調特性を維持できる点にある。しかしながら、 A/D変換器における劣化要因の解析によって、干渉の観点から、唯一、復調器のチャネルフィルタ の帯域幅を可変させる必要があることを明らかにする。最後に、2 つの異なる伝送速度(1.544 Mbps、6.312 Mbps)を有する変復調器を試作し、室内実験を行った。そして、良好なかつ同 等の特性がアナログ系の調整なしに得られることを確認する。

第6章 変調方式可変変復調器への応用

変調方式可変型無線通信システムのイメージを示すともに、これを実現するための変調方式可変 型変復調器について議論する。

まず始めに適用サービスとして、ワイヤレスATM転送網を挙げ、通信トラヒックの変動に応じ てチャネル数と多値QAM 方式の変調多値数を最適化するVP(Virtual Path)容量制御方式につい て議論する。次にこの無線通信システムの技術的な要求条件である無瞬断切替を実現するため、 変復調器の構成および変調方式制御信号の伝送方法について議論する。提案する変調方式可変変 復調器の構成では、ベースバンド側が識別レベルー定条件、RF 側が平均電カー定条件となるよ うなレベル変換器を採用しており、これにより、変調方式切替による復調器制御ループの変動を 低く抑えている。さらに、変調方式制御信号を誤りなく伝送するために、各変調方式信号点配置 の最大振幅信号点に配置して伝送する方式を採用し、変調器と復調器との間の切替をフレーム毎 に行うことが可能にした。

最後に、4 つの変調方式(QPSK, 16QAM, 64QAM, 256QAM)を切り替えられる多値数可変 型変復調器を試作し、実験を行った。その結果、識別信号点レベルを一定とするように受信信号 を変換することにより、復調制御ループの変動なしに変調方式の切替が可能であることを示した。 さらに、実験的に変調方式の無瞬断切替の実現性を明確にする。

第7章 19GHz帯高速無線LAN装置の実現

19GHz帯高速無線LANシステムを例として高機能無線通信システムの実現に向けた回線制御 (アクセス制御)技術の議論を行う。

19GHz帯高速無線LANシステムはRCR STD-34Aに準拠した無線LANシステムである。本シス テムは、制御局(CM)と複数の端末局(UM)から構成され、1つのCMは最高10台のUMと通信す ることができる。本システムの最大の特徴は、最大スループットがEthernet (10Base-T)よりも 速い15.2Mbpsを有していることである。本章では始めに、このような高速無線データ伝送を実現

-12-

<u>第</u>1章 序 章

するために採用した長短2つのフレームを有し、複数のパケットを1フレーム中に複数パケットを 格納して伝送する2モードGSMA(Global Scheduling Multiple Access)について概説する。そし て、このアクセス方式のスループット特性、遅延時間特性について解析を行い、トラヒック量に 応じた最小遅延時間でデータ転送が可能であることを示す。また、安定した特性を得るための物 理層の信号伝送特性の解析結果も併せて示す。次に、無線LAN装置の実現方法について示す。こ こでは、装置構成およびプロトコルスタックを説明すると共に、物理層の構築方法として伝送系 の設計、AFC機能を付加した変復調部の実現方法を示す。最後に、無線LAN装置を用いた性能評 価実験を結果を示すと共に、実環境評価実験結果としてアンテナ切替の頻度と誤り発生回数を示 し、設計通りの性能が得られていることを示す。

【参考文献】

- [1]秋山 稔、石川 宏:" B-ISDN絵とき読本",オーム社(1993)
- [2] 丸山修孝著:"わかりやすい通信プロトコルの技術",オーム社(1997)
- [3]H. Kasai, T. Murase and H. Ueda: "Synchronous Digital Transmission Systems Based on CCITT SDH Standard", IEEE Commun. Mag., Vol. 28, No. 8, pp. 50-59 (Aug. 1990)
- [4]Othmar Kyas著、小畑喜一監訳:"ATMネットワークス",インターナショナルトムソン パブリッシングジャパン(1996)
- [5]Martin de Prycker著、松島栄樹訳: "ATM詳解-新世代通信網構築技術", プレンティス ホール出版(1996)
- [6]桑原守二監修:"ディジタルマイクロ波通信",企画センター(1984)
- [7]H. Yamamoto:"Advanced 16-QAM techniques for digital microwave radio", IEEE Commun. Mag., vol. 19, No. 3, pp. 36⁻⁴⁵(1981)
- [8]山本平一、森田浩三:"4/5/6L-D1 ディジタルマイクロ波方式",通研実報, vol. 31, No. 7(1982)
- [9]森田浩三、村瀬武弘、小牧省三:"4/5/6L-D1方式の方式設計",通研実報, vol. 31, No. 7 (1982)
- [10]P. R. Hartmann, J. A. Crossett: "135Mbps 6GHz Transmission system using 64QAM modulation", IEEE ICC'83, p. 2.6.1(1983)
- [11]M. Linger, D. Vergeres: "Field Test Results for 16QAM and 64QAM Digital Radio, compared with the Prediction Based on Sweep Measurements", IEEE ICC'86(1986)

- [12]M. Bolla, L. Rossi and G. Verbana: "Implementation of a 64-QAM Modem for 140 Mbit/s Digital Radio", IEEE ICC'91, p. 5.1.1 (1991)
- [13]Y. Saito, S. Komaki and M. Murotani: "Feasibility Considerations of High-level QAM Multi-carrier System", IEEE ICC'84, pp.665-671 (1984)
- [14]H. Ichikawa, J. Sango and T. Murase:"256QAM Multi-carrier 400Mb/s Microwave Radio System Field Tests", IEEE ICC'87, P.52.3.1 (1987)
- [15]Y. Saito and Y. Nakamura: "256QAM modem for High Capacity Digital Radio System", IEEE Trans. on COM, Vol. COM-34, No. 8, pp.799⁻⁸⁰⁵(Aug.1986)
- [16]斎藤洋一、松江英明、中村康久、相河 聡:"4・5・6G-400M方式用256QAM変復調装置", 研実報、Vol. 37, No. 9, pp. 483-489(1988)
- [17]青木利晴、行松健一、佐藤健一:"ディジタル通信",電子情報通信学会誌,vol. 83, No.
 1, pp. 23⁻27 (2000.1)
- [18]T. Murase and S. Takemura: "Development of NNI Digital Radio", NTT Review vol.1, No. 3, pp. 77-83(Sep. 1989)
- [19]T. Murase, A. Hashimoto and J. Segawa: "Design and Performance of SDH Based Microwave Digital Radio Systems," in Proc. 3rd ECRR, pp. 48-55(1991)
- [20]奥野隆夫、馬場光浩、福士雅章、宮嶋孝彦:"ディジタルマイクロ波方式送信電力制御技術", NTT R&D, vol. 39, No. 11, pp.1511~1519(1990.11)
- [21]中村博幸、白土 正、大塚裕幸:"ディジタルマイクロ波通信用判定帰還形等化器の特性", 1992年信学会春季全国大会, B-417(1992.3)
- [22]中村康久,相河 聡,高梨 斉:"フェージング伝搬路におけるトレリス符号化256QAM方
 式--高利得-SPORT-QAMの諸特性-",信学論A, vol. J73-A, No. 2, pp341[~]349 (1990.2)
- [23]相河 聡、中村康久、高梨 斉:"高速・多値トレリス符号化変調に適したビタビ復号回路 の構成法",信学論 A, vol. J73-A, No. 2, pp331[~]340(1990.2)
- [24]S. Aikawa, Y. Nakamura, H. Takanashi: "Multipurpose High-Coding 0.8 μ m BiCMOS VLSI's for High-Speed Multilevel Trellis Coded Modulation," IEEE J. Solid-State Circuit, Vol. 26, No. 11, pp. 1700⁻⁻ 1707(1990 Nov.)
- [25]渡辺和二、松江英明、村瀬武弘:"干渉抽出型補償器",信学論B-II, Vol. J74-B-II, No. 9, pp.469⁻⁻478(1991.9)
- [26]S. Aikawa, T. Okuno, R. Ohmoto and M. Hatai: "Bit Interleaving Technique as a

Radar Interference Canceler in Digital Microwave Radio Systems," IEEE ICC'92, p. 350.2.1 (1992)

- [27]K. Watanabe, H. Ohtsuka and O. Kagami: "A Non-regenerative Repeating Digital Microwave Radio System," IEEE GLOBECOM'91, p. 51.5.1(1991)
- [28]K. Watanabe, T. Shirato and O. Kagami:"Coherent Non-regenerative Repeater Digital Microwave Radio System Field Test", IEEE GLOBECOM'92, pp. 1846-1850 (1992)
- [29]M. Shinji, S. Komaki and Y. Saito: "A proposal for the harmonious Growth of Microwave Radio in Future Telecommunications Networks in Japan", IEEE ICC'89, p.42.1 (1989)
- [30]H. Ohtsuka, Y. Saito and S. Komaki: "Super Multi-carrier Trellis Coded 256QAM Digital Microwave Radio," IEEE GLOBECOM'88, p. 8-2(1988)
- [31]T. Yoshida, S. Komaki and K. Morita: "System design and new techniques for an over-water 100km span digital radio", IEEE ICC'83, C.2.7.1 (June 1983)
- [32]小牧省三:"可変容量マイクロ波方式に関する検討",信学論B-II, Vol. J73-B-II, No. 10, pp. 498-503 (1990.10)
- [33]W. T. Webb:"Modulation Methods for PCNs", IEEE Commun. Mag., pp.90-95 (Dec. 1992)
- [34]大内幹博、李 嬉珍、小牧省三、森永規彦:"ATM網に対する無線可変容量伝送方式適用 の検討",信学論B-II, Vol. J76-B-II, No. 8, pp. 661-668(1993.8)
- [35]大槻信也、三瓶政一、森永規彦:"変調多値数可変適用変調方式の伝送特性",信学論B-II, Vol. J78-B-II, No. 6, pp.435-444(1995.6)
- [36]B. S. Katakol and S. L. Maskara: "Adaptive variable-rate communication system for fading channels," J. INSTN. Electronics & Telecom. Engrs., vol. 32, No. 3(1986)
- [37]L. B. Milstein, D. L. Schiling et al: "Performance of Meteor-Burst Communication Channels", IEEE J-SAC, Vol. SAC-5, No. 2, pp. 146~153
- [38]六浦光一、岡田博美: "パケット無線ネットワークのローカル/グローバル網構成", 信学論 B, Vol. J71-B, No. 9, pp. 1010-1019(1988.9)
- [39]S. Aikawa, H. Sato and T. Yoshida: "Performance Analysis of Variable-Rate FEC for Multimedia Radio Communication", IEICE Trans. COMMUN., Vol. E77-B, No. 9, pp.

-15-

1104~1113 (1994.9)

[40]電子通信学会:"ディジタル信号処理",第1章(1950年)

[41]W.B.Klein, K.K.Paliwal:"Speech Coding and Synthesis", Elsevier Science(1995)

- [42]R. V. Cox: "New Speech Coders from the ITU Cover a Range of Applications", IEEE Commun. Mag., Vol. 35, No. 9(1997)
- [43]Shahid U. H. Qureshi: "Adaptive Equalization", Proc. of IEEE, vol. 73, No. 9, pp. 1349~1386(1985年9月)
- [44]鈴木 博:"移動通信における適応信号処理",NTT DoCoMoテクニカルジャーナル, vol.1, No. 2, pp. 14[~] 20(1993)

[45]IC MASTER Online - http://icmaster.com/

- [46] 日経マイクロデバイス編:"低電力LSIの技術白書",日経BP社(1994年)
- [47] 持田侑宏, 藤村紀明: "LSIデータモデム", 信学誌, Vol.63、No.9、pp.952-959 (1980.9)
- [48]H.Harris, T.Saliga, D.Wals: "An All Digital 9600bps LSI Modem", NTC74, PP. 279-284 (1974)
- [49]渋谷隆弘、松岡克二:"データモデム用LSI",信学技報,SSD78-109 (1979.3)
- [50] J. Mitola: "The software radio architecture", IEEE Commun. Mag., Vol. 33, No. 5, pp. 26⁻⁻38 (1995)
- [51]J. Mitola: "The software radio architecture: A mathematical perspective", IEEE J-SAC, Vol. 17, No. 4, pp. 517⁻⁵³⁸(1999 April)
- [52]M. Cummings and S. Heath: "Mode Switching and Software Download for Software Defined Radio: The SDR Forum Approach", IEEE Commun. Mag. Vol.37, No. 8, pp. 104⁻⁻ 106(Aug. 1999)
- [53]小沢利行:"PLL周波数シンセサイザ・回路設計法",総合電子出版社(1994)
- [54]岡村廸夫: "SPICEによるシミュレータ新活用法", CQ出版社(1991)
- [55]三瓶政一、守山栄松、笹岡秀一:"陸上移動通信用16QAM/TDMA伝送実験装置の開発", 信学技報, RCS92-122, pp.37⁻42(1993)
- [56]IEEE Std 802.11a/D5.0: "Draft Supplement to atandard for LAN/MAN Part 11: Wireless Medium Access Control(MAC) and physical layer(PHY) specifications: High Speed Physical Layer in the 5 GHz band"(1999)

第2章 ディジタル信号処理における劣化要因解析

本章では、ディジタル信号処理(DSP)における主要な劣化要因である量子化精度、アパーチャ 効果、クロックジッタについて多値直交変復調系に与える影響について議論する。また、等価C NR劣化量の解析手法を提案し、変復調系の固定劣化量を理論的に定量化する。そしてその結果 として、現在市販されているデバイスを適用した場合の固定劣化量の見積もりを行い、アナログ 回路を基本とする従来構成を用いた場合の劣化量(約2dB)と比較し、ほぼ同等であることを示す。 さらに、多値数に応じて劣化要因の影響度が異なり、多値数の少ない場合には量子化精度が、ま た多値数の大きい場合には波形歪要因であるアパーチャ効果が支配的となることを明かにする。 最後に上記の計算結果を検証するためにディジタル処理型変復調系を試作し、解析手法の妥当性 を実験で確認する。

2.1 はじめに

変復調器を実現するためには、その過程で各種劣化要因の解析が必要となる。従来のアナログ回路を基本とした変復調器においては、1次や2次の振幅・遅延歪、変調位相誤差、および非線形 歪等の劣化要因が存在し、変復調特性に与える影響および劣化量が解析的に推定され報告がされている^{[1][4]}。また、従来構成で用いられるDSP部での劣化要因に関しては、アナログ回路における劣化が支配的であるため、唯一、ディジタルフィルタでの量子化精度に対する符号間干渉量の解析がなされている程度である。

変復調器にDSPが適用されているデータモデムは伝送容量が小さく、標本化数および演算語長 に関して余裕が存在し、デバイスの影響を受けにくい。また、変復調器の設計に対して自由度が 大きく、様々な信号処理アルゴリズムの適用により高精度化が容易に図れる。このため、変復調 系でのDSPの劣化要因解析は行なわれていない。

これに対して、ディジタルデバイスの動作条件内で大容量化を図り、かつ高機能化を実現することを目的とするDSP型変復調器では、標本化速度および量子化精度等のパラメータが制限され、 かつ高度な信号処理アルゴリズムの適用が困難となるため、DSPでの誤差要因が変復調系の特性に影響を与えるものと考えられる。

以上の理由からDSP型変復調器を実現するためにはDSPによる劣化要因が変復調特性に与える影響を明確にしておく必要がある。またこのとき、ディジタル処理型変復調器における劣化要

-17-

第2章 ディジタル信号処理における劣化要因解析

因は、従来構成における振幅、遅延歪および変調位相誤差等のアナログ回路に依存する要因は無 視できるのに対し、DSPによる要因が支配的となるため、これまでの解析手法をそのまま適用 することはできない。

そこで本章では、DSPの有する劣化要因の変復調特性に与える影響を明らかにするとともに、 各劣化要因について誤り率の解析手法を提案し、各種変調方式に対する固定劣化量を定量的に評 価する。まずはじめに現状のディジタル信号処理デバイスの高速化動向についての調査結果を示 すとともに、DSP型変復調器の構成及び動作とここでの様々な劣化要因を説明する。次にDS P型変復調系の特性を評価するために様々な劣化要因についてそれぞれ等価CNR劣化量の解析 手法を示し、総合の等価CNR劣化量を定量的に与える。最後にDSP型変復調系を構築し、特 性評価を行なうことにより上記解析手法の妥当性を明確にする。

2.2 信号処理デバイスの動向

ディジタル信号処理技術の変復調への応用を検討する前に現状のディジタル信号処理デバイスの技術動向 について触れておく。ここでは、ディジタル信号処理演算の中で最も良く使用される乗算器、及びディジタ ル信号の入出力特性を特性を左右するA/D及びD/A変換器について、高速デバイスの技術動向を述べる。

2.2.1 乗算器

ディジタル信号処理に用いられる演算器の中で、乗算器は最も良く使われる重要な基本演算回路である。 この乗算器は、加算器に比べてはるかに複雑な構成になっており、固定小数点演算では、ほとんどの場合、 演算回路の最長遅延パスとなっている。このため、乗算器の高速化がDSPデバイスでの永遠のテーマとなっ ている。

一般に乗算器は、図2.1に示すように、部分積生成部、部分積加算部、最終段加算器の3つのブロックから構成され、

 $Z = X \cdot Y + M$

(2.1)

の演算が実行される。各ブロックについて、以下のような手法が採用されている。

部分積生成部:Boothのアルゴリズム(2次or3次)

部分積加算部:Wallace Tree加算器⁶⁹、冗長2進加算器^{69,77}

最終段加算器:CLA(Carry Look Ahead)加算

ディジタル乗算は、原理的にはShift and Addの繰り返しであり、被乗数(Multiplicand)と乗数(Multiplier)の 各ビットをLSBから順次掛けて、桁をシフトし加算を行っていくことで演算結果を得るものである。その際、

-18-

加算器での桁上げの通路の伝搬遅延が演算速度を決める要因となる。このため、乗算器の演算速度は、各ビットの多項加算を行う部分積加算部の伝搬遅延時間によって決まる。

この部分積加算部の構成方法としては、上述のようにWallace Tree加算器と冗長2進加算器が最も良く用い









第2章 ディジタル信号処理における劣化要因解析

られている手法である。Wallace Tree加算は、図2.2(a)に示すように、各入力をパラレルで演算していくこと により、全体の伝搬遅延時間を短くする手法である。一方、冗長2進加算器では、1桁を3値で表現する冗長 2進表現を用いて、図2.2(b)に示すように下位桁からの桁上がりを完全に吸収し、桁上がり伝搬を抑えること で、高速加算を可能にしたものである。上記の手法は、従来、どちらも高速な反面、回路構成が複雑である ため採用を見送られる傾向にあったが、回路設計手法の改良とLSI設計技術の進歩に伴い、これらの手法を 採用した演算器が多く作られるようになってきた。以上のような手法を用いることで演算器の高速化が図ら れ、200MHzで動作する乗算器の開発が報告されている^{[8],[9]}。

ディジタル・シグナル・プロセッサには、中心的な処理機能としての乗算器が必ず搭載されており、この デバイス仕様が演算器の動作性能を表す指標となる。表2.1は、市販されている100MHz以上の固定小数点演 算ディジタル・シグナル・プロセッサの代表例である。この表からわかるように、16bit×16bitの演算器で は、200MHz以上の動作速度を有しており、32bit×32bitでも150MHz以上の処理速度を有していることがわ かる。また、プロセッサ上に大きな容量のメモリと同時に複数個の乗算器が搭載されていることもこの表か らわかり、回路規模の小型化も同時に進行していることも推測できる。

型名	TMS320C6202	ADSP-TS001	DSP16410	LSI401Z	MB86330
メーカ	Texas Instruments	Analog Devices	Lucent Technologies	LSI Logic	富士通
クロック速度(MHz)	250	150	200	200	105
演算器構成(bit)	乗算:16×16 ALU:40	16×16±40 32×32±80	16×16±40	16×16±40	16×16±40
演算速度(ns)	4	6.7	5	5	
演算ユニット数	乗算器:2個 ALU :8個	16bit:8個 32bit:2個	2個		
内部バス幅(bit)	32	64	32	16	16
内部SRAM容量	3Mbits	6Mbits	388kbytes	48kbytes	64kwords×16bit
処理能力	2000MIPS (500MMACS)	1200MMACS 300MMACS	800MMACS	400MIPS	100MIPS
備考					

表2.1 高速DSPの現状

2.2.2 A/D変換器

アナログ信号をディジタル信号に変換するA/D変換器(Analog to Digital Converter; ADC)にはいろいろな方 式のものがあり、扱う信号に応じて最適な変換方式が選択されます。以下に代表的な方式のADCを示す^[10]。

- (a)積分型(
 - (d)並列比較(フラッシュ)型
- (b)逐次比較型(b)逐次比較型(b)直並列(パイプライン)型
 - (c)オーバ・サンプリング型

ここで、(a)、(b)、(c)の方式は、高分解能であるけれども、変換方式の性格上、高速変換用途

第2章 ディジタル信号処理における劣化要因解析

には向かず、~1Mspsの低速領域に限られる。このうち、(c)のオーバサンプリング型は、主にΔ-Σ方式 とMASH方式の2つの方式があり、ディジタルフィルタを組み合わせることで高精度を得るものでり、 I C化しやすいという特徴を持っている。そのため、最近のディジタルオーディオ用途に広く利用されている。

高速変換用途に向いている方式は、(d)及び(e)である。このうち、(d)の並列比較型は、図2.3 (a)に示すようにN-bit分解能のADCの場合、2^{N1}個のコンパレータと基準電圧を2^{N1}に等分割するラダー抵抗 が必要となる。このため、分解能が高くなると基準電圧を等分割するラダー抵抗の調整(トリミング)及び 量産が難しくなるとともに、コンパレータの数が増えるので回路規模が大きくなり、入力容量が増えるので 高速化も難しくなる。そのため、現在ではこの改良型である(e)の直並列型が高速・高分解能が要求され る用途では一般的に使用されている。このタイプのADC構成を図2.3(b)に示す。直並列型ADCは、サブ レンジング型またはパイプライン型とも呼ばれており、図2.3(b)に示すように、最初は粗い分解能のフラッ シュ型のADCでA/D変換を行い、それをD/A変換して入力信号との差分をとり、もう一度A/D変換を行う方式 である。このため、この方式のA/D変換器には最低変換速度が存在する。

ディジタル信号(N-bit)とアナログ信号との間でサンプリング周波数(f_s)の理想的な変換が行われたと仮定すると、そのSNRは、

$$SNR = 6.02 \cdot N + 1.76 + 10 \cdot \log\left(\frac{f_s}{2 \cdot BW}\right)$$
 (dB) (2.2)

BW:信号帯域幅。



(a)フラッシュ型A/D変換器



図2.3 高速A/D変換器の現状

となる^[10]。しかしながら、実際の変換器においては、入力段のバッファアンプ、サンプルホールドアンプ (SHA)等のアナログ回路の雑音及び非線型歪、あるいはエンコーダでの直線性誤差により理想的な特性とは ならない。これらの特性を与えるため、データシートにおいては以下のような性能項目が示されている^[9]。

・SNR (Signal-to-Noise Ratio):5次以上の高調波成分と直流成分を除いた信号対雑音比。

• S I N A D (S/N+D, Signal-to-Noise and Distortion Ratio)

:高調波成分を含む全ての信号成分(但し、直流成分を除く)の信号対雑音比。この値から、変換器の有効ビット数(ENOB、Effective Number of Bits)が以下の式から求められる^[11]。

$$ENOB = \frac{SINAD - 1.76}{6.02}$$
 (bit) (2.3)

・ INL (Integrated Non-Linearity; 積分直線性誤差)

: ゼロとフルスケールとを結ぶ直線を基準として、これに対する最大誤差を規定するもの。

・DNL (Differential Non-Linearity; 微分直線性誤差)

:ディジタルコードを1bit変化させるために、アナログ入力理論上の1LSB変化分が最大どれだけの誤差を生じるかを規定するもの。

表2.2に8bit, 50Msps以上の性能を有する市販ADCの代表例を示す。この表から、8bitであれば500 Mspsの変換速度が得られているが、12bitでは約105Msps以下、14bitでは65Msps以下に制限される。この ため、乗算器、DAC(表2.3参照)と比較すると、性能的にADCが一番劣っており、復調器へのディジタ ル信号処理の適用の可否はADCの性能によって左右されることがわかる。また、消費電力的には1Wクラス のデバイスが多く、無線通信システムへの適用を考える場合、現状では携帯機への適用は困難であり、電力 が安定して確保できる基地局、FWA装置といった固定無線通信システムでの適用が有効であると考えられる。

型名	AD9432	AD6644	ADS807	ADS264LS	ADS284LS	SPT7871	CXA1276K
メーカ	Analog Devices	Analog Devices	Burr-Brown	DATEL	DATEL	SPT	Sony
分解能(bit)	12 -	14	12	14	12	10	8
変換速度(Msps)	105	65	53	52	65	100	500
アナログ入力レンジ	2.0V _{p-p}	2.2V _{p-p}	3.0V _{p-p}	2.048V _{p-p}	2.048V _{p-p}	±1.0V	±0.5V
SNR(dB@MHz)	67.2@40	74.0@15.5	69@10	71.0@10	66@20	54@25	34@125
SINAD(dB@MHz)	66.9@40	74.0@15.5	69@10	69@5		53@25	
INL(LSB)	±0.5	±0.5	±2.0	±1.5	±1.7	±1.0	±0.7
DNL(LSB)	±0.5	±0.25	±0.5	±0.3	±0.65	±0.5	±0.5
消費電力	850mW	1.3W	335mW	1.33W	750mW	1.7W	2.8W
電源電圧	+3.3V	+5V _\ +3.3V	+5V	+5V	+5V	+5V、-5.2V	-5.2V
備考							

表2.2 高速 A / D 変換器の現状

第2章 ディジタル信号処理における劣化要因解析

2.2.3 D/A変換器

ディジタル信号をアナログ信号に変換する D/A 変換器(Digital to Analog Converter; DAC)は、前述のADC と同様に、用途に応じて様々な変換方式の製品があり、低速用途(オーディオ、計測)には積分型、オーバ サンプリング型のように同一名称のADCと逆変換動作を行う方式もあるが、高速用途には、以下の2つの変 換方式(回路構成)が一般的である。

(a) R-2R ラダーネットワーク方式

(b)セグメント方式

図2.4に(a)と(b)のDACの基本回路構成(3bitの場合)を示す。この図に示すように、(a)では、 R-2R抵抗ネットワークを用いてビット単位のスイッチ回路であるのに対し、(b)では、nビットに対し て2n-1個の定電流源スイッチとデコード回路から構成される。このため、回路規模の点からは、(a)方 式が有利である。しかしながら、(a)の場合、ビット切替であることに起因してデータ切替わり時に大き なグリッジが発生するため、出力段にサンプルホールド回路を付加する必要がある。これに対し、(b)で は、3ビットの場合、7個のSWを次々にONとして電流を加算することで出力電流を得ているため、グリッジ を低く抑えられるという特徴を持っている。

高分解能デバイスの実現性に関して、(b)の場合は、回路規模のみが実現上の課題であるが、(a)の 場合、インピーダンスも低くなるために低消費電力化には適さなくなる。また、ビット数分のR-2Rラダー 抵抗ネットワークを均一に保つためのトリミングによる調整が必須となる。などの性能及び製造面での課題 がある。以上の理由から、(a)の場合、16ビットが実現の限界であると考えられており、現状の高分解能 DACは、(b)方式をベースに回路が実現されている。図2.5に高速、高分解能、D/A変換器の構成を示 す。この図に示すように、ビット分割して電流容量の異なる複数の定電流源SWを配置している。このよう





(b)セグメント電流源(電流出力)型】

図2.4 D/A変換器の基本構成

な回路構成を用いることにより、回路規模の削減を図り、(b)の問題点である回路規模の増大を克服して

表2.3は、10bit, 100Msps以上の性能を有する市販DACの例である。DACの性能は主に以下の項目で 評価されるため、この表には、分解能、変観速度に加えてアナログ部の性能を示す以下の項目も併せて列記 した^[10]。

- ・ | NL:2.2.2節を参照。
- ・DNL:2.2.2節を参照。
- ・グリッジ電圧

:ディジタル入力コードが変化するとき、アナログ出力が目標値に対して土1/2LSBに収まるまでの時間に発生するスパイク上のノイズのエネルギ(単位はpVs)を表す。

・セットリング時間(settling time)

:フルスケールのステップ応答に対して出力が許容範囲(±1/2LSB)に収まるまでの時間。

• S F D R (Spurious Free Dynamic Range)



図2.5 高速D/A変換器の構成(セグメント電流源構成)

表2.3 高速 D / A 変換器の現状

型名	AD9772	AD9762	DAC-902	CXA3197	DAC-561	MAX555	SPT5310
メーカ	Analog Devices	Analog Devices	Burr-Brown	Sony	DATEL	Maxim	SPT
分解能(bit)	14	12	12	10	12	12	12
変換速度(Msps)	400	125	165	125	100	300	250
INL(LSB)	±3.5	±0.75	±1.0	+0.5/-1.2	±0.75	±0.5	±1.0
DNL(LSB)	±2.0	±0.5	±0.5	+0.85/-0.5	±0.5	±0.5	±1.0
セットリング時間(ns)	11	35	30	3.5	20	4	13
SFDR(dBc@MHz)	75@25	57@20.2	60@ 27.4		69@2.02	65@20	56@20.5
グリッジ電圧(pV-s)		5	3	5	5	5.6	15
消費電力	205mW	133mW	170mW	480mW	650mW	780mW	600mW
電源電圧	+3V	+5V	+5V	+5V, -5V	+5V, -5.2V	-5.2V	-5.2V
備考	Interpolator内藏		:	Multiplexer機能内藏		電圧出力型	

第2章 ディジタル信号処理における劣化要因解析

:ナイキスト周波数(f/2)以下の範囲の最大スプリアス成分と信号成分との比で表される。

この表において、12bit,100Msps以上の性能を有するデバイスが一般的になってきており、且つ又消費電力の点からも200mW以下のデバイスもあり小さいと言える。以上の理由から、DACの性能からは、帯域幅:50MHz程度の信号は、十分にディジタル信号処理で扱える領域であることがわかる。

2.3 ディジタル処理型変復調器の構成と劣化要因

DSPを用いた直交変調器および直交検波器の構成を図2.6に示す。この図に示すようにDSP 型変復調器は、基本的にアナログ回路構成の各素子をDSPデバイスに置き換えることにより実 現できる。このため、変調信号はI-ch、Q-chの各入力信号とキャリヤ信号との乗算を行なった後、 両信号を加算し、DACによりアナログ信号に変換することにより得られる。一方、I-ch、Q-ch の各検波信号は、IF信号をADCによりディジタル信号に変換した後、キャリヤ信号との乗算 を行ない、演算結果をサンプリングすることにより得られる。ここで、キャリヤ信号はsin及び cosの波形情報をROMテーブルに格納しておきカウンタあるいは累算器で構成されるNCO(数値 制御発振器、Numerical Controlled Oscilator)等を用いて順次読みだすことによって発生される。

図2.6に示す構成を用いて大容量伝送が可能な変復調系を構成する場合、ディジタル演算器の動 作速度等の制約条件から標本化速度および量子化精度を十分確保することは困難となる。この制 約条件から以下の3つの要因が変復調特性に影響を与えるものと考えられる(表2.4)。

(1)量子化雑音。

(2)標本化速度(アパーチャ効果)による波形歪。

(3) クロックジッタによるサンプリング誤差。

(1)はDAC、ADCおよびDSPデバイスにおいて演算過程で発生する量子化誤差によるものである。つまり、量子化誤差により帯域外の漏洩電力および符号間干渉量が一様に増加するため、雑音特性に影響を与え、誤り率特性を劣化させる。本要因による雑音は信号と同期しているため、マッチドフィルタのように対雑音特性を向上させる手法を用いても除去することは困難である。故に、量子化誤差による影響は定量的に求めておく必要がある。

(2)はディジタル信号をアナログ信号に変換する際、原信号にサンプル周期長 τの孤立方形波 が畳み込まれる効果、いわゆるアパーチャ効果により発生する波形 歪要因である。DSPにより 発生した変調波に対して、帯域内振幅偏差となって現われる。また一般に、この効果による影響 はサンプリング周波数を高くすることによって抑えることができる。しかし、大容量伝送を行な う変復調系においてはサンプリング周波数を高くすることは困難であり、この要因による劣化が


図2.6 ディジタル信号処理型編復調系の構成

設計パラメータ	量子化精度	標本化速度	クロックジッタ
発生要因	DSP処理過程で発生	アパーチャ効果によ	回路の動作クロックの
	する量子化誤差。	る非線形歪。	不完全性に起因。
伝送特性への影響	C/Nの劣化。	変調波の帯域傾斜に	キャリアジッタ。
	符号間干渉量に影響。	よる波形歪	同期特性。
劣化量の計算方法	符号間干渉量	級数展開法	熱雑音

表2.4 ディジタル変復調系での劣化要因

無視できなくなる。

この要因の補償方法としては、IF帯にディジタルフィルタを配置する方法、あるいはベースバ ンド帯に2次元ディジタルフィルタを配置する方法が考えられる。しかし、これらの方法には必 ずディジタルフィルタが必要であり、回路規模の増大を伴うため必ずしも有効な手段とは言えな い。一方、現状の多値変復調器にはフェージング補償のためにトランスバーサル等化器が付加さ れており、定常的な波形歪補償にも有効である。しかし、定常的な波形歪が大きい場合、伝搬路 補償特性(シグナチャ特性)は劣化する。これは、アパーチャ効果による波形歪がシグナチャ特 性に影響を与えない程度であれば、余分な回路を付加することなく補償可能であることを意味し ており、本効果による劣化量を定量的に明らかにすることは変復調器を設計する上で重要である。

さらに量子化精度および標本化速度はデバイスの伝搬遅延時間及び総ゲート数に大きく依存し、 回路設計上で装置の動作速度、回路規模及び消費電力にも影響を与える。このような理由からも 両パラメータの最適化が必要であると考える。

(3)の劣化要因は一般的に知られているDSPの劣化要因とは異なり、回路を動作させるクロッ ク信号の不完全性によるものである。DSP型変復調器では、クロックを基準信号として変調信 号を発生し、またIF信号をサンプリングして信号の検波処理を行う。また通常の変調信号を検 波する際、キャリア信号にジッタが存在すると誤り率特性が劣化することが知られている。故に、 クロックにジッタが存在する場合、変調キャリア信号およびサンプリングタイミングに揺らぎが

生じ、キャリアジッタと同様に誤り率特性が劣化すると考えられる。従って、本要因による劣化 量はクロック信号発生回路の所要特性を決定する重要な設計要素となる。

次章では以上挙げた3つの劣化要因について定量的に等価CNR劣化量を算出する。

2.4 ディジタル処理型変復調系の誤り率特性

変復調器の定常特性は等価CNR劣化量を用いて評価され、変復調器を設計する際、等価CNR 劣化量が許容値内となるようにフィルタ等の個別回路の所要特性が決定される。また、アナログ 回路より構成される従来の変復調系においては、帯域内の振幅偏差、遅延偏差、及びキャリア信 号の位相誤差等による等化CNR劣化量は計算方法が提案され、解析的に推定できる^[4]。しかし、 前章で述べたような劣化要因が存在するDSP型変復調系における等価CNR劣化量の解析はな されていない。そこで、DSP型変復調系の各劣化要因に関して等化CNR劣化量の解析方法を 示し、劣化量を計算する。

解析に用いた変復調系の構成を図2.7に示す。ここで、ディジタルフィルタは実験と同一のもの とした(ロールオフ伝送系、α=0.5 送信100%配置、出力:16bit、符号間干渉量:0.394%)。 図2.8(a)にディジタルフィルタ出力のアイパターン(A点)、また図2.8(b)に変調器出力の変調 波の周波数特性(B点)をそれぞれ示す。



2.4.1 多値QAM方式の誤り率特性

多値QAM信号は、直交する2系統の搬送波を多値信号系列でASK変調し、それらを加算することによって得られ、2^{2m}QAM変調信号は以下の式で表される。

$$s(t) = \sqrt{I^{2}(t) + Q^{2}(t)} \cdot \cos[2\pi f_{c}t + \phi(t)]$$
(2.4)

但し、

$$\phi(t) = \tan^{-1} \frac{I(t)}{Q(t)}$$
(2.5)

である。ここで、各チャネルの入力信号(I,Q)は以下のように表される。

$$I(t) = \sum_{k} \left(2^{m-1} \cdot I_{1,k} + 2^{m-2} \cdot I_{2,k} + \dots + 2^{0} \cdot I_{m,k} \right) \cdot \gamma(t - kT)$$
(2.6-1)

$$Q(t) = \sum_{k} \left(2^{m-1} \cdot Q_{1,k} + 2^{m-2} \cdot Q_{2,k} + \dots + 2^{0} \cdot Q_{m,k} \right) \cdot \gamma(t - kT)$$
(2.6-2)

 $\gamma(t)$: 伝送系の単一パルス応答。

ここで、(I_1, Q_1), (I_2, Q_2)・・・・・, (I_m, Q_m)はバイナリ符号(土る)であり、それぞれ第1パス、第2パス、・・・・、第m パス信号と呼ばれている。16QAM(m=2)の場合は、第1パス、第2パス信号により構成される。

信号の誤り率特性は、復調法(同期検波、遅延検波等)によって異なるが、多値QAM信号の復調には一 般的に同期検波が用いられるため、ここでは、同期検波時の誤り率特性を示す。各チャネルの多値信号系列 をそのまま信号空間上に配置した自然2進符号(Natural code)配置(図2.9(a))の2^{2m}QAM-第kパス(1 $\leq k \leq$ m) の誤り率特性は、最小信号間距離を28、雑音電力を σ^2 とすると、

$$P_{k,m} = \frac{1}{2^{m-k+1}} \operatorname{erfc}\left(\frac{\delta}{\sqrt{2}\sigma}\right)$$
(2.7)

で求められる。ここで、erfcは誤差補関数であり、以下の式で与えられる。

$$\operatorname{erfc}(x) = \frac{2}{\sqrt{\pi}} \int_{-\infty}^{\infty} \exp(-t^2) dt$$
(2.8)

また、2^{2m}QAM信号の平均電力Poamは、

$$P_{QAM,m} = \frac{\delta^2}{3} \left(2^{2m} - 1 \right) \tag{2.9}$$

で与えられ、これより、多値QAM信号CNRの真値 K_o^2 は以下のようになる。

QPSK(m=1)	:	$K_0^2 = \delta^2 / \sigma^2$
16QAM(m=2)	:	$K_0^2 = 5\delta^2 / \sigma^2$
64QAM(m=3)	:	$K_0^2 = 21\delta^2 / \sigma^2$
256QM(m=4)	:	$K_0^2 = 85\delta^2 / \sigma^2$

-28-

<u>第2章 ディジタル信号処理における劣化要因解析</u>

直交変調方式の同期検波では、引き込み位相が90度ずつ4つ存在し、そのうちのある位相でキャリア同期 系が安定する。そのため、一般にQAM方式においては、どの位相に引き込まれても正常に信号が復号ができ るように、差動演算を用いた信号点配置方法を用いている。図2.9に多値QAM信号の代表的な信号空間点配 置(例:16QAM)を示す^[12]。図2.9(a)は自然2進符号配置であり、図2.9(b)はグレイ符号(Gray code)配置、図 2.9(c)は回転対称形符号(Quadrant Symmetric code)配置をそれぞれ示している。この他にもこの信号点配置 と誤り訂正を組み合わせた符号化変調に伴う信号点配置方法が考案されているが^[13]、ここでは、変復調器の 構成法を議論する観点から符号化変調方式に関して、ここでは対象外する。

グレイ符号配置と回転対称形符号配置を比較した場合、両配置とも第1パスの符号変換は差動符号化を用いているが、第2以上のパスについて、グレイ符号配置では差動変換を行っているに対し、回転対称形符号 配置では信号の入れ替え操作が行われる。それ故に、誤り率特性は回転対称形配置のほうが良好になり、多 値QAM方式では、この信号点配置が最も良く使われている。



回転対称形符号配置の場合、上述のように第1パスの信号が差動符号化され、第kパス(第1パスを除く) は信号の入れ替え操作のみである。このため、回転対称形配置の誤り率特性は、第1パス信号の誤り伝搬の みを考慮すればよく、自然2進符号配置の第1パスの誤り率特性P, 用いて、以下の式で与えられる。

$$P_{qk,m} = P_{k,m} + P_{1,m} = 2^{k-1} \cdot P_{1,m} + P_{1,m} = \frac{2^{k-1} + 1}{2^m} \operatorname{erfc}\left(\frac{\delta}{\sqrt{2}\sigma}\right)$$
(2.10)

平均ビット誤り率特性は、式(2.7)及び式(2.10)で示される各パスの誤り率の平均により

自然2進符号配置:
$$P_{e,m} = \frac{1}{m} \sum_{k=1}^{m} P_{k,m} = \frac{1}{m} \sum_{k=1}^{m} \frac{1}{2^{k}} \operatorname{erfc}\left(\frac{\delta}{\sqrt{2}\sigma}\right)$$
 (2.11)

回転対称形符号配置:
$$P_{qe,m} = \frac{1}{m} \sum_{k=1}^{m} \frac{2^{k-1}+1}{2^m} \operatorname{erfc}\left(\frac{\delta}{\sqrt{2\sigma}}\right)$$
(2.12)

から求められる。図2.10に多値QAM方式の誤り率特性を示す。ここで、図2.10(a)は式(2.10)より求められ る回転対称形符号配置における各パスの誤り率特性であり、図2.10(b)は、式(2.11)及び式(2.12)に従って計 算した平均の誤り率特性である。後述する等価CNR劣化量はこの図中の値からの差分により与えられる。

実際の伝送系では、雑音や歪などの各種劣化要因により符号間干渉(ISI, Intersymbol Interference)が発生し 符号伝送特性を劣化させる。この符号間干渉は、等価的に識別点に雑音が付加されたとみなせるため、回転 対称形配置の平均誤り率特性は、以下の式により計算される^[14]。





$$P_{qed,m} = \frac{1}{m} \sum_{k=1}^{m} \frac{2^{k-1} + 1}{2^m} \operatorname{erfc}\left[\frac{\delta}{\sqrt{2}\sigma} (1 - D_{ISI})\right]$$
(2.13)

図2.11は、式(2.13)を計算してえられる符号間干渉量に対する等価CNR劣化量を示す。この図から、伝送 系での固定劣化量を2dB以下に抑えるためには、総符号間干渉量を21%未満に抑えることが必要でありこ とがわかる。また、図2.11によって、無線回線設計での変復調器への許容劣化配分から変復調器での符号間 干渉の許容値が得られる。



2.4.2 量子化精度に対する符号間干渉量

ADC、DACおよびDSPデバイスの量子化誤差は、帯域内において一様に雑音電力が増加さ せ、符号間干渉特性を劣化させる。そこで、量子化精度による等価CNR劣化量は符号間干渉量を 計算することにより推定した。

2^{2m} Q A Mにおける符号間干渉量を計算するには、ランダムパルス列に対する応答を信号周期 T 毎に重ね合せることで得られるアイパターンから計算することが一般的である。このとき、識別 点t₀における符号間干渉量の最悪値D_{ISI}は、以下の式を用いて算出できる。

$$D_{ISI} = (2^m - 1) \times \frac{\sum_{\substack{n = -\infty \\ n \neq 0}}^{\infty} |g(t_0 + nT)|}{g(t_0)}$$
(2.14)

g(t):変復調系の単一パルス応答

故に、量子化精度に対する誤り率特性は量子化誤差を含む伝送系の単ーパルス応答g(t)から式 (2.14)より符号間干渉量を計算し、その値を式(2.13)に代入することにより求められる。式

(2.14)の計算において、nの範囲を土7とした場合には15段のPN系列に、土11とした場合には 23段のPN系列に、それぞれ相当する符号間干渉量が得られる。

量子化誤差を含む伝送系の単ーパルス応答g(t)は、理想的な伝送系の単ーパルス応答を演算器の 段数分、量子化を多段に行っていくことにより得られる。本解析において量子化は丸め(四捨五 入)を用いて行なった。ここで、ADCの量子化は、入力信号がアナログ信号であるために、一 旦、インパルス応答の最大値で規格化する処理を行った。また、ディジタルフィルタでの演算誤 差は構成によって異なるため、フィルタ内部での量子化は行わずに出力段での量子化のみとした。

図2.12にDAC、ADCの量子化精度に対する符号間干渉量D_{ISI}を示す。この図においてD_{ISI}は QPSK(m=1)について図2.7中のC点において計算した値であり、ディジタルフィルタの符号間干 渉量も含んでいる。変復調系のみの符号間干渉量は計算値からフィルタの符号間干渉量を差し引 くことによって得られる。また、他の2^{2m}QAMに対しては縦軸をそれぞれ(2^m-1)倍することに より得られ、256QAM、ADC=10bit、DAC=10bitの場合の符号間干渉量は12.45%(図2.7、C点) となる。

この図より変復調器の特性は量子化精度を12ビット以上とした場合の符号間干渉量はほぽフィ ルタの干渉量と一致し、10ビット以下の場合符号間干渉量は増加している。以上の結果より、量 子化精度を10ビット以上とした場合、等価CNR劣化量は変復調器よりもむしろフィルタに起因 するものが支配的となることがわかる。また、同図から符号間干渉量はADC、DACのうちビッ ト数の小さいほうに依存しているため、送受信端において同一の量子化精度を有するデバイスを 用いることが望ましいと考えられる。

以上の結果に示される量子化精度に対する結果は、ADCの入力レンジをフルに使用した場合の



値である。しかしながら実際には、フェージング環境下でも入力レンジを超えないように DRE(Decision Range Expansion)^[15]値だけ入力レンジを圧縮して信号がA/D変換される。こ のため、ADCの選定に際しては、図2.12の結果にDREを加味した分解能のデバイスを選定す ることが望ましい。

またさらに、加算器や乗算器等のDSPデバイスに関しても図2.12と同様の結論が得られた。

2.4.3 標本化速度と帯域内傾斜

アパーチャ効果の周波数特性H_a(f)はサンプリング間隔 r を用いて

$$H_a(f) = \tau \cdot \frac{|\sin \pi f \tau|}{\pi f \tau}$$
(2.15)

のように表される。また、2^{2m}QAM変調波(複素表現)は以下の式で与えられる。

$$s(t) = \sum_{k} (I_k + jQ_k) \cdot \gamma(t - kT) \cdot \exp(j2\pi f_c t)$$
(2.16)

式(2.15)、(2.16)よりディジタル処理型変調器出力s_d(t)は以下の式で与えられる。

$$s_d(t) = \int_{-\infty}^{\infty} h_a(\tau) \cdot s(t-\tau) d\tau = \sum_k (I_k + jQ_k) \cdot y_k(t) \cdot \exp(j2\pi f_c t)$$
(2.17)

ここで、 $h_a(\tau)$: $H_a(f)$ のフーリエ変換対

$$y_{k}(t) = \int_{-\infty}^{\infty} h_{a}(\tau) \cdot s(t - \tau - kT) \exp[j2\pi f_{c}(t - \tau)] d\tau = g_{I}(t - kT) + jg_{Q}(t - kT)$$
(2.18)

である。式(2.17)を用いて計算した変調波の周波数特性を図2.13に示す。この図よりDACのア パーチャ効果はキャリア信号の周波数及びサンプル数さらにディジタルフィルタのサンプル間隔 に依存し、帯域内に振幅偏差を生じさせる。またこの時、式(2.17)を直交検波することにより得 られるベースバンド信号は、

$$d_{I}(t) = \operatorname{Re}\left[\sum_{k} (I_{k} + jQ_{k}) \cdot y_{k}(t)\right] = \sum_{k} I_{k} \cdot g_{I}(t - kT) - \sum_{k} Q_{k} \cdot g_{Q}(t - kT)$$
(2.19-1)

$$d_{Q}(t) = \operatorname{Im}\left[\sum_{k} (I_{k} + jQ_{k}) \cdot y_{k}(t)\right] = \sum_{k} Q_{k} \cdot g_{I}(t - kT) + \sum_{k} I_{k} \cdot g_{Q}(t - kT)$$
(2.19-2)

で与えられる。式(2.19)からわかるように、アパーチャ効果による特性の劣化は同相成分g₁(t-kT) および直交成分g₀(t-kT)による符号間干渉により生じると考えられる。

このような符号間干渉による誤り率の計算は精度及び計算時間の点で級数展開法^[16]を用いるこ

とが便利である。この級数展開法を2^{2m} Q A M に適用した場合、例えば256QAM(m=4)の平均誤 り率特性は以下の式によって表すことができる^[4]。

$$P_{ea} = \frac{15}{64} \operatorname{erfc}\left(\frac{K_0 g_I(t_0)}{\sqrt{170}}\right) + \frac{15}{32} \frac{1}{\sqrt{\pi}} \exp\left[-\frac{K_0 g_I(t_0)}{\sqrt{170}}\right]^2 \sum_{i=0}^{y} \frac{K_0^{2i}}{(2i)!} \cdot M_{2i} \cdot H_{2i-1}\left(\frac{K_0 g_I(t_0)}{\sqrt{170}}\right)$$
(2.20)

ここで、 $g_I(t_o)$:識別時点における受信信号点振幅

 $H_n(z)$:エルミート多項式

M_n:符号間干渉のn次モーメント

であり、H_n(z)、M_nはそれぞれ次式で求まる。

$$H_{n+1}(z) = z \cdot H_n(z) - n \cdot H_{n-1}(z) \quad H_0(z) = 1, \quad H_1(z) = z$$

$$M_{2n} = -\sum_{i=1}^n \binom{2n-1}{2i-1} (-1)^i M_{2(n-i)} \frac{2^{2i} (16^{2i}-1)}{2i} |B_{2i}| \left\{ \sum_{l \neq 0} \left[g_I(t_0 - lT) \right]^{2i} + \sum_{l \neq 0} \left[g_Q(t_0 - lT) \right]^{2i} \right\}$$
(2.21)
$$(2.21)$$

*B*₂;:ベルヌーイ数。

以上述べたように、アパーチャ効果による等価CNR劣化量はキャリア周波数およびサンプリング 間隔 τ を与えることにより式(2.20)を用いて計算することができる。文献[16]によると式(2.21) は*i*≧5において値の収束が見られる。そのため、ここでも*i*=5として誤り率特性を求めた。

 $f_c = 4/T_b$ とした場合のキャリア信号のサンプル数 m_s に対する等価CNR劣化量($\tau = T_b/(4 \cdot m_s)$ 、 BER = 1.0×10⁻⁴)を図2.14に示す。ここで、横軸はキャリヤ信号のサンプル数を示す。この図より、変調多値数m=2(16QAM)以下では本要因による劣化は0.1dB以下であるため無視できる。しかし、m=4(256QAM)では8サンプルキャリアを用いても約1.3dBと無視できない。このため、256QAMでは補償方法の検討が必要である。







図2.14 アパーチャ効果による等価CNR劣化量

しかし、本要因によるナイキスト帯域(3dB帯域)内振幅偏差は8サンプルキャリアの場合0.5 dB程度であり、これと比較すると波形歪による劣化は変復調器よりもむしろ伝搬路を含めた送受 信装置によるものが支配的となる。また、現状の多値変復調器でのトランスバーサル等化器は5 dB程度の帯域傾斜が存在した場合でも波形歪補償が可能である^[15]。以上の理由から、256QAMに おいても8サンプルキャリアでもシグナチャ特性には影響を与えないものと考えられる。

2.4.4 クロックジッタによる影響

図2.7に示す変復調器において、変調キャリア信号あるいは再生キャリア信号はクロックを用い て発生されたと考えられることから、クロックジッタによる影響は、等価的にキャリアジッタと して扱うことができる。また、キャリアジッタによる劣化はガウス雑音が相加した効果とみなす ことができ、2^{2m}QAM信号の平均誤り率特性*P_e(N₁)*mは以下の式を用いて算出される^[3]。

$$P_e(N_I)_m = \frac{1}{m} \sum_{k=1}^m \frac{1}{2^k} \operatorname{erfc}\left[\frac{\delta}{\sqrt{2\sigma^2 + N_I}}\right]$$
(2.23)

ここで、N₁はキャリヤ信号の雑音電力である。また、キャリアの雑音電力はクロックの雑音電力 が相乗されたものとみなすことができるため、一周期当たりのキャリア信号のサンプル数をm_s、 クロックの雑音電力をN_{CLK}とすると、

$$N_I = m_s \cdot N_{CLK} \tag{2.24}$$

のように表すことができる。これらの式よりクロックジッタによる等価CNR劣化量*D_{CLK}*は次式で 求まる。

$$D_{CLK} = -10 \cdot \log \left[\frac{(C/N)_{\min}}{(C/N)_{CLK}} \right]$$
(2.25)

(C/N)_{min}:一定のビット誤り率を得るために必要な理想CNRの真値.

(C/N)_{CTF}:再生クロック信号の搬送波対雑音電力比

図2.15にクロックジッタに対する等価CNR劣化量(BER=1.0×10⁻⁴)の関係を示す。ここで、キャリア信号のサンプル数はm_s=4とした。この図より、等価CNR劣化量を0.5dB以下に抑えるためには256QAMにおいてクロックジッタとして46dB以上が必要であることがわかる。しかし、現状のクロック再生系においては再生クロックのCNRは約60dB^[17]得られており、この効果による劣化は問題にならないと考えられる。また、容易に良好なクロックが供給できることから上記の結果より従来のアナログ構成よりも良好な検波特性が期待できる。さらに、式(2.24)からわかるよ



うにクロックジッタによる影響はキャリア信号のサンプル数に比例して大きくなる。故に、キャリア信号はm_s=4が最適となる。

2.4.5 総合<u>のCNR劣化特性</u>

量子化精度、クロックジッタは雑音要因であるのに対し、アパーチャ効果は波形歪要因であるため、これらの要因を同時に解析することは不可能である。一方、変復調器総合の固定劣化量は個々の劣化量をdB加算するのではなく、個々の劣化要因から求められる符号間干渉量を加算し、総合の符号間干渉量から固定劣化量を算出することが簡易さと精度の面で優れている^[18]。そこで、符号間干渉量からDSP型変復調系総合の固定劣化量を見積った。

変復調系の固定劣化量を表2.5に示す。表2.5において、等価CNR劣化量の計算条件は現在市販 されているデバイスの特性範囲内で要求される伝送速度(10MBaud以上)を実現できるように設定 した。また、表2.5の値は変復調系のみの劣化量であり、実際の変復調器における劣化はこれにキャ リア再生回路等の同期回路による劣化が加算される。そして、同期回路の特性を従来の復調器と 同等とした場合、256QAMの等価CNR劣化量は約2dBとなる。これは従来構成の劣化量とほぼ同 じであり、DSP型とした場合、現状のデバイス技術を用いて従来と同等の特性が無調整で得ら れることが期待できる。

さらに、表2.5からわかるように総合の等価CNR劣化量のうち多値数が小さい場合には量子化精度による影響が支配的であり、多値数の増加に伴って標本化速度による影響が強くなることがわかる。そして、256QAMの場合は量子化精度よりも標本化速度による劣化が支配的となる。そのため、超多値変調方式において伝送速度の速いDSP型変復調器を設計する場合、ある程度の量

C N R 劣化量計算条件							
変調キャリア信号	8 sample/period		クロックジッタ		e	60 dB	
再生キャリア信号	4 sample/period		d	DAC、ADC		-	10 bit
中心周波数	4/T						16bit
BER		1.0×10 ⁻⁴		加算器			12bit
少化黄田		符号間干渉量(%)					
为11.安凶		4PSK		16QAM	64QAM	256	6QAM
量子化誤差		0.436		1.308	3.052	(6.54
アパーチャ効果		0.004		0.086	1.406	14	4.09
クロックジッタ		0.003		0.013	0.047	0.17	
計		0.443		1.407	4.505	20.80	
等化CNR劣化量(dB)		0.039		0.123	0.400	2	.025

表2.5 DSP型変復調系における多値QAM方式の等価CNR劣化量

子化精度の要求が満足されているならば量子化精度よりも波形歪の補償方法を検討していく必要 がある。またこのような定常的に発生する波形歪の補償方法としては、アナログあるいはディジ タルの補償フィルタを用いる方法が考えられるが、回路規模および実現の簡易性を考えた場合、 現状ではフェージング補償のために配置されている波形等化技術を用いることが有効な手段であ り、256QAMの固定劣化量も雑音要因の劣化量(約0.6dB)に抑えることが可能であると考える。

2.5 実験結果

前章において計算した結果より実際に10MHz程度の速度で動作するディジタル演算器及びDA C、ADC等を用い、ディジタル処理型変復調系を構成し、検証実験を行なった。

2.5.1 実験系の構成と動作確認

実験系の構成を図2.16に示す。また、実験系のパラメータ及び各デバイスの量子化精度を表2.6 に示す。本実験系では、1st-IF周波数までをすべてディジタル信号処理で実現している。また、表 2.6に示すように直交変調部(Fully Digitized Modulator)は高速デバイスを用いて構成しており、 約10.7MHzの直交キャリア信号が発生できるように設計されている。しかしながら、符号伝送速 度はDAC後に設けるBPFの帯域内に収める都合上、数kBaud程度とした。雑音付加は、CNR 測定の都合上、2ndIFにおいて行なった。復調器のクロックは再生系の影響を除去するために、変 調器のクロック直接入力して同期させている。また、データ発生用クロックは変調器に入力され るクロックを分周して使用した。ロールオフ伝送系は多値変調方式用に開発されたBTF(Binary Transversal Filter)LSI^{[19][20]}を用いて送信側(ロールオフ率:0.5)のみで構成した。



図2.16 実験系の構成

変	周方式	QPSK,16 QAM, 64 QAM, 256 QAM		
F 周波数		<1st>: 455 kHz, <2nd>: 10.7 MHz		
符号伝送速度		7.1 kBaud		
伝送系		ロールオフ (<i>α =</i> 0.5) , 送信側 100%配置	ROF(NEL製) ^[20]	
21	コック周波数	n×455 kHz, n=4,8,16		
乗算器		16bit×16bit, 11ns	CXB1010G(SONY)	
演 算 加算器		12bit	MC10179&MC10181 (motolora-ECL)	
器 D-A 変換器		10bit, 160 Msps	CX20201A(SONY)	
	A-D 変換器	10bit, 20 Msps	BX1500(SONY)	

表2.6 実験系の主要諸元及び使用デバイス

本実験系において観測された信号波形を図2.17(a)~(d)に示す。図2.17(a)は直交キャリア信 号波形である。この波形は、直交変調部を85.6MHz(10.7MHz×8)で動作させて中心周波数: 10.7MHzの直交キャリア信号の発生例であり、直交度の保たれている約10MHzのキャリア信号の 発生が可能であることが確認できた。図2.17(b)は、ディジタルフィルタ出力(図2.16-a 点)で観 測されたアイパターンである。この写真より、16値が識別できる良好なアイパターンであること がわかり、精巧な波形整形処理が行われていることが確認できた。図2.17(c)は、変調器出力(図 2.16-b 点)において、観測された変調信号スペクトルである。この図より変調波の帯域外減衰量 は50dB以上(D/A=10bit)であり、良好な変調波が無調整で得られることを確認した。図2.17(d)は 変調器出力と検波器入力をDAC、ADCを介さずに直接ディジタル信号を接続した場合に検波 器出力(図2.16-c 点)で観測された256QAMの信号空間点配置である。この写真より、ディジタル



処理段では256QAMといった多値変調方式においても良好な変復調動作が行なえることが確認 できた。

2.5.2 ディジタル処理型変復調系の特性

図2.18にDACの量子化精度を変化させたときの変調スペクトル写真を示す。この図より、D ACの量子化精度を変化させた場合、帯域外減衰量は1ビット当たり約6dB変化し、式(2.2)で示 した量子化ビット数とSNRの関係とほぼ一致している。これより、DSP型変復調系において量 子化精度に依存し対雑音特性が劣化することが確認できる。図2.19は、DAC及びADCの量子 化精度をパラメータとして変化させたときの等価CNR劣化量の測定結果である。この結果から、 変調多値数が多くなるに従って、等価CNR劣化量の変化が大きくなっており、表2.5に示した解析 結果と傾向が一致していることが確認でできた。しかしながら、この図から、DACの量子化精 度を変化させたときの劣化量の変化に対してADCの量子化精度を変化させたときの変化のほう が緩やかであることもわかる。この理由としては雑音を付加するために準備した周波数変換器等 における雑音によるものであると考えられる。

クロックジッタによる再生キャリア信号の周波数特性を図2.20に示す。この時、復調器は既存 のものを用い、変調器に入力されるクロック信号の周波数特性を図2.20(a)のように約10dB変化 させた場合の再生キャリア信号を測定した。この図より、変調器の入力クロック信号に影響され て、再生キャリア信号の特性が劣化していることが確認された。また、上記の両クロック信号を





用いてBER特性を測定した結果、CNR劣化量の差は約0.5dB(変調方式:256QAM、BER=1.0× 10⁻⁴)であり、解析結果とほぼ一致していることが確認された。

図2.21に各種変調方式におけるCNR対BER特性を示す。これより、固定劣化はBER=1.0×10⁻⁴ 点で4PSK,16QAM(第2パス)では0.1~0.2dB程度,64QAM(第3パス)で約0.5dB,256QAM (第1パス)で約2.5dBであった。この結果より、劣化量はほぼ計算値と一致しており2.4節で示し た解析手法の妥当性が 証明された。さらにBER=1.0×10⁻⁴点の劣化量とBER=1.0×10⁻⁶点の劣 化量を比較した場合、4PSK、16QAMではほぼ等しく、64QAM、256QAMと多値数の増加に伴っ て劣化量の増加が顕著に現われていることが確認された。これは2.4節で示したように、多値数の 少ない場合では、量子化精度による影響が大きいため雑音要因による劣化が支配的となり、多値 数の大きい場合には、標本化速度による影響が大きくなり波形歪による劣化が支配的となること を意味している。

以上の結果より、各変調方式の各劣化要因に関してほぼ解析通りの実験結果が得られた.



図2.21 DSP型多値QAM信号伝送系のの誤り率特性

2.6 むすび

ディジタル処理型変復調系での主要な劣化要因として考えられる量子化精度、アパーチャ効果、 クロックジッタについて等価CNR劣化量の解析手法を提案し、変復調系の固定劣化量を推定した。 その結果、現在市販されているデバイスを適用した場合に固定劣化量は256QAMで約2dBであり、 アナログ回路を用いた従来構成の変復調器とほぼ同等であることが確認された。さらに、多値数 に応じて劣化要因の影響度が異なり、多値数の少ない場合には量子化精度が、また多値数の大き い場合には波形歪要因であるアパーチャ効果が支配的となることが明かになった。最後に実際の 変復調系を試作し、実験によりディジタル処理型変復調系の動作確認を行なうとともに各種劣化 要因の変復調系に与える影響を測定し、計算結果とほぼ一致することを確認した。

以上の結果より、現状のデバイス技術を用いて256QAMといった多値変調方式においても大容 量変復調器の全ディジタル処理による実現の見通しが得られた。また、超多値変調方式の変復調

系設計に関しては、量子化精度よりも波形歪みの補償に重点をおいた設計が望ましく、現状では 等化器を用いることが有効な手段であると思われる。さらに現在の無線中継方式においてはマル チキャリア方式が主流であり、一波当たりの伝送容量は約15MBaudと比較的小さい。そのため、 本方式への適用は現状デバイスの信号処理能力でも十分可能であり、装置の小型、経済化さらに は無調整化が図れる有効な手段である。

【参考文献】

- [1] 堀川、荒木:"各種劣化要因のある多値変復調方式の誤り率特性",信学論 B, vol. J63-B No. 11, pp.1132[~] 1139 (1980)
- [2] 吉田、斉藤、山本:"非線形ひずみを有する増福器の16QAM信号伝送特性",信学論B, vol. J66-B, No. 4, pp.514[~] 520 (1983)
- [3] Y.Saito and Y.Nakamura:"256QAM modem for high capacity digital radio system", IEEE Trans on Commun., vol. COM-34, pp.799-805 (1986 Aug)
- [4] 荒木、斉藤、堀川:"級数展開法による誤り率計算法の多値QAM伝送系への応用",信学 論, vol。61-B, No。11(1978)
- [5]Wallace.C.S.:"A Suggestion for Fast Multiplier", IEEE Trans.on EC, vol. EC-13, No.1, pp.14[~] 17(Feb. 1964)
- [6]A. Avizienis:"Signed-digit number representation for fast parallel arithmetic", IRE Trans. on EC, vol. EC-10, pp.389[~] 400(1961)
- [7]高木、安浦、矢島:"冗長2進木を用いたVLSI向き高速乗算器",信学論D,vol. J66-D, No. 6, pp.683[~] 690(1983)
- [8]日経エレクトロニクス: "LSI化が進む並列演算方式による乗算器の回路方式をみる", 1978年5月29日号pp.76[~]90(1978)
- [9]榎本、山品:"ビデオシグナルプロセッサ(VSP)ULSIの高性能化",信学誌, vol. 76, No. 7, pp.715[~]720(1993.7)
- [10]トランジスタ技術:"アナログ回路技術のスピリット",1994年5月号(1994)
- [11]W. Kaster, : "High Speed Design Techniques", ANALOG DEVICES(1996)
- [12] 室谷正芳、山本平一著:"ディジタル無線通信", 産業図書, 第3章(1985)

[13]笠原正雄:"符号化変調方式II",信学誌, vol. 72, No. 2, pp. 217~226(1989年2月)

[14]H. Matue, H. Ohtsuka, and T. Murase:" Digitalized Cross-Polarization Interference

Canceller for Multilevel Digital Radio", IEEE J-SAC vol. SAC-5, pp.493[~]501 (1987.4)

- [15]白土、松江、村瀬:"ディジタル無線通信用ディジタルトランスバーサル形自動等化器",
 信学論 B-II, vol. J73-B-II, No.5 (1990)
- [16] Ho.E.Y. and Yeh. Y. S.:"A New Approach for Evaluating The Error Probability in The Presence of Intersymbol Interference and Additve Gaussian Noise", Bell. Syst. Tech. J., No.49, 9, p2249(1970 Nov.)
- [17]R. Colombo, et al:"A Quantized Digitally Implementable MMSE Algorithm for M-QAM Timing Recovery", 2nd ECRR, pp.113⁻¹²⁰(1989)
- [18]山本,森田,小牧:"多種の劣化要因をもつQPSK方式の誤り率特性",信学論,Vol. J58-B, PP.584-591(1975)
- [19]斉藤, 松江, 小牧:"高速・多値ナイキスト波形の実現法", 信学論, Vol. J67-B, No.3, PP.265-272(1984)
- [20]岡田、斎藤、中村:"多値ナイキスト波形整形用ディジタルフィルタヒSIの特性",1989年信学会 秋季全大, B-559(1989)

無線通信システムに適用可能なディジタル処理型高速直交変調器の構成方法について議論する。 始めに、従来のディジタル処理型変調器の構成とその無線通信方式に適用した場合の問題点とし てアナログ処理段で不要波成分(折返し雑音、ローカルリーク)の除去が困難であることを示す。 そして、この観点と演算量削減の観点から0次データホールドとIF帯での波形整形を特徴とする 2つのディジタル処理型直交変調器の構成方法を提案する。次に、この構成の変調器を実現する ために、クロックに同期したキャリア周波数を設定する手法及び0次ホールド処理に伴うチャネル 間の位相差補正を加味したベースバンドフィルタの最適設計法を示し、さらには各構成回路の実 現方法を示す。最後に、提案構成の2つの変調器を室内試作し、実験により各種性能を確認する。

3.1 はじめに

多値QAM信号を得るための直交振幅変調器は、2つのベースバンド信号をπ/2位相の異なる搬送 波で各々両側波帯搬送波抑圧(DSB-SC)変調し、それらを加算する構成として与えられる。現在、 ディジタルマイクロ波方式に用いられている多値QAM変調器は図3.1に示すようなアナログ信号 処理(Analog Signal Processing; ASP)を基本とした構成により実現されている。この構成にお いて2^{2m}QAM変調信号は、I-ch及びQ-chのm系列のデータ信号とそれに同期したクロック信号が 入力され、符号変換・誤り訂正符号化・速度変換等の送信論理処理を行った後、DACによりア ナログ信号に変換し、ミキサ、ハイブリッド、ローカル信号を用いて直交変調を行うことで得ら れる。このとき、送信論理(MOD Logic)回路から出力されるシンボルクロック(1/T,)が無線区間の 符号伝送速度となり、ローカル発振器の出力周波数f、が変調波の中心周波数となる。アナログ信号 処理の場合、振幅や遅延等の伝送特性をI-ch及びQ-ch間で完全にバランスさせること、及び直交 度を完全に90°に保つことが困難である。そのため、所要伝送特性を得るために各変調方式に対 して2信号間のアンバランス許容値が変調許容誤差として見積られ、規定されている。この許容 量は多値数の増加に伴って厳しくなる傾向にあり、QPSKが5°以下であるのに対し、256QAM の場合では直交位相誤差:土0.3°という厳しい値が要求される^{[1],[2]}。この256QAMに対する要求 値を満足させる直交変調器を実現することは難しく、精度向上のために様々な回路が付加してい る。DSP技術を直交変調器に適用する利点としては、直交変調方式におけるI-ch及びQ-ch間の 伝達特性を完全に同一にできることである。この利点を考慮してIF帯までDSP適用領域を拡 張した変調器の構成技術の開発が不可欠である。

-44-

第3章 ディジタル信号処理型直交変調器の構成法



図3.2 ディジタル信号処理型多値QAM変調器の基本構成

DSP技術の変復調への適用に関しては、数+kbpsという低い伝送容量のデータモデムの分野 においては研究が盛んに進められている^{[3]~[5]}。現在では、これにLSI技術の進歩、特に集積度 の向上の要素が加わりデータモデムの小型化、無調整化が図られている。DSP型直交変調器は、 基本的に、図3.1のASP型変調器におけるLPFをディジタルフィルタに、ミキサをディジタル 乗算器に、ハイブリッドを加算器に、置き換えることによって構成できる。図3.2はこのような素 子の置き換えによって実現されるDSP型直交変調器の基本的な構成例である。この図において、 直交変調を行う部分は高速のシステムクロック(*f_s*)で動作させ信号処理を実行する。また、DAC は、ASP型変調器ではベースバンド信号がアナログ回路との接点となるため、I-ch、Q-ch個別 に配置していたのに対し、DSP型変調器では変調信号がアナログ回路との接点となるため、変 調器出力端に配置される。シンボルクロック(1/*T_b*)とシステムクロック(*f_s*)との信号速度差は、図 3.2において、ASP型変調器でのDACの配置されていた部分にはFIFO(First-in First-out)バッ ファが配置され、FIFOバッファと補間フィルタ(Interpolation Filter)を用いて構成されるレート

変換器(Rate Conv.)を用いて吸収される。

しかしながら、図3.2に示す構成を用いているデータモデムは伝送速度が低く、信号処理を行な うためにサンプリング数及び演算語長を十分とっている。このため、データモデムの信号処理技 術をそのまま基幹回線のディジタル無線方式、即ち256QAMなどの超多値変調方式でかつ 15MBaud程度という大容量伝送方式へ適用することは、デバイスの動作速度および演算語長の制 限からサンプル数及び演算語長を十分にとれないため現状のデバイス技術を用いても困難である。

近年のディジタルアクセス回線の高速化に伴い、ADSL等の高速アクセス回線への適用を目的と して高速多値QAM変調器をDSPを適用して実現した例が報告されている^{[6]~[8]}。この変調器では、 信号処理の簡略化を行い、伝送容量の増大を図っているが。電話回線のような線路の周波数特性 により帯域が制限され、不要輻射成分による影響が他の回線に及ばない有線伝送路で使用される ものである。そのため、無線通信方式のように帯域外への不要輻射成分が厳しく制限され、かつ また、周波数変換が行われることへの考慮はされておらず、そのまま適用することは難しい。

本章では、以上述べた背景から、DSP技術をIF帯まで拡張することにより変調回路の高精度 化が図れ、かつ多値QAM方式を用いた大容量無線通信システムに適用できるディジタル信号処 理型高速直交振幅変調器の実現に向けた議論を行う。はじめに、従来のDSP型直交変調器を無 線通信方式に適用した場合の問題点を示し、これを解決するための変調器の構成法を示す。次に、 提案構成の実現するために、キャリア周波数の設定方法及び波形整形フィルタ設計方法を示す。 そして、これらの設計手法に基づいた変調回路の実現方法を示す。最後に、実験により各種性能 を確認し、設計手法の妥当性の検証を行う。

3.2 ディジタル処理型直交変調器の構成

3.2.1 従来の簡易構成法とその問題点

図3.2に示した一般的なDSP型変調器の構成において、変調処理クロック(f_s)とシンボルクロックとの速 度差を吸収するためにレート変換が行われる。このレート変換処理は、有理数あるいは非同期の場合には、 FIFOと補間フィルタを用いた複雑な構成となる。この部分が高速化を妨げる第一要因となっている。図3.3 は、Samuelliらによって提案されたDSP型多値QAM変調器の構成である^[8]。この変調器はADSLのような有 線伝送路への適用を目的としたものであり、 $T_b \cdot f_s = 4$ とすることでレート変換処理を簡略化している。さら にこの変調器は、図3.4に示すように、直交キャリア信号は最低限1周期当り4つのサンプル点で表現でき、 また、そのサンプル点の位相を

$$I - phase: \cos\left(\frac{n \cdot \pi}{2}\right)$$
, $Q - pahse: \sin\left(\frac{n \cdot \pi}{2}\right)$ (3.1)

とすることで"1→0→-1→0"の繰り返しとなることを利用し、多重回路(4-1 MUX)で直交変調処理を簡易に 実現している。

図3.5は、Samuelliらの変調器の出力をある中心周波数の無線帯域に周波数変換した場合の周波数特性である。ここで、チャネルフィルタには5次バタワース特性(BT=1.5)を用いている。この図に示すように、Samuelliらの変調器では、サンプルレートを極限まで落としているため、希望波(Desire Wave)に第2章で述べたような帯域内傾斜が見られる。このため、送信側で性能劣化が起こることが予測される。

直交変調器の無線通信方式への適用する場合、RF周波数での直接変調を行わない限り、任意の無線周波数 帯への周波数変換を考慮する必要がある。その際、他のシステムに影響を与える不要波成分の輻射は制限さ れる。この観点から、IF周波数は、送信装置でのフィルタリングにより、スプリアス除去が容易になるよ うに選択される。しかしながら、DSP型変調器の場合、デバイスの速度限界からIF周波数が選定される ため、不要波成分を十分に注意した設計が必要となる。この不要輻射に関してSamuelliらの変調器では、図 3.5に示すように、DSP折返し雑音(Spurious)及びローカル成分(Local Leak)の不要波成分が希望波の近傍







に現れている。このため、一般的なチャネルフィルタを用いても除去することが難しく、急峻なカットオフ 特性を有するフィルタを用いたスプリアス成分除去を行った場合、信号伝送特性への影響を与えることが予 測できる。

以上2つの問題点から、Samuelliらの変調器を無線通信方式に用いることは難しい。上記の問題点のうち、 帯域傾斜の簡易に解決する方法としては、

1) ゼロスタッフにより等価的にサンプルレートを上げる方法^[9]。

2) アンチアパーチャフィルタを用いて帯域傾斜を逆補正する方法^[10]。 の2つが考えられる。このうち、1)の方法は、サンプリングレートを2倍に上げて、データとデータの間に

"0"を挿入していくことで、演算を行わずに、ナイキスト帯域幅を広げるものである。2)の方法は、サンプリングレートを変えずに、アパーチャ効果の逆特性である

$$G(f) = \frac{\pi f T_s}{T_s \cdot \sin(\pi f T_s)}$$
(3.2)

の特性を有するディジタルフィルタを出力段に配置することで周波数特性の補正を行うものである。もう一 方のスプリアス成分の問題点に関して、ローカルリーク成分は、ベクトル周波数変換を用いることである程 度抑圧できる。しかしながら、希望波近傍の折返し雑音成分の除去は困難である。以上の理由から、従来構 成では、サンプリングレートを高くする以外に問題点を解決する手段がない。

本研究においては、上記の従来構成の問題点を、

1) IF帯での波形整形を行う方法。

2)0次ホールドを用いる方法。

以下の2つのアプローチにより解決することを試みた。以下の節では、これら2つの変調器構成と動作原理について説明する。

3.2.2 IF波形整形DSP直交変調器(IFWS-DMOD)

急峻な遮断特性を有するBPFとしては、セラミック、SAW、水晶などの誘電体フィルタが知られている。これらのフィルタは、素子特性上、Q値が高い(比帯域が狭い)ため、IF帯フィルタよりも、むしろ、RF帯フィルタとして携帯機を中心に用いられている。また一般に、フィルタ設計上、振幅特性と遅延特性はトレードオフの関係にあり、急峻な遮断特性を実現するには、遅延変動が犠牲となる。このため、振幅・遅延歪に対して厳しい要求性能のある多値QAM変調では、 伝送品質への影響なくこれら誘電体フィルタとの併用は困難であり、BT=1.5~1.6程度の比較的遅延変動が少ないバタワース型やトムソン型フィルタを主に使用している^[11]。

一方、誘電体フィルタの中でSAWフィルタは、ディジタルフィルタと似た手法で設計が行え、 挿入損失を犠牲にすれば、振幅特性を比較的自由に設計できると言う特徴を有している。そして、 この構成を用いたロールオフBPFが市販されている^[12]。そして、この波形整形BPFを用いた場 合、ベースバンドフィルタが簡易に構成でき、ミキサでの非線形操作による高調波除去フィルタ と共用できるため、直交変調器が簡易に構成できる。

IF帯波形整形DSP型直交変調器(IFWS-DMOD)は、このSAWロールオフフィルタを基本と した構成である。図3.6はIFWS-DMODの構成例である。この構成において、変調処理はSamuelli らの方法と同様に4逓倍シンボルクロックを用いて行われる。但し、ディジタルフィルタ(図3.6中 のTiming Filter)では、波形整形を行わずに、入力信号のタイミング位相を合わせる補間処理のみ



図3.6 提案構成1-IF波形整形(IFWS)型変調器

が行われる。変調処理後のDAC出力信号は、SAWロールオフフィルタの中心周波数(f_c)までアッ プコンバートされ、波形整形とスプリアス成分除去を同時に行う。ここで、ローカル発振器の周 波数は、以下の式で与えられる。

$$f_{local} = f_c - \frac{1}{T_b} \tag{3.3}$$

図3.6中のDAC出力段のLPFは、2nd-IF帯への信号の盛れ込みを防止するために配置され、 IF周波数域で十分な減衰量が得られる緩やかなフィルタを用いればよく、0~f_s/2の通過帯域内は アパーチャ補正のために、式(3.2)の振幅特性であることが望ましい。

各タイミングフィルタでの補間処理では、*T_b*/4間隔でI-chとQ-ch信号が交互に並ぶように、 *T_b*/2毎にその時刻での振幅値が計算される。このとき、タイミングフィルタの伝達関数は理想 L PFとなり、タップ係数はIF信号出力において所望の波形応答となるように、第4章で示す設計手 法に従って設計される。ここで、各チャネルのタイミング位相は

 $I-ch: +T_b/8 , 5T_b/8$

Q-ch: $+3T_b/8$, $+7T_b/8$ (=- $T_b/8$)

とることで、タップ係数はチャネル間で時間軸対称となり共用化が可能となる。

IFWS-DMODの信号処理速度は、最大でもf_bの4倍であり、第2章で述べた現状デバイスの性能を みると、デバイスの信号処理速度が伝送容量を制限する要因とはならない。また、回路規模に関 しても、タイミングフィルタが10タップ程度のFIRフィルタであり、直交変調処理も反転十多重で あるため問題とはならない。しかしながら、IFWS-DMODでの伝送特性は波形整形BPFの精度に 依存する。故に、この構成でのキーデバイスはSAWフィルタとなる。

3.2.3 0次ホールドDSP型直交変調器(ZH-DMOD)

0次ホールドは、離散的に処理された信号を連続信号に変換する際、データをある一定時間だけ 保持する操作であり、DACではアナログ的にこの処理を行い、インパルス状のディジタル信号 を階段状のアナログ信号に変換する。この操作は、また、簡易に離散信号を補間していく方法で あると捉えることができる。

図3.7は0次ホールドを用いたディジタル信号処理を示したものである。前述のように、従来構成では、データ信号(Data Signal)に対して処理レートが変調処理レート(*T_s*)となるように補間処理が行われる。このため、ここでのディジタルフィルタは*T_s*の速度で動作させることが必要となる。 これに対して、0次ホールド処理は、あるデータ信号(Data Signal)を次のデータ信号までホールド することであり、フリップ・フロップ(Flip-Flop)により簡単に実現できる。このため、ディジタ

- 5 0-

<u>第3章 ディジ</u>タル信号処理型直交変調器の構成法

ルフィルタの信号処理レートを最終段の信号処理レートより低く抑えることができる。またこの 操作により、直交変調処理とディジタルフィルタリングとの間にタイミング的な自由度が生まれ てくることとなり、変調処理部のみの高速化により高いIF周波数の選択が可能となる。これは、図 3.5で示したローカル信号の漏れ込みを希望波から遠ざけられることを意味している。

図3.8は、0次ホールドDSP型直交変調器(Zero order Hold Digitized Modulator; ZH-DMOD) の構成を示す。この図において、入力信号(レート: T_b)に対しては、波形整形処理を m_b 倍サンプリ ングレートのディジタルフィルタで行い、その1つの出力信号に対して m_c 回の直交変調演算が行 われる。このため、最終段のサンプリングレート(f_s)は、

$$f_s = \frac{m_b \cdot m_c}{T_b} \tag{3.4}$$

で与えられる。このZH-DMODを構成する際の前提条件として、以下の項目が挙げられる。

(1)0次ホールドレート(m)が整数であること。

(2)直交キャリア信号が4sample/periodであること。

条件(1)は0次ホールドデータのスムージング方法に起因したものである。つまり、図3.7中のディ ジタルフィルタから出力される直交変調処理部への入力信号(Input Data)が、唯一、源波形と一致



図3.8 提案構成2-0次ホールド型変調器

した信号であり、0次ホールドデータはアナログフィルタによるスムージング処理により源波形 に近づけられる信号である。このため、もしm。が実数であった場合、源波形と一致した振幅を与 える時刻(データの切替り点)が入力信号の時刻と異なるため、変調信号からアナログフィルタ リングによって正確な源波形が再生できなくなる。故に、入力信号の時間が保持される条件(1)を 設ける必要がある。

条件(2)は、0次ホールドデータの特性としてチャネル間の振幅比が保持されてしまうことに起因 する。つまり、入力信号時刻のみが正確にI-chとQ-chの振幅比を与えられ、0次ホールドデータ時 刻では必ずしも源信号のチャネル間振幅比と同一となるとは限らない。しかしながら、式(3.1)の 直交キャリア信号以外の場合には、両チャネルともに信号振幅を有しているため、直交変調演算 では、両チャネルの入力信号がある一定の比率で合成されてしまうこととなる。その結果として、 スムージングを行っても0次ホールド時刻では両チャネルの源波形の平均値が振幅として与えられ、 平均値との振幅誤差が各チャネルでの波形歪となって現れてくる。これを式(3.1)で与えられる直 交キャリア信号で変調処理を行った場合、片チャネルのキャリア信号振幅が0となるため、スムー ジングによる振幅変化に対してもう一方の信号振幅を無視できるため、正確に源波形への近似が 行えることとなる。

ZH-DMODにおける中心周波数f_cは条件(2)より、

$$f_c = \frac{f_s}{4} \tag{3.5}$$

となる。また、第2章で述べたように、DACは約250MHz、12bitの性能の市販デバイスがあり、 直交変調処理も簡易な処理で実現できることから、IF周波数を50MHz以上に設定することが計算 上可能である。しかしながら、この構成では、ディジタルフィルタと直交変調処理のナイキスト 帯域が異なるため、折返し雑音の振る舞いに留意したキャリア周波数設定が必要となる。また、 回路規模及び伝送性能は、ディジタルフィルタによって左右される。以上の理由から、第3.3節で は、ZH-DMODにおけるキャリア周波数とディジタルフィルタの設計手法について説明する。

<u>3.2.4 マルチキャリア方式用変調器の構成</u>

DSP型変調器を用いることの利点の一つとして、変調器コストの低減が挙げられ、これは、マ ルチキャリア方式用変復調装置のコスト削減に結びつく。図3.9(a)は、高畑らによって開発された 衛星通信システム用一括変調器の構成例^[13]である。この変調器は、64kbps、12系列の入力信号 を一括でQPSK変調を行う変調器である。この変調器では、入力信号を周波数軸上に並べるため

- 5 2-

に、IFFT(Inverse Fast Fourier Transformer)をメインプロセッサとして構成されるトランスマル チプレクサ(TMUX)を使用しいる^[14]。また、周波数軸上への変換をベースバンド帯で行った後、ア ナログ直交変調器を用いてQPSK変調が行われる。この図に示すようなIFFTを用いた一括変調器 の構成方法は、マルチキャリア信号の複素包絡線が離散フーリエ変換式であることに着目した構 成方法であり、現在、次世代移動通信方式用の変調方式として期待されているOFDM方式もこの 一括変調器構成法をベースに構成されている。

回路規模の点から図3.9(a)の構成は、高畑らの論文によると、8波以上のマルチキャリア伝送に



(a) 一括変調器の構成



(b) DSP型モデム並列型の構成

図3.9 マルチキャリア伝送方式用変調器の構成例

有効であり、少ないキャリア数では個別に変調器を準備した構成法が有利であることが述べられている。また、この構成での伝送容量は、IFFTプロセッサの動作速度/キャリア数に制限される。さらに、3.1節で述べたように、多値QAM直交変調器のDSP適用の利点は直交変調処理のDSP化であり、図3.9(a)ではASPによって直交変調処理によって行われている。以上の理由から、図3.9(a)に示す一括変調器の構成はDMR用マルチキャリア変調器にはあまり適していない。

図3.9(b)はZH-DMODを用いたマルチキャリア伝送方式(4 マルチキャリア)に適用した場合の 変調器の構成例を示す。ここで、各キャリアの変調器には、外部から共通のクロック入力され、 同一 | F周波数の直交変調信号が生成される。そして、各波個別に用意したローカル発振器(*f*_{c1} ~ *f*_{c4})を用いて2nd | Fに周波数変換したところで各キャリアの変調波を合成する。図3.9(b)では、 直交変調処理をDSPで行い、周波数軸上への配置をASPで行っており、図3.9(a)の構成は機能 分担が異なる。これにより、各キャリア毎に精度のよい直交変調波を得ることができる。 IFWS-DMODの場合には、図3.9(b)はDAC出力段のBPFをLPFに、BPF(#1~#4)をSAWロール オフフィルタに置き換えた構成となる。

本構成でのもう一つの利点は、ディジタル無線回線における | F帯のクロスコネクトに対し柔軟 に対応できることである。クロスコネクトは通信網を制御する上で伝送路割り当ての迅速化、最 適化に重要な技術であり、無線中継方式においてもFDM形、 | Fスイッチ形のクロスコネクト が提案されている^[15]。そして、DSP型変調器を並列に配置した構成を用いる場合、 | F帯での 切り替えをディジタル信号として扱えるため特性の劣化がなく、さらに周波数の切り替えに対し ても | F帯のアナログ回路を変更する必要はなく柔軟に変復調器の配置変更に対応できる。

<u>3.3</u> 直交変調器の設計

ここでは、第3.2.3節で示したZH-DMOD構成の設計手法について述べる。

3.3.1 キャリア周波数設定方法

直交変調に用いる正弦波対(sin、cos)信号はDSPで用いられる信号源の中で、最も基本的な信 号源であり、様々な方法が提案されている。これらの正弦波発生器は、大きく以下のように分類 できる。

- (1) ROMテーブルを用いる方法^{[14],[16]}。
- (2) 差分方程式を用いる方法^{[17].[18]}。
- (3) Cordicアルゴリズム^[19]を用いる方法^[20]。

このうち、(2)及び(3)の方法は巡回型ディジタルフィルタを用いるものであり、回路は小 さく構成できるが、系の安定性に問題がある。一方、(1)の方法は発振精度に応じてROMテー ブルの規模が大きくなるが、系としては安定している。無線通信分野においては、キャリア再生 や周波数ホッピングなど周波数に対する細かい制御が要求されるため、制御が簡単で系が安定し ている(1)の方法が一般的に用いられている。この場合、ROMテーブルの回路規模は、様々 なテーブル/ディジタル演算はハイブリッド方式により小型化が図られ、DDS(Direct Digital Synthsizer)^[21]やディジタル周波数変換器^[10]等のLSIが実現されている。本研究では、(3) の方法に基づいて検討を進める。

図3.10はROMテーブルを用いたキャリア信号発生回路の構成例を示したものである。ここで、 ROMテーブルには、1周期分のsin,cos関数値を格納しておき、外部からキャリア周波数(クロッ ク当りの位相変化量)を設定する。そして、内部では外部制御値を累算することによりキャリア信 号位相を発生させ、この値をROMテーブルのアドレスとして与えることでキャリア信号の関数 値を順次読み出していくものである。このようにDSPによりで発生させたキャリア信号*C_a(t)*は

$$C_{a}(t) = A_{1} \sin(2\pi f_{c}t) + A_{m_{c}-1} \sin[2\pi f_{m_{cs}-1}t] + A_{m_{c}+1} \sin[2\pi f_{m_{cs}+1}t] + A_{2m_{c}-1} \sin[2\pi f_{2m_{cs}-1}t] + A_{2m_{c}+1} \sin[2\pi f_{2m_{cs}+1}t] + \dots$$
(3.6)

m_{cs}:キャリア信号の一周期当たりのサンプル数。

A_k:信号成分のキャリア振幅。

のように表現できる。式(3.6)の第1項が基本波成分(A_1 、 f_c)であり、第2項以降は高調波成分となる。この高調波成分の中心周波数 f_k 及び信号 A_k 振幅は、

 $f_k = k \cdot f_c \ , \ k > 2$

(3.7-1)





図3.11 ディジタルキャリア信号の周波数特性

$$A_k = \frac{T_s \cdot \sin(\pi f_k T_s)}{\pi f_k T_s} , \quad T_s = \frac{1}{m_{cs} \cdot f_c}$$
(3.7-2)

のように表すことができる。図3.11はm_c=4とした場合にキャリア信号発生器より得られる信号の周波数特性の計算結果である。図3.10および式(3.6)より発生させたキャリア信号には多数の高調波が含まれていことがわかる。

また、キャリア周波数をなるべく高い周波数に設定することを考えた場合、直交変調処理部のサ ンプリング周波数は、ベースバンド波形整形フィルタのサンプリング周波数f_{bs}よりも高くする必 要があり、各ナイキスト帯域を比較すると、

$$BW_{c_nyquist}\left(=\frac{m_c \cdot f_c}{2}\right) > BW_{b_nyquist}\left(=\frac{f_{bs}}{2}\right)$$
(3.8-1)

$$f_{bs} = \frac{m_b}{T_b} \tag{3.8-2}$$

となる。これは、直交変調処理部のナイキスト帯域内にベースバンドフィルタの折返雑音成分が 現れてくることを意味しており、この成分も一緒に直交変調処理されてしまう。

図3.12は、符号速度T_bに対して独立にキャリア中心周波数を設定した場合(m_b=4、m_c=5、f_c= 5.0)の変調器出力周波数特性のシミュレーション結果である。図3.11(a)に示すように、式(3.6)の 各高調波により変調されたディジタルフィルタの折返雑音成分が主変調波の近くに現われる。こ のために変調器出力から得られる変調波は図3.12(b)に示すように歪む。この歪は狭帯域フィルタ を用いても除去することは困難である。データモデムではフィルタリング等の高いサンプリング

レートで信号処理が実現でき、直交変調器とディジタルフィルタのナイキスト帯域を同一にして いたため、このような高調波成分による影響は問題とはならなかった。ZH-DMODでは直交変調器 とベースバンドディジタルフィルタの処理速度が異なることに起因するこのような高調波成分に よる影響を考慮に入れてキャリア周波数を設定しなければならない。

この要因による変調波の歪みを除去するためには、直交変調されるベースバンド信号の折返雑音 成分が主変調波と重なり合うように設定できれば解決できる。つまり、キャリア信号の高調波成 分によって変調された信号の折返雑音成分は、

$$f_{k,m,\pm 1} \pm k_b f_{bs} \quad k_b : \text{integer}(\neq 0) \tag{3.9}$$

を中心周波数として現れてくる。このため、

$$f_{k_c \cdot m_c \pm 1} - f_c = k_b f_{bs} \tag{3.10}$$

の関係を満たすように、*f*_eを選択すればよいこととなる。この関係を満たす解の一つは以下の条件 式で与えられる。



設定した場合の変調スペクトル



 $f_c = n \cdot f_{bs}$

(3.11)

式(3.11)に従って、キャリア周波数を設定した場合 (m_b=4、m_c=4、f_c=4.0)のシミュレーショ ン結果を図3.13に示す。図3.13(a)はキャリア信号の各高調波による変調信号を示しており、この 図からベースバンド信号の折り返し雑音は主変調波と重なり合っていることがわかる。ここで、 フィルタの折り返し雑音は主変調波と同一信号であること。また、式(3.6)の各高調波のうちm_c +1項による変調成分とm_c-1項による変調成分は逆位相で重なり合うため、合成後の折返し雑音成 分の振幅はほとんど無視できる。以上の理由から主変調波と折り返し雑音が重なり合っても変調 特性には影響を与えない。このようにT_bに対し式(3.11)の条件を満たすようにキャリア周波数を 設定することにより図3.12(b)に示すように良好な変調スペクトルを得ることができる。さらに、 図3.12(b)中の破線は、4次のバタワースフィルタをチャネルフィルタとしてDAC出力に配置し た場合の周波数特性であり、実際に変調器から出力される信号の周波数特性を示している。ベー スバンドで波形整形を行った場合、この図からもわかるように、変調波の最近傍に現れる不要波 成分がディジタルフィルタでの折返し雑音となるため、4倍サンプリング以上で波形整形を行えば、 不要波成分は簡単なフィルタで除去できることがわかる。

3.3.2 ベースバンドフィルタの設計

ディジタルフィルタの代表的な構成方法にはFIR(Finite Impulse Response)とIIR (Infinite Impulse Response)がある^[22]。IIR型はFIR型よりも回路規模に関して優れているが、系 の安定性を保つ設計が難しい。このため現在では、FIR型を中心にフィルタ構成法の検討が進めら れている。ここでのZH-DMOD用ベースバンドフィルタもFIR型ディジタルフィルタを採用して設 計を行った。

伝送路を設計する場合、信号入力から復調識別器までが伝達関数*X(f)*で規定された伝送系である 必要がある。そのため、各フィルタは、以下の式を満足するように設計される。

$$X(f) = S(f) \cdot B(f) \cdot \prod_{n} H_{n}(f)$$
(3.12)

B(f) ($\Leftrightarrow b(t)$) :ディジタルフィルタの伝達関数。

S(f) ($\Leftrightarrow s(t)$) :入力信号の伝達関数。

(括弧内はフーリエ変換対を示す)

である。このうち、S(f)は入力信号としてNRZ信号を用いた場合、

$$S(f) = T \cdot \frac{\sin(\pi fT)}{\pi fT}$$
 (T:シンボル周期) (3.13)

で与えられる。また、H_n(f)は送信装置及び受信装置内のチャネルフィルタ、分波フィルタ等の不要波成分除去を目的とした伝送路上でのフィルタを意味しており、波形整形フィルタを設計する場合では、以下の式で与えられる理想LPF(振幅:A、帯域幅:BW)として計算をする。

$$H(f) = \prod_{n} H_{n}(f) = A \cdot \operatorname{rect}\left(\frac{f}{2 \cdot BW}\right)$$
(3.14)

$$z z \overline{c}$$
, $\operatorname{rect}(x) = \begin{cases} 1 & |x| \le 1/2 \\ 0 & |x| > 1/2 \end{cases}$ (3.15)

そして、波形整形フィルタ設計後に伝送特性に影響を与えらないようにH_n(f)が決定される。X(f)は 伝送路の無歪条件を満足するものが伝送方式に応じてにより選択される。ここでは、最もよく用 いられるロールオフ伝送系Roll(f):

$$Roll(f) = \begin{cases} 1 & 0 \le fT \le \frac{1}{2}(1-\alpha) \\ \frac{1}{2} \left[1 - \sin\left\{\frac{\pi}{2\alpha}(2fT - 1)\right\} \right] & \frac{1}{2}(1-\alpha) \le fT \le \frac{1}{2}(1+\alpha) \\ 0 & \frac{1}{2}(1+\alpha) \le fT \end{cases}$$
(3.16)

 α :ロールオフ係数(0< $\alpha \leq 1.0$)

を対象として、伝送系の設計を行った。その他にもガウスフィルタやパーシャルレスポンスが一般的な伝送路構成法としてある。

以上まとめると、ディジタルフィルタの伝達関数B(f)は以下の式で与えられる。

$$B(f) = \frac{Roll(f)}{S(f)}$$
(3.17)

この式において、Roll(f)の振幅は帯域外で0となるため、H(f)の項は無視でき、フィルタ設計上 は、H(f)は高調波除去フィルタとして加味される。また、式(3.16)は、一つのフィルタで波形整形 を行い、伝送系を構成する場合の伝達関数である。伝送系を構築する場合、隣接チャネルの影響 を除去するため、復調器側にも波形整形フィルタを配置する方法が一般的に採られており、その 配分率は送受均等が最も特性がよいことが知られている。この送受均等配置の場合、以下のよう な伝達関数で波形整形フィルタの設計が行われる。

$$B_t(f) = B_r(f) = \sqrt{\frac{Roll(f)}{S(f)}}$$
 (3.18-1)

$$B_r(f) = \frac{\sqrt{Roll(f)}}{S(f)} , \quad B_r(f) = \sqrt{Roll(f)}$$
(3.18-2)

タップ係数は伝達関数B(f)をフーリエ変換することにより得られるインパルス応答b(t)を任意の 初期位相からタップ間隔(=T_b/m_b)でタップ数分の標本化をすることにより決定できる。

表3.1にディジタルフィルタの設計パラメータを示す。タップ係数は上記の方法で得ることがで きるが、演算語長、打ち切り誤差等の劣化要因により要求性能を簡単に満足させることは困難で ある。このため、表3.1に示されるハードウェアパラメータを設定した上で、タップ係数の最適化 の設計が行われる。ディジタルフィルタにおけるタップ係数の設計手法については帯域内の位相 特性、リップル特性あるいは帯域外減衰特性を評価基準として設計を行った結果が報告されてい る^{[23],[24]}。多値QAM変調方式の符号伝送系を設計する場合、第2章で示したように符号間干渉特性 が誤り率特性に大きな影響を与える。このため、波形整形フィルタの設計では"符号間干渉量" が性能評価ファクタとして最も重要である。ここでは、ディジタルフィルタの設計において最も 一般的に用いられている最適化手法である窓関数法^[25]を用いて、フィルタの評価基準を符号間干 渉量としたタップ係数の最適設計を行う。

適当な窓関数w(t)を用いてフィルタのインパルス応答b(t)を重み付けした伝達関数b'(t)を以下のように生成する。

$$b'(t) = b(t) \cdot w(t)$$
 (3.19)

また、ディジタルフィルタの設計に用いられる窓関数w(t)の代表例^[25]を以下に示す。

$$w(t) = a_1 + a_2 \cos\left(\frac{2\pi}{a_w \cdot L}t\right) + a_3 \cos\left(\frac{4\pi}{a_w \cdot L}t\right)$$
(3.20)

ここで、Lは窓の幅であり、各種窓関数の係数は以下のようになる^[26]。

赤池:	$a_1 = 0.64$	$a_2 = 0.48$	<i>a</i> ₃ =-0.12	$a_w = 1.0$
Hamming:	$a_1 = 0.54$	$a_2 = 0.48$	$a_3 = 0$	$a_w = 1.0$
Hanning :	$a_1 = 0.5$	$a_2 = 0.48$	$a_3 = 0$	$a_{w} = 1.0$
Blackmann :	$a_1 = 0.36$	<i>a</i> ₂ =0.49	<i>a</i> ₃ =0	$a_w = 0.1$
Rosenfield ^[27] :	<i>a</i> ₁ =0.381	$a_2 = 0.5$	$a_3 = 0.119$	$a_w = 0.1$

窓関数法によるタップ係数の最適設計では、始めに、式(3.19)で与えられる伝達関数を最適初期 位相からT_b/m_b間隔で標本化することによりタップ係数(c_k)を決定し、このc_kに対してハードウェア パラメータを加味したISI量を計算する。これを様々な窓関数の条件下でのタップ係数に対して行 い、最小ISI量となる計算条件の探索により最適なタップ係数を求めていく。この時、ISI量の計算 は以下のように行っていく。

ディジタルフィルタの入力信号s(t)に対する時間応答及び周波数応答は以下の式で与えられる。

$$b_{tfo}(t) = \sum_{k=1}^{n} c_k \cdot s \left(t - k \frac{T_b}{m_b} \right)$$
(3.21)

$$B_{tfo}(f) = S(f) \cdot \sum_{k=1}^{n} c_k \cdot \exp\left(-j2\pi f \frac{kT_b}{m_b}\right)$$
(3.22)

伝送系のISI量を算出するには、まず、s(t)としてパルス幅T_bの単一パルス信号を入力した場合の 復調器識別時点での時間応答波形を求める。この時、ハードウェアパラメータを加味した時間領 域での量子化、フィルタ系を考慮した周波数領域でアナログフィルタリングを伝送路上での配置 順に行っていく。この計算で時間領域と周波数領域の変換は、一般的にフーリエ変換により行わ れる。この時間応答波形から第2章で示したアイパターン法により任意のタイミング位相のISI量を 計算する。そして、ISIが最小となるタイミングを識別点とし、そこでのISI値を伝送系のISIとなる。 図3.14はある最適初期位相のもとで窓の幅Lに対する符号間干渉量の計算例を示す。この計算例 は、以下のパラメータにおいて計算したものである。

タップ間隔	: T _b /4	演算語長	:∞
タップ数	: 4 8	出カワード長	:∞
伝達関数	: $\Box - \mu t \overline{J}(\alpha = 0)$.5)、送信100%	配置

ハード ウェア		・サンプリングレート ・タップ数 ・演算語長 (タップ係数精度) ・出カビット数
性	能	・帯域外減衰量 ・帯域リップル ・符号間干渉量



の設計パラメータ

表3.1 ディジタルフィルタ

-61-
また、ISIは第2章で示したのようにアイパターン法(n=±7)を用いて算出している。この計算結果 では、窓関数幅を変化させることによりISI=0.15%を得られる条件が見つけ出されている。この 値は第2章の式(2.13)を用いて換算すると、256QAMでの等価CNR劣化量は約0.3dBとなる。

次に、ZH-DMODにおけるタップ係数の事例について述べる。ZH-DMODでは構成条件として式 (3.1)で与えられる直交キャリア信号を用いることが挙げられている。このような直交キャリア信 号を用いた場合、図3.15(a)に示すように、同一タイミングの入力信号でもQ-ch信号がT_sだけ遅れ て出力される。これは、キャリア周波数の設計条件である式(3.11)では、常にデータクロスポイ ントとキャリア信号の初期位相が揃っており、また、sin信号の0位相である最初のT_s間の振幅= "0"となることに起因している。このため、ZH-DMOD用のタップ係数を算出するには、図 3.15(b)のように、I-Qチャネル間でタイミング位相差を与えることを考慮した設計しなければな らない。このタイミング位相差のT_bで規格化した補正量P_{dif}は、

$$P_{dif} = \frac{1}{4 \cdot m_b} \tag{3.23}$$

で表される。そして、このP_{dif}は両チャネルに均等に与えることが望ましい。これは、図3.15(b) に示すように均等配分では、時刻0で対称なインパルス応答となり、タップ配列を逆にすることで 両チャネルのタップ係数が同一にすることができるためである。これにより、タイミング位相の 異なる2つのタップ係数の共用化を図ることが可能となる。

ZH-DMODのタップ係数設計例を以下に示す。この設計において条件は、

符号間干渉量	: < 0.4%
直交変調器	$: m_b = 4, f_c = 4$
伝達関数	:ロールオフ(α=0.5)、送信100%配置

のように設定した。ここで、符号伝送系での許容劣化量は、一般的に0.5 d B 以下が目標とされ、



図3.15 ZH-DMODにおけるチャネル間位相ずれ

1	96	1 1 1	 1 1 1	1 1 1	
2	-64		 		
3	-320		 		
4	-288		 		
5	128		 *****		
6	608				
7	576				
8	-128				
9	-608				
10	96				
11	1889			****	
12	2785				
13	288				
14	-5891				
15	-11846				
16	-10885				
17	1921				
18	25196		 		
19	50296				
20	65535		 	*****	
21	63198		 		
22	44501				
23	18761				
24	-2465				
25	-12134				
26	-10725				
_ 27	-4130		 		
28	1313				
29	2817	L			
30	1441	L	 		
31	-224		 		
32	-576		 		
33	64				
34	640		 		
35	512	_	 		
36	0		 		
37	-352		 		_
38	-256	L	 	*****	
39	0		 		į
40	128				i

表3.2 ZH-DMO D構成用タップ係数の計算例

これを256QAMにおいて実現するためには、フィルタでの符号間干渉量は2値信号換算で上記の 値以下でなければならない^[28]。また、ハードウェアパラメータは、3.3.1節の結果から不要波除去 には4倍サンプリングで十分であり、これを条件として採用した。表3.2にタップ係数の計算例を 示す。この表の係数は、

窓関数	:赤池(L=10)	タップ係数語長	:16bit
タップ数	:40	出カワード長	:12bit

の条件下で求めたタップ係数であり、2値信号換算ISI=0.049%である。図3.16は、入力信号に 16値NRZランダム信号を用いた場合の出力アイパターンである。この図から、I-chが+T_b/32、 Q-chが-T_b/32で16値のアイが開いており良好な特性が得られている。また、変調器出力の周波数

特性を図3.17に示す。この図から、図3.13に観られる希望波の帯域内傾斜もほとんど観られず、 タイミング位相差補正により良好な変調波が得られることがわかる。

3.4 変調器の回路実現

3.4.1 ベースバンド論理処理回路

多値QAM変調器では、直交変調を行う前段階の処理として、データスクランブル、信号点配置 変換、誤り訂正(Forward Error Correction, FEC)符号化が行われる。本章で示した多値QAM変調 器の構成では、これらの処理は送信側論理回路(MOD Logic)において行われる。ここでは、MOD





図3.17 ZH-DMOD出 力周波数特性

Logicの実現方法について示す。

符号伝送系に対して、"0"あるいは"1"が連続するして入力されると受信側での抽出クロッ クパルスの欠落を生じる。また、"0"と"1"が交互に発生するなどのある決まったパターンの 信号が入力された場合には、周波数特性に片寄りが生じる。このようなパターン効果による劣化 を防ぐ目的から、信号伝送系においては、送信信号のマーク率がランダムに50%となるようにス クランブル処理が施される。図3.19(a)は、256QAM方式に用いられているスクランブラの構成例 である。多値QAM方式では、複数系列の信号が同時に入力されるため、前後のビットだけでなく、 系列間の相関もパターン効果を発生させる要因となる。そのため、図3.19(a)に示すように一つの M系列発生器から擬似ランダム(PN, Pseudo-Noise)パターンを発生させ、分配回路により互いに 相関のない複数系列のPNパターンに分配する、この信号をスクランブルパターンとして用い、各 系列入力信号の排他的論理和(EX-OR)をとることにより送信信号をランダムにする。

第2章で述べたように、多値QAM方式ではπ/2毎の位相不確定性を排除するために回転対称型符 号配置が用いられている^[29]。図3.19(b)は256QAMの回転対称型符号配置への信号点置換回路実 現例である。回転対称型符号配置へは、この図のように、第1パス信号対しては差動符号化、第2 パス以上の信号は第1パスの信号に応じた論理操作により置換される。受信側では、復調した信号 に対して再度送信側と同じ論理操作を施すことで元の信号点配置に戻す。この回路の2^{2m}QAM方式 へ適用するには、信号系列数mに応じた第2パス以上の拡張/削減により実現できる。

DMR方式では、残留誤り抑圧を目的としてBCH (Bose-Chaudhuri-Hocquenghem)符号や RS (Reed-Solomon)符号といったブロック誤り訂正符号^[30]が適用されている。このFEC符号 化/復号は、図3.19(b)に示すように、信号点置換回路の中間処理として実行される。また、ブ ロック符号誤り訂正処理ではデータフレームを構成した冗長ビットの付加/削除が施され、これ に伴う、この冗長ビット分の速度変換処理としてPLLを用いたクロック周波数変換も行われる。 この冗長ビットを含めた符号速度が無線区間での符号速度となる。SDH対応DMR方式では、 BCH(255.239)符号が用いられ、冗長ビットのほかに制御ビットされるデータフレームが構成さ れる。符号化変調の場合には、誤り訂正処理と信号点置換処理が同時に行われるため、図3.19(b) の全てが符号化変調用の符号器/復号器^[31]となる。

3.4.2 直交変調処理回路

DSPの高速化手法の一つとして、パラレル処理が考えられる。直交変調処理は、ディジタルフィルタの 信号処理と異なり前後の信号との演算を行わないため、このパラレル処理は簡単に適用することができる。

- 6 5-





(a) スクランブラ



図3.18 ベースバンド論理回路

しかしながら、パラレル処理の欠点は、並列処理の数に比例して回路規模が増大することである。故に、パ ラレル処理型直交変調器を実現するためには、回路の簡略化が行えるかを判断する必要がある。

図3.3に示した簡易構成は、初期位相:0で π /2毎にサンプルした直交キャリア信号を用いることで、並 列処理で直交変調器を実現しているものである。図3.3に示したように4sample/periodの場合には、信号反 転とパラレル-シリアル変換処理で実現できる。しかしながら、第2章で示したように、アパーチャ効果に起 因する帯域内傾斜を少なく抑えるためには、 $m_{cs} \ge 8$ の場合を考慮しておくこと、また、前節までに示した変 調器構成方法を検証する必要がある。以上の理由から、ここでは、 $m_{cs} = 8$ の場合について、並列処理型直交 変調器の設計を行っている。

直交キャリア信号は、図3.9に示したように、NCOとROMテーブルで発生することができる。この図は、 周波数シンセサイザを実現する構成であり、キャリア信号の周期毎に同位相のアドレスが読み出されるとは 限らない。これに対し、式(3.11)で与えられるキャリア周波数の設定条件は、入力データ毎に1周期分のキャ リア信号との演算を行うことを意味しており、ここでの直交変調演算は、

$$S(kT_s) = I(kT_s) \cdot \cos\left(\frac{2\pi}{m_c}kT_s\right) + I(kT_s) \cdot \sin\left(\frac{2\pi}{m_c}kT_s\right) \quad k:\text{integer}$$
(3.24)

で与えられる。この式(3.24)中のcos及びsinの1周期分は m_c 個の振幅情報で表現することができる。これは言換えると、入力信号に対する演算係数 dm_{cs} 組に限定され、 m_{cs} 組演算係数を個別に計算しておく並列処理型が可能となる。図3.18(a)に並列処理型変調器の構成例 (m_{cs} =8)を示す。 m_{cs} =8の場合、各位相における変調器の演算は式(3.24)より以下の式で与えられる。

Phase 0:	$S_0(kT_s) = I(kT_s)$	Phase 1:	$S_{1}(kT_{s}) = \frac{\sqrt{2}}{2} \Big\{ I(kT_{s}) + Q(kT_{s}) \Big\}$	
Phase 2:	$S_2(kT_s) = Q(kT_s)$	Phase 3:	$S_3(kT_s) = \frac{\sqrt{2}}{2} \left\{ Q(kT_s) - I(kT_s) \right\}$	
Phase 4:	$S_4(kT_s) = -I(kT_s)$	Phase 5:	$S_{5}(kT_{s}) = -\frac{\sqrt{2}}{2} \left\{ I(kT_{s}) + Q(kT_{s}) \right\}$	
Phase 6:	$S_6(kT_s) = -Q(kT_s)$	Phase 7:	$S_{7}(kT_{s}) = -\frac{\sqrt{2}}{2} \{Q(kT_{s}) - I(kT_{s})\}$	(3.25)

以上示した各位相の演算を入力信号に対して計算し、それぞれの位相を並列に演算しておき、時間順に合成 することによって変調信号が得られる。この構成における信号処理速度は伝送速度と同じであるため、ディ ジタル演算素子の動作限界まで伝送速度を増大することが可能となる。また、この構成では各位相の演算結 果を合成するためにP/S (Paralell-Serial)変換器が必要となる。しかしながら、データ伝送速度の高速化に よりキーデバイスであるP/S 変換器は1 Gb/s以上の信号処理能力を有しており、また、現状のディジタル 乗算器の処理速度は200MHz程度であることから、伝送速度は乗算器の演算速度に依存する。故にディジタ ル演算素子の動作限界まで容量を増大できる並列処理を用いた本構成は高速化に向けて有効であると考える。

さらにm_{cs}=8とした場合には、式(3.25)から明らかなように以下の特徴を有する。

(1)phase0、2、4、6では片方のチャネルのキャリア信号振幅が0となることにより演算を省略できる。

(2)phase1、3、5、7ではキャリア信号の振幅値が同一値であるため演算順序を入れ替えることができる。
(3)phase0~3とphase4~7が対称であるため、P/S処理の2段階に分割によるパイプライン処理ができる。
上記の特徴を利用して回路規模の削減を図り、図3.19(b)構成で高速直交変調器LSI(RX01)を設計した。
このLSIの主要諸元および外観を表3.3及び図3.20に示す。ここで、インターフェイスはTTL/ECLを混載
させ、高速化が要求される変調出力をECLレベル、信号入力はTTLレベルとした。また、LSIの低消費電力化を図るため乗算器をROMを用いた構成により実現した。

3.4.3 ベースバンドフィルタ回路

ディジタルフィルタをアナログフィルタと比較した場合、回路規模、消費電力の点で不利であり、 現在のDMR用多値QAM変調器では、アナログ波形整形フィルタが用いられている。また、変 調器構成では、この部分の回路規模が一番大きく、文献[8]で示したSamuelliらの構成でも、ディ



【原理構成】

【LSI構成】

図3.19 高速直交変調器LSIの構成



図3.20 高速直交変調器LSI

表3.3 高速直交変調器LSIの主要諸元

インターフェイス	TTL, & ECL-100K
動作速度	112MHz (max、150MHz)
消費電力	2.1W/112MHz
電源電圧	5.0V _\ -4.5V
プロセス	1.2 µ mBiCMOS
ゲート規模	5 kG
パッケージ	セラミックPGA 208-pin ヒートシンク付き

ジタルフィルタの回路構成法を議論している。

変調器に用いるディジタルフィルタは、一般的用途とは異なり、入力ビット数が信号系列数mに 限定される。そして、このような入力信号ビットが限定される用途では、FIR型ディジタルフィル タの一種である B T F (Binary Transversal Filter)^[32]を用いることが有効である。図3.21は多値 信号用 B T F の基本構成である。B T F は、この図に示すようなメモリ、シフトレジスタ及び加 算器による構成法が提案され、多値変調方式への適用が可能でかつLSI化が可能となった^[33]。

図3.21は256QAM用BTFの構成であり、4系列の各パス信号に対して個別にフィルタリングを 行い、式(2.6)で表される多値信号に従った加算処理が行われる。 波形メモリはシフトレジスタ出 カをメモリアドレス値とし、そのkビット目の論理値A<k>とタップ係数c,から

$$W(A\langle 0:m_a-1\rangle) = \sum_{k=1}^{n} \operatorname{sgn}(A\langle k-1\rangle) \cdot c_k$$
(3.26)

によって計算される全ての入力信号の組合せに対するディジタルフィルタ出力値をデータとして 格納する。そして、全ての系列でこの同じ波形メモリを用いる。ここで、"H"、"L"のディジタ ル信号を、

$$\operatorname{sgn}(x) = \begin{cases} 1 & x = H'' \\ -1 & x = L'' \end{cases}$$
(3.27)

に示すようにバイナリ符号に対応づけて式(3.25)を計算しておくこと。これにより、波形メモリ でディジタル信号のDSP演算に使用される2の補数コードへの変換を同時に行っている。

図3.21に示すBTFで40タップ以上の波形整形フィルタの実現を考えた場合、ROMのみ構成の 波形メモリではメモリ容量(1000Gword以上)及びアクセス速度(*T_b*の*m_b*倍)の点で実現不可能であ





図3.22 BTF回路の最適化

る。この実現上の問題点を解決するため、文献[32]に示す構成のBTFが提案されている。文献 [32]のBTFでは、ROMを位相毎に分割して各位相のROM出力を時間をずらして加算することによ りROMと加算器のハイブリッド構成で実現している。これは、変調器でのフィルタリングが補間 処理であるためにm_b個の連続データが入力されることを使用したものであり、この構成により、 ROMアドレス及びアクセス速度を共に1/m_bに抑えられることが可能となった。

デバイス面からこの構成を考えた場合は、メモリ類の高速化は演算器よりも進んでおらず、現状 ではパイプライン処理の分だけ演算器の方が高速化には適している。また、ASICプロセスでは、 最小回路単位がNANDゲートであるため、ROMの占有面積が専用デバイスよりも大きくなる傾向 にある。一方、演算器を用いる場合、同一動作速度ではゲートのON-OFF比がROMよりも高くな るため、消費電力が増加してしまう。以上の理由から、ZH-DMOD用ディジタルフィルタを実現す るために、図3.22に示すようにROM+加算器により波形メモリの最適化を行った。

図3.22には波形メモリの最適設計例を示す。本設計での波形メモリは、図3.22(a)に示すように、 文献[32]構成での*m_{ap}*(bit)アドレスの各位相波形ROMを*M_a*分割してROM十加算器のハイブリッド 構成に置換えたものである。この時、位相波形メモリ出力は以下の式で与えられる。

$$W_p(A\langle 0:m_{ap}-1\rangle) = \sum_{l=0}^{M_d-1} \sum_{k=1}^{N} \operatorname{sgn}(A\langle k+l\cdot N\rangle) \cdot c_{k+l\cdot N}$$
(3.28)

$$N = m_{ap} / M_d$$

図3.22(b)は、m_{ap}=10の場合において分割数M_dに対するROMの合計ワード数と加算器の回路規 模を見積もったものである。ここで、加算器には、多入力加算が効率よく実行できる Wallace-Tree加算器(図2.2参照)を用いている。図3.22(b)から明らかなように、加算器の回路規

- 7 0-

模はほぼMaに比例して増加するのに対し、ワード数はMa>2の場合、mapの値に収束する。この結 果より、Ma=2が最適であり、各位相ROMを2分割した構成によりBTF回路を実現した。

図3.23は、ディジタルフィルタを内蔵したZH-DMOD構成の多値QAM直交変調器LSIの構成で ある。上記のハイブリッド構成は回路削減に有効手段であるが、もう一つ、アクセス速度高速化 にも有効である。図3.23では、波形メモリ(Waveform Memory)に上記の*M*_d=2ハイブリッド構成 を用い、かつ、3.3.2節で時間軸対称のタップ係数を用いることでチャネル間で共用化を図ってい る。図3.24に実現したフィルター体型変調器LSI(RXO3)の外観写真を、表3.4に本LSIの主要諸元 を各々示す。このLSIでは、3つのサンプリングレート(Max. *m*_b=16)と5つの変調方式に組合せに より合計15種類の変調波を発生させることができる。また、この機能を59kgateという比較的小 さな回路規模で実現した。

図3.25は、図3.23中の重み付け累算器(Weight Accumlator)、位相加算器(Shift & Adder)の構成を示したものである。ここで、重み付け累算器では変調多値数制御が行われ、位相加算器では







図3.24 フィルター体型変調器LSI

〒3.4 フィルター体型変調器LSIの主要

プロセス	0.6 μ m,CMOS gate-array
ゲート規模	59 kgates
電源電圧	+5V
消費電力	1.8W/60MHz 150mW (1.5Mbps、64QAM)
パッケージ	QFP、160pin
動作速度	64MHzmax
伝送速度	4 Mbaud (max:32Mbps)
テ゛ィシ゛タルフィルタ	BTF (T/4、T/8、T/16)
変調方式	BPSK、QPSK、 16QAM、64QAM、256QAM

サンプリングレートの制御が行われる。通常、このようなモード切替は、一旦、LSIをリセットさ せる。ここでは、第5章、第6章で示す高機能型変調器の実現を考慮して、システムクロックを変 化させずにデータセレクトを行うことで、連続的に遷移制御が行える構成を用いている。



3.5 実験結果

図3.6及び図3.8に示すDSP型高速直交変調器の基本特性を確認するため、3.4節に基づき回路 を試作し、実験を行った。

SDHのSTM-0(伝送容量:51.84Mbps)³⁴に適用可能なIFWS-DMOD構成の16QAM変調器を試作し、実 験を行った。実験回路の構成を図3.26に示す。また、この実験系の主要諸元を表3.5に示す。ここ で、直交変調部は、図3.19に示す高速直交変調器LSIを用いて構成した(図3.26(b)参照)。また、DAC出力 にはアパーチャ補正フィルタを配置し、波形整形は2nd | F(=150MHz)に周波数変換を行なった後SAWフィ ルタ (ロールオフ、α=0.42)を用いて行なった。変調器への符号速度は、2重BCH(255.237)による誤り訂 正冗長ビットも考慮して13.944MBaudとし、システムクロックを4分周したクロック信号をパターン発生器 (PN Gen.)に印加することで無相関な4系列23段PNパターンを発生させた。この実験系での1st | Fは符号 速度と同じ13.944MHzであり、ローカル周波数:

2nd-IF(150MHz) - 1st-IF(13.944MHz) = 136.056MHz





(b)実験ボード写真

図3.26 IFWS型高速直交変調器実験

符号伝送速度	13.944 Mbaud
入力信号	PN-23, max 8系列(ME472A,Anritsu社製使用)
I F 周波数	1st: 13.944 MHz, 2nd: 150 MHz
システムクロック	55.776 MHz (or 111.554 MHz)
D/A変換器	160 Msps、10 bit(CXA20201A-1、Sony社製使用)
ディジタルフィルタ	7-tap, T/2-space, FIR type
LPF	アパーチャ補正(周波数特性:図3.24(a)参照)
SAWフィルタ	150 MHz \pm 6.972MHz
	ルートロールオフ特性(α=0.42)、図3.24(b)参照

表3.5 IFWS型変調器実験系の主要諸元

を用いてアップコンバートしている。

図3.27は本実験に用いたアパーチャ補正フィルタ及びSAWロールオフフィルタの周波数特性である。ア パーチャ補正フィルタは、図3.27(a)に示すように、カットオフ周波数が約30MHzのLPFで通過帯域内がアパー チャ振幅特性を有しているフィルタである。また、SAWロールオフフィルタは、図3.27(b)に示すように、 ±10MHzにおいて約40dBの減衰量のえられる急峻なカットオフ特性を有するフィルタである。SAWフィル タの一般的な特徴としては、通常のフィルタと比較して郡遅延時間が長いこと及び、遅延リップルが大きい ことが挙げられ、使用の際はこの点に留意する必要がある。図3.28はIF信号で観測した周波数特性である。





この図からわかるように、帯域外減衰量は40dB以上確保できていることがわかり、DSP折返し雑音及び ローカルリーク成分が十分に抑圧できていることが確認できた。この信号をSDH対応16QAM復調器に入 カし、2nd-IFに白色雑音を付加することで誤り率特性を行った。その結果、等価CNR劣化量は*BER*=1.0× 10⁴で約1.1dB、*BER*=1.0×10⁶で約1.7dB(TRV-EQL off、FEC off)であった。この値は、従来のアナログ回 路による構成とほぼ同等の特性である。

図3.29は、図3.26(a)中のローカル信号を用いて、IF出力信号をダウンコンバートした時間信号波形である。 ここでは、データ信号クロックをオシロスコープのトリガとして測定したものである。この図において、ディ ジタルフィルタを用いない場合の波形は、ZH-DMODにおけるタイミング位相補正なし(without Timing Filter) の条件を、ディジタルフィルタを用いた信号はタイミング位相補正(with Timing Filter)を行った信号をそれぞ れ意味している。この図からわかるように、タイミング補正を行わずに入力させた場合、アイの開口点が2 つにわかれて存在しているに対し、タイミング補正を行った場合には、アイの開口点が一点に収束している ことがわかる。また、図3.29(a)において、I-chとQ-chのアイ開口点間の時間は、約18nsであり、

 $T_{b}/m_{c} = 1/(13.944 \text{MHz} \times 4) \Rightarrow 17.92 \text{ns}$

の値とほぼ一致していることがわかる。

図3.30は、タイミングフィルタを介さずに入力信号を直接MOD-LSIに入力し、IF出力信号を直交検波した ときのI-ch及びQ-chベースバンド信号波形である。ここでは、データ信号クロックをオシロスコープのトリ ガとして測定している。図3.30において、初期位相(Initial Phase):0の場合には、タイミングフィルタを介し ていないため、タイミング位相ずれは発生しているが、良好な4値アイパターンが観測されている。これに 対して、初期位相: $\pi/8$ の場合には、タイミング位相ずれは発生していないが、アイ開口点が潰れていること がわかる。これは、3.2.2節及び3.3.2節で述べたZH-DMODの特徴であるタイミング位相ずれと変調誤差要 因を確認するものであり、初期位相: $\pi/8$ では、両チャネルデータを最初の演算から使用するため、タイミ ング位相は同じとなるが、源波形との振幅誤差によりISIが増加する傾向にあることがわかる。



図3.30 0次ホールド変調器の動作確認

次に、フィルター体型変調器LSI(図3.24参照)を用いてZH-DMOD構成の多値QAM変調器を 試作し、実験を行った。図3.31に実験回路を示す。この実験でDACはAD9713B(アナログデバ イセズ社製、12bit、80Msps)を用い、これを搭載した直交変調処理部は外形47mm×88mmの小 型基板で実現している(図3.31(b)参照)。また、外部のクロック発生器から任意周波数のシステ ムクロック(MCK)を入力され、入力データ同期用クロック信号(SCK)をパターン発生器に印加する ことでこの信号に同期した無相関な8系列23段PNパターンを発生させている。このとき、SCKは 内部でMCKを制御信号に応じた分周を行うことで生成される。

図3.32は、直交変調処理基板から出力された信号の周波数特性である。ここで、図3.32(a)は、 非同期設定(m_b=4、m_c=3、f_c=4.0)を行った場合のものであり、図3.32(b)は式(3.11)に従って同 期設定(m_b=4、m_c=4、f_c=4.0)としたものである。これらの図からわかるように、非同期設定の 場合には、Samuelliらの変調器とほぼ同じ周波数にDSP折返し成分が現われており、不要波除去 は困難になる。これに対し、同期設定の場合には、DSP折返し雑音がベースバンドフィルタのサ ンプリングレート分離れているため、不要波成分除去は十分に可能である。

図3.33は、同一のMCKに対して3つのサンプリングレートモード(Full,Half,Quarter)の変調器 出力周波数特性を測定したものである。ここで、Full RateはSCK*=f_s*/16に相当する。この図から、

第3章 ディジタル信号処理型直交変調器の構成法



(b)実験回路外観図3.31 フィルター体型変調器LSIを用いたZH-DMO D実験系の構成

全てのモードに対して、50dB以上の帯域外減衰量が確保でき、しかも通過帯域内も平坦な特性を 有しており、良好な変調波が得られていることがわかる。

図3.34は、ベースバンドフィルタ出力において観測されたアイパターンである。これらの観測 写真の上側は、BTF専用LSI^[32]を用いて構成したディジタルロールオフフィルタ出力を測定したも のであり、右側は、図3.31(a)の実験回路のDAC出力のLPF通過後の特性を測定したものである。 ここで、BTF専用LSIのタップ係数は、アイの開口点とサンプル点が同一となるように設計(位相 補正なし、偶対称)されたものであり、この特性がフィルタ等の劣化要因を含まないほぼ理想に近 いアイパターンとなる。上下の写真のアイの開口点を比較しても、ほとんど差がなく、タイミン グ位相差を与えても良好な波形整形フィルタが構成できることを確認できた。

3.6 むすび

無線通信システムに適用可能なDSP型高速直交変調器の構成方法について検討を行った。

まず始めに、従来のDSP型高速変調器を無線通信システムに適用した場合の課題を明らかにした。無線通信システムに適用する場合には変調器出力を無線周波数帯にアップコンバートする必要があり、そこでは、不要輻射が厳しく制限される。従来のDSP型高速変調器の無線通信シス



(a) 非同期設定



(b) 同期設定

図3.32 ZH-DMODでのキャリア周波数設定



図3.33 フィルター体型直交変調器LSIの出力スペクトル



テムへ適用するための課題は、DSPでの折返し雑音成分及びローカルリーク成分が希望波の近 傍に現れ、これがチャネルフィルタを通過して不要輻射される点にある。

この課題を演算量増加を招かずに解決するために、0次データホールドを用いること、及び | F 帯での波形整形を行うこと、を特徴とする2つのタイプのディジタル処理型直交変調器の構成方 法を提案した。ここで、 | F帯の波形整形を用いるIFWS-DMODでは、SAWフィルタにより | F帯でロールオフ波形整形が可能であることを背景とし、タップ数の少ないディジタルフィルタ と最低限のキャリア周波数で簡易にDSP直交変調処理を行い、スプリアス成分をSAWロール オフフィルタの急峻なカットオフ特性を利用して行う方法である。一方、0次ホールドを用いた ZH-DMODでは、4 sample/periodのキャリア信号との直交変調処理が他方のチャネルとの演算処 理なく行われることを利用して、ディジタルフィルタ出力のサンプリングレートをホールド処理 のみで等価的に上げ、なるべく高いキャリア周波数でのDSP直交変調処理を行うものである。

次に、これらの提案構成のうちZH-DMODについて、キャリア周波数及びベースバンドフィルタ の設計手法を示した。ZH-DMODでのキャリア周波数では、0次ホールドに起因して変調処理ナイ キスト帯域内に現れる折返し雑音成分を考慮した設計が必要となる。この点を考慮した設計から、 ベースバンドフィルタの動作クロック周波数の整数倍にキャリア周波数を設定することで良好な 変調波が得られることをシミュレーションにより証明した。また、ZH-DMODのベースバンドフィ ルタでは、直交変調処理においてデータの切替りタイミングがずれることに起因したチャネル間 のタイミング位相差を補正する必要がある。この点を加味した設計法として、伝送系のインパル ス応答に窓関数を重畳した応答波形から変調処理クロック周期相当の位相差をもつタップ係数の 算出方法を示した。

次に、提案構成の各構成回路の実現方法を示した。ここでは、はじめに、スクランブル回路、回 転対称型符号配置への信号点置換回路の一般的な実現回路を示した。そして、DSPの一般的な 高速化手法である並列処理を適用することで、4及び8sample/periodのキャリア信号に関して は、演算の省略・順序入替えにより大幅に回路削減した直交変調処理部を実現できることを示し た。さらに、BTFを基本としたベースバンドフィルタの回路実現について、ROMの2分割構成 による回路最適化、及びチャネル同士での共用を特徴とする回路を実現した。

最後に、提案構成の2つのDSP型変調器を室内試作し、実験により各種性能を確認した。ここでは、IFWS型構成を用いて、スプリアス成分の抑圧度、位相タイミングずれの補正動作が設計通りに行えることを実験的に確認した。また、BBWS型構成を用いてベースバンドフィルタ 出力のアイパターン及び変調波の周波数特性から良好な変調信号が得られることを確認した。こ

-79-

の変調器を用いた符号伝送特性は、第4章の復調器の実験結果で併せて示す。

【参考文献】

- [1]Y.Saito and Y.Nakamura:"256QAM modem for high capacity digital radio system"IEEE Trans on Commun., vol.COM-34, pp.799-805 (1986 Aug)
- [2]堀川、荒木:"各種劣化要因のある多値変復調方式の誤り率特性"、信学論B、vol. J63-B No. 11, pp.1132[~] 1139 (1980)
- [3] 持田,藤村:"LSIデータモデム"、信学誌、Vol.63、No.9、pp.952-959 (1980.9)
- [4]H.Harris, T.Saliga, D.Walsh:"An All Digital 9600bps LSI Modem", NTC74, pp.279-284 (1974)
- [5]渋谷. 松岡他:"データモデム用LSI", 信学技報SSD78-109(1979.3)
- [6]J. W. Chamberlin et.al "Design and Field Test of a 256-QAM DIV Modem" IEEE J-SACVol. SAC-5, No. 3 (April 1987)
- [7]H.Samuelli, C.P.Reames, L.Montreuil and W.E.Wall:"Performance Results of a 64/256-QAM CATV Receiver Chip set", IEEE802.6-94/016
- [8]H. Samueli, B. C. Wong: "A VLSI Architecture for a High-speed All-Digital Quadrature Modulator and Demodulator for Digital Radio Applications", IEEE J-SAC, vol. SAC-8, No. 8, pp. 1512 -1519 (Oct. 1990).
- [9]Analog Devices Inc.: "AD9772 14-bit, 150 MSPS TxDAC+ with 2 \times Interpolation Filter" Datasheet Rev. 0(1999)
- [10]Intersil Co.: "HSP50415 Wideband Programmable Modulator" Datasheet (2000)
- [11]桑原守二監修: "ディジタルマイクロ波通信",企画センター編,第4章(1984)
- [12]日本電気:"ディジタルマイクロ波通信用 S A Wロールオフフィルタ", NEC伝送デバイス ハンドブック, pp.88-96(2000)
- [13]F. Takahata, M. Yasunaga, Y. Hirata, T. Ohsawa, J. Namiki:"A PSK Group Modem for Sattellite Communications", IEEE J-SAC, vol. SAC-5, No. 4, pp. 648-661(May 1987)
- [14] 辻井重男、青山友紀、友沢 淳:"ディジタル信号処理の応用"、電子通信学会、第5章 (1981)
- [15]M. Shinji et.al:"A Proposal for the Harmonious Growth of Microwave Radio in Future Telecommunications Networks in Japan", in Proc ICC'89

- [16]Walt Kester:"High Speed design Techniques: section 6-High Speed DACs and DDS systems ",Analog Devices(1996)
- [17]A. I. Abu-El-Haija, M. M. Al-Ibrahim:"Improving Performance of Digital Sinusoidal Oscillators by Means of Error Feedback Circuits", IEEE Trans. on CAS, vol. CAS-33, No. 4, pp. 373⁻ 379(April 1986)
- [18]渡辺英二、井原 毅: "ラチス構造に基づくディジタル正弦波発振回路"、信学論A、vol. J70-A, No. 9, pp. 1283[~] 1290(1987年9月)
- [19]Volder J. E.: "The CORDIC trigonometric computing technique", IRE Trans Electr. Comp., EC-8, No. 2, pp.330⁻³³⁴ (September 1959)
- [20]中静真、菊池久和、渡辺弘道:"CORDICによる周波数可変正弦波対発振器"、信学論A、 Vol. J75-A, No. 3, pp.516-525(1992年3月)

[21]Analog Devices:"CMOS 300MHz Complete DDS; AD9852", Data sheet Rev. 0(1999)

[22]武部 幹著;"ディジタルフィルタの設計",東海大学出版会(1986)

- [23]P. R. Chevillat and G. Ungerboeck:"Optimum FIR Transmitter and Reciever Filters for Data Transmission over Band-Limited Channels" IEEE Trans. Communications, Vol. COM-30 No.8 pp.1909⁻¹⁹¹⁵ (August 1982)
- [24]P. P. Vaidyanathan and T. Q. Nguyen: "Eigen Filters: A New Approach to Least-Square FIR Filter Design and Applications Including Nyquist Filters" IEEE Trans. Circuits and Systems, Vol CAS-34, No.1, pp.11⁻²³(1987)

[25] 辻井重男監修: "ディジタル信号処理の基礎", 電子情報通信学会編、第4章(1988)

- [26]F. J. Harris:"On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform", Proceedings of IEEE, Vol. 66, pp.51[~]81 (1978)
- [27]E. Rosenfeld:"DSP Measurement of Frequency", in Proc. of 1986 International Test Conference, Paper 26.2, pp. 981-986(1986)
- [28]斉藤, 森田他: "LSIを用いた16QAM用50MBロールオフフィルタ", 信学技報, CS81-6 (1981)
- [29]室谷,山本著:"ディジタル無線通信"第3章,産業図書(1985)
- [30]今井秀樹著:"符号理論",電子情報通信学会編,第7章(1990)
- [31]中村,相河,高梨:"フェージング伝搬路におけるトレリス符号化256QAM方式",信学論A, vol.J73-A, No. 2, pp.341-349(1990年2月)

- [32]斉藤,松江,小牧:"高速・多値ナイキスト波形の実現法"信学論, Vol.J67-B No.3 PP.265-272(1984)
- [33]岡田, 斉藤, 中村:"多値ナイキスト波形整形用ディジタルフィルタLSIの特性"1989 年秋季信学会全大, B-559 (1989)
- [34]H. Kasai et.al:"Synchronous Digital Transmission Systems Based on CCITT SDH Standard" IEEE M-COM, vol.28, No.8, August 1990

10Mbps 以上の大容量ディジタル無線通信方式に適用可能なディジタル処理型高速復調器の構成法につい て議論する。始めに、最小のサンプリングレートでの高精度な直交検波処理を実現するために、デマルチプ レクサを用いたディジタル処理型直交検波(DEMUX_DET)について議論する。そして、解析的手法によって 様々な条件下での特性を明らかにすると共に、本手法におけるフィルタの設計方法を示す。次に、本ディジ タル処理型高速復調器におけるキャリア同期回路、クロック再生回路の構成法、信号補償(AGC、DC-offset) 回路の構成法/動作原理について述べる。最後に、最大変調多値数が256QAM、シンボル伝送速度が 14MBaud のディジタル処理型高速多値QAM復調器(最大伝送容量:112Mbps)の回路実現例を示し、試作し た復調器の特性評価実験結果を紹介する。

4.1 はじめに

復調器では、基本的に変調器の逆の操作を行って、受信信号からデータの再生を行なう。無線通信用復調 器では、その際、送受間でのローカル及びクロックが同期していないため、受信信号から成分を抽出してキャ リア同期、タイミング同期を行う必要がある。また、線形変調であるQAMでは、無線伝送路上でのフェージ ング変動によるレベル調整機能、さらには、無線伝送路上で加わる周波数選択性フェージング、干渉雑音な どへの対抗機能を有する必要がある。そのため復調器では、変調器において考慮した帯域内傾斜、直交誤差 等の基本性能に加えて、様々な制御ループが共存することによる制御系の構成法も重要な設計要素となる。

図4.1はDMR方式に用いられているアナログ信号処理(ASP)型多値QAM復調器の構成である。 この図に示すように、受信IF信号はハイブリッド(分配器)とミキサで構成される直交検波器で直交 キャリア信号を用いて乗算検波された後、LPFで高調波成分除去と波形整形を同時に行うことで 復調される。ここでのADCは識別器の役割を担っており、再生クロック信号でサンプリングさ れた信号が軟判定復調信号となる。復調信号を得るための各種制御は、ADCでの入力段で最適 な識別レベルとなるように、軟判定復調信号から誤差成分を検出することで実行される。ここで、 アナログ回路の不完全性を補償するために、AOC(Automatic DC-offset Control)は各チャネル独 立に制御され、AGCは一方のチャネルで全体のレベルを、他方のチャネルでチャネル間誤差を補 正するように制御される。また、直交キャリア信号はI,Q両チャネル信号を用いて検出される誤差 信号でVCOに帰還させることで再生される。

図4.1に示す構成の場合、ASP型直交変調器と同様に検波器の直交性が重要であるが、さらに、 各種制御によってアナログ回路定数が変化するため、定数変化に対する回路の安定性も重要であ

-83-



図4.1 アナログ信号処理型多値QAM復調器の構成

る。このため、直交性を満足させながら、線形変調である多値QAM方式の要求を満足できるだけ 広い線形領域を確保しなければならず、線形領域の狭い現状のアナログデバイスでは理想的な直 交検波回路を実現することは困難である。そのためここに、高度な制御アルゴリズムを用いたと しても理論通りの結果を得ることは困難である。部分的に制御を切り出したDSP化の検討(準同期 検波方式等、)も進められているが、この場合にも直交検波器に対してASP型直交変調器と同等の 性能が要求されることとなり、第3章と同じ理由から超多値QAM方式への適用は困難となる。以 上の理由から、復調器もIF帯までのDSP適用領域の拡張は不可欠であると考える。

DSP型復調器は、変調器の場合と同様に、基本的には図4.1に示すASP型直交復調器での素子の 置き換えによって実現できる。図4.2は素子の置き換えによって実現されるDSP型直交復調器の基 本的な構成例である^[1]。この復調器はシステムクロック(f₃)を入力することにより動作する。ここに入力さ れる受信IF信号は、このシステムクロックでサンプリングすることで最初にディジタル信号に変換され、 NCOを用いて発生された直交キャリア信号とのディジタル乗算により直交検波が実行される。その後、デシ メーションフィルタを用いて波形整形を行うと同時に、間引き処理によりシンボルクロックに近い速度まで サンプリングレートを落としていく。出力段では、ポリフェーズフィルタとFIFOにより構成されるリサンプ ラ(Resampler)を用いて、タイミングNCOからの再生タイミング位相に従ったタイミング位相同期処理を行 い、軟判定復調信号を得ている。この図での復調制御は、軟判定復調信号からASP型直交復調器と同じ方法 で誤差成分を抽出し、キャリア同期はキャリアNCOに、タイミング位相同期はタイミングNCOにそれぞれ 帰還させることにより実行される。また、GCA(Gain Controlled Amplifier、可変利得増幅器)に帰還する IF-AGCは、ADCへの入力信号電力を一定に保つ制御を行い、AOC、AGCは最適信号点レベルに調整する制

-84-

御を行う。ここで、レベル調整用のAOC、AGCは、ASP型直交復調器の場合と異なりチャネル間偏差は生じないため、同一制御値を与えることができる。

復調器においても前章の変調器同様に、ディジタルアクセス回線の高速化に伴い、DSPを適用 した高速直交復調器の開発が報告されている^{[2]*[5]}。しかしながら、これらは衛星通信用とした QPSK,8PSKなどのPSK方式用復調器であるか、あるいは、ADSLやケーブルモデムのような QAMを用いるシステム用であっても、伝送容量が約1.5MBaudと小さい。

一般に、多値QAM復調器では、等化器や誤り訂正回路等の回路規模の大きな処理が搭載されている。これ に対し、図4.2の構成では、デシメーションフィルタとポリフェーズフィルタの2つのディジタルフィルタを 用いている。また、キャリア周波数及びシンボルクロック周波数がシステムクロックとは独立に設定される 汎用的な構成であるため、制御精度を上げるには、NCO用のアキュームレータビット数及びリサンプラ用ポ リフェーズフィルタの位相分解能を高くする必要がある。これらの理由から、図4.2の復調器では、時分割 処理を適用しない限り、膨大な回路規模となってしまう。さらに、動作速度に関しては、ほとんどの部分が システムクロックで動作するために、大容量化には回路全体の高速化が必要となる。また、第2章でも述べ たように、DSPではADCの変換速度が最も遅くサンプリングレートを上げることはできない。

以上述べた背景から、DSP技術をIF帯まで拡張することで復調回路の高精度化と制御範囲の拡 大が図れ、かつまた多値QAM方式を用いた10MBaud以上の大容量無線通信システムに適用でき るディジタル処理型高速直交復調器の実現を目標とした。本章では、このDSP型高速直交復調器 の実現に向けた議論を行う。はじめに、受信IF信号から検波信号(ベースバンド信号)を生成するま での直交検波処理の高速化手法を示し、その性能解析及び設計を行う。次に、このDSP型直交検





波器を用いた復調制御系の構成方法について議論する。そして、これらの検討結果に基づいた DSP型復調器の実現方法を示す。最後に、復調器を試作して、実験により各部の性能を確認する とともに、復調器の性能評価を行う。

4.2 ディジタル処理型直交検波器の構成

高速処理が可能な簡易なディジタル直交検波方法はいくつか報告されている^{[0] [0]}。これらの方法は全て、 式(3.1)に従った場合に"(cos,sin)=(1,0)→(0,1)→(-1,0)→(0,-1)"の繰り返しで直交キャリア信号が表現できるこ とを利用したものであり、中心周波数の4倍クロックでサンプリングした信号を変調器とは逆の分配回路 (Demultiplexer, DEMUX)によって分離することで直交検波を実現するものである。また、変調器と同様にシ ステムクロックとシンボルクロックを同期させることによりリサンプル処理を省くことができる。本DSP型 直交復調器はこの方法に基づいて検討を進める。DEMUXを用いたDSP型直交検波器(DEMUX_DET)の構成を 図4.3に示す。この図に示すように、中心周波数f_cの受信IF信号は、まず、符号伝送速度f_bのM₆(:任意の整数) 倍中心周波数に周波数変換され、ここで、ディジタル信号に変換される。I-ch及びQ-ch直交検波信号は、こ の後、DEMUXでの信号2分配及び符号反転処理を行い、タイミングフィルタでのサンプルタイミングの違い によるチャネル間位相差を吸収することで得られる。この構成によると、初段のDEMUXでの信号分配によ りそれ以降のサンプリングレートは1/2となるため、全体的に動作速度を低く抑えることが可能である。

無線通信用復調器を設計する場合、隣接チャネル干渉の影響を考慮する必要がある。図4.4は、受信IF信号の周波数特性を示している。この図は、受信チャネル信号(希望波)と同一周波数特性信号が隣接チャネルに存在した場合のシミュレーション結果であり、チャネル分離フィルタには、5段チェビシェフ(BT=1.5)を使



図4.3 DE MUX直交検波器の構成



図4.4 DSP型復調器での隣接チャネル成分によるアンチェリアシング

用している。つまり、この図に示すように、受信IF信号には希望波に一緒に隣接チャネル干渉(ACI, Adjacent Channel Interference)成分が含まれて入力されるため、復調処理過程ではこの信号成分に十分注意する必要がある。

一方、第2章での調査結果からADCの変換速度は12bit,100Msps程度であり、10MBaudの伝送容量を伝送 容量を目標とした場合、サンプリングレートは4倍(*M*_s=1)あるいは8倍(*M*_s=2)程度である。図4.4中には、この *M*_s=1及び*M*_s=2の場合のADC入力段でのナイキスト帯域中心(0Hz)とそれに対するエリアシング領域を示して いる。このエリアシング帯域の信号成分は折返されてナイキスト帯域内に漏れ込んでくる。*M*_s=1の場合、こ の信号をサンプリングすると上側のACI成分が希望波中に漏れ込んでくることとなり、ここで隣接チャネル との干渉が発生してしまう。*M*_s=2の場合には、チャネルフィルタにより60dB以上の減衰が期待できるため、 DEMUX DETでのACI成分の影響を無視することができる。

以上の理由から、DEMUX_DETを用いる場合、図4.3の下表に示すように、M。値によって機能配分が異なり、M。=1の場合にはSAWロールオフフィルタ等を用いてIF帯においてACI成分を除去しておくフィルタ構成が望ましい。そしてこの場合でのタイミングフィルタはタイミング位相補正のみを行うこととなる。また、 M、≧2の場合には、ZH-DMODと同様にタイミングフィルタで波形整形とタイミング位相補正を行うこととなる。

以下では、DEMUX_DETを用いたDSP型復調器を構成するために、DEMUX_DETの特性解析とタイミン グフィルタの設計を行う。

4.2.1 ディジタル直交検波器の動作原理

復調器には、受信側のローカル信号に対してΔf(:周波数遷移量)だけ中心周波数ずれた多値QAM変調信号 が入力される。この復調器への入力信号は以下の式で表される。

$$s(t) = \sum_{k} (I_k + jQ_k) \cdot \gamma (t - kT_b) \cdot \exp[j2\pi (f_c + \Delta f)t]$$
(4.1)

ここで、 I_k, Q_k はl-ch及びQ-ch送信多値符号(符号速度: T_b)であり、 $\gamma(t)$ は復調器入力点までの伝送路のインパ ルス応答(例えば、ルートロールオフ)である。この入力信号は、周波数:

$$f_{local} = f_c - M_s \cdot f_b$$

のローカル信号を用いて、中心周波数がシンボル周波数($f_b=1/T_b$)の M_s (:整数)倍のlower-IF帯に周波数変換される。このLower-IF帯の信号は、式(4.1)の周波数変換を行った以下の式で与えられる。

$$s(t) = \sum_{k} (I_{k} + jQ_{k}) \cdot \gamma(t - kT_{b}) \cdot \exp\left[j2\pi\left(\frac{M_{s}}{T_{b}} + \Delta f\right)t\right]$$
(4.2)

式(4.2)で与えられる複素表現入力信号の実数部は、

$$\operatorname{Re}[s(t)] = \sum_{k} I_{k} \cdot \gamma(t - kT_{b}) \cdot \cos 2\pi \left(\frac{M_{s}}{T_{b}} + \Delta f\right) t + \sum_{k} Q_{k} \cdot \gamma(t - kT_{b}) \cdot \sin 2\pi \left(\frac{M_{s}}{T_{b}} + \Delta f\right) t$$

$$(4.3)$$

であり、これがADCに対して入力される実時間信号である。ADCでは、*T_b*に対して以下のように与えられるサンプリングクロック*T*を用いて式(4.3)の実時間信号をサンプリングする。

$$T_s = \frac{T_b + \Delta T_s}{4M_s} \tag{4.4}$$

1/*ΔT*_s:シンボルクロックの周波数偏差。

その結果として、ADC出力信号は以下の式で与えられる。

$$S(nT_s) = \sum_{k} I_k \cdot \gamma \left[\frac{n(T_b + \Delta T_s)}{4M_s} - k(T_b + \Delta T_s) + \phi_t \right] \cdot \cos \left[\left(\frac{M_s}{T_b} + \Delta f \right) \frac{n\pi(T_b + \Delta T_s)}{2M_s} + \phi_p \right] - \sum_{k} Q_k \cdot \gamma \left[\frac{n(T_b + \Delta T_s)}{4M_s} - k(T_b + \Delta T_s) + \phi_t \right] \cdot \sin \left[\left(\frac{M_s}{T_b} + \Delta f \right) \frac{n\pi(T_b + \Delta T_s)}{2M_s} + \phi_p \right]$$

$$(4.5)$$

式(4.5)は、理想的な条件($\Delta f=0, \Delta T_s=0, \phi_t=\phi_p=0$)では、以下のように書き直される。

$$S(nT_s) = \sum_{k} I_k \cdot \gamma \left[\frac{nT_b}{4M_s} - kT_b \right] \cdot \cos\left(\frac{n\pi}{2}\right) - \sum_{k} Q_k \cdot \gamma \left[\frac{nT_b}{4M_s} - kT_b \right] \cdot \sin\left(\frac{n\pi}{2}\right)$$
(4.6)

この式(4.6)を偶数部と奇数部に分割すると、各々は以下のように与えられる。

$$(-1)^m \cdot \sum_k I_k \cdot \gamma \left[\frac{2mT_b}{4M_s} - kT_b \right]$$
(4.7-1)

$$n=2m+1(odd) \qquad (-1)^{m} \cdot \sum_{k} Q_{k} \cdot \gamma \left[\frac{(2m+1)T_{b}}{4M_{s}} - kT_{b} \right]$$
(4.7-2)

これらの式は、信号分配(DEMUX)によりLower-IF信号からI-ch信号とQ-ch信号がとに分離できることを意味している。この結果、I-ch及びとQ-chベースバンド信号は、分配後の信号を1つおきに反転操作を行うことで乗算処理を行わないDSP手順により得られる。しかしながら、これらのDSP直交検波手順において、I-chベースバンド信号の得られるサンプル点とQ-chベースバンド信号の得られるサンプル点の時間が異なっていることに注意する必要がある。そのため、タイミングフィルタでは、サンプル点に対する信号のタイミング位相をシフトし、このDSP手順による直交検波で発生するタイミング位相差の補償を行う。このタイミング位相のシフト量は、I-chとQ-chのサンプル点の時間差であり、

$$\Delta \tau_{I-Q} = \left[\frac{2mT_b}{4M_s} - kT_b \right] - \left[\frac{(2m+1)T_b}{4M_s} - kT_b \right] = \frac{T_b}{4M_s}$$
(4.8)

で与えられる。この式(4.8)からタイミング位相差はM₄に応じて減少するため、サンプリングレートを上げる ことがタイミング位相差を減少させることにつながる。しかし、デバイス性能に起因するサンプリング速度 の限界からM₄を大きくすることは困難であり、最適なM₄値はタイミングフィルタの性能とのトレードオフに より決定される。

さらに、式(4.7)では2mT_s毎に出力される準同期検波信号を表しているが、その前後の信号とは無関係であ ることもわかる。故に、mの値をある程度間引いて出力したとしても準同期検波信号が得られる。ここでの 留意点としては、先に述べたエリアシングの影響であり、間引き処理後のナイキスト帯域が入力信号帯域の 2倍以下となる場合にはデシメーションフィルタを設ける必要がある。それ以上の場合には単純なデータ間 引きとなり、例えば、m=even(or odd)時のみ出力する場合には符号反転処理は不要となる。

次に、理想的な条件から外れた場合(Δƒ≠0,ΔΤ,≠0)のDEMUX_DETの振る舞いについて議論する。

図4.1及び図4.2構成での乗算直交検波、及びDEMUX_DETを行った後の信号点配置のシミュレーション結果を図4.5に示す。図4.5(a),(b)は、周波数偏差が存在する条件(Δf =0.16、 ΔT_s =0)下の信号点配置であり、 図4.5(c)は理想的な条件(Δf =0, ΔT_s =0)下でのDEMUX_DET後の信号点配置を示す。ここでのシミュレーションでは、タイミングの影響を無視するため波形整形は行っていない。これらの図からわかるように、乗算直

交検波では周波数偏差により信号点が同心円状に回転するのに対し、DEMUX_DETでは、信号点は楕円を描いて回転する。

ローカル周波数偏差($\Delta f \neq 0$, $\Delta T_s=0$, $\phi_t=\phi_s=0$)が存在する場合、式(4.5)に従って直交検波信号は、

r ...

n=2m(even)

$$\sum_{k} I_{k} \cdot \gamma \left[\frac{2mT_{b}}{4M_{s}} - kT_{b} \right]$$
(4.9-1)

n=2m+1(odd)

$$\sum_{k} Q_{k} \cdot \gamma \left[\frac{(2m+1)T_{b}}{4M_{s}} - kT_{b} \right] \cos\left(\frac{\pi \Delta f T_{b}}{2M_{s}}\right) + \sum_{k} I_{k} \cdot \gamma \left[\frac{(2m+1)T_{b}}{4M_{s}} - kT_{b} \right] \sin\left(\frac{\pi \Delta f T_{b}}{2M_{s}}\right)$$

$$(4.9-2)$$

によって与えられる。ここで、これらの式は符号反転操作後の信号を表している。式(4.7)と式(4.9)を比較す ると、奇数部である式(4.9-2)の第2項としてI-ch信号が含まれていることがわかる。図4.5(b)で示される楕円 状の位相回転は、この式(4.9-2)の第2項に起因するものであり、DEMUX_DETでは周波数偏差により直交 誤差が発生することを示している。これは、偶数部と奇数部のサンプリング時間間隔でのローカル信号位相 遷移がΔfによりπ/2からずれることに起因するものと定性的に説明される。また、式(4.9)よりDEMUX_DET における周波数偏差に起因する直交誤差はΔfに比例し、その量は以下の式で与えられる。

$$\theta_{pe} = \frac{\pi \Delta f T_b}{2M_s} \tag{4.10}$$

多値QAM変調方式における直交位相誤差によるビット誤り率特性の上限値の計算方法は、文献[9]に示さ れているように、信号点間距離から計算することができる。図4.6は、式(4.10)で与えられる直交誤差量に対 する等価CNR劣化量を文献[9]の方法に従って計算したものである。また、この*Af*によって受信信号と波形整 形フィルタの中心周波数がずれるため、符号伝送系のISIが増加する。そのため実際には、直交検波部での劣



化量は、波形整形フィルタのによるISIの劣化も加味しなければならない。図4.6には、以上の理由から理想 波形整形フィルタ(ロールオフ, α =0.42,ISI=0.0%)の Δf に対する2値信号のISI量も付記した。図4.6の横軸は規 格化周波数 ΔfT_b であり、例えば、6GHz帯で15MBaudの無線通信システムを仮定すると、送受信間の周波数 偏差が10ppmの場合、 ΔfT_b は約0.004となる。

図4.6から、 Δf による劣化は、 $M_s=1,\Delta fT_b \ge 0.004$ で無視できなくなることがわかる。また、同じ ΔfT_b でも $M_s=2$ とすることで、劣化量は小さく抑えられることがわかる。しかしながら、この要因の直交誤差は復調器 の特性よりも送受信機の周波数安定度に起因して発生する。また今後、準ミリ波(~20GHz)、ミリ波帯(26G 帯,38G帯)での多値QAMを用いた無線通信システムの構築を視野に入れた場合、使用周波数帯に依存して周 波数偏差も増加することが予測される。以上の理由から、DEMUX_DETでの周波数偏差による直交誤差の補 償方法を検討する必要がある。



シンボルクロック周波数偏差($\Delta f=0, \Delta T_s \neq 0, \phi_t=\phi_p=0$)が存在する場合、式(4.5)に従って得られる直交検波信号は、

$$\sum_{k} I_{k} \cdot \gamma \left[\frac{2m(T_{b} + \Delta T_{s})}{4M_{s}} - k(T_{b} + \Delta T_{s}) \right]$$
(4.11-1)

$$\sum_{k} Q_{k} \cdot \gamma \left[\frac{(2m+1)(T_{b} + \Delta T_{s})}{4M_{s}} - k(T_{b} + \Delta T_{s}) \right] \cos\left(\frac{\pi \Delta T_{s}}{2T_{b}}\right)$$
$$+ \sum_{k} I_{k} \cdot \gamma \left[\frac{(2m+1)(T_{b} + \Delta T_{s})}{4M_{s}} - k(T_{b} + \Delta T_{s}) \right] \sin\left(\frac{\pi \Delta T_{s}}{2T_{b}}\right)$$
(4.11-2)

n=2m+1(odd)

n=2m(even)

<u>第4章 ディジタル信号処理型直交復調器の構成法</u>

によって与えられる。ここで、これらの式は符号反転操作後の信号を表している。このようなシンボルクロック周波数偏差条件下では、式(4.11)示すように、ΔT_sに起因してサンプリング間隔が理想的なサンプリング間隔(キャリア信号のゼロクロス点とピーク点の間隔)からずれることとなる。そのため、同一信号系列内でのサンプル間隔がずれると共に、チャネル間のタイミング位相差が変化してしまう。さらに、式(4.11-2)からわかるように、Q-chベースバンド信号である奇数部の第2項にI-ch信号成分が現れてきており、ΔT_sにより直交誤差も発生していることがわかる。タイミング位相差からの偏差と直交誤差は、ΔT_sに比例して発生し、これらの誤差量は以下の式で与えられる。

$$\Delta \tau_{e} = \left| \frac{2m(T_{b} + \Delta T_{s})}{4M_{s}} - \frac{(2m+1)(T_{b} + \Delta T_{s})}{4M_{s}} \right| - \frac{T_{b}}{4M_{s}} = \frac{\Delta T_{s}}{4M_{s}}$$
(4.12-1)

$$\theta_{pe} = \frac{\pi \Delta T_s}{2T_b} \tag{4.12-2}$$

図4.7にDEMUX_DETでのΔT_sによる劣化量を示す。この図において、横軸は符号速度に対する規格化周波 数であり、縦軸にはサンプリング間隔のずれによるISI量と直交誤差による等価CNR劣化量を併記している。 ここで、サンプリング間隔のずれによる劣化量は理想的な伝送路のインパルス応答波形(Roll-off、α=0.42)を

 $T = T_h + \Delta T_s$

の間隔で重ね合せることでアイパターンを求め、このアイパターンでの最適な識別時間(ISI最小値)より $\Delta \tau_e/2$ にずれた点でのISI量を算出することで見積った。また、直交誤差は、 Δf による直交誤差による劣化量 解析と同じ手法を用いて算出した。この図4.7から、 M_e に応じてISI劣化量が減少しており、サンプリング間 隔のずれによる要因よりも最適識別点からのずれがISI劣化量の支配的な要因であることがわかる。しかしな



がら一般的に、クロック信号の周波数安定度は100ppm以下であり、ΔT_sによる劣化は十分に無視できる。こ のサンプリングクロックに起因したDSP型復調器での劣化要因として第2章で挙げたクロックジッタがある。 そして、この要因による劣化は、同一クロックSNRにおいてサンプリングレートに比例して増加することを 示した。これをDEMUX_DETに当てはめると、*M*_s=1、256QAMの等価CNR劣化量を0.5dB以下をするために は、再生クロックSNRを50dB以上確保する必要がある。これらの結果は、ここでのサンプリングクロック に起因した劣化は、周波数偏差よりもジッタがより大きく影響を与えることを示しており、クロックに起因 する劣化を考慮すると、より小さな*M*_sを選択することが望ましい。

4.2.2 タイミングフィルタの設計

図4.3のDEMUX_DETでは、式(4.7)、式(4.8)で示したように直交検波後のI-ch信号とQ-ch信号との間にタ イミング位相差が存在する。そして、この位相差はM₆に反比例し、M₈=1で最大T₈/4となる。図4.3のタイミ ングフィルタは、DEMUX_DETでのタイミング位相差を補正するために配置されており、このフィルタ出力 で両チャネルのタイミング位相が同一のベースバンド信号が得られる。このタイミングフィルタは通常のディ ジタルフィルタで構成でき、ここでも、第3章と同様の理由からFIR型ディジタルフィルタを採用した。また 前述のように、M₈≥2ではタイミングフィルタ部に波形整形フィルタを配置することが望ましく、3.3.2節で 示したベースバンドフィルタの設計手法に従って設計を行うことができる。以下では、M₈=1でのタイミング 位相シフタについて設計手法を示す。

タイミング位相シフタ(時間シフト: ε)での入力応答と出力応答の関係は以下の式で表される。

$$\gamma(t) = \sum_{m=-N/2}^{N/2} C_m \cdot \gamma \left(t - \frac{mT_b}{2M_s} + \tau \right)$$
(4.13)

 C_m : 第m番目タップ係数

 $\gamma(t)$: 伝送系インパルス応答。

つまり、タイミング位相シフタでは、入出力応答波形を変化させずにタイミングのみのシフト操作が行われる。このため、タイミング位相シフタの性能は、最適識別点での特性(波形整形フィルタでのISI)ではなく、 入力インパルス応答と出力インパルス応答の同一性により評価する必要がある。そこで、本設計での評価基 準は、入力インパルス応答_{γi}(t)と出力インパルス応答_{γo}(t)との最小自乗誤差(Mean Square Error,MSE)を、

$$D_{MSE} = \left| \gamma_i(t) - \gamma_o(t - \tau) \right|^2 \tag{4.14}$$

により計算し、これのある評価区間(例えば、土7T_b)での累積値により性能の定量化を図った。

式(4.13)から、入出力インパルス応答の同一性を得るためのタイミングフィルタの伝達関数は理想LPFと

<u>第4章 ディジタル信号処理型直交復調器の構成法</u>

なることがわかる。このため、タップ係数*C_m*の算出方法としては、第一に第3章と同様に伝達関数である理想LPFの時間応答波形から求める方法が考えられる。図4.8は理想LPF特性のタイミング位相シフタの設計例である。ここで、入出力信号、タップ係数の量子化は行っていない。この図において、タップ数を増やしていくことによりMSEは減少していく傾向にある。また、窓関数法を用いた設計により同一タップ数でのMSEを小さく抑えることが可能となることがわかる。



図4.8 窓関数法を用いたタイミングフィルタの設計例

復調器でのこのタイミング位相シフタを設計する場合、考慮する事項として主信号処理に加えて各種の制 御ループが構成されることである。それ故に、小さい回路規模で実現することに加えて、制御遅延を短縮す る観点からフィルタの遅延時間を短くすることも考慮しなければならない。そのためにも、図4.8に示すよ うな窓関数法を用いてMSEの改善を図ることが必要となる。しかしながら、窓関数法は様々なフィルタ条件 下で各種窓関数と組合せて特性を計算し、最適な条件を探索していく手法であるため、最適条件を論理的に 求めていくことが難しい。

ここでは、データ補間方法として知られている2つの方法^{[10][11]}を用いたタップ係数の算出方法についても 試みた。このうち一つは、ラグランジュ補間法として知られているデータ補間公式を用いてタップ係数を決 定する補間フィルタ(FIR_ITP)であり、もう一つはトランスバーサル型等化器の最適タップ係数を求める際に 行われる固有値解析によりタップ係数を決定する固有値フィルタ(TRV_EQL)である。

FIR_ITPでは、式(4.13)をラグランジュ多項式(Lagrangian Polynomial Expression)と見なすことでタップ係数を求めるものである^[10]。そして、タップ係数 C_m はラグランジュ関数である以下の式で与えられる。

$$C_m = \prod_{l=-N/2, l \neq m}^{N/2} \frac{4M_s \tau - lT_b}{(m-l)T_b}$$
(4.15)

一方、TRV-EQLのタップ係数 C_m は、以下に示すWiener-Hopfの方程式を解くことによって求められる^[11]。

$\begin{bmatrix} X_0 \\ \vdots \\ X_{(N/2)} \\ \vdots \\ X_N \end{bmatrix}$	· X ₀ 	$\begin{bmatrix} X_{-N} \\ \vdots \\ X_{(N/2)} \\ \vdots \\ X_0 \end{bmatrix} \bullet$	$\begin{bmatrix} C_{-N/2} \\ \vdots \\ C_0 \\ \vdots \\ C_{-N/2} \end{bmatrix}$	-	$\begin{bmatrix} Y_{-N/2} \\ \vdots \\ Y_0 \\ \vdots \\ Y_{-N/2} \end{bmatrix}$	(4.	16-1)
$X_m = \gamma \left(\frac{n}{2}\right)$	$\left(\frac{nT}{M_s}+\tau\right)$,	$Y_m = \gamma \left(\frac{r}{2}\right)$	$\left(\frac{nT}{M_s}\right)$			(4.	16-2)

この式(4.16)を解く場合、伝送系全体の伝達関数が既知であることが前提となるが、無線通信システムは この伝送系の伝達関数は既知のシステムであるため、上記の式からタップ係数の算出が可能となる。

FIR_ITPとTRV_EQLのタイミング位相シフト特性を比較するために、タイミング位相オフセット、フィル タのタップ数、処理演算語長といった設計パラメータに対してMSEを求めた。その結果を図4.9に示す。こ の図において、 $T_b/2$ 間隔(=T/2-space)は M_s =1に、 $T_b/4$ 間隔(=T/4-space)は M_s =2に各々相当する。図4.9(a)は N=7 (7-tapディジタルフィルタ)においてタイミング位相オフセットを変化させたときのMSEである。こ の図から、同一サンプリング間隔ではタイミング位相シフト特性はTRV_EQLのほうがFIR_ITPよりも優れて いることがわかる。また、 $M_s \ge 2$ では、最大のMSEが1.0×10⁻⁸以下となるため、タイミング位相シフトによ る劣化は十分に小さく抑えられるものと考えられる。図4.9(b)はフィルタのタップ数に対するMSEである。 ここで、タイミング位相シフト量は、式(4.8)から M_s に対して $\Delta \tau_{LQ}/2$ となるように、

 $M_s=1 \Rightarrow \tau = T/8$

$M_s=2 \Rightarrow \tau = T/16$

と設定した。同一のMSEを得るために、この図から、TRV_EQLのほうがFIR_ITPよりも少ないタップで実 現できることを示している。TRV_EQLでは、タップ数が多い場合の最適タップ係数を求めることが困難と なる。これは、式(4.16)の行列固有値がタップ数の増加に伴い小さくなるためである。このため、15タップ 以上では、TRV_EQLでのMSEはばらつきが大きく、最適なタップ係数はFIR_ITP計算から得られた。しか しながら、MSEの許容値を1.0×10⁶と仮定すると、図4.9(b)に示す結果からFIR_ITP、TRV_EQLともに11 タップ以下で条件を満足させることができる。さらに、図4.8と比較すると、TRV_EQLでは窓関数による最 適化タップ係数とほぼ同じとなる。図4.9(c)はタップ数=11の場合の演算語長に対するMSEである。この図 は、図4.9(b)のタップ数=11の計算に演算語長を加味したものであり、タイミング位相シフト量は同一とし た。また、入出力ワード長とタップ係数量子化は同数として計算した。この図4.9(c)から、13ビット以下で



は、T/4-spaceフィルタとT/2-spaceのTRV_EQLのMSEはほぼ同じとなることがわかる。これはこの領域でのMSEが量子化誤差によるものが支配的であるためであると考えられる。また、T/2-spaceのFIR_ITPを除く全てのフィルタは演算語長=12bitにおいて、MSE<1.0×10⁻⁷となることが確認された。

以上の解析結果から、データ補間法に従って計算されたタップ係数は、量子化精度を加味しても窓関数を 用いて最適化場合とほぼ同等の性能が得られていることがわかる。また、タップ数の少ないところでのMSE 値はデータ補間フィルタによる設計のほうが優れていることが確認できた。さらに、式(4.16)に従って

タップ間隔:T/2-space 演算語長:12bit

タップ数:11タップ

の条件で求めたタップ係数により、サンプリングレートが低く、回路規模の小さいタイミングフィルタを用いることが可能となった。

4.3 復調制御系の構成法

図4.3で示したDEMUX_DETを適用した復調器の構成に関しては、キャリア同期制御の方法により、大きく以下の2つの方法が考えられる。

1) 同期検波型構成

2) 準同期検波型構成

ここで、1)は、図4.1に示したASP型復調器にも用いられている方法であり、図4.3に示すDEMUX_DETで はダウンコンバート用のローカル発振器をVCO(Voltage Controlled Oscilator)に置きかえることで、ADC入 力段で*Δf*=0となるように制御ループを構成するものである。一方、2)の準同期検波は、ベースバンド信号 の位相回転によりキャリア同期を行うものである。

 1)の利点としては、DEMUX_DETの入力段でAf=0となるようにキャリア同期を行うため,前節で示した 直交誤差が発生しないことである。しかしながら、DSP回路の遅延時間はアナログ回路に比べて大きく、特 に、ディジタルフィルタでの遅延はアナログフィルタと比較して大きい。そして、これに付随してキャリア 再生ループの制御遅延時間が大きくなる。そのため、1)構成の欠点としては、制御遅延の影響によりディ ジタル構成としてもキャリア同期特性の改善が困難であることが予測される。以上の理由から、ここでは、
 2)の準同期検波型構成を機軸に検討を進めることとした。以下では、各部の構成方法を述べる。

本節の以下の説明において誤差信号(e_{I},e_{O})は、識別データ信号($\overline{D}_{I},\overline{D}_{O}$)と軟判定復調信号(Y_{I},Y_{Q})を用いて

$$e_{I(orQ)} = \overline{D}_{I(orQ)} - Y_{I(orQ)}$$
(4.17)

により得られる値である。
4.3.1 キャリア位相同期制御

準同期検波方式は、一般に、ベースバンド帯での直交座標平面上の回転移動によりキャリア位相誤差の補 償を行うものである。このとき、ある時間kでのキャリア位相誤差のとすると、信号点の回転移動は、

$$\begin{pmatrix} I'_{k} \\ Q'_{k} \end{pmatrix} = \begin{bmatrix} \cos \varphi_{k} & -\sin \varphi_{k} \\ \sin \varphi_{k} & \cos \varphi_{k} \end{bmatrix} \cdot \begin{pmatrix} I_{k} \\ Q_{k} \end{pmatrix}$$
(4.18)

により行われる。図4.10に準同期DEMUX_DETでのキャリア同期のシミュレーション結果を示す。この図は、 図4.5(b)に示す準同期検波信号(ΔfT_b =0.16,変調方式:64QAM)の理想的(ΔT_s =0, CNR=∞)なキャリア同期のシ ミュレーション結果(5000 symbol)であり、準同期DEMUX_DETでの直交性誤差の補償方法の比較を行った ものである。ここで、図4.10(a)は、式(4.18)に従ってキャリア位相補正を行ったものである。また、図 4.10(b)は、式(4.2)の虚数成分を用いて理想的に直交誤差補正できた場合のキャリア同期結果である。さら に、図4.10(c)は、

$$\begin{pmatrix} I'_{k} \\ Q'_{k} \end{pmatrix} = \begin{bmatrix} \cos \varphi_{k} & -\sin \left(\varphi_{k} - \frac{\pi \Delta f}{2M_{s}} \right) \\ \sin \varphi_{k} & \cos \left(\varphi_{k} - \frac{\pi \Delta f}{2M_{s}} \right) \end{bmatrix} \cdot \begin{pmatrix} I_{k} \\ Q_{k} \end{pmatrix}$$

$$(4.19)$$

に従って、信号点回転移動操作と同時に直交性誤差補償を行ったものである。最後の図4.10(d)は、直交性誤 差補償後に信号点回転操作を行うものであり、準同期DEMUX_DET信号に対してキャリア位相補正後の信号 は、

$$\begin{pmatrix} I'_{k} \\ Q'_{k} \end{pmatrix} = \begin{bmatrix} \cos \varphi_{k} & -\sin \varphi_{k} \\ \sin \varphi_{k} & \cos \varphi_{k} \end{bmatrix} \cdot \begin{pmatrix} I_{k} \\ Q_{k} - I_{k} \cdot \frac{\pi \Delta f}{2M_{s}} \end{pmatrix}$$
(4.20)

の演算によって得ている。

図4.10(a)からわかるように、周波数偏差に起因する直交性誤差により信号振幅が大きくなるに従い、信号 点の収束が悪くなることがわかる。図4.10(b)は式(4.9-2)の直交誤差成分が理想的に補正が行われた場合の信 号点配置であり、すべての信号点が正常な識別点に収束していることがわかる。しかしながら、実際には式 (4.2)の虚数部分は実際の実時間信号成分としては表れないため、この補正を行うことはできない。実際に直 交誤差補正処理が行えるのは、式(4.19)及び式(4.20)に従った回転移動演算による方法であり、両手法とも に直交誤差量が周波数偏差に依存していることから、位相更新量を用いて補正制御が行なえる。このうち、 式(4.19)は奇数部であるQ-ch準同期検波信号が*θ_{pe}だけ*余分に信号点が回転することにより発生する直交誤差 であるため、Q-ch準同期検波信号の回転移動演算に関与する第2列に補正を加えたものである。この方法で は、図4.10(c)に示すように、信号点振幅が全体的に小さくなっているが信号点は十分に収束してすることが

-98-



44.10 キャリア冉生回路での12相誤差相正勤 (*Δf T_h*=0.16,64QAM,5000 symbols)

わかる。また、式(4.20)は0=0においてcos0=1、sin0=0であることを利用した近似的な手法であり、回転 移動操作前に式(4.9-2)の第2項成分の補正を行うものである。この方法では、図4.10(d)に示すように、信号 点の収束はみられるが、図4.10(c)と比べると収束が甘いことがわかる。しかしながら、このシミュレーショ ン結果は、ΔfT_bが16%と顕著な例であり、実際のシステムではこれよりも約1桁小さく、この近似手法でも 良好な収束が期待できる。さらに図4.10(c)(d)より、いずれの方法を用いても信号点振幅は小さくなってお り、信号点振幅の調整が必要となることがわかる。両補正方法を回路実現の点から比較すると、前者の方法 はcos,sinテーブルが余分に各1つ必要であるのに対し、後者の近似手法は乗算器十加算器で実現できるため、 後者の近似手法の方が回路規模的には有利である。

図4.11は直交誤差補正を加味したキャリア再生回路の構成例である。この図では、式(4.20)の 近似手法を用いた場合の回路実現例である。この図に示すように、ループフィルタ出力が周波数 偏差Δfに相当するため、この出力とI-ch準同期検波信号を用いて直交誤差補正量を決定し、Q-ch 準同期検波信号から補正量を引くことにより直交誤差補正が行われる。



図4.11 直交誤差補正を加味したキャリア同期回路

図4.11に示すキャリア同期回路において、キャリア位相同期制御は、軟判定復調信号から抽出される位相 誤差信号からループフィルタを用いて位相更新量を求め、この値を位相アキュームレータにより逐次更新す ることで得られる瞬位相値を位相回転回路に入力することにより行われる。ここで、軟判定復調信号から位 相誤差信号は以下の式により得られる^[12]。

$$e_{CR} = \operatorname{sgn}(\overline{D}_{I}) \cdot e_{Q} - \operatorname{sgn}(\overline{D}_{Q}) \cdot e_{I}$$
(4.21)

またここで、キャリア位相同期制御では、周波数偏差と定常位相誤差の両方に追従させる必要がある。このため、ここでのループフィルタはPLLと同様の2次ループフィルタを用いなければならない。図4.11はアクティブフィルタを使った2次ループフィルタのDSP構成を示している。この構成はPLLの基本方程式から以下に示すように導かれる^[13]。

PLLでのVCO(ω_0 :自走周波数, K_0 :感度)の位相変化は、次の一次微分方程式を用いて与えられる。

$$\frac{d\varphi(t)}{dt} = \omega_0 - K_0 \cdot f(t) \otimes \varepsilon(t)$$
(4.22)

f(t):ループフィルタのインパルス応答。

 $\varepsilon(t)$:キャリア位相誤差検出器の出力信号。

この式がPLLの基本方程式である。ここで、 $\varepsilon(t)$ は、DSPの場合シンボル毎に出力されるため、

位相誤差信号e_{CR.k}を用いて以下の式で与えられる。

$$\varepsilon(t) = \sum_{k} e_{CR,k} \cdot \operatorname{Rect}(t - kT)$$
(4.23)

$$\operatorname{Rect}(t - kT) = \begin{cases} 1 & , \ 0 \le t < T \\ 0 & , \ \text{elsewhere} \end{cases}$$
(4.24)

PLLでのループフィルタをアクティブフィルタとした場合、伝達関数(F(s))及びf(t)インパルス応答は以下の式で与えられる。

$$F(s) = \frac{1 + \tau_2 s}{\tau_1 s} \qquad \stackrel{Laplace Transform}{\longleftrightarrow} \qquad f(t) = F_0 \cdot \delta(t) + \frac{1}{\tau_1} u(t) \qquad (4.25)$$

δ(t):デルタ関数

u(t):単位ステップ関数

これを用いて式(4.22)を書き換えると、

$$\frac{d\varphi(t)}{dt} = \omega_0 - \left[K_0 \cdot F_0 \cdot \varepsilon(t) + \frac{K_0}{\tau_1} \int_{-\infty}^t \varepsilon(\upsilon) d\upsilon \right]$$
(4.26)

となる。この式の最後の項は*kT*≦*t*≦(*k*+1)*T*区間に対して、

$$\int_{-\infty}^{t} \varepsilon(\upsilon) d\upsilon = T \sum_{l < k} e_{CR,l} + (t - kT) \cdot e_{CR,k}$$
(4.27)

となるため、式(4.26)は以下のように書き換えられる。

$$\frac{d\varphi(t)}{dt} = \omega_0 - \left[K_0 \cdot F_0 \cdot \varepsilon(t) + \frac{K_0}{\tau_1} \left\{ T \sum_{l < k} e_{CR,l} + (t - kT) \cdot e_{CR,k} \right\} \right]$$
(4.28)

この式を $kT \leq t \leq (k+1)T$ 区間で積分すると、

$$\varphi_{k+1} = \varphi_k + \omega_0 \cdot T - \int_{kT}^{(k+1)T} \left[K_0 \cdot F_0 \cdot \varepsilon(t) + \frac{K_0}{\tau_1} \left\{ T \sum_{l < k} e_{CR,l} + (t - kT) \cdot e_{CR,k} \right\} \right] dt$$

= $\varphi_k + \omega_0 \cdot T - K_0 \cdot \left[T \left(F_0 - \frac{T}{2\tau_1} \right) e_{CR,k} + \frac{T^2}{\tau_1} \sum_{l < k} e_{CR,l} \right]$ (4.29)

が得られる。この式(4.29)の第2項目はNCOの自走周波数を表しており、準同期検波方式では、 $\omega_0=0$ となる。また、位相誤差信号はシンボル毎の検出となるため、 $T=T_b$ である。ループフィルタのDSP構成は、式(4.29)の第3項括弧中の式から導かれ、制御パラメータ α , β , γ を、

$$\alpha = T \left(F_0 - \frac{T}{2\tau_1} \right), \qquad \beta = \frac{T^2}{\tau_1}, \qquad \gamma = K_0$$
(4.30)

のように定義することにより、図4.11に示す回路が与えられる。

4.3.2 DCオフセット及び利得制御

DCオフセット制御(Automatic DC-Offset Control, AOC)及び利得制御(Automatic Gain Control, AGC)は、 受信信号を最適な閾値で識別するために行われ、識別器直前の信号が最適な閾値レベルとなるように制御さ れる。このため,復調器でのAOC、AGCはデータ入力から識別器までの伝送路でのずれの補正を行わなけれ ばならない。

DCオフセットや振幅誤差成分を含んだ準同期検波後の受信信号(複素表現)は、

$$S_{R}(kT_{b}) = \alpha_{R}\left[\left(\alpha_{I}I_{k} + \beta_{I}\right) + j\left(\alpha_{Q}Q_{k} + \beta_{Q}\right)\right] \cdot \exp(j2k\pi\Delta fT_{b}) + \beta_{R}(1+j)$$
(4.31)

で表される。ここで、

 α_{l}, α_{o} :送信側で発生するI-ch及びQ-ch信号の振幅誤差。

 $\beta_{\mu}\beta_{\sigma}$:送信側で相加されるl-ch及びQ-ch信号のDCオフセット。

- *α*_{*R*} :受信側で発生する振幅誤差。
- β_{R} :受信側で相加されるDCオフセット。

である。この式(4.31)の第1項目のΔf成分が位相回転がキャリア同期制御により補償され、軟判定復調信号が 得られる。この軟判定復調信号は、以下の式で与えられる。

$$S_{sd}(kT_b) = (\alpha'_I I_k + \beta'_I) + j(\alpha'_Q Q_k + \beta'_Q) + \beta_R(1+j) \cdot \exp(-j2k\pi\Delta fT_b)$$
(4.32)

ここで、

 $\alpha'_{I(orQ)} = \alpha_R \cdot \alpha_{I(orQ)} \quad , \quad \beta'_{I(orQ)} = \alpha_R \cdot \beta_{I(orQ)}$

である。この $S_R(kT_b)$ と $S_{ss}(kT_b)$ との信号空間上での位相関係を図4.12に示す。この図において、

*E*_{IT}, *E*_{OT} :送信側のI-ch及びQ-ch誤差信号成分。



E_{gain} :無線伝送路及び受信側での誤差信号成分。

 E_{DC} :受信側のDCオフセット誤差成分。

である。この図4.12に示すように、DSP準同期検波信号において、DC-offset誤差ベクトルはキャリア位 相に関係なくπ/4方向を向き、振幅誤差ベクトルは信号点中心と信号点を結ぶ直線に沿った方向を向く。こ れが、位相補償後の軟判定復調信号においては、式(4.32)に示すように第2項の回転成分により、DC-offset 誤差ベクトルは軟判定復調信号点を中心として回転する。図4.13 は、DC-offset誤差ベクトルの振る舞いの シミュレーション結果である。このシミュレーションは以下の条件下で行った。

入力データ信号:64QAM(5000 symbol) △*fT_b*=0.004

 $\alpha_l = \alpha_o = \alpha_R = 1$ $\beta_l = \beta_o = 0$ $\beta_R = 0.3$

この図に示すように、DC-offset誤差の影響により、軟判定復調信号点は正常な識別信号点からβ_R分だけ離 れた円周上に現れるようになる。以上説明したように、変調段での誤差成分も考慮した場合、軟判定復調信 号中のDC-offset誤差成分は、固定成分とΔfに応じた回転成分が共存する。このため、AOCは、位相回転回 路の前段(IF-AOC)と後段(BB-AOC)で、それぞれ個別に信号点を補正しなければならない。またさらに、位 相回転後の信号点補正量は、変調段でのチャネル間偏差のため、I-ch及びQ-ch信号に対して個別に制御を行 う必要がある。



図4.13 ADCのDCオフセットによる復調信号点配置

多値QAM方式でのAGC、AOCは、識別閾値に対して高い精度で信号レベルを制御することが要求される ため、軟判定復調信号点から誤差信号の抽出が行われる。ここで一般に、軟判定復調信号から振幅誤差成分 (e_{sain})は、

I-ch:
$$e_{I-gain} = \operatorname{sgn}(\overline{D}_{I}) \cdot e_{I}$$
 Q-ch: $e_{Q-gain} = \operatorname{sgn}(\overline{D}_{Q}) \cdot e_{Q}$ (4.33)

により検出され、DC-offset誤差成分(eoffset)は、

$$l-ch: e_{I-offset} = e_I \qquad \qquad Q-ch: e_{Q-offset} = e_Q \qquad (4.34)$$

により検出される。位相回転回路後段の制御では、この式(4.33)と式(4.34)の誤差信号を用いて実行できる。 IF-AOCに用いる誤差信号は、Afで変調された信号であるため、式(4.34)の誤差信号を用いる場合には、再生 キャリアを用いて逆補正を行う必要がある。しかしながら、軟判定復調信号から抽出される誤差信号により IF-AOCを行った場合、Afに依存して制御が不安定となる。これは、|Af|が小さい場合、IF-AOCとBB-AOCに 対して、ほぼ同一の誤差信号が入力されるために、同じ制御で2重のループが形成されてしまうことに起因 している。以上の理由から、IF-AOCとBB-AOCのループを分割して形成する必要があり、IF-AOCは、DSP 準同期検波信号の極性信号:

$$e_{IF-offset} = \operatorname{sgn}\left\{\operatorname{Re}\left[S_{R}(kT_{b})\right]\right\}$$
(4.35)

を誤差信号として用いたMLE制御を行う方式を採用した。これは、入力符号データのマーク率が50%である ことを利用して、DC-offsetがある場合マーク率がずれを検出した制御を行うものである。またここで、 IF-AOCは受信側でのDC-offset発生点であるADCの直後で補正することが望ましい。

DSP型変調器を用いた場合には、送信側のチャネル間振幅偏差及びDC-オフセットが無視でき、

 $\alpha_I = \alpha_Q = \alpha_{Tr}$, $\beta_I = \beta_Q = 0$

下のようになる。

となる。その結果として、式(4.32)は以下のように書きかえることができる。

$$S_{sd1}(kT_b) = \alpha_{R1} \cdot (I_k + jQ_k) + \beta_R(1+j) \cdot \exp(-j2k\pi\Delta fT_b)$$

$$\alpha_{R1} = \alpha_{Tr} \cdot \alpha_R$$
(4.36)

この式に示すように、直交変調器が完全な動作を行う場合には、受信側の補正回路も簡略化でき両方のチャ ネルに対して同一の制御係数を与えることにより補正が行えることがわかる。この場合の制御系の構成は以

AGCは、式(4.33)に示す誤差信号のうちのl-chあるいはQ-chのどちらかの誤差信号を用いてループを形成 する。一方、AOCは、IF-AOCのみとなるため、誤差信号は式(4.34)で示される軟判定復調信号からの誤差信 号を用いることが望ましい。しかしながらこの場合には、誤差信号の位相を逆補正する操作が必要となるた め、回路規模の増大を伴う。そこで、誤差信号として式(4.34)の極性符号である

I-ch: $e_{I-offset} = \operatorname{sgn}(e_I)$ Q-ch: $e_{Q-offset} = \operatorname{sgn}(e_Q)$ (4.37)

を用いたZF(Zero-Forcing)法を採用し、図4.14に示す誤差極性の選択操作を行うことで、逆補正操作の簡略 化を図ることができる。この手法は、 $\theta = 0$ の時の e_{offset} が $\pi/4$ の方向を向いており、図4.14の右表のように $\pi/4$ 毎に誤差極性及び大小関係が移り変わることを利用した信号選択方法であり、



位相同転号	誤差	極性	オフセット
	lerror	Qerror	誤差
$0 \leq \theta < \pi/4$	nor	nor	Qerror
$\pi/4 \leq \theta < \pi/2$	inv	nor	Qerror
$\pi/2 \leq \theta < 3\pi/4$	inv	nor	lerror
$3\pi/4 \leq \theta < \pi$	inv	inv	lerror
$\pi \leq heta < 5\pi/4$	inv	inv	Qerror
$5\pi/4 \leq \theta < 3\pi/2$	nor	inv	Qerror
$3\pi/2 \leq \theta < 7\pi/4$	nor	inv	lerror
$7\pi/4 \leq \theta < 2\pi$	nor	nor	lerror

図4.14 象限判定によるDCオフセット誤差信号補正

l-ch及びQ-ch誤差信号 :2 bit(各1 bit) 位相回転量情報 :3 bit 合計:5bit

の信号で簡単にIF-AOCの誤差信号を生成することが可能である。

さらに、IF帯のローカル発振器を制御して同期検波を行う復調器構成の場合には、直交検波後では∆f=0で あるため、式(4.32)は以下のように書きなおすことができる。

$$S_{sd2}(kT_b) = \alpha_R \Big[(\alpha_I I_k + \beta_I) + j (\alpha_Q Q_k + \beta_Q) \Big] + \beta_R (1+j)$$

= $\alpha'_I \cdot I_k + \beta_{sd2_I} + j (\alpha'_Q \cdot Q_k + \beta_{sd2_Q})$ (4.38)

 $\beta_{sd2_{-}I(orQ)} = \alpha_{R} \cdot \beta_{I(orQ)} + \beta_{R}$

この式から明らかなように、この場合には、図4.1で示したAGC, AOC制御ループ構成と全く同一となる。

4.3.3 クロック再生回路

クロック再生方式としては、主に以下の2つの方法がある。

(1) ベースバンド-タイミング抽出型[14],[15]

(2) 非線形クロック抽出型^[16]

ここでは、DEMUX_DETに適したシステムクロックfの再生方法について述べる。

前節で示したようにDEMUX_DETにおいて、シンボルクロック周波数偏差($T_s \neq 0$)が存在する場合には、同 相成分への符号間干渉を発生させると共に直交誤差も発生させる。このクロック周波数偏差による劣化は小 さいが、 $\Delta f \neq 0, T_s \neq 0$ の場合には軟判定復調信号中での位相誤差成分には少なからずクロック周波数偏差の成

-105-

分が含まれてしまう。このため、軟判定復調信号から抽出されるタイミング誤差信号のみを用いた(1)の方式 の場合、位相誤差に関して2重ループが形成されることとなり、キャリア位相同期特性に影響を及ぼす恐れ がある。一方、現在のASP型復調器にも用いられているアナログ信号中から非線形処理によりクロック成分 を抽出する方法(図4.1参照)では、フィードフォワード制御であるためシンボルクロック周波数偏差は0にす ることができるが、タイミング位相を正確に合わせることは困難である。以上の理由から、(1)と(2)の方式 を融合させたクロック再生方式を採用した。

図4.15はクロック再生回路の構成図である。この図に示すように本クロック再生回路では、IF信号から自 乗検波+タンクリミッタ方式を用いた非線形処理により抽出したシンボルクロック成分を基準信号とする PLLで逓倍することによりシステムクロックを再生し、周波数同期を確立させる。そして、このシステムク ロックのタイミング位相は、軟判定復調信号から抽出されるタイミング位相誤差量に応じてPLLのループ遅 延時間をVC-DL(Voltage Controlled Delay Line; 電圧制御遅延線)を変化させることで制御される。ここで、 軟判定復調信号からのタイミング位相誤差の検出方法としては、以下の2つの方法が一般的である。

【Muellerらの方法】^[14]

$$e_{timing} = \overline{D}_{k-1} \cdot e_k - \overline{D}_k \cdot e_{k-1} \tag{4.39}$$

【Gardnerの方式】^[15]

$$e_{timing} = y_{I} \left(t - \frac{kT_{b}}{2} \right) \left[y_{I} \left(t - kT_{b} \right) - y_{I} \left(t - (k-1) \cdot T_{b} \right) \right] + y_{Q} \left(t - \frac{kT_{b}}{2} \right) \left[y_{Q} \left(t - kT_{b} \right) - y_{Q} \left(t - (k-1) \cdot T_{b} \right) \right]$$
(4.40)



*) VC-DL:Voltage contolled Delay Line

図4.15 クロック再生回路の構成

第4章 ディジタル信号処理型直交復調器の構成法



図4.16は上記タイミング位相誤差検出器の構成である。ここで注意すべき点は、Gardnerの方法は軟判定復調信号が*T_b*/2間隔の場合に適用される方法であり、シンボル(*T_b*)間隔の場合には、Mullerらの方法を用いることとなる。

図4.15において周波数同期を行うタンクリミッタ部での設計上の留意点としては、

・クロック信号のSNR

・クロック周波数同期範囲

である。この両者はトレードオフの関係にあり、再生クロックのSNRを得るためにはタンクのQ 値を大きくし帯域を狭める必要があるが、その反面、タンクの帯域を狭めると周波数同期捕捉範 囲も狭められてしまう。また、第2章での解析結果からDSP型復調器に対する再生クロックのの影 響が無視できるのはSNRが60dB以上である。これに対し、一般にタンク回路から得られる抽出ク ロックのSNRは40dB未満であり、これを基準信号とするPLLで4*M*,逓倍するとSNRはさらに 10log₁₀4*M*(*M*=1⇒約6dB)劣化してしまう。

以上の考察から、ここでは図4.15に示すように抽出クロックに対して分周器(Ref. Divider)を用いてPLLの基準信号周波数を低くする方法を採用した。これは、PLLの応答速度を遅くすることで、Afの大きな周波数成分の雑音を低く抑え込み、等価的に再生クロック雑音特性の改善を狙ったものである。この方法では、f。近傍のSNRの改善量は少ないが、前節の解析により周波数偏差の小さい成分の影響は少ないため、f。近傍特性による劣化は無視できるものと考えられる。

4.4 ディジタル処理型直交復調器の実現

前節までの検討結果に基づいて構成したDSP型直交復調器の構成を図4.17に示す。図4.17(a)はADCの変換レートを最大限に利用して大容量化を図る*M*=1の場合の構成であり、復調制御系はASP型直交変調器と対

-107-

向させた場合の構成を示している。図4.17(b)は、全てをDSPで実現するM₂≧2の場合の構成であり、復調制 御系はDSP型直交変復調器対向システムでの構成を示している。

図4.17に示す構成において、受信IF信号は、フロントエンド部でLower-IF信号に周波数変換された後にディ ジタル信号に変換される。復調処理回路でこのディジタル信号のDEMUX_DET、フィルタリング、キャリア 位相補償を行った後、等化器を通すことで軟判定復調信号が得られる。復調制御は、等化器出力の軟判定復 調信号から検出された各種誤差信号を復調処理回路に帰還させることで実行される。このうち、送信側に ASP型変調器を用いる場合の図4.17(a)構成において、AGC、AOCは、制御量がチャネルによって異なるた め、誤差信号を位相回転部出力信号に各々帰還させ、IF-AOCはタイミングフィルタ出力の極性信号を DEMUX_DETに帰還させることで実行される。一方、送信側にDSP型変調器を用いる場合の図4.17(b)構成 において、AGC,IF-AOCは、制御量が両チャネル同一であり、誤差信号を位相回転部入力段及び DEMUX_DET部に各々帰還させることで実行される。

図4.17に示す構成において、フロントエンド部(IF入力からADCまで)では、受信IF信号をLower-IFへの周波 数変換(ダウンコンバート)を行い、そして、このLower-IF信号をクロック再生回路から出力される再生ク ロックでサンプリングすることでディジタル信号に変換する。ここで、受信IF信号は無線区間のフェージン グ等によりレベルが常に変動している。また、このディジタル信号のSNRは入力信号振幅に対する量子化精 度で決まってしまう¹¹⁷ため、ADC後のディジタル信号のSNRを一定に保つ意味から入力段の信号レベルを常 に一定に保っていく必要がある。以上の理由から、このフロントエンド部には電力制御型AGC(IF-AGC)が設 けられている。そしてこれにより、ADCでの入力レンジ超過、及び量子化維音の重畳による特性劣化を回避 している。このIF-AGCには減衰制御型GCAを用いることが望ましい。これはDSP復調制御への影響を回避 するためであり、通常の利得制御型GCAでは制御電圧に対する位相変動が大きく、キャリア位相同期系に外 乱を与えてしまう。

4.4.1 復調処理回路

復調処理回路はディジタル信号に変換されたLower-IF信号から軟判定復調信号を得るまでの復調の中心的 な処理を行うものである。ここでの主な機能は、直交検波、デシメーションフィルタリングであり、この信 号処理の過程で各種制御値に応じた信号点補正処理が行われる。この信号点補正処理は、AGCが乗算、AOC が加算、そしてCRが回転移動演算(式(4.20)参照)により実行される。

図4.18は復調処理LSI(DET-LSI)の概観写真である。このLSIは図4.17(b)の直交検波部から位相回転部までの処理を1チップ化したものである。表4.1はこの復調処理LSIの主要諸元である。この

-108-



図4.17 復調器の構成例

第 4 章 ディジタル信号処理型直交復調器の構成法

LSIプロセスのもつインターフェイスはTTLであり、速度は80MHzが限界である。この制約条件から、本LSIはSDH対応DMRシステムに適用できる動作速度を目標に設計し、符号伝送速度が最大 15MBaudのシステムに適用可能なものを実現している。図4.19は復調処理LSIの各部の回路実現例を 示す。以下にこれらの回路実現法について説明する。

最大動作速度	60 MHz		
インターフェイス	3.3V、TTL compatible		
ゲート規模	255kBC		
プロセス	0.5μm CMOS ゲートアレイ		
入出力信号	<input/> 12bit <output>15bit</output>		
制御信号	<aoc>12bit <agc>16bit <phase>14bit</phase></agc></aoc>		
テ゛シメーションフィルタ	間引き率:1, 2, 4, 8, 16 タップ数:8~64 ワード長:14 bit		

表4.1 復調処理LSIの主要諸元



図4.18 復調信号処理LSI (DET-LSI)

図4.19(a)は直交検波(DEMUX_DET)部の実現回路である。基本的にベースバンド信号は、入力信号を交互 に分配した後に1つおきの符号を反転させることにより得られる。この符号反転処理を行う場合に乗算器を 用いると回路規模が大きくなるため、補数回路とセレクタを用いた構成を採用している。このため、図 4.19(a)では、入力信号は最初にS/P変換器で4分配し、出力段の2-1セレクタで2系列に再合成する構成となっ ている。またここで、出力段の2-1セレクタ制御により,1/2の間引き処理が可能である。初段のS/P変換器後 段の位相選択回路(Phase Selector)は、直交検波での4つの検波位相の中から最適な検波位相を選択するため に設けた回路であり、T,間隔での初期タイミング調整が可能となっている。

図4.19(a)に示すDEMUX_DET回路中には、直交検波機能のほかにAOC用加算器も内蔵している。これは、 DCオフセット発生点がフロントエンド部であり、これが符号反転等の復調処理演算によりAOCの制御方向 が逆転するのを防止するためである。そして、DEMUX_DETでのAOCには同じ制御値が入力される。しかし ながら、ここにはベースバンド信号入力機能を付加しており、個別にDCオフセットが制御できる構成とし ている。

図4.19(b)はデシメーションフィルタの実現回路である。ここでは、4.2節及び3.3節で示した設計法から求められるタップ係数を用いてFIR型ディジタルフィルタリングが行われる。受信側フィルタを実現する場合、送信側フィルタと異なり入力ビット数が信号系列数に限定できないため、通常のFIR型ディジタルフィルタ 構成で回路を実現しなければならない。一方、ここでの入力信号速度は高速であるが、出力側はT₄(あるいは



T_b/2)の信号速度までデータが間引かれる。そのため、ここでは時分割処理が適用できる。図4.19(b)の構成 では、上記の理由から、分配器とポリフェーズフィルタで構成されるデシメーションフィルタの基本構成^[10] にタップ係数のセレクタ回路と累算器を付加して、フェーズフィルタの共用を図り、回路規模を削減してい る。その結果、タップ数=(乗算器数×間引き率)のFIR型ディジタルフィルタが実現できることとなる。また ここで、間引き後のタイミング位相制御は、アキュームレータの帰還データレジスタのクリア(Clear)タイミ ングをずらすことにより行う。

本LSIでの乗算器数は3.3節及び4.2節の解析結果から8個とした。これにより、表4.1の主要諸元に示すように、ここでは最大64タップ相当のFIR型ディジタルフィルタが実現できる。

図4.19(c)は信号点回転移動演算に用いるsin及びcos信号発生部の実現回路である。sin関数発生器の最小 位相分解能は、

 $\theta_{\rm res} = 2\pi \times 2^{-N_p}$

で与えられる。ここで、 N_p はアドレスビット数であり、 $\theta_{res}=1.4^\circ$ (@ $N_p=8$)、 $\theta_{res}=0.005^\circ$ (@ $N_p=16$)である。 DDSには一般的に $N_p=16$ の関数発生器が搭載されている。CRでの定常位相誤差はこの関数発生器の最小位相 分解能で決まる。256QAMの位相誤差許容値は、文献[9]で示されているように $\theta_{pe}<0.3^\circ$ であり、この要求 を満足させるため、ここでは、1/10以下(<0.03°)の分解能となる $N_p=14$ としてLSI設計を行った。

高分解能の正弦波対発生器を構成する場合、3.3節でも触れたが、三角関数の加法定理を用いたハイブリッド方式が有効である。図4.19(c)に示す実現回路では、分解能の異なる2組のROMテーブル(合計4つ)とディジタル演算器により

$$\cos(\varphi_c + \varphi_f) = \cos\varphi_c \cdot \cos\varphi_f - \sin\varphi_c \cdot \sin\varphi_f$$

$$\sin(\varphi_c + \varphi_f) = \sin\varphi_c \cdot \cos\varphi_f + \cos\varphi_c \cdot \sin\varphi_f$$
(4.41)

の演算が実行される^[18]。ここではさらに、上位2bitの象限判定ビットを用いて三角関数の還元公式により粗い分解能のROMテーブルを用意し、規模の削減を図っている。

4.4.2 復調制御回路

復調制御回路は、誤差検出回路からの誤差信号に従って復調信号処理回路に与える制御係数を決 定するものであり、各制御に対してループフィルタが必要となる。ここで、CRは前述のように非 線形制御系であるため2次ループフィルタで実現され、AOC,AGCは一次制御系であるため、1次 ループフィルタを用いて実現される。

ー次ループフィルタは単純な積分器であり、ディジタル的な実現法には、

1) アキュームレータ(累算器)

2) ランダムウォークフィルタ(Random Walk Filter, RWF)^[19]

が考えられる。1)の方法は、最も単純な方法であるが、誤差信号はたかだか数ビットであるため回路的な無駄が大きい。また、制御時定数を大きくするにはビット数を増やす必要があり、この場合、加算時のキャリー処理のため処理速度が低下するという問題点がある。以上の理由からここでは、アップダウンカウンタによる2)のRWFを用いて1次ループフィルタを実現した。

図4.20は復調制御LSIの概観写真である。このLSIは図4.17(b)の復調制御部を1チップ化したものであり、CR,AGC,AOC用ループフィルタを各1つずつ有している。表4.2は復調制御LSIの主要諸元である。CR用ループフィルタは図4.11に示す完全積分二次フィルタ十位相累算器を実現している。また、AGC,AOC用ループフィルタはRWFを用いて実現している。



図4.20 復調制御LSI(CONT-LSI)

表4.2 復調制御LSIの主要諸元

3 天4.2	返 in m m L SI V 上 安 in 几
最大動作速度	20 MHz
インターフェイス	5V、 TTL compatible
ゲート規模	26kG
プロセス	0.8μm CMOS ゲートアレイ
符号形式	2の補数
キャリア再生	完全積分 2 次フィルタ十位相累算器 <input/> 8bit <output>16bit <係数α、β>12bit <係数γ>16bit</output>
利得制御(AGC)	ランダムウォークフィルタ <input/> 4bit <output>16bit <積分時間>5~33段, step=4段</output>
DCオフセット制御 (AOC)	ランダムウォークフィルタ <input/> 4bit <output>12bit <積分時間>5~33段, step=4段</output>

図4.21に復調制御LSIに搭載したRWFの構成を示す。基本的なRWFは極性ビットのみでZF制御 を実現するものであるが、ここでは、多ビット誤差信号に対するMSE制御を可能にするために、 入力段に5bitのアキュームレータが追加されている。RWFの時定数はカウンタの段数で制御でき、 ここでは、カウンタ出力のセレクトにより実現している。またこの構成では、最大49bitのアキュー ムレータに相当する積分器が実現できる。さらに、準正常制御状態に対応するため、制御係数回 路と積分回路を分離して上下限値検出(Limit Detect)回路を設けている。これにより、制御係数が 上限値(または下限値)を飛び越えることによる符号反転(&H7FFF⇒&H8000)すること、及び2 の補数表現上での不定値(&H8000)となることを抑止している。



4.4.3 誤差検出回路

誤差検出回路では、軟判定復調信号から各種制御に用いる誤差信号を生成するものである。図 4.17に示す復調器構成では、等化器(Adaptive Equalizer)出力が軟判定復調信号に相当し、ここ での信号からキャリア位相、タイミング位相、振幅、DCオフセットの各誤差信号が生成される。 これらの誤差信号のうちでタイミング位相誤差信号はクロック再生回路に対して出力し、それ以 外の誤差信号は、上記復調制御LSIの各制ループフィルタに入力される。

図4.22に誤差検出部の論理回路実現例を示す。この図の各誤差量は、符号ビットである第1パス 信号(D₁₁,D₀₁)と誤差信号(E₁₁,E₀₁)を用いて

DCオフセット誤差	(DC-offset Error) :式(4.34)
-----------	------------------	------------

浱幅誤差(Gain Erro	r)	:式(4.33)
----------------	----	----------

キャリア位相誤差(Phase Error) :式(4.21)

タイミング位相誤差(Timing Error) :式(4.39)

に従って検出される。また、図中の各TableはROM化されている。この図において、振幅誤差 量は入力信号振幅に比例しており、1ビットに対する重みが中心部と外周部で異なる。また、同 様にキャリア位相誤差量も直交座標上の誤差1ビットの重みは中心部と外周部で異なる。このた め、これら2つの誤差検出回路では第2パス信号(D₁₂,D₀₂)も用いて誤差量の補正を行っている。

4.5 実験結果

前節までで議論したDSP型復調器構成の基本特性を測定するため、実際に図4.17(a)に示す構成のSDH対応DMR方式(4・5・6G-300M)^[20]に適応可能な256QAM復調器を試作して実験を行った。実験系の構成を図 4.23に示す。この図に示すように、本試作器は、フロントエンド部、DSP部、及びクロック再生部の3つに 分けて構成した。フロントエンド部及びDSP部のボード概観を図4.24(a).(b)に各々示す。フロントエンド部



図4.22 誤差信号検出回路の構成

はIF入力からADCまでの機能が実装されており、ディジタル論理レベル変換器(ECL⇒TTL)を介してDSP部 と接続されている。DSP部は前述の復調処理LSI、復調制御LSI及びFPGAを用いて構成されている。ここで、 IF-AOCは復調制御LSI中のループフィルタを用い、位相回転回路後のAGC、AOCは復調制御LSIと同一の RWFをFPGA上に構築した。このDSP部出力には、伝送特性を測定するために、誤り訂正、回転対称復号、 デスクランブラ等のベースバンド論理処理機能を4・5・6G-300M方式用256QAM復調器の一部回路を利用し て実装した。一方、送信側変調器には4・5・6G-300M方式用256QAM変調器(ASP型構成)をQPSKから 256QAMまでの多値QAM方式に対応できるように改造した多値QAM変調器を用いた。そして変調器出力信 号は、フェージングシミュレータやフィルタ、AGCアンプ等を用いて伝送路と受信装置を模擬した伝送系を 介して復調器に入力される。実験系の主要諸元を表4.3に示す。この実験系において、IF中心周波数は 150MHzであり、ロールオフ波形整形はこの中心周波数のSAWフィルタを用いて行った。Lower-IFの中心周



図4.23 実験系の構成



(a) フロントエンド部

(b)DSP部

図4.24 実験回路写真

波数は符号伝送速度と同一の約14MHzである。また、本試作復調器では、ADCは最大80Msps、分解能: 10bitの市販デバイスを用い、さらに7タップトランスバーサル型等化器(ATRV,NEL製)^[21]をDSP部に搭載し ている。この実験系において、送受間の周波数オフセットΔ*f*は、変調キャリア用シンセサイザと復調ダウン コンバータ用シンセサイザ(*f_{iocal}=*136.0557MHz)のローカル同期を確立し、前者の出力周波数を規定の周波数 (*f_=*150MHz)からずらすことにより与えている。

実験系のADC入力段で測定した信号波形を図4.25に示す。この図は、16QAM信号を理想的な条件 (*Δf*=0,*ΔT_s*=0)下で観測された波形であり、符号伝送速度とIF中心周波数が同期したLower-IF実時間信号波形 である。この図の中心がアイパターンの開口であり、サンプリングクロックの立上りであるこの点から± *T_b*/8だけずれた点がサンプリングされ、ディジタル信号に変換される。図4.26はDEMUX_DET出力とタイミ ングフィルタ出力での16QAM信号点配置を示す。ここで、図4.26(a)はサンプリングレートのみを1/2に落と して観測している。この図に示すように、DEMUX_DET直後は両チャネルともに最適識別タイミングからず れているため信号点はぼやけているが、タイミングフィルタによる位相補正処理により最適な識別タイミン グに補正が行われていることがわかる。図4.27はタイミングフィルタのタップに対する64QAMの等価CNR

中心周波数	150 MHz
 変調方式	QPSK,16QAM,64QAM,256QAM
符号伝送速度	13.94Mbaud (max. 111.5Mbps)
サンフ゜リンク゛クロック	55.77MHz IF抽出十 P L L , VCDL:PS-3(R&K製)
波形整形	ロールオフ(α=0.42)、送受均等配置
A-D変換器	10 bit, max. 80Msps,(AD9070, Analog Devices製)
適応等化器	7 タップ、トランスバーサル型(ATRV, NEL製)
誤り訂正	BCH(255.237)

表4.3 DSP型復調装置の主要諸元



劣化量の測定結果である。ここで、演算語長は14ビットであり、図4.26(b)の写真はタイミングフィルタ にTRV-EQL(11タップ)を用いた場合の測定結果である。この図に示すように、両フィルタともに9タップ以 上で劣化量が約0.3dB以下に抑えられることができることが確認された。また、TRV-EQLの方が5タップ以 上でタイミングフィルタによる特性劣化は見られなくなっており、タップ数の少ないところで優れた特性を 示すことが確認できた。

クロック再生ユニット(CLK Rec. Unit)からの出力信号の測定結果を図4.28に示す。この測定結 果は、図4.15中の分周器*Ns*=2, *Ns*=512に設定した場合に矩形波整形前の再生サンプリングクロッ ク(f_s=55.777MHz)を観測したものである。図4.28(a)は、出力信号波形である。この図からわか るように、*Ns*=512とすることによりクロックジッタが抑圧できていることが確認できる。また、 図4.28(b)は再生クロックの位相雑音の測定結果である。この図の横軸は、サンプリングクロック 周波数からの離調周波数を示している。この図に示すように、*Ns*=2⇒*Ns*=512とすることにより、 Δf_s=100Hz~5kHzで位相雑音の改善が見られるが、f_s近傍の改善はほとんど見られない。この結果 から、図4.28(a)の特性差はこの周波数帯域での位相雑音の改善によるものであることが確認でき るとともに、分周器の付加が再生クロック雑音の改善に有効であることが確認できた。図4.29は

-118-

分周率Nsに対するΔf=100Hzでの位相雑音の測定結果である。この図よりNs=16でまでの改善効 果は大きく、Ns>16ではそれほど大きな改善は見られない。このことから、Ns≧16とすることで 安定した再生クロックが得られることが期待できる。以後の実験結果はNs=512として行った。

以上示した各部の実験を踏まえて総合伝送系を構築した。図4.30 は、 Δf =50kHzにおいて復調器出力で観測した信号空間点配置(256QAM,64QAM)である。ここでは、 Δf によるDEMUX_DETでの直交誤差補正は行っておらず、等化器は動作状態(Active)としている。この図から、256QAMでも256個の各信号点が十分に分離/識別できており、良好な特性が期待できる。

図4.31は総合のビット誤り率特性である。この特性は、Δƒ=0,FECなし,等化器動作状態という 復調器条件下でIF帯に白色雑音を印加して各変調方式の最悪パスの誤り率を測定したものである。 この図から、QPSK,16QAM,64QAMでは等価CNR劣化量が0.5dB以下であり優れた特性である ことが確認できた。一方、256QAMでの等価CNR劣化量は、1.5dB(BER=1.0×10⁻⁴)及び 3.2dB(BER=1.0×10⁻⁶)であった。この値はSDH対応のASP型256QAM復調器と同等の値であっ









図4.30 信号点配置

た。従って、この劣化はアナログ処理段での劣化要因であるものと考えられ、特に、10⁻⁴点と 10⁻⁶点との特性差が大きいことからフロントエンド部での非線形歪が支配的要因であると考えられ る。さらに言及すると、フロントエンド部で波形整形に用いているSAWフィルタの挿入損が一般 的に単体で20dB以上と非常に大きく、これを補償するために利得の高いアンプを用いている。ま た、キャリア同期特性への影響を考慮して減衰型利得調整を行うため、PIN-ATT.への入力信号電 力を高利得アンプで上げている。これら2つの理由から用いている高利得アンプが非線形歪を発生 させる主要因となっている。このため、256QAM復調器用のフロントエンド部設計では、SAW素 子特性とレベルダイヤグラムに十分注意する必要がある。

次に、キャリア同期特性の測定を行った。この測定での制御パラメータは以下の通りである。



 $\alpha = \&H030$, $\beta = \&H0FF$, $\gamma = \&H3000$, $f_0 = \&H000$ 表4.4は各変調方式に対するキャプチャレンジ及びロックインレンジの測定結果である。この表 に示すように、キャプチャレンジは20~30 kHzであり、変調多値数が小さくなるに従って広くなっ ており、また、ロックインレンジは変調方式に対する変化は小さく、すべての変調方式で327kHz 以上の値が得られていることがわかる。さらに、これらの特性は、CNRに関係なくほぼ同一であっ た。これらの結果から、ロックインレンジに関しては全ての変調方式でASP型復調器に比べて同 期レンジが広くなっており、特に、256QAMのロックインレンジはASP型復調器よりも約6倍広 いことがわかる。この結果は、DSP構成での線形制御範囲が広いこと特徴が表れた顕著な例であ ると考えられる。一方、キャプチャレンジに関しては、誤差検出器特性が支配的であり、キャリ ア位相検出器はASP型復調器と同じ検出器を用いているため、ほぼ同等の特性が得られている。 この特性改善に関して、DMRシステム用復調器ではスイーパが一般的に用いられており、この機 能のディジタル化が最も身近な実現手段である。

図4.32はシグナチャ特性である。このシグナチャ特性は、一般に、周波数選択性フェージング 対策用に等化器を搭載した復調器の特性を評価するために測定されるものであり、直接的に復調 器特性を表すものではない。しかしながら、現状のDMR方式用多値QAM復調器では、ディジタル 等化器が搭載されており、この等化特性に影響を与える復調器構成は望ましくない。以上の観点 から、ここではシグナチャ特性の測定を行った。この図の特性は、τ=8ns、最小位相遷移(MP) フェージングでのBER=1.0×10⁻⁴の測定結果である。この図から、従来のDMR方式用多値QAM 復調器と同等の特性を示しており、DEMUX_DETによる性能差はほとんどないことが確認できた。

		NOISE	FREE	低CNR時(1	0 ⁻³ error)	備老
		十側(kHz)	一側(kHz)	十側(kHz)	一側(kHz)	
	256QAM	22.99	22.10	21.95	21.93	
Capture	64QAM	24.45	24.05	24.49	24.95	
renge 16QAI QPSK	16QAM	28.81	28.10	28.99	28.15	
	QPSK	27.75	27.60	29.39	29.14	
	256QAM	327.80	327.80	327.41	327.49	\pm 40 kHz
Lock-in	64QAM	328.11	328.13	327.54	327.58	
renge	16QAM	328.29	328.37	327.64	327.71	±120kHz
	QPSK	328.25	328.23	327.84	327.88	±275kHz

表4.4 キャリア同期特性

注)ロックインレンジの備考欄の数値は、ディジタルマイクロ波方式の仕様値



次に、図4.17(b)のDSP型変復調器の対向システムとしてADSL用高速データモデムを試作して 実験を行った。ADSL(Asymmetric Digital Subscriber Line)は、通常電話線として敷設されてい るツイストペア線を用いて高速データ伝送を実現しようとするものであり、高速インターネット アクセスに対する需要の高まりで注目を集めているシステムである^{[22],[23]}。実験系の構成を図 4.33に示す。この図に示すように、変調器は前章で示したフィルター体型変調器LSI(RX03)を用 いて構成し、この出力をツイストペアケーブルの伝送帯域までダウンコンバートしている。この 信号を差動アンプ(Dif. Amp.)を介してツイストペア線を伝送させ、同じく差動アンプで受信され る。復調器に入力された信号は内部でアップコンバートされた後にA/D変換される。ここで、 白色雑音は復調器入力段で付加される。表4.5はADSL伝送実験系の主要諸元を示す。本実験系は、 64QAMで1.5Mbpsのデータ伝送を実現しており、伝送帯域は300±192kHzを選択した。

図4.34はADSL実験伝送路の特性の測定結果である。図4.34(a)は入力を終端した場合において 出力端で測定した伝送路の雑音特性である。この図に示すように、ツイストペアケーブルには様々 な周波数帯域に不要雑音がのっていることがわかる。また本伝送路には、入力端から200mの地点 にタップによる分岐線を設けており、この影響により、図4.34(b)に示すような300kHz付近で振 幅遅延特性に大きなうねりが生じている。

図4.35は受信信号の測定結果である。図4.35(a)はADC入力段の周波数特性である。この図に

-122-

示すように、図4.34で示した伝送路特性のため、変調波近傍にはスパイク状の雑音が近傍に重畳 されていると共に、変調信号自信も歪んでいることがわかる。このため、信号点配置を図4.30と 比較すると、信号点の収束が悪くなっている(図4.35(b)参照)。

この伝送系でのビット誤り率特性を図4.36に示す。この図中のDirect Con.とはツイストペア伝送路を介さずに同軸ケーブルで変調器 - 復調器を接続した場合の特性である。この図に示すよう



図4.33 ADSL伝送実験系の構成

変調方式	64 QAM
伝送容量	1.536 Mbps
中心周波数	300 kHz
波形整形	ロールオフ(α=0.5)、送受均等配置
システムクロック	4.096 MHz
等化器	7タップートランスバーサル型
誤り訂正	なし

表4.5 ADSL実験系の主要諸元



(a) 受信信号

(b) 復調信号点配置

図4.35 ADSL受信・復調信号

に、本伝送路での等化CNR劣化量は約1.5dB(BER=1.0×10⁻⁴)であり、同軸ケーブルよりも約 1.2dB劣化している。この要因は、分岐タップのない実験結果(3HOP)から明らかなように、分岐 タップでの反射によるものであることが予測される。分岐タップのない実験結果(3HOP)では、 600mの信号伝送でも同軸ケーブルとほぼ変わらない特性を示している。以上の結果から、このよ うなDSP型復調器はデータ伝送モデムとしても用いることができ、ADSLに適用するためには DFE等の最適な等化器の選定が必要である。

<u>4.6 むすび</u>

無線通信システムに適用可能なDSP型多値QAM復調器の構成法について検討を行った。

まず始めに、最小のサンプリングレートで高精度な直交検波処理を実現するために、デマルチプレクサを用いたDSP型直交検波器(DEMUX_DET)の構成を示し、隣接チャネル成分によるエリアシングとADCとのサンプリングレートの関係からフィルタの機能配分を明かにした。また、このDEMUX_DETの様々な条



件下での特性解析を行い、周波数オフセットが無視できない劣化要因であることを明らかにした。 さらに、ここでのタイミングフィルタ設計法として、最小サンプリングレート時のタップ係数の 補間公式と行列固有値からの算出方法と、最小自乗誤差を用いた評価方法を示した。

次に、DEMUX_DETを用いた場合の各種制御ループの構成方法を示した。キャリア位相同期回 路の構成では、DEMUX_DETでの周波数オフセット量に比例した直交誤差が発生するため、キャ リア同期制御回路出力信号を用いた近似的な直交誤差補正方法を示した。またここでは、PLL基 本方程式からループフィルタのDSP構成を導出し、PLL設計パラメータと各係数の対応付けを行っ た。DCオフセット及び利得制御に関しては、受信側でのDCオフセットが位相回転補正後には回転 成分となるという課題から、キャリア位相補正を行う箇所に応じた制御系を示した。さらに、ク ロック再生回路では、位相誤差に関するキャリア同期とクロック再生の2重ループを回避する観点 から設計を行い、IF信号からのクロック成分抽出により周波数同期を行い、ベースバンド信号から のタイミング位相誤差検出により位相同期を行う2重ループ型のクロック再生回路を提案した。

次に、各部の構成法の議論に基づいてDSP型復調器の実現方法について示した。ここでは、まず、DSP型復調器の全体構成をまず示した。この中で、復調処理部に関して、DCオフセット補正 を加味したDEMUX_DET、乗算器を削減したデシメーションフィルタ、回路規模を削減したキャ リア発生器の実現方法を示し、これらの機能を一体化したDET-LSIを実現した。また、復調制御

-125-

部に関して、カウンタと累算器を組合せたランダムウォークフィルタの実現方法を示し、キャリ ア同期、AOC、AGCループフィルタを一体化したCONT-LSIを実現した。さらに、誤差検出回路 の論理回路での実現例も併せて示した。

最後に、提案構成の基本性能を測定するためにSDH対応多値QAMDSP型復調器を試作して実験 を行った。本試作復調器の符号伝送速度は約14MBaudであり、256QAMの場合約112Mbpsの伝 送容量を有する。この実験結果から、ビット誤り率特性及びシグナチャ特性は従来のDMR方式用 16/256QAM復調器と遜色のない特性が得られることが確認できた。また、キャリア位相同期特性 に関しては、従来の復調器よりもロックインレンジに関して約6倍の広帯域化を実現できており、 線形制御領域が広いDSP型構成の利点が結果として表れた。ここでは併せて、ADSL用データモ デムを例にDSP型変復調器対向の伝送系を構築して実験を行い、DSP型対向システムでの簡略化 したDSP型復調器構成の有効性を確認した。

【参考文献】

[1]Intersil co.: "Programable Downconverter HSP50214B", Datasheet(May 2000)

- [2] J. W. Chamberlin, et.al:"Design and Field Test of a 256QAM DIV Modem" IEEEJ-SAC, vol. SAC-5, NO. 3, pp. 349 -356 (1987).
- [3]H.Samuelli, C.P.Reames, L.Montreuil and W.E.Wall:"Performance Results of a 64/256-QAM CATV Receiver Chip set", IEEE802.6-94/016
- [4] S. Nakamura, et. al, "Advanced Digitalized Demodulator VLSIs with Incoherent Sampled Detection" GCOM'89, pp. 1093 -1099 (1989).
- [5] O. Joeressen, M. Oerder, R. Serra, H. Meyr:"DIRECS: system design of a 100Mbit/s digital Receiver", IEE Proceedings-G, vol. 139, No. 2, pp. 222 -230 (April 1992).
- [6]V. Considine, "Digital Complex Sampling:"Electronics Letters, 19.16 pp.608 -609 (Aug. 1983).
- [7] C. M. Rader: "A Simple Method for Sampling In-phase and Quadrature components", IEEE Trans. on AES, vol. AES-20, No. 6, pp. 821 -824 (June 1984).
- [8] H. Samueli, B. C. Wong: "A VLSI Architecture for a High-speed All-Digital Quadrature Modulator and Demodulator for Digital Radio Applications", IEEE J-SAC, vol. SAC-8, No. 8, pp. 1512 -1519 (Oct. 1990).
- [9] Y. Saito and Y. Nakamura:"256QAM Modem for High Capacity Digital Radio System",

<u>第4章 ディジタル信号処理型直交復調器の構成法</u>

IEEE Trans. on COM vol, COM-34, No. 8, pp. 799 -805 (Aug. 1986).

- [10] R.E.Crochiere, L.R.Rabiner:"Multirate Digital Signal Processing", Prentice-Hall, Chapter 4.
- [11] 武部 幹 訳: "適応フィルタ入門",現代工学社、第2章、(1990)
- [12]A. Leclert and V. Vandamme:"Universal Carrier Recovery Loop for QASK and PSK Signal Sets", IEEE Trans on COM., Vol. COM-31, No. 1, pp. 130-136 (Jan. 1983).
- [13]G. Karam, J. Kervarc, H. Sari, P. Vandamme:"All-Digital Implementation of the Carrier Recovery Loop in Digital Radio Systems", in Proc. of ICC'91, No.5.6.1, pp.175-179 (1991)
- [14]K.H.Mueller and M.Muller:"Timing Recovery in Digital Synchronous Data Receivers", IEEE Trans. on COM, vol. COM-24, No. 5, pp.516-531(May 1976).
- [15]F.M.Gardner:"A BPSK/QPSK Timing Error Detector for Sampled Receivers", IEEE Trans. on COM, Vol. COM-34, No. 5, pp.423-429(May 1986).
- [16]田中 公男著: "ディジタル通信技術"、東海大学出版会、第5章
- [17]白土、他:"ディジタル無線通信用全ディジタルトランスバーサル形自動等化器"信学論B -II vol. J73-B-II No. 5 pp.241[~]249 (1990).
- [18] 辻井重男, 青山友紀, 友沢淳: "ディジタル信号処理の応用", 電子通信学会、第5章(1981)
- [19]畑 雅恭、古川計介著:"PLL-ICの使い方"、産報出版、第8章(1982)
- [20]T.Murase, A. Hashimoto and J. Segawa:"Design and Performance of SDH Based Microwave Digital Radio Systems", in Proc. 3rd ECRR, pp.48-55(1991)
- [21]中村博幸,大塚裕幸:"汎用・高機能トランスバーサルフィルタLSI",1990年信学会秋 季全国大会 B-314(1990年10月)
- [22]T.R.Hsing, C.Chen, and J.A.Bellisio:"Vido Communications and Services in Copper Loop", IEEE Commun. Mag. pp.62-67(January 1993)
- [23]S.Yamano:"The Range of HDSLs and ADSLs in NTT's Local Networks", Proc. in ICC'94, 313.3(May 1994)

信号速度の異なる複数信号を伝送する無線通信システムに適用できる機能を有する信号速度可変 型変復調器について議論する。まず始めに、ワイヤレスアクセス回線を用いて効率良くマルチメ ディアサービスを提供することを目的とした速度可変型無線通信システムの概念を示す。次に、 マルチレートディジタル信号処理技術 (Multirate Digital Signal Processing, MDSP)に基づいて 構成される信号速度可変型変復調器の構成方法を示す。本変復調器の特徴は、最大の伝送レート を基準にすべての速度モードに対して周波数の近いサンプリングクロックを用いるだけで、チャ ネルフィルタを選択することをせずに安定した変調特性を維持できる点にある。しかしながら、 A / D変換器における劣化要因の解析によって、干渉の観点から、唯一、復調器のチャネルフィ ルタの帯域幅を可変させる必要があることを明らかにする。最後に、2 つの異なる伝送速度 (1.544 Mbps, 6.312 Mbps)を有する変復調器を試作し、室内実験を行った。そして、良好なか つ同等の特性がアナログ系の調整なしに得られることを確認する。

5.1 はじめに

無線通信では、B-ISDNにおけるあらかじめ物理的なパスが張り巡らされているネットワーク上 でのVC(Virtual Channel)と異なり、常に、物理的なパスとチャネルを同時に設定しなければなら ない。また、ネットワーク上での廃棄確率と伝搬遅延時間は、主として通信回線の伝送容量に比 例するため、トラヒックピークにあわせた伝送容量を確保しておくことが望ましい。しかしなが ら、無線通信システムでは、周波数資源を複数のユーザで共用するため、トラヒックピークにあ わせて回線を割り当てるとユーザの収容効率が著しく劣化する。

信号速度可変型の可変容量伝送方式^{[1]^[3]は、第1章で示したように、伝送容量に応じて信号帯域 幅を可変させる方式であり、直接的に周波数チャネル上でのユーザの収容効率が変化させること ができる。このため、この方式はワイヤレスアクセス回線への応用が適しているものと考えられ、 適応的に回線割当を行うことで柔軟にトラヒック変動を吸収できるシステムが実現できるものと 考えられる。さらに、同一フェージング環境下では、耐フェージング特性は符号速度に依存する^[4] ため、本方式は、最適な信号速度に調整することでフェージング補償技術としても期待できる。 以上の観点から、マルチメディア無線通信サービスに適応可能な高機能変復調器を実現するため には、速度可変機能の変復調器への実装は不可欠な要素であると考える。}

これまでに信号速度可変機能を有する変復調器は複数報告されている^{[5],[6]}。これらは、信号速度

を連続的に可変するものであり、波形整形フィルタを除いた全ての部分が可変帯域フィルタをキー デバイスとしたアナログ回路で構成されている。また、本論文で議論をしている変復調部までを DSPで実現しているものはない。この構成の速度可変型変復調器では、アナログ構成に起因し た速度モード間の均一性及び調整性などの問題を有している。それ故に、小型・低消費電力化に は向かず、さらに、変調方式可変機能との融合等の機能拡張も難しい。一方、速度の異なるディ ジタル信号を効率的に処理するには、マルチレートディジタル信号処理(MDSP)技術^{[7],[8]}を用い ることが有効である。また、アナログ回路でもPLLシンセサイザ等の切替による特性変化の少 ない回路もある。以上の理由から、MDSPに基づきアナログ回路を融合させた速度可変型変復 調器の簡易な構成法について検討を行った。

本章では、ディジタル処理型高速変復調器を応用した高機能無線通信システムの実現を目的とし て、信号速度の異なる複数の信号を伝送する無線通信システムに適用できる機能を有する信号速 度可変型変復調器の簡易構成法について検討を行う。まず始めに、ワイヤレスアクセス回線を用 いて効率良くマルチメディアサービスを提供することを目的とした信号速度可変型無線通信シス テムの概念を示し、本システムを周波数利用効率の向上という観点からアクセス方式とチャネル 配置方法に焦点を当てて議論する。次に、すべての速度モードにおいて同一の特性が得られるこ と、およびクロックの制御が簡単であることを考慮してMDSPに基づいて構成される信号速度 可変型変復調器を示す。ここでは、信号速度を可変するための主信号処理系の動作原理、信号速 度可変モードを実現するために考慮しなければならないADCでの劣化要因、および信号速度可 変モードを実現するためのクロック再生回路の構成について議論する。最後に、2つの異なる伝 送速度(1.544 Mbps、6.312 Mbps)を有する変復調器を試作し、室内実験を行った結果を示す。

5.2 速度可変型システムの適用サービスイメージ

信号速度可変型伝送方式を用いたワイヤレスマルチメディア通信システムの適用システムイメー ジを図5.1に示す。この図は基地局(BS,Base Station)がそのサービスエリア内の全ての端末局 (PS,Personal Station)の通信を制御する集中制御型のネットワーク構成例を示している。このシ ステムにおいては、常時、同じ周波数チャネルに制御チャネル(Control Channel)が配置されてお り、PS→BSへの回線確立要求信号、BS→PSへの呼出信号及び回線割当信号等の全てのシステム 制御信号は、この制御チャネル用いて送受信される。それ以外の周波数チャネルが通話チャネル として使用される。BS-PS間の通信回線は制御チャネルを介して設定され、原則、通信中は一定 の通信速度に保たれる。この通話チャネルの配置がトラヒック変動に応じて適応的に更新されて いく。

チャネル番号、帯域幅及びアクセス手段(TDMA, FDMA, CSMA, TDD他)等のPSに対するアクセ ス条件は、BSにおいて、通信回線の状態や情報速度・QoS(Quality of Service)に対する要求に 基づいて決定される。そして、これらの情報もまた、制御チャネルを用いてPSに伝送される。例 えば、インターネット上に置かれたビデオサーバ(Video Server)を用いたVOD(Vido-on-Demand)サービスを本システムを用いて提供することを考えた場合、ビデオ信号は約6.3Mbpsの 高速連続信号を下り回線(BS→PS)上を伝送するのに対し、上り回線は、64kbps以下の低い情報 速度のバースト状の要求信号を伝送することとなり、情報速度・QoSの異なるの信号を上り及び 下り回線に割り当てなければならない。そこで、PSとBS間をFDD(Frequency Division Duplex) で多重し、下り回線には、FDMAで広い帯域のチャネルを割当、上り回線には、TDMA狭帯域チャ ネルの空きスロットを割り当てる。これにより、大容量下り回線を確保し、かつまた、狭帯域の 上り回線を効率よく収容することが可能となる。

本システムにおける周波数チャネルの配置方法を図5.2に示している。この図では、3種類の異なる帯域幅の通信回線(N-ch,W-ch,B-ch)を用いるシステムの周波数軸上へのチャネル配置例を示している。

図5.2(a)は集中制御型の周波数チャネル配置であり、あらかじめN-chとW-chとB-chを配置する帯域を分けておき、チャネルの使用頻度に応じてチャネルの配置帯域幅を更新していく方式である。このとき、ある基地局のカバーエリア内の周波数配置の更改は、基地局において情報量、



図5.1 信号速度可変方式を用いたマルチメディア無線通信システムの概要



図5.2 チャネル配置例

情報種別等を測定し、かつまた周囲の基地局のカバーエリアに干渉を与えないように基地局間の 連携を図ることで、基地局が集中制御する。

図5.2(b)は、デマンドアサイン型のチャネル配置方法を示している。この配置方法において、各 チャネル帯域幅は一番帯域幅の狭い回線であるN-ch帯域幅で区切られており、回線確立時に空き チャネルを検索し、通信回線の帯域幅に応じて連続したチャネルを確保することでW-chあるいは B-chを配置していく方法である。この配置方法ではユーザの要求に応じてチャネル数が動的に制 御されることとなる。

集中制御型の配置方法の利点は、比較的長い測定結果に基づき周波数割当が更改されるため、周 波数割当を最適化できるというところにある。しかしながら、急激なトラヒック変動に対しては、 更改周期が長いため、吸収することは難しくなる。一方、デマンドアサイン型の配置方法の場合 には、急激なトラヒック変動を吸収できる仕組みは有しているが、それを柔軟に吸収し、周波数 利用率を上げるためには、高度な回線制御アルゴリズムを用いる必要がある。

本システムを実現していく上では、様々な課題がある。例えば、回線制御に関しては上述したよ うなチャネル配置アルゴリズム、回線割当アルゴリズムの開発、ハードウェアに関しては、帯域 可変技術の確立、様々なアクセス方式を視野に入れたソフトウェア無線のコンセプトを用いた装 置開発の必要性等、である。これらの課題の中で、信号速度可変型変復調器の開発が本システム の実現可能性を示唆する上で現段階では最も重要な課題である。以下の節で、上記のシステムに 適用可能な信号速度可変型変復調器の実現方法を述べていく。周波数チャネル配置方法及び回線 制御アルゴリズムの検討は今後の検討課題して、ここでは整理しておく。

-131-

5.3 速度可変型変復調器の構成

前節で示したマルチメディア無線通信システムでの変復調器への要求条件は、短い切替時間であ る。これは、周波数割当変更等によるシステム切替時間を短縮し、通信可能な時間を長く確保す るための当然の要求である。さらに、様々なアクセス方式に適用すること及び変調方式可変機能 の追加を考慮すると復調器の再生系は柔軟かつ精度の高い構成であることが望ましい。

信号速度可変機能を有する従来の変復調器は、波形整形ディジタルフィルタを除いて、大部分が アナログ回路で構成されたものであり、以下に示すようないくつかの問題点を有している。

- 1) 直交変調回路への入力段におけるベースバンド信号振幅が、伝送速度によって異なるため、 安定した変調特性を有するアナログ変調回路を実現することが困難である。
- 2)隣接チャネル干渉の影響により受信信号電力が飽和する。これを防止するためにADCの前段に可変帯域LPFが配置されているが、全ての速度モードに対してこの可変帯域LPFの I-chとQ-ch間のバランスを保つことが難しい。
- 3)速度モードに応じてサンプリングクロック周波数を切替る時に、その周波数の可変幅(最高レート→ハーフレートへの切替時)が最大50%にまで及ぶため、クロック再生回路の構成が 複雑になる。

ここで、1)、2)は、単にディジタル信号処理を適用することにより容易に解決できる課題で ある。3)の問題点を解決するためには、速度モードによらずシステムクロックを同一とするこ とで必要であり、ここでのMDSP技術の適用が有効である。

第2章で示したマルチメディア通信サービスにおいては、ディジタルハイアラーキと周波数割当 アルゴリズムの効率の観点から、信号速度が連続的に変化するケースが考えにくく、数種類の信 号速度が選定されるものと考えられる。しかしながら、その数種類の信号速度は、信号伝送系の フィルタ系、誤り訂正符号等の違いにより、必ずしも全て速度モードが整数倍となるとは限らな い。

MDSPは、ポリフェーズ(Polyphase)^[9]、ハーフバンド(Half-band filter)^[8]、CIC^[10]といっ たディジタルフィルタを用いて補間(Interpolation)及び間引き(Decimation)処理を行うことで信 号のサンプルレートを変換していくものである^[11]。この時、整数倍の補間/間引きに関しては簡 易に実現できるが、有理数倍の速度変換の場合には、図5.3に示すようにフィルタを多段に接続し、 NCO(Numerical Controlled Oscillator,数値制御発振器)から生成される位相情報に従って、サ ンプルデータ間の信号を推定していくという複雑な構成となる。ここで、変換レートはNCOの ワード長に依存して決まり、扱える周波数範囲も入力信号帯域がサンプルレートに対して1/4以下

-132-



図5.3 サンプリングレート変換器の構成例

に制限される^[12]。一方、アナログ回路に関しては、2信号間のバランス、直交性誤差を考えなければ、様々なデバイスが広帯域化しており、扱う信号周波数を変化させても特性変動は少ない。 特に、携帯機の普及に伴い、ミキサやシンセサイザの性能向上は著しく、安定性能が容易に得ら れる状況にある。

以上の背景から、整数倍のMDSPとシンセサイザを組み合せた速度可変型変復調器の構成法の 検討を行った。以下の項目では、変調器及び復調器の構成を示す。また、復調器の再生系のうち、 速度可変型システムでの必須機能であるクロック再生回路についても議論する。

5.3.1 変調器の設計

信号速度可変型変調器の構成を図5.4に示す。この図において、各速度モード(符号速度;*T_{b,k}、 k*:整数)の入力信号に対して波形整形と直交変調はDSPにより行われる。その後、1st-IF信号は、 DSP型直交変調器からの出力信号をDACを用いて変換することにより得られる。ここで、D SPに起因する高調波雑音成分は、全ての速度モードに対して共通のBPFを配置することによ り除去される。システムクロック*f_{s,k}*は入力データ信号と同期したクロック信号を整数逓倍するこ とによって発生させ、直交変調器、DAC等に供給される。このとき、入力クロックの逓倍数は



図5.4 信号速度可変型変調器の構成
伝送速度制御信号(Rate cont.)に応じて決定される。

図5.4中のDSP型直交変調器は、第3章で示した方法に基づき設計される。DSP型変調器の 出力IF周波数は低いため、それを直接RF帯まで周波数変換することは難しい。また、無線送受信 装置の設計を容易にするためには、IF周波数を全ての速度モードに対して同一にして置くことが望 ましい。以上の理由から、DSPの高調波を除去した変調信号は、周波数シンセサイザから出力 されるローカル信号を用いて同一の2nd-IF周波数f_{2c}の信号に変換される。この時、各T_{b,k}に対して 変調器出力である1st-IF周波数f_{1c,k}は、システムクロックf_{5,k}を用いて

$$f_{1c,k} = \frac{f_{s,k}}{4}$$
(5.1)

により与えられるため、伝送速度制御信号に応じて周波数シンセサイザの出力周波数flocalを、

$$f_{local} = f_{2c} - f_{1c,k}, \quad f_{2c} + f_{1c,k}$$
(5.2)

に設定する。また、サンプリング時間差に起因したチャネル間のタイミング位相誤差が発生する。 このタイミング位相誤差φ_kは、各速度モードに対するシステムクロック_{fs,k}を用いて

$$\phi_k = \frac{1}{f_{s,k}} \tag{5.3}$$

で表される。このタイミング位相誤差を補償できるようにディジタルフィルタは設計され、T_{b,k}に 対するI-ch及びQ-chの波形整形ディジタルフィルタの周波数応答U_k(f)は以下のように表される。

$$U_{Ik}(f) = \sum_{n=1}^{\infty} u_k \left(nT_{s,k} + \frac{\phi_k}{2} \right) \exp\left(j 2\pi f n T_{s,k} \right)$$
(5.4-1)

$$U_{Qk}(f) = \sum_{n=1}^{\infty} u_k \left(nT_{s,k} - \frac{\phi_k}{2} \right) \exp\left(j 2\pi f n T_{s,k} \right)$$
(5.4-2)

ここで、 $u_k(t)$ は $T_{b,k}$ に対する波形整形フィルタの伝達関数であり、 $T_{s,k}$ は波形整形ディジタルフィルタのサンプル周期であり、

$$T_{s,k} = \frac{4 \cdot x}{f_{s,k}}, \quad x \ge 1, \text{ Integer}$$
(5.5)

である。ディジタルフィルタから出力されるDSP高調波成分の周波数配置は、*T_{s,k}*に依存して決 定され、各*T_{b,k}*に対して*T_{s,k}が独立に設定し、かつまたT_{s,k}がモード間で大きく異なった場合、共通 のチャネルフィルタを用いて高調波スプリアス成分を除去することが困難となる。そこで、全て の<i>T_{b,k}*に対してサンプリング周期ができるだけ同じになるように設計する必要がある。ここで、最 大速度モードのサンプル周期*T_f*を用いて、以下のような係数*m_k*を定義する。

-134-

$$m_k = \operatorname{int}\left(\frac{T_{b,k}}{T_f}\right)$$
(5.6)

この時、式(5.5)中のx=1とし、全てのT_{b,k}が整数倍の関係になるように設計されたと仮定すると、式(5.4)は、

$$U_{Ik}(f) = \sum_{n=1}^{\infty} u_k \left(nT_f + \frac{T_f}{8} \right) \exp(j2\pi f nT_f)$$

$$U_{Qk}(f) = \sum_{n=1}^{\infty} u_k \left(nT_f - \frac{T_f}{8} \right) \exp(j2\pi f nT_f)$$
(5.7-2)

と書きかえることができ、サンプル周期が同一となり、DSPの高調波が同じに周波数に現れる ように操作できる。その結果として、フィルタの共用化が可能となる。さらに式(5.7)は、*m*_kを用 いて、以下のように*T_{b,k}*にのみ依存した形に書きかえることができる。

$$U_{Ik}(f) = \sum_{n=1}^{\infty} u_k \left(n \frac{T_{b,k}}{m_k} + \frac{T_{b,k}}{8 \cdot m_k} \right) \exp\left(j 2\pi f n \frac{T_{b,k}}{m_k} \right)$$
(5.8-1)

$$U_{Qk}(f) = \sum_{n=1}^{\infty} u_k \left(n \frac{T_{b,k}}{m_k} - \frac{T_{b,k}}{8 \cdot m_k} \right) \exp\left(j 2\pi f n \frac{T_{b,k}}{m_k} \right)$$
(5.8-2)

以上のように、整数倍とならない条件の全ての $T_{b,k}$ に対しても、最大の速度モードを基準にこの m_k を決定する。これに基づき、ディジタルフィルタのタップ係数は $u_k(t)$ を $T_{b,k}/m_k$ 間隔でサンプリングすることで求め、さらにシステムクロック $f_{s,k}$ を以下の式に従って発生させる。

$$f_{s,k} = \frac{4 \cdot m_k}{T_{b,k}} \tag{5.9}$$

これによって、全ての*T_{b,k}*に対して中心周波数をほぼ同じにすることができ、チャネルフィルタの共通化が可能な変調出力が得られる。変調器のシステムクロックは、図5.4において、マッピン グ回路から出力される*T_{b,k}*に同期したクロック信号を基準信号(Ref.)としたPLL逓倍器を用いて発 生させている。

DAC出力における変調スペクトルの計算結果を図5.5に示す。この計算において、入力信号として、3種類の速度モード (T_1, T_2, T_3) を用いた。 $u_k(t)$ は全てコサインロールオフ $(\alpha = 0.5)$ とし、チャネルフィルタは最大速度モード (T_f) に対してBT=2.0の5次バタワース(Butterworth)フィルタを用いた。図5.5(a)は、

$$T_{bl} = T_f / 4$$
 $T_{b2} = T_f / 8$, $T_{b3} = T_f / 16$

のように速度モードを2の倍数に設定し、システムクロックが全ての速度モードに対して同一に 設定した場合の計算例である。この図から、DSPの高調波成分共通のチャネルフィルタを用い て十分に除去可能であることがわかる。また、この場合にはチャネルフィルタは最大速度モード に対して設計すればよいこともわかる。図5.5(b)は、



図5.5 信号速度可変型変調器出力での信号スペクトル

 $T_{bl} = T_f / 4$ $T_{b2} = T_f / 7.2$

のように、サンプル周期を速度モード毎に約10%変化させた場合の計算例である。この図から、 最大速度モードに対するサンプリング周波数よりも低くなると、高調波成分がチャネルフィルタ の帯域内近づいてくるため、条件的には厳しくなることがわかる。しかしながら、サンプル周波 数の変動が10%以内であれば、十分に高調波成分は除去可能である。また、以上の結果から、最 大速度モードに対して式(5.6)に従ってフィルタのサンプルレートを決定することにより、アナロ グ回路の可変処理を行う必要のない信号速度可変型変調器を構成でき、変調特性の均一化が容易 であると考えられる。

5.3.2 復調器の設計

復調器では、基本的に変調器の逆の処理が行われる。図5.6に信号速度可変型復調器の構成を示 す。この構成において、受信信号はPLL周波数シンセサイザにより発生させたローカル信号を 用いてIF帯へとダウンコンバートされる。このIF信号は、中心周波数の4倍のクロック信号に よりサンプリングされ,ADCによりディジタル信号に変換される。ここからの直交検波は第4章 で示したDEMUX_DETにより実行している。このDEMUX_DETではI-chとQ-chの信号間にタイミ ング位相誤差が存在し、この誤差量は符号速度には依存せずにサンプリングレートに依存する。 それ故に、デシメーションフィルタにおいても、フィルタリング処理と並行してタイミングの補 正処理が行われる。デシメーションフィルタの出力信号y(nT_{b,k})は検波信号x(nT_s)を用いて以下の 式で与えられる。



図5.6 信号速度可変型復調器の構成

$$y_{I}(nT_{b,k}) = \sum_{r=1}^{N} h\left\{ rT_{b,k} + \frac{T_{b,k}}{8m_{k}} \right\} \cdot x_{I}\left\{ (n-r)T_{b,k} \right\}$$

+ $\sum_{r=1}^{N} h\left\{ \left(r + \frac{1}{m_{k}} \right) T_{b,k} + \frac{T_{b,k}}{8m_{k}} \right\} \cdot x_{I}\left\{ \left(n - r + \frac{1}{m_{k}} \right) T_{b,k} \right\} + \dots$
 $\dots + \sum_{r=1}^{N} h\left\{ \left(r + \frac{m_{k} - 1}{m_{k}} \right) T_{b,k} + \frac{T_{b,k}}{8m_{k}} \right\} \cdot x_{I}\left\{ \left(n - r + \frac{m_{k} - 1}{m_{k}} \right) T_{b,k} \right\}$
 $y_{I}(nT_{b,k}) = \sum_{\rho=0}^{m_{k}-1} \sum_{r=1}^{N} h\left\{ \left(r + \frac{\rho}{m_{k}} \right) T_{b,k} + \frac{T_{b,k}}{8m_{k}} \right\} \cdot x_{I}\left\{ \left(n - r + \frac{\rho}{m_{k}} \right) T_{b,k} \right\}$ (5.10-1)

$$y_{\varrho}(nT_{b,k}) = \sum_{\rho=0}^{m_{k}-1} \sum_{r=1}^{N} h\left\{ \left(r + \frac{\rho}{m_{k}}\right) T_{b,k} - \frac{T_{b,k}}{8m_{k}} \right\} \cdot x_{\varrho}\left\{ \left(n - r + \frac{\rho}{m_{k}}\right) T_{b,k} \right\}$$
(5.10-2)

この式において、h(t)はデシメーションフィルタの伝達関数であり、 m_k は式(5.6)によって与え られる係数である。直交検波信号のデシメーションを行う式(5.10)の演算では、サンプリングレー トの落し込みと波形整形が同時に行われる^[7]。最終的な復調信号はデシメーションフィルタ出力を $T_{b,k}$ 間隔でサンプルすることにより得られる。この時、等化器はフェージング補償を目的に配置さ れており、ここでの処理が $T_{b,k}$ /2の分数間隔の場合、デシメーションフィルタの出力は、 $T_{b,k}$ /2間 隔でデータを出力するように式(5.10)中の m_k を置き換えた演算を行う。

一般に、信号速度を変化させた場合、5.1節で述べたように、シンボル周期に比例してフェージ ング耐力の向上は期待できるが、逆に周波数オフセットによる影響はシンボル周期に比例して厳 しくなる。また、前節で説明したように周波数誤差成分はディジタル直交検波器では直交位相誤

-137-

差となって現れる。図5.6に示す速度可変型復調器では、以上の理由から、AFC(Automatic Frequency Control, 自動周波数制御)及びキャリア再生は、ローカル発振器に帰還させることに より実現している。キャリア同期の確立した信号がADCに入力される構成としている。

この構成において、復調器の基本性能は以下に示すようなADCへの入力信号によって左右され る。DSP型復調器に関連したADCにおける劣化要因としてエリアシングと入力電力飽和が考 えられる。ADCへの入力信号モデルを図5.7に示す。ここで、2・f_sが希望波の信号帯域幅であり、 2・f_{BPF}がチャネルフィルタの帯域幅である。この図に示すように、ADCに対しては、チャネルフィ ルタ帯域内の隣接チャネル干渉(Adjacent Channel Interference, ACI)成分と雑音成分等の不要 波成分が希望波(Desired Wave)信号と一緒に入力される。そしてこの時、これら全ての成分を含 んだ信号が入力レンジを超えないように、チャネルフィルタ内の信号レベルが一定になるように AGCアンプを用いて調整される。

信号速度可変型復調器において、上記の劣化要因のうち、エリアシングに関しては、第4章に従っ て、チャネルフィルタの帯域幅を最大の速度モードに対して設計することで影響は回避できる。 また、低速度モードに対しても、十分なサンプリングレートが確保でき、かつまた、デシメーショ ンフィルタがアンチエリアシングフィルタとしての機能するためにACIを含んだ信号が入力さ れたとしても影響は無視できる。一方、ACIと雑音を含んだ信号が入力された場合には、希望波の 等価的な入力レベルが低下する。また、このような入力信号に対しても、ADCの分解能に対す るSNRは一定である。それ故に、希望波のダイナミックレンジは不要波成分によって影響を受 けるものと考えられる。AGCの制御方法を信号レベル検出型の制御を採用すれば、希望波の入 カレベルを一定に保つことは可能となるが、この場合には、AGCアンプの非線形歪により隣接 チャネル成分の希望波信号への漏れ込みによる影響が出てくる。

図5.7に示す入力信号モデルを用いてACIによるISIの計算結果を図5.8に示す。また、ここでの



ISIはQPSKの計算結果である。第2章で示したように等価CNR劣化量を0.5dBとした場合のISI許容量は約5.9%である。この図から、希望波の入力レベルが-10dBのとき、8bit以上の分解能を有するADCを用いれば、また、12bitのADCを用いれば-30dBの入力レンジまで、0.5dB以下の等価CNR劣化量が達成できる。この結果は、1/4レートに対するチャネルフィルタは、図5.5に示したような最大符号速度モードで設計したチャネルフィルタの帯域幅を(BT=2.0)変更する必要がないことを意味している。しかしながら、この図における多値QAM方式のISI許容値は、それぞれ、1.9%(16QAM)、0.85%(64QAM)、0.397%(256QAM)である。また、構成デバイスの観点から見ると、第2章でも述べたように、12bit、50Msps以上の性能を有するADCは入手が困難である。これに対し、SAW技術により小型の可変帯域BPF^[13]は実現可能であり、さらに、速度モード応じてADCの前段に配置されるチャネルフィルタ帯域を変化させたとしても、直交検波性能は変わらない。以上の理由から、変調方式可変機能への拡張を考慮する場合には、符号伝送速度に対して、BT=2.0となるようにチャネルフィルタの帯域幅を可変させることが望ましい。



図5.8 隣接チャネルの影響による符号間干渉量の劣化

5.3.3 クロック再生回路の設計

信号速度可変型無線通信システムでは、各速度モードに応じたクロック信号を再生しなければな らないため、固定速度の変復調器よりも再生回路は複雑となる。さらに、第5.2節で示したように、 マルチメディア無線通信システムでは、さまざまなアクセス手段が用いられることが予測される ため、本復調器におけるクロック再生系は、高速引き込みと、低位相ジッタといった相反する特 性を両立させる仕組みが必要である。

クロック再生には、大きく分けて2つの方法がある。一つはタンクリミッタ方式^[14]であり、受信 信号から非線形処理によりクロック成分を抽出する手法である。この方式は、フィードフォワー

ド型の制御であるため、高速引き込みが可能であるが、クロック位相を正確に合わせ込むことが 難しい。もう一つはベースバンド帰還方式^[15]であり、復調信号からタイミング誤差成分を推定す る手法である。この手法はフィードバック制御であるため、前者の手法と比較して収束速度は遅 くなるが、位相雑音特性に関しては優れているという特徴を持っている。

前節で説明した復調器に上記のクロック再生系の適用を考える。まず、ディジタル信号処理回路 はアナログ回路と比較して遅延時間が長く、ADCからEQL出力までにディジタルフィルタの ような遅延時間が大きな素子が用いられている。このため、ベースバンド帰還型ループのループ 遅延が大きくなることが予測される。また、タンクリミッタ型のループでは、クロック信号の周 波数同期を獲ることはできるが、位相に関しては信号の分岐点からADCまでの遅延時間計算し てあらかじめ合わせ込んでおく。しかしながら、アナログ回路部は、速度モードごとに遅延時間 が変化することが予測され、最適な位相の合わせ込みが難しくなる。以上の理由から、速度可変 型復調器のクロック再生回路には、上記の両方式を融合した2重ループ型のクロック再生系が適し ているものと考える。しかしながら、前節において示したようなフィードバックループから位相 のみを調整する方法では、フィードフォワード部のみでクロックの位相雑音を低く押されること が必要となり、同期確立までの時間が比較的早いという本来の特徴が失われることとなる。

クロック再生回路の構成を図5.9に示す。この図において、再生ループはスイッチにより完全に 切替わる構成となっており、それぞれ独立したループ系が構成できるようになっている。そして、 原則、初期引き込み過程ではタンクリミッタ型再生ループが選択され、同期確立後の追従過程で は、ベースバンド帰還型再生ループが選択される。再生ループの切替は、システム上の制御信号 から生成されるループ切替信号(Loop cont.)により行われる。ループ切替信号は、例えば、VCO の制御電圧の変化量を観て切替える、FDMAではBERを観測しながらある閾値を横切ったときに ループを切替える、TDMAではUW(Unique Word)検出信号を用いて切替える、等の様々な方法が 考えられる。ここで、注意しなければならない点は、ループ切替時の同期はずれである。つまり、 タンクリミッタ方式からベースバンド帰還型への切替時には、復調器の同期確立状況にあるため、 周波数同期状態は維持しておく必要がある。そのために、ループフィルタの初期化(Preset)処理 が必要となる。一方、ベースバンド帰還からタンクリミッタ方式へのループ切替は、主要因が復 調器の同期はずれ等の特性劣化に起因したものとなるため、クロック同期はずれが発生しても問 題はない。

タンクリミッタ型再生ループにおいて、検波信号は、図5.9(a)に示すように受信 IF信号を自 乗検波、あるいは包絡線検波することで生成する。そして各速度モードに対するクロック成分は

-140-



図5.9 クロック再生回路の構成

タンク回路とリミッタアンプを用いた非線形操作によって抽出される。この時、タンク回路の周 波数応答は、

$$Z(j\omega) = \frac{Z_0}{1 + jQ\left(\frac{\omega}{\omega_k} - \frac{\omega_k}{\omega}\right)}, \quad \omega_k = \frac{1}{L_k C_k}, \quad Q = \omega_k C_k Z_0 = \frac{Z_0}{\omega_k L_k}$$
(5.11)

で表される^[14]。ここで、*ω*_kはタンク回路の中心周波数である。また、タンク回路はインダクタ *L*_kとコンデンサ*C*_kを用いて簡単に構成できる。そこで、各*T*_{b,k}対するタンク回路を式(5.11)に従っ て構成し、図5.9(b)に示すようなタンク回路アレイを準備することにより全ての*T*_{b,k}に対してクロッ ク成分の抽出を行う。この図において、所望のタンク回路の選択にはRate cont.信号を用いる。 復調器のシステムクロックは、PLL逓倍器を用いて再生クロックを4・*m*_k倍することにより発生さ せる。このPLLにおいては、再生クロック信号を基準信号として用い、*m*_kはRate cont.信号を用 いて選択される。また、5.3.1節で説明したように、システムクロックの周波数のモード差が小さ くなるように設計されているため、従来構成のような周波数シンセサイザと組み合せたクロック 再生回路を構成する必要がなく、このPLL逓倍器単独での実現が可能となる。

上述したタンクリミッタ型クロック再生回路の引き込み時間は、主に、タンク回路の回路遅延時

間とPLLのロック時間から見積もることができる。このうち、タンク回路の遅延時間は以下の式 で表される^[17]。

$$Q = \frac{f_k}{BW}, \quad \tau \approx \frac{250}{BW} \quad (\text{ms}) \tag{5.12}$$

BW:タンク回路の3dB帯域幅。

この時、各タンクの中心周波数 $f_k = 1/T_{b,k}$ であるため、タンク回路のシンボル遅延時間 $\tau_{b,k}$ は、

$$\tau_{b,k} \approx \frac{Q}{4} \quad (\text{symbol}) \tag{5.13}$$

で与えられる。式(5.13)から、*Q*=50~60の場合には、約15シンボル程度の遅延でクロック成分 の抽出が出力される。また、PLLにおいてロック時間を短縮させるためには、ループゲインを大 きくするか、ループ遅延時間を短くすることである^[18]。ここでのPLL逓倍器は、シンセサイザに 比較して分周比が小さく、初期引き込みを目的としているため、安定性を犠牲にしてロック時間 を短くする設計ができ、約20μsのロック時間を実現することは可能であると考える。以上の理由 から、タンクリミッタ型再生ループをBTR区間内で引き込ませることは可能であると考えられる。

5.4 実験結果

第5.3節で述べた速度可変型変復調器の基本特性を確認するため、実際に変復調器を試作し、実験を行った。表5.1に試作した変復調器の主要諸元を、図5.10に装置写真を示す。本実験装置において、伝送速度はディジタルハイアラーキ及びMPEG-1やMPEG-2といった画像データの情報速度を考慮して、1.544Mbps及び6.312Mbpsとした。直交変調器はMOD-LSI(RX01)を、直交検波器はDEMUX_DET部分のみを実現したLSI^[19]を使用したDET-LSIを使用した。また、波形整形フィルタのサンプルレートは各々、1.5Mモード=16、6.3Mモード=4とし、ROMとシフトレジスタでBTFを構成した。QPSKの場合、6.3Mモードにおけるタイミング位相差(*φ*=*T_b*/32)によるISIは約7%であり、また、復調器には等化器を搭載した。このため、ここでの波形整形フィルタのタッ



図5.10 試作機の外観写真

プ係数は位相誤差を考慮しない設計とし、等化器でこの劣化要因がどの程度補償可能であるか試 みた。この伝送系では、送信側で100%の波形整形を行っており、ACIによるエリアシングの影 響はない。このため、デシメーションフィルタのタップ係数は、中心タップを除いて全て"0"とな る。それ故に、ここでのデシメーションフィルタはレジスタのみで実現している。クロック再生 回路は、各速度モードに対するタンク回路切替による性能差を確認するため、フィードフォワー ド部分のみを構成した。

速度モード		1.5M	6.3M	
信号伝送速度		1.544 Mbps	6.312 Mbps	
変調方式		QPSK		
伝送系		Roll-off ($\alpha = 0.5$), Tx only		
	m_k	16	4	
システムクロック		53.16 MHz	54.33 MHz	
2nd-IF周波数		70.18 MHz	70.48 MHz	
クロック再生		Tank-Limit		
誤り訂正		BCH (255.237)		
等化器		7 tap TRV-EQL		

表5.1 試作機の主要諸元

変調器出力において測定した変調スペクトルを図5.11に示す。この図において、1.5Mモードの 中心周波数と6.3Mモードの中心周波数が異なっていることがわかる。これは、6.3Mモードと 1.5Mモードの速度比が約4.1倍であり、整数倍となっていないためである。この速度比は、ビッ トスタッフや、マルチメディアサービスの種別に応じたFECの選択等によって整数倍に近づける ことは可能である。しかしながら、この図に示すように、両速度モードともD/U比が40dB以上確 保されており、この程度の速度差であれば良好な変調波が得られていることが確認できた。



非線形抽出処理に用いるタンク回路の周波数応答特性を図5.12に示す。この図から切替回路を 含む各モードの挿入損失は、

6.3Mモード:	3 d B	@ 3.3957 MHz
1.5Mモード:	8 dB	@ 0.8306 MHz

であり、他方のモードからの影響も見られない。第2章の解析結果より、QPSKの場合、再生クロックの許容雑音レベル(等価CNR劣化量が0.5dB未満)は約25dBである。そのため、タンクのQ値 は若干小さな値となっているが、QPSKに対しては十分な特性が得られているものと考えられる。 しかしながら、多値QAMに適用するためには改善が必要であり、フィードバックループを加え た再生系の実現が不可欠であると考える。

IF信号に雑音を付加してBER特性を測定した。この実験において、6.3Mモードに対して BT=2.0のチャネルフィルタを用いて行った。図5.13にBER特性の測定結果を示す。この図にお いて、BER=1.0×10⁻⁶における等価CNR劣化量は、

1.5Mモード:0.8dB

6.3Mモード:0.1dB

であり、1.5Mモードの誤り率特性が6.3Mよりも悪い測定結果となった。この結果は、1.5Mモードに対するBER特性をチャネルフィルタを1.5Mモードに対してBT=2.0としても同様であり、伝送系の設計に起因するものではなかった。この劣化の要因としては、本実験装置において、キャリア再生回路がアクティブフィルタを用いたループフィルタを採用したためであると考えられる。



-144-

言換えれば、キャリア位相誤差検出感度が信号速度に依存するのに対し、ループフィルタの応答 特性が6.3Mモードで最適化されたままであったため、再生キャリアの雑音特性が劣化したためで あると考えられる(クロック位相誤差は等化器で補償されているものと考えられる)。この要因に関 しては、ループフィルタを第4章で示したようなディジタルループフィルタに置き換えることに より容易に解決できるものと考えられ、装置設計では、この点を注意する必要がある。

5.5 むすび

マルチメディア無線通信サービスの提供することを目的として速度可変型可変容量方式に適用可能なディジタル処理型高速変復調器の設計を行った。

まず始めに、信号速度可変型無線通信システムの概念を示し、本システムを周波数利用効率の向 上という観点からアクセス方式とチャネル配置方法に焦点を当てて議論した。

次に、すべての速度モードにおいて同一の特性が得られること、およびクロック周波数の制御が 簡単であることを考慮してMDSPに基づいて構成される信号速度可変型変復調器を示し、設計 法について議論を行った。そしてその結果として、すべての速度モードに対してディジタル信号 処理に周波数の近いシステムクロック(必ずしも同一でなくてもよい)を用いること、および各々 の信号速度に対してチャネルフィルタを選択することせずにサンプリングレート変換技術を用い ることで安定した変調特性を維持できることを明らかにした。また、ACIによるISI劣化量 の解析結果から、変調方式可変型方式への拡張性と現状の市販デバイスの性能限界を考慮した場 合、復調器においてADCの前段に配置されるチャネルフィルタに可変帯域BPFを採用するこ とが望ましいことを証明した。さらに、本変復調器用のクロック再生回路を実現するには、タン クリミッタ方式とベースバンド検出型の両方を用いるダブルループ型クロック再生回路が適して いることを述べた。このタンクリミッタ型クロック再生方式は、タンクアレイを用いたPLL逓倍 器を構成でき、クロック再生回路のフィードフォワード部分として簡単かつ粗同期を取るのに十 分な性能を与えられることも示した。

最後に、2つの異なる伝送速度(1.544 Mbps, 6.312 Mbps)を有する変復調器を試作し、基本性能を確認するための室内実験を行った。その結果、QPSKの場合には、良好な特性がアナログ系の調整なしに得られることを確認した。また,併せてキャリア再生回路の構成上の留意点も明らかにできた。

【参考文献】

- [1]B.S.Katakol and S.L.Maskara:"Adaptive variable-rate communication system for fading channels", J.INSTN. Electronics&Telecom.Engrs. ,vol.32, No. 3(1986)
- [2]L.B.Milstein, D.L.Schiling et.al.: "Performance of Meteor- Burst Communication Channels", IEEE J-SAC, Vol.SAC- 5, No.2, pp.146~153
- [3] 六浦光一、岡田博美:"パケット無線ネットワークのローカル/グローバル網構成"信 学論B、Vol. J71-B, No.9, pp.1010-1019 (1988.9)
- [4]後藤彰久:"無線通信への適応信号処理技術の応用"、1995年信学会ソサイエティ大会、PA-2-3 (1995)
- [5]J. C. Imbeaux, H. Chazenfus, J.P. Henry, M.A. Kirov, A. Laures, M.Oberle:"Modem Technologies for INTELSAT Intermediate Data Rate Carriers" Proc. in ICDSC'85, pp. 699⁻⁷⁰⁶ (1985)
- [6] S. Otani, Y. Tanimoto, M. Iwasaki:"Development of variable-rate digital MODEM for digital satellite communication systems", Proc. in G'COM'88 pp. 148~152(1988)
- [7] R. E. Crochiere, L. R. Rabiner: "Multirate Digital Signal Processing" Chapter-2 Prentice-Hall, 1983
- [8] P.P.Vaidyanthan:"Multirate System and Filter banks", Prentice Hall(1993)

[9]井上伸雄監修: "ディジタル信号処理技術の応用"第5章、電子通信学会(1981)

- [10]E.B.Hogenauer:" An Economical Class of Digital Filters for Decimation and Interpolation", IEEE Trans. on ASSP, Vol. ASSP-29, No. 2, pp.155⁻¹⁶²(1981)
- [11]F.M.Gardner:"Interpolation in Digital Modems", IEEE Trans. on COM, Vol. 41, No. 3, pp. 501⁻⁻507 (March 1993)
- [12] Intersil Co.: "HSP50215 Digital Up Converter" Data sheet(June 1998)
- [13] 柴山乾夫監修:"弾性表面波工学"、電子通信学会、第2部(1983年)
- [14]田中公男著:"ディジタル通信技術"、第5章、東海大学出版会刊
- [15]K.H. Mueller and M. Muller: "Timing Recovery in Digital Synchronous Data Receivers", IEEE Trans on COM, Vol. COM-24, No. 5, pp. 516⁻⁵³¹ (May 1976)
- [16]F.M.Gardner:"BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans on COM, Vol. COM-34, No. 5, pp.423⁻⁴²⁹(May 1986)
- [17] A. B. Williams: "Electric Filter Design Handbook", Chapter II, McGraw-Hill.
- [18] 小沢利行著:"PLL周波数シンセサイザ・回路設計法"、第5章、総合電子出版社(1994)
- [19]T. Okada and T. Shirato: "A Fully Digitized Multi-level Demodulator for High -capacity Digital Radio Systems", GLOBECOM'93, pp. 609⁻ 613(Nov. 1993)

変調方式可変型無線通信システムのイメージを示すともに、これを実現するための変調方式可変 型変復調器について議論する。

まず始めに適用サービスとして、ワイヤレスATM転送網を挙げ、通信トラヒックの変動に応じ てチャネル数と多値QAM方式の変調多値数を最適化するVP(Virtual Path)容量制御方式につい て議論する。次にこの無線通信システムの技術的な要求条件である無瞬断切替を実現するため、 変復調器の構成および変調方式制御信号の伝送方法について議論する。提案する変調方式可変型 変復調器の構成では、ベースバンド側が識別レベルー定条件、RF 側が平均電カー定条件となる ようなレベル変換器を採用しており、これにより、変調方式切替による復調器制御ループの変動 を低く抑えている。さらに、変調方式制御信号を誤りなく伝送するために、各変調方式信号点配 置の最大振幅信号点に配置して伝送する方式を採用し、変調器と復調器との間の切替をフレーム 毎に行うことを可能にした。

最後に、4 つの変調方式(QPSK,16QAM,64QAM,256QAM)を切り替えられる多値数可変型 変復調器を試作し、実験を行った。その結果、識別信号点レベルを一定しするように受信信号を 変換することにより、復調制御ループの変動なしに変調方式の切替が可能であることを示した。 さらに、実験的に変調方式の無瞬断切替の実現性を明確にする。

6.1 はじめに

変調方式可変型容量可変伝送方式は、第1章で説明したように、信号帯域幅を変えずに変調方式 を可変させることで無線回線の伝送容量の制御を行う方式である。本容量可変方式は、前章で示 した信号速度可変型容量可変方式がチャネル帯域幅を可変させることで直接的にチャネル利用効 率の向上を目的としたものであるのに対し、あるチャネルが割り当てられてられていることを前 提として、そのチャネル帯域内での周波数利用効率の向上を目的とした方式であると考えられる。 また、トラヒック変動に対する容量可変制御を両者で比較すると、以下のようになる。信号速度 可変型の場合、伝送容量はチャネル割当時に帯域幅で決定されてしまい、伝送容量を可変させる 際には他チャネルとの調整が必要となるため、容量増加には再接続(あるいは再配置)等の回線 制御を行う必要がある。このため、速度可変型での容量制御は、原則、呼毎の容量制御となり、 通信中の突発的なトラヒック上昇を吸収することは難しい。これに対し、変調方式可変型の場合

-147-

ある。このため、連続的な伝送容量の変化は難しいが、物理層のみの制御でトラヒック変動に即応した伝送容量の更新が可能になる。この際、ここでの伝送容量の上限はシャノンの限界^[1]で規定される。

固定無線通信及び移動通信の分野において、この変調方式可変型容量可変方式は、これからのマ ルチメディアサービスを効率良く提供することを目的として、様々な方式の提案が行われている。 このうち、無線LANを含む移動通信システムの分野では、ディジタル方式、パケット通信さらに はインターネットの普及に伴い、伝搬路の状況及びQoSに見合った最適の変調方式を選択して、 短時間にデータ信号を伝送することで、ユーザの時間的な収容能力を高めることが求められてい る。これを目的として、この容量可変方式を適用の検討が進められている^{[2] [4]}。その代表例が、 適応変調方式及びIEEE802.11のMultirate Support機能であり、IEEE802.11ではBPSKから 64QAMまでの4変調方式-8段階の伝送モードの標準化が完了している^[5]。

一方、ディジタルマイクロ波通信(Digital Microwave Radio, DMR)及びFWA(Fixed Wireless Access)を代表とする固定無線通信システムの分野では、従来から周波数利用効率の向上と回線の高信頼性を目的として多値変調方式技術(8PSK, 16QAM, 64QAM)及びその関連技術の研究が進められており、現段階では、256QAMが運用段階にある^[6]。それ故に、変調方式可変型容量可変方式を適用するための変調方式の種類は豊富に揃っている。また、基幹通信網に対しては、マルチメディアサービスを効率良く提供していくために、ATM技術を用いることでトラヒック変動を柔軟に吸収できるB-ISDN網の構築が嘱望されている。そのため、この分野での容量可変方式は、トラヒック変動の吸収と回線瞬断率の低減とを両立させることが中心課題である^{[7] [9]}。

本研究におけるディジタル処理型変復調器は、ディジタルマイクロ波方式の高信頼化及び高機能 化を実現するために進めてきたものである。故に、ここでの変調方式可変型容量可変方式の検討 は、固定無線通信システム上に効率良くATMネットワークを構築することのできるワイヤレス ATM転送網の実現を目標として進める。本章では、このワイヤレスATM転送網に適用可能な 変調方式可変型変復調器について議論をする。まずはじめに、容量可変伝送方式を適用したワイ ヤレスATM転送網のシステムイメージを示し、システム要求条件を明確化する。次に、多値 Q AM変調方式における変調方式可変型変復調器の設計手法及び変調方式制御方法について議論し、 それを実現する変復調器の構成を示す。そして最後に、基本特性を明らかにするために、変復調 器を構成して行った実験結果を示す。

<u>6.2 適用サービスイメージ</u>

ATMは、1Gbpsを超える光ファイバの伝送容量を背景として物理的なパスが張り巡らされて いるネットワーク上にVPを設定するものであり、現在のB-ISDN網は、SDH網上にATMセル を多重化することでネットワークが構築されており、トラヒック変動の吸収を行うトラヒック制 御は、伝送媒体を問わず、ノード装置において行われる。そのため、ここでのトラヒック制御は、 物理層を制御するものでなく、専ら、論理パスであるVPの容量制御を行う方式が検討されている ^{[10]-[12]}。

一方、無線通信システムは、伝送媒体として自由空間を使用しており、その利点としてはネット ワーク構成が自由に変更できることが挙げられる。その反面、周波数資源の有効利用の点から使 用できる周波数帯域幅が制限されるとともに、フェージングや干渉雑音等により品質を一定に保 つことが難しい環境下に晒されている。このため、無線通信システムの場合、光ファイバ網のよ うなATMネットワーク構築は実現困難であり、物理パスと論理パスを同時に制御する方法が適 している。これまでに提案されている固定無線通信システムにおける容量可変方式は、以上の観 点から、ATMネットワーク上でのVP容量制御を物理層の制御まで拡張した方式となっている。

ワイヤレスATM基幹通信網におけるVP容量可変方式の概念を図6.1に示す。有線系でのAT Mネットワークでは、1つの物理的なパス上に複数のVPが多重化されて伝送され、その物理的な パスの総容量は常に一定である。そのため、例えば、VP1の容量を増やすためには、VP2あるい はVP3を減らさなければならない。これに対して、大内らによって提案された無線ATMネット ワーク^[8]では、多値QAMの変調多値数可変させることにより物理パスの総容量を切替え、トラヒッ



図6.1 バーチャルパス可変容量伝送方式の概念図

クの制御を行うものである。図6.1に示す方式も、この変調多値数を切替える方式をに基づいてト ラヒック制御を行う方式である。文献[8]の方式は、大容量の無線バックボーン回線を想定して設 計されたものであるため、全てのノードは対等な関係にある。そして、有線系のATMネットワー クと同様に物理的なパス上に複数のVPが多重される。それ故に、文献[8]の方式では、伝送路の瞬 断により、その回線に多重化された全てのVPへ影響を与えてしまう可能性がある。また、前章で 述べたようなチャネル利用効率及びフェージング耐力を考慮した場合、チャネルの帯域幅は狭い ことが望ましい。

一方、図6.1に示す方式では、有線系のATMバックボーン回線に接続される支線系のATM転送 網を想定しており、全てのVPはチャネル単位に分配され、各VP毎に1以上のチャネルを割り当て る。ここでの容量制御は、原則的に、各VPで多値QAMの変調多値数を切り替えることにより実行 される。チャネル当りの最大伝送容量は、最大QAM多値数に依存する(図6.1では256QAM)。最 大容量を越えてトラヒック量が上昇した時(図6.1に示す例ではVP3)、VPの容量はチャネルを追加 することにより増加させる。このような多重方法により、VP1とVP2の容量は、VP3回線容量の 追加要求とは無関係に制御でき、回線の瞬断による他VPへの影響を回避できる。さらに、VP容量 に応じてチャネル数も制御するため、監視制御のため常時設けられるチャネル以外は、各ノード 間で共有することができる。



図6.2 ワイヤレスATM基幹通信網の構成例

上述のような容量可変制御の概念を用いたワイヤレスATM転送網のシステム構成例を図6.2に 示す。本システムはワイヤレスATM制御ノード(CN、Control Node)、及びワイヤレスATM端 末ノード(BN:Base Node)で構成される。BNはATMスイッチ(ATM-SW)、変調方式可変型変復 調器(V-Modem)及び送受信器(TRX)で構成される。BNはATMスイッチ(ATM-SW)、変調方式可変型変復 調器(V-Modem)及び送受信器(TRX)で構成される。各ネットワークノードにおいて、有線 イッチ(IF-SW)、V-Modem及びATM-SWから構成される。各ネットワークノードにおいて、有線 ネットワーク側からの入力信号はATM-SWによって種類ごとにVPに分配され、1つのVPに対し て、1以上のV-Modemが割り当てられる。これにより、各VPが物理チャネルと一致されることと なる。 CNとBNの接続は、FDMAを使用して行われる。また、図6.2はCNのよる集中制御型のト ポロジの例であり、2つのBN間のパスは、CNにあるIF-SWを用いて接続され、本無線ネットワー ク内で VPを形成する。BNとATMのバックボーン回線との間は、BNのV-modemとCNの V-modemをIF-SWを介して接続することにより接続される。各BNとCNはOAM (Operation Administration and Maintenance)セルを送受信するために常時、接続されていなければならな い。

本集中制御型ワイヤレスATM基幹通信網のシステム構成例において、各VPに対するチャネル 配置は、CNのチャネル管理テーブルに基づいて決定される。この管理テーブルは使用中チャネル、 空きチャネルを観測することにより生成され、IF-SWの接続制御を行うために使用される。本シス テムにおいて、例えば、変調方式は以下のように決定する。各チャネルの最大の変調多値数は、 受信ノードにおける受信電力等を観測することにより伝搬状況を判断し、あらかじめ決定してお く。この情報は、OAMセルを用いてCN及びCNを介して送信ノードに転送される。データ伝送に 用いる変調多値数は、ATM-SW内の送信バッファを観測しながら、最大の変調多値数以下で、か つまた、バッファ内のデータ量に比例した値に決定される。その後、V-modemの変調方式が制御 信号に従って切り替わる。

表6.1は、ワイヤレスATM転送網のシステムパラメータの一例を示す。ATMネットワークにお けるNNIはSDHに基づいて規定されている。ワイヤレス転送網も有線系ATM基幹回線への 接続を考慮する必要がある。以上の観点から、SDHへの多重が簡単に行えるように、最小のチャ ネル容量及び容量の増分は、ATMハイアラーキにおけるTUG-2と同等の6.5Mbpsになるように 設計されることが望ましい。このシステムパラメータに従った場合、例えば、平均セル速度 26Mbps、最大セル速度52MbpsのVBR(Variable Bit Rate)モードのデータトラヒックが、VPに 対して2チャンネルを割り当てることで提供できることとなる。ここで、平均セル速度時には 16QAMを用い、トラヒックピーク時には、変調方式を256QAMに切り替えることにより、トラヒッ

符号伝送速度	3.25Mbaud	回線設定例		
信号伝送系	Roll -off	Capacity	Max. CH	Max. Mod.
	$(\alpha - 0.42)$	\sim 6.5Mbps	1	QPSK
	(=	~13Mbps	1	16QAM
チャネル間隔	5 MHz	\sim 19.5Mbps	1	64QAM
		~26Mbps	1	256QAM
	воп(200.239)		2	16QAM
変調方式	QPSK	\sim 39Mbps	2	64QAM
	16QAM	\sim 52Mbps	2	256QAM
	64QAM		3	64QAM
	256QAM	\sim 155Mbps	6	256QAM
			8	64QAM

表6.1 ワイヤレスATM基幹通信回線のシステムパラメータ例

• Max. CH: Maximum Channel Number.

Max. Mod.: Maximum Modulation Scheme.

ク変動を吸収する。この条件において、最大変調多値数が64QAMまでに制限された場合には、 VPに対して1つチャネルが追加され、変調方式は64QAMまでで切り替えられる。

以上説明したように、図6.2に示すシステム構成において変調方式を切替えることでのトラヒッ ク変動の吸収と、回線状況に応じた最適な変調方式を用いることによる回線の瞬断確率の低減を 図ることができるものと考えられる。しかしながら、現状の変復調器^{[13],[14]}は、各種変調方式に対 応できるように設計されているものはあるが、連続的に変調方式を変化させることは考慮されて おらず、変調方式切替時には一度瞬断が発生することが予想される。そのため、伝搬路の状況変 化とトラヒック変動を確実に吸収できるアルゴリズムが開発されたとしても、装置切替に起因し た誤りは回避できない問題であり、回線瞬断を発生させてしまう。以上の理由から、現時点では、 制御信号に応じて変調方式が無瞬断で切り替わる変調方式可変型変復調器を実現性を証明するこ とがワイヤレスATM転送網を構築していく上での重要課題であると考える。さらに、本システ ムの各ノードには、VPの本数以上に変復調器を配置しておく必要があるため、マルチキャリア 方式と同様に、変復調器の経済化も課題の一つである。以下の節では、この点を考慮した変復調 器の設計及び構成を示す。

<u>6.3</u> 変調方式可変型伝送系の設計

ワイヤレスATM転送網用変調方式可変型変復調器への要求条件である無瞬断切替を実現するためには、伝送系を構成している装置内の各種制御ループに対して変調方式切替による外乱を与えないこと及び離れた2点間も装置を伝搬遅延を考慮しながら完全な同期切替を実現しなければならない。ここでは、以上の観点から、変調方式可変型容量可変方式に適した信号点配置方法及び 変調方式制御(MSC, Modulation Scheme Control)信号の伝送方法について議論する。

-152-

6.3.1 信号点配置

多値QAM変調器においては同期検波における位相不確定性を除去するために、第2章で説明し たような入力信号に対して符号化が行われている。この符号化において、最低限第1パスの信号は 差動符号化され、通常1シンボル前の信号との和差分演算が行われる。このため、変調方式に応 じて個々に符号化回路を設けると、切替に必ず1ビット以上は要することとなり、無瞬断切替は 困難である。そこで、符号化回路を全ての変調方式について共用することが必要となる。ここで は、多値QAM変調方式に一般的に用いられている回転対称形符号配置ついて符号化回路の共用 化を前提として考えていく。

 2^{2m} QAMのI-chおよびQ-chの各パス信号系列(シンボル周期: T_b)を用いて、変調信号 $S_m(t)$ は以下の式で与えられる。

$$S_m(t) = \sum_{k=-\infty}^{\infty} \left\{ \sum_{l=1}^m 2^{m-l} \cdot \left[D_{ll}(kT) + j D_{Ql}(kT) \right] \right\} \cdot \gamma(t+kT) \cdot \exp(2\pi f_c t)$$
(6.1)

f。:キャリアの中心周波数

 $\gamma(t)$:波形整形フィルタのインパルス応答。

ここで、 $D_{II}(kT_b)$ 及び $D_{QI}(kT_b)$ は符号化回路出力のl-ch及びQ-ch第lパス信号であり、以下のように与えられる。

$$High-Level(H) = +\delta_m \qquad Low-Level(L) = -\delta_m \qquad (6.2)$$

2δ":各変調方式の最小信号点間距離

しかしながら、実際の入力信号は、

 $High-Level(H) = +1 \qquad Low-Level(L) = 0 \qquad (6.3)$

のようなディジタル信号となる。図6.3は回転対称形配置において64QAMを16QAMに変化させた 例を、実際の入力信号系列で表記したものである。回転対称型符号配置では差動符号化は第1パ スの信号に限られており第2パス以降が回転対称配置(図6.3(a))となっている。従って、多値数に かかわらず第1パスの信号を常に使用していれば使用する信号系列数により容易に変調多値数を 可変できる。信号系列数に対して信号点間距離が均等となる信号点配置を得る方法としては、

①伸縮型信号点切替:中心点を併せて信号点を伸縮させていく方法。

②選択型信号点切替:自然2進コードに従って信号点を挿入/間引きしていく方法。

が考えられる。表6.2は両信号点切替における入力信号系列の各変調方式への切替手順を示す。 図6.3(b)は、図6.3(a)において、符号化回路に入力される64QAMのI, Q各3系列の信号のうち第2 パス(2nd Signals)を"1"に固定し、中心付近の16点を用いて16QAMの信号点とすることで切

-153-



図6.3 変調多値数制御方法

替①を行うものである。また、図6.3(c)は符号化回路出力において64QAMでのI, Q各3系列のう ち第3ビット目を"0"に固定することで切替②を行ったものである。上記の切替①は、図 6.3(b)からもわかるように信号点を中心に向かって縮退させたものであり、変調方式を切替えて も中心点は常に同一で、最小信号点距離も均一となる。しかしながら、符号化回路への信号入力 方法として、パス切替とビット反転操作を伴い、若干複雑である。一方、切替②は、表6.2からわ かるように、出力信号系列の選択のみであるため、簡単に実現できる。しかしながら、図6.3(c)か らもわかるように、信号点の中心点がずれるととともに、最小信号点距離も変調多値数が少なく なるに伴い長くなるという変化が伴う。両方の信号点操作方法の比較検討を以下で説明する。

無線装置を構成する場合には、変復調器だけでなく送受信装置が必要である。この送受信装置で

	縮退型信号点操作			パス選択型信号点操作				
人刀信号	256QAM	64QAM	16QAM	QPSK	256QAM	64QAM	16QAM	QPSK
[l ₁ , Q ₁]	[I ₁ , Q ₁]	[l ₁ , Q ₁]	[l ₁ , Q ₁]	[l ₁ , Q ₁]	[I ₁ , Q ₁]	[I ₁ , Q ₁]	[l ₁ , Q ₁]	[I ₁ , Q ₁]
[l ₂ , Q ₂]	[l ₂ , Q ₂]	[1, 1]	[1, 1]	[1, 1]	[l ₂ , Q ₂]	[l ₂ , Q ₂]	[l ₂ , Q ₂]	[0, 0]
[l ₃ , Q ₃]	[l ₃ , Q ₃]	[l ₂ , Q ₂]	[0, 0]	[0, 0]	[I ₃ , Q ₃]	[l ₃ , Q ₃]	[0, 0]	[0, 0]
[l ₄ , Q ₄]	[I ₄ , Q ₄]	[l ₃ , Q ₃]	$[\overline{I_2}, \overline{\Omega}_2]$	[0, 0]	[l ₄ , Q ₄]	[0, 0]	[0, 0]	[0, 0]

表6.2 信号点配置可变制御

も、送信機での自動レベル調整(ALC,Automatic Level Control)、受信機でのスペースダイバー シチ(SD, Space Diversity)、A G C といった複数の制御ループが構成されている。そして、これ らの制御ループはすべて、信号電力を検出することによって制御を実行している。この信号電力 に関して、2つの方法の変調器出力での平均電力は以下のようになる。2^{2m}QAMの平均電力は、第 2章で示したように、各変調方式の最小信号点間距離:2δ_mを用いて、

$$P_m = \frac{\delta_m^2}{3} \left(2^{2m} - 1 \right) \tag{6.4}$$

で与えられる^[15]。QPSKの最小信号点距離を2δとすると、切替①の信号点距離は、変調方式によ らず一定となるため、

$$\delta_m = \delta \tag{6.5}$$

となる。一方、切替②での信号点距離は、以下の式で与えられる。

$$\delta_m = \frac{\delta}{2^{m-1}} \tag{6.6}$$

この結果として、切替①では、平均電力が変調多値数mに比例にして変化し、その変化量は、 QPSK(m=1)から256QAM(m=4)に切替えた場合、約19.2dBとなる。一方、切替②での変調多値 数mに対する平均電力を図6.4に示す。この図からわかるように、切替②での電力変化は、約 1.2dBであり、切替①よりも小さい。しかしながら、どちらの信号点切替も信号平均電力が違う ため、変調方式切替によるレベル変動が発生し、送受信装置の制御ループが新しい制御値に向かっ て動いてしまう。この送受信系の変動を押さえるためには、送受信装置への入力される信号であ



-155-



図6.5 復調器の識別信号レベル

る変調器出力信号は、変調方式に関わらず同一の信号電力であることが望ましい。さらにここで、 切替②の場合、各種変調方式に対し、変調器の動作点(DC-level)は図中に示すように異なってくる。 この動作点の違いは、直流成分と等価であり、これは変調波においてキャリアリークとなって現 れてくる。このようなキャリアリークが存在する変調波が受信機に入力された場合、送受信装置 ではキャリアリーク分を含む受信信号電力を検出して制御を行なうため、受信信号のCNRはキャ リアリーク分だけ劣化し、多値数が少なくなったにもかかわらず固定劣化量は増大する.そのた め、この切替では、DCオフセット補正処理が必要となる。

両切替方式における復調動作は以下のようになる。図6.5に多値変調方式の信号識別方法を示す。 復調制御ループは識別信号以下のビットである誤差信号のを観測してマーク率が0.5となるように 制御ループを収束させる。この時の状態は閾値(Signal Threshold)が信号点間の中央にくるよう になる。ここで、切替①を用いて縮めた信号点をそのまま復調することを考えた場合、誤差検出 ビット(Error bit)は常に同じビットに固定できる(例では、第4ビット)。このような信号識別を行っ た場合、図6.5に示すように擬似安定点がいくつも存在するため、この状態で何らかの理由でルー プが外れた場合、擬似引き込み(False-Lock)現象が発生しやすくなる。そのためこの方法では、 振幅を広げて通常の多値信号の識別点に調整する必要がある。一方、切替②では、識別信号、誤 差ビットは通常の多値復調と同一の方法を用いるが、送信側の信号点配置操作で最下位識別信号 を"0"に固定しているため、一つ下の変調多値数(ここでは、16QAM)では、誤差信号が常に0であ

-156-

るのと等価となる。このため、図6.5の例においては、誤差信号のマーク率が50%となるように、 直流ドリフトの制御ループが切替に伴って収束に向かう。以上のように、どちらの信号点配置も、 変調方式切替時に復調制御ループが不安定となる要因を含んであるため、変調方式に応じて信号 閾値レベルが常に一致するように調整された信号点配置を用いる必要がある。実際の伝送系にお いては、復調器に対して受信装置からの平均信号電力が一定に保たれた信号が入力される。この 平均電力一定条件は必ずしも識別レベルが一定条件とは一致しない。このため、平均電力一定条 件の信号を閾値レベルー定条件への変換が行われる。

以上まとめると、伝送路の各種制御ループに変動を与えない信号点を生成するためには、変調方 式に応じて、

(a)変調器出力において、信号の平均電力が一定となるように調整すること。

(b)識別器に対して、信号の閾値レベルが同一である信号レベルを調整すること。

必要である。

6.3.2 変調方式制御信号伝送方法

変調方式可変方式において、復調器単独で受信信号から変調方式を推定/抽出する方法はいくつ か考案されているが、ある一定時間の信号観測が必須であり、マルチメディアトラヒックの変動 に応じて切替わる変調方式を瞬時検出は不可能である。従って、本システムでは、変調器と復調 器の切替タイミングを制御する変調方式制御(MSC, Modulation Scheme Control)信号を用い る必要がある。一方、本システム上でのVPは、変復調器、送受信装置、IF-SW等の様々な装置が 組み合わされて構成されるために、全てのVPの物理的な伝搬遅延時間を均一に調整することは不 可能である。また、複数のチャネルから構成されるVPにおいては、IF-SWでの周波変換によりチャ ネル配置が置き換わることが予測されるため、変調器の識別コードもまた、復調器側で識別しな ければならない。以上の理由から、MSC信号は、送信データ信号と一緒に伝送すべきであり、 その方法について検討を進めていった。

MSC信号の伝送タイミングチャートを図6.6に示す。この図において、MSC信号は6.2節で 示したように、変調方式が切替わる前にあらかじめ決定されており、誤り訂正符号のために構成 されたフレームを用いて復調器側に転送される。そして、変調方式切替はこのフレーム毎に行わ れる。切替タイミングは以下のように生成される。まず最初に、MSC信号はフレームパルスで サンプリングされ、フレーム中の定められた固定位置に挿入される。その数フレーム後に、変調 器がMSC信号に応じて切替わる。復調器側では、受信したフレームの決まった位置からMSC



信号を抜き出す。そして、変調器と同じフレーム数待った後で、MSC信号に従って復調器の切 替を行う。このように、MSC信号を復調器側に先送りしておき、挿入→切替、検出→切替時間 を送受で同一フレーム数に設定しておくことで、変調器と復調器間の切替を送信するデータ信号 に対して常に同期させておくことができる。さらに、前節で述べたように、切替処理はDSPに より行われるため、タイミング同期は容易である。

図6.6に示した制御信号伝送方法では、物理パスの変調方式を制御するMSC信号がデータ信号 と同じ物理パス上で伝送されるため、フェージングや干渉によってデータ信号だけでなくMSC 信号も符号誤りが発生することが予測される。そしてこの場合、誤ったMSC信号が復調器から 出力されるため、受信信号は正常に復調されずに、回線品質の劣化以上に誤り率特性が劣化する ことが考えられる。さらに、復調信号も誤った信号多重が行われてしまう。この結果、復調器ば かりでなく、ノード装置すべての動作を狂わせてしまう危険性がある。以上の背景から、ここで は、MSC信号の誤りを防止するため、MSC信号を第1パス信号中に挿入し、さらに、図6.7に 示すように信号点配置の最大振幅点に配置する方法を採用した。この図のような最大振幅点への 信号点配置は、他のパスの信号入力を固定することにより簡単に配置することができる。例えば、 図6.7に示す64QAM回転対称形符号配置の場合には、第1パスにMSC信号を挿入し、第2パス、第 3パス信号をLowレベル(=0)に固定することにより得られる。これらの最大振幅点に配置された信 号の信号点距離は、変調多値数mを用いて、

-158-



図6.7 変調方式制御信号の信号点配置

 $\delta_{MSC,m} = (2^{2m} - 1) \cdot \delta_m \tag{6.7}$

により与えられる。ここで、2δ_mは2^{2m}QAMの最小信号点間距離である。これらの信号点は、第1 パスの閾値を飛び越えた時にのみ、符号誤りが発生する。その故に、MSC信号の誤り率特性は、 式(6.7)で与えられる信号点間距離のQPSK信号として考えられ、以下の式で与えられる。

$$P_{MSC,m} = \operatorname{erfc}\left[\frac{\left(2^{2m}-1\right)\cdot\delta_{m}}{\sqrt{2}\sigma}\right]$$
(6.8)

ここで、 σ: #音電力

erfc:補誤差関数(第2章、式(2.8)参照)

この式は、MSC信号を差動符号化した場合の誤り率特性である。図6.8は、式(6.8)により計算 したMSC信号の誤り率特性である。ここで、変調方式はm≦4(QPSK, 16QAM, 64QAM, 256QAM)とし、データ信号の誤り率特性は第2章で示した式(2.12)を用いて平均誤り率を各々計 算した。図6.8から、256QAM(m=4)におけるMSC信号の誤り率特性が最も優れていることがわ かる。これは、256QAMのMSC信号の信号点間距離が最も大きいことによるものであると考え られる。そして、MSC信号の信号点間距離がデータ信号と同じになるQPSKにおいては、MS C信号の誤り率特性がデータ信号の誤り率特性と一致する。以上の結果より、復調系が正常であ るならば、m=2以上の変調多値数に対してはMSC信号の後検出確率は極めて低いものと考えら

-159-



れる。一方、m=1(QPSK)でデータ信号に信号誤りが発生した場合にそれ以上の多値数の変調方式 への切替を実行すると、確実に瞬断が発生するため、実際には、実行されないものと考えられる。 そのため、このような状況下では、最小の変調方式に固定して待機しているのが望ましく、MS C信号に関係なく復調器のモードを固定できる。以上の検討結果より、データ信号に挿入された MSC信号は、正確に変調方式を伝送できるものと考える。

6.4 変調方式可変型変復調器の構成

変調方式可変型変復調器の構成を図6.9に示す。この図は、表6.1に示す多値QAM変調方式 (QPSK, 16QAM,64QAM, 256QAM)を備えた変復調器の構成例であり、I-ch、Q-chともに最大 4系列のデータ信号を同時に入力することができる。また、この構成は、変復調可変機能を従来 のアナログ回路を基本とした従来の変復調器に対して付加する変復調器した場合の例を示してお り、ここでは、変復調の中心的な機能はアナログ回路で実現されているが、変調方式切替に関連 する部分は、MSC信号に応じた瞬時応答が必要であるため、DSPの適用が必須である。

この構成において、変調器側のフレーム回路(Framer)では、入力信号に対する回転対称形符号 配置への信号点マッピング処理およびFEC符号化が行われるとともに、MSC信号の主信号中へ の挿入が行われる。復調器側でのデフレーム回路(Deframer)では、変調器側のフレーム回路の逆 の処理が行われる。これらの回路においては、前述のように、すべての変調方式に対して共通の 処理が実行されるため、変調方式の切替処理は行われない。また、FECでは、冗長ビットを付加

-160-





するために、一般に信号速度変換が行われるが、これら回路での入出力信号速度は変調方式に依 らず一定であるため、ここでも変調方式切替時の変動は伴わない。変調方式切替により回路動作 が変更される部分は、これらの回路を除く、ベースバンド処理部分である。以下では、ベースバ ンド処理回路の動作について説明する。

6.4.1 変調器の構成

図6.9(a)に示す変調方式可変型変調器において、MSC信号に応じた変調方式切替は多値数制御 (Multi-level Control Logic)回路において行われる。ここで、外部から入力されるMSC信号は、 フレーム及びデフレーム回路の処理遅延に相当分のフレーム数遅延させた後に、多値数制御回路 に与えられる。変調器側の多値数制御回路の動作を図6.10に示す。

図6.10(a)は切替①である伸縮型信号点操作の制御回路構成例である。この方法では、フレーム 回路出力が既に変調方式に応じた信号配置に変換されているため、入力される4系列のデータ信号 は、そのまま乗算器に入力される。そして、下位ビットを"1,0,0,0・・・・,0(LSB)"と固定するこ とにより、DSPで処理できる2の補数コードに変換する。その後、信号レベルを電力一定条件 に変換する。このときの、振幅の補正係数は、式(6.4)及び式(6.5)から以下の式で与えられる。

$$A_{rt1,m} = \sqrt{\frac{P_{QPSK}}{P_m}} = \sqrt{\frac{3}{2^{2m} - 1}}$$
(6.9)

図6.10(b)は切替②である選択型信号点操作の制御回路構成例である。この回路では、まず、フレーム回路からの出力信号をMSC信号に応じた選択を行う。このとき、D₁信号を最上位ビット (MSB,Most Significant Bit)として常に入力し、mの値に従って、LSBに向かってデータ信号系列 を拡張していく。その後、DCオフセット補正、信号振幅調整を行い、直交変調器に信号を出力 していく。ここでの各補正係数を以下に示す。

変調方式による動作点の違いは直流成分(DCオフセット)として現われる。各種変調方式にお ける直交変調器への入力信号のDCオフセットは、

$$DC_m = \frac{D_{\max} + D_{\min}}{2} = \frac{1}{2^m}$$
(6.10)

で与えられる。DCオフセットの補正は、式(6.10)の補正係数を入力データ信号からディジタル 減算することで実行される。この処理は、等価的に選択されたデータ信号以下のビットを、図 6.10(b)に示すように"1,0,0,0・・・・,0(LSB)"とするビット操作に置きかえることでも簡易に実 行できる。また、切替②における各変調方式の補正係数は、式(6.4)及び式(6.6)から以下の式で与

-162-



えられる。

$$A_{n2,m} = \sqrt{\frac{P_{QPSK}}{P_m}} = \sqrt{\frac{3 \cdot 2^{2 \cdot (m-1)}}{2^{2m} - 1}}$$
(6.11)

この信号振幅調整は、式(6.11)の補正係数をDCオフセット補正後に掛けることで実行される。 以上のような信号点配置切替処理は、乗算及び加算演算を伴うが、図6.9(a)の構成(m≤4)では、 信号の組み合わせが、256ワード以下であるため、ROMを用いても容易に実現可能である。

6.4.2 復調器の構成

図6.9(b)に示す変調方式可変型復調器において、復調方式切替はデフレーム回路において検出されるMSC信号に基づいて多値数復調制御回路(Multi-level DEM Logic)において行われる。そし

て、復調器側では、固定された閾値レベル上に信号点間の中心がくるように制御が行われる。こ こで、デフレーム回路から出力されるMSC信号は、フレーム回路の処理遅延に相当分のフレー ム数遅延させた後に、多値数復調制御回路に与えられる。多値数復調制御回路では、MSC信号の 入力後、主信号の信号処理遅延(ここでは、乗算器及びTRV-EQL)を考慮した切替処理を行ってい く。多値数復調制御回路の動作を図6.11に示す。

多値数復調制御回路において、識別データ信号は軟判定復調信号中からデータ信号系列の選択に よって得られる。さらに、多値QAM方式では、一般的に同期検波方式で復調され、この信号復調 のために、第4章で述べたようなキャリア再生、AGC、AOC等の等の各種制御ループが形成 されている。故に、多値数復調制御回路では、識別信号とは別に各変調方式に応じた誤差信号の 検出を行う必要がある。各種制御ループの誤差信号は、制御回路がZF(Zero Forcing)法を用い ていると仮定すると、以下ように生成される^[15]。

キャリア再生:
$$e_{CR} = \operatorname{sgn}(\hat{D}_I) \cdot \operatorname{sgn}(e_Q) - \operatorname{sgn}(\hat{D}_Q) \cdot \operatorname{sgn}(e_I)$$
 (6.12)

AGC (I-ch) :
$$e_{I-gain} = \operatorname{sgn}(\hat{D}_I) \cdot \operatorname{sgn}(e_I)$$
 (6.13-1)

AGC (Q-ch) :
$$e_{Q-gain} = \operatorname{sgn}(\hat{D}_Q) \cdot \operatorname{sgn}(e_Q)$$
 (6.13-2)



-164-

AOC (I-ch) :
$$e_{I-drift} = sgn(e_I)$$
 (6.14-1)

AOC (Q-ch) :
$$e_{Q-drift} = \operatorname{sgn}(e_Q)$$
 (6.14-2)

ここで、

$$e_I = \hat{D}_I - Y_I$$
, $e_Q = \hat{D}_Q - Y_Q$ (6.15)

 Y_{I}, Y_{Q} : I-ch及びQ-chの軟判定復調信号。

 D_I, D_o : I-ch及びQ-chの識別データ信号。

である。式(6.11)~式(6.13)中の各信号は、軟判定復調信号の以下のビットで与えられる。

$$\operatorname{sgn}(\hat{D}_{I}) = Y_{I1}$$
, $\operatorname{sgn}(\hat{D}_{Q}) = Y_{Q1}$ (6.16)

$$sgn(e_I) = Y_{I,(m+1)}$$
, $sgn(e_Q) = Y_{Q,(m+1)}$ (6.17)

以上示したような処理が多値数復調制御回路では行われる。その結果として、多値数復調制御回路におけるパス選択回路は以下のように動作する。まず、識別データ系列は、mの値に従って、 Y_I (MSB)から Y_m までを識別データ系列(D_1, \dots, D_m)として選択する。それに加えて、I-ch受信信号から $Y_{II} \geq Y_{I(m+1)}$ を、Q-ch受信信号中から $Y_{OI} \geq Y_{O(m+1)}$ を誤差信号生成のために選択する。

復調側での信号レベル調整は、平均電カー定条件から閾値レベルー定条件への変換が実行される。 復調器側での識別信号はパス選択により得ているため、信号点の変換は、変調器側でのパス選択 型信号点操作における信号振幅調整の逆補正となる。このときの補正係数は以下の式で与えられ る。

$$A_{rr,m} = \frac{1}{A_{rt2,m}} = \sqrt{\frac{2^{2m} - 1}{3 \cdot 2^{2(m-1)}}}$$
(6.18)

この補正係数は、図6.9(b)に示すようにベースバンドAGC回路に入力され、制御係数の補正に より信号レベル調整が行われる。また、図6.9(b)の例では、ベースバンドAGC用の乗算器に切替 後の最初のデータが入力されるタイミングでAGC制御係数の補正が完了するように補正係数の切 替を実施する。ちなみに、選択パス切替は、振幅調整係数の出力後、補正された復調信号が入力 されるまでの回路遅延分を考慮して行われる。

6.5 実験結果

変調方式の適応可変機能の基本特性を測定するために、SDH対応DMR用256QAM変復調器 (符号速度:12.96MBaud)をベースに多値数可変型変復調器を構成した。256QAM変復調器は、

-165-

現在ある多値QAM変復調器の中では最も変調多値数が大きく、かつまた最も厳しい要求条件下 で製造されており、直交変復調器(特にアナログ回路)の基本特性が最も優れている。そこで、 256QAM変復調器を本実験でベースとなる変復調器に選択した。本多値数可変変復調器の主要諸 元を表6.3に示す。DMR方式用256QAM変復調器には、誤り訂正符号としてBCH(255,239)が 使用されている。実装置では、239シンボルの源信号のうちの2シンボルが回線制御信号用に確保 されており、実データ信号の誤り訂正符号はBCH(255,237)となっている。本実験装置では回線 制御用に確保されている2シンボルのうちの1シンボルをMSC信号伝送に使用した。変調器側で の多値数制御論理は、ROM(Read Only Memory)を用いて実現した。またこのROMは、識別レベ ルー定条件用と平均電力一定条件用の2種類のROMを用意した。一方、復調器側は、多値数制 御論理として誤差信号の選択回路を付加したのみで、制御ループの改良は行なっていない。この 実験環境において、変調器と復調器を1F帯で直結した場合、識別レベルー定が理想的な変調方 式の切替条件である。

中心周波数	150 MHz
符号伝送速度	12.96Mbaud
信号伝送路	Roll-off(α =0.42), TX, RX equal
誤り訂正	BCH(255.239)
クロック速度	13.9443MHz
変調方式	QPSK(<i>m</i> =1), 16QAM(<i>m</i> =2) 64QAM(<i>m</i> =3), 256QAM(<i>m</i> =4)
等化器	7-tap TRV-EQL

表6.3 変調方式可変型変復調器の主要諸元

まずはじめに、変調多値数制御回路を部分的に試作し、パス選択型信号点操作での信号点補正動 作の確認を行った。ここで、変調器は、第2章でのDSP型変復調系を使用して、以下のような 条件で行った。

変調方式	:16QAM、QPSK
信号点配置	:自然符号配置
符号伝送速度	:250 kBaud
キャリア周波数	:1 MHz

上記以外の条件は、第2章での実験と同一条件とした。またこの時、信号の復調は、キャリア再 生系などの影響を除去するために、キャリアおよびクロックを送受で同期させた条件で行った。

図6.12にはDAC出力において観測された変調スペクトルを示す.この図は、16QAMに調整した 変調器をQPSKに切替えた場合の例を示している。この図において多値数制御回路を用いない場 合(without Shifter)ではキャリアリークが観測されているのに対し、多値数制御回路を用いた場 合(with Shifter)にはキャリアリークが抑圧されていることがわかる。また、変調波の帯域外減衰 量は50dB以上得られており良好な周波数特性であることもわかる。このことから、信号点の 補正動作が良好に働いていることが確認できる。次に、多値数制御回路を付加した場合としない 場合とで誤り率特性を測定した。測定結果を図6.13に示す。16QAMはほぼ理論どおりに特性が得 られているのに対し、QPSKでは多値数制御回路を付加した場合としない場合で、約1.5dB(*BER* =1.0×10⁻⁴)の違いが見られた。これは、キャリアリーク成分も含めて信号電力として扱われてた ため、等価的に信号電力が低下したためてあると考えられる。キャリアリーク成分も含めて信号 レベルを検出しているため、実際の信号電力が低くなったためであると考えられる。



図6.12 動作点補正による変調スペクトル





2種類の多値数制御論理ROMを用いて測定した変調器出力電力を表6.4に示す。この結果、識 別レベルー定条件の場合QPSKと256QAMの変調器出力電力の違いは、1.26dBmであった。 この値は、図6.4に示される理論解析結果とほぼ同じ値である。平均電力一定条件の場合、その差 は、すべての変調方式に対して0.3dBm以下であった。さらに、変調多値数を固定した定常状態で 測定した各々の変調方式の信号点配置を図6.14に示す。これらの図から、256QAM変復調器 に多値数可変機能を付加する改造を行っても、性能が劣化していないことを示している。これは、 2種類のどちらのROMを用いても同様の信号点配置が観測された。このことより、両方の送信 条件下での静的な特性に差がないことが確認できた。

変調方式	識別レベルー定	平均電力一定
QPSK	-16.84dBm	-15.24dBm
16QAM	-15.82dBm	-15.32dBm
64QAM	-15.62dBm	-15.10dBm
256QAM	-15.58dBm	-15.05dBm

表6.4 各変調方式の対する変調器出力電力

復調器の変調多値数の設定と異なる変調多値数の設定値を変調器に与えた場合の信号空間点配置 を図6.15に示す。変調器の多値数の設定が復調器の設定値よりも小さい場合、図6.15(a)に示すよ うに、信号点空間点配置は疑似安定点に収束することがわかる。逆に、変調器の多値数の設定が 復調器の設定値よりも大きい場合、復調器の制御ループは安定せずに図6.15(b)に示すように、振 動する信号空間点配置が観測された。これは、データ信号が誤差信号として選択され、かつまた、 その誤差信号として選択されたデータ信号はランダムに変動するためにパターン的には雑音と見 なせるために、制御ループに雑音が付加された場合と等価な現象が観測されたものと考えられる。

変調方式を切替えた時の復調器制御ループ応答を測定した結果を図6.16に示す。実験装置の AGCは、ADCの前段に配置された GCAを電圧制御するループとなっている。そこで、AGC制御



図6.14 信号点配置の測定結果



(a) Modulator :QPSK
 (b) Modulator :256 QAM
 Demodulator :256 QAM
 Demodulator :16 QAM
 図6.15 変調器-復調器間で変調方式が異なる場合の信号点配置の測定結果

ループの応答は、このGCAの制御電圧を測定した。また、キャリア再生(CR)ループの応答は VCOの制御電圧を測定した。図6.16は、変調方式をQPSKから256QAMに切替えた場合の測定結 果である。ここで、MSC信号の変化点が変調方式の切り替わりタイミングである。復調器の制御 ループは、受信信号から抽出した誤差信号を用いて識別レベルが一定となる条件に向かって収束 する。それ故に、識別レベルが一定となるROMを用いた場合、図6.16(a)に示すように、MSC信 号が切り替わっても、各制御ループの制御電圧は変化しない。一方,平均電力一定条件のROMを用 いた場合、図6.16(b)に示すように、MSC信号が切り替わった後、GCAの制御電圧は変化し、最 後には識別レベルが一定となるような状態に到達する。AGCの変動に応じてCRループもまた変化 し、この例の場合には、一度キャリア再生ループが再度収束するまでの間、符号誤りが発生した。 以上の結果から、復調器の制御ループの動作は識別レベルが一定である場合に安定していること が確認できた。この状態の信号フォーマットは簡単に作り出すことができる。しかしながら,送受 信装置を含む伝送系が、平均電力が一定である時が最適な状態である。以上の理由から、変調多 値数切替というシステム制御によって、伝送系に外乱を与えないようにするためにも平均電力一 定条件⇔識別レベルー定条件の信号フォーマット変換機能は必須であると考える。

データ信号とMSC信号の誤り率特性を図6.17に示す。ここで、データ信号の誤り率特性は、 測定する変調多値数と同じMSC信号を送り続ける状況下で誤り訂正を行わない条件で測定した。 MSC信号の誤り率特性は変調器と復調器を同一の変調多値数に固定した条件で測定した。この 図から、256QAMと16QAMの誤り率特性は可変機能を持たないDMR方式用多値QAM変復調器と




第6章 変調方式可変型変復調器への応用

同等の特性であることが確認できた。また、QPSKでは、MSC信号の誤り率特性と主データ信 号の誤り率特性は、図6.8に示した通り、同一であった。MSC信号変調多値数がm≧2(16QAM 以上)の場合、主信号の誤り率が1.0×10⁻³以下の領域ではMSC信号の誤りは観測できなかった。 逆に、主信号の誤り率が1.0×10⁻³以上の領域では、誤りが多発した。これは、FECのフレーム 同期が外れたために、MSC信号の挿入位置が認識できなくなったためである。そのため、図6.8に 示した理論解析と実験結果との差異は、FECのフレーム同期特性によるものであり、MSC信号の 挿入位置の検出特性は改善すべき問題点であると考える。しかしながら、主信号の誤り率が1.0× 10⁻³以下の領域でMSC信号の誤りは発生しておらず、また、地上波ディジタル無線通信システム の瞬断率は1.0×10⁻⁴以下で設計されている。故に、上記のMSC信号の誤り率特性は、実用上は十 分な特性であると考える。

最後に、変調多値数の切替り時の誤り個数をカウントした。その結果を表6.5に示す。ここで、 誤りの個数は常に接続されている第一パスの信号をカウントした。この結果から、識別レベルー 定条件の信号点フォーマットROMを用い、かつまたMSC信号をデータ信号中に挿入した理想 的な条件下で無瞬断切替を実現できることが確認された。理想条件から外れた条件、例えば,平均 電力一定条件信号フォーマットROMを用いた時、信号の伝搬遅延(約50 μs)を無視して同時に送受 信を切替えた時など、では信号エラーがカウントされた。さらに、表6.5に示すように、変調方式 を順々に切替えていった場合の誤り個数と比較して、変調多値数を大きく増やした時の方が誤り



第6章 変調方式可変型変復調器への応用

が多く発生していることがわかる。また、この表から、QPSK→256QAMへの切替では、平均電 力が異なることに起因した誤りが多発しているのに対し、その逆の256QAM→QPSKへの切替で は、誤りがカウントされていないこともわかる。以上の点から、識別レベルー定条件で信号が送 信され、平均受信電力が異なって受信されたとしても、切替え後の変調方式の受信信号が識別レ ベルを超えなければ、切替え時に誤りは発生しないことがわかる。故に、QPSK→256QAMのよ うに急激な変調多値数の切替を行わなければ、より安定度の高い多値数可変型の回線が構築でき るものと考える。

· · · · ·				
from	QPSK	16QAM	64QAM	256QAM
QPSK		0/0	⁰∕₀	⁰ ∕≒10 ⁵
16QAM	⁰∕₀		9∕≒450	9∕≒660
64QAM	0/0	%		9∕≒500
256QAM	0/0	%	9/<10	

表6.5 変調方式切替時のビット誤り数

Ideal Condition / Undesired Condition

6.6 むすび

固定無線通信システム上に効率良くATMネットワークを構築することを目的として、ワイヤレ スATM転送網に適用可能な変調方式可変型変復調器の検討を行った。はじめに、変調方式可変 型適応変調方式の適用システムイメージについて議論した。ここでは、VP毎にチャネルを配置し、 変調方式とチャネル数の可変によってトラヒック変動を吸収を行うVP容量可変方式を提案し、 併せてこれを用いたワイヤレスATM転送網のシステムイメージを示した。このシステムでの技 術的な要求条件は、変調方式の無瞬断切替である。この観点から、変復調器構成及び制御信号伝 送方法の検討を進めていった。

次に、変調方式可変型変復調器の構成法について議論を行った。ここでは、変復調器と送受信装 置での信号処理方法の違いに着目した変復調器の構成法の提案を行った。提案した変調方式可変 型変復調器において、変調器側は、全ての変調方式に対して変調出力電力及び直流レベルが一定 となるように信号点のフォーマットを調整する。また、復調器側では、全ての変調方式に対して 識別レベルが一定となるように信号点振幅を調整する。この方法によって、送受信装置及び復調 器の制御ループの切替え時の伝送系の変動を抑えて、瞬断を回避することが可能となる。

さらに、変調器と復調器の切替タイミングの同期を取るために、切替制御信号の転送方法につい

第6章 変調方式可変型変復調器への応用

ても提案した。提案方法は、切替制御信号を第1パスで、しかも、信号点配置の最大振幅点に挿入 して伝送するものである。この方法での誤り率特性は、最悪でもQPSKと同等となるため、制御 信号を誤りなく伝送することができる。また、データ信号中に制御信号を挿入しているため、同 期切替、フレーム単位の切替が可能となる。

最後に、4つの変調方式(QPSK,16QAM、64QAM、256QAM)で信号伝送が行える変調方式可 変型変復調器を構成して基本特性を測定した。その結果として、信号点シフトによって各変調方 式に対して劣化なく信号伝送が可能になること、各変調方式に対して識別レベルを一定に保つこ とよって、復調器の制御ループ変動を起こさずに変調方式が切替わること、及び、提案した制御 信号伝送方法が十分に実用に耐え得る特性であることを示した。さらに、システム上の必要条件 である無瞬断切替が本変復調器の構成で達成できることを実験によって確認した。

以上の検討結果より、変調方式可変型容量可変伝送方式を用いたワイヤレスATM転送網実現の 第一段階である変調方式可変型変復調器の実現性を示すことができた。また併せて実験を通して、 フレーム同期方法向上、切替アルゴリズムの制約条件等の今後への課題も整理できた。

【参考文献】

- [1] C.E.Shannon:"A Mathematical Theory of Communication", Bell Syst. Tech. J.,vol.27, pp. 379⁻ 423 and 623⁻ 656, July and Oct. 1948
- [2]W.T.Webb:"Modulation Methods for PCNs", IEEE Commun. Mag., pp.90-98 (Dec.1992)
- [3]三瓶政一、小牧省三、森永規彦:" 適応変調方式による陸上移動通信システムの大容量化の 検討"、1994年信学会春季全国大会、B-369
- [4]大槻信也、三瓶政一、森永規彦:"変調多値数可変適応変調方式の伝送特性"、信学論B-II, Vol.J78-B-II, No.6, pp.435-444 (1995.6)
- [5]IEEE Std 802.11a/D5.0:"Draft Supplement to standard for LAN/MAN Part 11: Wireless Medium Access Control(MAC)and physical layer(PHY)specifications: High Speed Physical Layer in the 5 GHz band"(1999)
- [6] T. Murase, A. Hashimoto, and J. Segawa:"Design and Performance of SDH Based Microwave Digital Radio Systems", in Proc. 3rd ECRR pp. 48-55 (1991).
- [7]小牧省三:"可変容量マイクロ波方式に関する検討"、信学論B-II,Vol.J73-B-II,No. 10,pp.498-503(1990.10)

<u>第6章</u>変調方式可変型変復調器への応用

[8]大内幹博、李 嬉珍、小牧省三、森永規彦:"ATM 網に対する無線可変容量伝送方式適用の 検討"、信学論B-II, Vol. J76-B-II, No. 8, pp. 661-668 (1993.8)

- [9]M.Nishi, K.Tsukamoto, S.Komaki:"Proposal of Power and Modulation Level Controlled Radio Entrance Network for Wireless ATM Access", IEICE Trans. Commun., vol. E81-B, No. 12(Dec. 1998)
- [10]佐藤健一、太田 聡、時沢郁男:"バーチャルパスの概念を用いた広帯域統合伝達網の構成"、 信学論B-I, vol. J72-B-I, No. 11, pp. 904-916(1989年11月)
- [11]塩田茂雄、魚瀬尚朗:"ATM網におけるバーチャネルパス容量制御方式(一括変更方式)"、 信学論B-I, vol. J75-B-I, No. 5, pp.333-342(1992年5月)
- [12] K. D. Kovarik and P. Maveddat: "Multi-Rate ISDN," IEEE Commun. Mag., Vol. 32, No. 4, pp. 48-54 (April 1994).
- [13]M. Filip and E. Vilar "Implementation of Adaptive Modulation as a Fade Countermeasure", International Journal of Satellite Communications Vol. 12, pp. 181-191 (1994).
- [14] S.Otani, Y.Tanimoto and M.Iwasaki:"Development of variable-rate digital MODEM for digital satellite communication systems", Proc. in G'COM'88, pp. 8.2.1-8.2.6(Nov. 1988)
- [15]A. Leclert and V. Vandamme:"Universal Carrier Recovery Loop for QASK and PSK Signal Sets", IEEE Trans on COM., Vol. COM-31, No. 1, pp. 130-136 (Jan. 1983).

本章では19GHz帯高速無線LANシステムを例として高機能無線通信システムの実現に向けた回線制御(アクセス制御)技術に関する研究結果を述べる。

19GHz帯高速無線LANシステムはRCR STD-34Aに準拠した無線LANシステムである。本シス テムは、制御局(CM)と複数の端末局(UM)から構成され、1つのCMは最高10台のUMと通信す ることができる。本システムの最大の特徴は、最大スループットがEthernet (10Base-T)よりも 速い15.2Mbpsを有していることである。本章では始めに、このような高速無線データ伝送を実現 するために採用した長短2つのフレームを有し、複数のパケットを1フレーム中に複数パケットを 格納して伝送する2モードGSMA(Global Scheduling Multiple Access) について概説する。そ して、このアクセス方式のスループット特性、遅延時間特性について解析を行い、トラヒック量 に応じた最小遅延時間でデータ転送が可能であることを示す。また、安定した特性を得るための 物理層の信号伝送特性の解析結果も併せて示す。次に、無線LAN装置の実現方法について示す。 ここでは、装置構成およびプロトコルスタックを説明すると共に、物理層の構築方法として伝送 系の設計、AFC機能を付加した変復調部の実現方法を示す。最後に、無線LAN装置を用いた性能 評価実験を結果を示すと共に、実環境評価実験結果としてアンテナ切替の頻度と誤り発生回数を 示し、設計通りの性能が得られていることを示す。

<u>7.1. はじめに</u>

高機能無線通信システムを実現するために、前章までは、可変容量方式を想定したシステム構成 を仮定した上で高機能型変復調器の実現法を中心に議論を進めてきた。そしてこの中では、無線 回線制御は、重要な検討課題として整理しておいた。これは、無線回線制御がデータを物理層間 で授受する役割を担うものであり、サービス仕様と物理レイヤを考慮した上での規定が必要であ るからである。また、回線制御方式は信号トラヒックを考慮した上で設計されるため、方式検討 では扱うデータの振舞いを十分に把握する必要がある。一方、現状のネットワークでは、上位プ ロトコルは、IP(Internet Protocol)が、下位プロトコルはEthernetが主流であり、これらが事実 上の標準規格となっている。そのため当面は、このプロトコルスタックでのデータトラヒックを 考慮したサービス検討が中心になるものと考えられる。以上の理由から本章では、無線LANシス テムの実現を通して無線回線制御の高機能化を議論していくこととした。

オフィスLAN及びインターネットの普及に伴い、無線LANの分野が急速に拡大しており、米国

-174-

のIEEE、欧州のETSIなどで様々な規格の作成が現在でも進められている。国内での無線LANの標 準規格は、ARIB(Association of Radio Industries and Business)が1993年に2つの規格を制定 している。これらのうちの一つは、免許不要の2.4GHz帯のISMバンド(Industrial Scientific Medical Band)においてスペクトル拡散(Spread Spectrum)方式を使用する規格^[1]であり、もう 一方は19GHz帯の構内無線データ伝送システムの規格^[2]である。日本におけるこれらの規格では、 無線周波数帯域、変調方式、送信電力、パケット規格感度等の物理層規格が主として規定されて おり、上記レイヤの各種プロトコルに関しては、製造メーカの任意規定となっている。

2.4GHz帯ISMバンドを使用する無線LANシステムは、無線免許が不要であるため、型式認定を 受けた装置は気軽にどこでも使用することができる。そして、この気軽さが引き金となって、多 くのメーカがノートパソコンに挿入/内蔵できる小型の無線端末機器を既に開発しており、現在で は価格競争に移行している。それ故に、2.4GHz帯無線LANシステムは、ノートパソコンとネット ワークとの接続に適したワイヤレス通信システムとして、様々な場所からネットワークに対して アクセスできることが要求されるモバイルコンピューティング環境での利用が増加するものと予 測される。このシステムは、ほとんどがIEEE802.11 規格に準拠してものであり、伝送容量: 1Mbpsの規格から開発が始まり、現在では、1999年に制定された伝送容量:11Mbps規格^[3]に準 拠した製品が主流になっている。このため、2.4GHz帯無線LANシステムでも10Base-Tの有線 LANと同等のスループットが得られるようになってきた。さらに、マルチメディア通信の進歩に 伴い、IEEE802.11委員会では、5GHz帯や2.4GHz帯を用いた10Mbps以上の高速無線LANシス テムの標準化作業が進められており、高速ワイヤレスアクセスシステム及び小型端末装置の開発 に関して、今後が期待できる。

RCR STD-34Aは、19GHzバンド帯を使用し、比較的容量の大きいデータ伝送を行うための無 線システムの標準規格である。この標準規格での無線装置は、10Mbps以上の伝送容量を有してい るが、使用周波数帯域が準ミリ波帯であり高周波デバイスの実現困難さのため、装置コストが高 い。そのため、19GHz帯無線LANシステムは、LANケーブルの設置が不可能あるいは高価となる 屋内環境において、LANとLANを接続するLAN間接続/拡張用途に用いられている。

無線回線制御に関して、両者を比較すると以下のようになる。2.4 GHz帯無線LANシステムの場合、ISMバンドは免許不要である反面、高周波加熱装置やアマチュア無線が共有する帯域であるため、干渉に強い方式であることが要求される。そのためここでは、FH(Frequency Hopping,周波数ホッピング)やDS(Direct Sequence,直接拡散)などのスペクトル拡散方式と、CSMA/CA(Carrier Sensing Multiple Access with Collision Avoidance)のように送信前にキャ

-175-

リアセンスを行い、何らかの衝突回避機構を備えたアクセス方式を組み合せて用いられている。 一方、19GHz帯無線LANシステムは、無線局免許が必要であるため、干渉の影響の少ない場所で 使用される。また、前述のように有線LANシステムに対して無線LANを付加する場合には、シス テム全体のスループットを維持するために、無線区間でのスループットは有線区間よりも高く保 つ必要がある。このため、19GHz帯無線LANシステムには予約型アクセス方式が適している。さ らに、2.4G帯では、既にIEEE802.11が浸透しており、新たなアクセス方式を検討することは困 難である。19GHz帯ではモトローラ社が世界に先駆け無線LAN装置:Altair^[4]を開発しているが、 設置場所において他に干渉を与えないことを条件に免許が付与されるため、アクセス方式の異な る他システムの共存は可能である。以上の背景から、2.4G帯に比べて19G帯のほうが高機能回線 制御技術の検討には向いており、この周波数帯で無線LAN装置の開発を進めてきた。

VJ25システムは、RCR STD-34Aに準拠した無線LANシステムである。VJ25の最大の特徴は、 15.2Mbpsの最大スループットであり、これはEthernet (10Base-T)の最大スループットよりも 速い。このような高速無線データ伝送を実現するために、VJ25では長短2つのフレームを有し、 複数のパケットを1フレーム中に複数のパケットを格納して伝送する2モードGSMA(Global Scheduling Multiple Access)を提案/採用している。本章では、はじめにVJ25のシステム構成 を示し、そのエアインターフェイス仕様について議論する。そして、これらシステム諸元及びプ

周波数範囲	19.495 GHz ~ 19.555 GHz ⁄ 7 ch	
送信電力	50 mW	
アンテナ	CM: Omni_Antenna (Gain=5 dBi) UM: 12_sector Antenna (Gain=15 dBi)	
基本サービスエリア	15 m	
アクセス方式	GSMA - TDD	
無線区間-符号速度	25 Mbit/s	
変復調方式	DQPSK/遅延検波	
誤り訂正方式	BCH(63,51) & ARQ	
ネットワーク インターフェイス	Ethernet (IEEE802.3) CM:10Base-T, 2 ports UM: 10Base-T,8 ports (Including HUB)	
スループット	max. 15.2 Mbit/s	
電源	100 VAC/13.5 VDC	
外形	240 mm(W)×165 mm(D)×155 mm(H)	
重量	3.5 kg	

表7.1 システム主要諸元

-176-

ロトコルに基づいて、アクセス成功確率、スループット、伝送遅延等のシステム性能を解析的に 評価する。さらに、上記仕様を実現したVJ25システム装置について述べる。最後に、システム評 価実験及び実環境試験の結果を示す。

7.2 システム設計

VJ25無線LANシステムは、天井や壁などの高い場所に配置される制御局(CM,Control Module) と、パソコン近傍の机の上に置かれる端末局(UM, User Module)から構成される。VJ25のシステ ム諸元を表7.1に示す。ここで、CMとUMの通信は、19GHz帯の無線周波数を使用する。そして、 1 台のCMは、最大10台のUMと通信することができる。VJ25のLAN側インタフェースは、 Ethernet及びIEEE 802.3にしている。図7.1は、VJ25を用いたLANシステムの構築例である。 この図において、CMはEthernetを用いてLANの基幹網に接続され、UMにはEthenetを介して複 数のPCが接続される。また、CMの基本サービスエリア(Basic Service Area, BSA)は、国内の 様々なオフィス環境の実態調査結果から、セル半径15mとした。

VJ25装置が設置される屋内では、電波が壁や書庫、机等の什器で複雑に反射してマルチパスフェージングが発生する。この様々なパスを通過した反射波のフェージング発生確率はほぼ無相関であることが知られている^[5]。このため、狭ビームアンテナを用いて反射波を選択することにより通信



図7.1 システム構成

可能なパスを確保することが可能となる。さらに、準ミリ波帯である19GHz帯の無線周波数帯域 では、波長が短いために小型の狭ビームの指向性アンテナを容易に作ることができる。さらに、 準ミリ波帯の電波の特徴として、見通し外からの電波の滅衰が大きいことが挙げられる。このた め、オフィス環境では、伝搬路を人が通過したことによるシャドウイングが頻繁に発生し、これ による遮断性フェージングが支配的な瞬断要因となる。この遮断性フェージングの発生確率は、 伝搬調査の結果からオフィス内の人数と相関が高いことが明らかになった。Altairでは、角度ダイ バーシチの一種であり、指向性アンテナを複数組合せたセクタアンテナ利用して行うセクタダイ バーシチ用いて通信回線を品質を確保できることを実証している。以上の理由から、複数の指向 性アンテナによる角度ダイバーシチは、準ミリ波帯でのフェージング対策としては簡易かつ有効 な方法である。特に、セクタダイバーシチは通信効率の大幅な改善が期待でき、VJ25でもセクタ ダイバーシチを採用した。

2.4G帯無線LANシステムで採用されているCSMA/CA方式では、周囲に配置された無線局が信 号を送信していないことを確認してから、信号を送信する方式である。このため、他の無線局の 送信信号がキャリアセンスにより検知できない場合には、信号の衝突頻度が増加してスループッ トが低下する。これがCSMA方式での隠れ端末問題である。19GHz帯の無線周波数は、前述のよ うに見通し外からの電波の減衰が大きく、さらに、システム的な要求からセクタアンテナを用い ると、キャリアセンスできないエリアが増加し、周囲の無線局配置を正確に捉えることが難しな る。このため、CSMAのような自律分散的な回線制御では、物理層の高機能化を図り10Mbps以上 の伝送容量を実現したとしても、周囲の影響により安定したスループットを得ることは難しくな る。以上の理由から、VJ25では集中制御型の回線制御方式を採用した。

7.2.1 回線制御方式

パケット通信用アクセス方式には様々な方式がある^[6]。GSMA(Global Scheduling Multiple Access)^{[6],[7]}は、データ衝突の発生しない予約型の多元接続方式である。この方式は、回線予約が 時間分割の概念によって行われ、高速データバスにおいて効率のよいデータ伝送を実現できるこ とが知られている。このため、予約専用の周波数チャネルを設ける必要がないという周波数利用 効率上の観点、10Mbps以上という高速回線規格を実現するという観点から適した方式であると考 えられる。従って、VJ25の回線制御方式としてGSMA-TDD(Time Division Duplex)を採用した。

この回線制御方式において、CMと複数のUMは同じ周波数チャネル上をTDD方式を用いて制御 情報を交換する。そして、この上にパケット長が64byteから1518byteまで変化するEthernetパ

<u>第7章</u> 19GHz帯高速無線LAN装置の開発



ケットを時分割多重して伝送する。

図7.2はVJ25で採用したGSMA-TDD方式のフレームフォーマットである。このGSMA-TDDフ レームは、許可セグメント(Grant Segment, GSG)、要求セグメント(Request Segment, RSG) とデータセグメント(Data Segment, DSG)の3つのセグメントから構成される。図7.2に示すよう に、GSGは、1つの許可チャネル(Gch)と3つのアンテナ選択基準信号(Ach)から構成される。こ のセグメントの信号は、CMからUMに伝送される。CMとUMとのデータの授受はGch信号によっ て管理される。さらに、各UMはGch信号を受信することによってGSMAフレームに同期させる。 RSGは、10個の要求チャネル(Rchs)から構成される。各Rchは、同じフォーマットの信号であり、 各UMからCMに伝送される。DSGは、データチャネル(Dch)のみで構成され、伝送するデータ長 に応じて長さが選択される。実際のEtherパケットは、このDch信号を用いてGSMAフレームの中 で伝送される。

このようにパケット長が大きく変化するデータ信号を短い伝送遅延で効率よく伝送するために、 パケット長に応じて無線フレーム長を変化させることが望ましい。表7.2は、DSGの構成比較を行っ たものである。この表において、フレーム長を連続的に変化させる連続可変方式は、フレーム利 用効率の点では最も優れているが、GSGが一定周期で捕捉できなくなるため、UMのGSMAフレー ムの同期はずれ確率が高くなる。また、フラグメント方式では、DSGが一定長であるため、低ト ラヒック時でも待ち時間が短くならない。また、回線制御に関しては、フラグメント処理及び再

-179-

表7.2 チータセクメンドの構成比較 RSG DSG GSG				
方式 比較項目	連続的可変長方式	離散的可変長方式	フラグメント方式	
フ 64byte レ				
512byte ム				
件 成 1518byte				
フレーム利用効率	◎: データセグメントに無駄がない ため効率が最も良い	 ○: フレーム種別を増やすほど連続 的可変長方式の効率に近づく (最小DSG長一最小パケット 長)程度の空き領域が発生する 短~中サイズのパケットの処理 能力が大きい 	 ○: フラグメントを細分化するほど 効率を上げることができる (フラグメント長一最小パケット 長)程度の空き領域が発生する 中~長パケットで処理能力が可 変長タイプより大きい領域がある 	
スループット	◎: フレーム利用効率が良いので最大 のスループットが得られる	 : 長パケットでは連続的可変方式 とほぼ同等のスループットが得られる パケット長によりスループット が大きく変動する 	○: 長パケットでは連続的可変方式 とほぼ同等のスループットが得られる パケット長によりスループット が大きく変動する	
遅延(latency)	◎: フレームに無駄がないので待ち時 間は最小	○: 転送パケットのないときは最小 DSGを用いるので、低トラヒッ ク時の待ち時間は小さい	△: DSG長は一定のため低トラ ヒックのときでも、待ち時間は大 きい	
フレーム同期	X: スーパフレームの同期をとること ができないのでバースト毎のフレ ーム同期となり、同期スリップの 確率が高い	○: フレーム長が整数倍比となって いるので適当なアルゴリズムでス ーパフレームを確立することは可 能	◎: DSG長は一定のため安定的に スーパフレームの同期を維持でき る	
無線回線制御	×: 要求/許可の際、フレーム長の情 報をやり取りし、フレーム長を連 続的に制御しなければならないの で、大変複雑な制御となる	△: フレーム長が整数倍比となって いるので、限られた数のモードから フレーム長を制御する仕組が必要	×: フラグメント単位の順序制御が必要 パケットの分割、組み立てが必要 再送制御が複雑	

おいい し の 井子 し 去

送制御が複雑となると言う欠点を持っている。以上の理由から、VJ25では、2モードの離散的 可変長方式を採用した。この2モードGSMAは、長短2つのフレーム長のモードを有しており、デー タ信号長に応じて2つのフレームモードを使い分ける回線制御方式である。またここで、同じアド レスのEtherパケットは連結して同一フレーム中で伝送される。

7.2.2 通信シーケンス

図7.3は、GSMAを用いた信号伝送シーケンスの例である。図7.3(a)に示すように、アップリン クデータ伝送(UM→CM)では、EtherパケットがUMに到着した時、UMはRSG中であらかじめ割り 当てられたRchスロットに対してRch信号を送信することによってDSG割当を要求する。CMは、 複数のUMからの要求信号を処理して特定のUMにDSG割当を行い、許可信号をGSGを介して送信 することによってDSG割当結果をUMに通知する。CMから許可信号を受けた後、UMはDSGを介 してEtherパケットを格納したDch信号を送信する。一方、ダウンリンクデータ伝送では、図



7.3(b)に示すように、EtherパケットがCMに到着した時、即座に許可信号を送信することによっ てあるUMに受信するデータがあることを示し、同一フレーム中のDSGを介してEtherパケットを 格納したDch信号を送信する。CMからのDch信号の受信に成功したUMはRch信号を用いてCMに 対してACK信号を伝送する。CMはデータを送信したUMからACK以外の信号(例えば、NACK,応 答無し)を受信した場合、CMはUMに対して同一データ信号を再送する。このようなデータの再送 が発生した場合には、図7.3(b)に示すように、受信データの順序が入れ替わるため、受信データ は、Dchシーケンス番号に従って順序入替えを行う。

7.2.3 物理レイヤ

VJ25では、高速信号伝送を簡易に実現させることを考慮して、変復調方式としてDQPSK/遅延 検波を用いている。また、誤り制御方法には、FECとARQを採用している。この場合、誤り訂正 は、主にFECにより行い、FEC後に残留エラーがあった場合にはARQによる誤り訂正を実行する。 ここで、FECにはBCH(63.51)コードを使用しており、TDDフレーム中のメッセージ・フィール ドのみが誤り訂正符号化される。また、誤り検出には16bit-CRCコードを使用しており、誤りが 検出された無線パケットを物理層で廃棄している。さらにVJ25では、第3者の盗聴に対する無線 パケットの安全性を確保するために、言換えると、セキュリティ向上の観点から、2つのスクラン ブルを併用している。一つは、CMのMACアドレスによって初期化される10段PNパターンを用い るものであり、もう一つは、FEAL(Fast data Encipherment Algorithm)秘密鍵に基づいて生成 される8段PNパターンを用いるものである。

本節冒頭で説明したように、準ミリ波帯の無線通信システムではマルチパス及び遮断性フェージ ング対策としてセクタダイバーシチを用いることが有効である。また、LANでは同報パケット (Broadcast Packet)を、GSMA方式では、Gchを、各々、同報信号して送信することが必要とな る。このような背景からVJ25では、CMにはオムニビームアンテナを、UMには12セクタアンテナ ^[8]を用いるアンテナ構成を採用した。そして、セクタ選択ダイバーシチはUMのみで実行している。 そして、アンテナ制御は、

1)マルチパス環境は、屋内設置環境が変化しない限り早い時間変動はない。

2)シャドウイングは人の動きに応じて急激に変動する。

という伝搬調査結果に基づいて行われる。ここでのアンテナ制御は、はじめに、12個のアンテナ セクタの中から、Ach信号を受信することで判定した受信状態の最もよい3つのアンテナセクタを 選択しておく。これにより、設置された環境での最良パスの選択が行われる。続いて、その選択 された3つのアンテナセクタを、受信状態が悪くなったときに、順番に切替えていく。これにより、 シャドウイングによる変動を回避して常時最良のアンテナが使用できるように制御される。また ここで、選択された最良の3つのアンテナセクタを記憶しておくアンテナセクタテーブルは、20~ 100msec周期で最新の情報に更新していく。

7.3 伝送特性の解析

ここでは、7.2節で述べたVJ25システム仕様に従って、伝送特性を解析手法により評価する。

7.3.1 フレーム利用効率

はじめに、GSMAフレームの利用効率を計算する。GSMAフレーム中で実際のデータ転送に用いられるのはDSGのみであり、この部分の効率により最大伝送容量が決まる。図7.2にUM数に対するフレーム利用効率*E_{DSG}*の計算結果を示す。この図において、*E_{DSG}*はGSMAフレーム中のDSGの効率を意味しており、UM数*Q*での*E_{DSG}*は以下の式を用いて計算した。

 $E_{DSG} = \frac{L_{DSG}}{L_{GSG} + Q \cdot L_{RSG} + L_{DSG}}$ (7.1)

 $L_{GSG} = 1181$ bit

 L_{RSG} =317 bit

 $L_{DSG}=254+[(x+6)\cdot 8]\cdot(63/51)$ bits x: Etherパケットサイズ(byte)

図7.4中の最大長(Full Length)は、最大長のEtherパケット(=1518byte)を最短遅延時間で伝送 するために、このパケットが1つのGSMAフレーム中に納められる長さに決めた。また、図7.4中 の点線は、64byte,200byte,400byteのEtherパケットを伝送する場合のGSMAフレーム利用効 率である。

実際のLAN上で観測したEthernetパケットサイズの分布が文献[9]に報告されている。この報告 によると、EthernetLAN上では200byte以下のパケットが全体の60%以上を占めている。この結 果は、実際のオフィスLANにおいて我々が行ったパケットサイズの分布調査とほとんど一致した。 無線LANシステムでは、このようなデータ生起確率の高い200byte以下のパケットの伝送遅延が



-183-

短くする必要がある。また、このような予約型システムでは、フレーム利用効率を高く保ちなが ら、多くのUMを収容できることも要求される。以上の理由から、長モードと短モードの比率は大 きいことが望ましく、従って、VJ25では図7.4の結果から、Rchスロット=10、フレーム比率= 3:1に決定した。

7.3.2 チャネル使用効率

DSGのチャネル割当確率を示す。CSMA/CD(Carrier Sense Multiple Access with Collision Detection)を用いるEthernet LAN上でのチャネル割当確率は、LAN上に接続されている複数の 端末のうちある一つのスロットに対して、「1つの端末がアクセスした時に他の端末がアクセスし ない」確率の総和から求めることができる。ここで、Q個の端末(アクセス試行確率:r)とブリッ ジやルータのようなアクセス率の高い1つの中心端末(アクセス試行確率:r')を仮定する。このよ うなアクセス試行確率の異なる端末が同一LAN上に共存する環境下でのEthernetLAN上のチャネ ル割当確率A_{Ether}は、

$$A_{Ether} = r' \cdot (1-r)^{\varrho} + (1-r') \cdot Q \cdot r \cdot (1-r)^{\varrho-1}$$
(7.2)

で近似的に与えられる^[10]。またこのCSMA/CDで2つの端末が同時にアクセスを試みた場合、 Collisionが発生して両端末ともにアクセス不成功となり、チャネルはどの端末にも割当てられず、 使用されないこととなる。一方、GSMAでは、複数のUMから同時に要求信号が上がってきた場合、 DSGは要求信号を上げた端末中の1端末に必ず割当てられて使用される。そのため、全端末が不成 功とはならず、チャネル割当確率はCSMAよりも高くなる。しかしながら、無線LANシステムの 場合には、端末にEtherパケットが到着したとしても、無線区間での状態によってデータ転送シー ケンスが完璧に行われるとは限らない。これによって、チャネル使用効率は低下する。VJ25(UM 数:Q)でのチャネル割当確率AGGM4は上記の要因を考慮して近似的に以下の式で表される。

$$A_{GSMA} = \left[r_{CM} \cdot A_{CM} + Q \cdot R \cdot A_{UM} \right] \cdot \left(1 - P_{f_{-}Gch} \right)$$
(7.3)

ここで

$$P_{f,Geh}$$
; Gchフレーム誤り率。

 r_{CM}, r_{UM} ; CM、UMのアクセス試行確率。

である。式(7.3)の第1項は、CMまたはUMがDSGを獲得する確率であり、第2項は割当結果がUM に通知される確率である。ここで、第1項中のA_{cm}はCMがDSGを、A_{um}は任意の1UMがDSGを各々 獲得する確率であり、以下の式で表される。

$$A_{CM} = \sum_{j=0}^{Q} {Q \choose j} \frac{R^{j} (1 - r_{UM})^{Q-j}}{j+1}$$
(7.4-1)

-184-



図7.5 平均データチャネル獲得確率

$$A_{UM} = \sum_{i=0}^{1} \left[r_{CM}^{i} \left(1 - r_{CM} \right)^{1-i} \cdot \sum_{j=0}^{Q} \binom{Q-1}{j} \frac{R^{j} \left(1 - r_{UM} \right)^{Q-1-j}}{i+j+1} \right]$$
(7.4-2)

さらに、Rは任意のUMからの要求信号の到着確率である。VJ25において、要求信号はGSMAの フレーム同期が確立している状態でのみ送信できるため、Rは図7.3に示されるようにシーケンス からGch及びRchのパケット誤り率(P_{f_Rch}, P_{f_Gch})に依存することがわかる。ここで、 P_{f_Rch}, P_{f_Gch} は7.3.4節に従って計算される。結果として、Rは以下の式で与えられる。

$$R = r_{UM} \cdot \left(1 - P_{f_Rch}\right) \cdot \left(1 - P_{f_Gch}\right)$$
(7.5)

図7.5は、UMの数に対するDSG割当確率の計算結果である。この図において、 A_{GSMA} は、総トラ ヒック=1.0、 r_{CM} : r_{UM} =2:1の条件で計算したものである。図中のEthernet LANは式(7.2)を同 一条件下で計算したものである。この図に示すように、パケット誤りが発生しない時(CNR= ∞)、 30端末の要求信号に対して65%以上の高い確率でDSGが使用されることとなる。また、この図か ら、DSG使用率は、CNR=12dBでほぼ飽和し、CNR=10.5dBでEthernetLANとほぼ同等となる ことが解析結果より明かとなった。

7.3.3 伝送容量及び遅延時間

VJ25システムのスループット及び遅延時間を示す。表7.2で示した離散的可変長方式では、 Etherパケット長に応じてスループットが大きく変動する。VJ25ではこれを改善するために、複 数のEtherパケットを連結して同一GSMAフレーム中を伝送する方式を採用している。パケット連

-185-

結では、ある一定時間パケットを受信し、その合計のパケット長によって長フレームを用いるのか短フレームを用いるのかを決める。この時、n番目に到着したEtherパケット長をL_nとすると、 VJ25のスループットは、以下の式で表される。

$$S = \frac{1}{T_{frame}} \sum_{n=1}^{M_{con}} L_n$$
(7.6)

Mcon;パケット連結数。

T_{frame}:GSMAフレーム長(秒)

一方、本解析において、伝送遅延時間は、送信モジュールにEtnerパケットが到着してから、受 信モジュールからパケットから出力されるまでの時間で定義した。伝送遅延時間は、図7.3で示さ れるデータ転送シーケンスに従ったデータ伝送時間と複数パケットの受信を待って送信パケット の準備にかかる時間の総和から計算される。実際の装置では様々な処理時間を加味しなければな らないが、処理時間は装置の処理性能や構成方法に依存してくる要素である。故に、この解析で は、処理時間は無視し、方式仕様に依存する送受信時間とパケット準備時間で評価することとし た。結果として、データ伝送遅延時間は次式で与えられる。

$$[\mathsf{UM} \to \mathsf{CM}] \qquad T_{up_\min} = T_{frame_short} - T_{GSG} + T_{frame} + T_{con} \qquad (7.7-1)$$

$$[CM \rightarrow UM] \qquad T_{down} = T_{frame} + T_{con} \qquad (7.7-2)$$

ここで、T_{con}はパケット連結に要する時間であり、与えられる。

$$T_{con}[\mu \sec] = \sum_{n=1}^{M_{con}} \left[0.1 \times \left(L_n + L_p \right) + T_{FS} \right] - T_{FS}$$
(7.8)

T_{FS}: Ethernet LANの最小フレーム間隔 (=9.6 msec).

*L*_v: Ethernetパケットのプリアンブル長 (=56 bits)。

図7.6にVJ25で採用した2モードGSMAフレームの信号伝送性能を示す。この図において、ス ループットと伝送遅延時間は同じサイズのパケットを連結して送信した場合の計算結果である。 この図において、性能を比較するために、表7.2に示した連続可変長方式(Variable Length Mode)の信号伝送性能も併記した。

図7.6(a)に示すように、一般的に、離散的可変長方式である2モードGSMAは、連続可変長方式 よりもスループットは小さくなる。これは、DSGよりもEtherパケットサイズが小さい場合に DSG中に空き領域ができてしまうためである。これを改善するために、VJ25では、同一モジュー ル宛ての複数Etherパケットを連結する方法を採っており、その結果として、図7.6(a)に示すよう に、最大Etherパケット入力時以外でも、最大15.2Mbpsのスループットが得られることができる。



図7.6(b)は、伝送遅延時間の計算結果である。ある長さのEtherパケットを1つだけ伝送する場合には、2モードGSMA及び連続可変長方式の両方ともパケット長に比例して遅延時間も長くなり、両方式の遅延時間差は、長モードと短モードは切り替わる付近で一番大きくなる。一方、複数のパケットを連続して転送する場合には、Etherパケット長が200byte以下の領域で、伝送遅延時間は2モードGSMAの方が連続可変長方式よりも短くなっている。この領域ではスループットよりも伝送遅延時間を重要視して設計しており、連結により処理遅延を加味しても連続可変長方式とほぼ同等であると考えられる。ここでの連続可変長方式の伝送遅延時間は、2モードGSMAの1フレー

-187-

ム中に連結して格納される最大パケット数分の伝送に要する時間である。このため、VJ25では1 つのGSMAフレームで伝送できるデータを、連続可変長方式では複数のGSMAで伝送することと なる。連続可変長方式では、Etherパケット長に応じてGSMAフレーム長を調整して伝送すること となるが、Etherパケット間にGSGとRSGが常に挿入されることとなる。多くのEtherパケットが DSG中に格納される場合にはパケット間に挿入されるGSGとRSGの総時間がパケット連結時間よ りも長くなり、この結果として、VJ25の伝送遅延時間が連続可変方式よりも短くなるものと考え られる。

VJ25のネットワークはスター構成としている。このため、特に上り転送データは、CM宛ての データが多く、パケットが連結される機会が多く発生するものと考えられる。以上の理由から、 パケット連結機能を有する2モードGSMAの伝送性能は、連続可変長方式に匹敵する性能が得られ るものと期待できる。

7.3.4 フレーム誤り率特性

VJ25の変復調方式は、DQPSK/遅延検波方式であり、そのBERは、

$$P_{b} \approx \frac{1}{2} \cdot \frac{1 + \sqrt{2}}{\sqrt{\sqrt{2} \cdot \pi \cdot \gamma_{CNR}}} \cdot \exp\left\{-\left(1 - \frac{\sqrt{2}}{2}\right) \cdot \gamma_{CNR}\right\}$$
(7.9)

γ_{CNR}:CNRの真値。

で与えられる^[11]。また、VJ25では誤り訂正方式としてBCH符号を用いており、ブロック符号であるBCH符号の誤り訂正復号後の理論上の上限BERは、以下の式で表される^[12]。

$$P_{b_{-}FEC} \le \frac{1}{n_{b}} \cdot \sum_{i=t+1}^{n_{b}} (i+t) \cdot {\binom{n_{b}}{i}} \cdot P_{b}^{i} \cdot (1-P_{b})^{n_{b}-i}$$
(7.10)

*n*_b:ブロック長

t:誤り訂正可能なビット数。

VJ25で用いたBCH(63.51)は2重誤り訂正方式であり、n_b=63,t=2となる。式(7.10)で示した BERは、ランダム誤り発生を前提としたものであり、実際の遅延検波における連続誤りは考慮さ れていないため、厳密解ではない。ここでは、最悪評価を行う観点から、遅延検波では1ビット誤 りで最大4bit誤りが発生することから、P_{b_FEC}を4倍することでBCH符号適用時の誤り率特性とし て近似した。

LANシステムのようなパケットデータ伝送の場合、誤り検出されたパケット廃棄されてしまう

ため、その特性はパケット誤り率で評価される。そして、TDMA通信の場合、パケットが正常に検 波でき(UWが正常に検出でき)、かつまた、受信したパケット中のビットに誤りがない時、以外が パケット誤りとなる。故に、パケット誤り率は、

P_{IIW}:TDDフレームのUW不検出確率。

となる。一般にUWの検出特性は、不検出確率と誤同期確率で評価されるが、誤同期確率は不検出 確率に比べて十分に小さいため、ここでは不検出確率P_{UW}のみを用いている。そして、このP_{UW}は 以下の式で与えられる^[13]。

$$P_{UW} = \sum_{i=\varepsilon+1}^{N_{UW}} {\binom{N_{UW}}{i}} \cdot P_b^i \cdot (1 - P_b)^{N_{UW} - i}$$
(7.12)

 N_{UW} :UW長 (=31、@RCR-STD34A^[2])

ε:相関閾値(=0、@VJ25)

VJ25の各チャネル信号パケット誤り率は、以上のように、式(7.11)を計算することで求められ る。さらに、実際のシステム性能はデータ転送時のフレーム誤り率(P_{data})で評価する必要があり、 ここでは図7.3に示したデータ転送シーケンスを考慮した解析が必要となる。つまり、VJ25での データ転送は、以下の条件のみでデータ転送が成功し、それ以外はデータ転送が失敗するためで ある。

[Gch:正常受信(No Error)] AND [Dch:正常受信(No Error)]

故に、P_{data}はGch及びDchパケット誤り率に依存し、以下の式で表される。

$$P_{data} = 1 - \left(1 - P_{f_{-}Gch}\right) \cdot \left(1 - P_{f_{-}Dch}\right)$$
(7.13)

図7.3で示されるダウンリンクデータ転送の場合、DSGの受信後、Rch信号でACKを返送して完 了となるため、シーケンス上では、Rchが正常に受信されて完了となる。しかし、このRchが誤っ ても、データ信号の転送は完了してUMは次の処理に移行でき、再送データは重複データとして廃 棄される。故にここでは、Dch正常受信完了まででパケット誤り率を評価した。

上記のデータ転送時にシャドウイングによって誤りが発生した場合、VJ25ではARQとセクタ 選択ダイバーシチを併用した再送制御が行われる。このとき、19GHz帯のシャドウイングは、 GSMAフレーム長よりも10倍上長く持続し、この時間では受信電力が20dB以上低下する。このた め、シャドウイングが発生したセクタでは、数回のARQ制御を行っている間はPdata=1.0となるも

-189-

のと考えられる。さらに、UMの12セクタアンテナは全てが異なる方向を向いており、各々のセク タにおいて独立にシャドウイングが発生するものと考えられる。ARQ後のフレーム誤り率は、試 みたデータ転送が全て誤る確率から求められる。故に、上記の条件を仮定すると、ARQ制御とセ クタダイバーシチを併用した場合のデータ転送誤り率は

$$P_{ARQ\&\ Diversity} = \left[1 - (1 - Y) \cdot (1 - P_{data})\right]^n \qquad \text{at } n \le N_{branch} \qquad (7.14-1)$$

$$P_{ARQ\&\ Diversity} = \left[1 - (1 - Y) \cdot (1 - P_{data})^n\right]^{N_{branch}} \qquad \text{at } n > N_{branch} \qquad (7.14-2)$$

n: ARQ制御回数(≥2)

*N*_{branch}:有効セクタ数。

で与えられる。また、ここで、Yはシャドウイングの発生確率であり、屋内伝搬調査の結果、屋内 人数N_pをパラメータとして以下の式で近似できることが明らかになった。

 $Y = 0.183 \times N_p + 0.556 \quad [\%] \tag{7.15}$

図7.2に示されるTDDフレームフォーマットに基づいて計算されたFER特性を図7.7に示す。この図はシャドウイングがない条件下で計算結果である。この図から、3回まで再送を行うARQ利得は、FER=1.0×10⁻²において各々長モード:1.4dB、短モード:2.2dBであり、また、ARQ利得は3回で飽和してくることがわかる。また、図7.8はシャドウイング環境下でのセクタ選択ダイバーシチ特性である。この図から、3ブランチ以下のセクタダイバーシチではシャドウイング発生率が高い時に安定したFER特性を保証することは困難であることがわかる。この解析結果から、



-190-



12セクタの中から品質の高い3つ以上のアンテナセクタが選択できれば、ARQ及びダイバーシ チにより1.0×10⁻²以下のFER特性が確保できるものと予想される。

7.4 無線LAN装置の実現

7.4.1 装置構成

図7.9にVJ25無線LAN装置の構成示す。本装置は大きく分けてアンテナ部、送受信部、変復調 部、信号処理部、制御部から構成される。アンテナ部及び送受信部では、19GHz帯無線信号の送 受信機能を受け持っており、アンテナ制御、送受切替、周波数切替等の送受信制御は、信号処理 部からの制御信号により実行される。また、変復調部及び信号処理部では、7.2.3節で説明した物 理レイヤの機能を実現している。ここで、変復調部はアナログ回路を中心とし信号処理部は、ディ ジタル回路を中心としたハードウェアで構成されており、主として変復調部がDQPSKの直交変復 調処理行い、信号処理部が時分割多重処理を各々行っている。最後の制御部はリアルタイム OS(Real Time Operating System, RTOS)が搭載されたCPU(Intel80386,25MHz)ユニットであ る。ここでは、RTOS上に構築した制御ソフトウェアを用いて、ソフト処理で通信制御を実行され る。また、制御部には無線回線制御を行うと共にLANコントローラも搭載されており、LAN側と のインターフェイス機能も担っている。



図7.9 無線LAN装置の構成

図7.10はVJ25の装置写真である。3つのモジュールの構成はアンテナ形状を除いて同一である。 そして、アンテナ形状とアンテナ制御機能の有無によってモジュール分けを行っている。ここで、 CM天井設置用には表7.1に示すオムニビームアンテナが搭載されており、CM壁設置用は利得の高 い120°指向性アンテナが搭載されている。大きさは約4リットル{230mm(W)×160mm(D)× 110mm(H)}であり、電源はACアダプタを用いてDC13Vが供給される。



図7.10 無線LAN装置外観写真

7.4.2 プロトコルスタック

VJ25はOSI7層モデルの第1層及び第2層の機能を有する装置である。本システムのプロトコル スタックは、エアプロトコルの同位の機能セットで分類すると、大きく3つのレイヤから構成され ている。それ故に、VJシステムでのプロトコルスタックはOSIの7層モデルとは必ずしも一致しな い。図7.11にVJ25のプロトコルスタックを示す。

無線側の第1層は物理層(Physical layer; PHY)であり、機能的に無線物理レイヤ(Radio Physical sub-layer; RPHY)と無線リンク確立レイヤ(Radio Link Establishment sub-Layer; RLE)の2つのサブレイヤに分割される。最下層のRPHYでは無線信号の送受信、変復調が行われる。 また、RLEでは、TDDフレームの組立/分解、呼出信号の符号化及び復号化、GSMAフレーム同期 等の無線リンク確立を維持する処理が行われる。第2層は、データリンク確立レイヤ(Data Link Establishment layer; DLE)である。このレイヤにVJ25の特有の機能が実装されている。DLEで は無線区間と有線区間との間の信号授受処理であるパケット連結、フラグメント、再送処理及び スケジューリング処理等が行われる。第3層は論理リンク制御レイヤ(Logical Link Control layer;

LLC)である。ここでは、無線区間と有線区間をブリッジする機能を有しており、信号のフィルタ リング処理等が行われ有線側(MAC sub-layer)及び無線側(DLE)への信号の中継を行う。

また、信号系統とは別にシステム保守用のスタックも用意されており、装置に直結されたローカ ル端末からはRS-232Cを介して、LAN上にあるリモート端末からはOSIでのネットワーク層のマ ネージメントプロトコルであるSNMP(Simple Network Management Protocol)を用いて、装置 内のMIB(Management Information Base)にアクセスできるようになっている。

図7.11に示すプロトコルスタックの装置での機能配分方法として、信号処理部と制御部との分 界点を、(1)DLEとLLCの間とする方法、(2)DLEとRLEの間とする方法が考えられる。このうち、 案(1)の場合には無線区間の再送処理及びフラグメント処理は複雑な処理であるため、論理回路で の実現は難しく、信号処理部にCPUをもたせることが必要となる。そこで本装置では、機能分界 点を案(2)としている。この案(2)の場合、DLE処理である再送制御を1ms以下のGSMAフレーム周 期で実行しなければならず、処理の高速化が必要である。この要求からVJ25装置では、信号処理 部と制御部とのインターフェイスをCPUバス結合とし、データはDPRAM(Dual-port Random Access Memory)と割込み信号で授受する方式を採用した。そしてさらに、信号処理部と制御部 との間のコマンドを1word(16bit)構成とすることにより、転送速度の高速化を図るとともに、マ



図7.11 プロトコルスタック

クロ化による設計及び開発の柔軟性を確保している。

<u>7.4.3</u> 変復調器の構成

VJ25では、高速信号伝送を簡易に実現させることを考慮して、変復調方式としてDQPSK/遅延 検波を用いている。また、7.3節で示す伝送特性を満足させるためには、約25Mbpsの伝送速度を確保す る必要がある。一方、準ミリ波帯の線形増幅器の電力効率は、一般的に悪く、バックオフを多く確保するこ とが難しいためピークファクタ(ピーク電力/平均電力)の小さい伝送系であることが望ましい。図7.12に ロールオフ率に対するRCR-STD34に規定される占有帯域幅(99%帯域)までの伝送容量とピークファクタの 関係を示す。この図は送受均等(入力信号補正あり)のフィルタ配置について計算したものである。この結 果からVJ25の伝送系は、上記の要求条件と装置の固定劣化を考慮にいれて、ロールオフ率は0.6に決定し た。この場合、伝送速度25 Mbps(12.5 MBaud)の占有帯域幅は約16.5MHzとなる。

VJ25復調器の構成法について議論する。7.2節で述べたように、VJ25では、準ミリ波帯の電波の特徴を生かしてセクタアンテナを用いたマルチパスフェージング対策を採っている。その結果ここでの支配的な劣化要因は、シャドウイングによるレベル低下である。また、準ミリ波帯を用いるRCR-STD34Aの周波数安定度の規格(指定周波数±10ppm)では、±190kHzの周波数遷移量となり、送受間で最大380kHzの周波数オフセットが発生することとなる。以上の理由から、VJ25復調器設計では、レベル制御機能とAFC(Automatic Frequency Control,自動周波数制御)機能の実装を必要がある。一方、PSK、FSK、MSKのような位相/周波



数変調方式では、信号が位相情報に変調され、振幅変動は小さく抑えられている。故に、このようなこのような変調方式に対しては、位相情報を用いた復調処理が適している。さらに、ここでは線形動作が要求され る等化器をマルチパスフェージング対策として用いていないため、復調処理に非線型動作を用いることがで きる。

図7.13にVJ25に用いたDQPSK復調器の構成を示す。VJ25復調器では、上記の考察から、瞬時位相検出型のベースバンド遅延検波方式を用いている。レベル変動に対しては、ログリミッタアンプを用いたレベル 調整を行っており、この場合、AGCのように利得制御を行う必要なく高速バースト信号に適用できる。また、 このRSSI信号を用いてアンテナ切替制御に必要な受信レベルの測定を行っている。ロールオフ波形整形は、 フィルタの共用(I-ch用, Q-ch用, 分波)による部品点数の削減、均一な特性を確保することを目的として、IF帯 でSAWフィルタを用いて行った。



図7.13 復調器の構成

図7.13のクロック再生回路はタンクリミッタ方式を用いて構成した。ここで、クロック成分は、ローカル 周波数オフセットの影響を極力抑えるため、リミタアンプ出力を分岐して、IF信号からタンクリミタ方式で 抽出した。また、タンク回路のQ値は、TDDフレームの先頭にビット同期のために付与されている50シンボ ル(100bit)のビット同期信号時間内にクロックを引き込ませる必要があるため、Q値は約90とした。

瞬時位相検出型ベースバンド遅延検波方式は、直交座標系(x,y)の信号を円筒座標系(r,θ)の信号に変換した 後に位相の差分演算により復調信号を得る方法である。図7.13において、準同期検波後のサンプリングされ た信号は、位相検出器で、

$$\phi(t) = \tan^{-1} \left(\frac{Q(t)}{I(t)} \right) \tag{7.16}$$

により瞬時位相を計算する。その後、この1シンボル後の信号との間で差分演算が行われる。この演算結果

の遅延検波器出力は以下の式で与えられる。

$$\phi\{(n+1)T_b\} - \phi\{nT_b\} = \overline{D}_{dd} \frac{\pi}{2} + 2\pi\Delta fT_b$$
(7.17)

∆f: 周波数オフセット量

_____ D_{dd}:復調データ信号

図7.14に式(7.17)で与えられる遅延検波器出力の信号点配置を示す。この図に示すように、DQPSKの場合、識別閾値レベルは、

 $\overline{D}_{dd} \pm \pi/4 \tag{7.18}$

に設定しておき、この範囲内のデータを硬判定することで識別データが得られる。図7.15にAFC機能を具備 した瞬時位相検出型ベースバンド遅延検波回路の構成を示す。この図の位相角演算ROMには、

 $0 \leq \theta < 2\pi \qquad \Rightarrow \qquad \& H00 \leq \theta \leq \& H7F$



図7.14 瞬時位相検出型ベースバンド遅延検波方式の動作原理



となるように位相角データを格納しておき、I-ch及びQ-ch入力信号に対して位相情報を出力する。このとき、 Δf=0の場合、差分演算後の信号点は、x軸及びy軸の近傍に現れる。このため、差分演算器出力の上位3bitを 用い、第3ビットを丸め処理して得られる上位2ビットが復調データとなる。

周波数オフセットが存在する(Δf≠0)場合、式(7.17)の第2項の影響により、信号点位相間隔がπ/2からずれ てくる。その結果として、差分演算後には、図7.14で示されるように、軸上から2πΔfT_bだけずれた位相の 近傍に信号点が現れ、第3ビットのマーク率に偏りが生じる。故に、ここでのAFCでは、第3ビットを誤差信 号として用い、これを一定時間観測することで制御値を決定する。そして、図7.15に示すように、この制御 値により遅延側の位相調整を行うことで、差分演算器出力信号点が軸上に現れるように補正を実行する。図 7.14からもわかるように、周波数オフセットによる劣化は¦Δf¦の増加に伴って位相ずれがQPSKの相関閾値 近づくことによって発生する。そして、識別閾値を飛び越えてしまった場合、誤差信号の極性が反転する。 故に、AFCの原理的な検出範囲は、式(7.17)及び式(7.18)より、以下のようになる。

$$\left|\Delta f\right| < \frac{1}{8 \cdot T_b} \tag{7.19}$$

以上のような検討に基づいて構成したVJ25用変復調器を図7.16に示す。この変復調器はデバイスの開発 を行わず(SAWフィルタのみ特注)に市販の部品を寄せ集めて構成したものである。ここでの主要部品は以下 の通りである。

ログリミタアンプ	SL3522(PLESSEY製),	500MHz,Dynamic Range:75dB
直交変調器	U2793B(TEMIC製),	Local=30MHz~300MHz
直交検波器	U2794B(TEMIC製),	Local=70MHz~1GHz、直交誤差:<1.5°
ADC	MN65752H(松下電子製),	8bit×2ch,20Msps
位相検出ROM	Am27H256(AMD),	45ns,2 ¹⁶ word×8bit
LPF	ELKS470FA(Panasonic),	fc==44MHz



-198-

ベースバンド信号処理回路は上記の位相検出ROMとFPGAを用いて構成しており、ここには、送信側差動 論理回路、遅延検波回路を内蔵している。この写真から、本変復調器は十分小型化の可能な構成あることが わかる。

7.5 実験結果

無線LANシステムの性能解析及び詳細設計を行った結果、完成させた装置の諸特性を評価するために評価 実験を行った。

まず、変復調器の特性をIF帯で接続することにより測定した。この測定は、信号源として23段PNパターン、25Mbpsの連続信号を用い、IF信中に白色雑音を負荷することにより行った。図7.17にローカル発振器を同期(周波数オフセット=0Hz)させた条件下で測定したBER特性を示す。この図から、BER=1.0×10⁵ (CNR=14.9dB)において等価CNR劣化量;0.4dB以下となっており、良好な特性であることが得られている。 また、ローカル信号間に周波数オフセットが存在する場合の特性を図7.18に示す。この図から、AFC機能を付加した場合、±700KHzの領域で等価CNR劣化量:0.5dB以下の安定した特性が得られることが確認できた。 これは、RFローカル周波数の周波数安定度に換算すると約36ppmに相当する。また、RFローカル周波数安 定度を3ppm以下とした場合には、この図から固定劣化量は0.8dB以下であり、周波数安定度を10ppmとした場合でも固定劣化量は約1.2dB以下であった。この結果から、装置の周波数安定度を5ppm以下、変復調器での劣化配分を約2dBとすればAFC機能は不要であると言える。さらに、高周波部との組み合わせて行ったレベル対BER特性の測定の結果、BER=1.0×10⁵となる受信レベルは平均-78dBmであった。これは、



-199-

VJ25での雑音指数(NF=6dB)及び信号帯域(16.5MHz)から求めた理論値:

kTBF + CNR = kTB[dBm] + NF[dB] + CNR[dB]

=-101.7dBm + 6dB + 14.9dB=-80.8dBm (at 27℃, BER=1.0×10⁵)

に対して約3dBの固定劣化となる。この値は、変復調器の劣化に高周波増幅器の非線型歪等を加 味した装置全体の劣化量としては、十分な特性が得られたものと考える。

次に、VJ25装置の無線側をRF帯で直接接続し、CM及びUMに接続したLANアナライザを用い てEtherパケットの送受信を行うことでシステム性能の測定を行った。図7.19は、ダウンリンク -データ転送時の最大スループットの測定結果である。この特性は、CMに接続されたLANアナラ イザから任意の長さのEtherパケットを連続して送信することで測定された。この図から、最大ス ループットの解析結果である図7.6(a)とほぼ同等の性能が得られており、VJ25はEthernetLANよ りも高いスループットを有することが確認できた。図7.20はEtherパケットサイズに対する伝送 遅延時間の測定結果である。この図から、ダウンリンクでの伝送遅延時間はアップリンクよりも 短いことがわかる。また、7.3.3で述べたようにVJ25では、ダウンリンク-データ転送が1つの GSMAフレーム遅延であるのに対し、アップリンク-データ転送は最低でも2GSMAフレーム分の 遅延が生じる。この伝送遅延時間の違いは、このようなデータ転送は最低でも2GSMAフレーム分の 送遅延時間の和とほぼ同一時間となっていることもわかる。これは、VJ25での全ての通信がCM を介して行われるためである。図7.21はVJ25のレベル対FER特性の測定結果である。この図から、 VJ25がRCR STD-34Aでのパケット廃棄確率の標準規格を満たしていることが確認できた。また ここで、ダウンリンクデータ転送の場合、固定劣化量を考慮すると図7.7で示した解析結果とほぼ



-200-



同等の値が得られている。しかしながら、アップリンクの場合は、ダウンリンクよりも1dB以上 悪くなっており、パケット長の違いにより約2dBの特性差が見られる。アップリンクの場合、デー タ送信するにはGSMAフレーム同期が保持されていなければならず、さらにRchを事前に送信する などダウンリンクよりも多くの手順を必要とする。アップリンクでの劣化は、上記のようなアク セス方法に依存したものであると考えられる。

評価実験の最後として、VJ25をオフィス内に設置して行ったフィールド試験の結果を紹介する。 図7.22は10分間隔で測定したアンテナセクタの切替回数とDchのパケット誤り数の測定結果であ る。図7.22(a)から、9時(始業時間)、12時(昼休み)及び3時(休憩時間)という人の動きの多くな る時間帯にアンテナセクタの切替回数が増えていることがわかる。この図からシャドウイングが 人の動きと相関が高いことが見て取れる。このような人の動きに対しても、図7.22(b)からわかる ように、Dchの誤りはほとんど発生していない。これはDchを受信する前に、Gchの受信によって アンテナセクタが切替るためであり、セクタ選択ダイバーシチが有効に働いていることを証明し ている。

7.6 むすび

RCR STD-34Aに準拠した無線LANシステムである19GHz帯高速無線LAN(VJ25)システムの開発を通して無線回線制御の高機能化を議論について検討を行った。本システムは、1つのCMが最

第7章 19GHz帯高速無線LAN装置の開発



図7.22 シャドウイング発生回数と誤り発生回数

高10台のUMと通信することができ、最大スループットはEthernet (10Base-T)よりも速い 15.2Mbpsを有している。このような高速で、かつ伝送遅延の短い高速無線データ伝送を実現する ために、アクセス方法としてパケット連結機能を有する2モードGSMAを提案した。さらに、屋内 伝搬環境でのシャドウイング対策として、方式的な見地からCMにはオムニアンテナをUMには12 セクタアンテナを用い、UMでのみセクタ選択ダイバーシチを実行する方法を採用した。

上記の方式のパラメータを決定するために、解析手法によりシステム性能を見積った。その結果 として、EthernetLAN上では、2モードGSMAの最適フレーム長は3:1であること、ARQと3ブラ ンチ-セクタ選択ダイバーシチにより安定した特性が維持できることを証明した。さらに、アンテ ナ構成によるマルチパスフェージング対策の有効性の考察を受けて、ログリミッタアンプと瞬時 位相検出型構成によりAFCとレベル調整機能を有する小型の25Mbps-DQPSK変復調器を実現さ せた。

最後に、開発したVJ25装置を用いた性能評価試験結果から設計通りの結果が得られることを確認した。そして、実環境試験結果から、VJ25をオフィスLANに組込んでも、既存のネットワーク性能を劣化させることなく、満足なLAN環境を拡張していくことができることが証明できた。

【参考文献】

[1]電波産業会: "小電力データ通信システム/ワイヤレスLANシステム-標準規格", RCR STD-33(1993)

- [2] 電 波 産 業 会 : "構内 無 線局 19GHz 帯 データ 伝 送 用 無 線 設 備 標 準 規格", RCR STD-34A(1993).
- [3]IEEE Std 802.11:"Information technology -Telecommunications and information exchange between systems-Local and metropolitan area networks -Specific requirements -Part 11:Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications", (1999)

[4]日本モトローラ(株): "MOTOROLA ALTAIR PLUS IIシステムマニュアル" (1993)

- [5]D. Buchholz, P. Odlyzko, M. Taylor and R. White:"Wireless In-Building Network Architecture and Protocols", IEEE Network Mag., PP.31-38(1991)
- [6]F. TOBAGI, "Multiaccess Protocols in Packet Communication Systems" IEEE Trans. on COM., vol. COM-28, No. 4 (April, 1980)
- [7] J. W. Mark: "Global Scheduling Approach to Conflict-Free Multiaccess via a Data Bus" IEEE Trans. on COM., Vol. COM-26, No. 9, pp. 1342⁻⁻ 1352 (September, 1978)
- [8]T. Maruyama, K. Uehara and K. Kagoshima:"Analysis and design of Multi-Sector Monopole Yagi-Uda array mounted on a ground plane using moment method", 3rd International conf. on computation and electromagnetics, IEE, No. 420(1996)
- [9] R. O. Onvural and A. Nilsson: "Local Area Network Interconnection", Plenum Press, New York, pp. 269⁻ 286 (1993)
- [10] R. M. Metcalfe and D. R. Boggs: "Ethernet: Distributed Packet Switching for Local Computer Networks, Commun. of ACM, vol. 19, No. 7 (July, 1976)
- [11]斎藤洋一著:"ディジタル無線通信の変復調",電子情報通信学会,付録A4(1996)
- [12]A. M. Michelson and A. H. Levesque:"Error-Control Techniques for Digital Communication", JOHN WILEY&SONS, Chapter 7
- [13]山本平一、加藤修三著:"TDMA通信",電子情報通信学会、第3章(1989)

第8章 結 言

本論文では、現在、ディジタル無線方式に対して求められている

(1) 大容量伝送可能な変復調装置の小型経済化、無調整化

(2) 将来高機能無線方式に柔軟に対応できる変復調器の開発

という課題に対して、デバイス技術の急速な進歩を背景とした"ディジタル処理型高速変復調器" の実現という観点から研究を行ってきた。このディジタル処理型高速変復調器は、これまで主に ベースバンド帯信号処理に適用されているDSP技術をIF帯まで拡張することで全ての変復調 処理をDSPで実現することを前提としてアナログ処理と融合させることにより、10Mbps以上の 伝送容量を有し、かつまた容量可変機能(伝送速度、変調方式)の実装を可能にする変復調器の 実現を目指したものである。

この変復調器の実現に向けて、まず始めに、DSPの有する劣化要因の変復調特性に与える影響 を解析的に求めた。また、この劣化量の解析結果に基づき、デバイスの制約条件下で高精度かつ 効率的な変復調器の構成法・信号処理手法について実験的・理論的分析を行い、実現のための各 種構成法を新たに提案し、特性解析を行った。さらに、高機能無線通信システムの実現に向けて、 この変復調器への容量可変機能実装の方法及び無線LANを例とした無線回線制御について研究 を行い各種制御方式を提案した。以下に、本論文の各章で得られた結果を示す。

第2章では、ディジタル処理型変復調系での主要な劣化要因として考えられる量子化精度、アパー チャ効果、クロックジッタについて等価CNR劣化量の解析手法を提案し、変復調系の固定劣化量 を推定した。その結果、現在市販されているデバイスを適用した場合に固定劣化量は256QA Mで約2dBであり、アナログ回路を用いた従来構成の変復調器とほぼ同等であることが確認さ れた。さらに、多値数に応じて劣化要因の影響度が異なり、多値数の少ない場合には量子化精度 が、また多値数の大きい場合には波形歪要因であるアパーチャ効果が支配的となることが明らか にした。

第3章では、変調器の構成方法について検討を行った。

まず始めに、従来のDSP型高速変調器を無線通信システムに適用した場合の課題を明らかにした。無線通信システムに適用する場合には変調器出力を無線周波数帯にアップコンバートする必要があり、そこでは、不要輻射が厳しく制限される。従来のDSP型高速変調器の無線通信シス

-204-

第8章 結 言

テムへ適用するための課題は、DSP での折返し雑音成分及びローカルリーク成分が希望波帯域 外に現れ、これがチャネルフィルタを通過して不要輻射される点にある。

この課題を演算量増加を招かずに解決するために、0次データホールドを用いること、及びIF 帯での波形整形を行うこと、を特徴とする2つのタイプのディジタル処理型直交変調器の構成方 法を提案した。ここで、IF帯の波形整形を用いるIFWS-DMODでは、SAWフィルタによりI F帯でロールオフ波形整形が可能であること背景とし、タップ数の少ないディジタルフィルタと 最低限のキャリア周波数で簡易にDSP直交変調処理を行い、スプリアス成分をSAWロールオ フフィルタの急峻なカットオフ特性を利用して行う方法である。一方、0次ホールドを用いた ZH-DMODでは、4 sample/periodのキャリア信号との直交変調処理が他方のチャネルとの演算処 理なく行われることを利用して、ディジタルフィルタ出力のサンプリングレートをホールド処理 のみで等価的に上げ、なるべく高いキャリア周波数でのDSP直交変調処理を行うものである。

また、これらの提案構成のうちZH-DMODについて、キャリア周波数及びベースバンドフィルタ の設計手法を示した。ZH-DMODでのキャリア周波数では、0次ホールドに起因して変調処理ナイ キスト帯域内に現れる折返し雑音成分を考慮した設計が必要となる。この点を考慮した設計から、 ベースバンドフィルタの動作クロック周波数の整数倍にキャリア周波数を設定することで、良好 な変調波が得られることをシミュレーションにより証明した。また、ZH-DMODのベースバンドフィ ルタでは、直交変調処理においてデータの切替りタイミングがずれることに起因したチャネル間 のタイミング位相差を補正する必要がある。この点を加味した設計法として、伝送系のインパル ス応答に窓関数を重畳した応答波形から変調処理クロック周期相当の位相差をもつタップ係数の 算出方法を示した。

さらに、提案構成の各構成回路の実現方法を示した。ここでははじめに、スクランブル回路、回 転対称型符号配置への信号点置換回路の一般的な実現回路を示した。そして、DSPの一般的な 高速化手法である並列処理を適用することで、4及び8sample/periodのキャリア信号に関して は、演算の省略・順序入替えにより大幅に回路削減した直交変調処理部の実現回路を示した。さ らに、BTFを基本としたベースバンドフィルタの回路実現について、ROMの2分割構成による 回路最適化、及びチャネル同士での共用を特徴とする実現回路を示した。

第4章では、復調器の構成法について検討を行った。

まず始めに、最小のサンプリングレートで高精度な直交検波処理を実現するために、デマルチプレクサを用いたDSP型直交検波器(DEMUX_DET)の構成を示し、隣接チャネル成分によるエリア
第8章 結 言

シングとADCのとサンプリングレートの関係からフィルタの機能配分を明かにした。また、この DEMUX_DETの様々な条件下での特性解析を行い、周波数オフセットが無視できない劣化要因で あることを明らかにした。さらに、ここでのタイミングフィルタ設計法として、最小サンプリン グレート時のタップ係数の補間公式と行列固有値からの算出方法と、最小自乗誤差を用いた評価 方法を示した。

また、DEMUX_DETでの各種制御ループの構成方法を示した。キャリア位相同期回路の構成で は、DEMUX_DETでの周波数オフセット量に比例した直交誤差が発生するため、キャリア同期制 御回路出力信号を用いた近似的な直交誤差補正方法を示した。またここでは、PLL基本方程式か らループフィルタのDSP構成を導出し、PLL設計パラメータと各係数の対応付けを行った。DCオ フセット及び利得制御に関しては、受信側でのDCオフセットが位相回転補正後には回転成分とな るという課題から、キャリア位相補正を行う箇所に応じた制御系を示した。さらに、クロック再 生回路では、位相誤差に関するキャリア同期とクロック再生の2重ループを回避する観点から設計 を行い、IF信号からのクロック成分抽出により周波数同期を行い、ベースバンド信号からのタイミ ング位相誤差検出により位相同期を行う2重ループ型のクロック再生回路を提案した。

さらに、各部の構成法の議論に基づいてDSP型復調器の実現方法について示した。ここでは、 まず、DSP型復調器の全体構成を示した。この中で、復調処理部に関して、DCオフセット補正を 加味したDEMUX_DET、乗算器を削減したデシメーションフィルタ、回路規模を削減したキャリ ア発生器の実現方法を示し、これらの機能を一体化したDET-LSIを実現した。また、復調制御部 に関して、カウンタと累算器を組合せたランダムウォークフィルタの実現方法を示し、キャリア 同期、AOC、AGCループフィルタを一体化したCONT-LSIを実現した。さらに、誤差検出回路の 論理回路での実現例も併せて示した。

第5章では、マルチメディア無線通信サービスの提供することを目的として速度可変型可変容量 方式に適用可能なディジタル処理型高速変復調器の設計を行った。

始めに、信号速度可変型無線通信システムの概念を示し、本システムを周波数利用効率の向上と いう観点からアクセス方式とチャネル配置方法に焦点を当てて議論した。

次に、すべての速度モードにおいて同一の特性が得られること、およびクロック周波数の制御が 簡単であることを考慮してMDSPに基づいて構成される信号速度可変型変復調器を示し、設計 法について議論を行った。その結果として、すべての速度モードに対してディジタル信号処理に 周波数の近いシステムクロック(必ずしも同一でなくても良い)を用いること、および各々の信

-206-

第8章 結 言

号速度に対してチャネルフィルタを選択することせずにサンプリングレート変換技術を用いるこ とで安定した変調特性を維持できることを明らかにした。また、ACIによるISI劣化量の解 析結果から、変調方式可変型方式への拡張性と現状の市販デバイスの性能限界を考慮した場合、 復調器においてADCの前段に配置されるチャネルフィルタに可変帯域BPFを採用することが 望ましいことを証明した。さらに、本変復調器用のクロック再生回路を実現するには、タンクリ ミッタ方式とベースバンド検出型の両方を用いるダブルループ型クロック再生回路が適している ことを述べた。このタンクリミッタ型クロック再生方式は、タンクアレイを用いたPLL逓倍器を 構成でき、クロック再生回路のフィードフォワード部分として簡単かつ粗同期を取るのに十分な 性能を与えられることも示した。

最後に、2つの異なる伝送速度(1.544 Mbps, 6.312 Mbps)を有する変復調器を試作し、基本性能と確認するための室内実験を行った。その結果、QPSKの場合には、良好なかつ同等の特性がアナログ系の調整なしに得られることを確認した。また,併せてキャリア再生回路の構成上の留意点も明らかにできた。

第6章では、固定無線通信システム上に効率良くATMネットワークを構築することを目的とし て、ワイヤレスATM転送網に適用可能な変調方式可変型変復調器の検討を行った。

はじめに、変調方式可変型適応変調方式の適用システムイメージについて議論した。ここでは、 VP毎にチャネルを配置し、変調方式とチャネル数の可変によってトラヒック変動を吸収を行うV P容量可変方式を提案し、併せてこれを用いたワイヤレスATM転送網のシステムイメージを示 した。このシステムでの技術的な要求条件は、変調方式の無瞬断切替である。この観点から、変 復調器構成及び制御信号伝送方法の検討を進めていった。

次に、変調方式可変型変復調器の構成法について議論を行った。ここでは、変復調器と送受信装置での信号処理方法の違いに着目した変復調器の構成法の提案を行った。提案した変調方式可変型変復調器において、変調器側は、全ての変調方式に対して変調出力電力及び直流レベルが一定となるように信号点のフォーマットを調整する。また、復調器側では、全ての変調方式に対して 識別レベルが一定となるように信号点振幅を調整する。この方法によって、送受信装置及び復調器の制御ループの切替え時の伝送系の変動を抑えて、瞬断を回避することが可能となる。

さらに、変調器と復調器の切替タイミングの同期を取るために、切替制御信号の転送方法についても提案した。提案方法は、切替制御信号を第1パスで、しかも、信号点配置の最大振幅点に挿入して伝送するものである。この方法での誤り率特性は、最悪でもQPSKと同等となるため、制御

-207-

第8章 結 言

信号を誤りなく伝送することができる。また、データ信号中に制御信号を挿入しているため、同 期切替、フレーム単位の切替が可能となる。

以上の検討結果より、変調方式可変型容量可変伝送方式を用いたワイヤレスATM転送網実現の 第一段階である変調方式可変型変復調器の実現性を示すことができた。また併せて実験を通して、 フレーム同期方法向上、切替アルゴリズムの制約条件等の今後への課題も整理できた。

第7章では、RCR STD-34Aに準拠した無線LANシステムである19GHz帯高速無線LAN(VJ25) システムの開発を通して無線回線制御の高機能化を議論について検討を行った。本システムは、 1つのCMが最高10台のUMと通信することができ、最大スループットはEthernet (10Base-T)よ りも速い15.2Mbpsを有している。このような高速で、かつ伝送遅延の短い高速無線データ伝送を 実現するために、アクセス方法としてパケット連結機能を有する2モードGSMAを提案した。さら に、屋内伝搬環境でのシャドウイング対策として、方式的な見地からCMにはオムニアンテナを UMには12セクタアンテナを用い、UMでのみセクタ選択ダイバーシチを実行する方法を採用した。

上記の方式のパラメータを決定するために、解析手法によりシステム性能を見積った。その結果 として、EthernetLAN上では、2モードGSMAの最適フレーム長は3:1であること、ARQと3ブラ ンチ-セクタ選択ダイバーシチにより安定した特性が維持できることを証明した。さらに、アンテ ナ構成によるマルチパスフェージング対策の有効性の考察を受けて、ログリミッタアンプと瞬時 位相検出型構成によりAFCとレベル調整機能を有する小型の25Mbps-DQPSK変復調器を実現さ せた。

以上の結論は、全て実験を行いながら積み重ねてきたものであり、無線通信システムの中心に位 置付けられる変復調器の貴重なデータの蓄積が行えたものと考える。また、この研究成果により、 高機能型変復調器の実現性が明らかになり、無線通信の高度化システムの実現可能性が高まった と思われる。特に、無瞬断切替を実現した変調方式可変型変復調器と無線LAN装置開発を通し て得られたIPデータパケットの転送方法の影響は大きく、今後、ミリ波帯で展開されるであろ うFWAシステムにおいて、これらの成果の融合が一つのブレークスルーになるであろうことを 期待している。

-208-

英文略語一覧

ACI	:Adjacent Channel Interference	隣接チャネル干渉
ADC	:Analog-to-Digital Converter	アナログ-ディジタル変換器
ADSL	:Asymmetric Digital Subscriber Line	非対称ディジタル加入者回線
AFC	:Automatic Frequency Control	自動周波数制御
AGC	:Automatic Gain Control	自動利得制御
ALC	:Automatic Level Control	自動レベル制御
AOC	:Automatic DC-offset Control	自動オフセット制御
ARIB	Association of Radio Industries and Business	電波産業会
ARQ	:Automatic Repeat Request	自動再送要求
ASP	:Analog Signal Processing	アナログ信 号 処理
ATM	:Asynchronous Transfer Mode	非同期転送モード
BCH符号	:Bose Chaudhuri Hocquenghem Code	BCH符号
BER	:Bit Error Rate	ビット誤り率
BS	:Base Station	基地局
BSA	:Basic Service Area	基本サービスエリア
BTF	:Binary Transversal Filter	
СМ	:Control Module	制御モジュール
CNR	:Carrier-to Noise Ratio	搬送波対雑音比
CLA	:Carry Look Ahead	桁上げ先見法
CSMA	:Carrier Sensing Multiple Access	搬送波検出多元接続
CSMA/CA	:CSMA with Collision Avoidance	衝突回避型CSMA
CSMA/CD	:CSMA with Collision Detection	衝突検出型CSMA
DAC	:Digital-to-Analog Converter	ディジタル-アナログ変換器
DDS	:Direct Digital Synthesizer	ディジタルシンセサイザ
DEMUX_DET	:Demultiplexing Digitized Detection	信号分配型ディジタル直交検波
DLE	:Data link Establishment Layer	論理リンク確立レイヤ
DMR	:Digital Microwave Radio	ディジタルマイクロ波方式
DNL	:Differential Non-Linearity	微分直線性誤差

-209-

DRE	:Decision Range Expansion	識別レンジ拡大
DSG	:Data Segment	データセグメント
DSP	:Digital Signal Processing	ディジタル信号処理
DSSS	:Direct Sequence Spread Spectrum	直接拡散型スペクトル拡散方式
FDD	:Frequency Division Duplex	周波数分割復信方式
FDMA	:Frequency Division Multiple Access	周波数分割多重接続
FEAL	:Fast data Encipherment Algorithm	
FEC	:Forward Error Correction	誤り訂正符号
FER	:Frame Error Rate	フレーム誤り率
FHSS	:Frequency Hopping Spread Spectrum	周波数ホッピング型スペクトル拡散方式
FIRフィルタ	:Finite Impulse Response Filter	非巡回型フィルタ
FIR_ITP	:FIR interpolation filter	FIR型補間フィルタ
FPGA	:Field Programmable Gate Array	
FWA	:Fixed Wireless Access	固定無線アクセス方式
GCA	:Gain Controlled Amplifier	利得制御増幅器
GSG	Grant Segment	許可セグメント
GSMA	:Global Scheduling Multiple Access	
HDL	Hardware Definition Language	ハードウェア記述言語
IEEE	Institute of Electrical and Electronics Engineers	米国電気技術者協会
IFFT	Inverse Fast Fourier Transform	逆高速フーリエ変換
IFWS_DMOD	:IF Waveform Shaping Digitized Modulator	F帯波形整形型ディジタル変調器
IIRフィルタ	Infinite Impulse Response filter	巡回型フィルタ
INL	Integrated Non-Linearity	積分直線性誤差
ISI	Intersymbol Interference	符号間干涉
MDSP	:Multirate Digital Signal Processing	マルチレートディジタル信号処理
MIB	:Management Information Base	管理情報ベース
MIPS	:Million Instructions per Second	
MMACS	:Million Multiply and Accumulate per second	
MSC	:Modulation Scheme Control	変調方式制御
MSE	:Mean Square Error	最小自乗誤差

NCO	:Numerical Controlled Oscillator	数值制御発振器
NNI	:Network Node Interface	ネットワーク・ノードインタフェイス
OAM	Operation Administration & Management	保守運用管理
OFDM	:Orthogonal Frequency Division Multiplexing	直交周波数分割多重
PHY	:Physical Layer	物理層
PN	:Pseudo Noise	擬似ランダム
PS	:Personal Station	端末局
P/S	:Parallel-to-Serial Converter	並列-直列変換器
PSK	:Phase Shift Keying	位相変調
QAM	:Quadrature Amplitude Modulation	直交振幅変調
RLE	:Radio Link Establishment Layer	無線リンク確立レイヤ
RS符号	:Reed Solomon Code	リードソロモン符号
RSG	:Request Segment	要求セグメント
RTOS	:Real Time Operating System	リアルタイムOS
RWF	:Random Walk Filter	酔歩フィルタ
SAW	:Surface Acoustic Wave	弹性表面波
SCPC	Single Channel Per Carrier	
SDH	:Synchronous Digital Hierarchy	同期ディジタルハイアラーキ
SFDR	:Spurious Free Dynamic Range	
SINAD	:Signal-to-Noise and Distortion Ratio	
SNMP	Simple Network Management Protocol	
SNR	Signal-to-Noise Ratio	信号対雑音比
SPICE	:Simulation Program with Integrated Circuits Emphasis	
TDD	:Time Division Duplex	時分割復信方式
TDMA	:Time Division Multiple Access	時分割多元接続
TRV_EQL	:Transversal Equalizer	トランスバーサル型等化器
UM	:User Module	ユーザモジュール
UNI	:User Network Interface	ユーザ・網インタフェイス
UW	:Unique Word	ユニークワード
VBB	Variable Bit Bate	

VC	:Virtual Channel	仮想チャネル
VC-DL	:Voltage Controlled Delay Line	電圧制御遅延線
VCO	:Voltage Controlled Oscillator	電圧制御発振器
VOD	:Video-on-Demand	ビデオオンデマンド
VP	:Virtual Path	仮想パス
ZH-DMOD	:Zero order Hold Digitized Modulator	0次ホールド型ディジタル直交変調器

本論文に関する原著論文

1. 発表論文

- (1)岡田 隆、相河 聡:"無線中継伝送における全ディジタル型多値変調器の設計とその可 変容量伝送への応用"、電子情報学会論文誌 B-II、Vol. J75-B-II, No. 6 pp.325⁻⁻336 (1993年6月)
- (2) 岡田 隆、相河 聡、白土 正:"無線通信用全ディジタル型高速多値変復調器における
 劣化要因解析",電子情報学会論文誌 B-II, Vol. J77-B-II, No. 6 pp.288⁻²⁹⁷ (1994年6月)
- (3) T. Okada and T. Shirato: "Variable Baud Rate Fully Digitaized Modem for Wireless Communication Systems", IEICE Trans. on Communications Vol. E78-B, No. 5,pp. 760⁻⁻768 (May 1995)
- (4) T. Okada, T. Takao, and T. Shirato: "Feasibility Study of Variable Multi-level QAM MODEM for Wireless ATM Networks", IEICE Trans. on Communications Vol. E79-B, No. 3,pp. 760⁻⁷68 (March 1996)
- (5) T. Okada: "Performance of a 19-GHz High-speed Wireless LAN Systems", IEEE J-SAC, vol. 18, No. 11, pp.2190⁻⁻ 2197(Nov. 2000).

<u>2.レター</u>

 (1) T. Okada and Y. Nakamura: "An Experimental Study of an All Digital 256QAM Modulator using High-speed Digital Devices", Trans. on IEICE vol. E73, No. 3, pp. 349-350.(1990 March)

3. 国際会議

 (1) T. Okada and T. Shirato: "A Fully Digitized Multi-level Demodulator for High -capacity Digital Radio Systems", GLOBECOM'93, pp. 609⁻⁻ 613(Nov. 1993)

- (2) T. Okada, T. Shirato, and K. Araki: "19-GHz High-speed Wireless LAN Systems,
 VJ25 system", GLOBECOM'97, pp.1300⁻⁻ 1305 (Nov. 1997)
- (3) T. Shirato and T. Okada: "A High Capacity Fully Digitalized Modulator for Digital Radios", GLOBECOM'92, pp. (Nov. 1992)

4. 機関誌

- (1) T. Okada, T. Shirato, H. Hara and M. Iki: "VJ25 system: 19-GHz High-speed Wireless LAN System", NTT REVIEW, Vol. 9, No. 1, pp.86-92(Jan. 1997)
- (2) 白土正、花澤徹郎、岡田 隆、丸山珠美:"19GHz帯高速無線LAN装置"NTT R&D,
 vol. 45, No. 8, pp.797⁻806(1996年8月)

5. 研究会

- (1) 岡田 隆、白土 正:"高速全ディジタル型直交変調器"、信学技報 RCS92-93, pp.
 71[~]76 (1992年11月)
- (2)高尾 俊明、岡田 隆、白土 正:"高速なバースト信号に対応した判定帰還型等化器の 構成法の検討"、信学技報 RCS95-160
- (3) 岡田 隆、大槻 信也、中山 雄二、相河 聡:"高速ワイヤレスアクセスにおけるMAC方式の検討"、信学技報 RCS98-9 (1998-04)
- (4) 黒埼 聰、中山 雄二、岡田 隆、相河 聡:"セクタアンテナを用いたランダムアクセ ス確率の検討"、信学技報 RCS98-12(1998-04)

6. 全国大会

(1)岡田 隆、中村 康久:"全ディジタル化256QAM変調器の検討"、1989年信学会
 春季全国大会 B-923(1989年3月)

- (2) 岡田 隆、斉藤 洋一、中村 康久:"多値ナイキスト波形整形用ディジタルフィルタL SIの特性"、1989年信学会秋季全国大会、B-559(1989年xx月)
- (3) 岡田 隆、中村 康久:"全ディジタル化多値変復調器の総合特性"、1990年信学会春
 季全国大会 B-399(1990年3月)
- (4) 岡田 隆、相河 聡:"可変容量伝送に適した全ディジタル化変復調系の検討"、1990
 年信学会秋季全国大会 B-332(1990年10月)
- (5) 岡田 隆、相河 聡:"全ディジタル化多値変復調系の設計法"、1991年信学会春季全
 国大会 B-426(1991年3月)
- (6)岡田 隆、白土 正、相河 聡:"高速全ディジタル化変調器構成法の検討"、1991年
 信学会秋季全国大会 B-279(1991年9月)
- (7)岡田 隆、白土 正:"高速MODEMにおける補償回路のDSP化"、1992年信学会春季全国大会 B-416(1992年3月)
- (8) 岡田 隆、白土 正:"高速多値変調器用LSI"、1992年信学会秋季全国大会 B
 -328(1992年9月)
- (9) 岡田 隆、白土 正:"高速直交検波器用LSI"、1993年信学会春季全国大会 B-444(1993年3月)
- (10) 高尾 俊明、岡田 隆、白土 正:"ディジタル処理型高精度タイミング補償回路の検討"、1993年信学会秋季全国大会 B-443 (1993年3月)
- (11) 岡田 隆、白土 正:"速度可変型変復調器の特性"、1993年信学会秋季全国大会 B-312(1993年9月)
- (12)高尾 俊明、岡田 隆、白土 正:"多値数可変変復調器の特性"、1994年信学会春季全国大会 B-444(1994年3月)
- (13) 岡田 隆、白土 正、高尾、俊明 "フィルター体型汎用高速変調器LSI"、1994年信学会秋季全国大会 B-401 (1994年9月)
- (14) 梨木 裕之、岡田 隆、白土 正:"汎用高速変調器の各種伝送路への適用"、1994年信学会秋季全国大会 B-400(1994年9月)
- (15) 岡田 隆、白土 正、梨木 裕之:"DSP型復調器における制御系の検討"、1995年
 信学会春季全国大会 B-539(1995年3月)
- (16) 岡田 隆、梨木 裕之:"DSP型復調器用クロック再生回路の検討"、1996年春季全
 国大会 B-451 (1996年3月)

(17) 岡田 隆:"ディジタル処理型高速多値復調器の特性"、1996年信学会ソサイエティ大 会 B-504 (1996年9月)

7. 外国特許出願

 (1) Takashi OKADA, Tadashi SHIRATO: "DIGITIZED QUADRATURE MODULATOR" USA:08/503, 478(July 18, 1995)
 EPS:95304966.5(July 17, 1995)