



Title	スケーラブルな高集積量子誤り訂正システムの実現に向けて
Author(s)	塩見, 準
Citation	大阪大学低温センターだより. 2024, 174, p. 13-14
Version Type	VoR
URL	https://hdl.handle.net/11094/94817
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

スケーラブルな高集積量子誤り訂正システムの実現に向けて

大阪大学大学院情報科学研究科 情報システム工学専攻 塩見 準

低温センターのサービスを2023年度より新たに利用させていただいております、情報科学研究科の塩見と申します。量子コンピュータの大規模実装に向けたシステム設計の研究をしており、その実現のためには低温環境での実験が必須です。本稿にて、研究プロジェクトと低温センターとのかわりを説明いたします。

量子状態の重ね合わせを巧みに用いて計算する量子コンピュータは、集積回路デバイスからなる古典コンピュータの性能を凌駕するポテンシャルを秘めており、今後の情報化社会の持続的発展を支える重要技術の1つです。約30年前に量子計算機を用いたショアのアルゴリズム（素因数分解のアルゴリズム）が提案されました。現時点で知られている最も効率的な古典コンピュータ向けのアルゴリズムを用いて素因数分解を行っても、入力データ規模に対して指数関数的に増大する計算量が必要です。その困難さを逆手に利用してRSA暗号などの現代の実用暗号は安全性を保証しています。ショアのアルゴリズムは、多項式時間で素因数分解を行えることを示しており、暗号解析の困難さのハードルを劇的に下げる可能性が指摘されています。日常生活にも直結し得る影響力から、量子コンピュータ研究の一大ブームがおこりました。しかし、当時は理論の発展が先行し、量子デバイスの大規模実装や実用化には至りませんでした。

近年になって、量子ビット（量子状態を記憶する基本素子）の大規模実装が実現されつつあります。例えばIBM社が2022年に開発したOspreyチップには433個の量子ビットが搭載されています。応用事例についても、前述の暗号解析のようなネガティブな用途だけでなく、化学計算、創薬、AIなどの夢のあるハイパフォーマンスコンピューティング応用へ期待されています。量子ビットには、イオン量子ビットや光量子ビットなど様々な実装方式が存在しますが、中でも超伝導量子ビットや半導体量子ビットが制御性、実装効率の観点で注目されています。前述のOspreyも超伝導量子ビットを採用しています。超伝導量子ビットや半導体量子ビットが正しく動作するためには極低温動作が必須です。例えば、超伝導量子ビットの動作には約10 mKの低温動作が必要です。低温環境は今後の情報化社会の発展に貢献する重要な基礎技術なのです。

量子ビットは受動素子であり、それ単体で意味のある演算を行うことはできません。外部の古典コンピュータよりマイクロ波（超伝導量子ビットの場合）などからなる制御信号を入力する必要があります。さらに、量子コンピュータはノイズに脆弱で、正しく動作させるためには量子ビットの冗長化と誤り訂正機構が必須です。前述のショアのアルゴリズムを実用向けに実装するためには、およそ10万個から100万個の量子ビットが必要です。このような途方もない数の量子ビットを同時に制御し、誤り訂正を行うためには、今まででは考えられない大規模な誤り訂正システムが必要です。量子デバイスだけでなく、量子デバイスの制御装置（古典コンピュータ）も進化が求められています。

筆者はJST ムーンショット目標6「2050年までに、経済・産業・安全保障を飛躍的に発展させる誤り耐性型汎用量子コンピュータを実現」の研究課題「スケーラブルな高集積量子誤り訂正システムの開発」の一員として、この課題解決に取り組んでいます。具体的なコンセプトを図1に示します。現状は量子制御装置を室温環境に置き、長い配線を経て冷凍機内の量子ビットに信号を与えています。量子ビット数が大規模化すると、冷凍機に向けた配線の帯域や、配線を配置する物理的空間が足りなくなり、スケーラビリティに乏しい課題点がありました（図1左）。図1右に示すように、量子ビットと制御装置の中間の低温領域（4 Kの領域）に光通信モジュールを搭載した極低温CMOS集積回路を設置し、広帯域化、室温環境-低温環境間の配線数削減を目指しています。プロジェクト期間中には100から1000量子ビットの制御可能性に目処を付け、100万量子ビットシステムへの対応可能性を明らかにします。まだプロジェクトがはじまったばかりです。現時点では、シリコンフォトニクスチップ（光集積回路。図2）およびCMOS集積回路のプロトタイプチップを作成しており、その極低温環境（4 Kから70 K程度の領域）での特性評価や動作実証を行っております。余談ですが、筆者はもともと室温向け集積回路設計技術、特に低電力集積回路の設計をメインに研究しております。図3のように、レモン電池だけで動くような超低電力プロセッサの研究などを行っております。極低温環境についてはビギナーですが、低温センターのご協力をいただきながら、情報化社会の進化のために日々精進する所存です。

プロジェクトの紹介ページ: <https://www.greenlab.kit.ac.jp/qubecs/index.html>

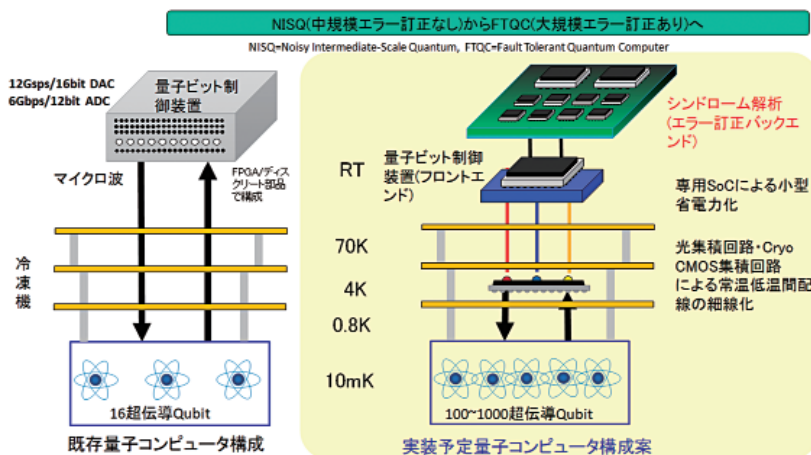


図1. スケーラブルな高集積量子誤り訂正システムのコンセプト。

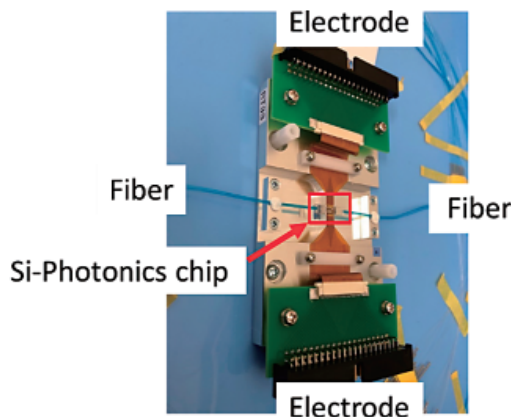


図2. 試作チップの例。

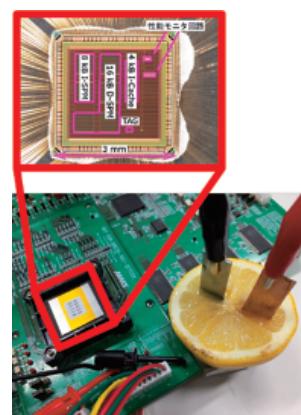


図3. (余談) 低電力プロセッサ。